

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YENİ BİR AÇIK ÇEVİRİMLİ x2 KAZANÇLI REZİDÜ KUVVETLENDİRİCİ
İLE CMOS PIPELINE ANALOG SAYISAL ÇEVİRİCİ TASARIMI**

**YÜKSEK LİSANS TEZİ
Osman KARPUZ**

Anabilim Dalı : Elektronik ve Haberleşme Mühendisliği

Programı : Elektronik Mühendisliği

HAZİRAN 2010

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YENİ BİR AÇIK ÇEVİRİMLİ x2 KAZANÇLI REZİDÜ KUVVETLENDİRİCİ
İLE CMOS PIPELINE ANALOG SAYISAL ÇEVİRİCİ TASARIMI**

**YÜKSEK LİSANS TEZİ
Osman KARPUZ
(504081220)**

Tezin Enstitüye Verildiği Tarih : 07 Mayıs 2010

Tezin Savunulduğu Tarih : 10 Haziran 2010

**Tez Danışmanı : Prof. Dr. Ali ZEKİ (İTÜ)
Diğer Jüri Üyeleri : Yrd. Doç. Dr. Türker KÜYEL (İTÜ)
Yrd. Doç. Dr. Osman Kaan EROL (İTÜ)**

HAZİRAN 2010

Aileme,

ÖNSÖZ

Bu tez çalışmasında yeni bir x2 kazançlı açık çevrimli rezidü kuvvetlendirici devresi önerilmiş ve bu devre ile pipeline analog sayısal çevirici tasarımı oluşturulmaya çalışılmıştır.

Tezde pipeline analog sayısal çevirici yapısı genel özellikleriyle anlatılmış, x2 kazançlı açık çevrimli kuvvetlendirici devresinin tasarımı ve yapılan deneysel ölçüm sonuçlarına yer verilmiştir.

Tasarım aşamasında kullanılan diğer devre yapıları incelenerek bu devre yapılarının benzetimleri yapılmıştır. Pipeline analog sayısal çevirici, temel kat yapılarıyla birlikte sistem olarak ele alınmış, tasarım ile birlikte benzetim sonuçları verilerek çalışma tamamlanmıştır.

Yüksek lisans tez çalışmam süresince yardımlarını esirgemeyen yüksek lisans tez danışmanım, değerli hocam, Sayın Prof. Dr. Ali Zeki'ye ve yüksek lisans eğitimin boyunca verdiği başarı bursu ile beni destekleyen TÜBİTAK'a teşekkürlerimi sunarım.

Mayıs 2010

Osman Karpuz

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	v
İÇİNDEKİLER	vii
KISALTMALAR	ix
ÇİZELGE LİSTESİ.....	xi
ŞEKİL LİSTESİ.....	xiii
ÖZET.....	xvii
SUMMARY	xix
1. GİRİŞ	1
2. PIPELINE ANALOG SAYISAL ÇEVİRİCİ	3
2.1 Pipeline Analog Sayısal Çevirici Kat Yapısı ve Çalışması.....	3
2.2 Pipeline Analog Sayısal Çevirici Yapısı ve Çalışması.....	4
2.3 Pipeline Analog Sayısal Çevirici Matlab Simulink® Modellemesi.....	6
2.3.1 Pipeline ADC katı Simulink® modeli	6
2.3.2 Pipeline ADC yapısı Simulink® modeli.....	10
2.4 Kapalı Çevrimli Pipeline ADC Kat Yapısı	12
3. AÇIK ÇEVİRİMLİ PIPELINE ADC KAT YAPISI.....	15
3.1 Açık Çevrimli Pipeline ADC Kat Yapısı ve İdealsizlik Modeli	15
3.2 Açık Çevrimli x2 Kazançlı Kuvvetlendirici.....	19
3.2.1 Açık çevrimli x2 kazançlı kuvvetlendirici benzetimi ve sonuçları.....	26
3.3 Açık Çevrimli x2 Kazançlı Kuvvetlendirici için Deneysel Ölçüm.....	38
3.3.1 Eş transistör dizileri ve parametrik analiz	38
3.3.2 Ölçüm için kullanılan devre yapıları ve ölçüm devresi	39
3.3.2.1 Tek girişi farksal çıkışa dönüştüren giriş devresi	40
3.3.2.2 Farksal girişi tek çıkışa dönüştüren çıkış devresi	42
3.3.2.3 Ölçüm devresi	44
3.3.3 Ölçüm sonuçları	47
3.4 Açık Çevrimli x2 Kazançlı Rezidü Kuvvetlendirici	52
3.4.1 Açık çevrimli x2 kazançlı rezidü kuvvetlendirici benzetimi ve sonuçları	56
4. TASARIMDA KULLANILAN DEVRE YAPILARI	59
4.1 Karşılaştırıcı	59
4.1.1 Pozitif kenar tetiklemeli D flip flop	60
4.1.2 Karşılaştırıcı yapı benzetimi ve sonuçları	61
4.2 Birim Kazançlı Örnekleme ve Tutma Devresi	63
4.2.1 İşlemsel kuvvetlendirici	64
4.2.2 Benzetim ve sonuçlar	66
5. TASARLANAN PIPELINE ADC YAPISI.....	69
5.1 Kat Yapıları	69
5.1.1 İlk kat	69
5.1.2 Ara katlar.....	70
5.1.3 Son kat.....	71
5.2 Sistem Yapısı ve Zamanlama	71

5.2.1 Ötelemeli kaydedici.....	74
5.3 Benzetim ve Sonuçlar.....	75
6. SONUÇLAR	79
KAYNAKLAR.....	81

KISALTMALAR

ADC	: Analog to Digital Converter
CMOS	: Complementary Metal-Oxide Semiconductor
DAC	: Digital to Analog Converter
DIP	: Dual in-Line Package
DNL	: Differential Nonlinearity
FFT	: Fast Fourier Transformation
INL	: Integral Nonlinearity
LSB	: Least Significant Bit
MOSFET	: Metal Oxide Semiconductor Field Effect Transistor
MSB	: Most Significant Bit
Msp/s	: Mega Sample Per Second
QFG	: Quasi-Floating Gate
SOIC	: Small-Outline Integrated Circuit
TSPC	: True Single-Phase Clock

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 3.1 : Farklı Besleme Gerilimleri için Kazançlar.....	34
Çizelge 3.2 : Farklı Sıcaklıklarda Kazançlar	34
Çizelge 3.3 : Ölçülen Distorsiyon Değerleri.....	51
Çizelge 4.1 : Kuvvetlendirici Eleman Değerleri	66
Çizelge 4.2 : Kuvvetlendirici Kazanç ve Faz Payı Değerleri	67

ŞEKİL LİSTESİ

Sayfa

Şekil 2.1 : Pipeline ADC Kat Yapısı.	3
Şekil 2.2 : Pipeline ADC Yapısı	4
Şekil 2.3 : Pipeline ADC Çalışma Prensipleri	5
Şekil 2.4 : Sayısal Çıkış Veri Gecikmesi [1]	6
Şekil 2.5 : Pipeline ADC Katı Simulink® Modeli	7
Şekil 2.6 : Kat Modeli Rampa Giriş İşareti	9
Şekil 2.7 : Kat Modeli Sayısal Çıkış İşareti	9
Şekil 2.8 : Kat Modeli Rezidü İşareti	9
Şekil 2.9 : Pipeline ADC Sayısal Kat Çıkış İşaretleri	10
Şekil 2.10 : Pipeline ADC Modeli için Kuantalanmış Analog Çıkış	10
Şekil 2.11 : Pipeline ADC Simulink® Modeli	11
Şekil 2.12 : Kapalı Çevrimli Pipeline ADC Kat Yapısı [3]	12
Şekil 3.1 : Açık Çevrimli Pipeline Kat Yapısı [3]	16
Şekil 3.2 : Doğrusalsızlık Analizi için Model [3]	17
Şekil 3.3 : Fark Katı Doğrusalsızlık Hatası [3]	18
Şekil 3.4 : QFG pMOS Devresi [5]	19
Şekil 3.5 : QFG pMOS Transistör Serimi [5]	19
Şekil 3.6 : Açık Çevrimli Diyot Yüklü Fark Kuvvetlendiricisi	20
Şekil 3.7 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici	21
Şekil 3.8 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici AC Eşdeğer Devresi	22
Şekil 3.9 : QFG Tekniği ile Farksal Gerilim İzleyici [7]	23
Şekil 3.10 : pMOS Transistörler ile Açık Çevrimli x2 Kazançlı Kuvvetlendirici	25
Şekil 3.11 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Benzetim Devresi	26
Şekil 3.12 : 10 KHz Frekans Değerli Giriş ve Çıkış İşaretleri	27
Şekil 3.13 : 10 KHz Frekans Değerli Çıkış İşaretinin Frekans Domeni	27
Şekil 3.14 : 300 KHz Frekans Değerli Giriş ve Çıkış İşaretleri	28
Şekil 3.15 : 300 KHz Frekans Değerli Çıkış İşaretinin Frekans Domeni	28
Şekil 3.16 : 10 MHz Frekans Değerli Giriş ve Çıkış İşaretleri	29
Şekil 3.17 : 10 MHz Frekans Değerli Çıkış İşaretinin Frekans Domeni	29
Şekil 3.18 : Açık Çevrimli x2 Kazançlı Devre Serimi	30
Şekil 3.19 : Açık Çevrimli x2 Kazançlı Devre AC Karakteristiği	30
Şekil 3.20 : 1 MHz Frekans Değerli Giriş ve Çıkış İşaretleri	31
Şekil 3.21 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Benzetim Devresi-2	32
Şekil 3.22 : x2 Kazançlı Kuvvetlendirici Kazanç-Frekans Eğrisi (Giriş 1VAC)	33
Şekil 3.23 : x2 Kazançlı Kuvvetlendirici Giriş Çıkış İşaretleri	33
Şekil 3.24 : Farklı sıcaklık değerleri için Kazanç-Frekans eğrileri	34
Şekil 3.25 : Kuvvetlendirici Basamak Cevabı (106 uA kutuplama akımı ile)	35
Şekil 3.26 : Kuvvetlendirici Basamak Cevabı (3.84mA kutuplama akımı ile)	35
Şekil 3.27 : Merdiven Giriş için Kuvvetlendirici Cevabı	36
Şekil 3.28 : Açık Çevrimli x8 Kazançlı Kuvvetlendirici Devresi	36
Şekil 3.29 : x8 Kazançlı Kuvvetlendirici Kazanç-Frekans Eğrisi (1VAC giriş için)	37

Şekil 3.30 : x8 Kazançlı Kuvvetlendirici Giriş ve Çıkış İşaretleri	37
Şekil 3.31 : ALD1106 Tümdevresi [9]	38
Şekil 3.32 : ALD1106 Tümdevresi Parametre Ölçüm Sonuçları	39
Şekil 3.33 : Ölçüm Devresi Blok Diyagramı	40
Şekil 3.34 : Tek Giriş Farksal Çıkışa Dönüştüren Giriş Devresi.....	40
Şekil 3.35 : THS4521 Tümdevresi [10].....	41
Şekil 3.36 : Tek Giriş Farksal Çıkış Dönüştürücü [10]	41
Şekil 3.37 : Texas Instruments Kuvvetlendirici Eleman Değeri Hesap Makinesi.....	42
Şekil 3.38 : LF356 Tümdevresi [11].....	43
Şekil 3.39 : Farksal Giriş Tek Çıkışa Dönüştüren Çıkış Devresi	43
Şekil 3.40 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Devresi	44
Şekil 3.41 : Tek Giriş Farksal Çıkışa Dönüştüren Giriş Ölçüm Devresi.....	45
Şekil 3.42 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Ölçüm Devresi	45
Şekil 3.43 : Farksal Giriş Tek Çıkışa Dönüştüren Çıkış Ölçüm Devresi	46
Şekil 3.44 : Ölçüm Devresi Fotoğrafı.....	46
Şekil 3.45 : 10 KHz Frekansında Giriş ve Çıkış İşaretleri.....	47
Şekil 3.46 : Tepeden Tepeye 2V Genlikli, 10 KHz Çıkış İşareti için FFT Gösterimi	48
Şekil 3.47 : 20 KHz Frekansında Giriş ve Çıkış İşaretleri.....	48
Şekil 3.48 : Tepeden Tepeye 2V Genlikli, 20 KHz Çıkış İşareti için FFT Gösterimi	49
Şekil 3.49 : 250 KHz Frekansında Giriş ve Çıkış İşaretleri.....	49
Şekil 3.50 : Tepeden Tepeye 1V Genlikli, 250 KHz Çıkış İşareti için FFT Gösterimi	50
Şekil 3.51 : 300 KHz Frekansında Giriş ve Çıkış İşaretleri.....	50
Şekil 3.52 : Tepeden Tepeye 1.4V Genlikli,300KHz Çıkış İşareti için FFT Gösterimi	51
Şekil 3.53 : Açık Çevrimli x2 Kazançlı Rezidü Kuvvetlendirici Devresi	53
Şekil 3.54 : Transmisyon Kapısı.....	53
Şekil 3.55 : Birbirleriyle Örtüşmeyen Saat İşaretleri.....	54
Şekil 3.56 : VE Kapısı	55
Şekil 3.57 : Rezidü Kuvvetlendirici Yapısındaki Anahtarlar için Saat İşaretleri	56
Şekil 3.58 : “VE” Kapısı Giriş ve Çıkış İşaretleri	57
Şekil 3.59 : Rezidü Kuvvetlendirici Giriş ve Çıkış İşaretleri	57
Şekil 4.1 : Karşılaştırmacı Devresi [14]	59
Şekil 4.2 : Pozitif Kenar Tetiklemeli D Flip Flop Devresi	61
Şekil 4.3 : Karşılaştırmacı ve D Flip Flop	61
Şekil 4.4 : Karşılaştırmacı ve D Flip Flop Saat İşaretleri.....	62
Şekil 4.5 : Karşılaştırmacı ve D Flip Flop Çıkışları	62
Şekil 4.6 : Karşılaştırmacı Yapı Çalışma Grafiği	63
Şekil 4.7 : Birim Kazançlı Örnekleme ve Tutma Devresi	64
Şekil 4.8 : İşlemsel Kuvvetlendirici Devresi	65
Şekil 4.9 : Kuvvetlendirici Kazanç Grafiği	67
Şekil 4.10 : Kuvvetlendirici Transient Analiz Grafiği.....	67
Şekil 4.11 : Farksal Rampa Giriş ve Örnekleme ve Tutma Devresi Çıkış İşareti	68
Şekil 4.12 : Sinüs Giriş için Örnekleme ve Tutma Devresi Çıkış İşareti	68
Şekil 5.1 : Pipeline Analog Sayısal Çevirici İlk Kat Yapısı.....	70
Şekil 5.2 : Pipeline Analog Sayısal Çevirici Ara Kat Yapısı.....	71
Şekil 5.3 : Pipeline Analog Sayısal Çevirici Son Kat Yapısı	71
Şekil 5.4 : Birbirleriyle Örtüşmeyen Saat İşaretleri.....	72

Şekil 5.5 : Pipeline Analog Sayısal Çevirici Yapısı	73
Şekil 5.6 : D Flip Flop Dizileri	74
Şekil 5.7 : İşaretler Arası Gecikme.....	74
Şekil 5.8 : Pipeline Analog Sayısal Çevirici Rezidü İşaretleri	75
Şekil 5.9 : Rampa Giriş için 5 bit Pipeline Analog Sayısal Çevirici Çıkış Bitleri	76
Şekil 5.10 : Sinüs Giriş İşareti için Pipeline Analog Sayısal Çevirici Çıkış Bitleri ve Bitlerin Ağırlıklı Toplam İşareti	76

YENİ BİR AÇIK ÇEVİRİMLİ x2 KAZANÇLI REZİDÜ KUVVETLENDİRİCİ İLE CMOS PIPELINE ANALOG SAYISAL ÇEVİRİCİ TASARIMI

ÖZET

Bu çalışmada yeni bir açık çevrimli x2 kazançlı rezidü kuvvetlendirici ile CMOS pipeline analog sayısal çevirici tasarımı yapılmıştır. Analog sayısal çevirici mimarilerinden biri olan pipeline analog sayısal çevirici yapısı, geniş bir kullanım alanına sahiptir. Bu yapı, uygulama alanlarına göre farklı çözünürlüklerde ve örnekleme hızlarında tasarlanabilmektedir. Yapılan çalışmada pipeline analog sayısal çevirici yapısının özellikleri ve çalışması anlatılarak, MATLAB Simulink® ortamında oluşturulan model ile benzetimler gerçekleştirilmiştir. Açık çevrimli pipeline analog sayısal çevirici kat yapısı incelenmiştir. Önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresi ele alınarak devrinin tasarımı ile birlikte, yapılan deneysel ölçüm sonuçlarına yer verilmiştir. Pipeline analog sayısal çevirici yapısında kullanılan diğer temel devre yapılarından birim kazançlı örnekleme - tutma devresi ve karşılaştırıcı devre yapısı incelenerek benzetimleri yapılmıştır. Sayısal analog dönüştürme, çıkarma ve rezidü kuvvetlendirme işlemleri aynı devre yapısı üzerinde gerçekleştirilmiştir. Bu yapıda, önerilen açık çevrimli x2 kazançlı kuvvetlendirici devre kullanılmıştır. Pipeline analog sayısal çevirici yapısında kullanılan katlar 1 bit çözünürlüklü katlardır. Bu katlar bahsi geçen devre yapıları ile oluşturulmuştur. Giriş katı, ara katlar ve son katı içeren pipeline analog sayısal çevirici yapısında katlar arasındaki beklemler D flip flop dizilerinden oluşan ötelemeli kaydediciler ile giderilerek sayısal çıkış işaretleri elde edilmiştir. Kullanılan devrelerin ve pipeline analog sayısal çeviricinin tasarımları ve benzetimleri Cadence Tasarım Ortamında gerçekleştirilmiştir. Sonuç olarak yeni bir açık çevrimli x2 kazançlı rezidü kuvvetlendirici ile CMOS pipeline analog sayısal çevirici tasarımı yapılmış ve sistemin benzetim sonuçları sunulmuştur.

CMOS PIPELINE ANALOG TO DIGITAL CONVERTER DESIGN WITH A NEW OPEN LOOP $\times 2$ GAIN RESIDUE AMPLIFIER

SUMMARY

In this study, a CMOS pipeline analog to digital converter is designed with a new open loop $\times 2$ gain residue amplifier. The structure of pipeline analog to digital converter which is a kind of analog to digital converter architectures has a wide range of usage area. Pipeline analog to digital converters could be designed in different resolutions and sampling speeds due to their application areas. The main characteristics and the operating principle of pipeline analog to digital converter are described, the converter structure is modeled and simulations are performed in MATLAB Simulink® Environment. Open loop pipeline analog to digital converter stage structure is analyzed, proposed open loop $\times 2$ gain residue amplifier is designed and the experimental measurement results of this open loop amplifier is given. The other main circuits that are needed for operations of pipeline stages are designed. Most significant circuits are comparator, unity gain sample and hold circuit, digital to analog converter, subtraction circuit and amplifier. Digital to analog conversion, residue amplification and subtraction are performed in the same circuit structure. Open loop $\times 2$ gain amplifier is used in this circuit structure. 1 bit resolution stages are used in pipeline analog to digital converter. These stages are constructed with the main significant circuits. The latencies between the pipeline stages are removed by shift registers that are designed with D flip flop arrays in the pipeline analog to digital converter and the digital output signals of the converter are acquired. Designs and the simulations of the circuits used and the converter are performed in Cadence Design Environment. As a result, the design of CMOS pipeline analog to digital converter with a new open loop $\times 2$ gain residue amplifier is carried out and simulation results of the system are presented.

1. GİRİŞ

Analog işaretlerin sayısala çevrilip, sayısal sistemlerde işlenebilmesi amacıyla farklı analog sayısal çevirici yapıları kullanılmaktadır. Pipeline analog sayısal çevirici de bu yapılardan biri olan ve farklı uygulamalarda yaygın olarak kullanılan ADC mimarilerinden bir tanesidir. Örnekleme hızı ve çözünürlüğü kullanım alanına göre değişebilmektedir. Pipeline analog sayısal çevirici sayısal görüntü işleme teknolojileri, medikal uygulamalar ve haberleşme teknolojileri gibi farklı uygulama alanlarında kullanılmaktadır. Pipeline analog sayısal çevirici yapısında, art arda bağlı katlar, analogdan sayısala çevirme işlemini gerçekleştirmektedir. Çıkış verisi bir bekleme süresi sonunda elde edilmeye başlandığı için “pipeline” adını almıştır. Pipeline yani “boru hattı” olarak isimlendirilmesinin sebebi budur.

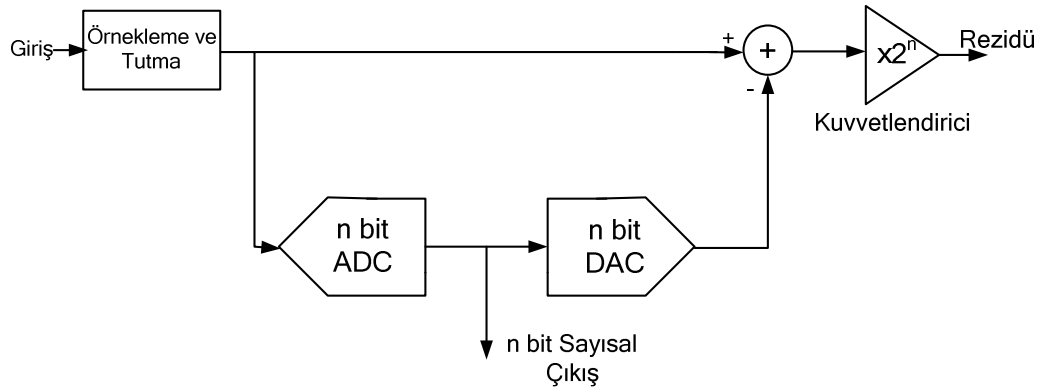
Çalışmamıza pipeline analog sayısal çevirici yapısı ve çalışması anlatılarak, mimarinin modellenmesi ile başlanmıştır. Kapalı ve açık çevrimli pipeline analog sayısal çevirici kat yapıları ele alınarak açıklanmıştır. Daha sonra açık çevrimli pipeline ADC yapısında kullanılmak üzere önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresi incelenmiş, yapılan deneysel ölçüm sonuçları verilmiştir. Önerilen kuvvetlendirici ile oluşturulan açık çevrimli x2 kazançlı rezidü kuvvetlendirici yapı anlatılmış, benzetimlerle birlikte bu yapının pipeline analog sayısal çevirici için uygunluğu incelenmiştir. Sonraki bölümlerde tasarımda kullanılan diğer devre yapıları ele alınmış ve pipeline ADC kat yapıları ile birlikte sistemin tasarımı anlatılmıştır.

2. PIPELINE ANALOG SAYISAL ÇEVİRİCİ

Pipeline analog sayısal çevirici yapısında birbiriyle aynı işlemleri yapan katlar art arda bağlıdır. Bir katın çıkışında üretilen değer bir sonraki kat için giriş değeridir. Bu yüzden birbirini takip eden katların çalışma zamanları birbirinden farklıdır. Art arda bağlı katların çalışma zamanları, farklı fazlarda saat işaretleri kullanılarak ayarlanır.

2.1 Pipeline Analog Sayısal Çevirici Kat Yapısı ve Çalışması

Pipeline analog sayısal çevirici kat yapısına bakıldığında öncelikle giriş işaretinin örneklenip tutulduğu, daha sonra kat içerisindeki diğer bloklara aktarıldığı görülür. Bu işaret kat içerisinde, n bit çözünürlükte sayısal çevrilir ve o katın sayısal çıkışını oluşturur. İşaret daha sonra kat içerisindeki n bitlik sayısal analog çevirici DAC ile tekrar analoğa çevrilir ve giriş işaretinden çıkartılır. N bit kat çözünürlüğü için 2^n oranında kuvvetlendirilir ve diğer kata aktarılır. Kuvvetlendirme işlemi ile, sonraki kata aktarılan işaret, aynı referans değer aralığına getirilirmiş olur. Sonraki katlarda, sayısal çevirme işlemi sonucunda daha az anlamlı sayısal çıkış işaretleri oluşur. Pipeline ADC kat yapısı Şekil 2.1’de verilmiştir.



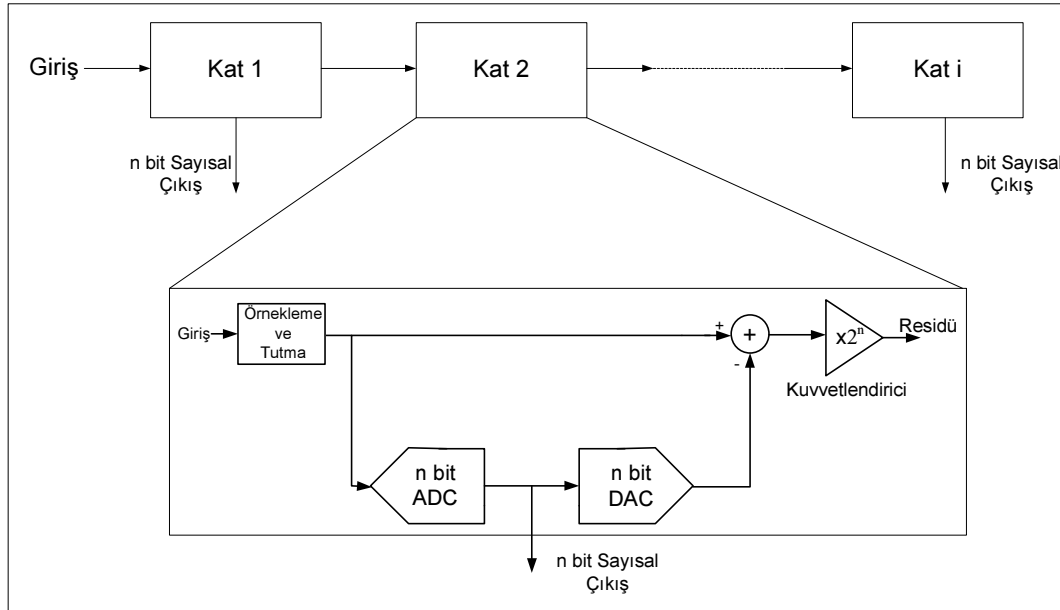
Şekil 2.1 : Pipeline ADC Kat Yapısı.

Kat içerisinde sayısal çevrilen değer, bu pipeline ADC katının kendi sayısal çıkışını belirler. Kat içerisindeki analog sayısal çevirici olarak düşük çözünürlüklü flash ADC yapısı kullanılmaktadır. Kat çözünürlüğünün 1 bit olduğu bir pipeline ADC kat

yapısında, kat içerisindeki düşük çözünürlüklü ADC bir karşılaştırıcıdan ibarettir. Karşılaştırıcı çıkışı, kat için sayısal çıkış olarak kullanılmaktadır. Kat çözünürlüğünün 1 bit olduğu, 10 pipeline katına sahip bir ADC yapısının toplam sayısal çözünürlüğü 10 bit olmaktadır. Bu şekildeki bir pipeline ADC yapısı 10 adet karşılaştırıcı içerir. Aynı yapı tamamen flash mimarili bir ADC ile gerçekleştirilip, analog giriş işareti sayısal çevrildiğinde, bu flash ADC içerisinde $2^{10}-1$ tane, yani 1023 tane karşılaştırıcı olacaktır. Pipeline ADC’de, bit çözünürlüğünün artması ile yapının büyümesi arasında doğrusal bir ilişki bulunmaktadır. Bu özellik tümdevre üzerinde kaplanan alan ve harcanan güçte, flash mimarili bir yapıya göre büyük ölçüde avantaj yaratmaktadır.

Kat çıkışında oluşan ve sonraki kata aktarılan işaret “rezidü” olarak adlandırılır ve sonraki kat için giriş işaretini oluşturur. Bu işaret de sonraki katta sayısal çevrilecek ve daha az anlamlı sayısal çıkış biti oluşacaktır.

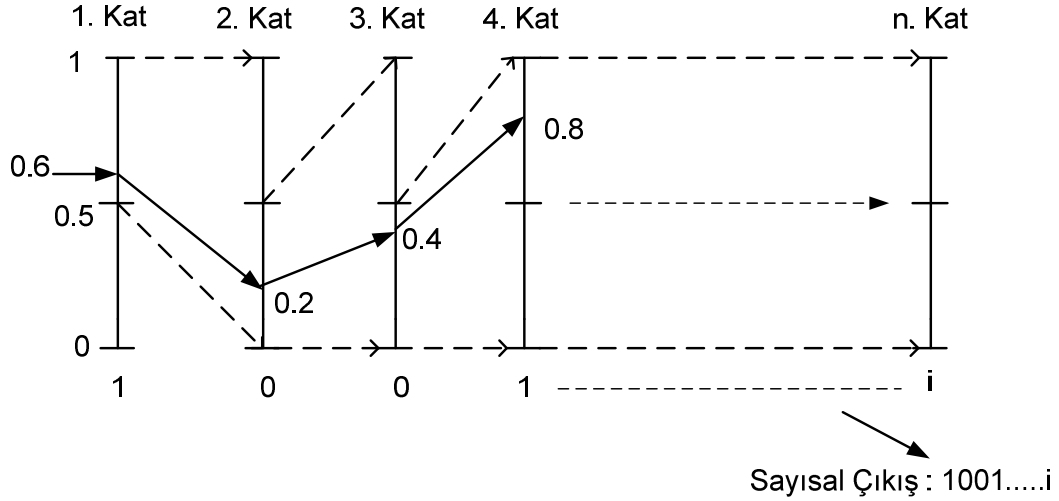
2.2 Pipeline Analog Sayısal Çevirici Yapısı ve Çalışması



Şekil 2.2 : Pipeline ADC Yapısı

N bit kat çözünürlüklü i adet katın birbiri ardına bağlanarak oluşturulduğu pipeline ADC blok diyagramı Şekil 2.2’de verildiği gibidir. Yapıya bakıldığında idealde birbiri ile eşdeğer katların art arda, birbirine bağlı olduğu görülmektedir. Her kat kendi sayısal çıkışını oluşturur ve rezidü işaretini sonraki kata aktarır. Bu şekilde ilk katta en yüksek anlamlı sayısal çıkış biti oluşur ve sonraki katlarda daha az anlamlı

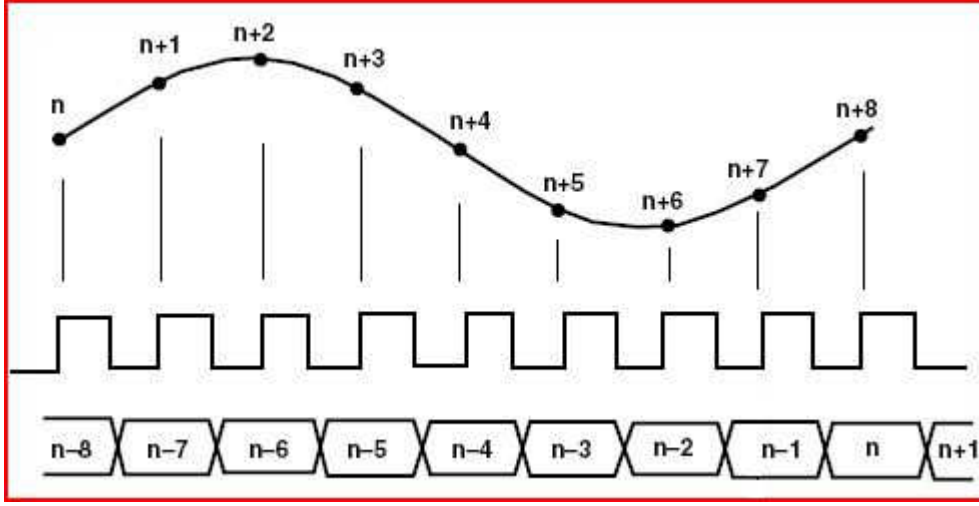
sayısal çıkış bitleri oluşmaktadır. Şekil 2.2'deki ideal modelde i adet katın her birinden n çözünürlüklü sayısal çıkış elde edilecektir. Böyle bir sistemin toplam sayısal çözünürlüğü $n*i$ bit kadar olacaktır.



Şekil 2.3 : Pipeline ADC Çalışma Prensibi

n katlık bir pipeline ADC'nin basit çalışma prensibi Şekil 2.3'te verilmiştir. Her kat 1 bit çözünürlüğe sahiptir. Giriş değeri, 0.5 olan karşılaştırmacı referans değeriyle karşılaştırılır ve katın sayısal çıkışı 1 olarak elde edilir. Bu değere karşı gelen analog değer, giriş analog değerinden çıkarılıp kat içi kuvvetlendirme işlemi ile diğer bir pipeline katına aktarılır. Görüldüğü gibi her katta karşılaştırmacı referans değeri ile karşılaştırılan giriş işareti sayısal olarak çevrilir ve rezidü işareti diğer bir kata aktarılır. Bu şekilde ilk katta en yüksek anlamlı sayısal çıkış biti oluşur, diğer katlarda oluşan daha az anlamlı sayısal çıkış bitleriyle birlikte, analog sayısal çevirici için toplam sayısal çıkış kodu elde edilmektedir.

Pipeline ADC yapısında katlar art arda bağlıdır. Yapının çalışma prensibinden ötürü, analog giriş işaretinin belli bir anına karşı gelen sayısal çıkış bitleri arasında zaman farkları oluşmaktadır. Yapıda ilk olarak en yüksek anlamlı sayısal çıkış biti oluşur. Sonraki katlarda oluşan, daha az anlamlı sayısal çıkış bitleri daha geç ortaya çıkmaktadır. Sayısal çıkış bitleri arasında, bahsedilen beklemeden kaynaklanan zaman farkları, veri gecikmesi (latency) olarak da anlandırılabilir. Bu gecikmeler flip flop dizileri ile oluşturulan ötelemeli kaydeciler ile düzeltilir. Bekleme ya da veri gecikmesi olarak adlandırılan bu özellik yapı için bir dezavantaj olsa da, pipeline ADC'nin kullanıldığı uygulama alanlarında telafi edilebilir sınırlar içinde olacaktır.



Şekil 2.4 : Sayısal Çıkış Veri Gecikmesi [1]

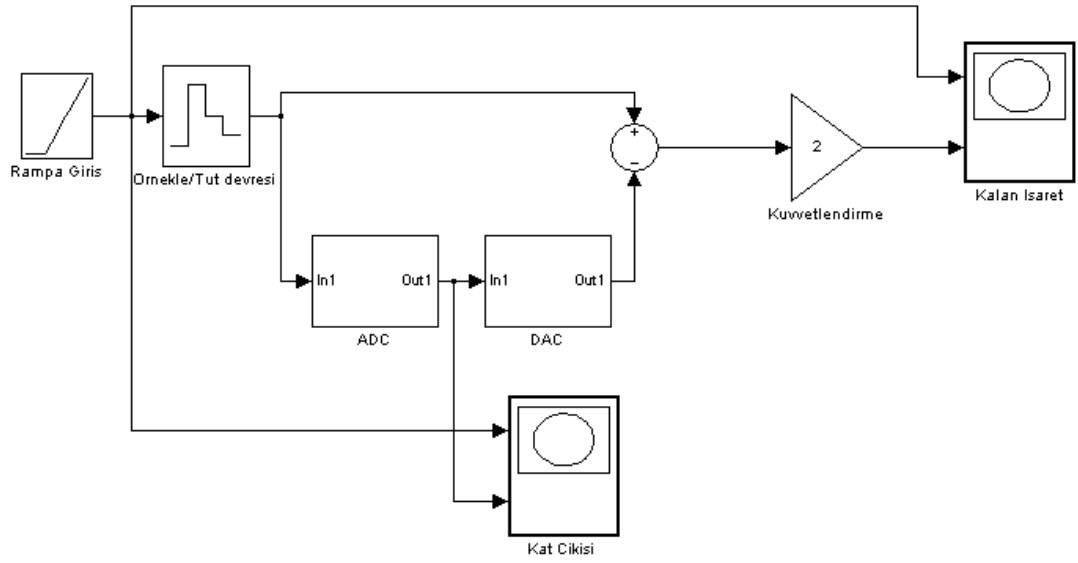
Şekilde 2.4'te ADC girişine gelen işaret, çalışma saati işareti ve çıkış işaretleri verilmiştir. Giriş işaretinde n ile gösterilen zamana ilişkin bilgi, çıkış işaretinde belli sayıdaki saat darbesi sonrasında ortaya çıkar. Bu zaman farkı pipeline ADC içerisindeki kat sayısına bağlı olarak artmaktadır. Kat çıkışlarındaki sayısal işaretler farklı sürelerde bekletilerek, katlar arası zaman farkları giderilir.

2.3 Pipeline Analog Sayısal Çevirici Matlab Simulink® Modellemesi

Pipeline ADC yapısının çalışmasının anlaşılması açısından Matlab Simulink® ortamında pipeline kat yapısı modellenmiş ve sistem benzetimleri yapılmıştır. Sistem tasarımının yapılması aşamasında, daha önceden yapılan modellemelerin büyük önemi vardır. İdeal olmayan benzetim elemanları ile yapılacak tasarımda karşılaşılabilecek sorunlar, Simulink® ortamında modellenerek daha rahat çözüme kavuşturulabilir.

2.3.1 Pipeline ADC katı Simulink® modeli

Temel Pipeline ADC alt yapı bloklarına bakıldığında bir Pipeline katı; örnekleme ve tutma devresi, flash ADC yapısı, DAC yapısı ve rezidü kuvvetlendirici yapılardan oluşur. Temel alt bloklarla modellenen 1 bitlik bir Pipeline kat Şekil 2.5'te görülmektedir. Yapıda giriş verilen rampa işareti örnekleme ve tutma yapısıyla örneklenip tutularak, kat içerisindeki 1 bitlik ADC yapısıyla sayısala çevrilmiştir. Kat içerisindeki ADC'ye parametre olarak girilen eşik değerlerine göre çıkış seviyesi değişmektedir. 1 bitlik bir kat yapısı için, kat içerisindeki ADC bir karşılaştırmacıdır.



Şekil 2.5 : Pipeline ADC Katı Simulink® Modeli

Karşılaştırıcının çıkışı o pipeline katın da sayısal çıkışıdır. Tekrar bir DAC yapısıyla analog değere dönüştürülen işaret giriş işaretinden çıkarılır ve 2 ile çarpılarak kuvvetlendirilir. Kuvvetlendirilerek diğer pipeline katına aktarılan çıkış rezidü olarak adlandırılır.

Yapıda kullanılan ADC ve DAC'ın çözünürlükleri parametrik olarak birlikte ayarlanabilmektedir. Girilen referans değerlerin sayısı ile bu yapıların çözünürlükleri artırılabilir. Parametre olarak girilen referans değerleri ile kat içi ADC ve DAC çözünürlükleri birbirine eşit olarak ayarlanmıştır. Yapılar için yazılan fonksiyonlar ve bu fonksiyonların aldıkları referans değerleri ile oluşturulan giriş çıkış tabloları, sayısal ve analoğa dönüştürme işlemlerinde kullanılır.

ADC için yazılan fonksiyonlar referans ve durum değerlerini parametre olarak kabul etmektedir. Giriş çıkış tablosunun girişi ve çıkışı fonksiyona girilen durum değeri parametresine göre belirlenmektedir. Ayrıca fonksiyona girilen referans değerleri ile giriş-çıkış tabloları oluşturulmuştur.

Giriş işareti bu tablo yardımıyla farklı seviyedeki çıkış işaretlerine çevrilmektedir. DAC için yazılan fonksiyonda da aynı mantık kullanılmaktadır, fonksiyon yardımıyla oluşturulan tablo ile giriş işareti farklı seviyedeki çıkış işaretlerine çevrilmektedir.

Giriş ve çıkış tablolarını oluşturan fonksiyonlar şu şekildedir:

ADC tablo fonksiyonu:

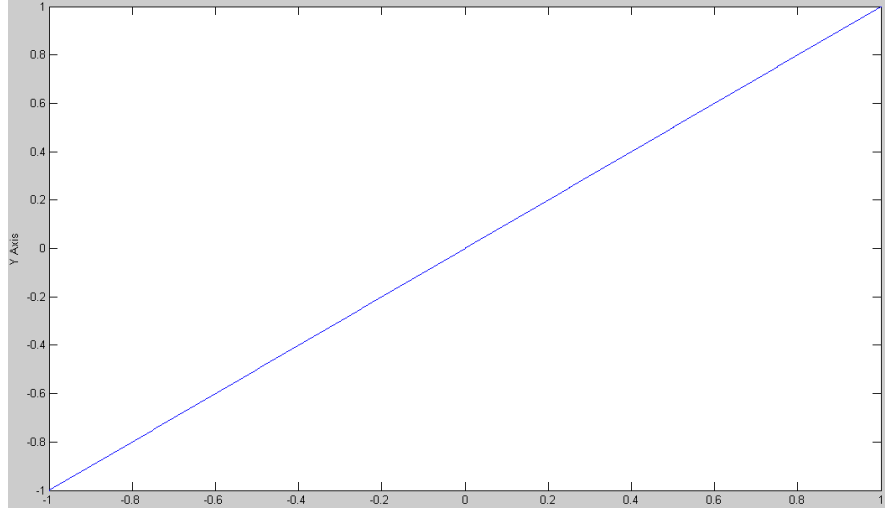
```
function x=adc_table(degerler,durum) %fonksiyon degiskenleri
A=length(degerler); %degerlerin derecesi(parametrik)
B=2*A+2;
degerler(degerler==0)=realmin; %0 girilmesine karşı önlem
if durum==0 %En küçük reel sayı degerlere yazılır
    x(B)=realmax;
    x(1)=-realmax; %Giris degerleri
    x(2:2:B-2)=degerler;
    x(3:2:B-1)=degerler;
else
    x(2:2:B)=0:A; %Cikis degerleri
    x(1:2:B-1)=0:A;
end
```

DAC tablo fonksiyonu:

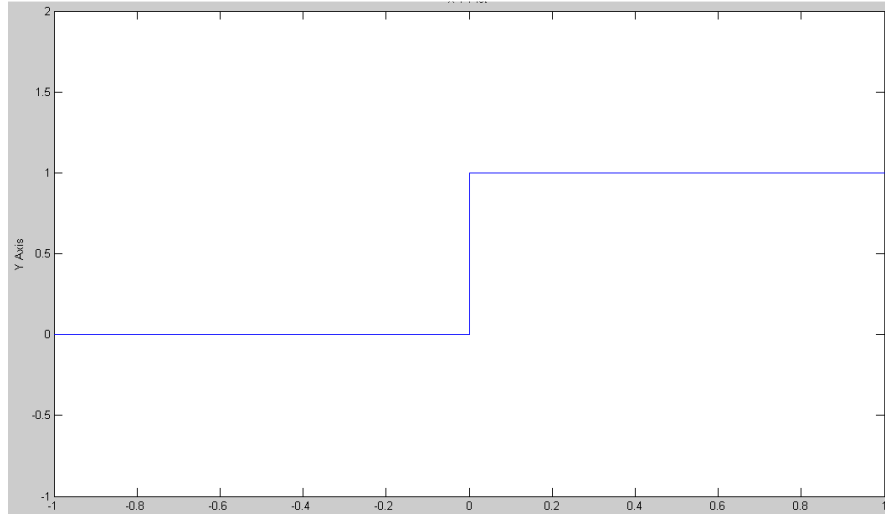
```
function x=dac_table(cikislar,durum) %fonksiyon degiskenleri
A=length(cikislar); %degerlerin derecesi(parametrik)
B=2*A;
degerler(cikislar==0)=realmin; %0 girilmesine karşı önlem
if durum==0 %En küçük reel sayı degerlere yazılır
    x(B)=realmax;
    x(1)=-realmax; %Giris degerleri
    x(2:2:B-2)=(2:A)-1.5;
    x(3:2:B-1)=(2:A)-1.5;
else
    x(2:2:B)=cikislar; %Cikis degerleri
    x(1:2:B-1)=cikislar;
end
```

Kat yapısına verilen rampa işareti, kat sayısal çıkış işareti ve rezidü işareti grafikleri Şekil 2.6, Şekil 2.7 ve Şekil 2.8 ile verilmiştir.

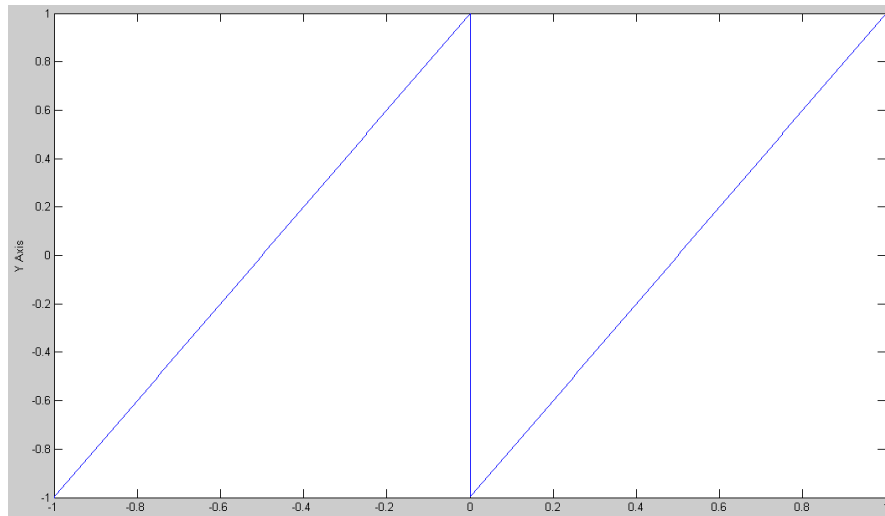
Rezidü işaret grafiğine bakılırsa X ekseninin yani giriş işaretinin değişimine karşılık, çıkış işaretin değeri y ekseninden okunabilmektedir. Girişe rampa işareti verildiği için x eksenini zaman eksenine gibi de düşünülebilir. X ekseninde ilerlerken işaretin karakteristiği yani toplandığı analog değer, ADC'ye girilen referans değerlerinde değişmiştir. Giriş işareti ADC'ye verilen referans değerinden küçükken, giriş işaretinden negatif DAC çıkışı çıkarılıp kuvvetlendirilir. Giriş işareti ADC'ye verilen referans değerinden büyükken, girişten pozitif DAC çıkışı çıkarılır ve kuvvetlendirme işlemi gerçekleştirilir.



Şekil 2.6 : Kat Modeli Rampa Giriş İşareti



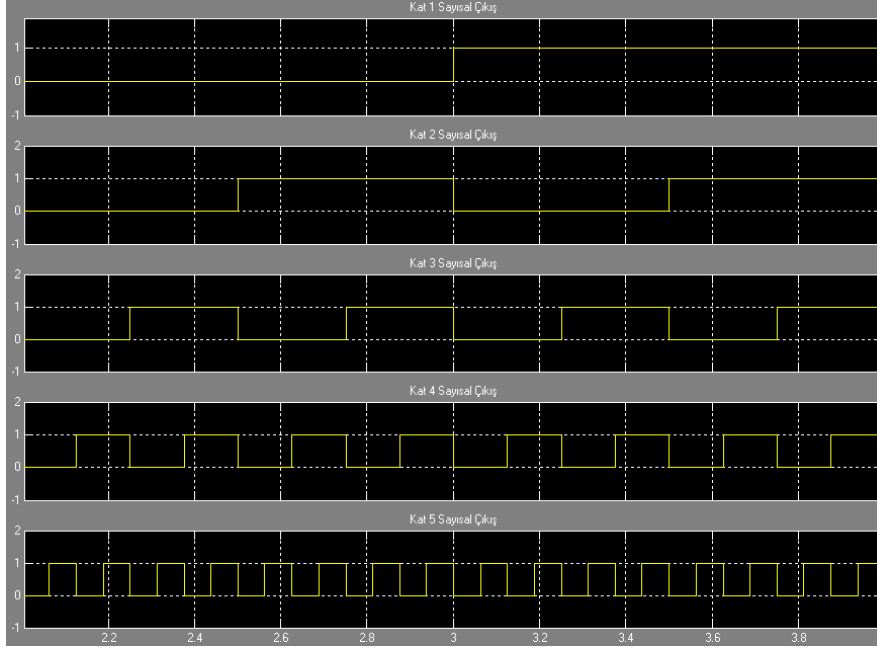
Şekil 2.7 : Kat Modeli Sayısal Çıkış İşareti



Şekil 2.8 : Kat Modeli Rezidü İşareti

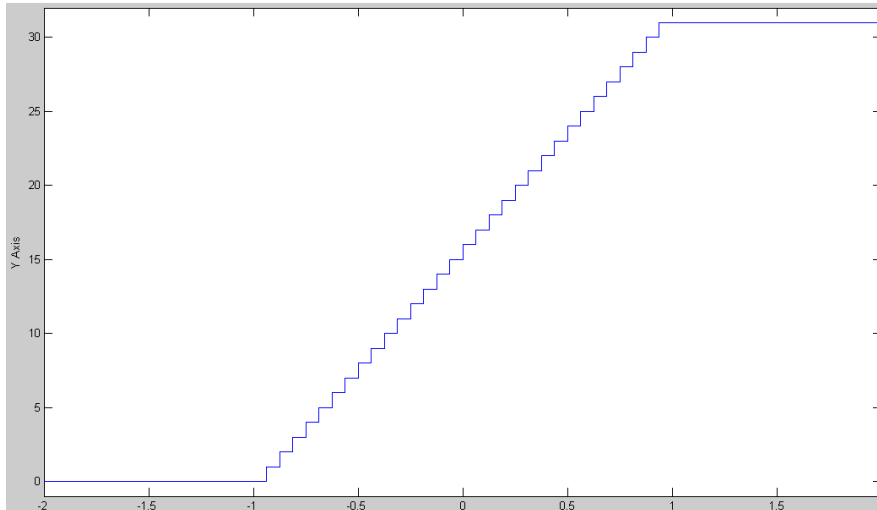
2.3.2 Pipeline ADC yapısı Simulink® modeli

Pipeline kat modeli kullanılarak oluşturulan 5 bitlik pipeline ADC'ye sayısal çıkış işaretleri grafiği Şekil 2.9'da verilmiştir.



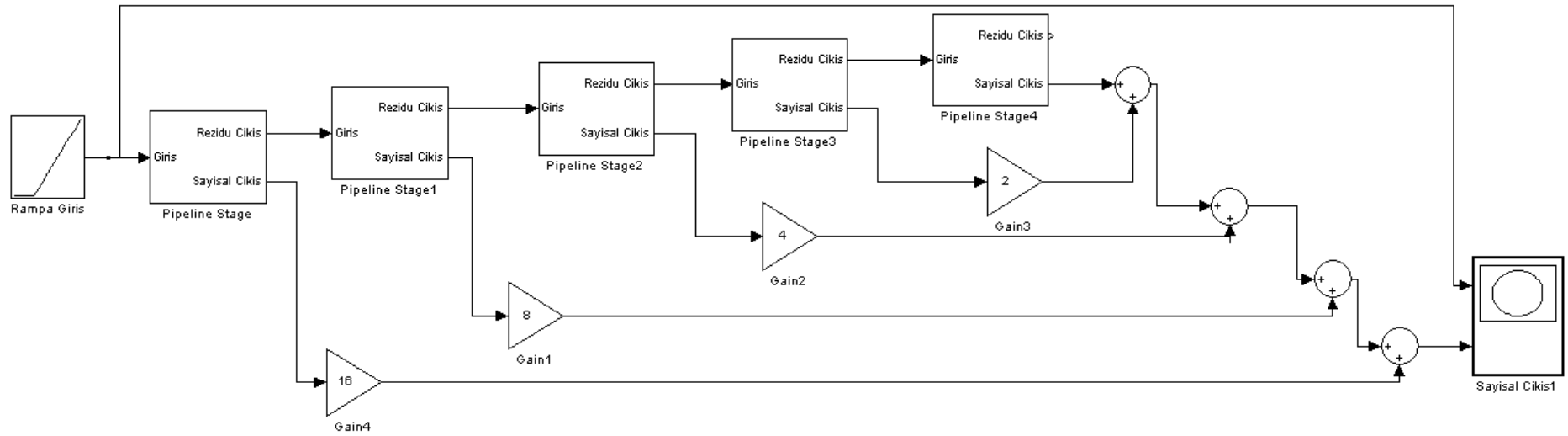
Şekil 2.9 : Pipeline ADC Sayısal Kat Çıkış İşaretleri

Birbirinin eşdeğeri 5 katın art arda bağlanması ile 5 bitlik bir pipeline analog sayısal çevirici modellenmiştir. Katların çıkışları ağırlıklandırılıp toplanarak elde edilen ve Şekil 2.10'daki grafikte verilen işaret ideal DAC çıkışı olarak da düşünülebilir.



Şekil 2.10 : Pipeline ADC Modeli için Kuantalanmış Analog Çıkış

Kullanılan 5 Bitlik yapıya ilişkin model Şekil 2.11 ile verilen Pipeline ADC Simulink Modelinde görülebilir.

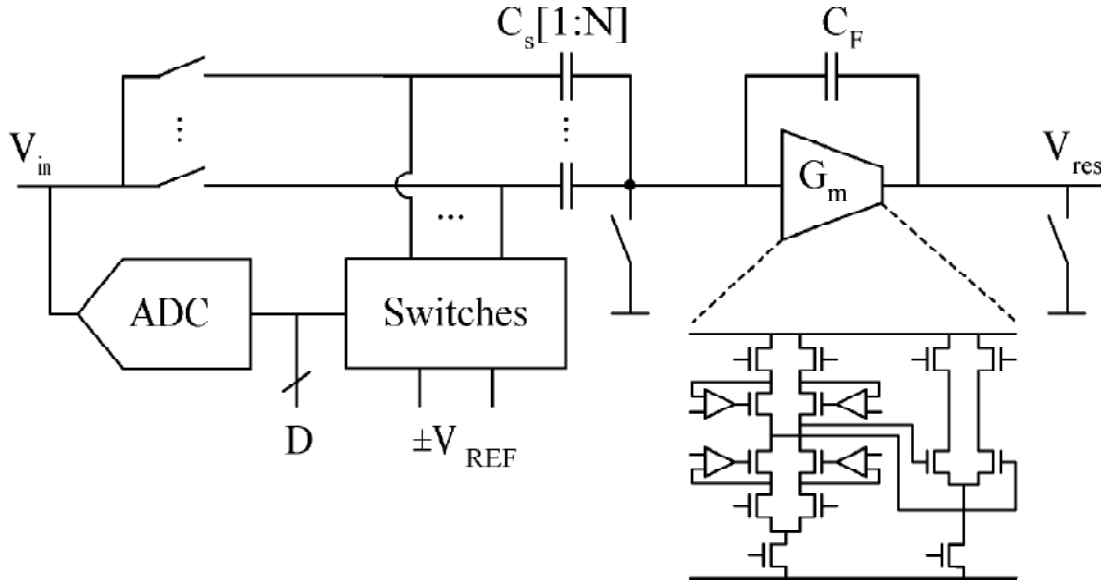


Şekil 2.11 : Pipeline ADC Simulink® Modeli

2.4 Kapalı Çevrimli Pipeline ADC Kat Yapısı

İlerleyen teknolojiyle birlikte analog devreler için besleme gerilimleri düşmektedir. Ayrıca transistör geometrilerinin küçülmesiyle birlikte, transistörlerden elde edilecek kazançlar düşmekte ve hassas yapı bloklarında kapalı çevrim kazançlarını elde etmek güçleşmektedir [2].

Pipeline analog sayısal çevirici yapısında rezidü işaretinin oluşturulması için kullanılan yapı rezidü kuvvetlendirici olarak adlandırılmıştır. Rezidü kuvvetlendirici yapı genel olarak yüksek kazançlı bir işlemsel kuvvetlendirici, kapasite ve anahtarlar ile tasarlanmaktadır. Kat içi kazancın istenen değere ayarlanması devre yapısındaki giriş ve geri besleme kapasitelerinin oranları ile belirlenmektedir. Kuvvetlendirme işleminin yüksek doğrulukta ve hassas olarak gerçekleştirilmesi için kullanılacak olan işlemsel kuvvetlendirici devresinin performansı yüksek olmalıdır. Bu da artan transistör sayısı ile birlikte daha fazla gürültü ve güç harcamasına yol açacaktır. Ayrıca kapalı çevrimde çalışan yapıda bant genişliği sınırlanmaktadır. Kapalı çevrimli rezidü kuvvetlendirici yapıları kullanan pipeline analog sayısal çeviricilerde harcanan gücü azaltmak için çeşitli teknikler kullanılmıştır. Örnek olarak kat kazancını optimize etmek ve kuvvetlendirici paylaşma teknikleri verilebilir [2].



Şekil 2.12 : Kapalı Çevrimli Pipeline ADC Kat Yapısı [3]

Şekil 2.12’de verilen devre yapısı kapalı çevrimli bir rezidü kuvvetlendiriciyi içeren bir pipeline analog sayısal çevirici katına aittir. Kat içerisindeki ADC ile giriş işareti sayısala çevrilir. Kapasite ve anahtarlardan oluşan sayısal analog çevirici ve kapalı

evrimde alıřan bir geiř iletkenlięi kuvvetlendiricisi ile rezidü iřareti oluřturulmaktadır. rnekleme fazında giriř iřareti rneklenir ve dięer fazda kat ii sayısal ıkıř iřaretiyle kontrol edilen rezidü iřareti oluřturulur [3].

Geribeslemenin efektiflięi sistemin evrim kazancıyla doęru orantılıdır; bununla birlikte yksek doęruluk iin, kompleks ve yksek kazançlı OTA topolojileri kullanılmalıdır [3]. Kapalı evrimli yapılar da kullanılan aık evrim kazancı yksek kuvvetlendiriciler, genellikle iki veya daha fazla kattan oluřmaktadır; byle bir yapı en az iki kutba sahiptir. Frekans kompanzasyonu yapılarak sistemin kararlı hale getirilmesi saęlanır fakat bu da kuvvetlendiricinin birim kazanç bant geniřlięi deęerini dřrmektedir [4].

3. AÇIK ÇEVİRİMLİ PIPELINE ADC KAT YAPISI

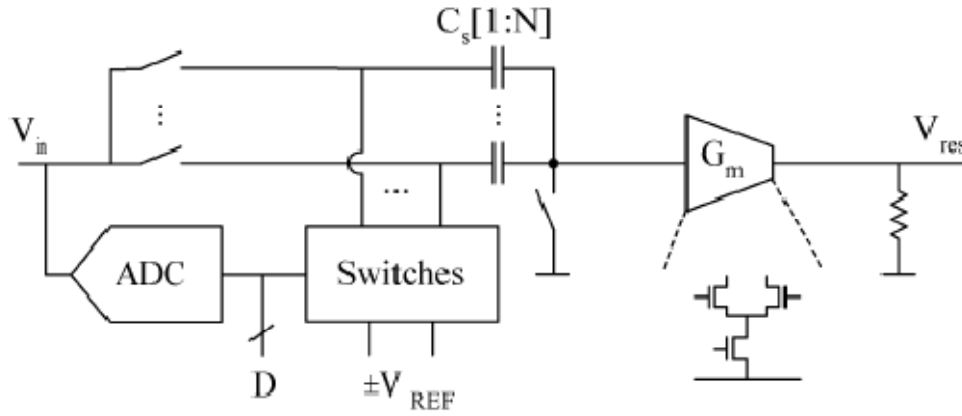
Pipeline analog sayısal çevirici yapısında kullanılacak olan rezidü kuvvetlendirici yapılar kapalı çevrimli ve açık çevrimli şekillerde gerçekleştirilebilmektedir. Kapalı çevrimli bir yapıda kullanılmak üzere tasarlanacak bir kuvvetlendirici için karşılaşılan zorluklar, açık çevrimli kuvvetlendirici yapılarına yönelme fikrini ortaya çıkarmıştır. Yüksek kazançlı kuvvetlendirici içeren kapalı çevrimli rezidü kuvvetlendirici yapıları yerine, açık çevrimli kuvvetlendiriciler ile oluşturulmuş uygun rezidü kuvvetlendirici yapılar kullanılabilir. Açık çevrimli kat kuvvetlendiricisi ile oluşturulan Pipeline ADC kat yapısı, açık çevrimli Pipeline ADC kat yapısı olarak adlandırılmıştır. Pipeline analog sayısal çevirici yapısında gerçekleştirilecek olan 2 ile çarpma işlemi tezde önerilen açık çevrimli bir kuvvetlendirici ile sağlanmıştır. Murmann ve Boser tarafından önerilen kat yapısı, kuvvetlendirici idealsizlik modeli ile tezde önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresi ve oluşturulan rezidü kuvvetlendirici yapı bu bölümde anlatılmıştır.

3.1 Açık Çevrimli Pipeline ADC Kat Yapısı ve İdealsizlik Modeli

Kaynak [3] ile belirtilen makalede açık çevrimli rezidü kuvvetlendirici ile gerçekleştirilen bir Pipeline ADC yapısı oluşturulmuş ve incelenmiştir. Bu makalede, bir sayısal kalibrasyon tekniği önerilmiş ve bu teknikle birlikte Pipeline ADC kat yapısında yüksek kazançlı kuvvetlendiricilerin yerine, açık çevrimli kat yapılarının kullanılabilmesi savunulmuştur. Önerilen sayısal kalibrasyon tekniğinde, kesin, hassas ve doğrusal olmayan açık çevrim kazancından kaynaklanan hatalar bir son-işlemci ile sürekli olarak değerlendirilmiş ve düzeltilmiştir. Bu yöntemle analog devre kaynaklı bir hassasiyet problemi, sayısal alana aktarmış ve toplamda kayda değer bir güç tasarrufu sağlanmıştır. Ayrıca basitleştirilmiş bir kuvvetlendiricinin kullanılması ile maksimum çevirme hızının artırılabilmesi başka bir avantaj olarak belirtilmiştir.

Makalede Pipeline ADC'nin ilk katındaki rezidü kuvvetlendirici yapı açık çevrimli olarak tasarlanmıştır. Daha önce tasarlanan 12 bit çözünürlükte 75 Msps hızındaki bir Pipeline ADC temel alınmış ve ilk kat yapısı değiştirilerek incelenmiştir. Ayrıca geleneksel kat yapısı ile açık çevrimli kat yapısı kıyaslanmıştır. Açık çevrimli kat yapısı için bir hata modeli kurulmuş ve sayısal kalibrasyon yöntemi incelenmiştir. Makalede, gerçekleştirilen Pipeline ADC yapısı için ayrıntılar ve ölçüm sonuçları verilmiştir.

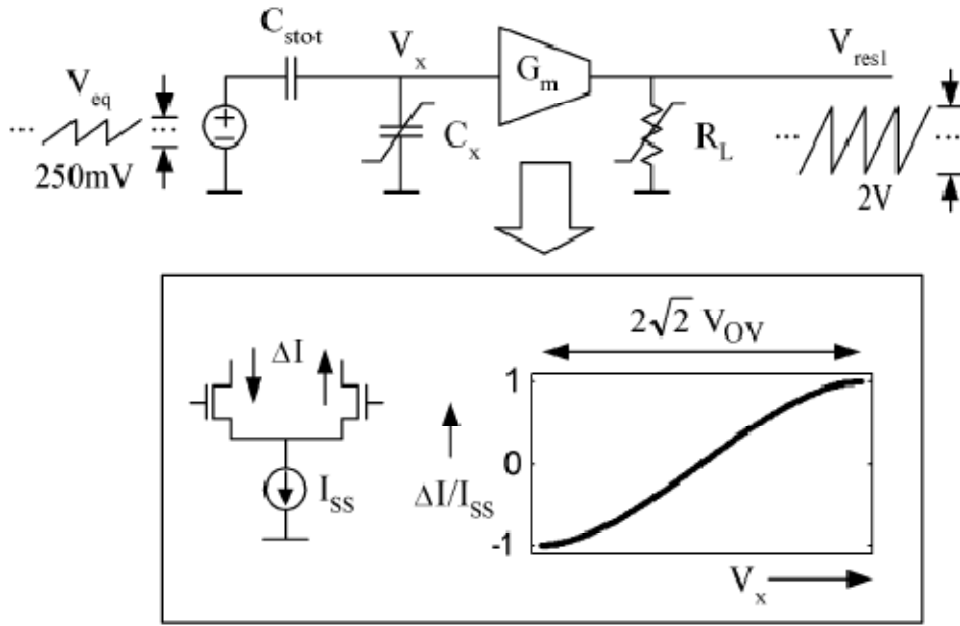
Kapalı çevrimli kat yapısında hassas ve doğru bir transfer fonksiyonu elde etmek için, kullanılacak olan kuvvetlendirici kazancı 100 dB üzerinde olmalıdır [3]. Bu kazancı düşük iç kazançlı transistör teknolojileri ve sınırlı beslemeler ile gerçekleştirmek zor olacaktır [3].



Şekil 3.1 : Açık Çevrimli Pipeline Kat Yapısı [3]

Şekil 3.1'de gösterilen açık çevrimli kat yapısının çalışması, kapalı çevrimli kat yapısına benzerdir. Kapalı çevrimde geri besleme kapasitesi üzerinden çıkışa iletilen gerilim, açık çevrimde direnç yüklü bir fark katı ile rezidü gerilimini oluşturur [3]. Bu yapıda ihtiyaç duyulan kazanç değeri düşmüş ve mikron altı teknolojilerle uyumluluk artmıştır [3].

Makalede, açık çevrimli kuvvetlendiricinin kullanılmasıyla ortaya çıkan hatalar ve ideallsizlikler incelenmiş ve sayısal hata düzeltme tekniği anlatılmıştır. Kapalı çevrimli kat yapısındaki ideallsizlikler kapasitelerin eşleşmemesi ve kat içerisindeki ADC'den kaynaklı karşılaştırmacı hatalarından kaynaklanmaktadır. Açık çevrimli yapının analiz edilebilmesi için şekildeki gibi bir model kurulmuştur.

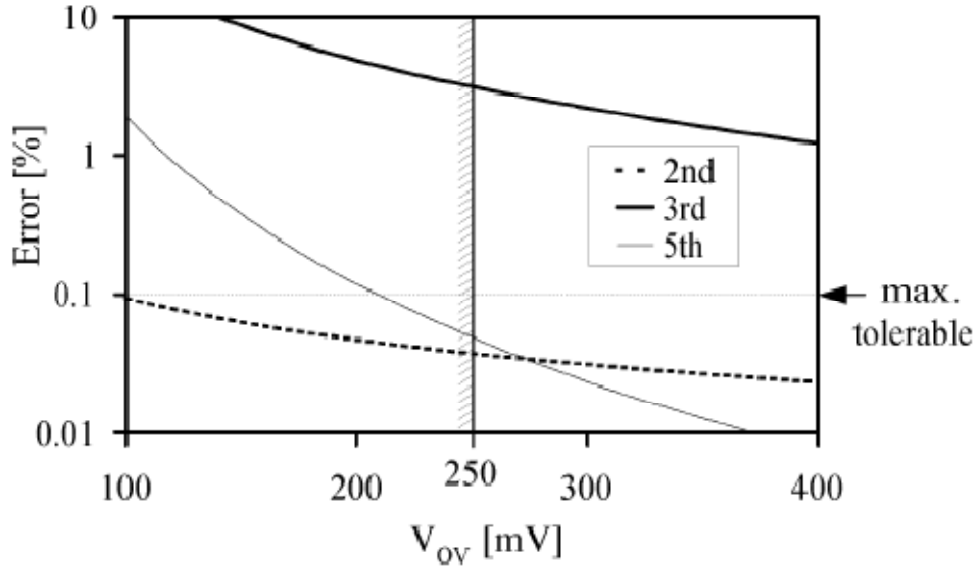


Şekil 3.2 : Doğrusalsızlık Analizi için Model [3]

Şekil 3.2’deki modelde açık çevrimli kat yapısındaki kapasite dizisi eşdeğeri C_{stot} ile gösterilmiştir. V_{res} çıkış gerilimi ile V_{eq} giriş gerilimi arasındaki kazanç değeri 2^R kadar olmalıdır. Burada R katın bit çözünürlüğü olarak belirtilmiştir. Yapıda, kuvvetlendirici girişindeki parazitik C_x kapasitesinden kaynaklanan zayıflama ve $G_m \cdot R_L$ çarpımı kazancı etkileyen faktörlerdendir. Bu faktörler doğru olarak kontrol edilemediğinden, doğrusal bir transfer fonksiyonu elde edilememektedir. Kuvvetlendirici giriş fark katı parazitik C_x kapasitesinin gerilime bağlı olması, rezistif yükteki doğrusalsızlık ve kuvvetlendirici giriş katı transistörleri eşleşme hatalarından dolayı 2^R değerindeki kat kazancı doğrusal olmamaktadır. Analiz için giriş fark katı akım gerilim ilişkisi aşağıdaki (3.1)’deki gibi verilmiştir.

$$\frac{\Delta I}{I_{SS}} = \left(\frac{V_x}{V_{OV}} \right) + \frac{1}{4} \frac{\Delta\beta}{\beta} \left(\frac{V_x}{V_{OV}} \right)^2 - \frac{1}{8} \left(\frac{V_x}{V_{OV}} \right)^3 - \frac{1}{128} \left(\frac{V_x}{V_{OV}} \right)^5 - \dots \quad (3.1)$$

ΔI ve I_{SS} fark katı çıkış akımı ve kuyruk akımını, V_{OV} ($V_{GS} - V_T$) gerilimini, $\Delta\beta/\beta$ iki transistör arasındaki eşleşme hatasını göstermektedir. Oluşturulan modele göre, minimum kuyruk akımı için gerekecek olan makul bir V_{OV} gerilim değeri seçimi araştırılmıştır. Şekil 3.3’te fark katı doğrusalsızlık hatası ile V_{OV} gerilimi arasındaki ilişki görülmektedir. Giriş fark gerilimi V_x ’in 250 mV olacağı varsayıldığında, kat kazancı 8 olan bir yapıda istenen çıkış gerilimi 2 V olmalıdır



Şekil 3.3 : Fark Katı Doğrusalsızlık Hatası[3]

Grafikte 2. terim için transistör eşleşme hatası $\Delta\beta/\beta = 0.3\%$ varsayılmıştır. 0.1% , ADC'nin 1. katı için telafi edilebilecek maksimum hata sınırı olarak belirtilmiştir. Grafiğten anlaşılabileceği gibi büyük bir V_{OV} gerilimi seçilerek doğrusalsızlık hatası azaltılabilmektedir. Fakat $G_m \approx I_{SS}/V_{OV}$ eşitliğinden anlaşılabileceği üzere, V_{OV} gerilimindeki artış I_{SS} kuyruk akımına da yansıtılarak, sabit bir geçiş iletkenliği değeri elde edilmelidir.

Bu noktada makalede, makul bir V_{OV} seçilerek kat idealsizliklerinin uygun değerde tutulması araştırılmıştır. Grafikte görüldüğü gibi V_{OV} gerilimi 250 mV değerinden büyük seçilerek 2. ve 5. hata terimleri maksimum tolere edilebilir sınır değerinin altında bırakılmıştır. 3. Hata terimi bu sınırların dışında kalmış ve sayısal olarak düzeltilmesi öngörülmüştür.

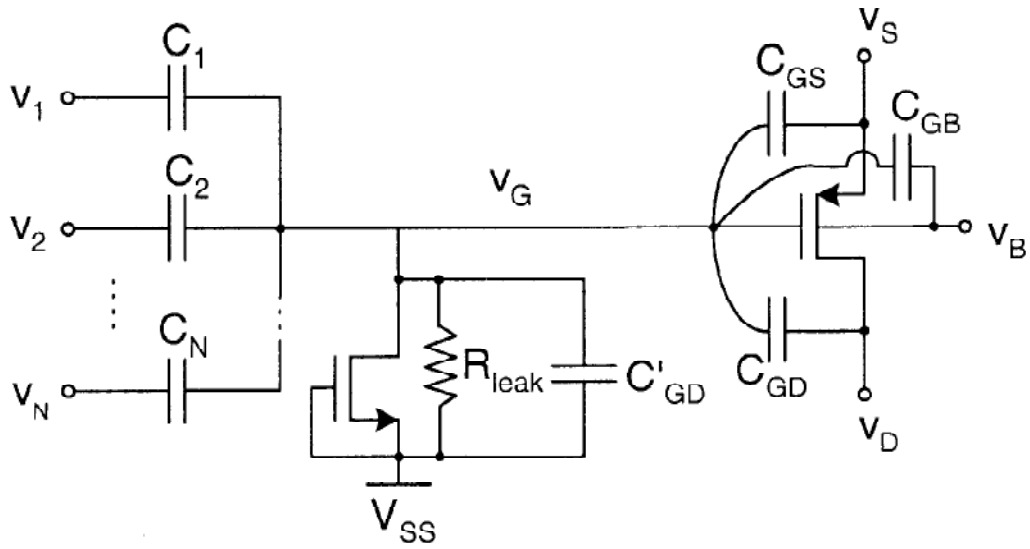
Pipeline katında, kat içerisindeki ADC'den kaynaklı idealsizlikler ve kuvvetlendirici ofseti hatası, var olan hata düzeltme teknikleri kullanılarak düzeltilmiştir. Makalede bunlara ek olarak açık çevrimli kuvvetlendiriciden kaynaklanan ve doğrusal kat kazancını etkileyen 3. derece hata teriminin düzeltilmesine ilişkin bir sayısal hata düzeltme tekniği geliştirilmiştir.

Önerilen sayısal kalibrasyon tekniği ile kullanılan açık çevrimli kat yapısının kullanılması güç tüketiminde önemli ölçüde iyileştirme sağlamıştır. Makalede önerilen açık çevrimli kat yapısının kullanılmasıyla rezidü kuvvetlendiricide 60% 'tan fazla güç tasarrufu sağlandığı belirtilmiştir.

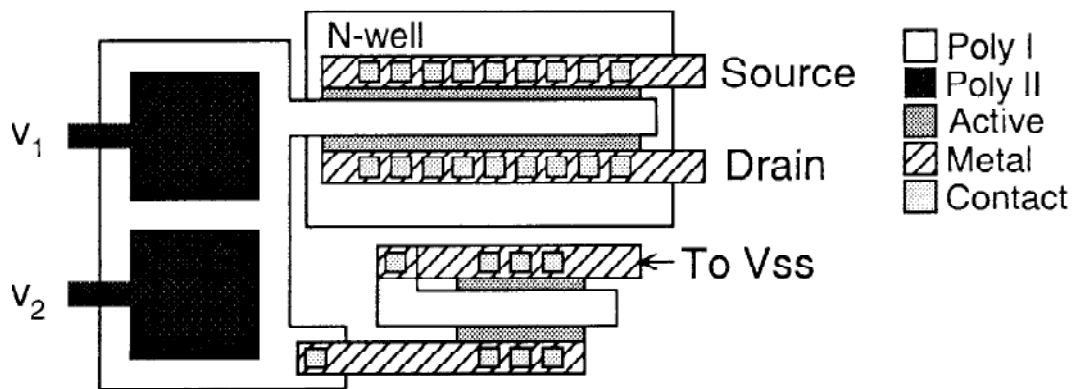
3.2 Açık Çevrimli x2 Kazançlı Kuvvetlendirici

Açık çevrimli x2 kazançlı kuvvetlendirici yapısında temel olarak sözde-yüzen geçit (QFG- quasi floating gate) tekniğine benzer bir teknik kullanılmıştır. QFG tekniği ile birçok açık ve kapalı çevrimli CMOS devre yapısı gerçekleştirilebilmektedir. Örnek olarak analog anahtar yapıları, karıştırıcılar, programlanabilir kazançlı kuvvetlendiriciler, örnekleme ve tutma devreleri, sayısal analog çeviriciler verilebilir [5].

QFG tekniği ile oluşturulan bir pMOS devresi ve serimi Şekil 3.4 ve Şekil 3.5’de verilmiştir.

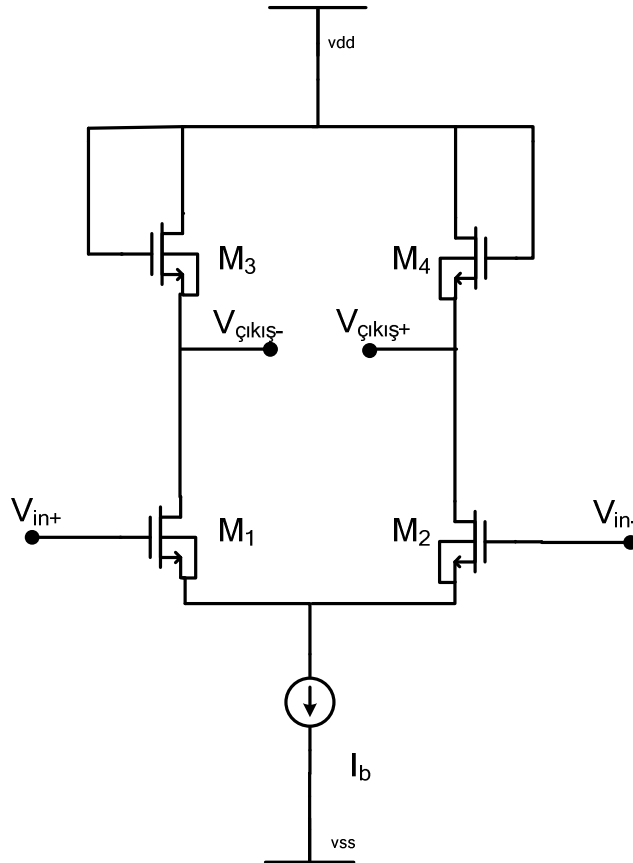


Şekil 3.4 : QFG pMOS Devresi [5]



Şekil 3.5 : QFG pMOS Transistör Serimi [5]

Bu teknikte kullanılacak transistörlerin DC geçit gerilimleri, doğru kutuplama için besleme gerilimlerinde tutulmalıdır. nMOS bir transistörün yüzen-geçit gerilimi VDD geriliminde, pMOS bir transistörün yüzen-geçit gerilimi VSS geriliminde tutulmalıdır. Transistörleri kutuplamak için yüzen-geçit gerilimlerini, uygun gerilim değerlerine çeken büyük değerli dirençler kullanılır. Şekil 3.4 ve Şekil 3.5’de iki girişli QFG tekniği uygulanmış bir PMOS transistör için devre şeması ve serimi verilmiştir. Büyük değerli bu direnç, serimde görüldüğü üzere, kesim bölgesinde çalışan ters kutuplanmış, p-n jonksiyonlu bir nMOS ile gerçekleştirilebilir. Girişlerin, $1/2\pi R_{leak}C_T$ kesim frekanslı yüksek geçiren bir filtreden geçtiği görülmektedir. Burada C_T kapasite değeri, giriş kapasiteleri $C_1, C_2,..C_N$, pMOS geçit kaynak kapasitesi C_{GS} , geçit gövde kapasitesi C_{GB} ve geçit savak kapasitesi C_{GD} kapasite değerlerinin toplamı kadardır. Kesim frekans değeri, diyot bağlı nMOS direnç yapısı kullanıldığında çok küçük değerlere çekilebilir [5]. QFG tekniği kullanılarak tasarlanan tampon devre uygulamaları [6], [7] ve [8] kaynak makalelerde görülebilir.

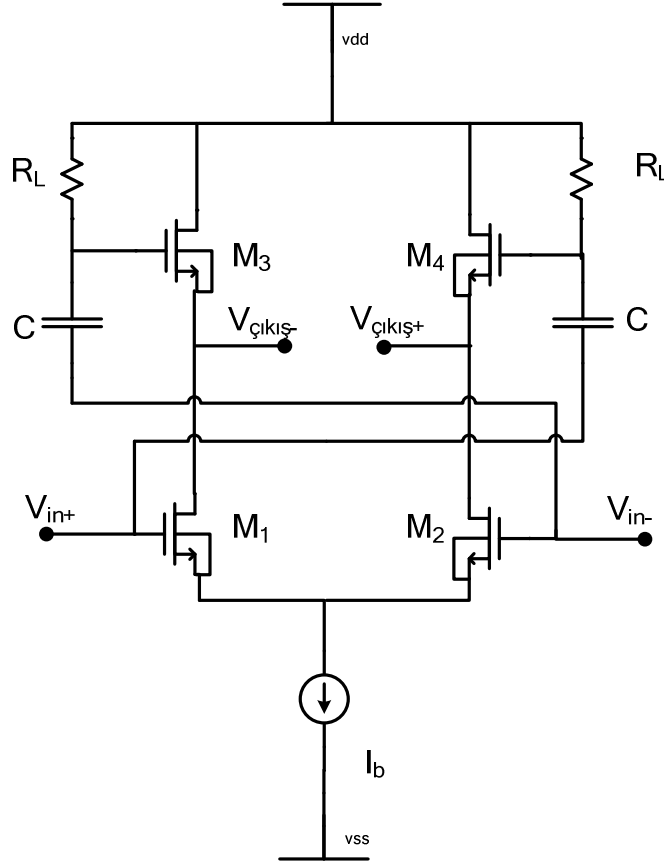


Şekil 3.6 : Açık Çevrimli Diyot Yüklü Fark Kuvvetlendiricisi

Şekil 3.6 ile diyot yüklü fark kuvvetlendirici devre yapısı verilmiştir. Önerilen açık çevrimli x2 kazançlı kuvvetlendirici yapısı, diyot yüklü fark kuvvetlendirici ile QFG

teknikinin beraber uygulaması olarak düşünülebilir. Diyot yüklü fark kuvvetlendirici devresinde transistörlerin birbirine eş olduğu durumda farksal kazanç “1” olacaktır. Giriş fark gerilimi, çarpaz olarak M_3 ve M_4 transistörlerinin geçitlerine, kapasiteler üzerinden iletilip, bu noktalar VDD gerilimine büyük değerli dirençler ile bağlandığında önerilen yapı ortaya çıkmaktadır.

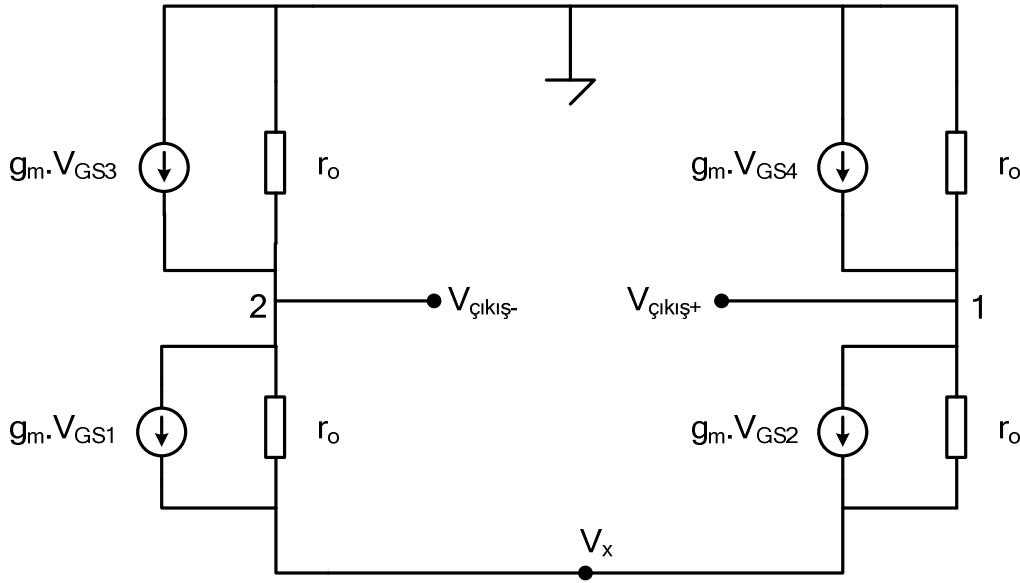
Önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresi Şekil 3.7’de verilmiştir.



Şekil 3.7 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici

Devre nMOS transistörle oluşturulmuştur. Devre yapısına bakıldığında giriş gerilimi M_1 ve M_2 transistörlerinin geçitlerine doğrudan, M_3 ve M_4 transistörlerinin geçitlerine ise QFG tekniğinde olduğu gibi kapasiteler üzerinden ulaşmaktadır. M_3 ve M_4 transistörlerinin geçit gerilimleri giriş işaretinin DC gerilim seviyesinden bağımsızdır; bu noktaların kutuplama gerilimleri, büyük değerli R_L dirençleri ile VDD geriliminden sağlanmaktadır. Giriş gerilim değeri, M_1 - M_2 transistörlerinin oluşturduğu fark kuvvetlendiricisi üzerinden, ayrıca M_3 - M_4 kaynak çıkışlı yapı üzerinden geçerek, çıkışta toplanır. Yapıdaki M_1 , M_2 , M_3 ve M_4 transistör boyutları eşit seçildiğinde fark kuvvetlendirici M_1 - M_2 yapısının kazancı 1 olmaktadır. M_3 - M_4 transistörleri ile gerçekleştirilen kaynak çıkışlı devrenin kazancı da 1’e eşittir. Bu

iki kazanç ile oluşan gerilim değerlerinin süperpozisyonu ile x2 kazançlı bir yapının oluştuğu görülebilir. Daha önce bahsedildiği gibi C kapasiteleri ve R_L dirençleri giriş gerilimleri için yüksek geçiren birer filtredir. Filtrenin kesim frekansının küçük değerli olması için R_L direnç değeri oldukça büyük seçilmelidir. Büyük değerli R_L dirençleri, devrenin seriminde fazla alan kaplayacaktır. Bu yüzden, R_L direnci yerine transistörler ile gerçekleştirilmiş bir yapı kullanılarak, filtre kesim frekansı oldukça küçük değerlere çekilebilecek ve serim alanı küçültülebilecektir.



Şekil 3.8 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici AC Eşdeğer Devresi

Devrenin kazanç ifadesini incelemek amacıyla oluşturulan ve Şekil 3.8 ile verilen eşdeğer devrede, AC anlamda C kapasiteleri kısa devre, büyük değerli R_L dirençleri ise açık devre alınmıştır. Ayrıca I_b DC kutuplama akım kaynağı da açık devre alınarak eşdeğer devre oluşturulmuştur. Tüm transistörler birbirine eş alınarak analiz yapılmıştır. Kullanılan eşitlikler, ilgili düğüm denklemleri ve çıkarılan kazanç ifadesi aşağıda verilmiştir.

$$V_{GS1} = (V_{in+} - V_x) \quad (3.2)$$

$$V_{GS2} = (V_{in-} - V_x) \quad (3.3)$$

$$V_{GS3} = (V_{in-} - V_{out-}) \quad (3.4)$$

$$V_{GS4} = (V_{in+} - V_{out+}) \quad (3.5)$$

1 nolu düğüm denklemi:

$$-\frac{V_{out+}}{r_o} + g_m(V_{in+} - V_{out+}) = \frac{(V_{out+} - V_x)}{r_o} + g_m(V_{in-} - V_x) \quad (3.6)$$

2 nolu düğüm denklemi:

$$-\frac{V_{out-}}{r_o} + g_m(V_{in-} - V_{out-}) = \frac{(V_{out-} - V_x)}{r_o} + g_m(V_{in+} - V_x) \quad (3.7)$$

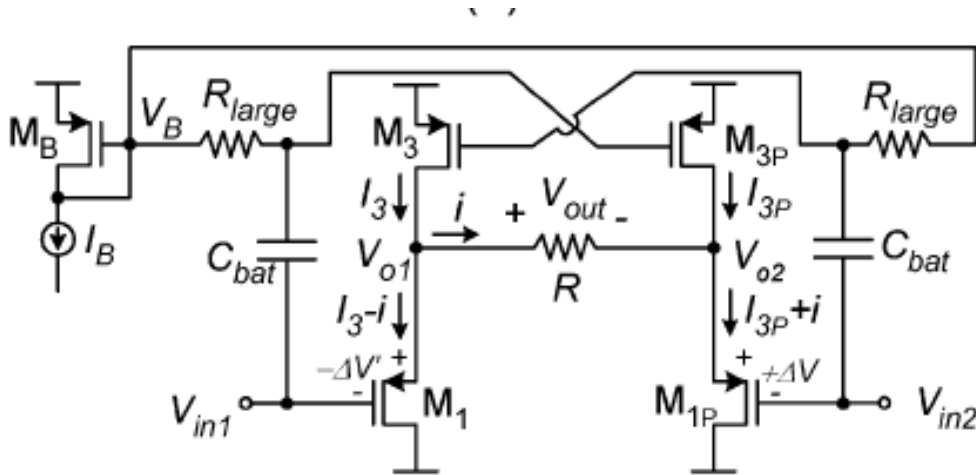
Denklemler taraf tarafa çıkarılırsa:

$$\frac{(V_{out+} - V_{out-})}{r_o} + g_m(V_{in-} - V_{out-} - V_{in+} + V_{out+}) = \frac{(V_{out-} - V_{out+})}{r_o} + g_m(V_{in+} - V_{in-}) \quad (3.8)$$

Kazanç ifadesi:

$$\frac{(V_{out+} - V_{out-})}{(V_{in+} - V_{in-})} = \frac{2g_m}{2/r_o + g_m} \quad (3.9)$$

Sonuç olarak, elde edilen kazanç ifadesinde transistörlerin r_o çıkış direnci $r_o \gg 2$ olduğu kabul edildiğinde farksal kazanç değerinin 2 olacağı görülmektedir.



Şekil 3.9 : QFG Tekniği ile Farksal Gerilim İzleyici [7]

[7] numaralı kaynakta verilen farksal gerilim izleyici devre Şekil 3.9’da verilmiştir, devrenin gerilim kazancı **(3.10)** ile verilmiştir.

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}+g_{m3}}{g_{m1}+\frac{2}{R}} \quad (3.10)$$

Şekil 3.9’da verilen QFG tekniği ile oluşturulan farksal gerilim izleyici devre, x2 kazançlı kuvvetlendirici devresi ile karşılaştırma açısından verilmiştir. Farksal gerilim izleyici devre AB sınıfı çalışmaktadır; devre büyük işaretlerde çalışırken R direncine sükunet akımının üzerinde akımlar verebilmektedir. Devrede I_B akımı diyot bağlı M_B transistörü ve büyük değerli R_{large} dirençleri üzerinden M_3 ve M_{3p} transistörlerinin geçitlerine bağlıdır. Bu transistörlerin kutuplama akımları böylece I_B akımına eşit olmaktadır. Devrede giriş farksal gerilimi artarken M_1 ve M_{3p} transistörleri iletimde olduğu sürece aynı akımı akıtır, M_{1p} ve M_3 transistörleri ise kesime girmektedir. Küçük farksal giriş gerilimleri ile çalışma durumunda ise yapıdaki transistörler üzerinden farklı akım değerleri akmaktadır. Bu durumda büyük işaretler için yapının kazanç ifadesinde verilen g_m değerlerinin birbirlerine eşitliği sağlanamamaktadır. Devrede yük direnci kaldırılarak doğrusal x2 kazancı elde edilebilse de çıkış DC gerilim seviyesinin (V_{CM}) giriş DC gerilim seviyesine bağlılığı söz konusudur.

Bu değer aşağıdaki eşitlik ile verilmiştir (3.11).

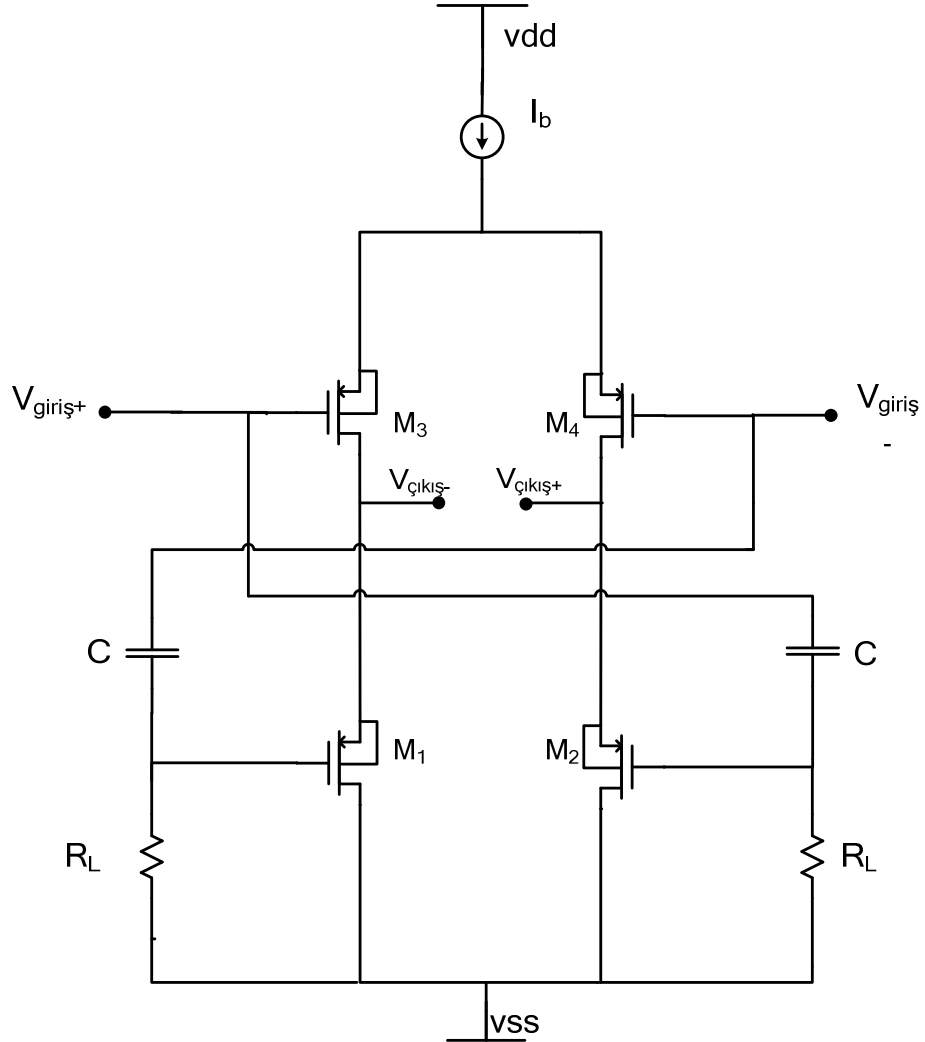
$$V_{CMcikis} = V_{CMgiris} + V_{GS1} \quad (3.11)$$

V_{GS1} gerilimi, I_B kutuplama akımının M_1 transistörü üzerinde oluşturacağı gerilim değeridir. (3.11) Eşitliğinden anlaşılabacağı gibi çıkış DC gerilim seviyesi, giriş seviyesine doğrudan bağlıdır.

Önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresinin pMOS transistörler ile oluşturulmuş hali Şekil 3.10’daki gibidir. Devrenin pMOS transistörler ile oluşturulma amacı serim aşamasında, ayrı n kuyularda oluşturulabilecek pMOS transistörlerin kaynak-gövde uçları arasında kısa devre bağlantısını gerçekleştirebilmektir. Gövde ile kaynak arasındaki gerilim farkının sıfırdan farklı olması durumunda ortaya çıkacak transistör gövde etkisi bu şekilde ortadan kaldırılmıştır.

Açık çevrimli x2 kazançlı kuvvetlendirici devresinin ise rezistif bir yük sürme amacı yoktur. Devrede büyük değerli dirençler ile, transistörlerin geçit gerilimleri VSS gerilim değerinde tutulmaktadır. Bununla birlikte transistörlerin akıttıkları DC

kutuplama akımı, I_b akım kaynağı ile belirlenmektedir. Yapıda büyük işaretler söz konusu olduğunda da transistörler üzerinden akan akımlar eşit olmakta ve bu durum bir taraftaki transistörlerin tamamen kapalı duruma geçmesine kadar devam etmektedir. Böylece x2 kazanç sağlanmakta ve doğrusallık elde edilmektedir.



Şekil 3.10 : pMOS Transistörler ile Açık Çevrimli x2 Kazançlı Kuvvetlendirici

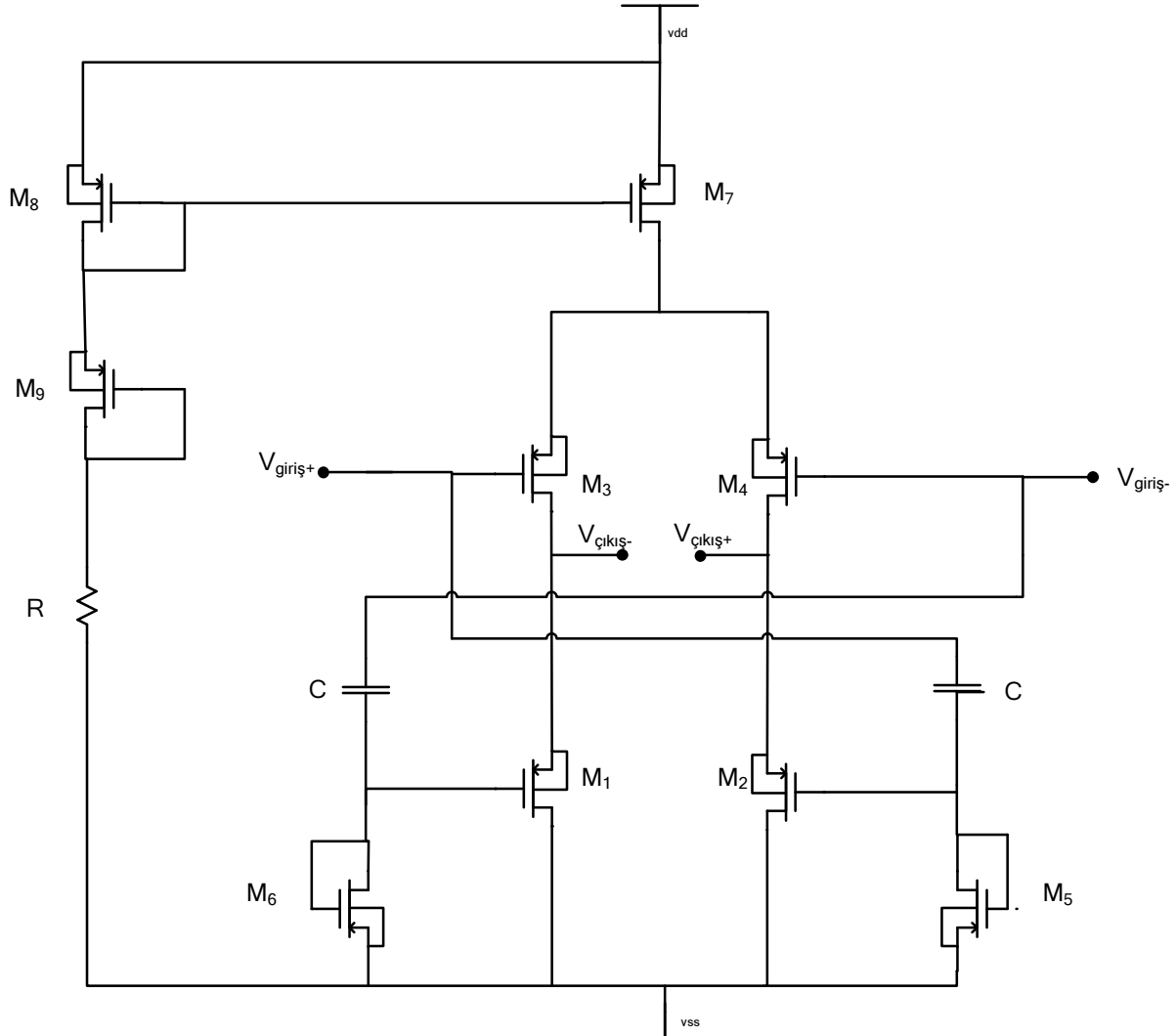
Devrede çıkış DC gerilim seviyesi (3.12) denklemindeki eşitlik ile verilmiştir.

$$V_{CMcikis} = VSS + V_{GS} \quad (3.12)$$

Burada V_{GS} gerilimi, kutuplama akımının yarısının pMOS transistör üzerinde oluşturacağı değerdir. Çıkış DC gerilim seviyesi, giriş DC gerilim seviyesinden bağımsızdır; ayrıca yapıdaki büyük değerli dirençler, farklı bir DC gerilime bağlanarak çıkış DC gerilim değeri başka bir noktaya kaydırılabilmektedir.

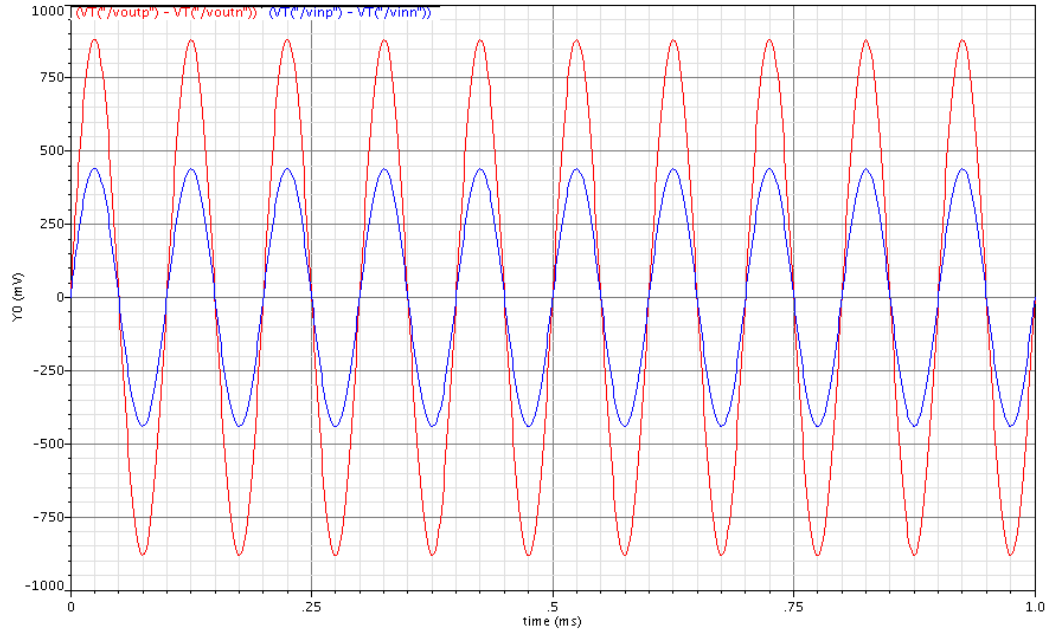
3.2.1 Açık çevrimli x2 kazançlı kuvvetlendirici benzetimi ve sonuçları

pMOS transistörler ile oluşturulan açık çevrimli x2 kazançlı kuvvetlendirici devre Şekil 3.11’de verilmiştir.



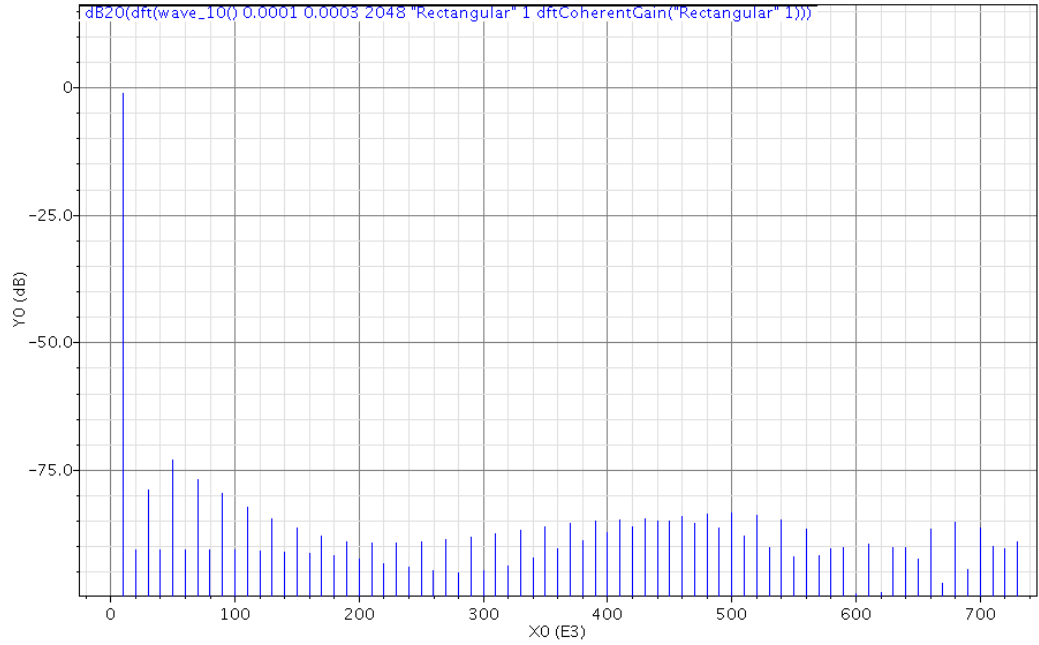
Şekil 3.11 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Benzetim Devresi

Devrede farksal giriş transistörleri olan M_3 , M_4 üzerinden akacak sükunet akımı M_7 ve M_8 transistörlerinden oluşan akım aynası ile elde edilmiştir. Büyük değerli dirençler diyot bağlı M_5 ve M_6 pMOS transistörler ile gerçekleştirilmiştir. Aşağıda 10KHZ, 300KHz ve 10MHz farksal sinüs giriş işaretleri için kuvvetlendirici giriş ve çıkış işaretleri verilmiştir. Ayrıca çıkış işaretlerinin fourier dönüşümleri alınarak frekans domeni gösterimleri verilmiştir.



Şekil 3.12 : 10 KHz Frekans Değerli Giriş ve Çıkış İşaretleri

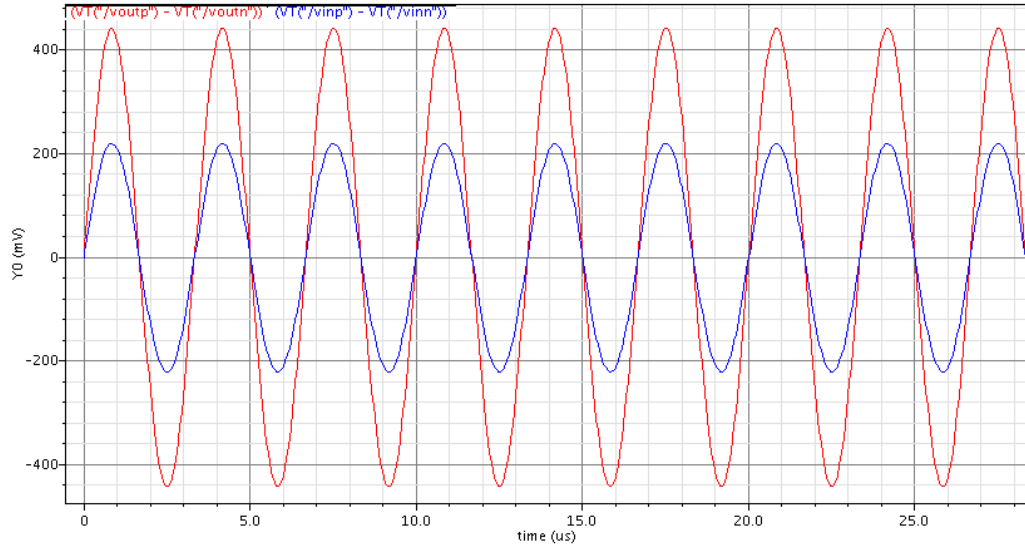
Şekil 3.12’de 10 KHz 880mV tepeden tepeye genlik değerli sinüs giriş işareti için 1.76V tepeden tepeye genlikli çıkış sinüs işareti verilmiştir.



Şekil 3.13 : 10 KHz Frekans Değerli Çıkış İşaretinin Frekans Domeni

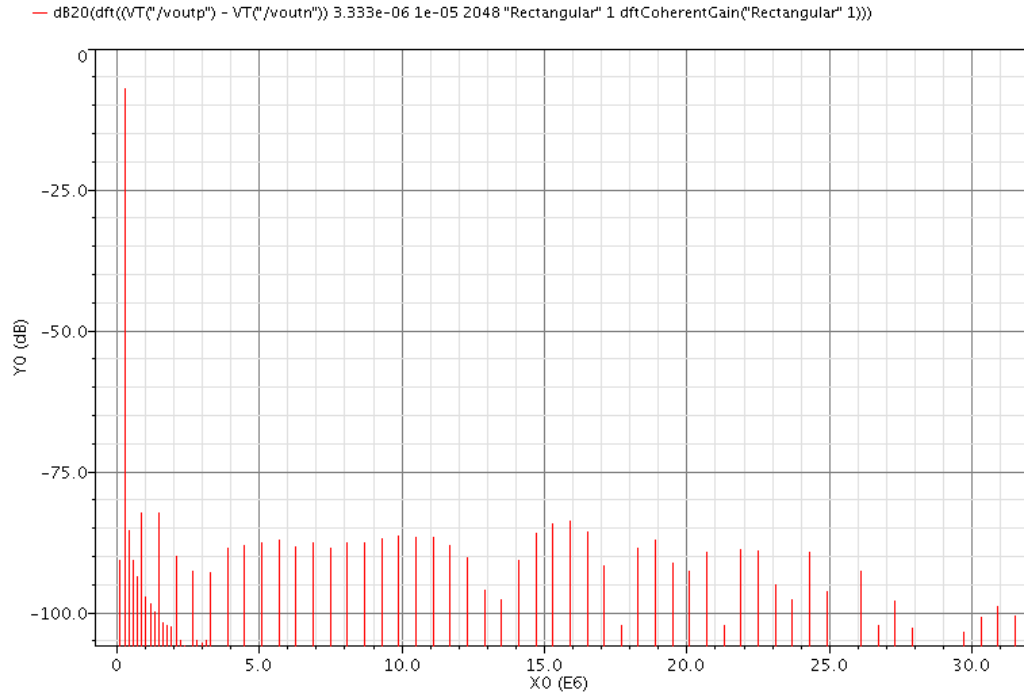
Şekil 3.13’te, 10 KHz değerindeki esas frekans bileşeninin genlik değeri -1.098 dB, 50 KHz frekans değerindeki en büyük genlikli harmonik bileşeninin genlik değeri ise

-72.99 dB'dir. Ayrıca çıkış işaretinin toplam harmonik distorsiyon değeri, benzetimde -65.16 dB olarak belirlenmiştir.



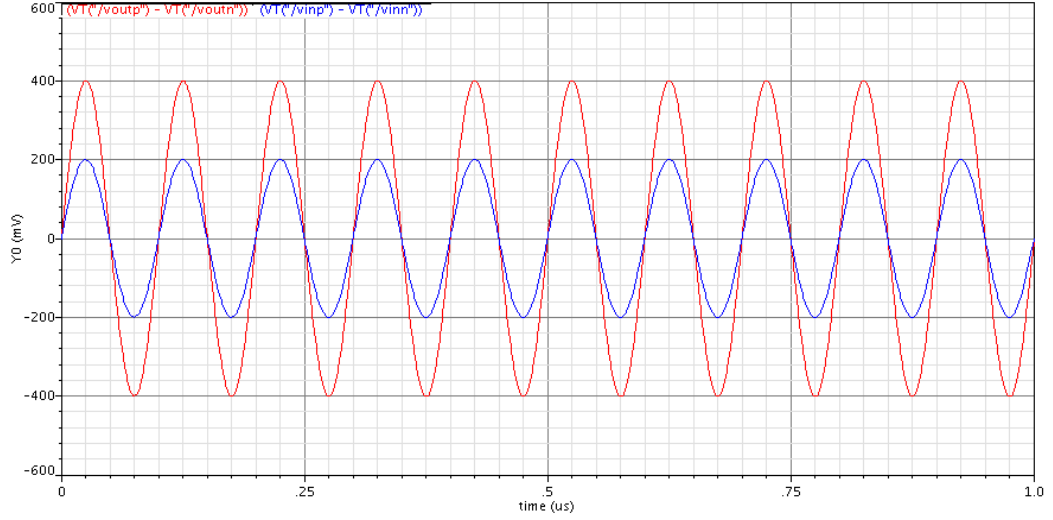
Şekil 3.14 : 300 KHz Frekans Değerli Giriş ve Çıkış İşaretleri

Şekil 3.14'te 300 KHz 440mV tepeden tepeye genlik değerli sinüs giriş işareti için 880mV tepeden tepeye genlikli çıkış sinüs işareti verilmiştir.



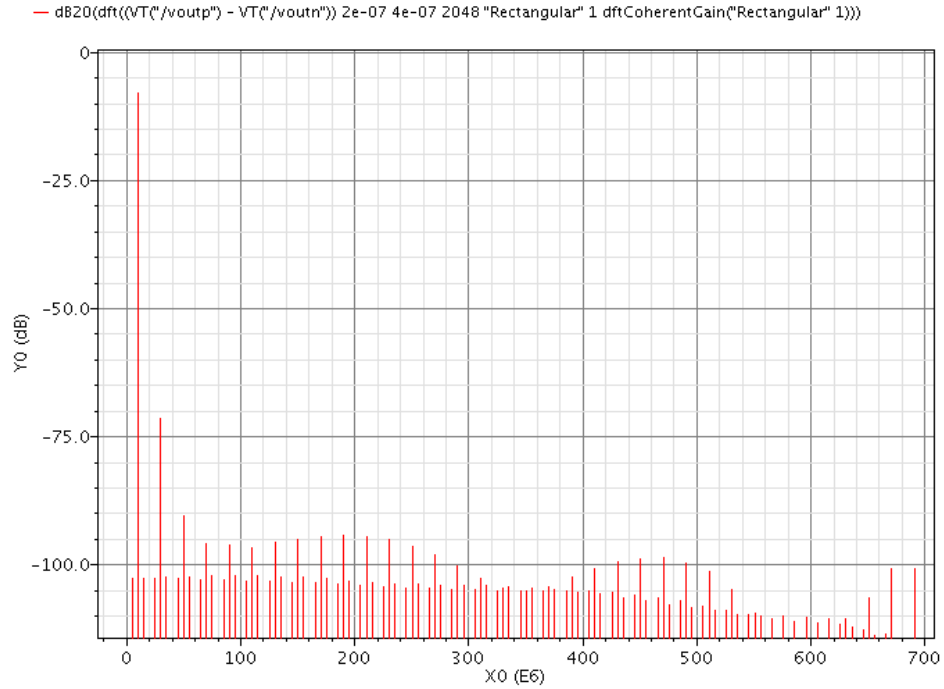
Şekil 3.15 : 300 KHz Frekans Değerli Çıkış İşaretinin Frekans Domeni

Şekil 3.15'te, 300 KHz değerindeki esas frekans bileşeninin genlik değeri -7.127 dB, 1.5 MHz frekans değerindeki en büyük genlikli harmonik bileşeninin genlik değeri ise -82.928 dB'dir. Ayrıca çıkış işaretinin toplam harmonik distorsiyon değeri, benzetimde -63.48 dB olarak belirlenmiştir.



Şekil 3.16 : 10 MHz Frekans Değerli Giriş ve Çıkış İşaretleri

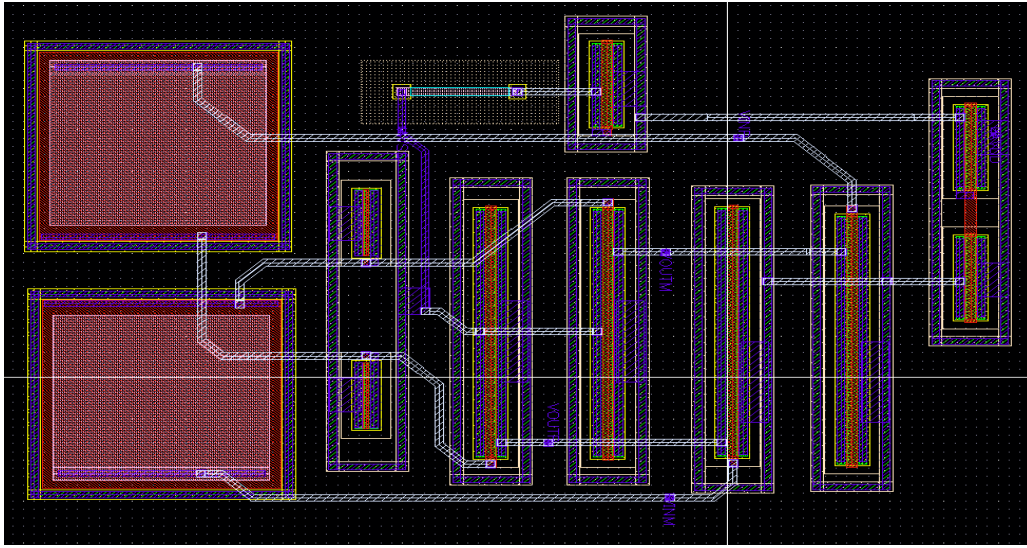
Şekil 3.16'da 10 MHz 400mV tepeden tepeye genlik değerli sinüs giriş işareti için 800mV tepeden tepeye genlikli çıkış sinüs işareti verilmiştir.



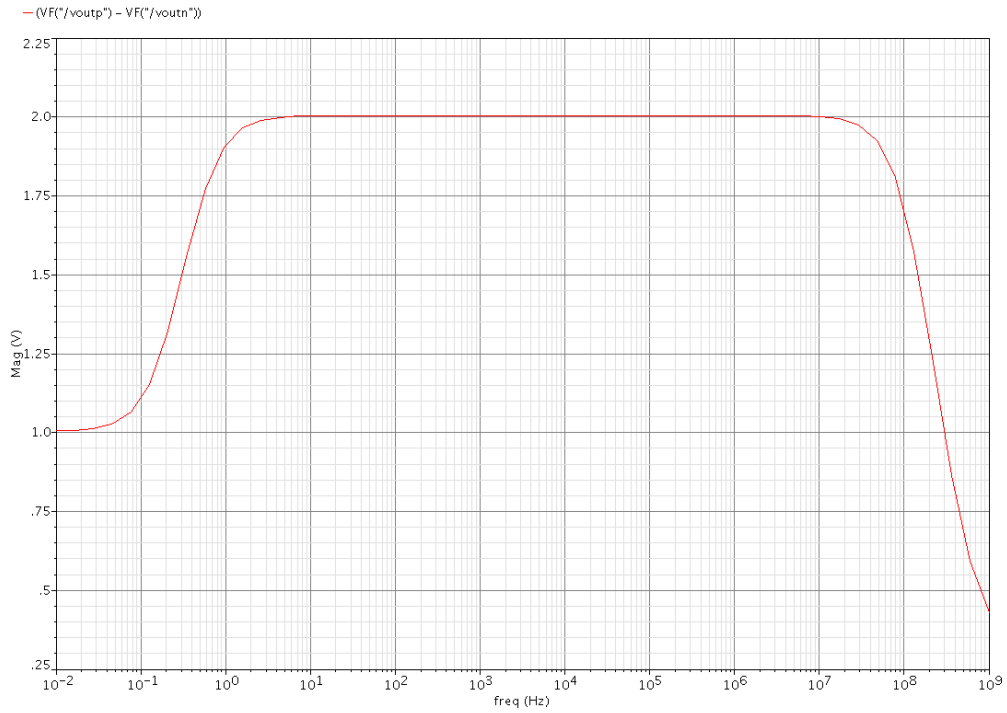
Şekil 3.17 : 10 MHz Frekans Değerli Çıkış İşaretinin Frekans Domeni

Şekil 3.17’de, 10 MHz değerindeki esas frekans bileşeninin genlik değeri -7.951 dB, 30 MHz frekans değerindeki en büyük genlikli harmonik bileşeninin genlik değeri ise -71.26 dB’dir. Ayrıca çıkış işaretinin toplam harmonik distorsiyon değeri, benzetimde -62.85 dB olarak belirlenmiştir.

pMOS transistörler kullanılarak çizilen açık çevrimli x2 kazançlı devrenin serimi Şekil 3.18’de verilmiştir. Serim sonrası benzetim sonuçları da Şekil 3.19 ve Şekil 3.20’deki grafiklerle verilmiştir.

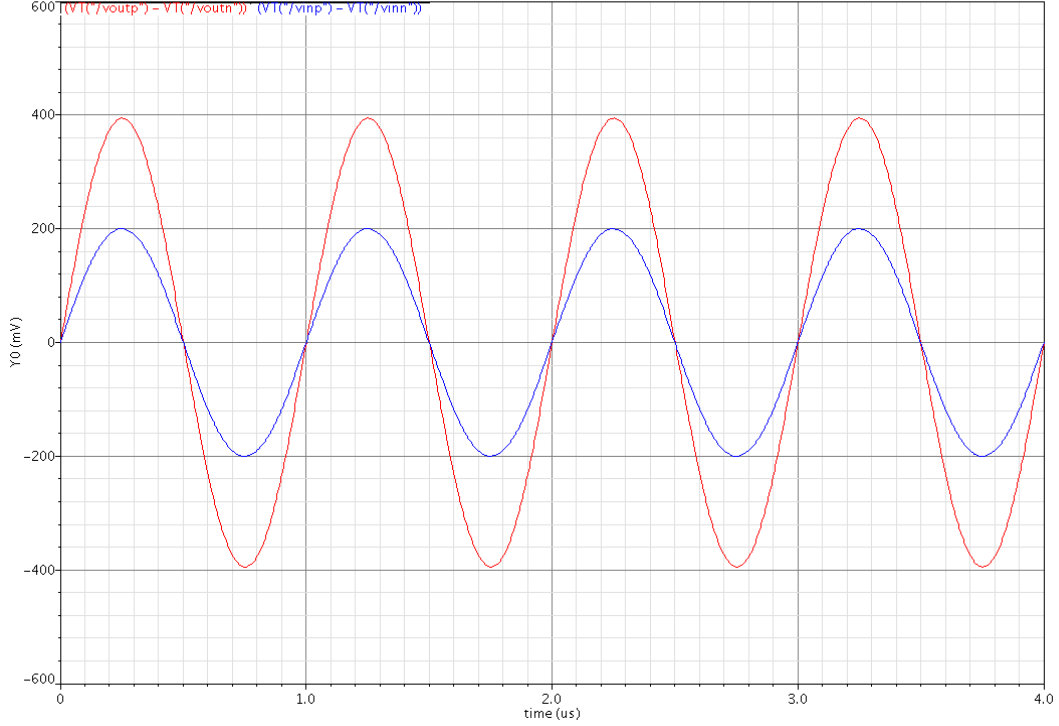


Şekil 3.18 : Açık Çevrimli x2 Kazançlı Devre Serimi



Şekil 3.19 : Açık Çevrimli x2 Kazançlı Devre AC Karakteristiği

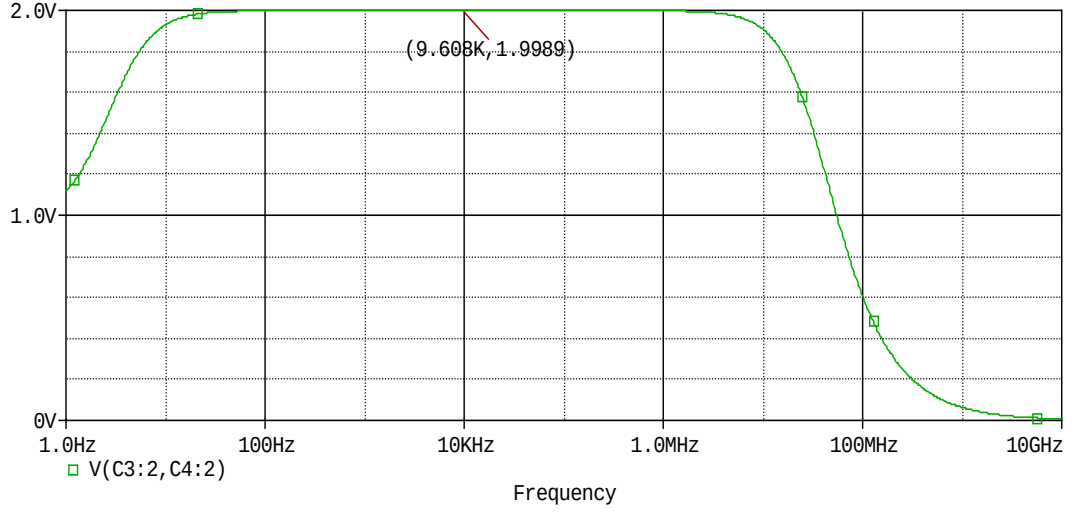
AC karakteristikte 2 kazancının görüldüğü minimum frekans değeri 4.8 Hz, maksimum frekans değeri ise 11.05MHz'dir. -3 dB kesim frekansı değerleri ise 255mHz, 165.8 MHz değerlerindedir.



Şekil 3.20 : 1 MHz Frekans Değerli Giriş ve Çıkış İşaretleri

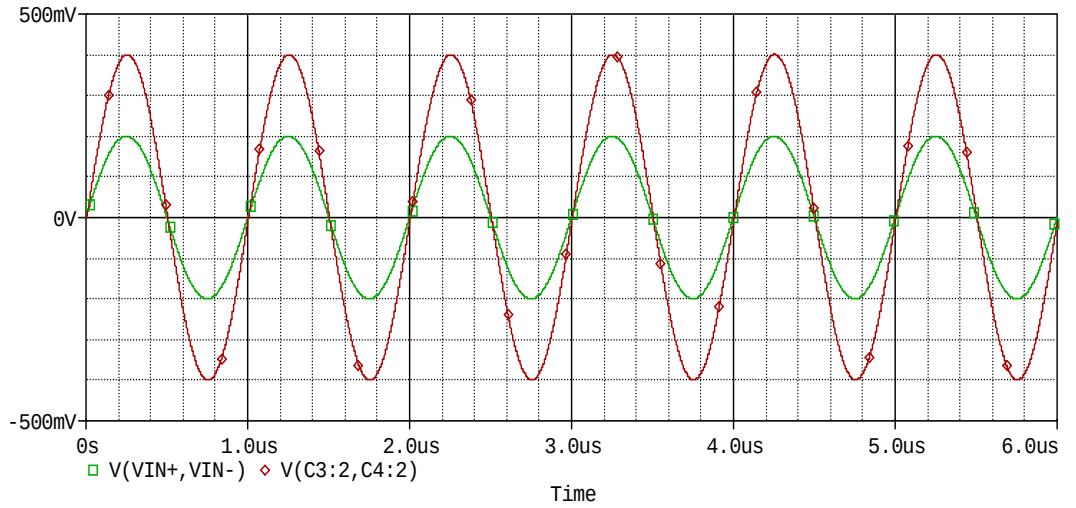
Şekil 3.20’de 1 MHz frekans değerli tepeden tepeye 400mV giriş sinüs işareti için 800mV tepeden tepeye genlikli çıkış sinüs işareti görülebilir.

Bu bölümün devamında yer alan, açık çevrimli x2 kazançlı kuvvetlendiriciye ve Murmann-Boser’in önerdiği açık çevrimli x8 kazançlı kuvvetlendiriciye ait benzetimlerde BSIM3 Level49 parametreleri kullanılmıştır. Açık çevrimli x2 kazançlı kuvvetlendirici için transistör eşleşme hataları için benzetimler, sıcaklık ve besleme gerilimi analizleri, yerleşme süresi ve distorsiyon benzetimleri yapılmıştır. x8 Kazançlı kuvvetlendirici için AC ve transient benzetim sonuçları verilmiş kuvvetlendirici için yerleşme süresi ve toplam harmonik distorsiyon değerleri tespit edilmiştir. Benzetimler her iki kuvvetlendirici çıkışına 1pF değerinde kapasiteler bağlanarak yapılmıştır. Benzetimleri yapılan açık çevrimli x2 kazançlı kuvvetlendirici devresi Şekil 3.21’de verilmiştir.



Şekil 3.22 : x2 Kazançlı Kuvvetlendirici Kazanç-Frekans Eğrisi (Giriş 1VAC)

Açık çevrimli x2 kazançlı kuvvetlendirici Pipeline ADC’de kat kuvvetlendiricisi olarak kullanılmış ve bu durumda oluşturulan yapı açık çevrimli pipeline ADC katı olarak isimlendirilmiştir. X2 kazançlı yapı, bant geçiren bir filtre gibi çalışacak ve yaklaşık 100 Hz altındaki sinyalleri bastıracaktır. Giriş sinyallerini bu frekans değerinin çok üzerine çıkaracak bir uygulama gerekmektedir. Bu sorun dikkate alınmalıdır. Tez çalışması kapsamında bu sorunun çözümü planlanmamıştır. Şekil 3.22 kuvvetlendirici kazanç frekans eğrisi, şekil 3.23’te sinüs giriş çıkış işaretleri verilmiştir.



Şekil 3.23 : x2 Kazançlı Kuvvetlendirici Giriş Çıkış İşaretleri

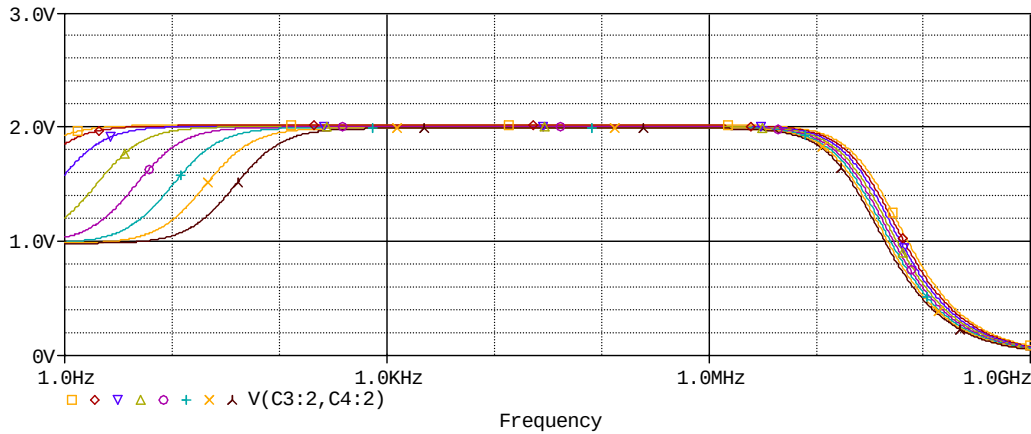
Şekil 3.21 ile verilen benzetim devresinde x2 Kuvvetlendirici içim M6c akımı 106uA olarak ayarlanmıştır. Şekil 3.22 ve Şekil 3.23 ile verilen grafikler bu devreye aittir. Şekil 3.23’te 400mV tepeden tepeye sinüs giriş için 800 mV tepeden tepeye çıkış elde edilmiştir. 800mV değerindeki bu çıkış işareti için toplam harmonik distorsiyon değeri -63.8 dB olarak belirlenmiştir.

Devrede farklı besleme gerilim değerleri için elde edilen kazanç değerleri Çizelge 3.1 ile verilmiştir. Çizelgeden görüldüğü gibi besleme gerilimine göre hata diğer hatalara göre oldukça düşüktür

Çizelge 3.1 : Farklı Besleme Gerilimleri için Kazançlar

VDD (V)	3	3.1	3.2	3.3	3.4	3.5	3.6
Kazanç	1,9972	1,9977	1,9983	1,9988	1,9994	1,9999	2,0005
Kazanç(transient benzetimde)	1,997	1,9988	1,9988	1,9985	2,0014	2,0014	1,9992

Giriş transistörleri arasında 9mV eşik gerilim eşleşme hatası olduğunda kazanç değeri 1.9989 değerinden 1.9884 değerine düşmüştür. Giriş transistörleri arasında %3 β eşleşme hatası olduğu durumda da kazanç 1.9989 değerinden 2.078 değerine %3.96 oranında değişmektedir. Farklı sıcaklık değerleri için yapılan benzetim sonucunda elde edilen grafikler Şekil 3.24 ile verilmiştir. Kazanç değerleri de Çizelge 3.2’de görülebilir. Çizelge 3.2’de 9mV eşik gerilimi ve %3 β eşleşme hatası olduğu durum için de farklı sıcaklıktaki kazanç değerleri verilmiştir.



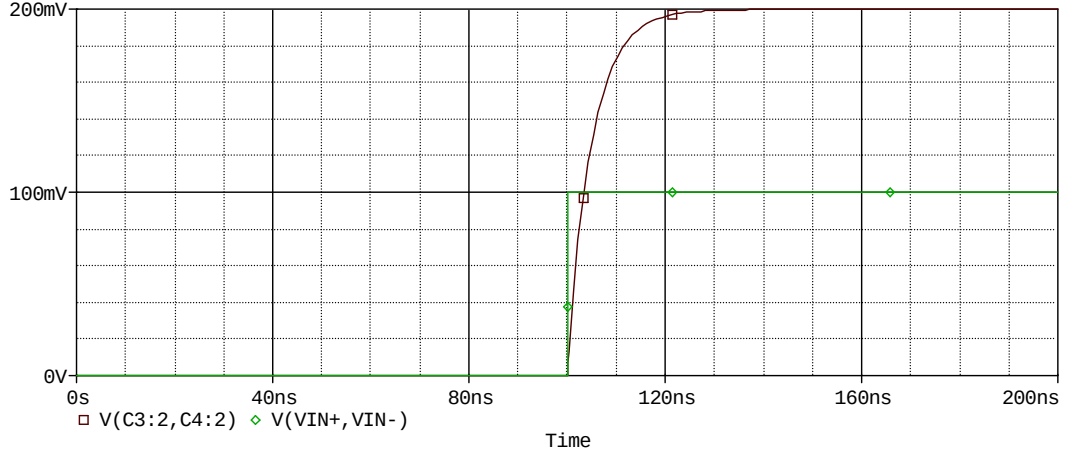
Şekil 3.24 : Farklı sıcaklık değerleri için Kazanç-Frekans eğrileri

Çizelge 3.2 : Farklı Sıcaklıklarda Kazançlar

Sıcaklık(°C)	-40	-20	0	20	40	60	80	100
Kazanç	2.0122	2.0083	2.0043	2.0003	1.9663	1.9925	1.9889	1.9856
Kazanç (eşleşme hataları ile)	2.0208	2.0168	2.0128	2.0088	2.0049	2.0011	1.9975	1.9943

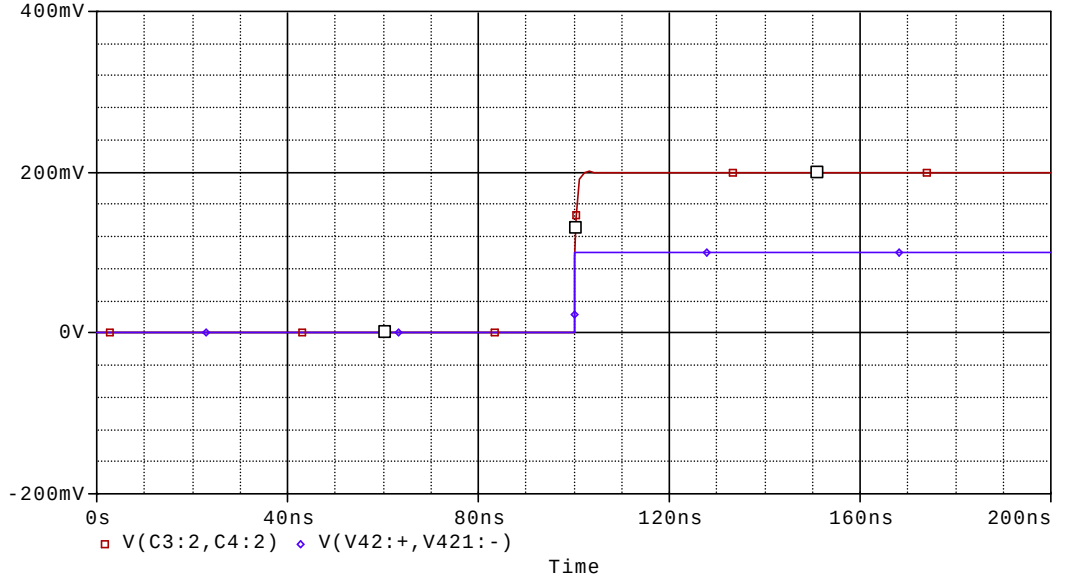
106 uA kutuplama akımı ve 3.3 V besleme gerilimi ile kuvvetlendirici için %0.1 hata bandında yerleşme süresi:36.1ns'dir.

Basamak cevabı Şekil 3.25 ile verilmiştir.



Şekil 3.25 : Kuvvetlendirici Basamak Cevabı (106 uA kutuplama akımı ile)

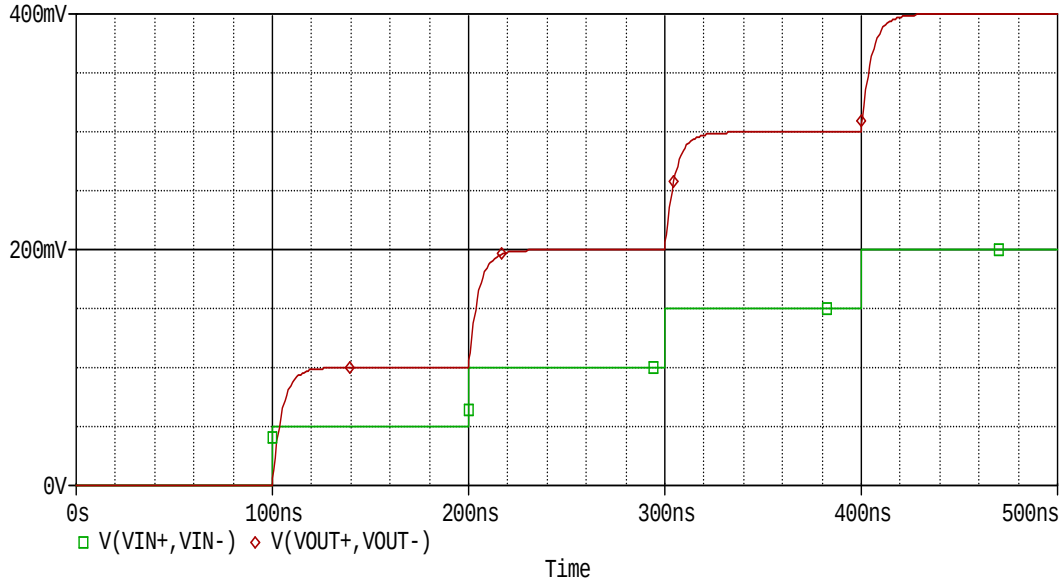
3.84mA kutuplama akımı ve 3.3 V besleme gerilimi ile kuvvetlendirici için %0.1 hata bandında yerleşme süresi:5.6ns'dir. Basamak cevabı Şekil 3.26 ile verilmiştir.



Şekil 3.26 : Kuvvetlendirici Basamak Cevabı (3.84mA kutuplama akımı ile)

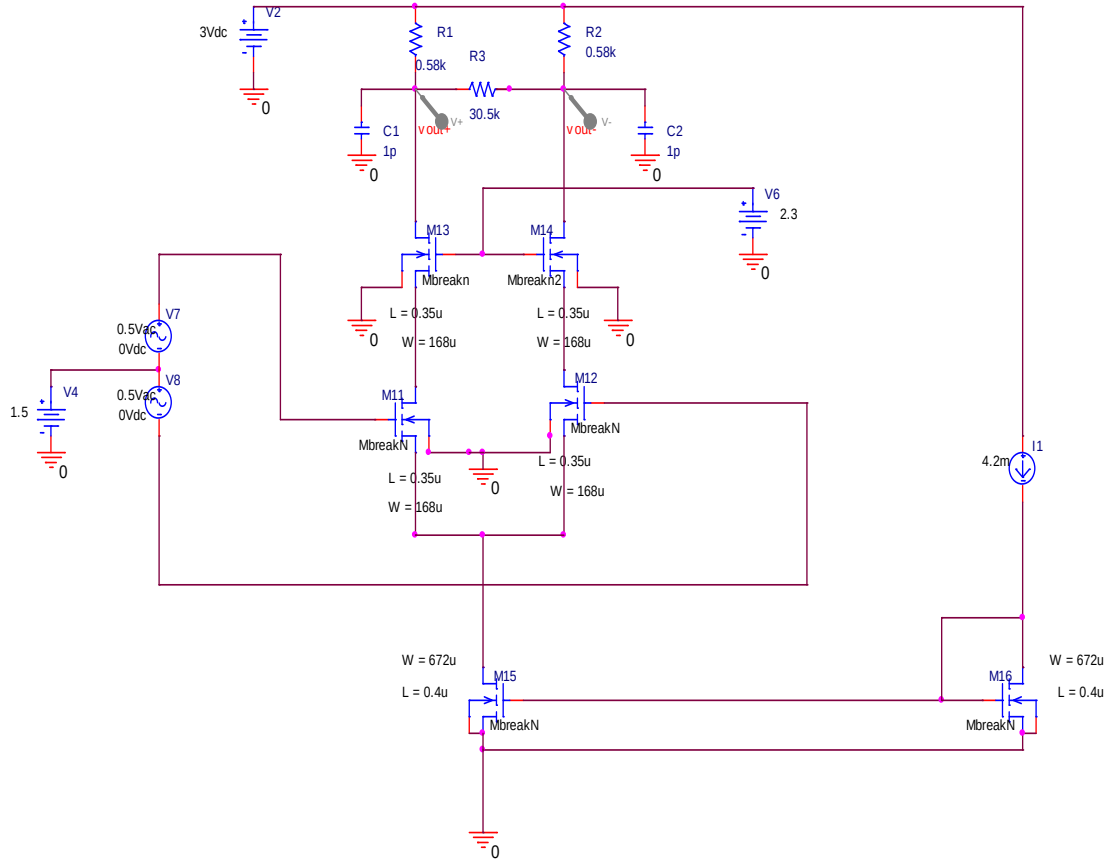
106uA kuyruk akımı ile kutuplanan x2 kazançlı kuvvetlendirici de yerleşme süresi 1pF yükler ile 36nS çıkmıştır. Bu değre 10 MSPs hızında çalışan bir pipeline ADC için yeterli olacaktır. Kutuplama akımı 3.84 mA olarak değiştirildiğinde kuvvetlendirici için yerleşme süresi 5.6 ns olarak ölçülmüştür.

Her basamağı 100ns olan bir merdiven şeklindeki giriş işareti için, kuvvetlendirici giriş ve çıkışı Şekil 3.27'deki gibidir. Giriş işareti 50mV,, 100mV,, 150mV,, 200mV şeklinde artmaktadır.



Şekil 3.27 : Merdiven Giriş için Kuvvetlendirici Cevabı

Murmann ve Boser tarafından kullanılan açık çevrimli x8 kuvvetlendirici devresi Şekil 3.28’de verilmiştir. Kuvvetlendiricide R1 R2 R3 ve V6 ile kazanç değeri x8 değerine ayarlanmış ve benzetimler yapılmıştır.

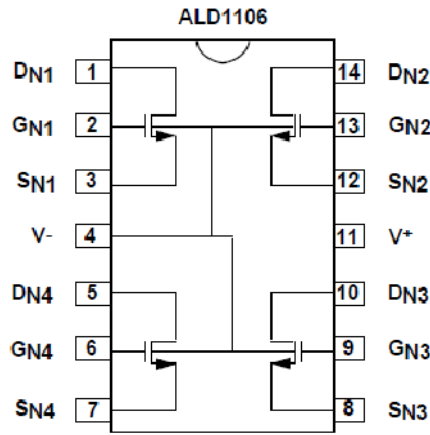


Şekil 3.28 : Açık Çevrimli x8 Kazançlı Kuvvetlendirici Devresi

3.3 Açık Çevrimli x2 Kazançlı Kuvvetlendirici için Deneysel Ölçüm

3.3.1 Eş transistör dizileri ve parametrik analiz

Açık çevrimli x2 kazançlı kuvvetlendirici ölçüm devresi için Advanced Linear Devices firmasının ALD1106-7 eş transistör dizi tümdevreleri uygun görülmüştür. Bu tümdevrelerin her birinde birbirine eş 4 adet n veya p kanallı MOSFET transistör bulunmaktadır. ALD1106 tümdevresinin iç yapısı ve bacak bağlantıları Şekil 3.31’de verilmiştir.

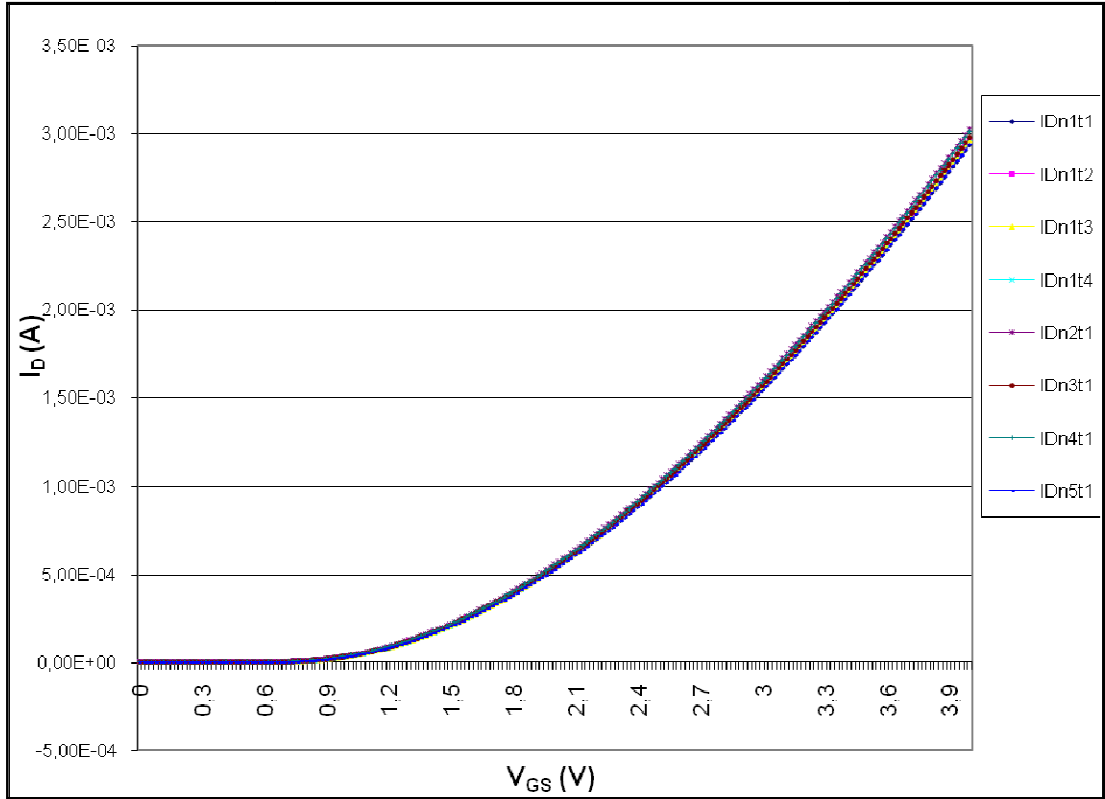


Şekil 3.31 : ALD1106 Tümdevresi [9]

Şekilden de görüldüğü gibi tümdevre içerisinde bulunan 4 eş nMOS transistörün gövdelerinin hepsi birbirine bağlıdır. Tasarlanan açık çevrimli 2 kazançlı devrede ise transistörlerin gövde ve kaynaklarına birbirine kısa devre olarak kullanılmıştır. Tasarlanan x2 kazançlı kuvvetlendirici devresinde gerekli olan 4 adet eş nmos transistör ihtiyacı tek bir ALD1106 tümdevresi ile elde edilememektedir. Farklı tümdevreler kullanılarak, ihtiyaç duyulan gövde kaynak kısa devre bağlantısı yapılabilir. Farklı entegrelerin kullanılması ihtiyacı nedeniyle, farklı ALD1106 tümdevreleri içerisindeki transistörlerin parametreleri parametre analizörü yardımıyla ölçülmüştür.

5 adet farklı ALD1106 tümdevresi üzerindeki 1 er transistör ve 1 ALD1106 entegresi üzerindeki tüm transistörler parametre analizörü ile ölçülerek, transistörlerin parametreleri çıkartılmıştır. Ölçüm sırasında transistörlerin V_{DS} savak kaynak gerilimi 4 V değerinde sabit tutularak V_G geçit gerilim değeri 0 ile 4 V arasında

lineer olarak artırılmıştır. Bu şekilde doymada çalışan nMOS transistörlerin akıttıkları akımlar izlenmiştir.



Şekil 3.32 : ALD1106 Tümdevresi Parametre Ölçüm Sonuçları

Şekil 3.32 ile verilen grafikte farklı nMOS transistör parametreleri, parametre analizörü ile yapılan ölçüm sonrası alınan verilerle çizdirilmiştir. $ID_{n_i t_k}$ gösteriminde i ölçümü yapılan entegrenin numarasını, k ise entegre üzerindeki transistörün numarasını belirtmek amacıyla isimlendirilmiştir. Grafikte eş transistörleri akım gerilim değişim grafiklerinin birbirlerine oldukça yakın olduğu görülmektedir. Bu özellik ölçüm devresi için bir avantajdır. Lineer olarak artan geçit gerilimine karşı transistörlerin akıttıkları akımlar şekilde görülebilir. Bu grafiklerden eğimler hesaplanarak farklı tümdevrelerden birbirine en yakın karakteristikteki nMOS transistörler seçilmiştir ve ölçüm devresinde kullanılmıştır.

3.3.2 Ölçüm için kullanılan devre yapıları ve ölçüm devresi

Tasarlanan açık çevrimli x2 kazançlı devrenin giriş ve çıkış işaretlerinin farksal olması sebebiyle, devrenin ölçümünün yapılabilmesi için aşağıdaki devreler kullanılmıştır. Bu devreler farksal işaret üretebilen işaret üretici ve farksal ölçüm yapabilen osiloskop olmaması nedeniyle kullanılmıştır.

1) Tek giriři farksal çıkıřa dönüřtüren giriř devresi

2) Farksal giriři tek çıkıřa dönüřtüren çıkıř devresi

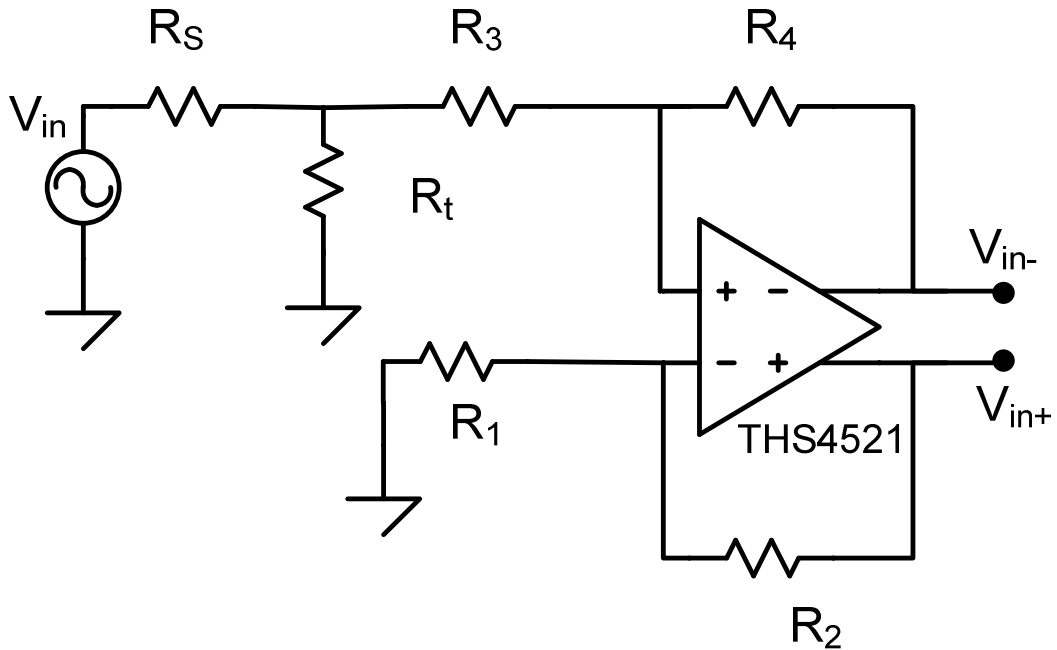
Ölçülecek olan açık çevrimli x2 kazançlı devre ve diğeri devrelerin gösterildiğı blok řema Şekil 3.33'te verilmiştir.



Şekil 3.33 : Ölçüm Devresi Blok Diyagramı

3.3.2.1 Tek giriři farksal çıkıřa dönüřtüren giriř devresi

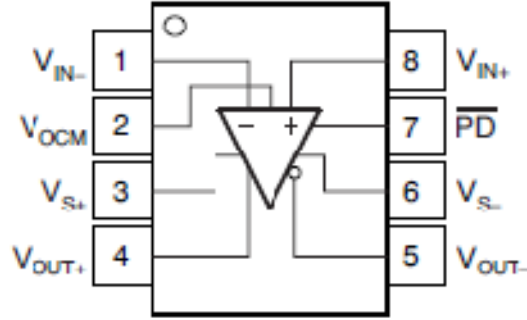
Açık çevrimli x2 kazançlı devrenin ölçümü için giriřte kullanılan tek giriři farksal çıkıřa dönüřtüren devre 3.34 ile verilmiştir.



Şekil 3.34 : Tek Giriři Farksal Çıkıřa Dönüřtüren Giriř Devresi

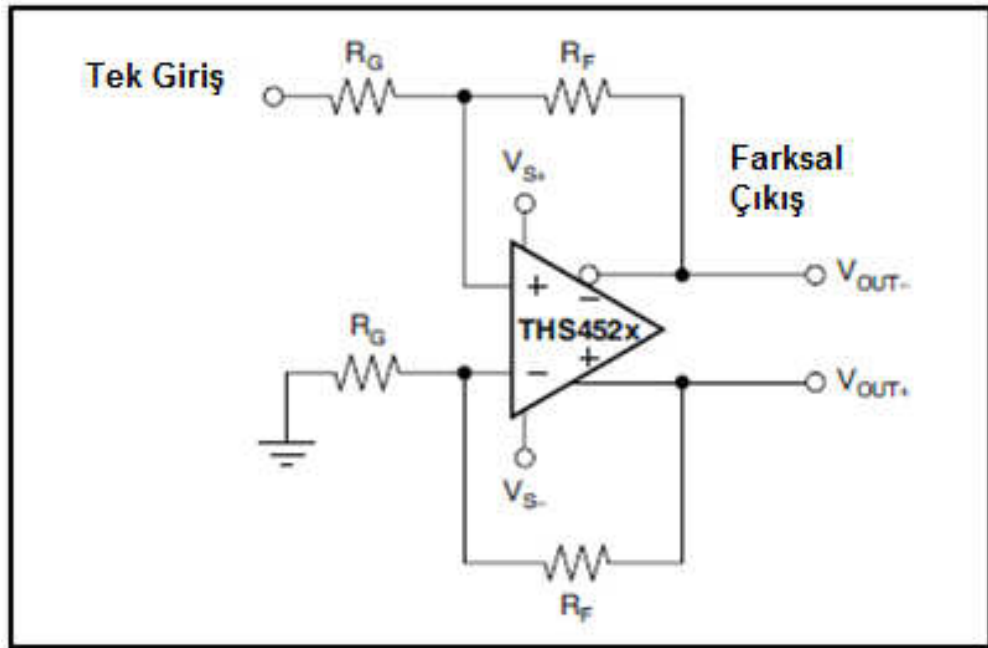
Tek giriři farksal çıkıřa dönüřtüren giriř devresinde Texas Instruments firmasının THS4521 farksal kuvvetlendiricisi kullanılmıřtır. THS4521 tümdevresi düşük güç tüketimli, beslemeden beslemeye çıkıř salınım aralığı olan farksal bir kuvvetlendiricidir. Bu tümdevrenin besleme gerilim aralığı ölçülecek olan x2 kazançlı kuvvetlendirici devresinin besleme gerilim deęerlerini kapsamaktadır. Kuvvetlendiricinin bant geniřlięinin yüksek olması sebebiyle ölçümde tercih

edilmiştir. Genellikle farksal girişli analog sayısal çeviricilerin sürücü devrelerinde kullanılan THS4521 tümdevresi, “tek girişi farksal çıkışa dönüştüren giriş devre” yapısında kullanılmıştır. SOIC-8 kılıfta üretilen THS4521 tümdevresi Şekil 3.35’de verilmiştir.



Şekil 3.35 : THS4521 Tümdevresi [10]

Devre, SOIC-DIP çevirici pcb ile kullanılmıştır. Tümdevrenin 2. Pini olan V_{OCM} ve 7. Pini olan $\overline{PD}$ açık bırakılmıştır. V_{OCM} pini, çıkış DC seviyesini ayarlamak için kullanılmaktadır. Pin açık bırakıldığında çıkış DC gerilim seviyesi uygulanan farksal besleme gerilim değerlerinin orta noktasında olmaktadır. $\overline{PD}$ pini, tümdevreyi devre dışı bırakmak için kullanılmaktadır. Bu pin açık bırakıldığında devre normal çalışmasına devam etmektedir. Tek giriş farksal çıkış dönüştürücü devre yapısı aşağıdaki Şekil 3.36’daki gibidir.



Şekil 3.36 : Tek Giriş Farksal Çıkış Dönüştürücü [10]

Farksal kuvvetlendirici ile oluşturulan yapıda her iki geri beslemede eşit direnç oranları olmalıdır. Kaynak sonlandırma direnci de hesaba katılarak direnç değerleri hesaplanmalıdır.

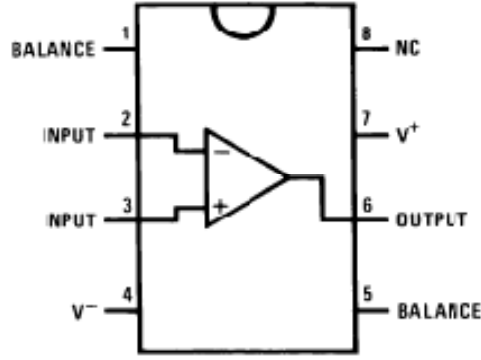
Inputs: Differential Gain 1 Rs value 50 W R4 value 980 W or R3 value Resistors ☒ E96 (1%) ☐ Exact Calculate Values	Schematic:	Equations: $R4 = R2$ $R1 = R3 + R_s \parallel R_t$ $R_t = \frac{1}{\frac{1}{R_s} - \frac{1 - \frac{R2}{2 \cdot (R1 + R2)}}{R3}}$
Calculated values Rt 52.3 W R1 1000 W R2 976 W R3 976 W R4 976 W	Power and Input Voltages V+ 1.65 V V- -1.65 V Vin 1 V Vocm 0 V	Differential Gain=Vod/Vin 0.996 Resulting Voltages Vn 0.252 V Vp 0.252 V Vout+ 0.498 V Vout- -0.49 V

Şekil 3.37 : Texas Instruments Kuvvetlendirici Eleman Değeri Hesap Makinesi

Devrede işaret üreticini sonlandırma direnci R_t ve diğer direnç değerleri. Texas Instruments firmasının farksal kuvvetlendiriciler için eleman değeri hesaplama makinesiyle yapılmıştır. Bu araçta verilen direnç değerine göre, istenen kazanç için gereken eleman değerleri hesaplanmıştır. Ayrıca hesaplamalarda kullanılan eşitlikler de bu araçta görülmektedir. Eleman değerleri Şekil 3.37’de görülebilir. E96 direnç değerleri kullanıldığında oluşacak düğüm gerilimleri de araç üzerinde görülebilir. Hesaplanan değerlere en yakın direnç değerleri seçilerek tek girişi farksal çıkışa dönüştüren devre oluşturulmuştur.

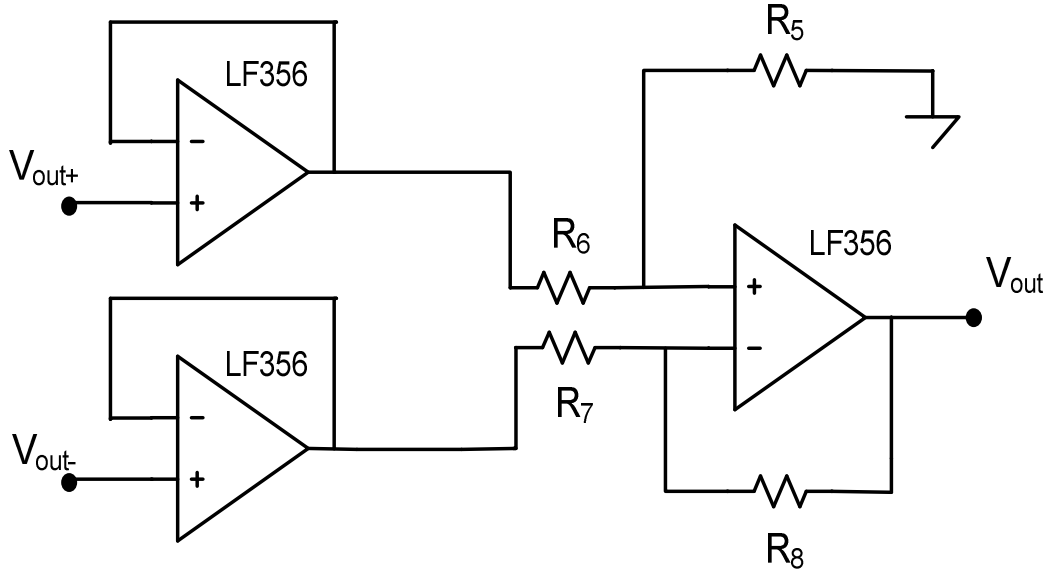
3.3.2.2 Farksal girişi tek çıkışa dönüştüren çıkış devresi

Açık çevrimli x2 kazançlı devrenin ölçümü için girişte kullanılan tek girişi farksal çıkışa dönüştüren çıkış devresi Şekil 3.39’da verilmiştir.



Şekil 3.38 : LF356 Tümdevresi [11]

Ölçümü gerçekleştirilecek olan 2 kazançlı kuvvetlendirici devresinin çıkışının farksal olması sebebiyle bu tarafta, farksal girişi tek çıkışa dönüştüren devre kullanılmıştır. Bu devre yapısı her iki çıkışın tamponlanıp bir fark alıcı ile birbirinden çıkartılmasıyla oluşturulmuştur. Tampon devreler ve fark alıcı devre için National Semiconductor firmasının LF356 JFET girişli işlemsel kuvvetlendiricileri kullanılmıştır. Bu tümdevre Şekil 3.38'deki gibidir.



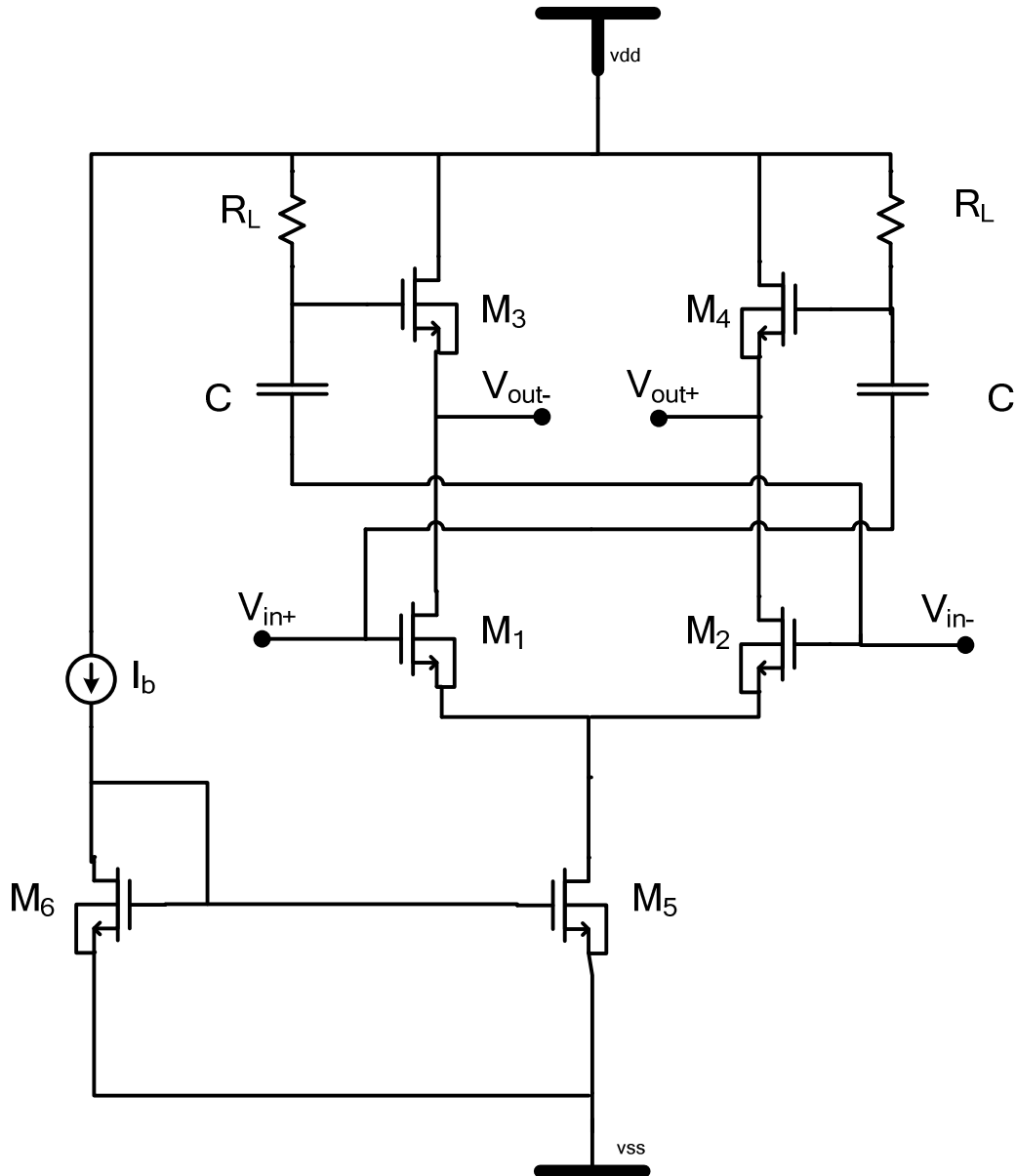
Şekil 3.39 : Farksal Girişi Tek Çıkışa Dönüştüren Çıkış Devresi

Bu işlemsel kuvvetlendiricilerde bant genişlikleri ölçüm yapılacak frekans aralığına uygundur. Tampon devreler birim kazançlı negatif geribeslemeli işlemsel kuvvetlendiriciler ile oluşturulup, çıkışlar fark alıcı yapısında birbirinden çıkartılmaktadır. Fark alıcı devre yapısında giriş ve geribesleme dirençleri birbirine eşit değerli olarak seçilmiştir. Açık çevrimli x2 kazançlı devrenin farksal çıkışlarını

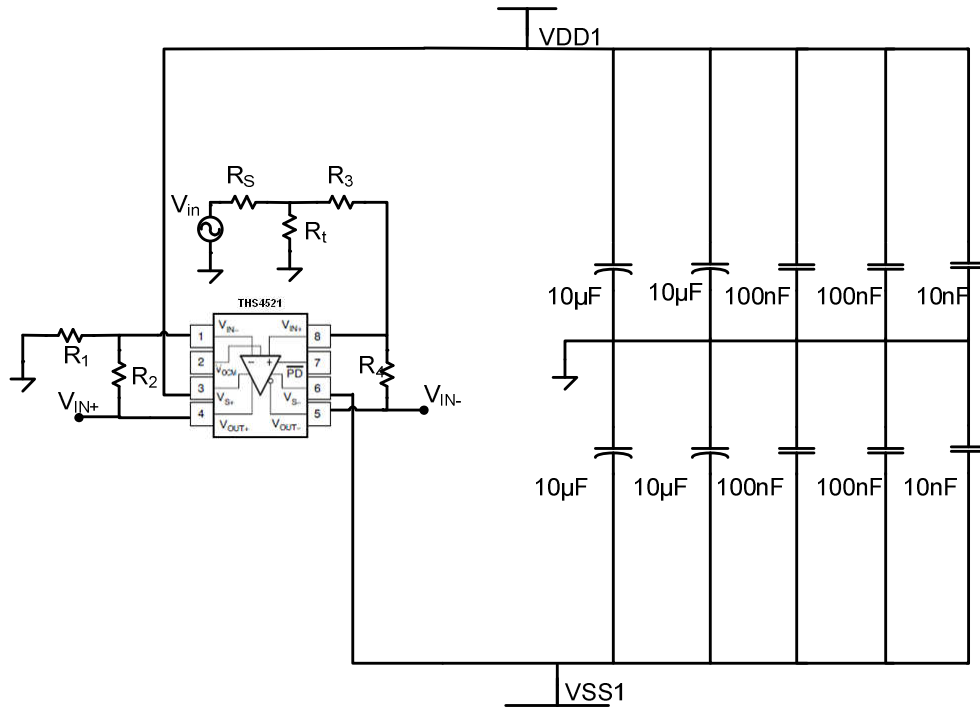
tek çıkışa dönüştüren bu devre distorsiyon ölçümlerinin yapılabilmesi amacıyla kullanılmıştır.

3.3.2.3 Ölçüm devresi

Tek girişi farksal çıkışa dönüştüren giriş devresi, farksal girişi tek çıkışa dönüştüren çıkış devresi ve açık çevrimli x2 kazançlı kuvvetlendirici devresinin bağlantılarını gösteren devre parçalarının, köprüleme kondansatörleri ile birlikte bağlantı şekilleri aşağıdaki gibidir:

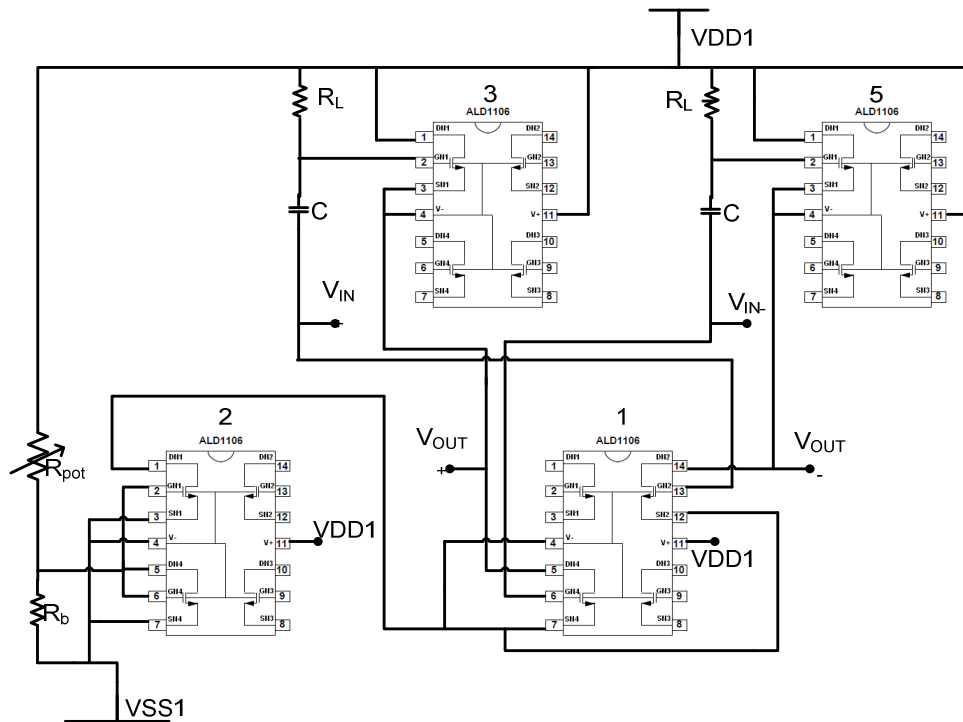


Şekil 3.40 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Devresi

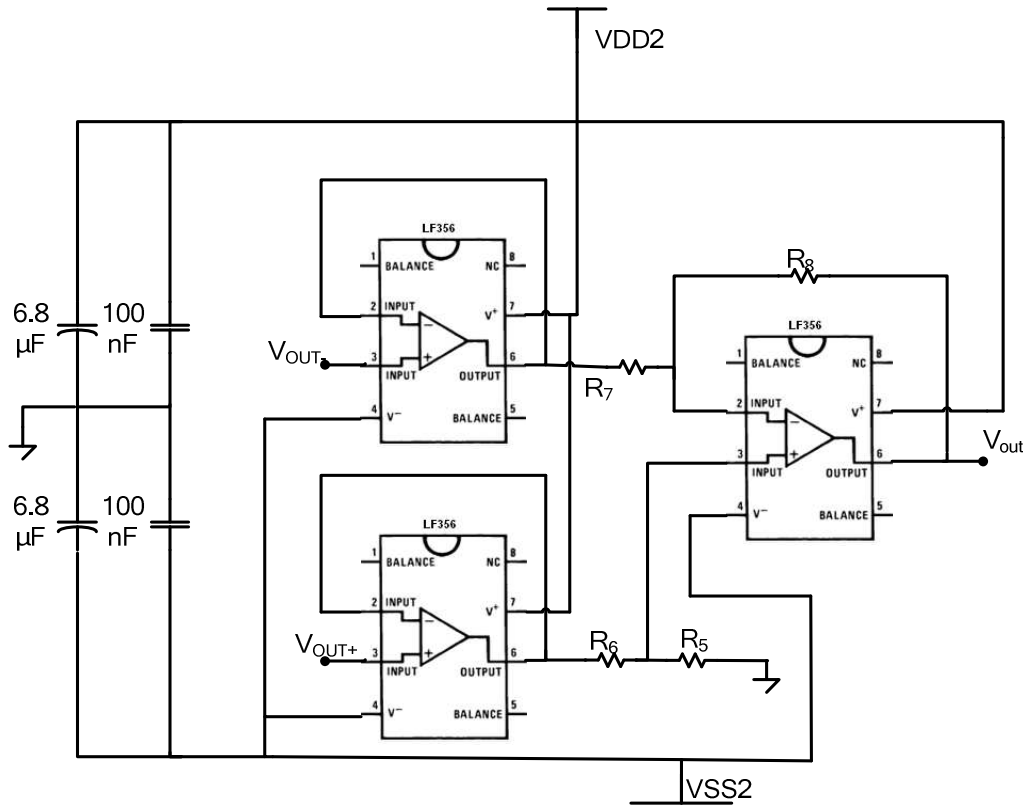


Şekil 3.41 : Tek Girişli Farksal Çıkışa Dönüştüren Giriş Ölçüm Devresi

Şekil 3.41 ile verilen ve giriş devresi olarak adlandırılan devre açık çevrimli x2 kazançlı kuvvetlendirici devre için farksal giriş işaretlerinin sağlamaktadır. Açık çevrimli x2 kazançlı kuvvetlendirici için giriş işaretleri V_{IN+} ve V_{IN-} olarak gösterilmiştir. 10 μF ve 100 nF değerli kondansatörler farksal besleme gerilimleri ve toprak arasında köprüleme amacıyla kullanılmışlardır.



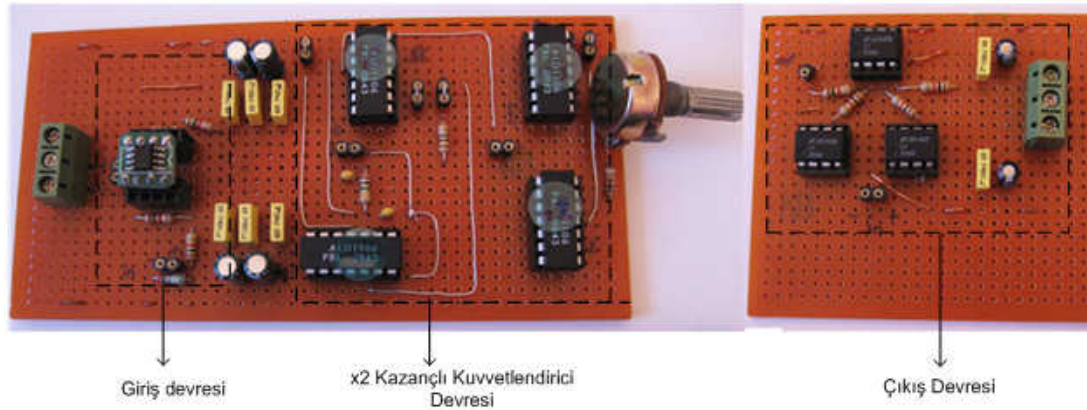
Şekil 3.42 : Açık Çevrimli x2 Kazançlı Kuvvetlendirici Ölçüm Devresi



Şekil 3.43 : Farksal Girişi Tek Çıkışa Dönüştüren Çıkış Ölçüm Devresi

Şekil 3.43 ile verilen ve çıkış devresi olarak isimlendirilen devre, açık çevrimli x2 kazançlı kuvvetlendirici devrenin farksal çıkış işaretini, tek çıkışa dönüştürmektedir. Kuvvetlendirici için çıkış işaretleri V_{OUT+} ve V_{OUT-} olarak isimlendirilmiştir. Bu işaretler çıkış devresinin için giriş işaretleridir. V_{DD1} ve V_{SS1} ile gösterilen gerilim değerleri ± 1.65 V, V_{DD2} ve V_{SS2} ile gösterilen gerilim değerleri ± 15 V'dir.

Hazırlanan ölçüm devresinin fotoğrafı Şekil 3.44'te görülmektedir.

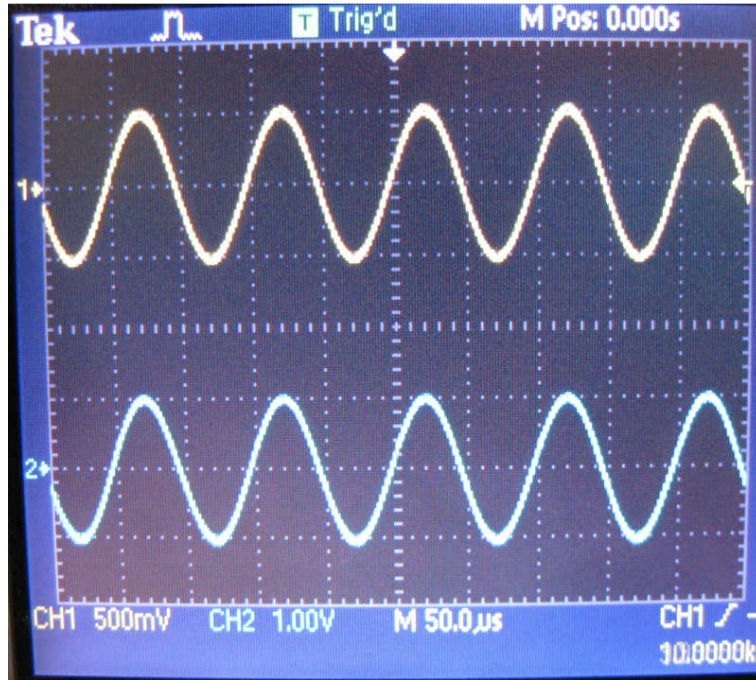


Şekil 3.44 : Ölçüm Devresi Fotoğrafı

3.3.3 Ölçüm sonuçları

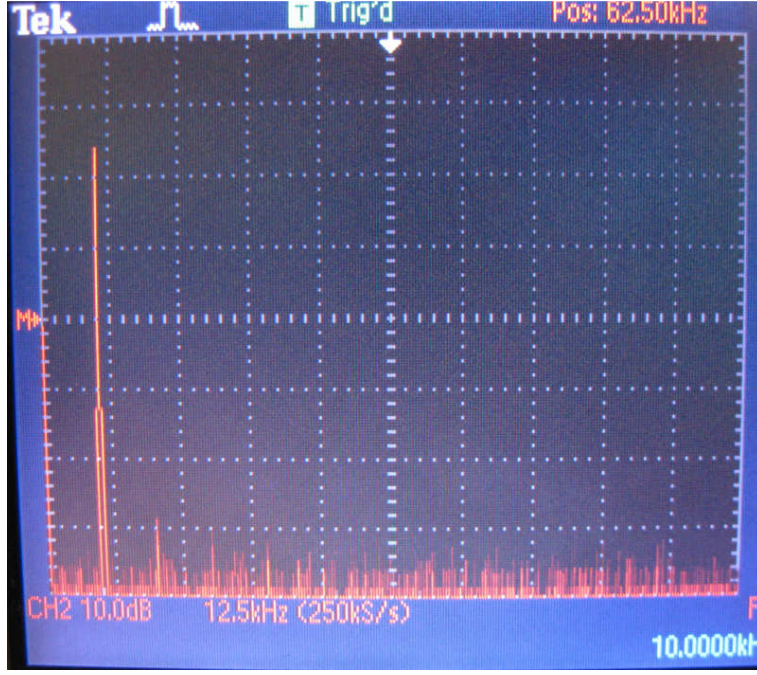
Ölçüm aşamasında, x2 kazançlı devrenin kutuplama akımı devre üzerindeki ayarlanabilir direnç ile değiştirilmiştir. Ayarlanabilir dirence seri $10k\Omega$ sabit değerli direnç üzerinden okunan gerilim ile kutuplama akımı hesaplanmıştır. Ayarlanabilir direnç minimum noktada iken $10k\Omega$ değerli direnç üzerinde 1.83 V gerilim değeri ölçülmüştür. Kutuplama akımı $183\mu A$ değerindedir. Bu kutuplama akımı için x2 kazanç değerinin sağlandığı maksimum farksal giriş gerilimi 1.15 V değerindedir. Kazancın -3 dB düştüğü frekans değeri ise 1.27 MHz olarak ölçülmüştür. Ayarlanabilir direnç, maksimum noktada yani $220k\Omega$ değerinde iken $10k\Omega$ değerli direnç üzerinde 107.9 mV gerilim değeri ölçülmüştür. Kutuplama akımı $10.79\mu A$ değerindedir. Bu kutuplama akımı için x2 kazanç değerinin sağlandığı maksimum farksal giriş gerilimi 400mV değerindedir. Kazancın -3 dB düştüğü frekans değeri ise 300 KHz olarak ölçülmüştür.

Farklı frekanstaki giriş sinüs işaretleri için devrenin giriş ve çıkış işaretlerinin osiloskop görüntüleri, çıkış işaretlerinin frekans domeni gösterimleri ve distorsiyon ölçüm değer çizelgesi aşağıda verilmiştir.



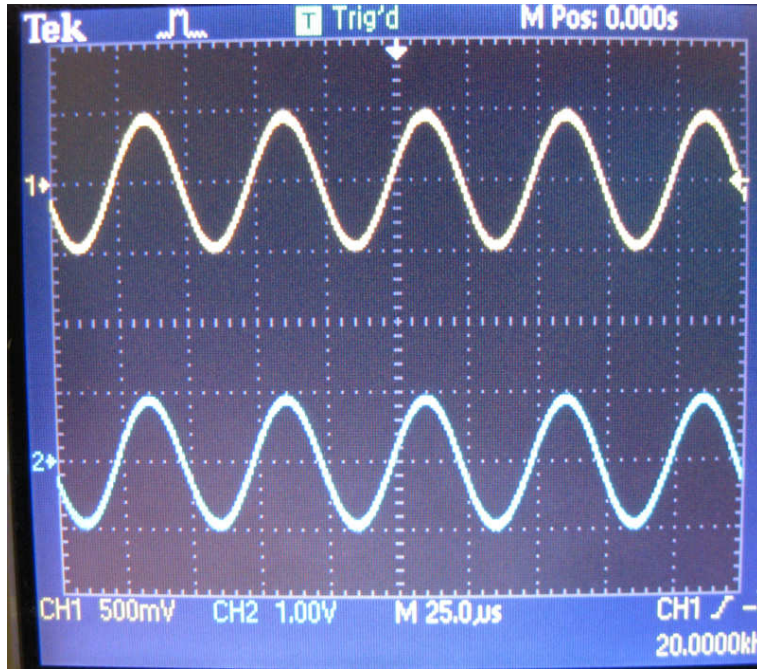
Şekil 3.45 : 10 KHz Frekansında Giriş ve Çıkış İşaretleri

Şekil 3.45'te giriş işareti için tepeden tepeye genlik değeri 1.08V, çıkış işareti için tepeden tepeye genlik değeri 2.16V değerindedir. Verilen osiloskop görüntülerinde 1. Kanal giriş işaretini, 2. Kanal ise çıkış işaretini göstermektedir.



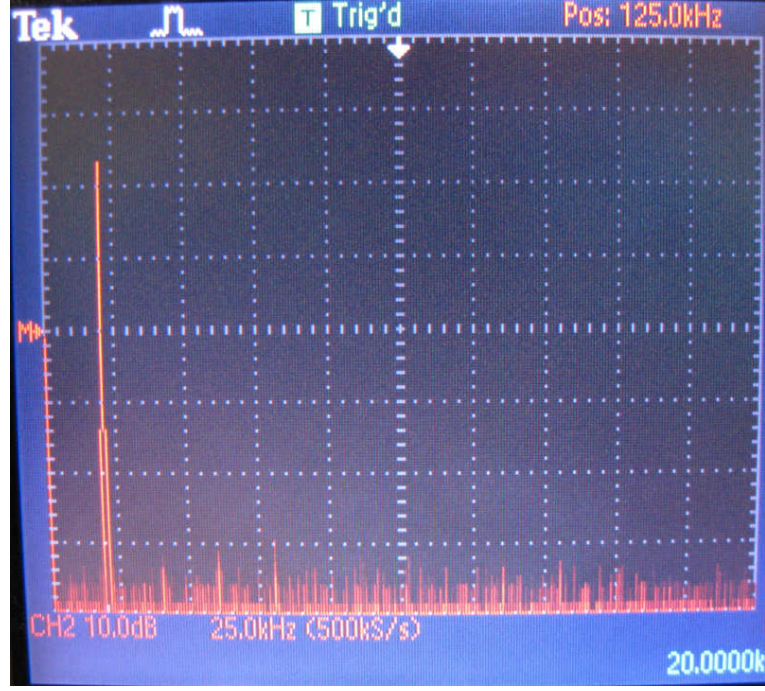
Şekil 3.46 : Tepeden Tepeye 2V Genlikli, 10 KHz Çıkış İşareti için FFT Gösterimi

Şekil 3.46’da ana frekans bileşeni genlik değeri -2.59 dB değerinde; en büyük harmoniğin genliği, -55.4 dB değerindedir.



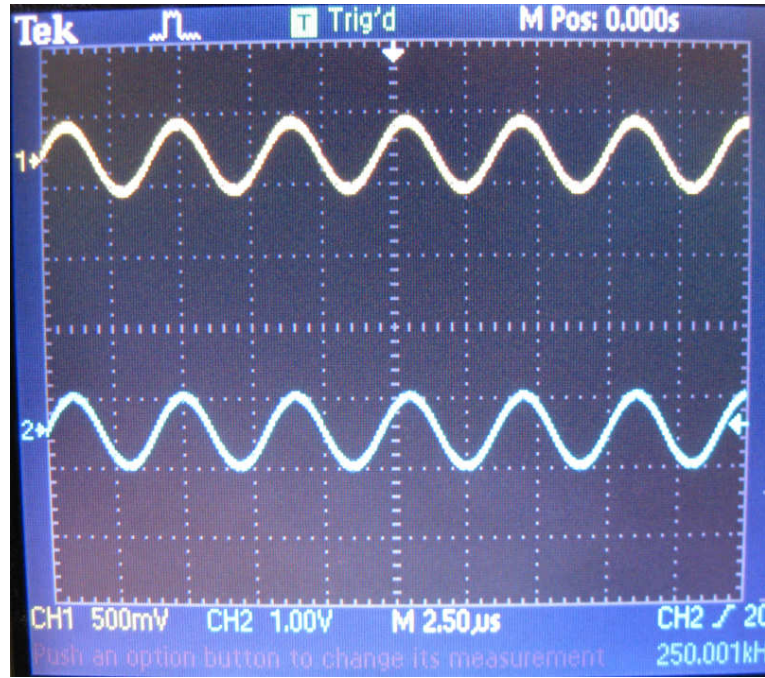
Şekil 3.47 : 20 KHz Frekansında Giriş ve Çıkış İşaretleri

Şekil 3.47’de giriş işareti için tepeden tepeye genlik değeri, 1V değerinde, çıkış işareti için tepeden tepeye genlik değeri ise 2V değerindedir.



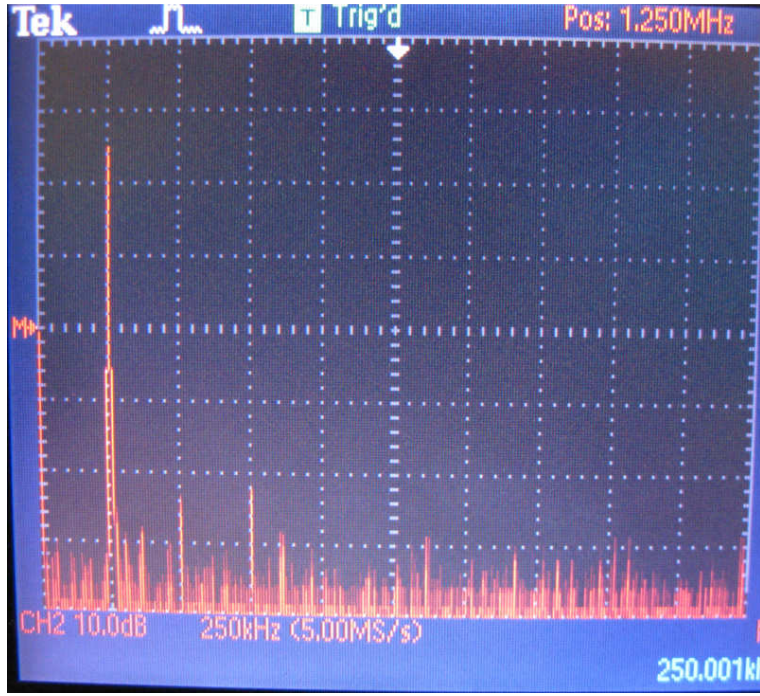
Şekil 3.48 : Tepeden Tepeye 2V Genlikli, 20 KHz Çıkış İşareti için FFT Gösterimi

Şekil 3.48’de ana frekans bileşeni genlik değeri -2.99 dB değerinde; en büyük harmoniğin genliği, -54 dB değerindedir.



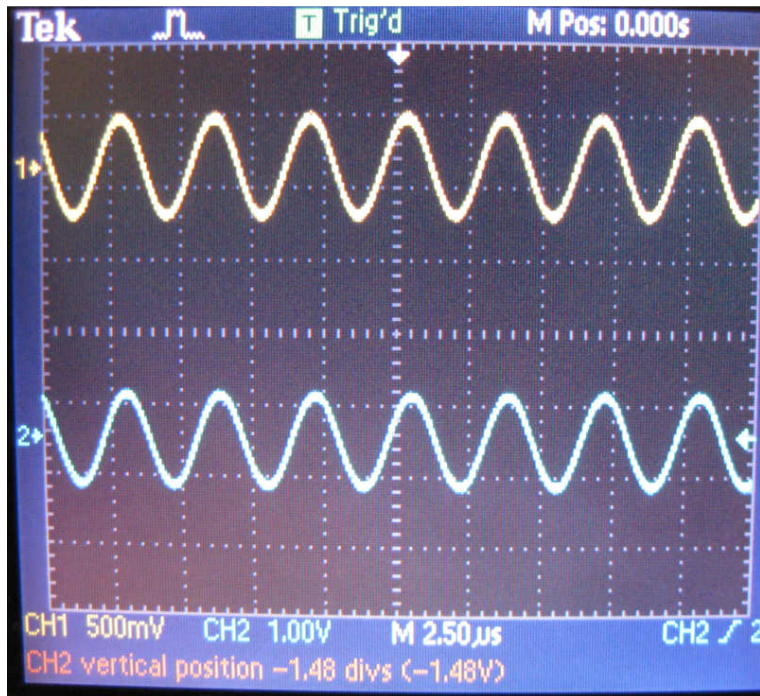
Şekil 3.49 : 250 KHz Frekansında Giriş ve Çıkış İşaretleri

Şekil 3.49’da giriş işareti için tepeden tepeye genlik değeri, 540mV değerinde; çıkış işareti için tepeden tepeye genlik değeri ise 1.08V değerindedir.



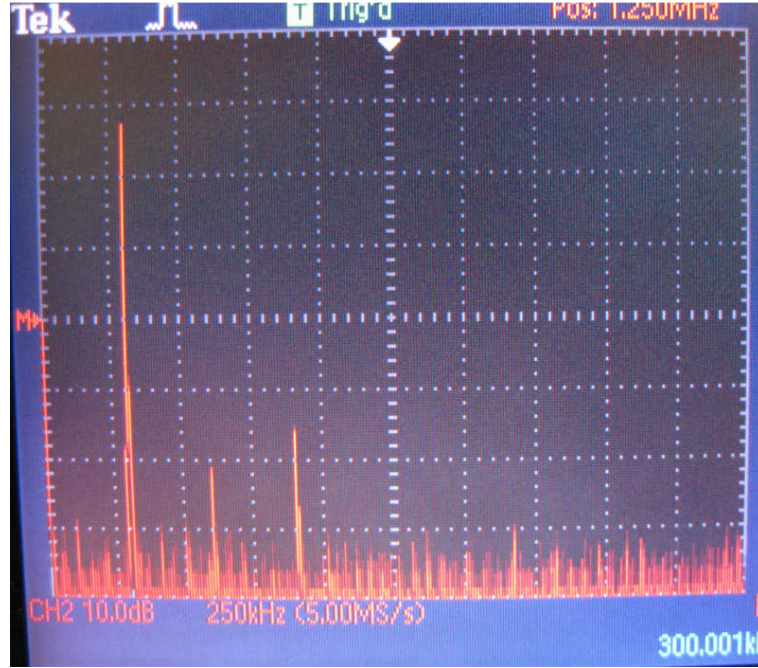
Şekil 3.50 : Tepeden Tepeye 1V Genlikli, 250 KHz Çıkış İşareti için FFT Gösterimi

Şekil 3.50’de ana frekans bileşeni genlik değeri -9.45 dB değerinde; en büyük harmoniğin genliği, -56.5 dB değerindedir.



Şekil 3.51 : 300 KHz Frekansında Giriş ve Çıkış İşaretleri

Şekil 3.51’de giriş işareti için tepeden tepeye genlik değeri , 700mV değerinde; çıkış işareti için tepeden tepeye genlik değeri ise 1.4V değerindedir.



Şekil 3.52 : Tepeden Tepeye 1.4V Genlikli,300KHz Çıkış İşareti için FFT Gösterimi

Şekil 3.52’de ana frekans bileşeni genlik değeri -8.15 dB değerinde; en büyük harmoniğin genliği, -50.9 dB değerindedir.

Açık çevrimli x2 kazançlı kuvvetlendirici farksal çıkış işareti, farksal giriş tek çıkış dönüştürücü devre ile tek çıkışa dönüştürülmüştür. Distorsiyonmetre ile farklı giriş genliğindeki sinüs işaretleri için, çıkış işareti üzerindeki distorsiyon değerleri ölçülmüştür. Distorsiyonmetre ile ölçülen distorsiyon değerleri Çizelge 3.3 ile verilmiştir.

Çizelge 3.3 : Ölçülen Distorsiyon Değerleri

İşaret frekans Değeri (KHz)	İşaret tepeden tepeye genlik değeri(V)	Distorsiyon (%)	Distorsiyon (dB)
5.3	860m	0.6	-44.44
5.3	960m	0.57	-44.88
5.3	1.02	0.54	-45.35
5.3	1.12	0.51	-45.85
5.3	1.6	0.51	-45.85
10.51	720m	0.38	-48.4
10.51	1.64	0.32	-49.9
16.85	800m	0.38	-48.4

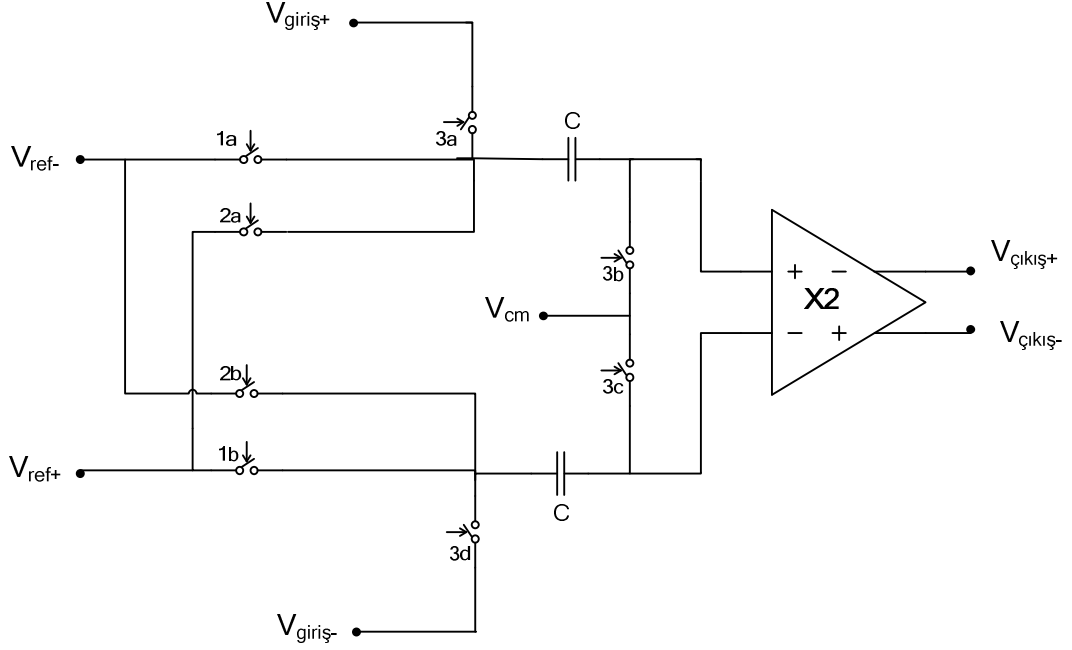
Osiloskop görüntüleri ile verilen ölçümlerde kullanılan işaret üretici için 20 KHz frekansında, 1 V genliğinde üretilen sinüs işaretindeki distorsiyon % 0.05 değerlidir[12]. FFT görüntülerinin değerlendirilmesinde üreticinin kendi verdiği bu değer de göz önünde bulundurulmalıdır. Ölçüm sonuçlarından yola çıkılarak FFT gösterimleri ve distorsiyon değer çizelgesi sonuçlarıyla birlikte, açık çevrimli x2 kazançlı kuvvetlendirici devresinin giriş işareti üzerindeki bozucu etkisinin oldukça az olduğu görülmektedir.

3.4 Açık Çevrimli x2 Kazançlı Rezidü Kuvvetlendirici

Pipeline ADC yapısında kullanılan katlarda sayısala çevrilen değer yapı içerisindeki sayısal analog çevirici ile tekrar analoğa çevrilip girişten çıkarılarak kuvvetlendirilir ve diğer bir kata aktarılır. Sayısalan analoğa çevrilerek giriş işaretinden çıkarılıp kuvvetlendirilen işaret rezidü işareti olarak adlandırılır ve bu işlemler tek bir yapı ile gerçekleştirilebilir. Tasarımı yapılan pipeline analog sayısal çevirici devresinde rezidü kuvvetlendirici yapısında önerilen açık çevrimli x2 kazançlı kuvvetlendirici devresi kullanılmıştır.

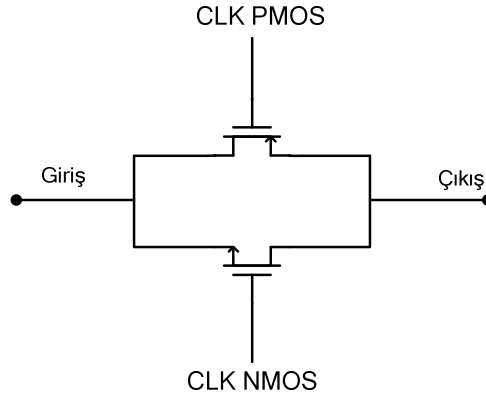
Rezidü kuvvetlendirici devre yapısı içerisinde, birbiriyle örtüşmeyen saat işaretleri ile çalışan anahtarlar yardımıyla giriş işareti kapasiteler üzerinde örneklenir. Diğer fazda ise giriş işaretinden referans gerilim değerleri çıkarılır ve kuvvetlendirme işlemi gerçekleştirilir. Giriş işaretinden çıkarılacak olan referans gerilim değerlerini seçme işlemi, katın sayısal çıkış değerine göre belirlenmektedir. Yapı içerisindeki anahtarların farklı durumlarına göre, girişten çıkarılacak olan referans gerilim değerleri belirlenmektedir. Bu anahtarların çalışacağı saat işaretleri katın sayısal çıkış değerine göre seçilip ilgili anahtarlar iletilir. Bu seçme işlemi kat çözünürlüğüne göre farklı sayısal devrelerle gerçekleştirilebilir. Farklı anahtarların iletimde olma durumlarına göre yapının transfer fonksiyonu değişmektedir.

Pipeline kat yapısında kullanılan rezidü kuvvetlendirici devre Şekil 3.53'te görülmektedir. [13] numaralı kaynakta kapasiteler ve anahtarlar ile oluşturulan sayısal analog çevirici yapısı ile farklı bir açık çevrimli kuvvetlendiriciyi içeren, 1.5 bit kat çözünürlüğe sahip rezidü kuvvetlendirici yapı bir pipeline kat için uygulanmıştır.



Şekil 3.53 : Açık Çevrimli x2 Kazançlı Rezidü Kuvvetlendirici Devresi

Yapı içerisinde anahtar olarak transmisyon kapıları kullanıldığı için saat işaretleri ile bu saat işaretlerinin evrilmiş halleri de kullanılmalıdır. Transmisyon kapısı Şekil 3.54’te verilmiştir.

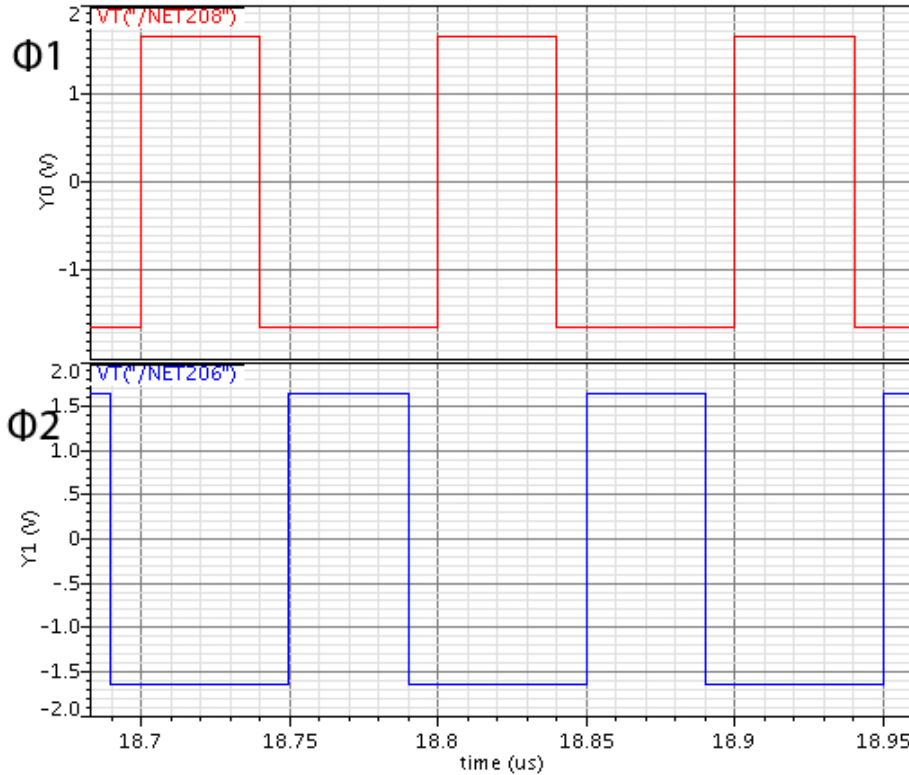


Şekil 3.54 : Transmisyon Kapısı

Transmisyon kapısı birbirine paralel bir nmos ve bir pmos transistörden oluşur. Karşılıklı iki transistörün aynı anda çalışabilmesi için geçitlerine birbirinin evriği olan saat işaretleri uygulanmalıdır. Transmisyon kapısının giriş işaretini iletebilmesi için karşılıklı olan transistörlerin açık olması gerekmektedir. Transmisyon kapısı kullanıldığında çıkışa iletilen 1 ve 0 işaretlerinin seviyelerini korunur. Sadece nmos transistör ile gerçekleştirilen bir anahtar sayısal “1” değerini iletirken çıkış salınım aralığının maksimum değeri, V_{DD} değil $V_{DD}-V_{Tn}$ olur; ancak sayısal “0” değeri

iletirken çıkış GND seviyesine çekilebilir. Pmos transistörde ise sayısal “1” değeri iletilirken çıkış V_{DD} seviyesine çıkabilir fakat sayısal “0” değeri iletilirken çıkış GND değil V_{Tp} seviyesinde minimum değerini alacaktır. Her iki transistör beraber kullanılarak oluşturulan transmisyon kapısında çıkış işareti V_{DD} ve GND seviyelerine çekilebilir.

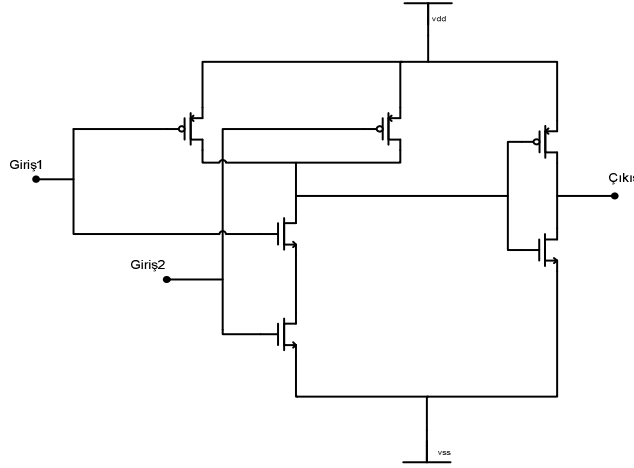
Açık çevrimli x2 kazançlı rezidü kuvvetlendirici devre üzerindeki anahtarlar 3 gruba ayrılmıştır. 1 ve 2 numaralı anahtarların çalışma saat işaretleri ile 3 numaralı anahtarların çalışma saat işaretleri birbiriyle örtüşmeyen saat işaretleridir. Birbiriyle örtüşmeyen saat işaretleri Φ_1 ve Φ_2 olarak belirtilmiştir. Saat işaretlerinin durumu Şekil 3.55’te görülmektedir. Rezidü kuvvetlendirici devrede Φ_1 saat işaretinin yüksek seviyede olduğu durumda 3a, 3b, 3c ve 3d anahtarları kapalı durumdadır. Bu fazda giriş işareti kapasiteler üzerinde örneklenir. Φ_2 saat işaretinin yüksek seviyede olduğu durumda ise 1a-1b veya 2a-2b anahtarları kapalı duruma geçecektir. Bu fazda çıkış yani rezidü işareti oluşturulur.



Şekil 3.55 : Birbirleriyle Örtüşmeyen Saat İşaretleri

Kuvvetlendirme işlemi sırasında giriş işaretinden çıkarılacak referans gerilim değerlerini, doğru yönde bağlayan anahtarlara uygulanacak işaret, çalışma saat işareti

ile kat içi sayısal çıkış işaretinin, sayısal VE işlemine tabi tutulmasıyla oluşturulmuştur. 1 bitlik bir kat yapısı düşünüldüğünde, kullanılan rezidü kuvvetlendirici yapıda olduğu gibi girişten çıkarılacak referans gerilim değerlerinin 2 farklı değeri vardır.



Şekil 3.56 : VE Kapısı

1a-1b veya 2a-2b anahtarlarının çalışması için gereken saat işaretleri ile kat içi sayısal çıkış değeri sayısal “VE” işlemine sokularak anahtarlara uygulanması gereken işaretler elde edilmiştir. İki girişli “VE” kapısı Şekil 3.56’da verilmiştir.

Giriş işaretinden çıkarılacak farklı referans gerilimleri için yapı içerisindeki analog sayısal çevirici çıkışı ve bunun evriği olan çıkışlar kullanılmıştır. Kat içerisindeki sayısal analog çevirici çıkışı karşılaştırıcı ardına bağlı D flip flop çıkışıdır. D flip flop devresi de katın sayısal çıkışı ile birlikte bu sayısal çıkışın evriğini de vermektedir. 1a-1b veya 2a-2b anahtar çiftlerinin çalışma durumlarına göre rezidü kuvvetlendirici yapının transfer fonksiyonu değişmektedir. Açık çevrimli rezidü kuvvetlendirici için transfer fonksiyonu (3.13) denklemi ile verilmiştir.

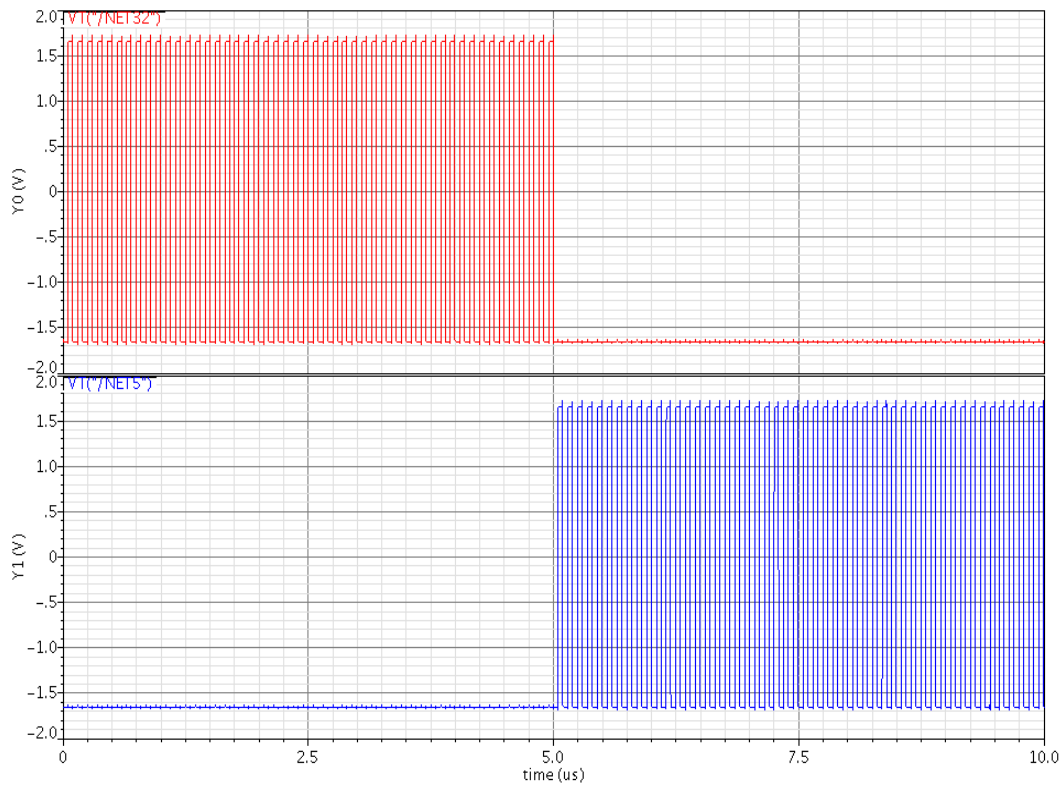
$$V_{rezidü} = 2 \times (V_{giriş} - Dx V_{ref}) \quad (3.13)$$

$$V_{giriş} = V_{giriş+} - V_{giriş-} \quad (3.14)$$

$$V_{ref} = V_{ref+} - V_{ref-} \quad (3.15)$$

Kat içi sayısal çıkış işaretinin durumuna göre eşitlikte ile gösterilen D değişkenin değeri değişmektedir. Sayısal çıkış işaretinin durumuna göre “1” veya “-1” değerini almaktadır. Bu şekilde farksal referans gerilim değeri, farksal giriş işaretinden toplanır veya çıkarılır. Daha sonra 2 ile çarpılarak kat çıkışına iletilir.

Sayısal çıkışın farklı durumlarına göre giriş işaretinden çıkarılacak referans değerleri ile oluşturulan devre yapısının benzetimleri yapılmıştır. Daha sonra bir pipeline kat yapısı oluşturulmuş ve gerçek sayısal işaretle bu referans değerleri seçilerek benzetimler yapılmıştır.



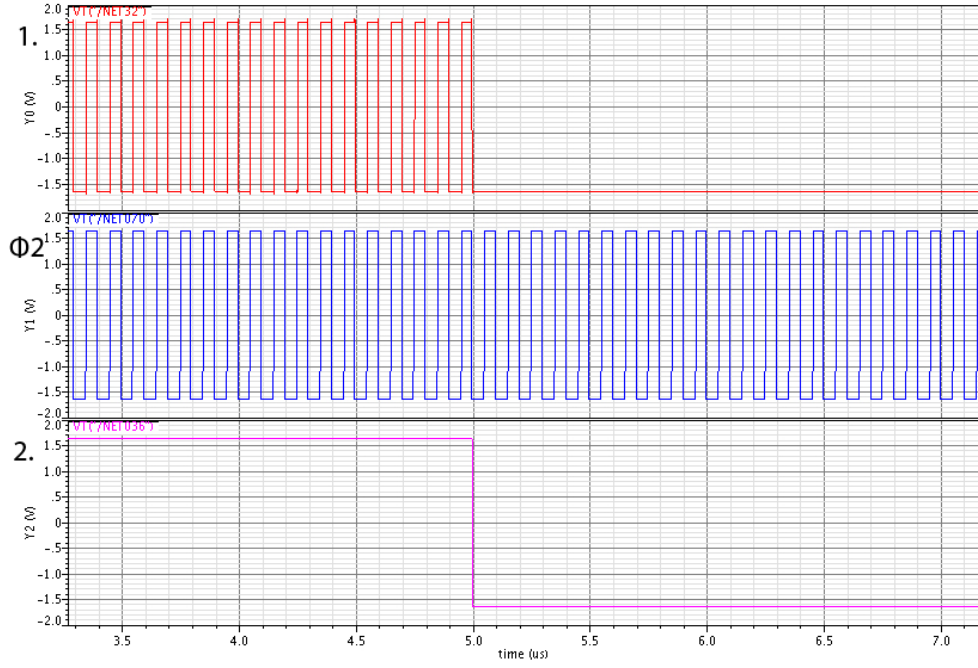
Şekil 3.57 : Rezidü Kuvvetlendirici Yapısındaki Anahtarlar için Saat İşaretleri

Şekil 3.57’de 1a-1b ve 2a-2b anahtar çiftlerini çalıştıran Φ_2 saat işaretlerinin farklı durumları verilmiştir. Her iki saat işareti de Φ_2 saat işaretidir fakat pipeline ADC katı içerisindeki sayısal çıkışın farklı durumlarında bu anahtar çiftlerini çalıştırmaktadır.

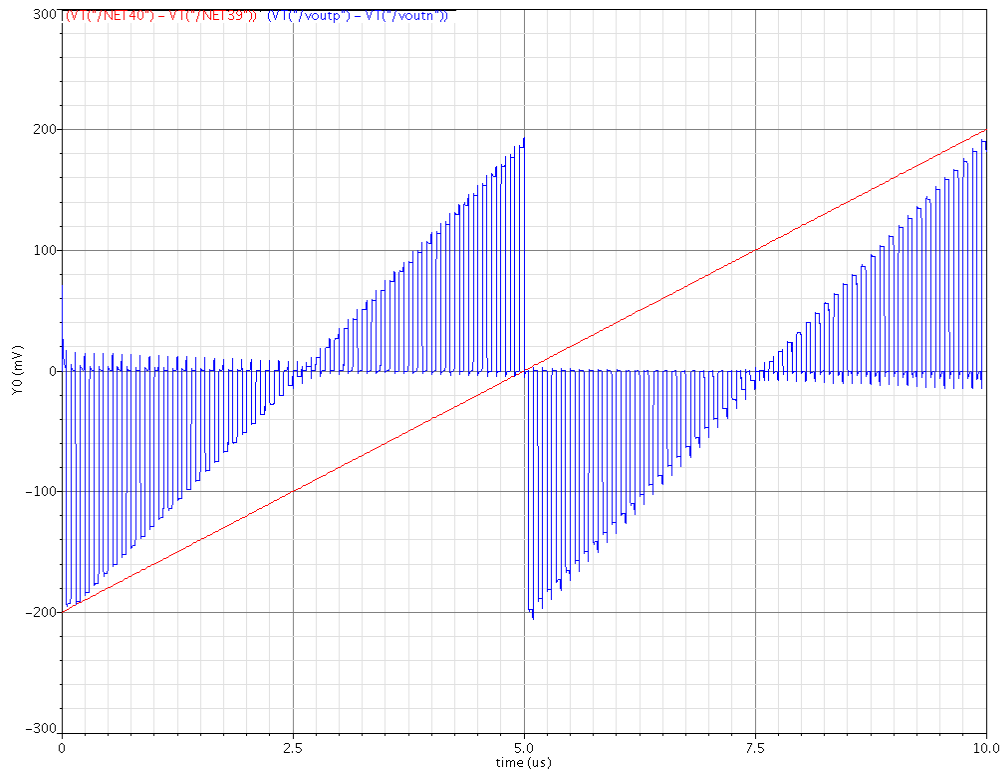
3.4.1 Açık çevrimli x2 kazançlı rezidü kuvvetlendirici benzetimi ve sonuçları

Şekil 3.58’de verilen işaretlere bakılacak olursa; Φ_2 saat işareti ve 2 numaralı sayısal çıkış işareti “VE” kapısının giriş işaretidir, 1 numaralı işaret ise “VE” kapısının çıkışıdır. 1 numaralı işaret, 1a-1b ve 2a-2b anahtar çiftlerinden ilgili olanları

çalıştırmaktadır. Böylece girişten çıkarılacak referans gerilim değeri belirlenmektedir.



Şekil 3.58 : “VE” Kapısı Giriş ve Çıkış İşaretleri



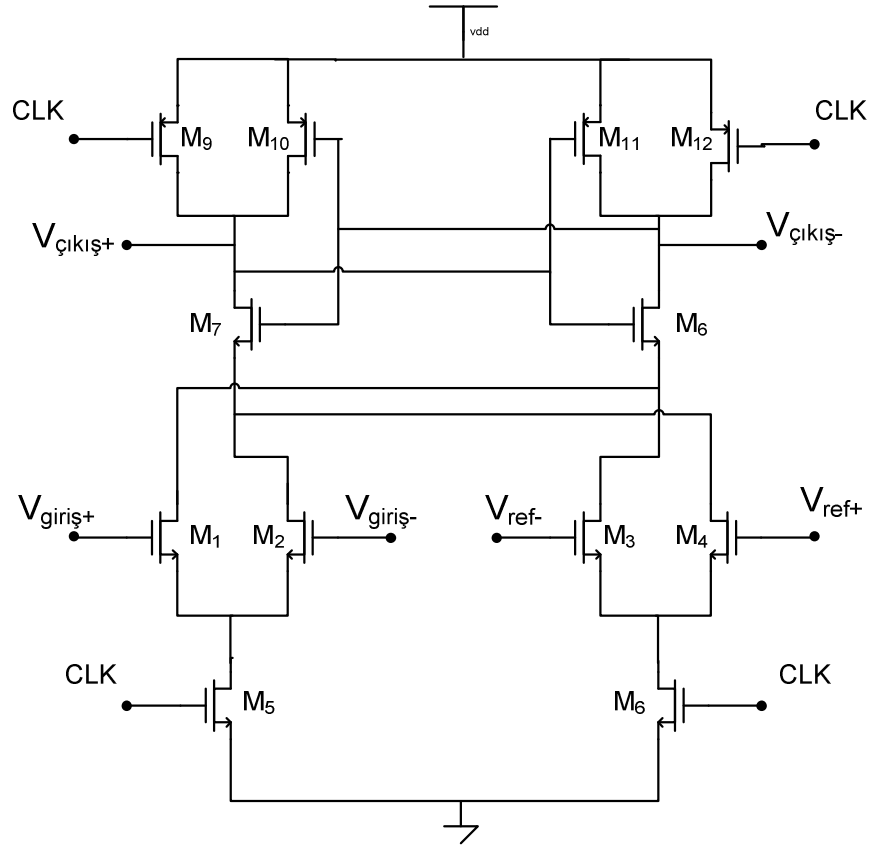
Şekil 3.59 : Rezidü Kuvvetlendirici Giriş ve Çıkış İşaretleri

Şekil 3.59’da rezidü kuvvetlendiricinin girişine verilen farksal rampa işarete karşılık çıkış işareti grafiği verilmiştir. Giriş işaretinin tam “0” değerinden geçtiği noktada kat içi sayısal çıkış değeri değişmekte ve giriş işaretinden çıkarılan referans gerilim değişmektedir. Bu noktaya kadar giriş işaretinden, sayısal analog çevirici negatif referans gerilimi çıkarılır ve 2 ile çarpılarak kuvvetlendirilir. Bu çalışma “VE” kapısının girişine verilen saat işareti ve kat içi sayısal çıkış durumuna göre değişmektedir. Bu noktadan sonra giriş işaretinden, sayısal analog çevirici pozitif referans gerilim değeri çıkarılır ve 2 ile çarpılarak kuvvetlendirilir. Böylece rezidü işareti şeklindeki durumu almakta ve sonraki kat için giriş işaretini oluşturmaktadır. Rezidü işareti “0” değerinden 2 kere geçmektedir, bir sonraki katın karşılaştırmacı çıkışında veya sayısal çıkış bitinde bu değişimler görülebilir.

4. TASARIMDA KULLANILAN DEVRE YAPILARI

4.1 Karşılaştırıcı

Giriş işaretinin, kat yapısı içerisindeki flash ADC ile sayısal dönüşürülmesi için karşılaştırıcı devreler kullanılmaktadır. Pipeline ADC yapısında kat girişine gelen işaret, referans gerilim değerleriyle karşılaştırılır. Kullanılan karşılaştırıcı devresi tutucu (latch) tabanlı olarak çalışmaktadır. Saat işaretinin pozitif seviyelerinde karşılaştırma işlemini yapmaktadır. Yapının tutucu tabanlı dinamik bir karşılaştırıcı olması sonucunda harcadığı güç büyük oranda azalmıştır. Kat içerisindeki ADC yapısında kullanılan karşılaştırıcı devresi Şekil 4.1’de verilmiştir.



Şekil 4.1 : Karşılaştırıcı Devresi [14]

Devrede M_1 , M_2 , M_3 ve M_4 transistör boyları eşit seçilerek karşılaştırıcı eşliğinin farksal referans gerilimine eşit olması sağlanmıştır.

Saat işaretinin pozitif olduğu durumda akım kaynağı olarak çalışan M_5 ve M_6 transistörleri ilettime girerler ve farksal katlardan akacak akımı belirlerler. Karşılaştırıcının eşik değeri farksal katta paylaşılan akım oranıyla belirlenir [14].

Akım bağıntıları (4.1)-(4.4) ile verilmiştir [14]:

$$I_{D1} - I_{D2} = \beta_1 V_{in} \sqrt{\frac{2I_{D5}}{\beta_1} - V_{in}^2} \quad (4.1)$$

$$I_{D4} - I_{D3} = \beta_3 V_{ref} \sqrt{\frac{2I_{D6}}{\beta_3} - V_{ref}^2} \quad (4.2)$$

$$\beta_i = \frac{1}{2} K' \frac{W_i}{L} = \frac{1}{2} \mu_o C_{ox} \frac{W_i}{L} \quad (4.3)$$

Karşılaştırıcının çıkış durumu, fark akımlarının birbirlerine eşit oldukları durumda değiştirecektir [14]. $I_{D5}=d.I_{D6}$ ve $V_{in}=e.V_{ref}$ eşitlikleriyle, akım fark denklemleri eşitlediğinde (4.4) ile verilen eşitlik ortaya çıkar.

$$2de^2 I_{D6} \frac{W_1}{L} - K' e^4 V_{ref}^2 \left(\frac{W_1}{L} \right)^2 = 2I_{D6} \frac{W_3}{L} - K' V_{ref}^2 \left(\frac{W_3}{L} \right)^2 \quad (4.4)$$

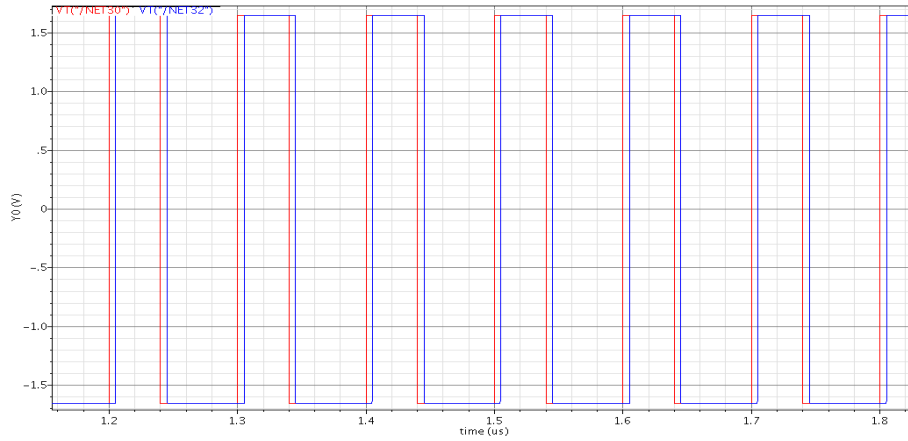
d ve e değişkenlerinin değerleri 1 seçildiğinde, transistör boyutlarının eşit olacağı görülür. Karşılaştırıcının çıkış durumunu değiştireceği nokta giriş geriliminin referans gerilimine eşit olduğu noktadır.

4.1.1 Pozitif kenar tetiklemeli D flip flop

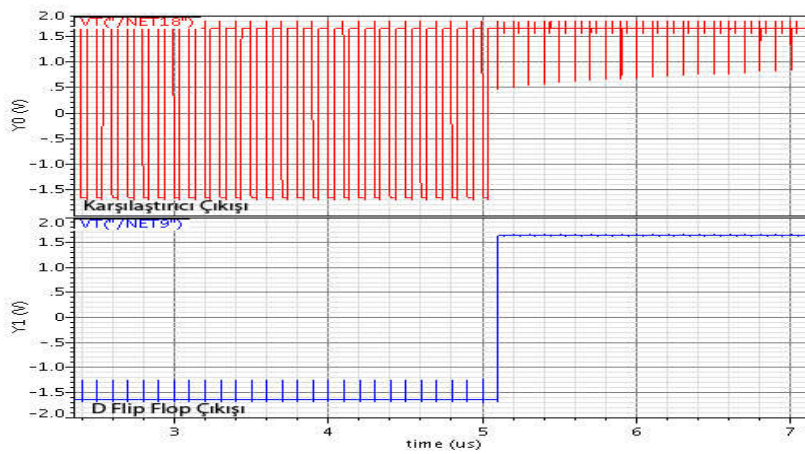
Pipeline ADC yapısında karşılaştırıcı çıkışlarının tutulması ve pipeline katların sayısal çıkışları arasındaki beklemlerin giderilmesi amacıyla D flip flop devreleri kullanılmıştır. D flip flop devreleri farklı yöntemlerle tasarlanabilir. Sayısal kapılar kullanılarak tasarlanan D flip flop devrelerinin dezavantajları fazla sayıda transistör içermeleridir. Pipeline yapısında kullanılan D flip flop devresi TSPC (true single phase clocking) tekniği kullanılarak tasarlanmıştır. Kullanılan D flip flop devresi şekilde verilmiştir. 11 adet transistör kullanılarak pozitif kenar tetiklemeli D flip flop gerçekleştirilmiştir. TSPC (true single phase clocking) tekniği kullanılan bu yapı, CMOS devre hızlarında ve güç harcamasında ilerleme yaşatmıştır [15].

Bir bitlik bir pipeline katı içinde analog sayısal çevirme işlemi için 1 adet karşılaştırıcı kullanılmıştır. Karşılaştırıcı, örneklenmiş giriş işaretinin sayısal işarete çevrilmesini sağlar. Saat işaretine bağlı olarak çalışan yapıda, karşılaştırıcı çıkışında D flip flop devresi kullanılmıştır.

Şekil 4.3 ile verilen yapıda, D flip flop ile karşılaştırıcı çıkış işaretinin devamlılığı sağlanmış ve saat işaretine bağıllık giderilmiştir. Karşılaştırıcı devresi sadece saat işaretinin pozitif olduğu durumda karşılaştırma yapmaktadır. Saat işaretinin sıfır olduğu durumda M_5 ve M_6 transistörleri kesimdedir. Bu durumda akım akmayacağı için çıkış işaret seviyesi 1 konumunda olmaktadır. Karşılaştırıcı çıkışına bağlanan D flip flop devresinin çalışma saat işareti, karşılaştırıcı saat işaretine göre zamanda daha ileri yani geciktirilmiş olmalıdır. Karşılaştırıcı ve D flip flopun çalışması için gereken saat işaretleri Şekil 4.4'te verilmiştir.

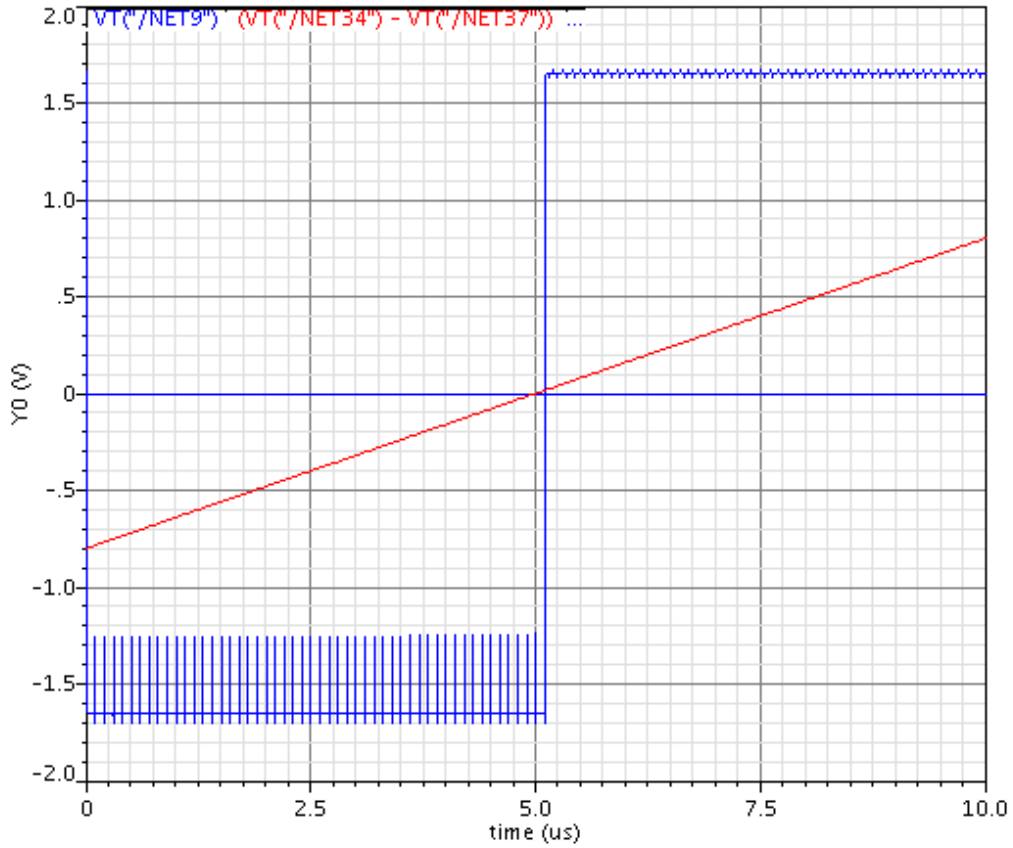


Şekil 4.4 : Karşılaştırıcı ve D Flip Flop Saat İşaretleri



Şekil 4.5 : Karşılaştırıcı ve D Flip Flop Çıkışları

Şekil 4.5'te karşılaştırıcı çıkış işaretleri ve D flip flop çıkış işaretleri verilmiştir.

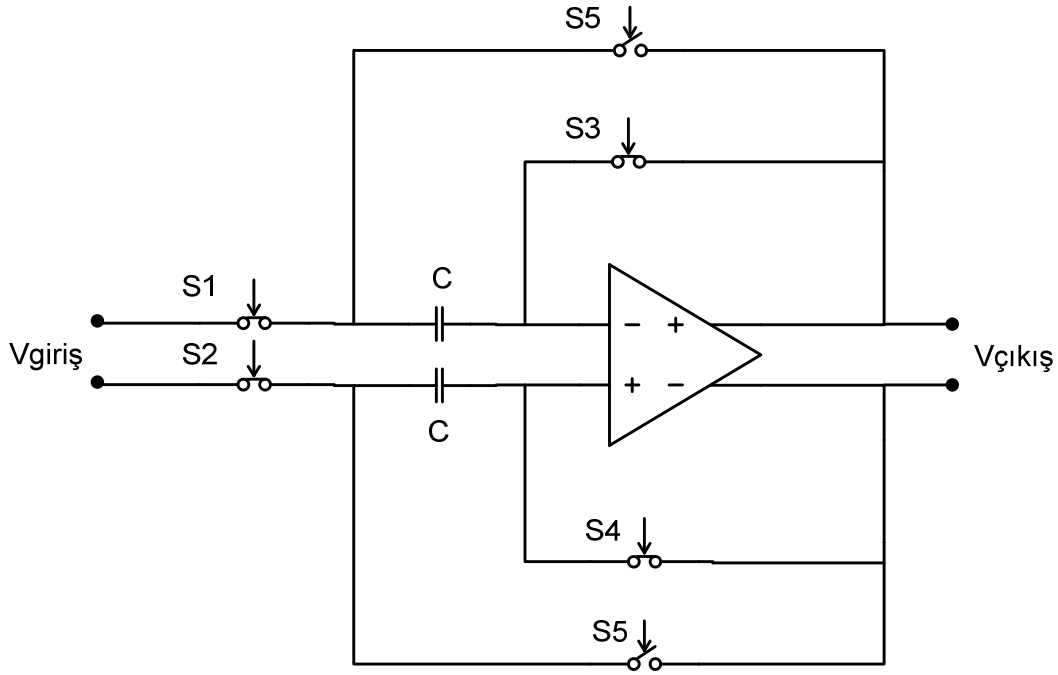


Şekil 4.6 : Karşılaştırıcı Yapı Çalışma Grafiği

Karşılaştırıcı yapının çalışması Şekil 4.6 ile verilen grafikteki gibidir. Yapı, girişine verilen farksal bir rampa işaretini referans gerilimle kıyaslar ve çıkış işaretini oluşturur. Giriş işaretinin referans gerilimden küçük olduğu durumda “0”, giriş işaretinin referans gerilimden büyük olduğu durumda “1” çıkışını üretir.

4.2 Birim Kazanlı Örnekleme ve Tutma Devresi

Pipeline ADC yapısının ilk katın girişinde kullanılan devre örnekleme ve tutma devresidir. Örnekleme ve tutma işlemi farklı devre yapılarıyla gerçekleştirilebilir. Yüksek hızda çevirme işlemi yapmak ve daha az güç harcamak amacıyla kullanılan örnekleme ve tutma devreleri genel olarak pipeline ADC için kullanılan saat işaretisiyle aynı hızda çalışmaktadır. Örnekleme ve tutma işlemi sonucunda giriş işaretinde genlik olarak bir değişme söz konusu olmamalıdır. Pipeline yapısının ilk katında kullanılan örnekleme tutma devresi Şekil 4.7 ile verilmiştir [16].



Şekil 4.7 : Birim Kazançlı Örnekleme ve Tutma Devresi

CMOS teknolojisinde popüler olarak kullanılan bu yapı seri örnekleme yöntemini kullanır ve hassas bir tutma işlemi gerçekleştirir [10]. Giriş işareti S1, S2, S3 ve S4 anahtarları iletimdeyken örneklenir. Diğer fazda S5 ve S6 anahtarları iletimdeyken çıkış gerilimi, kapasiteler üzerinde örneklenmiş değere ulaşır ve tutma işlemi bu fazda gerçekleşir. Farklı fazlarda çalışan anahtarlara uygulanacak saat işaretleri birbirleriyle örtüşmeyen saat işaretleri olmalıdır.

4.2.1 İşlemsel kuvvetlendirici

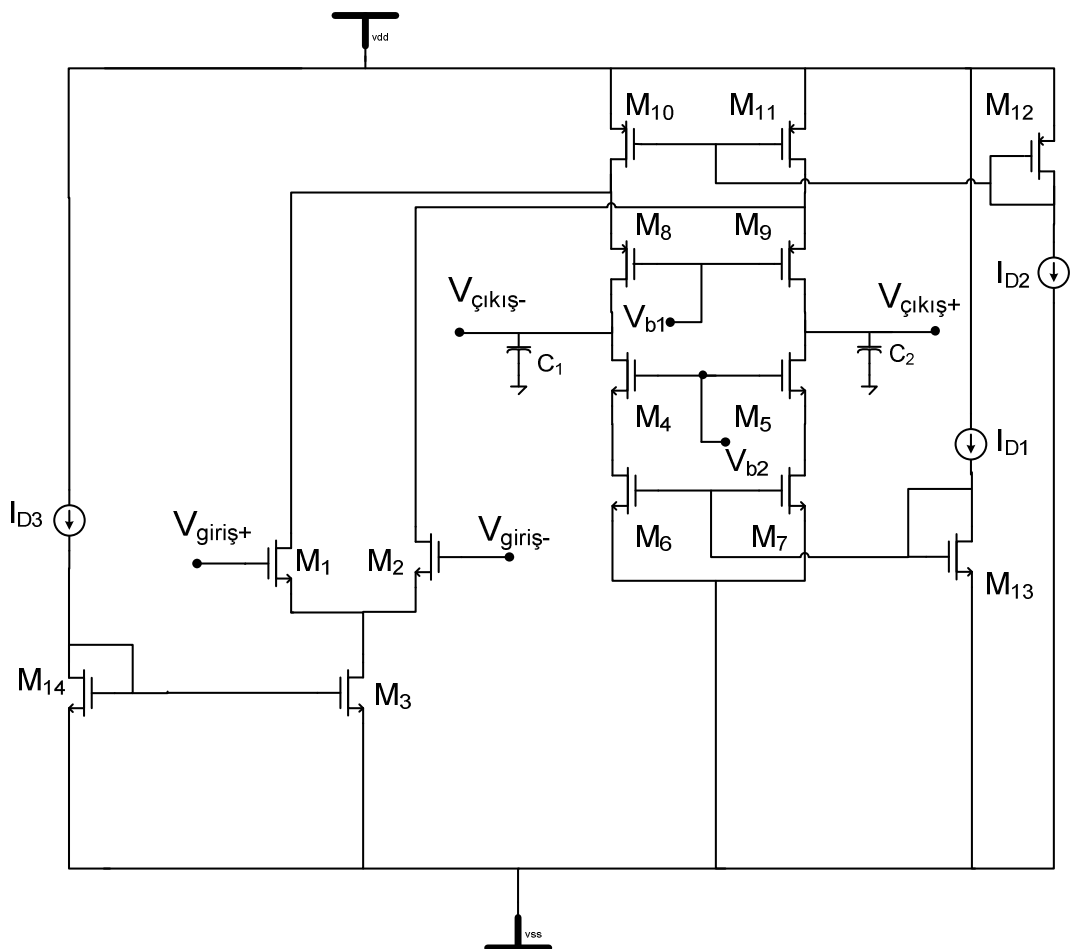
Pipeline analog sayısal çeviricinin ilk katında örnekleme ve tutma işleminin gerçekleştirilmesi için yapıda kuvvetlendirici devresine ihtiyaç duyulmaktadır. Birim kazançlı örnekleme ve tutma devresi için kat içi kazanç “1” olmalıdır. Ayrıca kuvvetlendiricinin yerleşme süresi pipeline analog sayısal çevirici çalışma frekansı için yeterli olmalıdır. Yerleşme süresi doğrudan kuvvetlendiricinin birim kazanç frekans değerine bağlıdır [17]. Pipeline yapısında örnekleme ve tutma devresinde kullanılacak olan işlemsel kuvvetlendirici, katlanmış kaskod olarak tasarlanmıştır. Kapalı çevrimli sistemlerde doğrusallığın iyi olabilmesi için kazanç yeterli olmalıdır. Bir işlemsel kuvvetlendirici için kapalı çevrim yerleşme süresi ifadesi (4.5) denkleminde verilmiştir:

$$\tau = \frac{A_{KC}}{|A_V| \omega_{3dB}} = \frac{A_{KC}}{\omega_u} \quad (4.5)$$

Denklemden A_{KC} kapalı çevrim kazancı, A_V açık çevrim kazancı, ω_u birim kazanç bantgenişliği, ω_{3dB} de -3dB kesim frekansıdır. Denklemden kapalı çevrim yerleşme süresinin, açık çevrim birim kazanç bant genişliğiyle ilişkisi görülebilir. Kapalı çevrim kazancı 1 olan bir devrede, 10ns'lik bir yerleşme süresi (τ) için gerekli birim kazanç frekansı aşağıdaki denklem **(4.6)** ile hesaplanabilir.

$$f_u = \frac{A_{KC}}{\tau 2\pi} \quad (4.6)$$

Buradan $f_u=15.9$ MHz olarak hesaplanır. Bu değer tasarım aşamasında dikkate alınmıştır.



Şekil 4.8 : İşlemsel Kuvvetlendirici Devresi

Katlanmış kaskodlu yapı diğer kuvvetlendirici yapılara göre daha fazla güç tüketmesine rağmen yüksek kazanç sağlayabilmektedir, ayrıca tek katlı olduğu için miller kompanzasyonu gerektirmemektedir.. Tasarlanan işlemsel kuvvetlendirici devresi aşağıdaki Şekil 4.8 ile verilmiştir:

Yapı M_1 - M_2 transistörlerinden oluşan farksal giriş katı, M_3 akım kaynağı, katlanmış çıkış katı, ayrıca akım kaynakları ve diyot bağlı transistörlerden oluşan kutuplama kısımlarından oluşmaktadır.

Çıkışta bulunan C_1 ve C_2 kompanzasyon kapasiteleri ile devrenin faz payı ayarlanmıştır. Yapının geçiş iletkenliği, çıkış direnci ve kazanç ifadeleri (4.7) - (4.9) denklemleri ile verilmiştir:

$$G_m = g_{m1} \quad (4.7)$$

$$R_{ciks} = [(g_{m4} + g_{mb4})r_{o4}r_{o6}] / [(g_{m8} + g_{mb8})r_{o8}(r_{o10} // r_{o1})] \quad (4.8)$$

$$|A_v| = g_{m1}R_{ciks} \quad (4.9)$$

Çizelge 4.1 : Kuvvetlendirici Eleman Değerleri

	W (L=1 μ m)
M_1 - M_2	200 μ m
M_3 - M_{14}	10 μ m
M_4 - M_5	100 μ m
M_6 - M_7 - M_{13}	25 μ m
M_8 - M_9	60 μ m
M_{10} - M_{11} - M_{12}	60 μ m
I_{D1}	100 μ A
I_{D2}	125 μ A
I_{D3}	50 μ A

Kuvvetlendirici eleman değerleri Çizelge 4.1 ile verilmiştir.

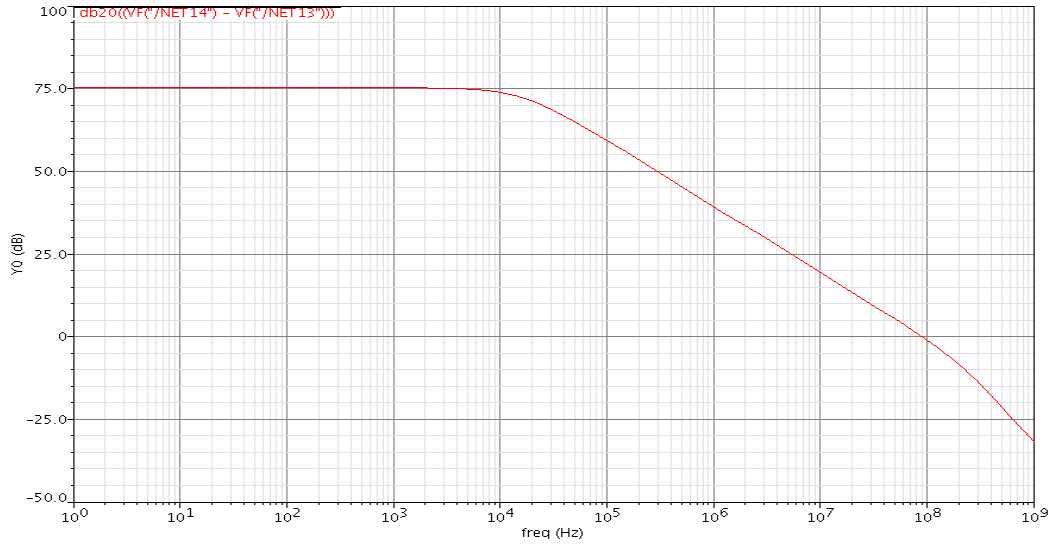
4.2.2 Benzetim ve sonuçlar

Kuvvetlendirici devre için kazanç ve faz payı değerleri aşağıdaki Çizelge 4.2 ile verilmiştir:

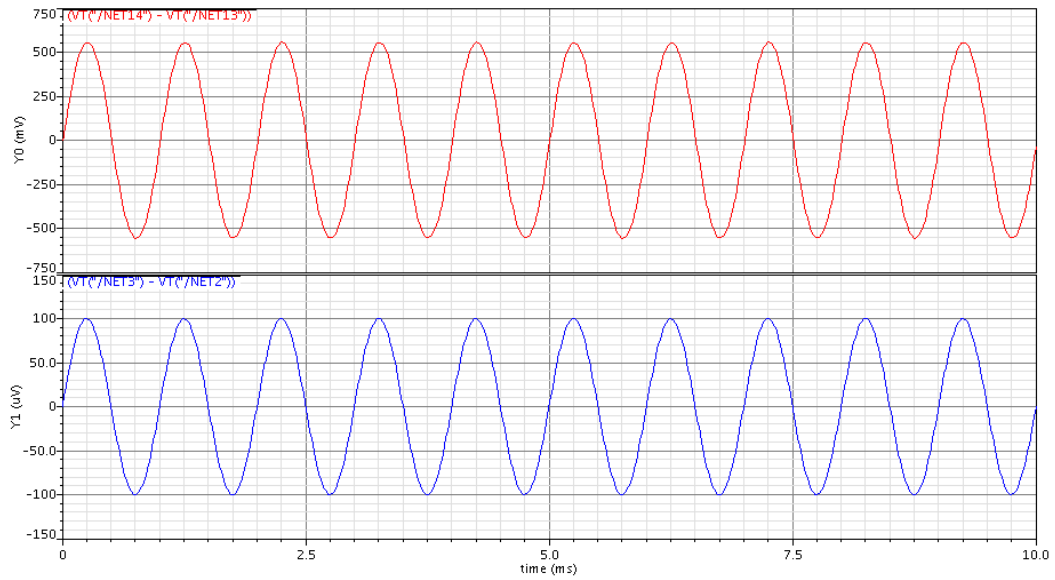
Çizelge 4.2 : Kuvvetlendirici Kazanç ve Faz Payı Değerleri

Kazanç	Faz Payı	Birim Kazanç Bant genişliği
75.3 dB	69.3 °	89 MHz

Kuvvetlendirici için kazanç-frekans grafiği Şekil 4.9’da , transient analiz grafiği Şekil 4.10’da verilmiştir.

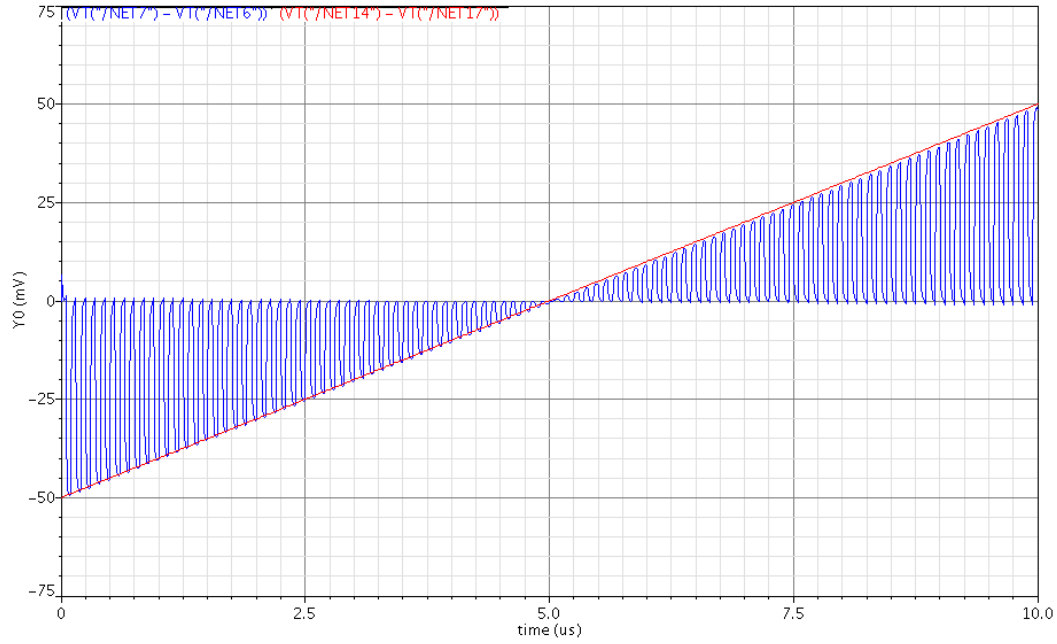


Şekil 4.9 : Kuvvetlendirici Kazanç Grafiği

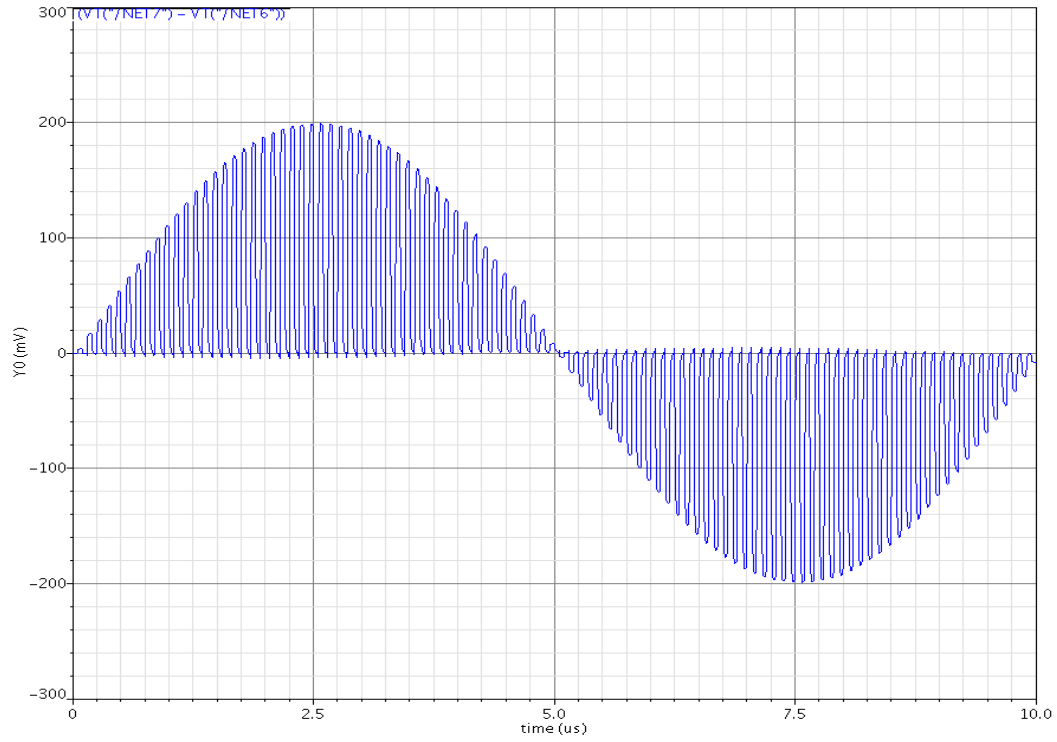


Şekil 4.10 : Kuvvetlendirici Transient Analiz Grafiği

Birim kazançlı örnekleme ve tutma devresi için elde edilen benzetim sonuçları da Şekil 4.11 ve Şekil 4.12’de verilmiştir.



Şekil 4.11 : Farksal Rampa Giriş ve Örnekleme ve Tutma Devresi Çıkış İşareti



Şekil 4.12 : Sinüs Giriş için Örnekleme ve Tutma Devresi Çıkış İşareti

5. TASARLANAN PIPELINE ADC YAPISI

Pipeline analog sayısal çevirici n-adımlı bir analog sayısal çeviricidir yani analog işareti sayısal işarete çevirme işlemini adımlara böler. 1 bitlik n adet kat ardışıl olarak çalışır. Kendi içinde bir kat şu işlemleri gerçekleştirir:

- Yapı içerisindeki karşılaştırmacı devre giriş işaretini referans gerilim değeriyle kıyaslayarak o katın sayısal çıkış işaretini oluşturulur.
- Eğer giriş işareti referans gerilim değerinden büyükse sayısal “1 “ değeri, giriş işareti referans değerden küçükse sayısal “0” işareti üretilir.
- Sayısal değer tekrar analog değere çevrilir, giriş işaretinden çıkarılır ve 2 ile çarpılarak kuvvetlendirilir. Diğer kata aktarılan bu işaret rezidü işaretidir.

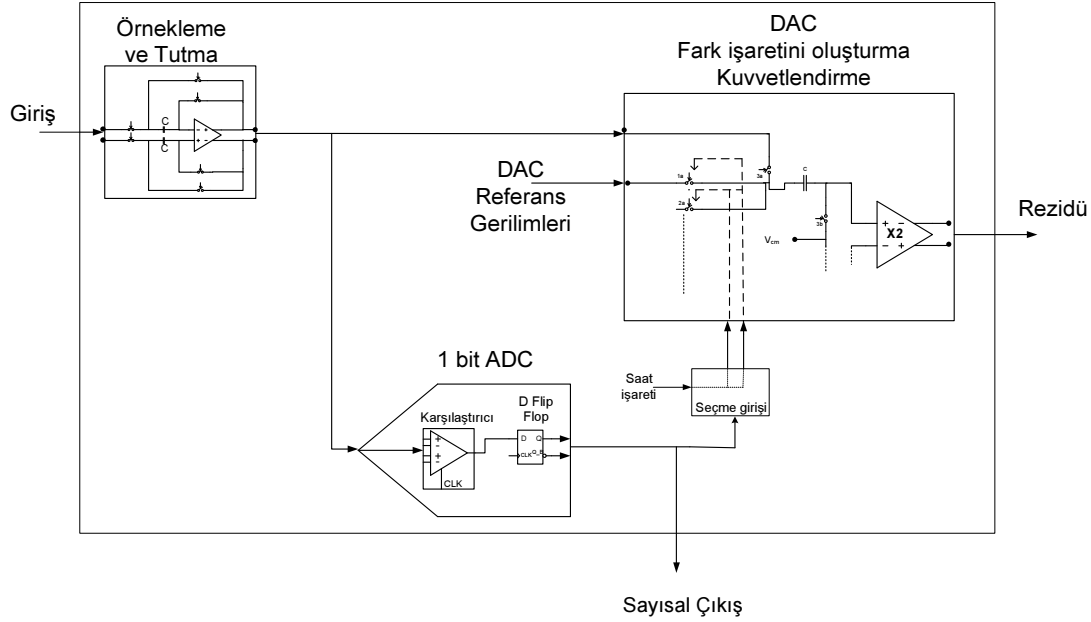
5.1 Kat Yapıları

Pipeline ADC yapısında kullanılan kat yapılarına bakılırsa ilk kat ve son kat dışındaki ara kat yapıları birbirlerinin eşdeğeridir. İlk kat yapısı giriş işaretini örnekleyip sayısal çıkış üretir ve kalan işareti üreterek sonraki kata aktarır. Son katın ise herhangi bir kalan işaret üretmesine gerek yoktur. Sadece sayısal işaret üretir. Aradaki katlar, ayrı bir örnekleme ve tutma devresi içermezler. Pipeline kat yapılarında kullanılan ve 1 bit ADC olarak belirtilen yapı içerisinde, 1 adet karşılaştırmacı ve onun çıkışında 1 adet D flip flop devresi şeklindedir.

5.1.1 İlk kat

Pipeline analog sayısal çevirici ilk kat yapısında birim kazançlı örnekleme ve tutma devresi, karşılaştırmacı yapısından oluşan 1 bitlik ADC ve rezidü kuvvetlendirici devreleri bulunmaktadır. Bu yapı Şekil 5.1’de görülmektedir. İlk kat yapısına bakıldığında giriş işareti ilk olarak örnekleme ve tutma devresinden geçer ve kat içerisindeki karşılaştırmacı yapısında sayısala çevrilir. Karşılaştırmacı yapısı 1 bitlik ADC olarak çalışmakta ve çıkışında üretilen sayısal işaret kat sayısal çıkışını oluşturmaktadır. Bu sayısal işaret Pipeline ADC yapısının en yüksek anlamlı bitidir.

Ayrıca sayısal çıkış işareti, kat içi rezidü kuvvetlendirici yapıya iletilen saat işaretini seçmekte kullanılmaktadır.



Şekil 5.1 : Pipeline Analog Sayısal Çevirici İlk Kat Yapısı

Rezidü kuvvetlendirici olarak isimlendirilen yapı, Şekil 5.1’de görülen sayısal analog çevirme işlemini, fark işaretini oluşturmayı ve bu işareti kuvvetlendirmeyi gerçekleştirir.

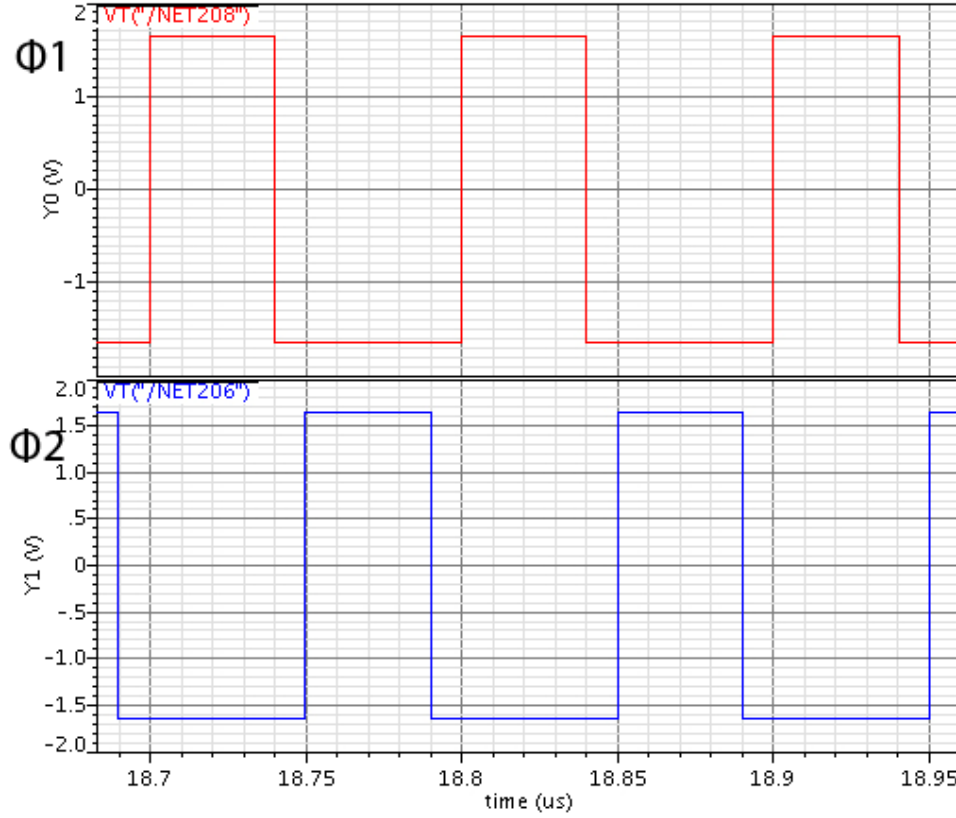
Blok yapıda gösterilen seçme işlemi “VE” kapıları ile sağlanmaktadır. Rezidü kuvvetlendirici yapı içerisindeki anahtarlara iletilen saat işaretleri, “VE” kapısı çıkış işaretleridir. Bu anahtarlar kontrol edilerek, ilgili DAC referans gerilim değerleri ile fark işareti oluşur ve kuvvetlendirilerek sonraki kata iletilir.

5.1.2 Ara katlar

Pipeline analog sayısal çevirici ara kat yapılarında karşılaştırıcı yapısından oluşan 1 bitlik ADC ve rezidü kuvvetlendirici devreleri bulunmaktadır.

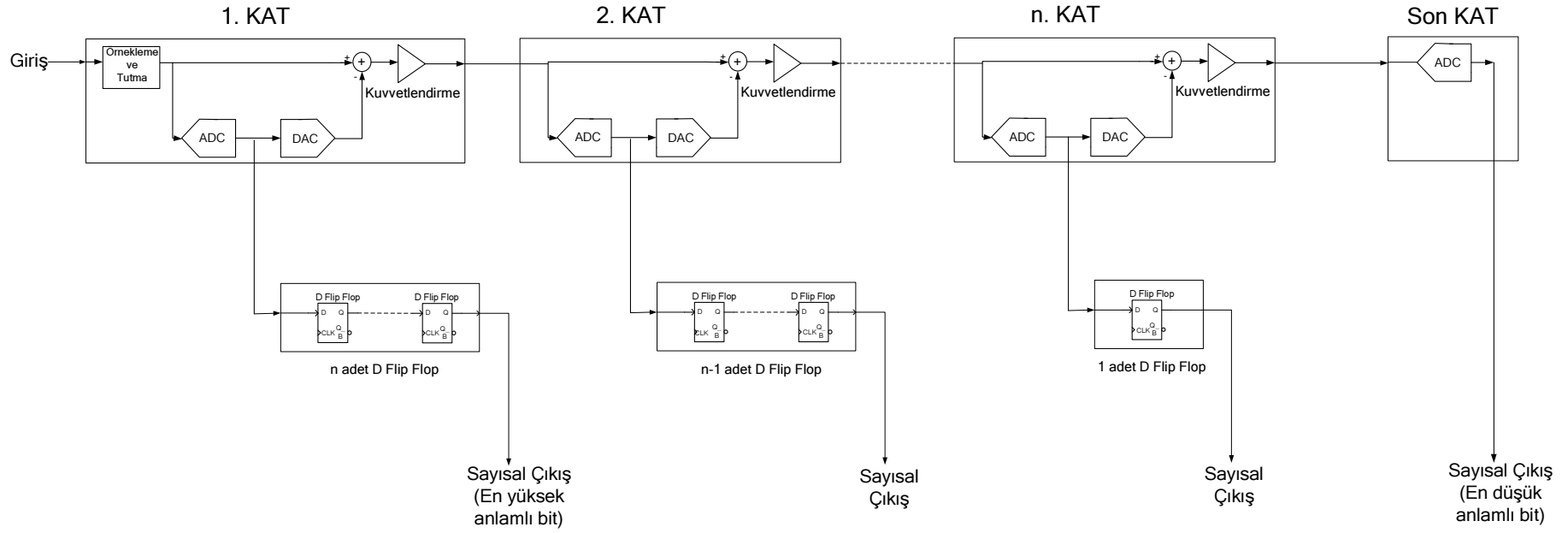
Rezidü kuvvetlendirici devre Şekil 5.2 de görüldüğü gibi fonksiyonel olarak sayısal analog çevirme, fark işaretini oluşturma ve kuvvetlendirme işlemlerini gerçekleştirmektedir. Ara kat yapılarının ilk kat yapısından farkı, girişinde fazladan bir örnekleme ve tutma devresi bulundurmamasıdır. İlk kat yapısından sonra gelen ara kat yapılarında daha az anlamlı sayısal çıkış bitleri oluşur.

yüzden birbirini takip eden katlar birbiriyle örtüşmeyen (non-overlap) saat işaretleri ile çalışırlar.



Şekil 5.4 : Birbirleriyle Örtüşmeyen Saat İşaretleri

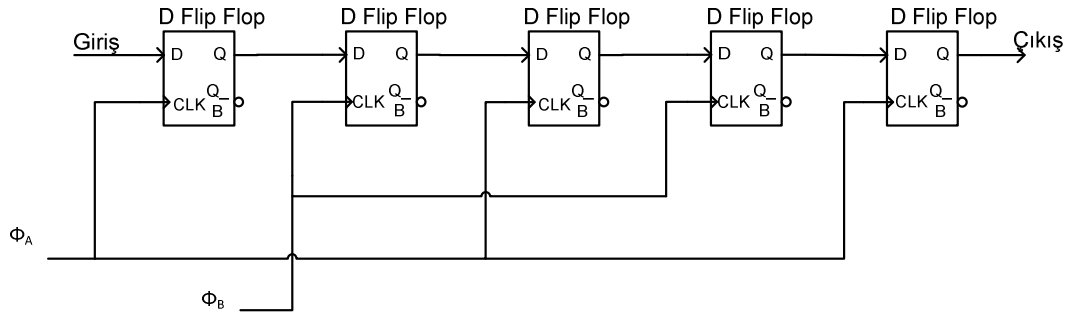
Birbiriyle örtüşmeyen saat işaretleri Şekil 5.4'te verilen grafikte gösterilmiştir. Φ_1 ve Φ_2 ile gösterilen iki adet saat işareti pipeline kat içerisindeki yapıların çalışma fazlarını ayarlamaktadır. Bir sonraki katta, yapı içerisinde bu saat işaretleri yer değiştirir ve bir önceki blokta çalıştırdıkları yapıların tam terslerini çalıştırır. Böylece bir katın rezidü işareti bir sonraki katta işlenebilmektedir. Ötelemeli kaydedicilerle birlikte verilen Pipeline analog sayısal çevirici yapısı Şekil 5.5'te görülebilir. Pipeline ADC ilk kat yapısı, ara katlar ve son kat çıkışında elde edilen sayısal çıkışlar ötelemeli kaydediciler ile bekletilir. Oluşan sayısal çıkış işaretleri arasındaki gecikme farkları düzeltilmiş, düzgün sayısal çıkış bitleri elde edilmiştir. N+1 kattan oluşan yapıda ilk kat çıkışında kullanılacak ötelemeli kaydedici için gerekli D flip flop sayısı n tanedir. Bu sayı her katta birer azalır, n. kat için 1 adet D flip flop yeterlidir. Son kat çıkışında ise herhangi bir ötelemeli kaydedici kullanılmasına gerek yoktur.



Şekil 5.5 : Pipeline Analog Sayısal Çevirici Yapısı

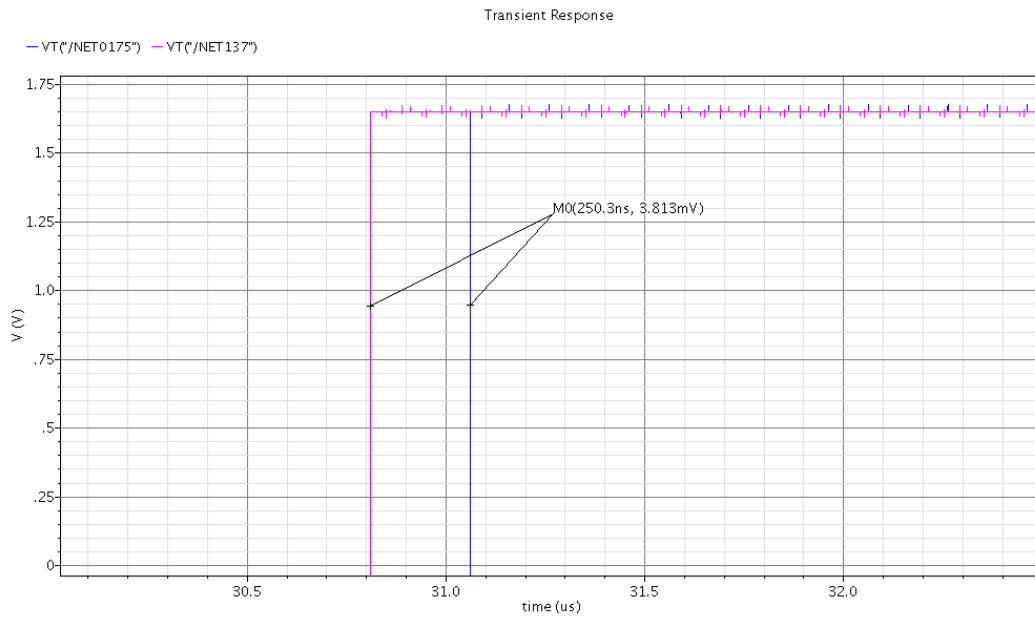
5.2.1 Ötelemeli kaydedici

Katların sayısal çıkışları arasında beklemler, yapının çalışma saat işareti periyodunun yarısı kadardır. Bu beklemler kat çıkışlarındaki D flip flop dizileri yani ötelemeli kaydediciler yardımı ile giderilmiştir. 10 MHz örnekleme hızında çalışan bir pipeline ADC’de herhangi bir kat için gerekli olan bekleme zamanının 250ns olduğu varsayılın. Yapıyı çalıştıran saat işaretinin bir periyodu 100ns’dir. Kat içerisinde sayısal çıkışı veren D flip flop çıkışı geciktirilerek çıkışa verilecektir. Bunun için kat çıkışında fazladan kullanılacak D flip flop sayısı 5 tanedir.



Şekil 5.6 : D Flip Flop Dizileri

Φ_A ve Φ_B saat işaretlerinin periyotları, 100ns’dir. Bunlar, birbirleriyle örtüşmeyen saat işaretleridir. Böylece şekilde görülen her D flip flop 50ns’lik bir gecikme yaratacaktır. Şekil 5.6’da gösterilen ve bu şekilde oluşturulan yapı ötelemeli kaydedici olarak da anlandırılmaktadır.

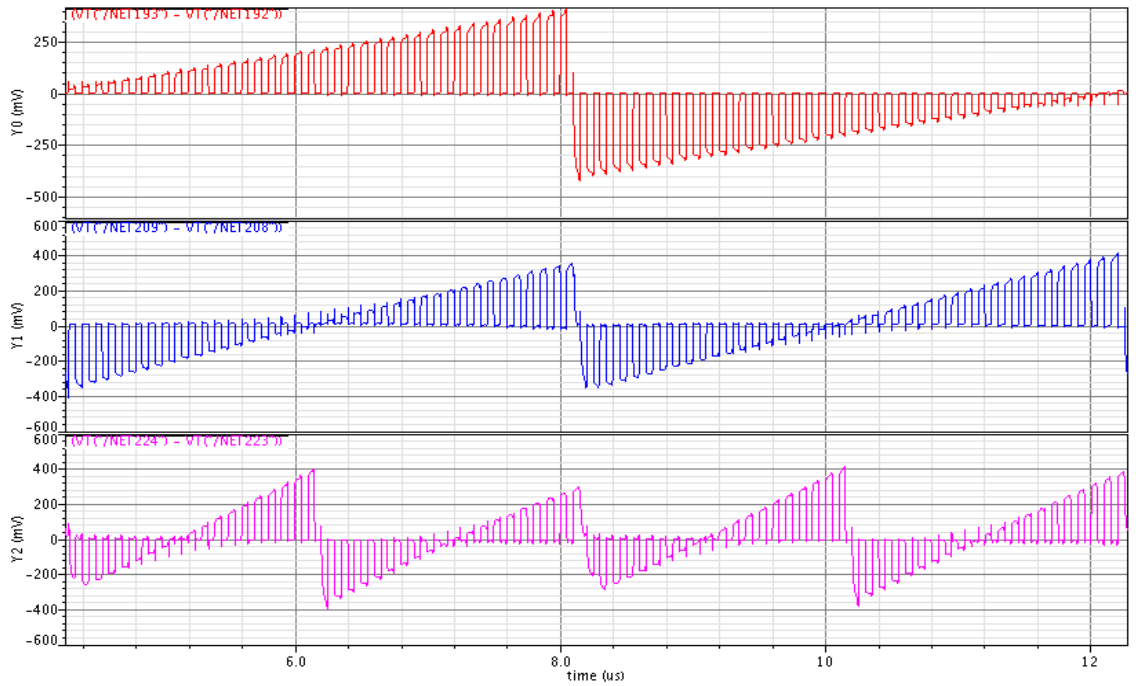


Şekil 5.7 : İşaretler Arası Gecikme

Art arda bağı 5 adet D flip flop ile yaratılan 250ns'lik gecikme Şekil 5.7'de görülmektedir. Pipeline ADC yapısında, kat çıkışlarında gerekli sayılarda D flip flop içeren ötelemeli kaydeciler kullanılarak istenen bekleme zamanları elde edilebilir.

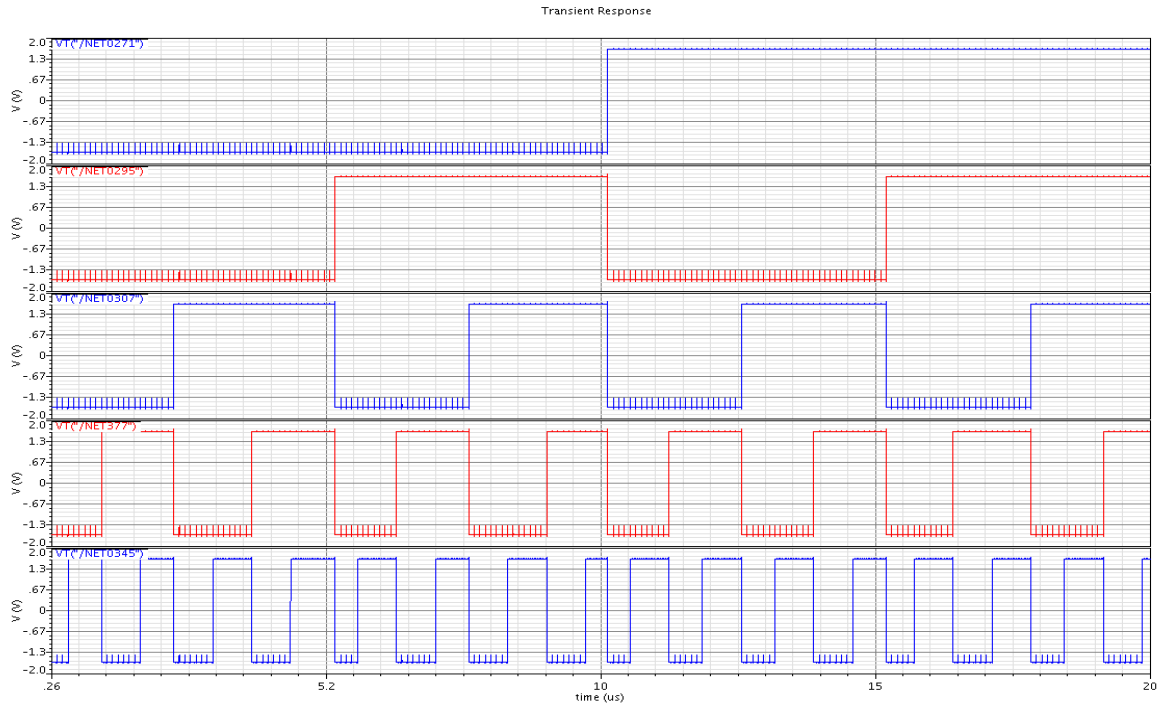
5.3 Benzetim ve Sonuçlar

Açık çevrimli x2 kazançlı rezidü kuvvetlendirici devre ve diğer devre yapıları kullanılarak 1 bit kat çözünürlüklü pipeline kat yapıları oluşturulmuştur. Pipeline kat yapıları oluşturulduktan sonra pipeline analog sayısal çevirici sistemi tasarlanıp benzetimleri gerçekleştirilmiştir. Kat çıkışları arasındaki beklemler ötelemeli kaydediciler ile giderilmiş ve sayısal çıkış bitleri elde edilmiştir. Benzetimleri yapılan pipeline analog sayısal çeviricinin örnekleme hızı 10 Msps (mega sample per second) ve toplam çözünürlüğü 5 bittir.

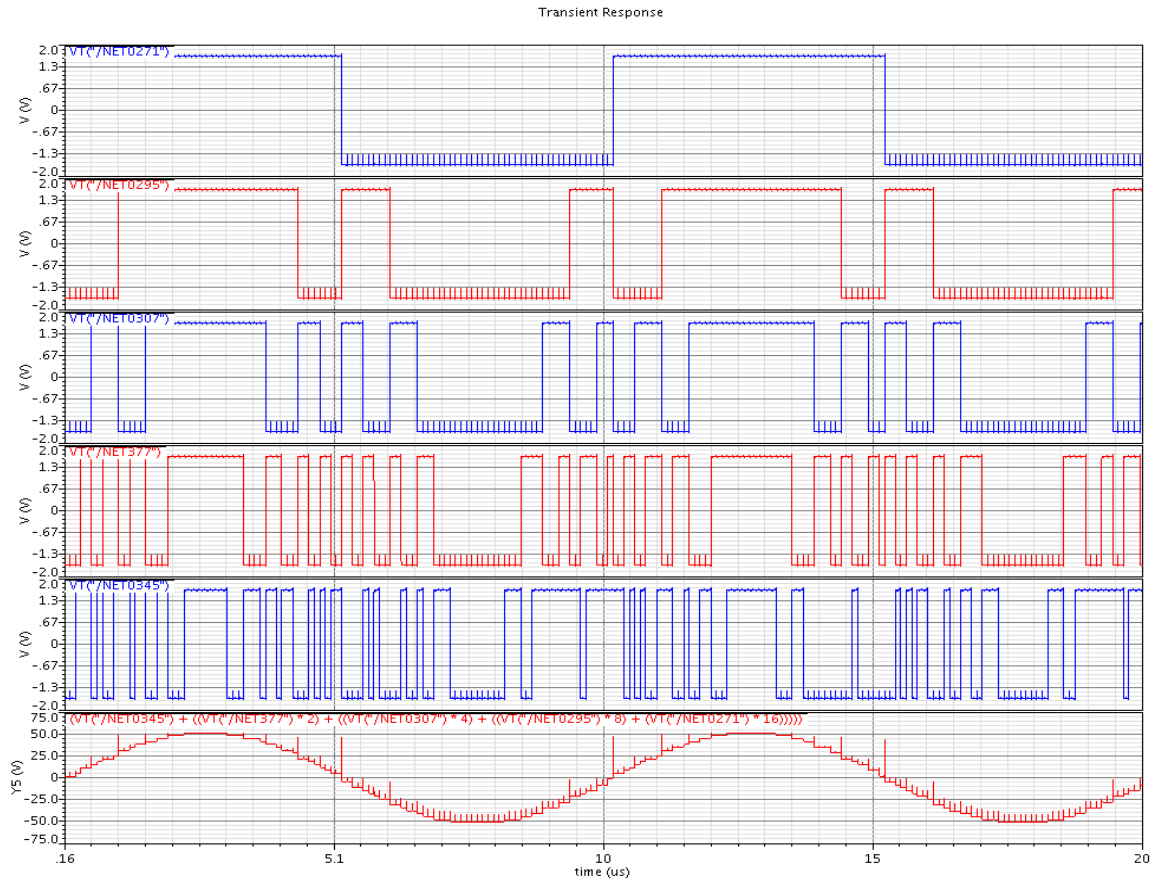


Şekil 5.8 : Pipeline Analog Sayısal Çevirici Rezidü İşaretleri

Pipeline analog sayısal çevirici için katlar arasında oluşan rezidü işaretleri Şekil 5.8'deki gibidir. Cadence tasarım ortamında tasarımı gerçekleştirilen 10 Msps örnekleme hızında çalışan 5 bit sayısal çıkışa sahip pipeline analog sayısal çeviricinin $\pm 1.65V$ besleme kaynağından çektiği toplam akım değeri 4.1 mA değerindedir. Devrenin toplam güç tüketimi 13.53 mW değerindedir.



Şekil 5.9 : Rampa Giriş için 5 bit Pipeline Analog Sayısal Çevirici Çıkış Bitleri



Şekil 5.10 : Sinüs Giriş İşareti için Pipeline Analog Sayısal Çevirici Çıkış Bitleri ve Bitlerin Ağırlıklı Toplam İşareti

-400mV ile 400mV arasında deęişen 800mV tepeden tepeye rampa iřareti giriř iin oluřan sayısal ıkıřlar aęırlıklandırılarak toplanmıř, DNL ve INL hataları llmřtr. DNL (Differential Nonlinearity) ve INL (Integral Nonlinearity) hataları llmřtr. DNL birbirini takip eden iki kodun geiř blgeleri arasındaki uzaklıęın ideal 1 LSB'den (least significant bit) farkıdır, INL ise ADC giriř ıkıř karakteristięinin, bařlangı ve bitiř notlarından geen ideal doęru ile arasındaki sapma miktarıdır [18]. Maksimum DNL hataları -0.24 LSB ve 0.3 LSB'dir. INL hatası ise 0.28 LSB olarak belirlenmiřtir. Tepeden tepeye 800mV deęerindeki rampa iřaret iin oluřan sayısal ıkıř bitleri řekil 5.9'de verilmiřtir.

100KHz frekans deęerli tepeden tepeye 800mV farksal sins giriř iřareti iin oluřan sayısal kodlar ve ıkıř sayısal kodlarının aęırlı toplam iřareti řekil 5.10'daki gibidir.

6. SONUÇLAR

Pipeline analog sayısal çevirici yapısında kullanılacak olan rezidü kuvvetlendirici yapılar kapalı çevrimli ve açık çevrimli şekillerde gerçekleştirilebilmektedir. Kapalı çevrimli bir yapıda kullanılmak üzere tasarlanacak bir kuvvetlendirici için karşılaşılan zorluklar açık çevrimli kuvvetlendirici yapılarına yönelme fikrini ortaya çıkarmıştır.

Yüksek kazançlı kuvvetlendiriciler ile gerçekleştirilen kapalı çevrimli yapılar yerine, açık çevrimli kuvvetlendiriciler ile oluşturulmuş yapılar kullanılabilmektedir. Pipeline analog sayısal çevirici kat yapısında gerçekleştirilecek olan 2 ile çarpma işlemi tezde önerilen açık çevrimli kuvvetlendirici ile sağlanmıştır.

Çalışmada, öncelikle açık çevrimli x2 kazançlı kuvvetlendirici devre incelenmiştir. Devrenin benzetimleri yapıldıktan sonra oluşturulan ölçüm devresine ve deneysel ölçüm sonuçlarına yer verilmiştir. Açık çevrimli x2 kazançlı kuvvetlendiriciyi içeren 1 bit çözünürlüklü pipeline kat yapıları tasarlanmıştır.

Sonuç olarak bu tezde pipeline analog sayısal çevirici mimarisi incelenmiş, önerilen açık çevrimli x2 kazançlı rezidü kuvvetlendiriciyi içeren kat yapılarıyla, 10 Msps örnekleme hızında çalışan 5 bit çözünürlüklü pipeline analog sayısal çevirici tasarımı yapılmış ve benzetim sonuçları verilmiştir.

KAYNAKLAR

- [1] **AD9226** Complete 12-Bit, 65 MSPS ADC Converter, Analog Devices
- [2] **Murmann, B., Boser, B. E.** 2004. *Digitally Assisted Pipeline ADCs*. Kluwer Academic Publishers, New York.
- [3] **Murmann, B., Boser, B. E.** 2003. A 12-bit 75-MS/s Pipelined ADC Using Open-Loop Residue Amplification, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 38, NO. 12.
- [4] **Ramirez-Angulo, J., Sadkowski, R., Sinencio, S.** 1993: Linearity, Accuracy and Bandwidth Considerations in Wideband CMOS Voltage Amplifiers *ISCAS*: 1251-1254
- [5] **Ramirez-Angulo, J., Lopez-Martin, A. J., Carvajal, R.G.,** 2004. Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 39, NO. 3.
- [6] **Ramirez-Angulo, J., Lopez-Martin, A. J., Carvajal, R.G., Torralba, R. G., Jimenez, M.** 2006. Simple class-AB voltage follower with slew rate and bandwidth enhancement and no extra static power or supply requirements, *ELECTRONICS LETTERS* 6th Vol. 42 No. 14
- [7] **Ramirez-Angulo, J., Lopez-Martin, A. J., Carvajal, R.G., Calco, B.** 2008. Class-AB Fully Differential Voltage Followers. *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS*, VOL. 55, NO. 2
- [8] **Lopez-Martin, A. J., Ramirez-Angulo, J., Carvajal, R.G., Acosta, L.** 2009. Power-efficient class AB CMOS buffer. *ELECTRONICS LETTERS* Vol. 45 No. 2
- [9] **ALD1106/ALD1116** QUAD/DUAL N-Channel Matched Mosfet Array Datasheet, Advanced Linear Devices
- [10] **THS4521** Very low power rail-to-rail output fully differential amplifier Datasheet, Texas Instruments
- [11] **LF356** JFET Input Operational Amplifiers Datasheet, National Semiconductor

- [12] **AFG310, AFG320** Arbitrary Function Generators Datasheet, Tektronix
- [13] **Shen, D., Lee, T.**, 2007. A 6-bit 800-MS/s Pipelined A/D Converter with Open-loop Amplifiers, *IEEE Solid-State Circuits*, Feb. 2007 Volume: 42 Issue: 2 On page(s): 258 - 268
- [14] **Sumanen, L., Waltari, M., and Halonen, K.**, 2000. A mismatch insensitive CMOS dynamic comparator for pipeline A/D converters, *The 7th IEEE International Conference*
- [15] **Yuan, J. ve Svensson, C.**, 1997. New single-clock CMOS latches and flipflops with improved speed and power savings, *IEEE J. Solid-State Circuits*, vol. 32, No.1, s. 62-69.
- [16] **Razavi, B.**, 1997. "Design of Sample-and-Hold Amplifiers for High-Speed Data Converters," (Invited) Proc. *IEEE Custom Integrated Circuits Conference*, May 1997, s. 59-66.
- [17] **Hancock, T.M., Pernia, S.M. ve Zeeb, A.C.**, 2002 A Digitally Corrected 1.5-Bit/Stage Low Power 80 Ms/s 10-Bit Pipelined ADC, *EECS 598-02*
- [18] **Razavi, B.**, 1995. *Principles of Data Conversion System Design*. IEEE Press, Piscataway.

ÖZGEÇMİŞ



Ad Soyad: Osman Karpuz

Doğum Yeri ve Tarihi: Erzurum - 01.02.1986

Lisans Üniversite: İstanbul Teknik Üniversitesi

Başarılar: Tübitak Yüksek Lisans Başarı Bursu 2008-2010

Lisans Yüksek Onur Listesi, İTÜ 2004-2008

ETA Mikroelektronik Başarı Bursu 2007

İş Tecrübesi: Yaltes Elektronik ve Bilgi Sistemleri, Elektronik Mühendisi, 2009 - ...