

T.C.
ABANT İZZET BAYSAL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

0.18 μ m SİGE-BİCMOS TEKNOLOJİSİNDE 5-BİT 40GS/S
ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL
DÖNÜŞTÜRÜCÜ TASARIMI

YÜKSEK LİSANS TEZİ

YASİN TALAY

BOLU, ARALIK 2017

T.C.
ABANT İZZET BAYSAL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI



0.18 μ m SİGE-BİCMOS TEKNOLOJİSİNDE 5-BİT 40GS/S
ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL
DÖNÜŞTÜRÜCÜ TASARIMI

YÜKSEK LİSANS TEZİ

YASİN TALAY

BOLU, ARALIK 2017

KABUL VE ONAY SAYFASI

Yasin TALAY tarafından hazırlanan “0.18µm SİGE BİCMOS 40GS/S ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ” adlı tez çalışması Elektrik Elektronik Mühendisliği Anabilim Dalı'nda 12/12/2017 tarihinde ABANT İZZET BAYSAL ÜNİVERSİTESİ Fen Bilimleri Enstitüsü Yüksek Lisans Tezi olarak kabul edilmiştir.

Jüri Üyeleri

Danışman
Yrd.Doç.Dr. Oktay AYTAZ
Abant İzzet Baysal Üniversitesi

Üye
Prof.Dr. Ali TANGEL
Kocaeli Üniversitesi

Üye
Doç.Dr. Seda POSTALCIOĞLU
Abant İzzet Baysal Üniversitesi

İmza



Mezuniyet tarihi:

...../...../20....

Fen Bilimleri Enstitüsü Müdürü

Doç. Dr. Ömer ÖZYURT



Aileme ,

ETİK BEYAN

Abant İzzet Baysal Üniversitesi, Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Yasin TALAY

ÖZET

0.18 μ m SiGe BiCMOS TEKNOLOJİSİNDE 5-BİT 40GS/S ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TASARIMI YÜKSEK LİSANS TEZİ

YASİN TALAY

**ABANT İZZET BAYSAL ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI
(TEZ DANIŞMANI: YRD. DOÇ. DR. OKTAY AYTAZ)**

BOLU, ARALIK - 2017

10 GS/s'den daha yüksek örnekleme frekansına sahip Analog-Sayısal dönüştürücüler (A / S dönüştürücüler), yeni nesil yüksek hızlı veri haberleşme sistemleri için oldukça kritik bir öneme sahiptir. Zaman ara değerlendirme tekniği, A / S dönüştürücünün örnekleme frekansını 10 GS/s'nin üstüne çıkarabilmek için kullanılan en önemli tekniklerden birisidir. Bu teknik birbirine paralel bağlı olan kanalların, örnekleme sinyalinin durumuna göre sırayla çalıştırılması mantığına dayanmaktadır.

Zaman ara değerlemeli A / S dönüştürücünün performans kriterlerini belirleyecek en önemli yapılardan birisi analog sinyalin belirli zaman aralıklarında tutulmasını sağlayan İzle-Tut devresi (İ / T devresi), diğeri ise analog sinyalinin nicemlenmesini sağlayan karşılaştırıcı devresidir.

Zaman ara değerlemeli A / S dönüştürücünün performansını belirleyen bir diğeri önemli etken ise örnekleme sinyallerinin doğru bir şekilde sırasıyla çalışması istenen bloklara dağıtılmasıdır. Örnekleme sinyalleri, istenilen zaman ve sürede hangi kanalın çalışacağına karar verdiği için olası bir hata durumunda, tercih edilen A / S dönüştürücü kanalı verimli ve doğru biçimde çalışmayacaktır.

Bu çalışmada, 0.18 μ m SiGe BiCMOS teknolojisinde 5 bit 40 GS/s zaman ara değerlendirme A / S dönüştürücü tasarlanmıştır. Tasarlanan A / S dönüştürücü 4 kanaldan oluşmaktadır. Her bir kanalda yüksek hızlı paralel tip A / S dönüştürücü kullanılmış olup bu yapının ön ucunda, anahtarlamalı emiter izleyici tipi İ / T devresi kullanılmıştır. Paralel A / S dönüştürücülerin çıkışları ise sayısal kod seçme bloğuna uygulanmaktadır. Sayısal kod seçme bloğu, örnekleme sinyalinin durumuna göre kanallardan birinin çıkış bitlerini, sistemin çıkışına uygular.

Zaman ara değerlendirme A / S dönüştürücü, Cadence Virtuoso 6.13 programında tasarlanmıştır. Benzetim sonuçları post-layout üzerinden alınmıştır ve detaylı bir şekilde bölümlerde değerlendirilmiştir.

ANAHTAR KELİMELER: A / S dönüştürücü, İ / T devresi, SiGe BiCMOS, paralel A / S dönüştürücü, zaman ara değerlendirme A / S dönüştürücü, anahtarlamalı emiter izleyici

ABSTRACT

5-BIT 40GS/S TIME INTERLEAVED ANALOG TO DIGITAL CONVERTER IN 0.18 μ m SiGe BiCMOS TECHNOLOGY

MSC THESIS

YASİN TALAY

**ABANT İZZET BAYSAL UNIVERSITY GRADUATE SCHOOL OF
NATURAL AND APPLIED SCIENCES**

**DEPARTMENT OF ELECTRICAL AND ELECTRONICS ENGINEERING
(SUPERVISOR: ASSIST. PROF. DR. OKTAY AYTAZ)**

BOLU, DECEMBER 2017

The A / D converters, which have higher than 10 GS/s sampling frequency, are critically important for the next generation high speed data communication. Time interleaved technique is one of the most important techniques which are used to increase sampling frequency of A / D converter above 10 GS/s. This technique utilizes the parallel connected channels which are operated in order based on the situation of the sampling signal.

One of the most important circuits that determines the performance limit of the time interleaved A / D converter is the track and hold (T / H) amplifiers which holds the analog signal at specific time intervals. Another important circuit is the comparator circuit which quantizes the analog signal.

Distributing sampling signals depending on their order of operation to blocks is another factor which determines the performance limit of the time interleaved A / D converter. Sampling signals decide which channel performs at a certain time for a certain time amount. Hence, if an error occurs, selected channel will not work effectively and correctly.

In this study, a 5-bit 40 GS / s time interleaved A / D converter was designed in 0.18 μ m SiGe BiCMOS technology. The designed A / D converter consists of 4 channels. High speed parallel A / D converters are used in each channel and, switched emitter follower type T / H amplifiers are used at the front end of the structure. The digital code selection block applies to the output of the system according to situation of the sampling signal.

The time interleaved A / D converter was designed in the Cadence Virtuoso 6.13 tool. Post-layout simulations are performed and results are evaluated in detail in this thesis sections.

KEYWORDS: A / D converter, track and hold amplifier, SiGe BiCMOS, parallel A / D converter, time interleaved A / D converter, switched emitter follower

İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET.....	v
ABSTRACT	vi
İÇİNDEKİLER	vii
ŞEKİL LİSTESİ.....	ix
ÇİZELGE LİSTESİ.....	xi
KISALTMA VE SEMBOLLER LİSTESİ	xii
TEŞEKKÜR	xiii
1. GİRİŞ	1
1.1 SiGe Heterojonksiyon Bipolar Transistor Teknolojisi	3
1.2 Tez Organizasyonu	4
2. ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TÜRLERİ	6
2.1 Paralel (Flash) A / S Dönüştürücü.....	7
2.2 İki Adımlı A / S Dönüştürücü	9
2.3 Boru Tipi (Pipeline) A / S Dönüştürücü.....	10
2.4 Katlamalı A / S Dönüştürücü	11
2.5 Zaman Ara Değerlemeli A / S Dönüştürücü	13
2.5.1 Ofset Uyumsuzluğu	16
2.5.2 Kazanç Uyumsuzluğu	16
2.5.3 Saat İşareti Uyumsuzluğu	17
3. ANALOG DİJİTAL DÖNÜŞTÜRÜCÜ PARAMETRELERİ	18
3.1 Statik Parametreler	18
3.1.1 Ofset Hatası.....	19
3.1.2 Kazanç Hatası	20
3.1.3 Farksal Doğrusalsızlık (DNL)	21
3.1.4 Tümlensel Doğrusalsızlık (INL)	22
3.2 Dinamik Parametreler.....	23
3.2.1 Nicemleme Gürültü Oranı (SNR)	23
3.2.2 Toplam Harmonik Bozulma (THD)	24
3.2.3 İşaret-Gürültü ve Bozulma Oranı (SINAD veya SNDR)	24
3.2.4 Sanal Serbest Çalışma Bölgesi Parametresi (SFDR)	24
3.2.5 Etkin Bit Değeri (ENOB)	25
3.2.6 Etkin Çözünürlük Bant Genişliği (ERB)	25
4. 5 BİT 40 GS/S ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TASARIMI	27
4.1 İzle ve Tut (İ / T) Devresi.....	29
4.1.2 İ / T Devre Tasarımı.....	30
4.1.3 Sıcaklıktan Bağımsız Referans Akım Kaynağı Devresi Tasarımı.....	34
4.1.4 İ / T Devresinin Benzetim Sonuçları	39
4.2 5 Bit Paralel A / S Dönüştürücü Devresinin Tasarımı	41
4.2.1 Karşılaştırmacı Devresi Tasarımı	42

4.2.2 Dinamik Tutucu Devresi.....	48
4.2.3 1-N kod Çözücü Devresi.....	50
4.2.4 Programlanabilir Mantık Dizisi (PLA-ROM) devresi	52
4.3 Sayısal Çıkış kodlarının Seçilme Bloğu	53
4.4 Zaman Ara Değerlemeli A / S Dönüştürücü Serim Şeması ve Benzetim Sonuçları	55
5. SONUÇ ve ÖNERİLER.....	63
6. KAYNAKLAR	65
7. ÖZGEÇMİŞ.....	68



ŞEKİL LİSTESİ

Sayfa

Şekil 1.1. SiGe HBT enerji bant diyagram ve Ge yoğunluğu ilişkisi (Dunn vd., 2003).....	3
Şekil 2.1. A / S dönüştürücünün genel blok şeması.....	6
Şekil 2.2. A / S dönüştürücü çözünürlükleri ve örnekleme hızlarına göre ilişkileri (Esen, 2013)	7
Şekil 2.3. Paralel A / S dönüştürücü blok şeması	8
Şekil 2.4. İki adımlı A / S dönüştürücü blok şeması.....	9
Şekil 2.5. Temel boru tipi A / S dönüştürücü blok şeması	11
Şekil 2.6. Katlamalı A / S dönüştürücü blok diyagramı	12
Şekil 2.7. N kanallı zaman ara değerlemeli A / S dönüştürücü blok şeması	14
Şekil 2.8. A / S dönüştürücünün örnekleme sinyalleri.....	14
Şekil 3.1. İdeal 3 bitlik A / S dönüştürücünün giriş çıkış karakteristiği	19
Şekil 3.2. Ofset hatası	19
Şekil 3.3. Kazanç hatası	20
Şekil 3.4. Farksal Doğrusalsızlık (DNL)	21
Şekil 3.5. Tümlensel doğrusalsızlık (DNL)	23
Şekil 3.6. Giriş frekansı ve SINAD ilişkisi (Gustavsson vd., 2002).....	26
Şekil 4.1. 5 bit zaman ara değerlemeli A / S dönüştürücü	27
Şekil 4.2. A / S dönüştürücüye uygulanan örnekleme sinyalleri	28
Şekil 4.3. İ / T anahtar yapıları(Daneshgar vd., 2014).....	29
Şekil 4.4. İ / T devresi blok diyagramı (Borokhovych vd., 2005)	30
Şekil 4.5. Temel İ / T devresi (Borokhovych vd., 2005)	31
Şekil 4.6. Tutma durumu geri besleme kapasitesi (Borokhovych vd., 2005)...	32
Şekil 4.7. Çıkış tampon devresi (Borokhovych vd., 2005).....	33
Şekil 4.8. Tasarlanan İ / T devresi serim şeması.....	33
Şekil 4.9. Tasarımda kullanılan PTAT devresi (Razavi, 2001)	35
Şekil 4.10. I_{PTAT} akımının sıcaklık ile değişimi	35
Şekil 4.11. Tasarımda kullanılan CTAT devresi (Allen ve Holberg, 2002)	36
Şekil 4.12. I_{CTAT} akımının sıcaklık ile değişimi.....	36
Şekil 4.13. Sıcaklık değişiminden bağımsız akım kaynağı devresi	37
Şekil 4.14. I_{Ref} , I_{PTAT} , I_{CTAT} akımlarının sıcaklık ile değişimi	38
Şekil 4.15. Sıcaklık değişiminden etkilenmeyen akım kaynağı serim şeması..	38
Şekil 4.16. İ / T devresinin $f_{in}=100\text{MHz}$, $f_{clk}=10\text{GS/s}$ için çıkış işareti	39
Şekil 4.17. İ / T devresinin 1 GHz giriş sinyalinin cevabı.....	40
Şekil 4.18. İ / T devresi AC analiz sonucu	40
Şekil 4.19 5 bit paralel A / S dönüştürücü blok şeması	41
Şekil 4.20. İdeal karşılaştırıcı sembolü ve transfer karakteristiği.....	42
Şekil 4.21. Karşılaştırıcı devresinin şeması (Chu ve Current, 1999).....	43
Şekil 4.22. Karşılaştırıcı devresi fiziksel serim şeması	44
Şekil 4.23. Karşılaştırıcı devresinin DC analiz sonucu.....	45
Şekil 4.24. Karşılaştırıcı devresinin nicemlenecek olan gerilim değerlerindeki sonuçları	45
Şekil 4.25. $f_{in}= 100\text{MHz}$ giriş işaretinin karşılaştırıcı sonucu	46
Şekil 4.26. $f_{in}= 100\text{MHz}$ giriş işaretinde çıkış cevabının gecikmesi	46
Şekil 4.27. $f_{in}= 200\text{MHz}$ giriş işaretinin karşılaştırıcı sonucu	47

Şekil 4.28. $f_{in}= 200\text{MHz}$ giriş işaretinde çıkış cevabının gecikmesi	47
Şekil 4.29. 200 MHz giriş sinyalinde nicemlenecek olan gerilim değerlerinin sonuçları	48
Şekil 4.30. Dinamik tutucu devresi(Aytar, 2009)	49
Şekil 4.31. Tasarlanan dinamik tutucu devresinin serim şeması	50
Şekil 4.32. 1-N kod çözücü devresi(Aytar, 2009)	51
Şekil 4.33. 1-N kod çözücü devresi fiziksel serim şeması.....	51
Şekil 4.34. 5 Bit PLA- ROM devresinin bir kısmının devre şeması (Aytar, 2009).....	52
Şekil 4.35. Sayısal çıkış kodlarının seçilme devresi ve örnekleme işaretleri ...	54
Şekil 4.36. 5 Bit Zaman ara değerlemeli A / S dönüştürücü serim şeması.....	55
Şekil 4.37. 100MHz giriş işareti 40 GS/s örnekleme frekansında İ / T devrelerinin cevabı	56
Şekil 4.38. 100MHz giriş işareti 40 GS/s örnekleme frekansında İ / T devrelerinin çıkışlarının yakından gösterimi.....	57
Şekil 4.39. İ / T devrelerinin 153.8 MHz giriş rampa işaretine cevabı.....	58
Şekil 4.40. 153.8 MHz giriş işareti 40 GS/s örnekleme frekansında çıkış bitlerinin gösterimi	58
Şekil 4.41. 153.8 MHz giriş işareti 40 GS/s örnekleme frekansında ideal S / A dönüştürücü çıkışı	59
Şekil 4.42. 153.8 MHz giriş işareti 40 GS/s örnekleme frekansında INL- DNL sonuçları	59
Şekil 4.43. 200 MHz giriş işareti 40 GS/s örnekleme frekansında INL- DNL sonuçları	60
Şekil 4.44. İdeal S / A dönüştürücü çıkışı.....	60
Şekil 4.45. İdeal S / A dönüştürücü çıkışı DFT sonucu.....	61
Şekil 4.46. SNR sonucu	61

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 4.1. SiGe HBT parametreleri	28
Çizelge 4.2. İ / T devresi özellikleri.....	41
Çizelge 4.3. Karşılaştırmacı devresinde kullanılan transistörlerin W/L değerleri	44
Çizelge 4.4. Dinamik tutucu devresi transistörlerinin boyutları	50
Çizelge 4.5. Tasarlanan A / S dönüştürücünün özellikleri.....	62
Çizelge 4.6. Tasarlanan A / S dönüştürücünün literatürdeki yapılarla karşılaştırılması	62

KISALTMA VE SEMBOLLER LİSTESİ

A / S	: Analog Sayısal
BiCMOS	: Bipolar bütünleyici metal oksit yarı iletken
BJT	: Bipolar jonksiyon transistor
CMOS	: Bütünleyici metal oksit yarı iletken
CTAT	: Complementary to absolute temperature
DNL	: Farksal doğrusalsızlık
GaAs	: Galyum-Arsenik
InP	: İndiyum-Fosfat
HBT	: Heterojonksiyon bipolar transistor
IBM	: International Bussines Machines
INL	: Tümlevsel doğrusalsızlık
İ / T	: İzle-Tut
LSB	: En değersiz bit
MSB	: En değerli bit
Ö / T	: Örnekle-Tutma
PTAT	: Propotional to absolute temperature
SAR	: Successive approximation register
Si	: Silisyum
SiGe	: Silisyum-Germanyum

TEŞEKKÜR

Lisans ve yüksek lisans eğitim hayatım boyunca ve bu çalışmanın yapılması sırasında bilgi ve birikimleriyle, her türlü görüş ve önerileriyle bu çalışmanın bu aşamalara gelmesini sağlayan çok değerli hocam Yrd. Doç. Dr. Oktay Aytar'a çok teşekkür ederim. Başarılı ve başarısız olduğum hayatımın her döneminde bana güvendiği, her zaman destek olduğu için hayatım boyunca kendisini örnek alacağım değerli hocama ne kadar teşekkür etsem azdır.

Bu çalışmanın yapılabilmesi için çalışma ortamını ve gerekli olan yazılım ve donanım desteğini sağlayan TUBİTAK-BİLGEM YİTAK yöneticisi Dr. Aziz Ulvi Çalışkan ve Dr. Yaman Özelci'ye çok teşekkür ederim.

Bu çalışmanın yapılması sırasında, ihtiyacım olduğunda bilgi birikimi ve görüşleriyle bana destek olan çalışma arkadaşım Yüksek Mühendis İsmail Kara'ya ve beni moral ve motivasyon olarak destekleyen meslektaşım Atıl Utku Ay'a teşekkür ederim.

Beni bu zamana kadar getiren, bana her zaman ve her koşulda destek veren, aileme çok teşekkür ederim.

Hayatıma girdiği günden beri bana her zaman destek olan ve sevgisini her daim hissettiğim ailemin bir parçası olan Fatmanur Keleş'e çok teşekkür ederim.

1. GİRİŞ

Günümüzde sayısal sinyal işleme tekniklerinin gelişmesi birçok uygulamada sayısal sinyallerin kullanılmasına sebep olmuştur. Fakat gerçek dünyamızda bulunan sinyaller analog sinyallerdir. Bu analog sinyallerin sayısal sinyallere dönüştürülmesi, sayısal sinyalin kullanılacağı uygulamaların performansı için de çok önemlidir. Analog sinyali sayısal sinyale dönüştüren devre yapısı analog sayısal (A / S) dönüştürücülerdir. Analog sayısal dönüştürücüler üstlendiği bu görevden ötürü gerçek dünya ile sayısal sistemler arasında köprü görevi görmektedir.

A / S dönüştürücülerin çözünürlük ve hız performansları bütün bir sistemin performansını doğrudan etkileyecektir. Bu sebepten dolayı sistemde kullanılacak olan A / S dönüştürücü tipi de çok önemlidir. Çözünürlük ve hız performansına bağlı olarak farklı tip A / S dönüştürücüler seçmek gerekmektedir. Bilinen en hızlı A / S dönüştürücü paralel (flash) tipi yapılardır. Ayrıca A / S dönüştürücünün örnekleme hızını ve bant genişliğini arttırmak için kullanılan tekniklerden birisi de zaman ara değerlendirme (time-interleaving) tekniğidir. Paralel A / S dönüştürücü ile zaman ara değerlendirme tekniği bir arada kullanılarak çok yüksek örnekleme hızına ve bant genişliğine ulaşılabilmektedir.

Katı hal teknolojisinde (solid-state technology) kullanılan süreçler A / S dönüştürücünün maliyetini ve bant genişliğini doğrudan etkilemektedir. Yüksek hızlı A / S dönüştürücü tasarımı yapılırken kullanılan farklı teknolojiler vardır. Bunlar silisyum (Si), silisyum-germanyum(SiGe), Galyum-arsenik(GaAs) ve indiyum-fosfat(InP) teknolojileridir. Si teknolojisi en yavaş olanıdır ancak üretim maliyeti en düşüktür. GaAs ve InP teknolojileri çok yüksek hızlara ulaşabilmektedir ancak üretim maliyeti çok yüksektir. Ayrıca GaAs veya InP teknolojileri Si bütünleyici metal oksit yarı iletken (CMOS) teknolojisi ile aynı yonga üzerinde birleştirilememektedir. Ancak SiGe BiCMOS teknolojisi hem yüksek hızlara ulaşır hem de üretim maliyeti düşük olan Si CMOS teknolojisi ile birlikte tek bir yongada üretilmektedir. Bu sebeplerden dolayı günümüzde yüksek hızlı sistemlerin tasarımlarında SiGe BiCMOS teknolojisi daha çok tercih edilmektedir.

Zaman ara deęerleme teknięi ilk olarak Black ve Hodges (1980) alıřmasında sunulmuřtur. Burada 4 kanallı A / S dnřtrc tasarımı sunulmuřtur. Son yıllarda ise yksek hızlı A / S dnřtrc tasarımına ihtiyaın artmasıyla birlikte bu teknik daha fazla kullanılmaya bařlanmıřtır.

2010 yılında Lee ve Chen (2010) alıřmasında 0.18μm SiGe BiCMOS teknolojisi kullanılarak zaman ara deęerlemeli 5 bit A / S dnřtrc tasarlanmıřtır. Bu tasarımda bu tasarım iki kanallı bir yapıya sahiptir ve kanallarda bulunan A / S dnřtrcler paralel tip A / S dnřtrclerdir. Bu tasarımın rnekleme frekansı 50 GS/s iken g tketimi 5.4 W'dır.

2010 yılında Lee vd. (2010) alıřmasında 0.18μm SiGe BiCMOS teknolojisi kullanılarak 40 Gb/s eř uyumlu optik baęlantılar iin(coherent optical links) 5 bit zaman ara deęerlemeli A / S dnřtrc tasarlanmıřtır. Bu tasarım 4 kanala sahiptir, rnekleme frekansı 20 GS/s ve g tketimi 3.24 W'dır.

2014 yılında Yang vd. (2014) alıřmasında 65nm CMOS teknolojisi kullanılarak 6 bit zaman ara deęerlemeli A / S dnřtrc tasarlanmıřtır. Bu yapı 4 kanala sahiptir ve rnekleme frekansı 10 GS/s ve g tketimi 83mW'dır. ekirdek A / S dnřtrcler kısmi aktif paralel tiptir.

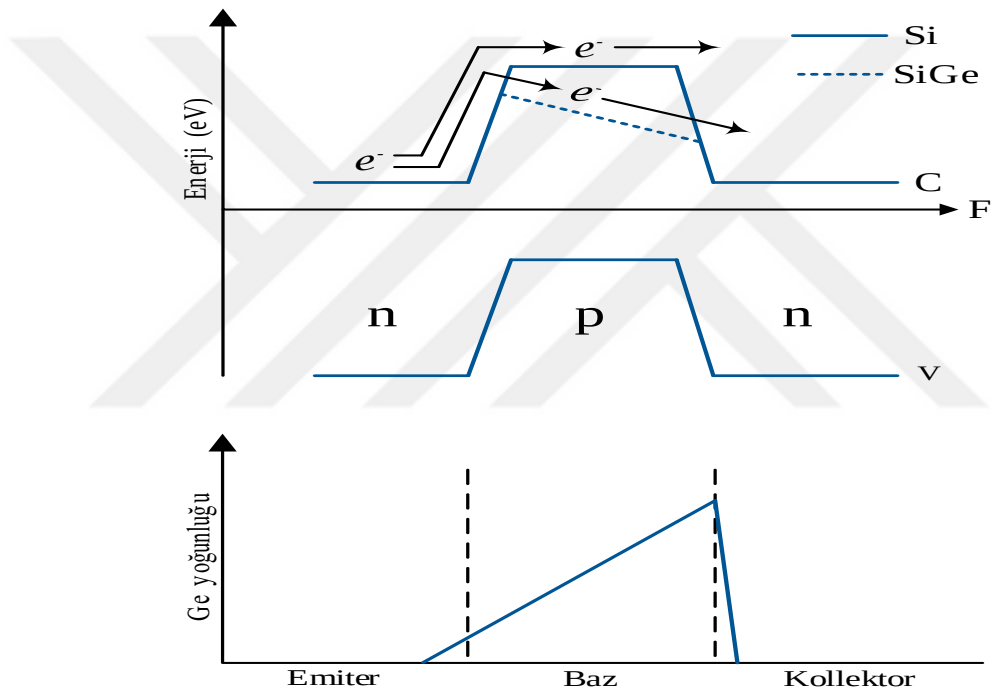
2013 yılında Razavi (2013) alıřmasında tek kanallı tasarlanan A / S dnřtrcleri, zaman ara deęerleme teknięi kullanılarak g tketimlerinin azaltılabileceęi sunulmuřtur.

2017 yılında Rabuske vd. (2017) alıřmasında, 0.13μm CMOS teknolojide dřk gl zaman 5 bit zaman ara deęerlemeli A / S dnřtrc tasarlanmıřtır. Bu sistem 300 MS/s rnekleme frekansı, 0.8 V besleme geriliminde 235μW, 900MS/s rnekleme frekansında 1.2 V besleme gerilimde 1.54 mW g tketmektedir.

2017 yılında Xing vd. (2017) alıřmasında, 65nm CMOS teknolojide 7 bit zaman ara deęerlemeli A / S dnřtrc kullanılmıřtır. Bu sistem 4 kanaldan oluřmaktadır ve kanallarda bulunan ekirdek A / S dnřtrcler SAR tipi A / S dnřtrcdr. 700 MS/s rnekleme frekansında 1.2 besleme gerilimi altında 2.72 mW g tketimi yapmaktadır.

1.1 SiGe Heterojonksiyon Bipolar Transistor Teknolojisi

SiGe teknolojisi yüksek frekanslı mikro elektronik devre tasarımlarında kullanılan çok hızlı şekilde gelişen bir yarı iletken teknolojisidir. SiGe teknolojisi iyi bilinen ve geniş çaplı kullanılan Si CMOS teknolojisinden evrilmiştir. IBM tarafından 1980'lerin sonlarında bipolar jonksiyon transistore (BJT), Ge eklenerek oluşturulan heterojonksiyon bipolar transistor (HBT) silikon teknolojisinde ulaşılması düşünülen seviyeden daha yüksek performanslara ulaşmıştır. Şekil 1'de SiGe HBT'nin enerji bant diyagramı ve Ge yoğunluğu ile ilişkisi gösterilmiştir.



Şekil 1.1. SiGe HBT enerji bant diyagramı ve Ge yoğunluğu ilişkisi (Dunn vd., 2003)

Elektronlar, emiter jonksiyonundaki düşük germanyum içeriği sebebiyle alçak bir bariyere sahip olan emiterden enjekte edilir. Ardından aygıtın daha derinlerinde, artan germanyum içeriğinin neden olduğu, hızlandırıcı bir alanla karşılaşılır. Jonksiyondaki bu içerik baza doğru elektron enjeksiyonunu artırır ve dolayısıyla DC akım kazancı artar. Ge yoğunluğunun aşamalı olarak artması elektronların hızını olumlu yönde etkiler. Elektronların hızının artması HBT'nin yüksek frekanslarda çalışmasını sağlar. Ge yoğunluğunun aşamalı olarak artması,

ayrıca Ge yoğunluğu baz boyunca gerçek taşıyıcıların yoğunluğunu düzenleyerek HBT'nin Early geriliminin de gelişmesini sağlar (Dunn vd., 2003).

SiGe teknolojisinin tek üstün yanı yüksek frekans cevabının iyi olması değil aynı zamanda diğer teknolojilerden üstünlüğünü gösteren başka avantajları da vardır. Düşük R_b (baz direnci) sayesinde daha yüksek kazanç değerlerine çıkabilir. Ayrıca SiGe HBT teknolojisi standart CMOS teknolojisine göre daha düşük gürültü ve daha düşük $1/f$ gürültüsüne sahiptir (Chen , 2007).

BiCMOS tümdevreler tek bir kırılgın içinde hem bipolar hem de bütünleyici metal oksit yarı iletken (CMOS) oluşur. Bu yetenek sayesinde hem MOS hem de bipolar transistörlerin güçlü yanlarından aynı anda faydalanılmış olur (Faure NM, 2015) .

Son yıllarda GaAs HBT teknolojisi ve InP HBT teknolojisi, SiGe HBT teknolojisinin performansı ile rekabet edebilecek seviyeye sahiptir. GaAs ve InP teknolojileri çok yüksek hızlara ulaşmalarına rağmen üretim maliyetleri çok yüksektir. Ayrıca GaAs ve InP süreci bilgi birikimi çok yüksek olan Si tabanlı CMOS üretim süreciyle birleştirilmesi mümkün değildir.

SiGe teknolojisinin en önemli avantajlarından birisi de Si tabanlı CMOS üretim sürecine entegre edilebilme özelliğine sahip olmasıdır. SiGe teknolojisinde Si CMOS teknolojisinin bilgi birikimini ve hazır geliştirilmiş alt yapısı da kullanıldığı için maliyeti düşük ve ulaşılabilirliği kolaydır. Bu sebeplerden dolayı SiGe BiCMOS teknolojisi yüksek hızlı tümdevre tasarımlarında daha çok tercih edilmektedir.

1.2 Tez Organizasyonu

Sunulan bu çalışma genel olarak zaman ara değerlemeli A / S dönüştürücü ve bu sistemin parçalarını oluşturan İ / T devresi ve paralel A / S dönüştürücünün tasarımı ve irdelenmesinden oluşmaktadır.

Bölüm 2'de genel olarak A / S dönüştürücünün niçin kullanıldığından ve literatürde sıkça kullanılan A / S dönüştürücü tipleri açıklanmış ve kullanım yerleri anlatılmıştır.

Bölüm 3’de A / S dönüştürücülerin performansını belirleyen statik ve dinamik parametrelerin neler olduğuna ve nasıl elde edildikleri anlatılmıştır.

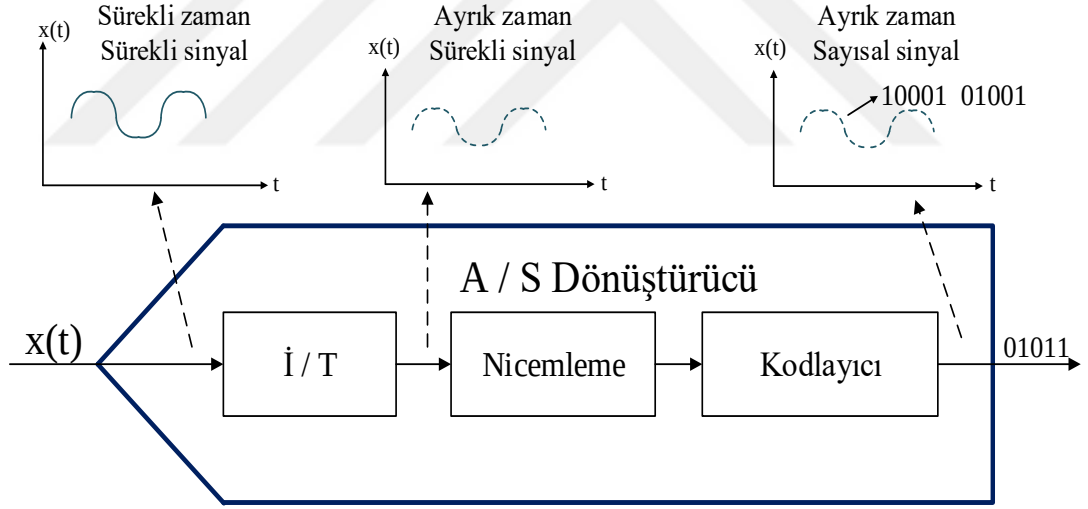
Bölüm 4’te tasarımı yapılan zaman ara değerlemeli A / S dönüştürücü anlatılmıştır. Ayrıca tasarlanan A / S dönüştürücünün alt blokları İ / T devresi, paralel A / S dönüştürücü bloğu ve sayısal çıkış kodlarını seçme bloğu anlatılmış ve post-layout sonrası devreden elde edilen benzetim sonuçları detaylı bir şekilde değerlendirilmiştir.

Bölüm 5’te tez çalışması ile ilgili genel sonuçlar ve gelecekte yapılabilecek olan çalışmalar hakkında bilgi verilmiştir.



2. ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TURLERİ

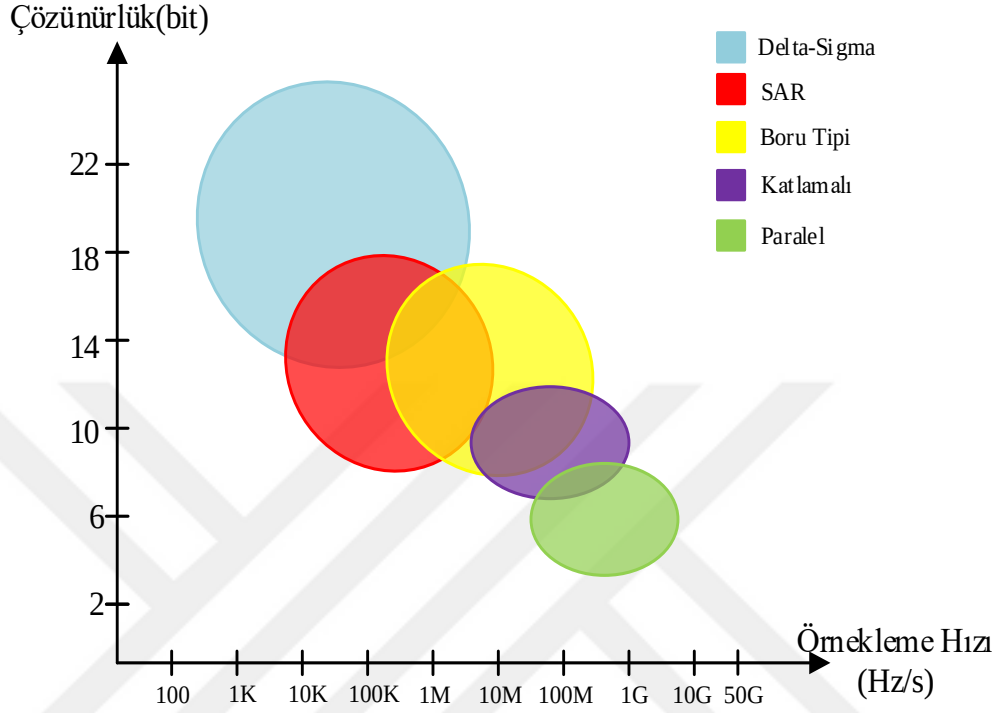
Analog sayısal dönüştürücüler, analog sinyali sayısal sinyale dönüştüren ve modern mikroelettronik sistemlerin gelişmesinde oldukça önemli bir görev üstlenen devre yapılarıdır. Tümdevre uygulamalarında, CMOS teknolojisinin gelişmesine paralel olarak sayısal uygulamalarda hızla gelişmektedir. Bu gelişmelerin bütün bir sisteme doğrudan etki yapabilmesi için dış dünyadaki analog sinyallerin hızlı ve doğru bir şekilde sayısal sinyale dönüştürülmesi gerekmektedir. Bu yüzden A / S dönüştürücünün hızı, çözünürlüğü, gücü bu sistemlerin performansını doğrudan etkilemektedir. Bu sebepler göz önüne alındığında, bir sistem için kullanılacak olan A / S dönüştürücünün tipi büyük önem taşımaktadır. A / S dönüştürücünün genel blok şeması Şekil 2.1’de gösterilmiştir.



Şekil 2.1. A / S dönüştürücünün genel blok şeması

Bir sistemin ihtiyacını karşılamak için kullanılacak olan A/S dönüştürücü devresi için farklı tekniklerde tasarılan yapılar mevcuttur. Bu yapılar, Nyquist örnekleme ve aşırı örnekleme A / S dönüştürücüler olarak iki ana sınıfta toplanabilir. Nyquist örnekleme A / S dönüştürücüler çok hızlıdır fakat daha düşük çözünürlüklere sahiptir. Aşırı örnekleme A / S dönüştürücüler yavaştır fakat yüksek çözünürlüklere sahiptir. Yüksek çözünürlük ve yüksek hız arasında bir tercih yapılması gerekmesine rağmen, ara çözünürlüklerde ve ara hızlarda çalışabilen farklı

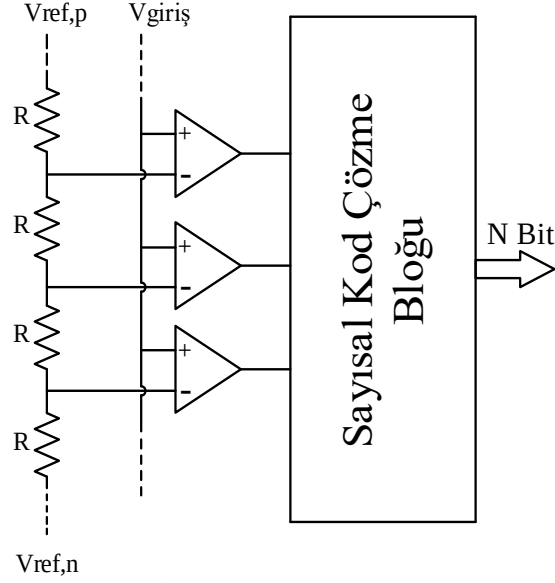
dönüşüm tekniklerine bağlı olarak alt kategoriler de vardır. Bu alt kategoriler çözünürlük ve örnekleme oranına bağlı olarak Şekil 2.2’de gösterilmiştir (Esen, 2013).



Şekil 2.2. A / S dönüştürücü çözünürlükleri ve örnekleme hızlarına göre ilişkileri (Esen, 2013)

2.1 Paralel (Flash) A / S Dönüştürücü

Paralel(Flash) A / S dönüştürücü tasarımcılar tarafından bilinen en hızlı A / S dönüştürücüdür. Yüksek bant genişliği gereken uygulamalar için kullanılır. Şekil 2.3’de paralel A / S dönüştürücünün genel blok şeması gösterilmiştir.



Şekil 2.3. Paralel A / S dönüştürücü blok şeması

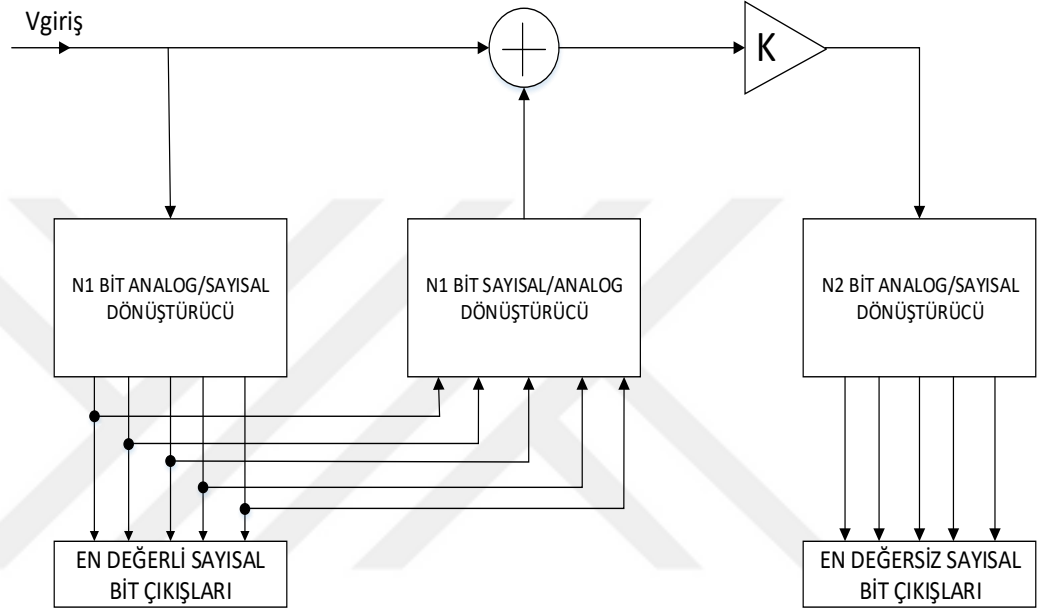
Şekil 2.3'te gösterildiği gibi N bitlik bir A / S dönüştürücüde 2^N-1 tane karşılaştırıcı, aynı sayıda nicemlemeyi oluşturacak direnç dizisinden elde edilen gerilim seviyeleri ve sayısal kod çözme bloğu vardır. Bir karşılaştırıcı bir tane nicemleme gerilim seviyesi ile giriş gerilimini karşılaştırarak çıkıştaki veriyi sayısal kod çözme bloğuna verir. Sayısal kod çözme bloğuna gelen bu verilere termometre kodu ismi verilir. Paralel olarak gelen bu 2^N-1 tane veriyi sayısal kod çözme bloğu N bitlik bir sayısal koda dönüştürür.

Paralel A / S dönüştürücü en basit ve en hızlı A / S dönüştürücüdür. Çünkü bütün karşılaştırıcılar paralel olarak tek bir saat frekansı içerisinde giriş gerilimini nicemleyeceği gerilim seviyesi ile karşılaştırıp çıkışında bağlı olduğu sayısal kod çözme bloğuna verir. Paralel A / S dönüştürücüde yüksek hızlı bir dönüşümün sağlanması için yüksek hızlı karşılaştırıcılar kullanılması gerekmektedir. Çözünürlük artırılmak istendiğinde, karşılaştırıcı sayısı ve nicemleme geriliminin elde edildiği direnç dizisindeki direnç sayısında üstsel bir artış olacaktır. Bu artıştan dolayı A / S dönüştürücünün güç tüketimi, fiziksel serim alanı ve kabarcık hata oranı da artacaktır (Aytar, 2009).

Paralel A / S dönüştürücülerin bit sayısı arttıkça serim alanının ve güç tüketiminin üstsel olarak artacağı göz önüne alındığı zaman 6 veya 7 bitin üzerindeki çözünürlüklere sahip paralel A / S dönüştürücü tasarlamak verimli olmayacaktır.

2.2 İki Adımlı A / S Dönüştürücü

Şekil 2.4’de N-bitlik iki adımlı A / S dönüştürücünün blok şeması gösterilmektedir. Temel olarak iki adımlı A / S dönüştürücü 2 adet paralel A / S dönüştürücü, sayısal analog (S / A) dönüştürücü, fark alıcı ve kuvvetlendirici devrelerinden oluşmaktadır.



Şekil 2.4. İki adımlı A / S dönüştürücü blok şeması

Paralel A / S dönüştürücü bilinen en hızlı A / S dönüştürücü olmasına rağmen çözünürlük arttıkça karşılaştırıcı sayısındaki artış hem gücün artmasına hem de serim alanının artmasına sebep olur. Bu sebeple yüksek çözünürlüğün gerekli olduğu uygulamalarda kullanılması verimli olmayacaktır. Yüksek çözünürlüklü uygulamalarda üstsel olarak karşılaştırıcı sayısının artışı engelleyip daha makul seviyelerde tutmak için kullanılan yapılardan biri iki adımlı A / S dönüştürücüdür.

N bitlik iki adımlı A / S dönüştürücülerde analog giriş, ilk olarak N1 bitlik paralel A/S dönüştürücüye uygulanır. Bu A / S dönüştürücüden en değerli bitler(MSB) elde edilir. Daha sonra elde edilen bitler N1 bitlik S / A dönüştürücüye uygulanır. S / A dönüştürücünün çıkışından elde edilen işaret ile analog giriş fark alıcı devresine uygulanarak iki işaretin farkı alınır. Elde edilen işaret kuvvetlendirilerek N2 bitlik A / S dönüştürücüye uygulanır. N2 bitlik A / S

dönüştürücüden en değersiz bitler(LSB) elde edilir. Böylece analog girişin sayısal veriye dönüşümü tamamlanmış olur. N bitlik iki adımlı A / S dönüştürücünün bitleri,

$$N= N1+ N2 \quad (2.1)$$

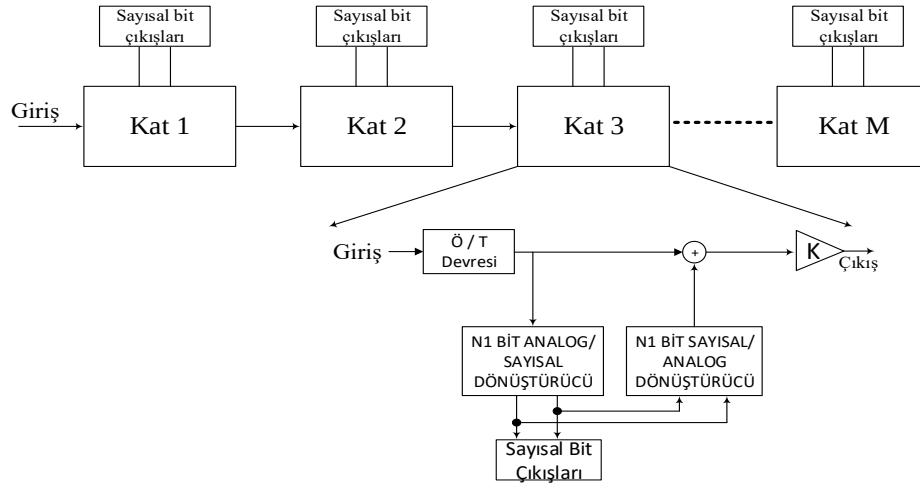
Bu eşitlikte N1 en değerli bitleri N2 ise en değersiz bitleri göstermektedir.

N bitlik bir paralel A / S dönüştürücüde 2^N-1 adet karşılaştırıcı bulunmaktadır. N bitlik iki adımlı A / S dönüştürücü de $2*(2^{(N/2)}-1)$ adet karşılaştırıcı bulunmaktadır. Yüksek çözünürlüklü devrelerde iki adımlı A / S dönüştürücünün avantajı karşılaştırıcı sayısının azalması ve buna bağlı olarak hem güç tüketiminin hem de serim alanının azalmasıdır. 10 bitlik paralel A / S dönüştürücü yapmak için 1023 adet karşılaştırıcı ve bununla beraber nicemleme gerilim değerlerini sağlayacak direnç gerekmektedir. Ancak 10 bitlik iki adımlı A / S dönüştürücü yapmak için 62 adet karşılaştırıcı ve buna bağlı olarak nicemleme gerilim değerini sağlayacak direnç gerekmektedir. Görüleceği gibi karşılaştırıcı sayıları arasında çok büyük farklar vardır ve bu da A / S dönüştürücünün performansına doğrudan etki etmektedir.

2.3 Boru Tipi (Pipeline) A / S Dönüştürücü

Boru tipi A / S dönüştürücü mimarisi, boru hattına benzeyen, bir birine seri olarak bağlanan ve birbirinin aynısı olan boru elemanlarından oluşmaktadır. Çevirici girişinden alınan işaret her boru elemanında işlenerek sayısal çıkışlara ve kendisine seri bağlı olan boru elemanına gönderilir. Bu aşamalar teker teker yapılarak dönüştürme işlemi tamamlanır.

Şekil 2.5’de temel olarak kullanılan boru tipi A / S dönüştürücünün blok şeması gösterilmiştir. Her bir boru elemanı örnekleme tutma (Ö / T) devresi, N bit A / S dönüştürücü, N bit S / A dönüştürücü, birim kazançlı fark alıcı devresi ve kuvvetlendirici devresinden oluşmaktadır. Boru tipi A /S dönüştürücüde her saat darbesinde bir kat çalışır, saat darbesi bittikten sonra işlem bir sonraki kata aktarılır.

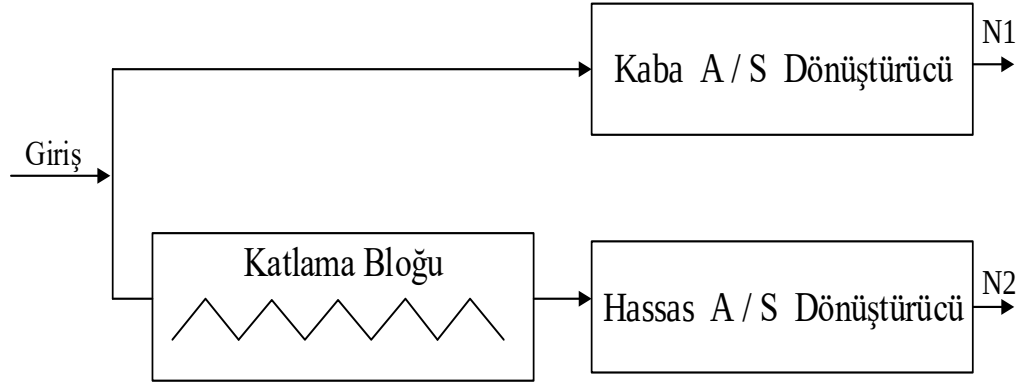


Şekil 2.5. Temel boru tipi A / S dönüştürücü blok şeması

Boru tipi A / S dönüştürücü hız ve orta derece çözünürlüğe ihtiyaç duyulan yapılarda tercih edilir. Bu sebepten dolayı geniş sinyal bandı gereken uygulamalarda tercih edilmektedir. Boru tipi A / S dönüştürücü yapılarında yüksek kazançlı işlemsel kuvvetlendirici(OP-AMP) devrelerine ihtiyaç vardır. Ancak ileri teknolojilerde MOS'un iç yapısından kaynaklı düşük kazancı sebebiyle boru tipi A / S dönüştürücü devrelerini tasarlamakta zorluklar oluşturmaktadır (Hsu ve Lee, 2015).

2.4 Katlamalı A / S Dönüştürücü

Katlamalı A / S dönüştürücünün mimari yapısı iki adımlı ve paralel A / S dönüştürücü mimarisine benzemektedir. Paralel A / S dönüştürücü yüksek hızlarda dönüşüm yapmasına rağmen çözünürlük arttıkça güç tüketimi ve serim alanı büyür. Yüksek çözünürlükler için boru tipi A / S dönüştürücü daha kullanışlıdır ancak boru tipi A / S dönüştürücü kat kat seri olarak dönüşüm yaptığı için hızı sınırlı kalmaktadır. Katlamalı A / S dönüştürücü orta çözünürlük (7-10 bit) ve yüksek hızlı uygulamalarda daha çok tercih edilmektedir (Lee vd., 2010). Katlamalı A / S dönüştürücünün bir diğer avantajı ise ön ucunda Ö / T devresine ihtiyaç duymamasıdır. Şekil 2.6'te katlamalı A / S dönüştürücünün genel blok şeması gösterilmiştir (Aytar, 2009).



Şekil 2.6. Katlamalı A / S dönüştürücü blok diyagramı

Katlamalı A / S dönüştürücünün analog veriyi sayısal veriye dönüştürme süreci iki adımlı A / S dönüştürücüye benzetilmektedir. İki adımlı A / S dönüştürücüde olduğu gibi katlamalı A / S dönüştürücüde daha düşük çözünürlüğe sahip iki farklı paralel A / S dönüştürücü bloklarının birleşmesi ile oluşan A / S dönüştürücü tipidir. Katlamalı A / S dönüştürücüde en değerli bitleri(MSB) Kaba A / S dönüştürücü bloğu oluşturur. Hassas A / S dönüştürücü bloğu ise en değersiz bitleri(LSB) oluşturur. Dolayısıyla katlamalı A / S dönüştürücünün çözünürlüğü $N = N1 + N2$ olur.

Katlamalı A / S dönüştürücüde Ö / T devresi veya İ / T devresi kullanılmaz. Çünkü en değerli bitler ve en değersiz bitler birbirinden bağımsız şekilde aynı zamanda üretilirler. Ancak Kaba A / S dönüştürücüye giriş işareti doğrudan uygulanırken hassas A / S dönüştürücüye giriş işareti katlama bloğunda işlem gördükten sonra uygulanır. Sinyal katlama bloğunda işlem gördüğü için hassas A / S dönüştürücünün çıkış bitleri kaba A / S dönüştürücünün çıkış bitlerine göre biraz daha geç elde edilecektir. Bu sebepten dolayı çıkış bitleri bir tutucu devresinde saklanması önerilmektedir.

Ayrıca yüksek hızlı sistemler için aynı tip A / S dönüştürücülerin paralel kullanılmasına dayanan zaman ara değerlendirme tekniği yapısı da bulunur. Bu yapı yeni bir A / S dönüştürücü tipi değildir. Var olan A / S dönüştürücüleri, çeşitli anahtarlama teknikleriyle birlikte kullanarak, daha iyi performanslar alınmasını sağlayan bir tekniktir.

2.5 Zaman Ara Değerlemeli A / S Dönüştürücü

Yeni nesil kablolu ve kablosuz haberleşme sistemlerinde, yüksek hızlı osiloskoplarda, yazılım tabanlı radyolarda, optik haberleşme sistemlerinde, radar uygulamalarında ve uydu haberleşme sistemlerinde daha yüksek band genişliği, daha yüksek çalışma frekansı, daha yüksek giriş gerilim aralığı ve daha yüksek örnekleme hızı gerekir. Bu gelişmeler yüksek örnekleme frekanslı ve yüksek çözünürlüklü A / S dönüştürücülerin önemini arttırmıştır. Bu istemleri yerine getirebilecek en popüler yapılardan birisi de zaman ara değerlendirme yöntemidir (Yang vd., 2014) , (Schmidt vd., 2016), (Chu vd., 2010).

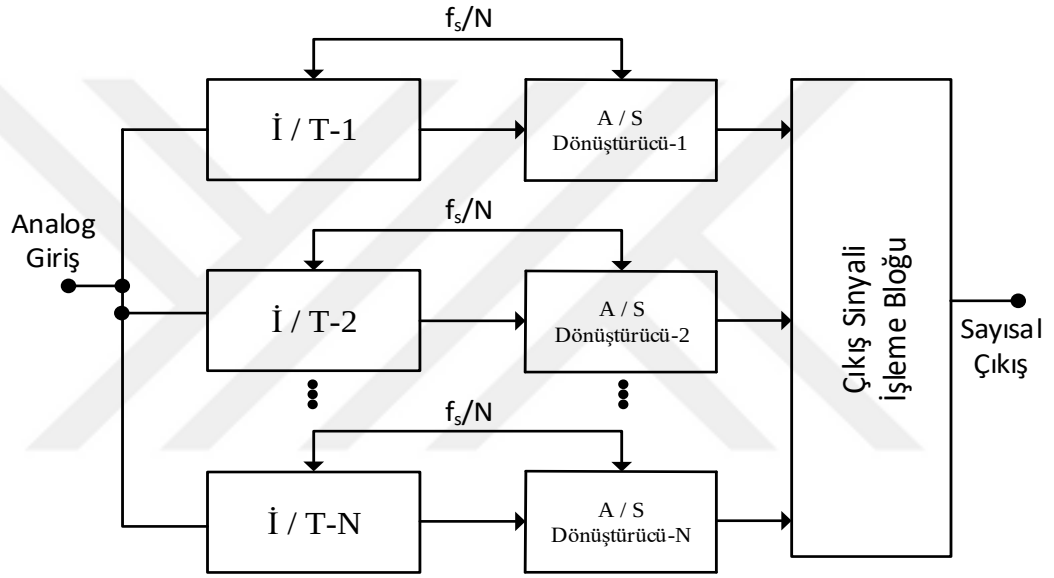
İlk olarak zaman aralıklı A / S dönüştürücüyü Black ve Hodges, (1980) sunulduğundan bu yana bu tekniğin geliştirilmesi için birçok yöntem sunuldu. Bu yöntemler tek başına çalışan A / S dönüştürücülerin birbiriyle çakışmayacak şekilde düzenlenerek ve çıkışlarının daha sonra işlenmesiyle A / S dönüştürücülerin performanslarının geliştirileceğini göstermektedir (Chu vd., 2010).

Zaman ara değerlendirme A / S dönüştürücünün çalışma mantığı, sistem için gerekli olan örnekleme frekansı, doğrusallık ve AC gereksinimler tek bir A / S dönüştürücü tarafından karşılanmıyor ise, talep edildenden daha düşük örnekleme frekansında çalışan A / S dönüştürücülerin birbirine paralel bağlanarak bir anahtarlama devresi yardımı ile örnekleme frekansının artırılması prensibine dayanmaktadır (Björnsell, 2015).

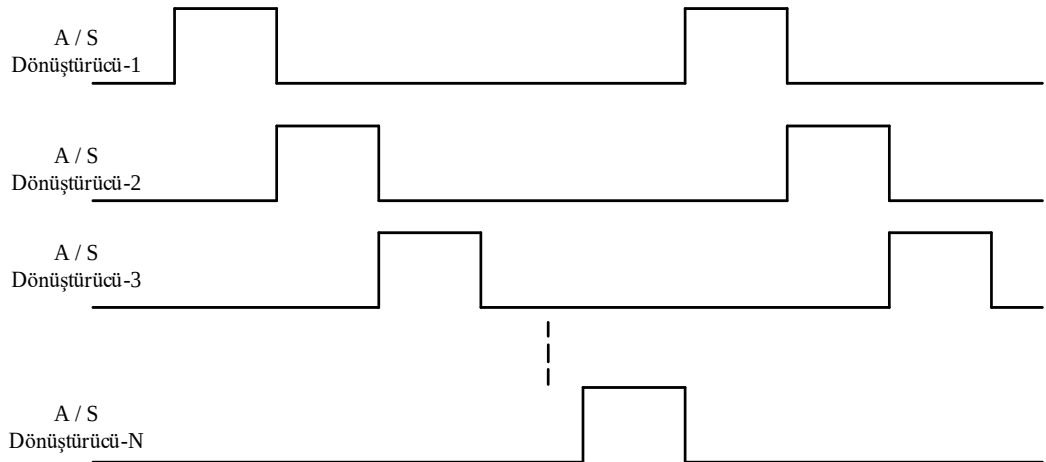
Belli bir A / S dönüştürücü mimarisiyle en yüksek hıza ulaşıldığı zaman daha yüksek hızlara ulaşabilmek için zaman ara değerlendirme yöntemi kullanılmaktadır. Ayrıca zaman ara değerlendirme yöntemi Razavi B (2013) çalışmasında olduğu gibi çekirdek A / S dönüştürücüler, ulaşabildikleri en yüksek hızlarda çalıştırıldıkları zaman çok fazla güç tükettikleri için daha düşük hızlarda çalıştırılarak güç tüketimleri azaltılmıştır. Fakat bütün bir sistemin çalışma hızını artırmak için çift kanallı zaman ara değerlendirme yöntemi kullanılarak A / S dönüştürücü tasarlanmıştır. Böylelikle yüksek hızlarda yeni oluşturulan sistemin daha az güç tüketmesi sağlanmıştır.

Şekil 2.7’de zaman ara değerlendirme A / S dönüştürücü genel blok şeması Şekil 2.8’de ise A / S dönüştürücülerin örnekleme sinyalleri gösterilmiştir. Bu yapıda

her bir A / S dönüştürücünün örnekleme frekansı f_s/N 'dir. Burada “N” kullanılan A / S dönüştürücü sayısını bir başka deyişle zaman ara değeri sayısını göstermektedir. “ f_s ” ise bütün A / S dönüştürücünün örnekleme frekansıdır. Dolayısıyla toplam örnekleme hızı da kanal sayısı ile doğru orantılı olarak artmaktadır. A / S dönüştürücülerin örnekleme sinyalleri arasında kanal sayısına bağlı olarak faz farkları vardır. Bu faz farkları sayesinde çekirdek A / S dönüştürücülerin çalışma sıraları belirlenir. Bu faz farklarının düzgün bir şekilde ayarlanması sistemin doğru çalışması için hayati bir öneme sahiptir.



Şekil 2.7. N kanallı zaman ara değerlemeli A / S dönüştürücü blok şeması



Şekil 2.8. A / S dönüştürücünün örnekleme sinyalleri

Zaman ara deęerlemeli A / S dnřtrcnn kanal sayısı arttıķa doęrusal olarak aynı oranda rnekleme frekansı da artacaktır. Ancak kanal sayısı arttıķa sistemin kontrol daha da zorlařacak ve bazı hataları da beraberinde getirecektir.

Zaman ara deęerleme teknięinin avantajlarının yanında getirdięi bazı dezavantajları da vardır. Fiziksel serimin bymesine ve g tketiminin artmasına ek olarak zaman ara deęerleme teknięinin kendine zg bazı problemleri de vardır. Bu problemler kazanç uyumsuzluęu, ofset uyumsuzluęu ve saat iřareti uyumsuzluęudur. Zaman ara deęerleme teknięinin kendine zg bu hataları zaman ara deęerleme teknięinin avantajlarına glge dřrmektedir. Ayrıca kanallar arasındaki band geniřlięi farklılıkları ve doęrusal olmayan uyumsuzluklar da bu hatalara ektir fakat bu hatalar dięer A / S dnřtrc tiplerinde de bulunduęu iin onlar zaman ara deęerleme teknięine zg hatalar deęildir (Chu , 2010).

Band geniřlięinin uyumsuz olması uygulanan giriř iřaretinin frekansına baęlıdır. Bu yzden Kanalların bant geniřlięi kısıtlamaları iki farklı şekilde aıklanabilir. Bunlardan birincisi giriř direnleri ve ara baęlantı kapasitelerinin neden olduęu ve btn kanallar iin ortak olan kısıtlamadır. Bir dięeri ise rnekleme anahtarının direnci, ara baęlantıların direnci ve rnekleme kapasitesinin sebep olduęu ve her bir kanal iin geerli olan kısıtlamalardır (Louwsma vd., 2011).

Zaman ara deęerleme teknięi kullanılarak yapılan A / S dnřtrcler de kanal karakteristikleri ideal bir şekilde belirlenmeli ve saat uyumsuzluęunu oluřturan kaymalar sıfır olmalıdır. Ancak, gerekte zaman ara deęerleme teknięi kullanılan A/S dnřtrcnn kanalları arasında kazanç uyumsuzluęu, ofset uyumsuzluęu ve buna ek olarak saat iřaretinin daęıtımı sırasında kayma hataları oluřmaktadır. Bu oluřan hatalar btn bir A / S dnřtrcde rnt grltsnn (pattern noise) oluřmasına ve efektif bit sayısının azalmasına sebep olmaktadır. Bu hatalar ařaęıda daha detaylı bir biimde aıklanmıřtır.

2.5.1 Ofset Uyumsuzluğu

Zaman ara değerlemeli A / S dönüştürücünün her bir kanalının farklı DC ofset değerine sahip olduğu düşünüldüğü zaman bu ofset değeri f_s/N 'nin frekansı ile birlikte statik hatalar oluşturacaktır. Bu uyumsuzluk A / S dönüştürücüde sabit örüntülü gürültüye (fixed pattern noise) sebep olacaktır. Ofset uyumsuzluğu sebebiyle her bir kanal farklı çıkış kodu üretebilir ve bu hata sinyalinin periyodu f_s/N 'dir. DC ofset giriş frekansından ve genliğinden bağımsız olduğu için dc ofset uyumsuzluğu da frekans ve genlikten bağımsızdır. Aşağıda örüntülü gürültünün (pattern noise) frekans spektrumundaki yerinin matematiksel formülü verilmiştir (Kurosawa vd., 2001).

$$f_{gürültü} = k \cdot \frac{f_s}{N} \quad (2.2)$$

Bu denklemde k değeri kaçınıcı sıradaki kanal olduğunu belirtmektedir. Ofset uyumsuzluğu sebebiyle A / S dönüştürücünün efektif bit sayısının bozulması giriş frekansı ve genlik değerine bakılmaksızın sabittir.

2.5.2 Kazanç Uyumsuzluğu

Kazanç uyumsuzluğu hesaplanırken her bir kanalın kazancının farklı olduğu ve diğer karakteristiklerin ideal olduğu düşünülmüştür. Sistemin girişine sinüzoidal bir işaret uygulandığı zaman kanalların çıkışlarındaki en büyük farklılık sinüs dalgasının en üst ve en alt noktalarında olacaktır. Kazanç uyumsuzluk hatası giriş işaretinin genliğine bağlıdır ve periyodu f_s/N 'dir. Kazanç uyumsuzluğundan oluşan gürültünün frekans spektrumundaki yerinin matematiksel ifadesi aşağıda verilmiştir (Kurosawa N vd., 2001).

$$f_{gürültü} = \pm f_{in} + \frac{k}{M} f_s, \quad k = 1, 2, 3 \dots \quad (2.3)$$

Ofset uyumsuzluğu durumunda efektif bit sayısında bozulma giriş işaretinin genliğinden bağımsızken kazanç uyumsuzluğunun olduğu durumda efektif bit sayısındaki bozulma giriş işaretinin genliğine bağlıdır.

2.5.3 Saat İşareti Uyumsuzluğu

Zaman ara değerlemeli A / S dönüştürücülerde en zorlu kısımlardan birisi de saat işaretinin kontrolü ve uyumlu çalışmasıdır. Saat işaretinin kontrolü sırasında çeşitli hatalar oluşmaktadır. Zaman ara değerlemeli A / S dönüştürücülerde, saat hatalarını belirli bir sistemle oluşan hatalar ve rastgele oluşan hatalar olmak üzere ikiye ayırabiliriz. Rastgele zaman hataları pratikte engellenemeyen saat işaretinin seğirmesiyle oluşan hatadır. Bu seğirme jitter olarak adlandırılır. Bu hata pratikte engellenemeyeceği için tasarım yapılırken jittire karşı toleranslı olarak sistem tasarlanabilir.

Zaman ara değerlemeli A / S dönüştürücüler için zamanlama ile ilgili esas sorunu çıkaran sistemli şekilde oluşan hatalardır. Bunun sebebi kanallar arasındaki saat işaretinin kaymasıdır. Bu hataları tahmin etmek ve düzeltmek ofset uyumsuzluğunu ve kazanç uyumsuzluğunu düzeltmeye göre çok daha zordur. Aşağıda saat uyumsuzluğundan oluşan gürültünün frekans spektrumundaki yerinin matematiksel ifadesi verilmiştir (Kurosawa vd., 2001).

$$f_{gürültü} = \pm f_{in} + \frac{k}{M} f_s, \quad k = 1, 2, 3 \dots \quad (2.4)$$

3. ANALOG DİĞİTAL DÖNÜŞTÜRÜCÜ PARAMETRELERİ

A / S dönüştürücü, analog dünya ile sayısal dünya arasında bir köprü görevi gördüğü için kullanıldığı sistemlerde sistemin performansını doğrudan etkileyen ve çalışma sınırlarını belirleyen en önemli bloklardan birisidir.

A / S dönüştürücü, girişi analog sinyal iken çıkışı sayısal kod olan bir devredir. A / S dönüştürücüler için en yaygın kullanılan kodlar iki kodlar, termometre kodları, gray kodlar ve ikinin tamamlayıcı kodlarıdır. En çok kullanılan kod ikili koddur (Allen ve Holberg, 2002).

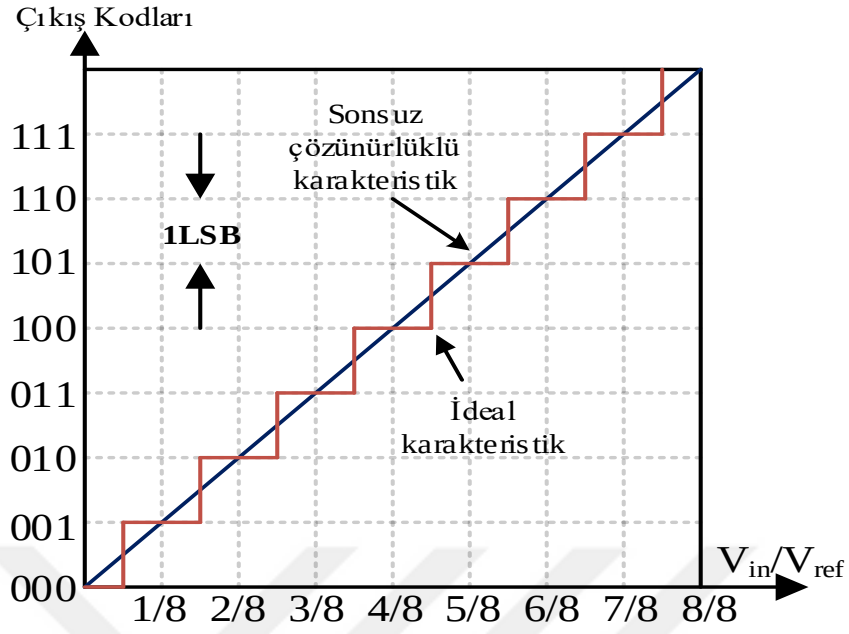
A / S dönüştürücünün analog sinyali sayısal olarak dönüştürürken performansının belirlenmesi için çeşitli parametreler tanımlanmıştır. Temel olarak bu parametreler statik parametreler ve dinamik parametreler olmak üzere ikiye ayrılmıştır. Statik parametrelerdeki hatalar oluşturulan sistemdeki elemanların uyumsuzluğundan ortaya çıkmaktadır. Farksal doğrusalsızlık [DNL] ve tümlevsel doğrusalsızlık [INL] statik parametrelerde en çok değerlendirilenlerdendir. Statik parametreler aynı zamanda, zaman ve frekans düzleminde de incelenebilir (Aytar, 2009). Miyazaki vd. (2003), Shen ve Kinget, (2008), Chang vd. (2008) çalışmalarında statik parametreler frekans düzleminde incelenmiştir.

Bu bölümde A / S dönüştürücülerin performanslarını belirleyen statik ve dinamik parametre değerleri açıklanmıştır.

3.1 Statik Parametreler

Statik parametreler, A / S dönüştürücünün girişine DC bir işaret uygulandığında çıkışında oluşan işaretin idealde oluşması gereken işaret ile arasındaki farksal hatalar olarak adlandırılabilir. Şekil 3.1’de ideal 3 bitlik bir A / S dönüştürücünün giriş çıkış karakteristiği gösterilmiştir.

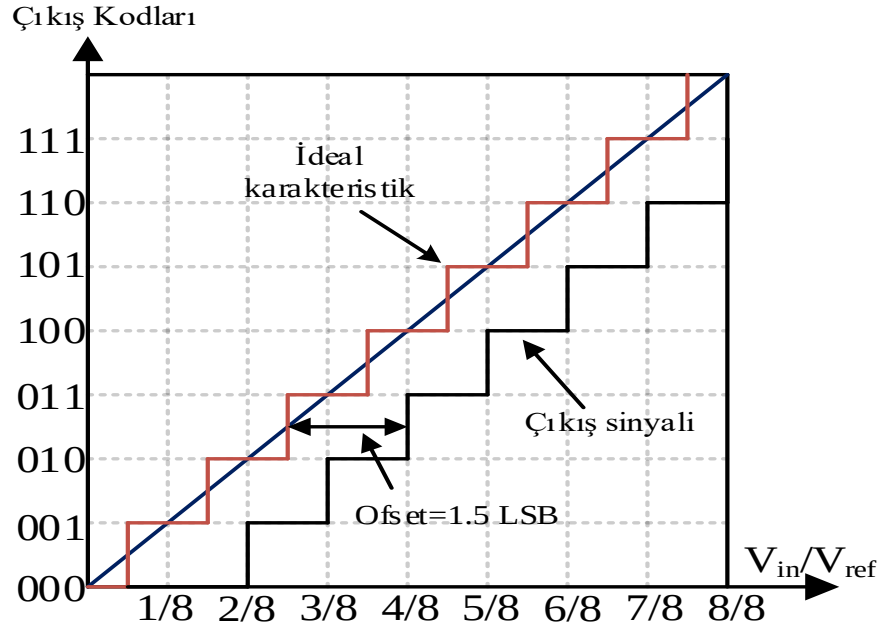
A / S dönüştürücü tasarlandıktan sonra pratikte oluşacak işaret ideal karakteristik gibi kusursuz olmayacaktır. Sonuç olarak ofset hatası, kazanç hatası, farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) hatası gibi hatalar oluşacaktır.



Şekil 3.1. İdeal 3 bitlik A / S dönüştürücünün giriş çıkış karakteristiği

3.1.1 Ofset Hatası

Ofset hatası, ideal ofset noktası ile çıkışta oluşan sinyalin ofset noktasının dikey eksenindeki farkıdır. Şekil 3.2’de 1.5 LSB ofset hatası olan bir giriş-çıkış karakteristiği gösterilmiştir.



Şekil 3.2. Ofset hatası

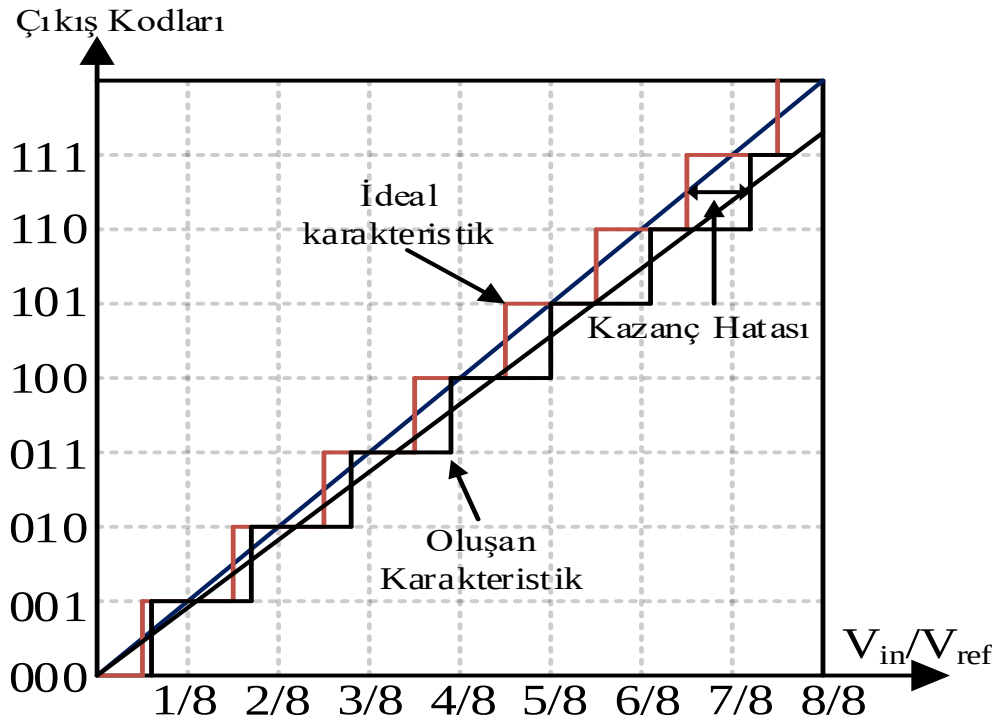
Ofset hatası belirtilirken kazanç hatası, doğrusallık hataları gibi diğer bütün hataların olmadığı varsayılır. Ofset hatası bütün kodları aynı oranda etkiler. Çeşitli teknikler ile düzeltilebilir ve ofset hatası düzeltildiğinde kod kaybı meydana gelmez. Ofset hatasının matematiksel denklemi (3.1)'de LSB cinsinden ifade edilmiştir.

$$H_{offset} = \frac{(V'_{min} - V_{min})}{V_{LSB}} \quad (3.1)$$

Bu denklemde bulunan V'_{min} çıkış sinyalindeki ilk referans gerilimini V_{LSB} ise nicemleme gerilimini göstermektedir.

3.1.2 Kazanç Hatası

Kazanç hatası giriş gerilimine karşı A / S dönüştürücünün çıkışındaki sayısal kodlamanın ofset hataları çıkarıldıktan sonra ideal doğrudan ne kadar saptığını gösteren parametredir. Şekil 3.3'te gösterildiği gibi ideal karakteristik ile oluşan transfer karakteristiği arasındaki eğim olarak ifade edilir.



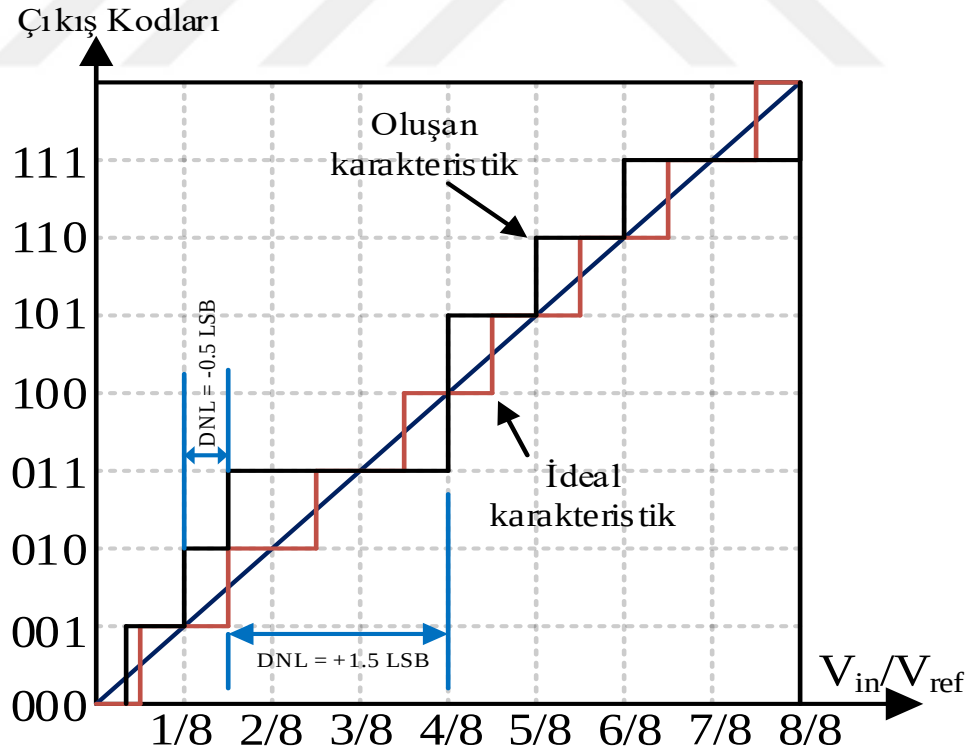
Şekil 3.3. Kazanç hatası

Kazanç hatasının matematiksel olarak denklemi (3.2) 'de verilmiştir. Verilen karakteristikte $V'_{\max}$ ve $V'_{\min}$ oluşan transfer karakteristiğinin en yüksek ve en düşük referans gerilimlerini, $V_{\max}$ ve $V_{\min}$ ise ideal transfer karakteristiğinin en yüksek ve en düşük gerilim değerlerini göstermektedir.

$$H_{kazanç} = \left(\frac{V'_{\max} - V'_{\min}}{V_{\max} - V_{\min}} \right) * 100 \quad (3.2)$$

3.1.3 Farksal Doğrusalsızlık (DNL)

DNL hatası, oluşan transfer karakteristiğinin basamak genişliği ile ideal transfer karakteristiğinin basamak genişliği arasındaki fark olarak belirtilir (Aytar, 2009). İdeal A / S dönüştürücü transfer karakteristiğinde $DNL = 0\text{LSB}$ 'dir. DNL hatası, 1 LSB'den az veya 1 LSB'ye eşit ise oluşan transfer fonksiyonunda kod kaybı bulunmamaktadır (Aytar, 2009). Şekil 3.4'te doğrusal olmayan fark hatası gösterilmiştir.



Şekil 3.4. Farksal Doğrusalsızlık (DNL)

Kazanç hatası çıkartıldıktan sonra DNL hatası matematiksel olarak şöyle ifade edilmektedir.

$$DNL = \left| \frac{V_{D+1} - V_D}{V_{LSB}} - 1LSB \right| \quad (3.3)$$

$$V_{LSB} = \frac{V_{FSR}}{2^n - 1} \quad (3.4)$$

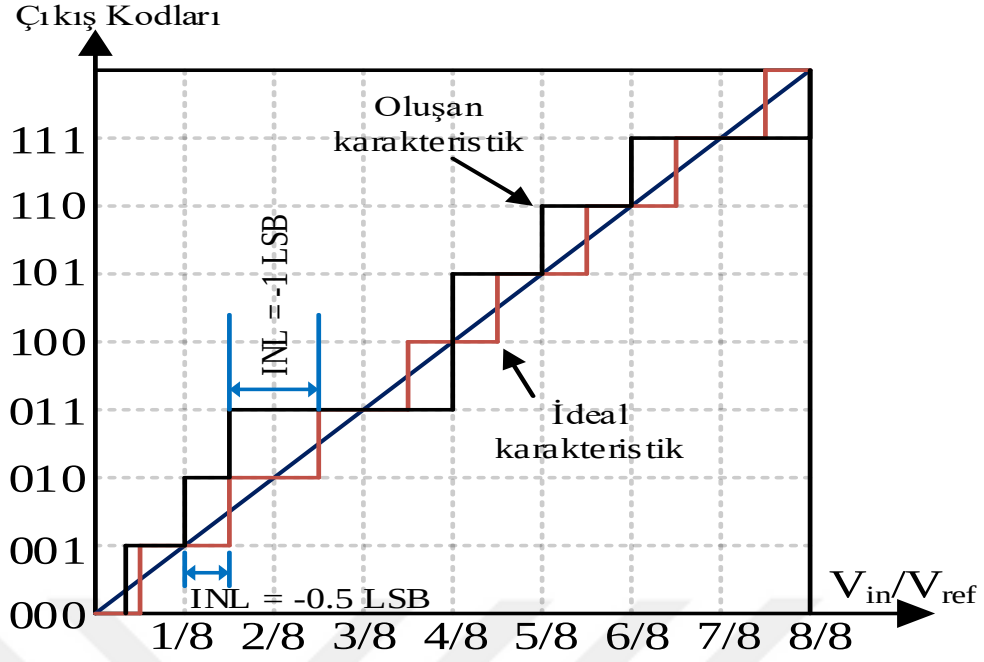
Denklem (3.3) ve (3.4)'te gösterilen V_{LSB} n bit çözünürlüğe sahip ideal A / S dönüştürücünün birbirine komşu iki sayısal kodun birbirine uzaklığıdır. V_D ilgili sayısal kodun ve V_{D+1} ise bir sonraki sayısal kodun analog değeridir.

3.1.4 Tümlensel Doğrusalsızlık (INL)

Ofset ve kazanç hataları düzeltildiğinde oluşan transfer karakteristiğinin, ideal transfer karakteristiğinin geçiş değerlerden sapması tümlensel doğrusallık (INL) hatasıdır. INL hatası Şekil 3.5'da gösterilmiştir. INL hatası matematiksel ifadesi (3.5)'da gösterilmiştir (Aytar, 2009).

$$INL = \left| \frac{V_D - V_{SIFIR}}{V_{LSB}} - D \right| \quad 0 < D < 2^N - 1 \quad (3.5)$$

Denklem (3.5)'te D, sayısal çıkış kodunu, V_D sayısal çıkış koduna karşılık gelen analog değerini, N A / S dönüştürücünün çözünürlüğünü, V_{SIFIR} ise sayısal koduna karşılık gelen en düşük analog gerilimini göstermektedir.



Şekil 3.5. Tümlensel doğrusalsızlık (DNL)

3.2 Dinamik Parametreler

Dinamik parametre sonuçları, yüksek hızlı sistemlerde kullanılacak olan A / S dönüştürücüler için önemli bir ölçüdür. Çünkü statik parametreler dc testler ile hesaplanır ve bu A / S dönüştürücülerin performanslarını tam olarak belirleyemez (Gustavsson vd., 2002). Dinamik parametreler AC hataları belirleyen ölçütlerdir. Bu sebepten dolayı tasarımcının A / S dönüştürücünün AC performansı hakkında fikir sahibi olmasını sağlar.

3.2.1 Nicemleme Gürültü Oranı (SNR)

Nicemleme gürültü oranı sinyalin gücü ile devrenin gürültüsünden ve nicemleme tarafından oluşan toplam gürültüye oranıdır. Burada kullanılan sinyal genellikle sinüs sinyali olmaktadır. SNR giriş Nyquist aralığında gürültü için hesaplanır (Maloberti, 2007). SNR'ın sinüsoidal bir giriş için matematiksel ifadesi şöyledir;

$$SNR_{dB} = 20 \cdot \log_{10} \left(\frac{A_{i\text{şaret}[RMS]}}{A_{G\text{ürültü}[RMS]}} \right) = (6.02n + 1.76) \text{dB} \quad (3.6)$$

Denklem (3.6)'da ifade ideal bir A / S dönüştürücü için geçerlidir. 5 bit ideal bir A / S dönüştürücünün SNR'ı 31.86 dB'dir. Bu denklemde $A_{i\text{şaret}[RMS]}$ giriş işaretinin rms genliği, $A_{G\text{ürültü}[RMS]}$ devredeki toplam gürültünün rms genliği, n ise A / S dönüştürücünün çözünürlüğünü göstermektedir.

3.2.2 Toplam Harmonik Bozulma (THD)

Toplam harmonik bozulma temel frekanstaki sinüs işaretinin sonucu olarak A / S dönüştürücü çıkışında görülen temel frekanstaki işaretin gücünün harmoniklerin toplam gücüne oranıdır.

$$THD = 10 \cdot \log \left(\frac{\text{Toplam Harmonik Gürültü Gücü}}{\text{İşaretin Gücü}} \right) \quad (3.7)$$

3.2.3 İşaret-Gürültü ve Bozulma Oranı (SINAD veya SNDR)

İşaret gürültü ve bozulma oranı, A / S dönüştürücü çıkışında elde edilen işaretin gücünün harmonik bozulma ve gürültü kaynaklı işaretlerin gücünün toplamına oranıdır. Temel olarak A / S dönüştürücünün çıkışında görülmek istenen işaretin istenmeyen kısımlara oranıdır. Matematiksel olarak aşağıda gösterilmiştir. (Gustavsson vd., 2002);

$$SINAD = 10 \cdot \log \left(\frac{\text{İşaret Gücü}}{(\text{Gürültü} + \text{Bozulma}) \text{Gücü}} \right) \quad (3.8)$$

3.2.4 Sanal Serbest Çalışma Bölgesi Parametresi (SFDR)

SFDR, analog giriş işaretinin rms değeri ile en büyük hataya neden olan harmoniğin genliğinin rms değeri arasındaki oran olarak adlandırılır. SFDR önemli

bir parametredir. Çünkü gürültü ve harmonik bozulalar A / S dönüştürücünün dinamik aralığını kısıtlamaktadır. SFDR matematiksel olarak aşağıdaki gibi ifade edilir;

$$SFDR = 20 \cdot \log_{10} \left(\frac{A_{i\text{şaret}[RMS]}}{A_{HB_MAX[RMS]}} \right) \text{ dB} \quad (3.9)$$

Denklem (8)'de $A_{i\text{şaret}[RMS]}$, analog giriş sinyalinin genliğinin rms değeri, $A_{HB_MAX[RMS]}$ ise en büyük hataya neden olan harmoniğin genliğinin rms değeridir.

3.2.5 Etkin Bit Değeri (ENOB)

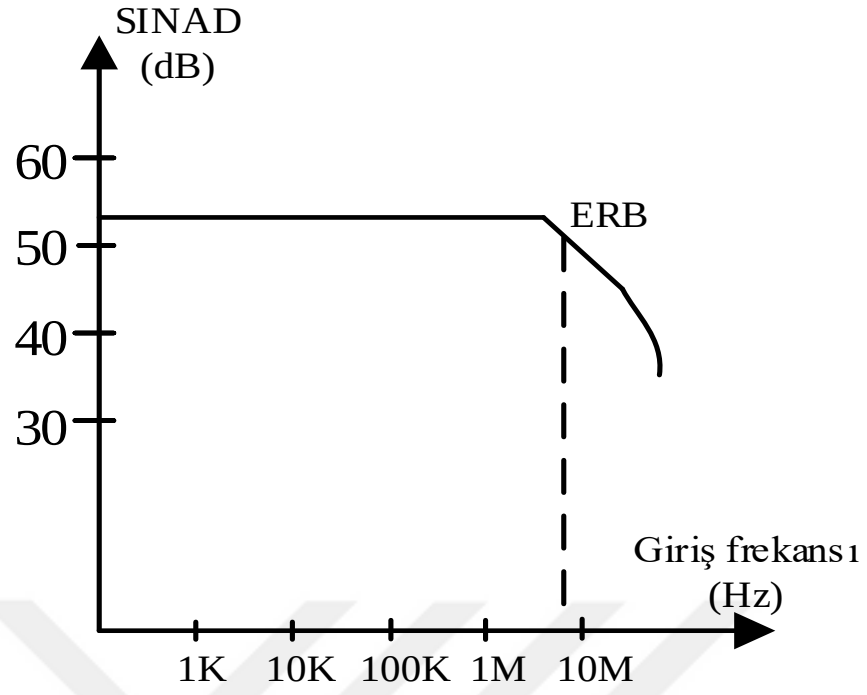
Etkin bit değerinin matematiksel ifadesi aşağıda gösterildiği gibidir (Maloberti, 2007).

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (3.10)$$

SINAD değeri ENOB'un değerini (9)'daki denklemde görüleceği gibi doğrudan etkilemektedir. SINAD değeri harmonik bozulmalara bağlı olduğu için harmonik bozulmalar arttıkça ENOB değeri azalacaktır. Yüksek frekanslarda harmonik bozulmalar daha yüksek olduğu için ENOB değeri giriş sinyalinin değeri arttıkça azalabileceği söylenebilir.

3.2.6 Etkin Çözünürlük Bant Genişliği (ERB)

A / S dönüştürücüler için en önemli parametrelerden biri de sistemin bant genişliğidir. ERB SINAD değerinin düşük frekans değerlerine kıyasla 3dB altına düştüğü analog giriş frekansı olarak tanımlanır. ERB Nyquist frekansından yüksek olmalıdır (Maloberti, 2007). Şekil 3.6'de A / S dönüştürücünün SINAD bağlı olarak band genişliği gösterilmiştir.

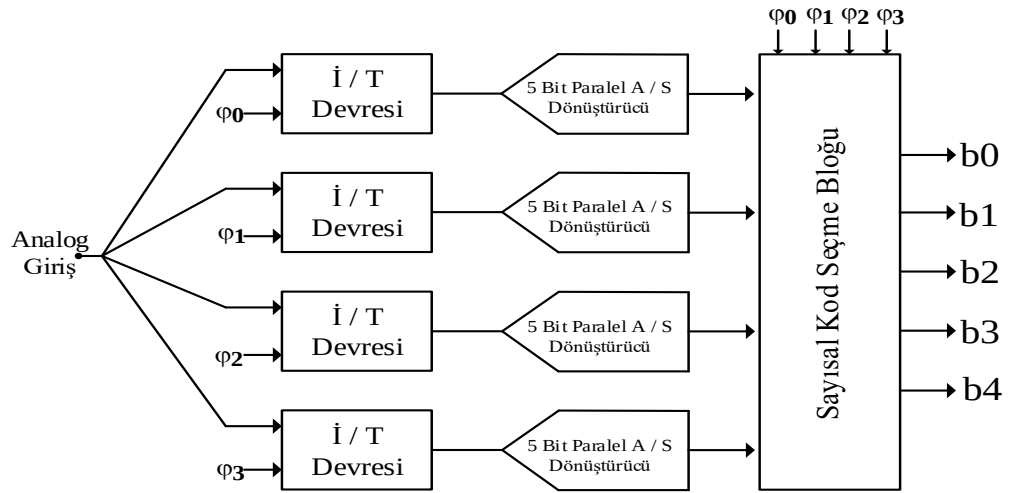


Şekil 3.6. Giriş frekansı ve SINAD ilişkisi (Gustavsson vd., 2002)

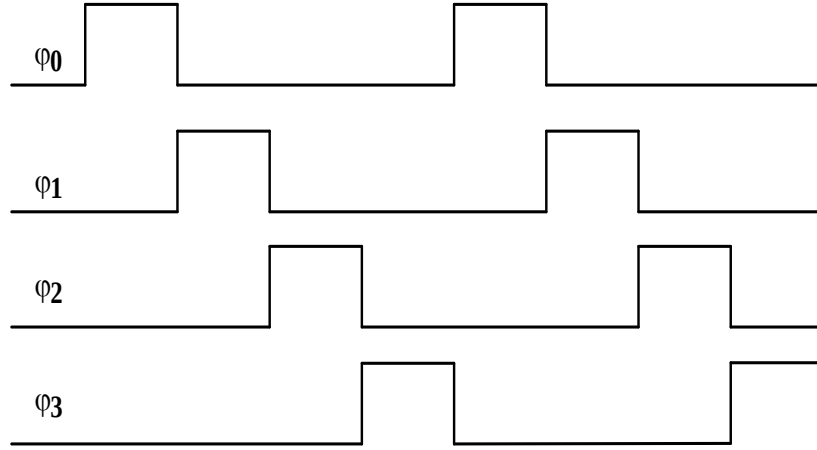
4. 5 BİT 40 GS/S ZAMAN ARA DEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TASARIMI

Analog sayısal dönüştürücüler, analog sistemlerin kullandığı analog sinyali sayısal sistemlerin anlayabileceği sayısal sinyale dönüştürür. Bu sebepten dolayı analog sistemler ile sayısal sistemler arasında önemli bir görev üstlenmektedir. Tasarımcılar tarafından bilinen en hızlı A / S dönüştürücü paralel A / S dönüştürücüdür. Tek bir paralel A / S dönüştürücünün ulaşabileceği hızdan daha yüksek hızlara ihtiyaç duyulduğunda kullanılabilecek olan teknik zaman ara değerlendirme tekniğidir. Zaman ara değerlendirme tekniği, birden fazla A / S dönüştürücünün paralel kullanılması prensibine dayanmaktadır.

Bu çalışmada zaman ara değerlendirme tekniği kullanılarak dört kanallı 5 bit A / S dönüştürücü tasarlanmıştır. Tasarlanan A / S dönüştürücü, çok yüksek hızlara ulaşabilmesi için hem zaman ara değerlendirme tekniği kullanılmıştır hem de çekirdek A / S dönüştürücü bloğunda paralel tip A / S dönüştürücüler kullanılmıştır. Şekil 4.1’de tasarlanan 5 bit zaman ara değerlemeli A / S dönüştürücünün blok şeması, Şekil 4.2’de İ / T devresine, dinamik tutucu devresine ve sayısal kod seçme bloğuna uygulanan örnekleme sinyalleri gösterilmiştir.



Şekil 4.1. 5 bit zaman ara değerlemeli A / S dönüştürücü



Şekil 4.2. A / S dönüştürücüye uygulanan örnekleme sinyalleri

Tasarlanan sistem 4 kanallı bir yapıdır, her kanal İ / T devresi ve 5 bit paralel A / S dönüştürücüden oluşmaktadır. Ayrıca en son katta bu kanallarda oluşan sayısal kodların sırayla çıkışa iletilmesini sağlayan sayısal kod seçme bloğu vardır. Örnekleme sinyalleri dışarıdan harici olarak uygulanmaktadır. Tasarlanan sistemde HHNEC BCS180G 0.18µm SiGe BiCMOS model parametreleri kullanılmıştır. Tasarım da kullanılan SiGe HBT'lerin parametreleri Çizelge 1'de gösterilmiştir.

Çizelge 4.1. SiGe HBT parametreleri

W_E	180nm
Maximum β	270
F_T	110GHz
BV_{CEO}	1.80V
BV_{CBO}	3.8V

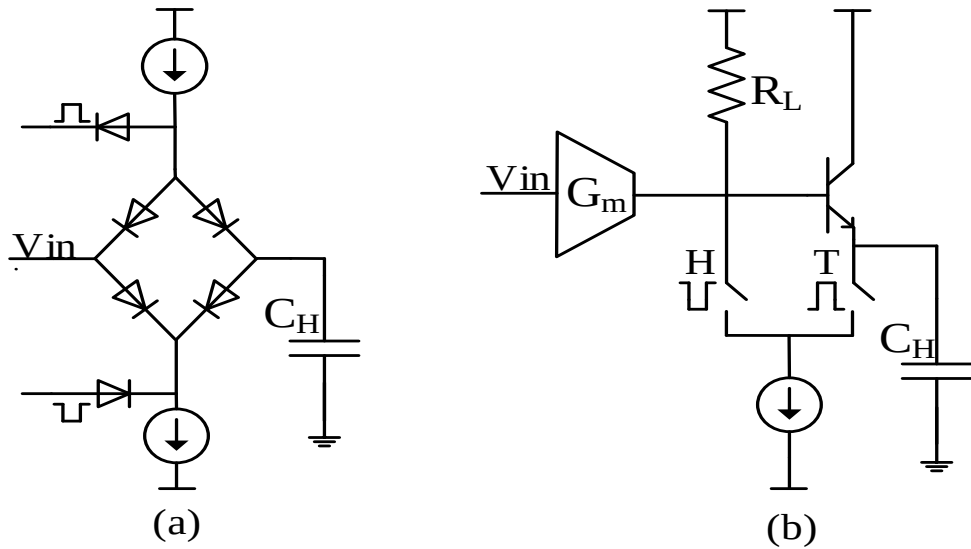
Bu bölümde tasarımı yapılan 5 bit zaman ara değerlemeli A / S dönüştürücünün alt blokları açıklanmış olup, post-layout sonrası elde edilen benzetim sonuçları değerlendirilmiştir.

4.1 İzle ve Tut (İ / T) Devresi

Sayısal CMOS teknolojisinin gelişmesiyle modern sayısal sinyal işleme süreçleri de çok hızlı bir şekilde gelişmiştir. Bu gelişmelerin bütün bir sisteme doğrudan etki etmesi için analog verinin, sayısal veriye dönüşüm sürecinin de buna paralel olarak gelişmesi gerekmektedir (Li vd., 2008). Bu sistemlerin performansları, A / S dönüştürücülerin bant genişliğine, örnekleme frekansına, çözünürlüğüne ve doğrusallığına bağlıdır (Daneshgar vd., 2014).

İ / T devresi, giriş sinyalinin sürekli zamandan ayırık zamana dönüşümünü sağlar ve bir sonraki işlem için çıkış sinyalini geçici süreyle sabit bir seviyede tutar. İ / T devresi A / S dönüştürücünün girişinde bulunur ve bu yüzden A / S dönüştürücünün bant genişliğine, örnekleme frekansına, çözünürlüğüne ve doğrusallığına direk etki yaptığı için çok kritik bir devredir (Borokhovych vd., 2005).

İ / T devre mimarileri, açık döngü ve kapalı döngü olarak ikiye ayırabilir. Açık döngü THA yapıları yüksek hızlı uygulamalarda tercih edilir ve yüksek çözünürlüklerde çalışması oldukça zordur. Yüksek çözünürlüklü uygulamalarda ise kapalı döngü mimarileri tercih edilir fakat bunlar da yavaş uygulamalardır (Cannone vd., 2012).

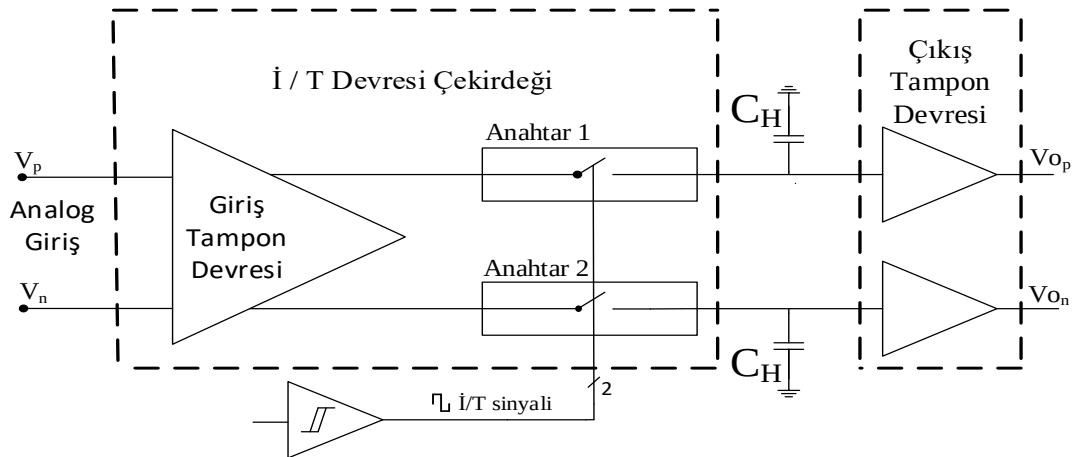


Şekil 4.3. İ / T anahtar yapıları (Daneshgar vd., 2014)

Şekil 4.3'te görüldüğü gibi temel olarak iki farklı izle ve tut anahtar yapısı vardır. Bunların birincisi Şekil 4.3 a'da gösterilen idealleşmiş diyotlu örnekleme köprüsüdür. Bu devrenin bant genişliğini arttırmak için hızlı schottky diyotlar kullanılır. Ancak bu tasarımın pozitif ve negatif akım kaynaklarının eşleşmelerinden, pozitif ve negatif darbe üretici sürücülerinin eşleşmelerinden kaynaklı zorlukları ve olumsuzlukları vardır. Bir diğer mimari ise Şekil 4.3 b'de gösterilen anahtarlama emiter izleyici mimarisidir. Bu mimari yapıda tamamlayıcı pozitif ve negatif DC akım kaynakları ve tamamlayıcı pozitif ve negatif darbe üretici sürücülerine ihtiyaç duyulmaz. Bu yapı literatürde geniş şekilde yer bulmuştur. Anahtarlama emiter izleyici devresi idealleştirilmiş diyotlu örnekleme köprüsü ile kıyaslandığı zaman doğrusallığı daha iyidir. Ayrıca anahtarlama emiter izleyici devresinin giriş gerilim aralığı daha geniştir. Ancak anahtarlama emiter izleyici devresinde yüksek değerli kapasiteler kullanıldığı zaman osilasyon veya kendini sürekli tekrar eden ring işaretleri görülebilmektedir. Anahtarlama emiter izleyici devresinin hatalarını azaltmak ve bant genişliğini arttırmak için literatürde base-kollektör diyot tabanlı yapı da önerilmiştir (Daneshgar vd., 2014).

4.1.2 İ / T Devre Tasarımı

Bu yapıda kullanılan İ / T mimarisinin blok diyagramı Şekil 4.4'te gösterilmiştir (Borokhovych vd., 2005). Bu mimari temel İ / T devresi ve çıkış tampon devresinden oluşmaktadır.



Şekil 4.4. İ / T devresi blok diyagramı (Borokhovych vd., 2005)

Şekil 4.5. Temel İ / T devresi (Borokhovych vd., 2005)

Giriş tampon devresi farksal girişli Q1-Q2 transistor çiftlerinden, R3-R4 yük dirençlerinden ve R1-R2 emiter dirençleriyle birlikte kuyruk akımını sağlayan I1 akım kaynağından oluşmaktadır. Anahtar 1 yapısı Q3,Q4,Q5 transistorlarıyla birlikte kuyruk akımını sağlayan I3 akım kaynağından oluşmaktadır. Anahtar 2 yapısı ise Q6,Q7,Q8 transistorlarıyla birlikte kuyruk akımını sağlayan I3 akım kaynağından oluşmaktadır. Bu yapıda kullanılan bipolar transistorlar yüksek hızlı SiGeC tabanlı yüksek hızlı bipolar transistorlardır.

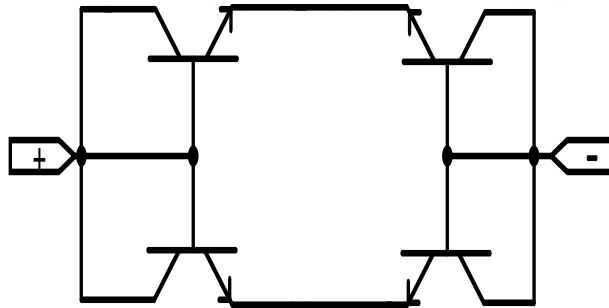
Temel İ/T devresi simetrik bir yapıdır. Bu sebepten dolayı devrenin çalışma prensibi giriş tampon devresi ile birlikte anahtar 1 yapısı üzerinden anlatılacaktır. Farksal giriş sinyali, Q1-Q2 transistör çiftlerine uygulanır. Giriş tampon devresinin

çıkışı Q5 transistoruna bağlanır. Q5 transistoru emiter izleyici olarak davranırken Q4 transistoru ise kaskod transistor olarak bağlıdır.

İzleme fazında “İ” noktasındaki gerilim “T” noktasına göre daha yüksektir. İzleme fazı sırasında Q4 ve Q5 transistorları aktiftir ve I2 kuyruk akımı bu transistorlar boyunca akar ve C_H kapasitesini doldurur. Böylelikle izleme fazı sırasında giriş gerilimi ile C_H kapasitesi arasında bir bağlantı vardır.

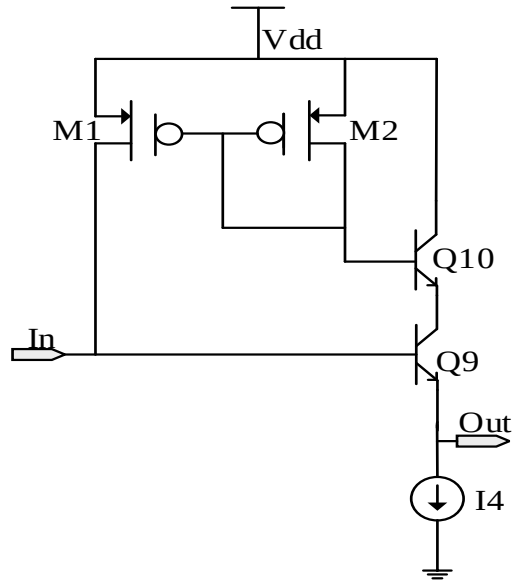
“T” noktasındaki gerilim “İ” noktasına göre daha yüksek seviyeye geçtiği zaman devre tutma fazına geçmiş olur. Tutma fazı sırasında Q4 transistoru kesime girerek kapanır. I2 kuyruk akımı Q3 transistoru üzerinden akarak Q5 transistorunu kesime sokar. Böylelikle ideal durumda C_H kapasitesinin giriş gerilimi ile bağlantısı kesilmiştir ve C_H kapasitesi bu faz boyunca gerilim seviyesini sabit tutar.

İ / T devresi tutma durumundayken, örneklemeyi sağlayan transistorlar (Q5 ve Q8) kesimdedir ve dolayısıyla C_{be5} ve C_{be8} kapasiteleri C_H kapasitesi ile giriş arasında doğrudan bir geri besleme oluşturur (Lee vd., 2010). Bu durumu etkisiz hale getirmek için C_{ff} kapasitesi kullanılır. Kullanılan bu kapasite yapısı Şekil 4.6’da gösterilmiştir.

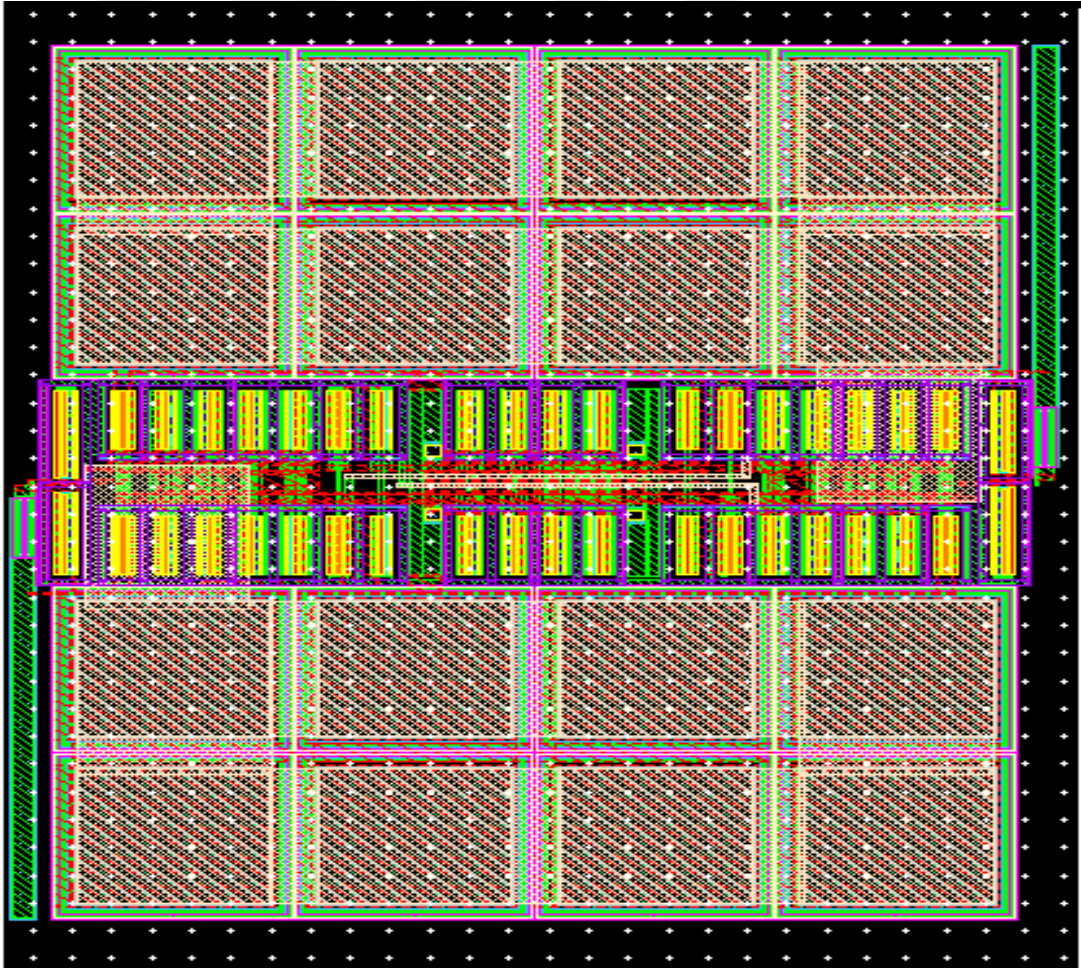


Şekil 4.6. Tutma durumu geri besleme kapasitesi (Borokhovych vd., 2005)

Devrenin çıkışına yani C_H kapasitesine çıkış tampon devresi bağlanmıştır. Çıkış tampon devresi Şekil 4.7 ‘de gösterilmiştir. Çıkış tampon devresinde Q10 transistorunun base akımının kopyasıyla Q9 transistorunun baz akımını düzenlenmiştir (Borokhovych vd., 2005). Şekil 4.8’de İ / T devresinin tamamının serim şeması gösterilmiştir.



Şekil 4.7. Çıkış tampon devresi (Borokhovych vd., 2005)



Şekil 4.8. Tasarlanan İ / T devresi serim şeması

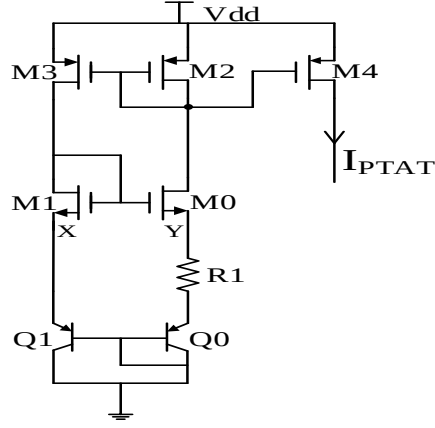
Tasarımı yapılan I / T devresinde gösterilen akım kaynakları devrenin sıcaklık ile performansının değişmemesi için sıcaklıktan bağımsız çalışan akım kaynakları tasarlanmıştır. Sıcaklık değişiminden etkilenmeyen akım kaynağı tasarımı bir sonraki bölümde anlatılmıştır.

4.1.3 Sıcaklıktan Bağımsız Referans Akım Kaynağı Devresi Tasarımı

Birçok analog devrede temel olarak sıcaklığa çok az bağımlı referans gerilim noktası veya referans akım kaynağı oluşturmak gerekmektedir. Çoğu üretim parametreleri sıcaklıkla değiştiği için eğer referans kaynağı sıcaklıktan bağımsız yapılırsa aynı zamanda üretim parametrelerinden de bağımsız yapılmış olur (Razavi, 2001).

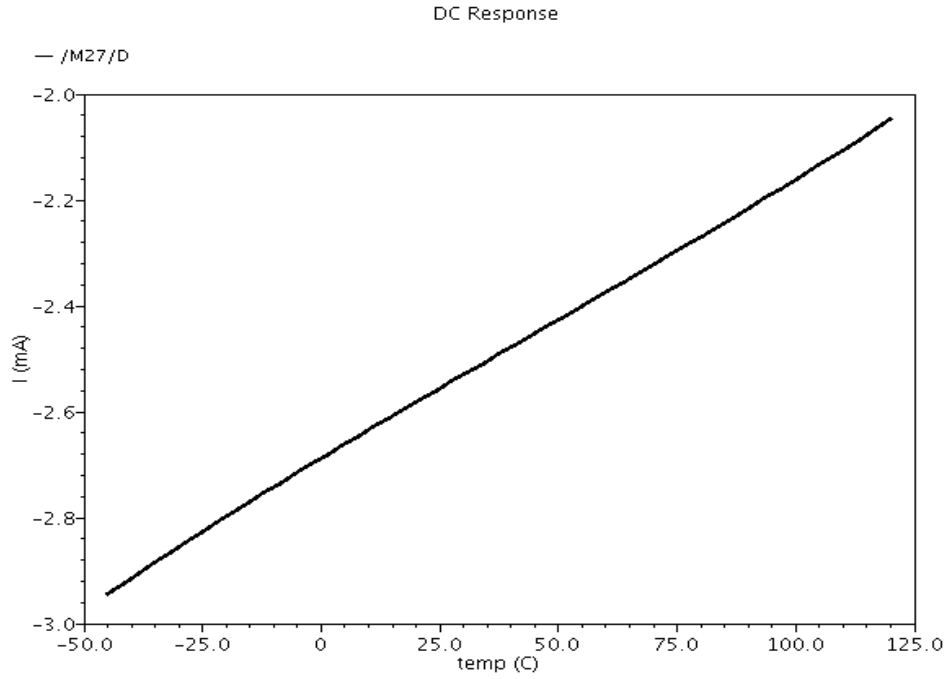
Sıcaklıktan bağımsız akım kaynağı veya gerilim noktası oluşturma prensibi çok basittir. Sıcaklık ile doğru orantılı olarak değişen bir akım kaynağı devresiyle, sıcaklık ile ters orantılı olarak değişen bir akım kaynağı devresini birleştirmektir. Sıcaklık ile artan akım veya gerilim PTAT(mutlak sıcaklıkla orantılı), sıcaklık ile azalan akım veya gerilim CTAT(mutlak sıcaklığı tamamlayan) olarak adlandırılır (Allen ve Holberg, 2002).

Tasarımda kullanılan PTAT devresi Şekil 4.9'da gösterilmiştir. M0-M1 ve M2-M3 özdeş çift transistörler olduğu düşünülürse ve $V_x = V_y$ eşit olduğu sürece $I_{D0} = I_{D1}$ olacaktır. I_{D4} 'den akacak olan akımda buradan oluşmaktadır. Burada kullanılacak R1 transistörünün sıcaklık katsayısı oldukça önemlidir.



Şekil 4.9. Tasarımda kullanılan PTAT devresi (Razavi, 2001)

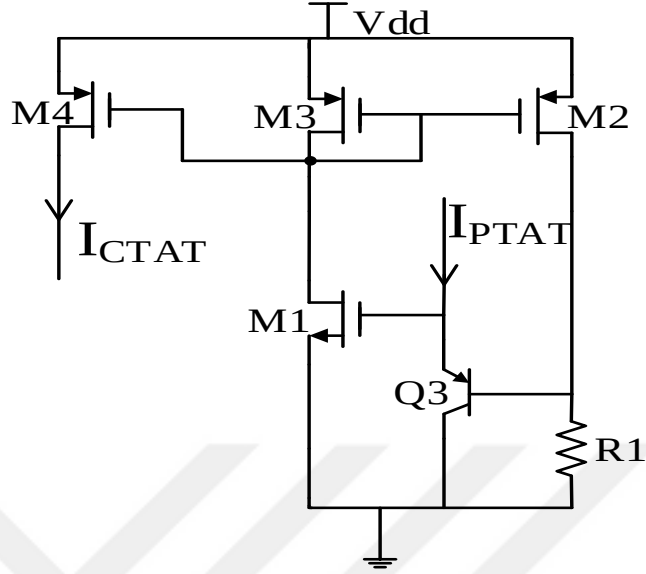
Tasarlanan devrede I_{PTAT} akımının dc analizde $-45\text{ }^{\circ}\text{C}$ ile $120\text{ }^{\circ}\text{C}$ sıcaklık değerleri arasındaki değişimi Şekil 4.10’da gösterilmiştir.



Şekil 4.10. I_{PTAT} akımının sıcaklık ile değişimi

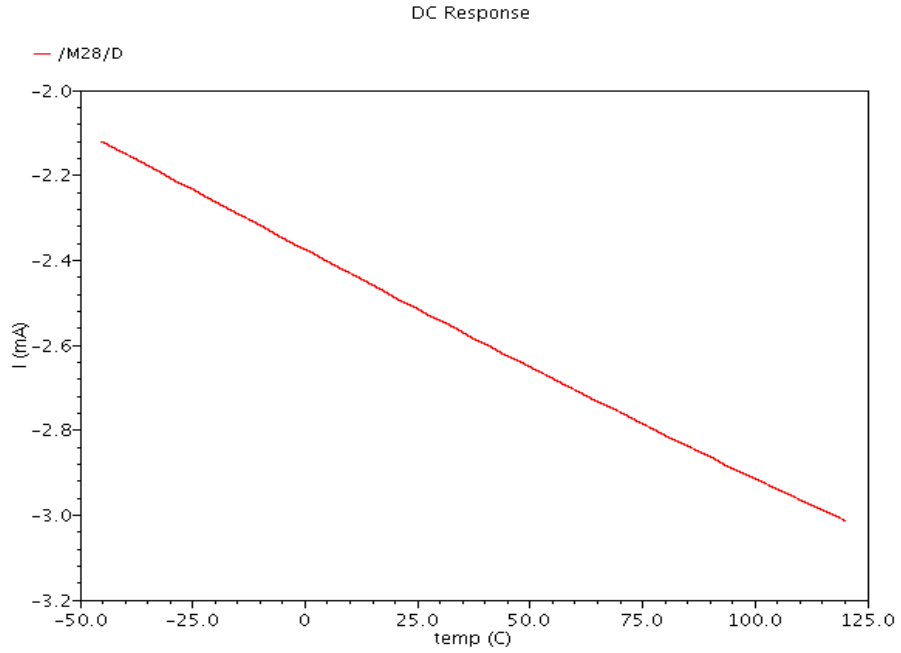
Tasarımda kullanılan CTAT devresi Şekil 4.11’de gösterilmiştir. I_{CTAT} akımını oluşturmasını sağlayacak R1 direnci sıcaklığa bağlı olacaktır. Q3 transistörünün emiterine oluşturulan I_{PTAT} akımı girmektedir. Q3 transistörünün emiterindeki gerilim M1 transistörünü kutuplayarak üzerinden akım akmasını sağlar

böylelikle M2-M3 çifti transistörlerinden aynı akım değeri akacaktır. I_{CTAT} akımı da M4 transistörü yardımıyla M2-M3 transistör çiftlerinden oluşturulmaktadır.



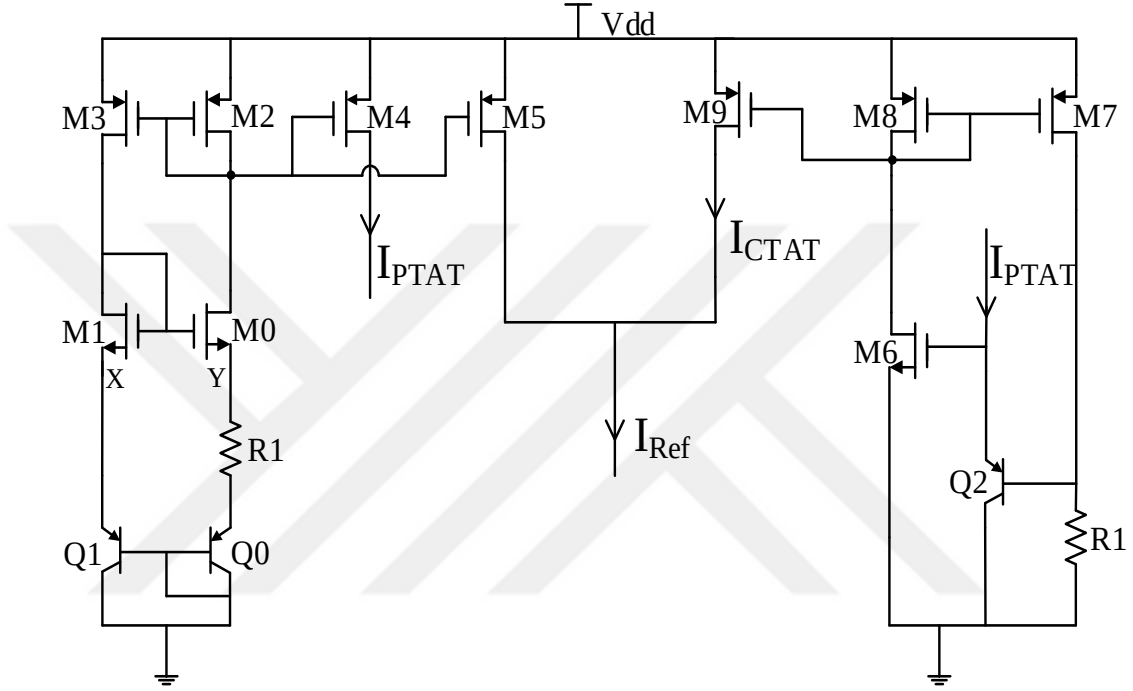
Şekil 4.11. Tasarımda kullanılan CTAT devresi (Allen ve Holberg, 2002)

Tasarlanan devrede I_{CTAT} akımının dc analizde $-45\text{ }^{\circ}\text{C}$ ile $120\text{ }^{\circ}\text{C}$ sıcaklık değerleri arasındaki değişimi Şekil 4.12’de gösterilmiştir.



Şekil 4.12. I_{CTAT} akımının sıcaklık ile değişimi

Tasarımı yapılan PTAT ve CTAT devrelerinden elde edilen I_{PTAT} ve I_{CTAT} akımları birleştirilerek sıcaklıktan bağımsız referans bir akım oluşturulmuştur. Bu referans akım değeri oluşturulurken I_{PTAT} ve I_{CTAT} akımlarının sıcaklıkla değişimlerinin oluşturduğu eğimlerinin mutlak değerlerinin eşit olması beklenmektedir. Sıcaklık değişiminden bağımsız referans akım değeri devre şeması Şekil 4.13’de gösterilmiştir.

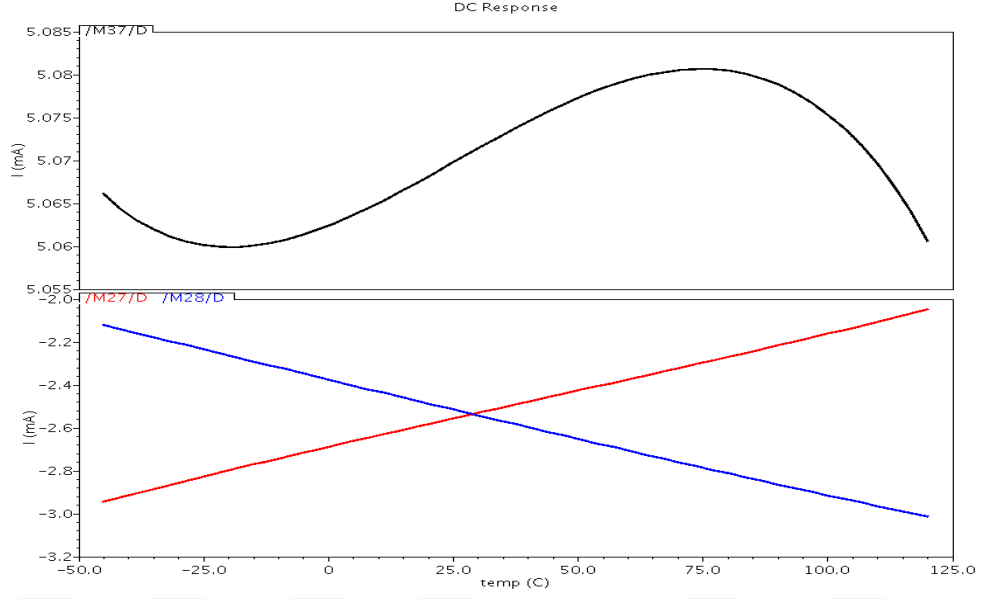


Şekil 4.13. Sıcaklık değişiminden bağımsız akım kaynağı devresi

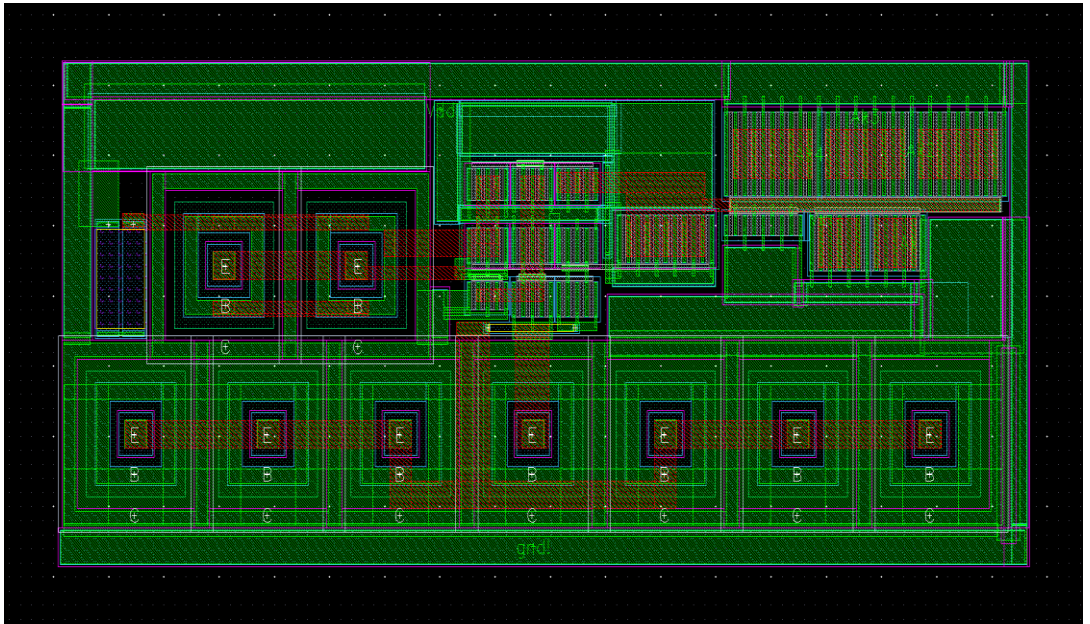
Burada sıcaklık ile doğru orantılı I_{PTAT} akımı M5 transistörünün akım aynası olarak kullanılması ile M5 transistörünün üzerinden akması sağlanmıştır. I_{PTAT} akımının eşdeğeri M5 transistörü üzerinden de akmaktadır. Böylelikle M5 transistörünün üzerinden akan akım sıcaklık ile doğru orantılı olarak değişmektedir. M9 transistörü üzerinden I_{CTAT} akımı akmaktadır. M9 ile M5 transistörleri üzerinden akan akımlar toplanarak I_{Ref} akımını oluşturmaktadır. I_{Ref} akımının bir kolundan gelen I_{CTAT} akımı sıcaklık ile ters orantılı değişmekte iken diğer kolu olan M5 transistöründen gelen akım sıcaklık ile doğru orantılı olarak değişmektedir. Böylelikle I_{Ref} akımı sıcaklıkla değişim göstermeyecektir.

Sıcaklıktan bağımsız tasarlanan I_{Ref} akımının DC analizde $-45\text{ }^{\circ}\text{C}$ ile $120\text{ }^{\circ}\text{C}$ sıcaklık değerleri arasındaki değişimi Şekil 4.14’te gösterilmiştir. I_{Ref} akımı 5.081

mA ile 5.06 mA arasında değişmektedir. Bu değişim yaklaşık binde dördlük bir değişime denk gelmektedir. Referans akım kaynağının kullanılacağı devreler için bu akım değişikliği göz ardı edilebilecek bir değer olduğu düşünülmektedir. Şekil 4.15'te sıcaklık değişiminden etkilenmeyen akım kaynağı devresinin serim şeması gösterilmiştir.



Şekil 4.14. I_{Ref} , I_{PTAT} , I_{CTAT} akımlarının sıcaklık ile değişimi

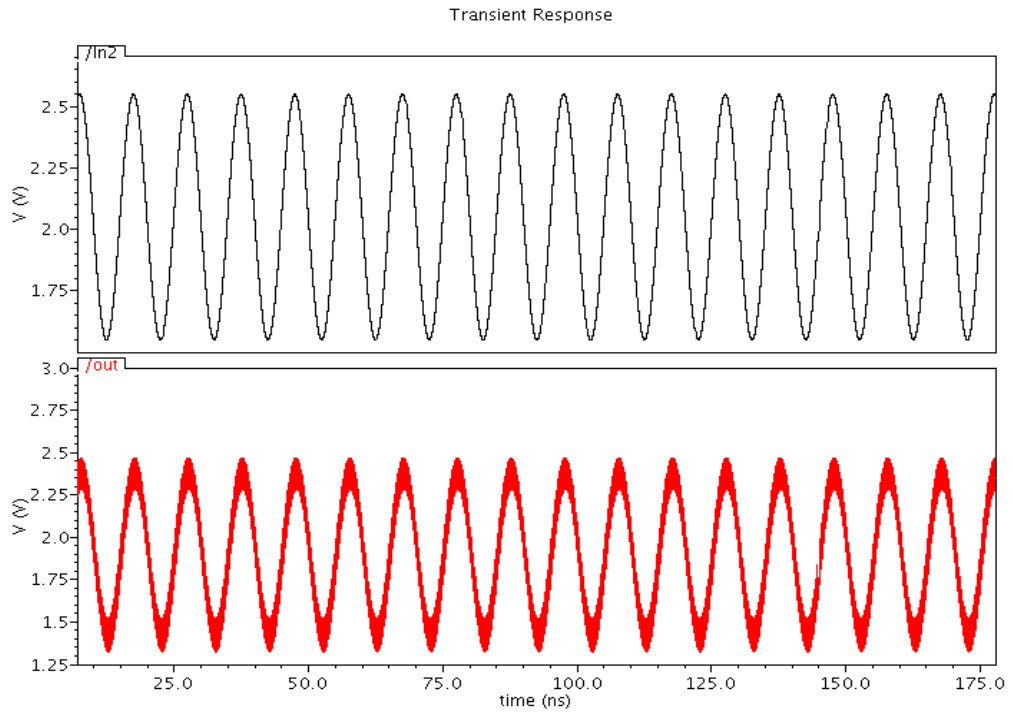


Şekil 4.15. Sıcaklık değişiminden etkilenmeyen akım kaynağı serim şeması

4.1.4 İ / T Devresinin Benzetim Sonuçları

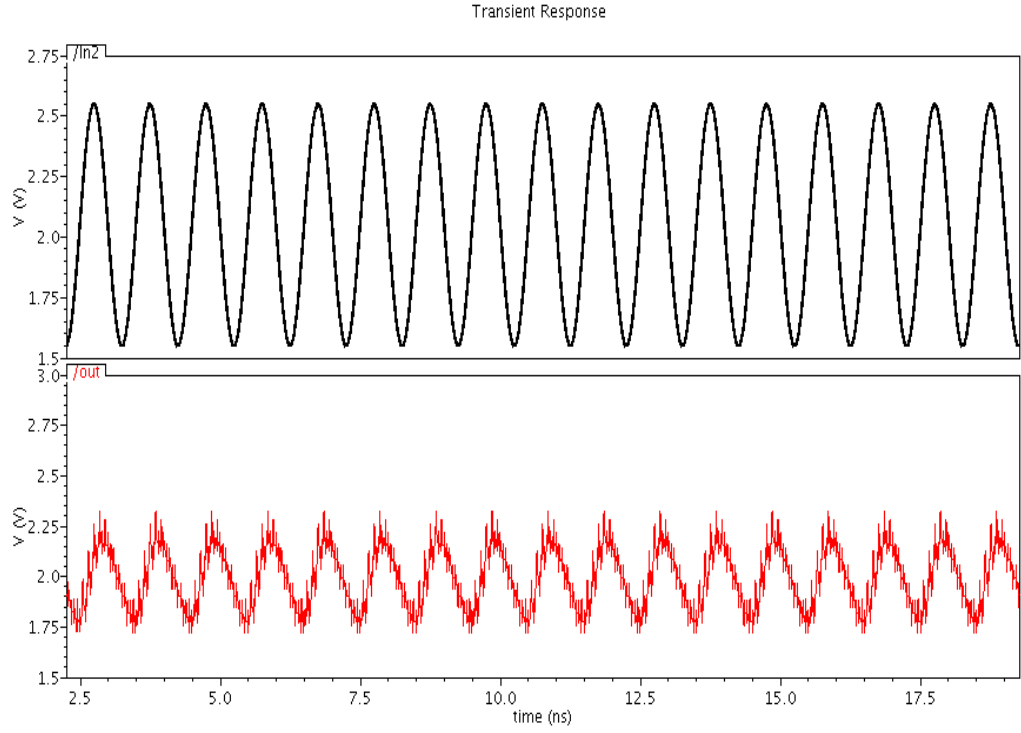
İ / T devresi tasarımında elde edilen benzetim sonuçları post-layout üzerinden elde edilmiştir.

Tasarlanan İ / T devresi ana bloğu 5 V besleme gerilimi ile sıcaklıktan etkilenmeyen akım kaynağı devresi ise 3.3 V besleme geriliminde çalışmaktadır. İ / T devresinin girişine frekansı 100MHZ olan bir sinüs işareti uygulandığında ve örnekleme frekansı 10GS/s olduğunda elde edilen işaret Şekil 4.16'da gösterilmiştir.

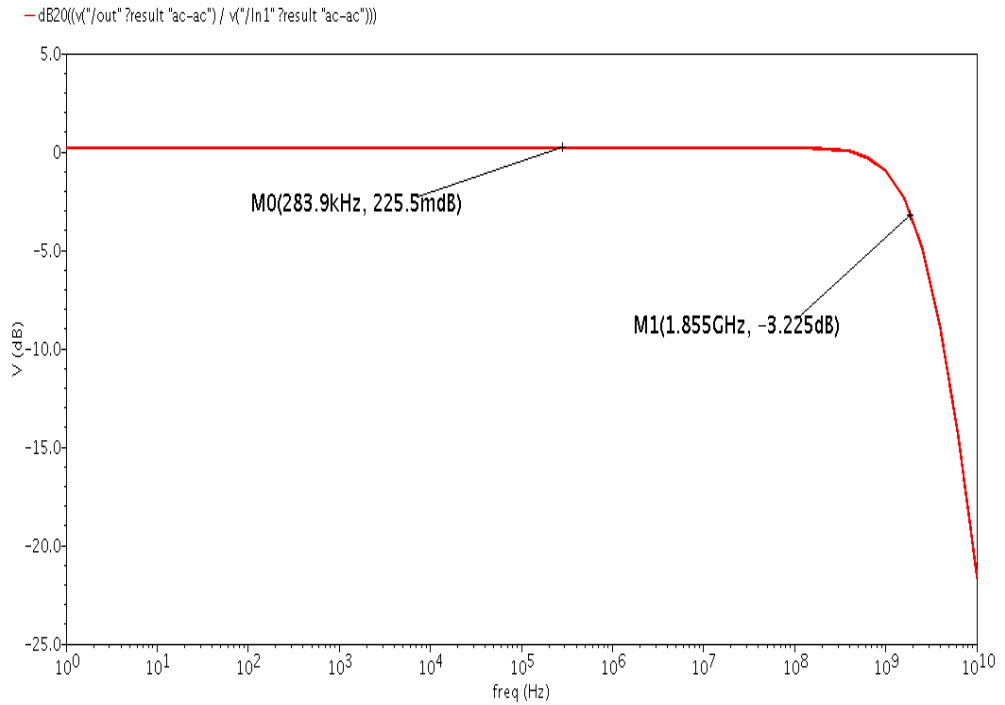


Şekil 4.16. İ / T devresinin $f_{in}=100\text{MHZ}$, $f_{clk}=10\text{ GS/s}$ için çıkış işareti

İ / T devresi 10 GS/s örnekleme frekansında girişine 1 GHz sinüs dalgası uygulandığı zaman çıkışından elde edilen işaret Şekil 4.17'de, çıkış sinyali gösterilmiştir.



Şekil 4.17. İ / T devresinin 1 GHz giriş sinyalinin cevabı



Şekil 4.18. İ / T devresi AC analiz sonucu

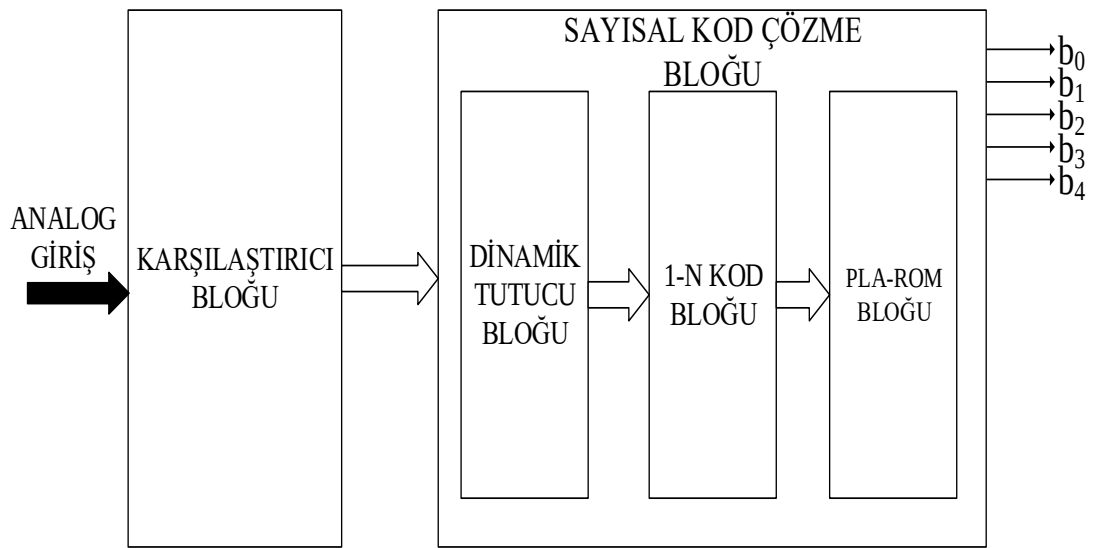
Şekil 4.18’de İ / T devresinin AC analiz sonucu verilmiştir. İ / T devresinin performansı Çizelge 4.2’de gösterilmiştir.

Çizelge 4.2. İ / T devresi özellikleri

Teknoloji	0.18µm SiGe BiCMOS / $f_t=110$ GHz
Besleme Gerilimi	5V
Giriş Gerilim Aralığı	1V
Bant Genişliği	1.855 GHz
Örnekleme frekansı	10 GS/s
Akım	75mA

4.2 5 Bit Paralel A / S Dönüştürücü Devresinin Tasarımı

Paralel A / S dönüştürücüler, çok yüksek hızlarda analog verinin sayısal veriye dönüştürülmesi gerektiğinde ilk düşünülen A / S dönüştürücü tipidir. Bu çalışmada tasarlanan 5 bit paralel A / S dönüştürücü blok şeması Şekil 4.19’da gösterilmiştir.

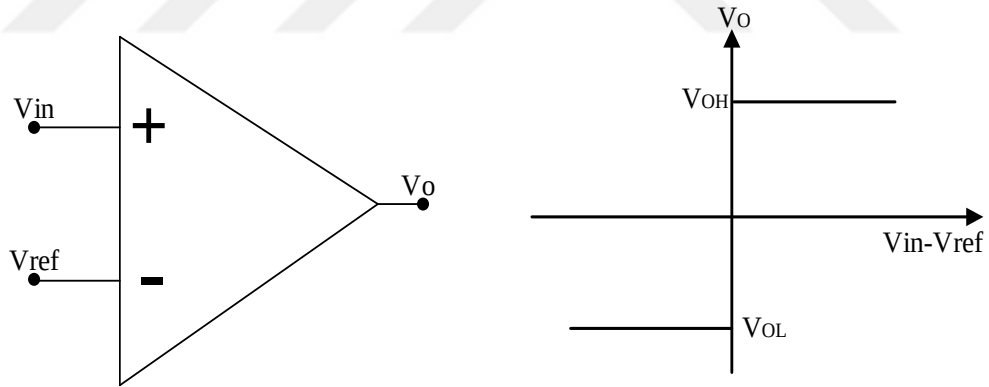


Şekil 4.19 5 bit paralel A / S dönüştürücü blok şeması

Bu çalışmada kullanılan 5 bitlik A / S dönüştürücü temel olarak nicemleme işlemi yapan karşılaştırıcı bloğundan ve nicemlenmiş işareti sayısal koda dönüştüren sayısal kod çözme bloğundan oluşmaktadır. Sayısal kod çözme bloğu dinamik tutucu bloğu, 1-N kodlayıcı bloğu ve PLA-ROM bloklarından oluşmaktadır. 5 bitlik paralel A / S dönüştürücü olduğu için karşılaştırıcı bloğunda, dinamik tutucu bloğunda ve 1-N kodlayıcı bloğunda sırasıyla 31 adet karşılaştırıcı devresi, dinamik tutucu devresi ve 1-N kodlayıcı devresi bulunmaktadır. PLA-ROM devresi 31 giriş ve 5 bit çıkış sahip bir yapı olduğu için tek bir PLA-ROM devresi bulunmaktadır.

4.2.1 Karşılaştırıcı Devresi Tasarımı

Karşılaştırıcı devresi girişine uygulanan işaret ile referans noktasındaki değeri karşılaştırır. Giriş işaretinin genliğinin değerinin referans gerilimine göre büyük veya küçük olmasına göre çıkışında mantıksal “1” veya “0” değerini üretir. Şekil 4.20’de ideal karşılaştırıcı sembolü ve transfer karakteristiği gösterilmiştir.

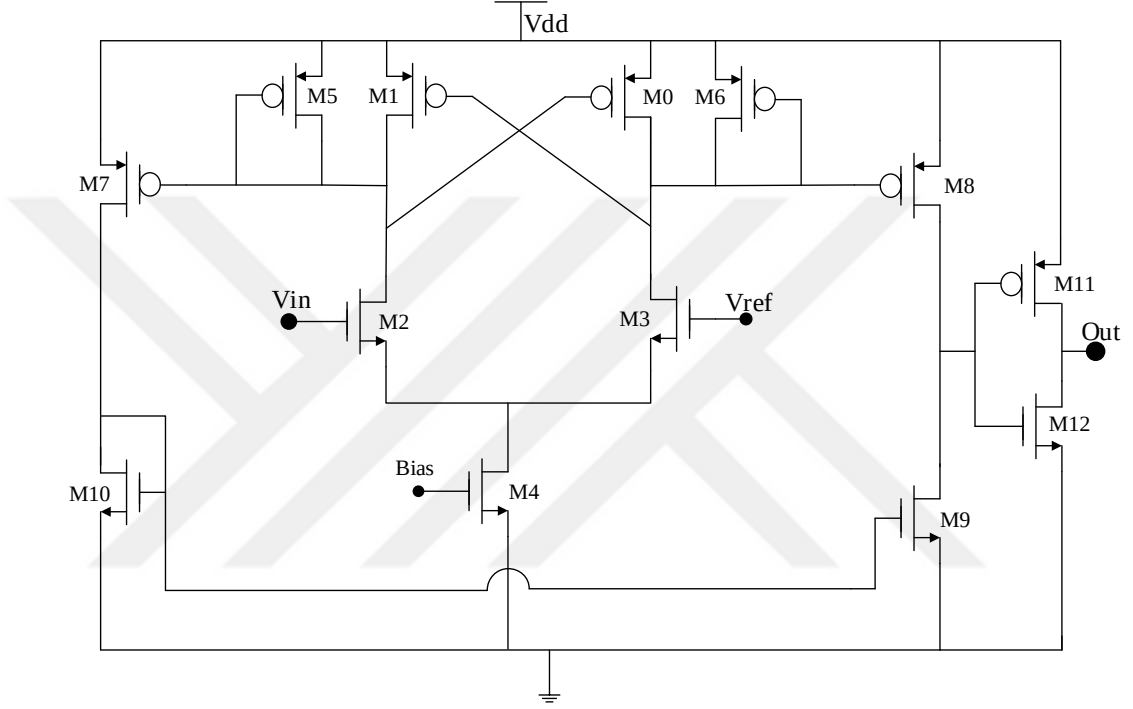


Şekil 4.20. İdeal karşılaştırıcı sembolü ve transfer karakteristiği

Karşılaştırıcı devreleri akım veya gerilim değerini karşılaştırabilir ve karşılaştırdığı değere göre akım karşılaştırıcı veya gerilim karşılaştırıcı ismini alır. Karşılaştırıcı devresi A / S dönüştürücünün en önemli yapılarından biridir. Analog işaretin sayısal işarete geçişini sağlarlar. Karşılaştırıcı devresi analog sinyalin nicemlenmesini sağlar. Bu sebepten dolayı burada oluşacak herhangi bir hata analog sinyalin sayısal dönüşümünü doğrudan etkileyecektir. Ayrıca karşılaştırıcı devresinin karar verme süresi de A / S dönüştürücünün dönüştürme süresini belirler.

Özellikle yüksek hızlı A / S dönüştürücü devrelerinde karşılaştırıcı devresinin dönüştürme hızının yüksek olması çok önemlidir. Çünkü karşılaştırıcı devresinin karar verme süresinde oluşacak bir gecikme sayısal sinyalin de geç işlenmesine sebep olacaktır.

A / S dönüştürücüde kullanılmak için tasarlanan karşılaştırıcı devresi Şekil 4.21’de gösterilmiştir (Chu ve Current, 1999).

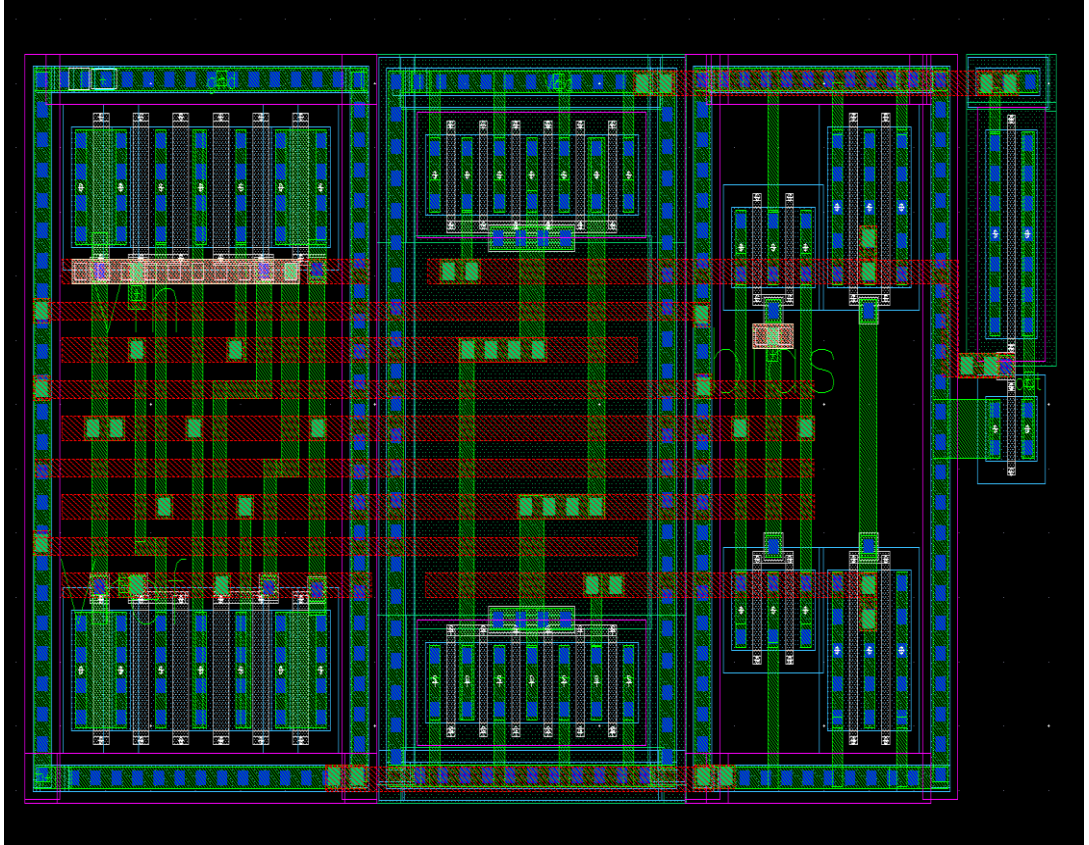


Şekil 4.21. Karşılaştırıcı devresinin şeması (Chu ve Current, 1999).

Şekil 4.21’deki karşılaştırıcı devresinin giriş (M2-M3) transistor çiftinden oluşmaktadır. Buradaki giriş çifti, diyot bağlantılı (M5-M6) ve birbirine çapraz bağlı pozitif geri besleme transistorları (M0-M1) yardımı ile yüklenir. Buradaki çapraz bağlı geri besleme transistorların amacı birinci kattaki gerilim kazancını artırmak ve çıkış direncini optimize etmektir. M5 ve M7 transistorları yardımıyla M10 ve M9’dan oluşan akım aynasının referans akım değeri elde edilir. Buradaki çıkış ayrıca M8’den oluşan ortak-kaynaklı kuvvetlendiriciye bağlıdır. Son kat ise M11 ve M12 numaralı transistorlardan oluşan evirici devresinden oluşmaktadır. Karşılaştırıcı devresinde kullanılan NMOS ve PMOS’ların W/L’leri ve Vbias gerilimi Çizelge 4.3’de verilmiştir. Karşılaştırıcı devresinin fiziksel serim görünümü Şekil 4.22’te gösterilmiştir.

Çizelge 4.3. Karşılaştırmalı devresinde kullanılan transistörlerin W/L değerleri

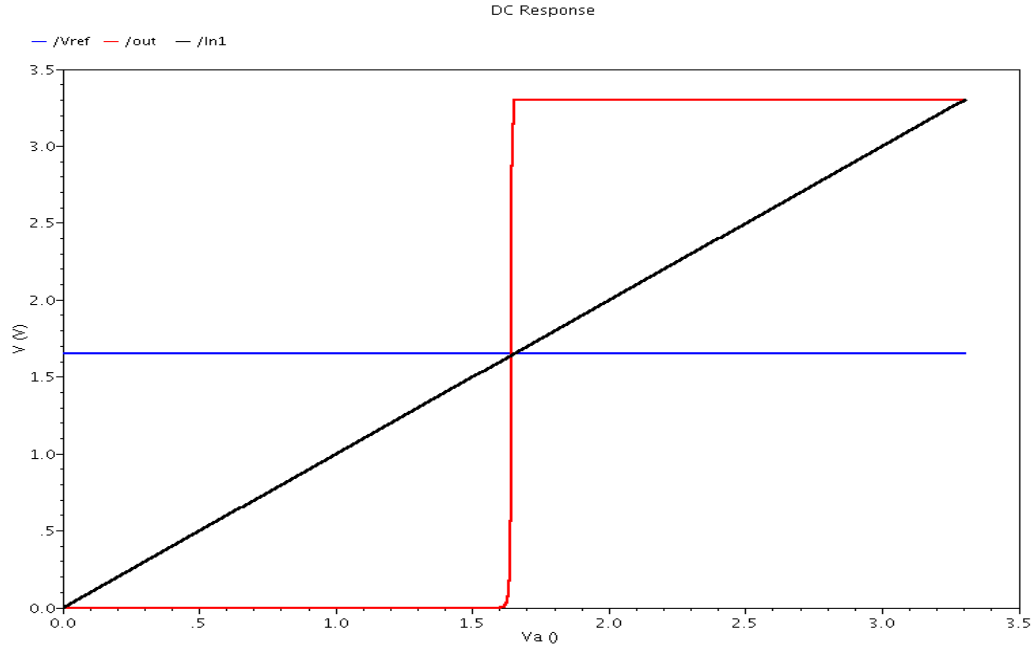
	W / L (um)		W / L (um)
M0	2.5/0.18	M6	2.5/0.18
M1	2.5/0.18	M7	2.5/0.18
M2	7.5/0.35	M8	2.5/0.18
M3	7.5/0.35	M9	5/0.18
M4	5/0.18	M10	5/0.18
M5	2.5/0.18	M11	3.25/0.18
M12	1.25/0.18		
Bias		1V	



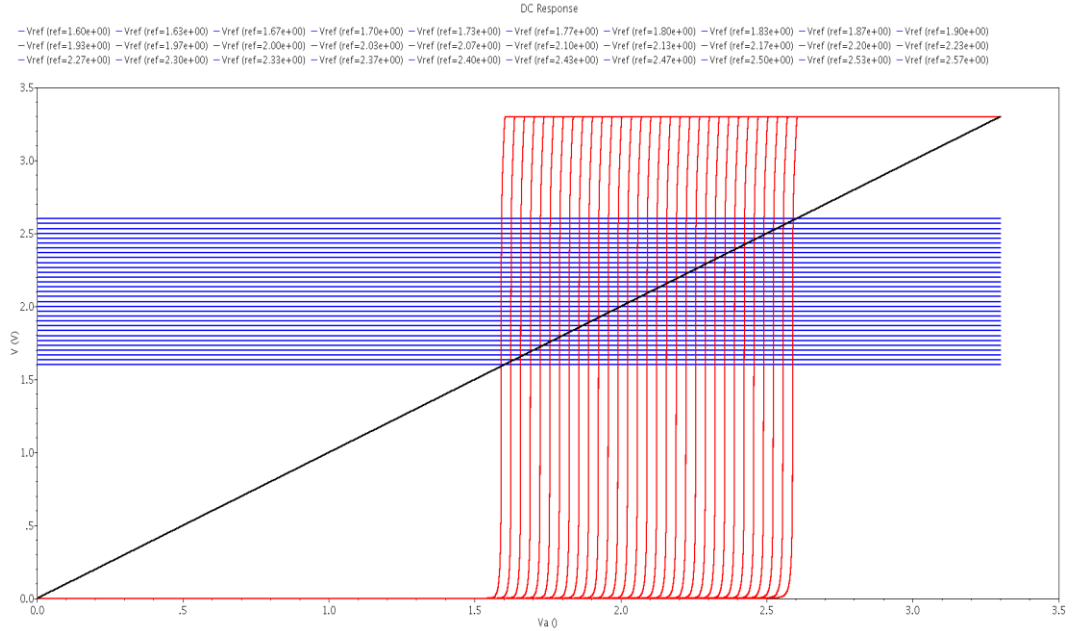
Şekil 4.22. Karşılaştırmalı devresi fiziksel serim şeması

Tasarlanan karşılaştırmalı devre 3.715 mW güç çekmektedir. Karşılaştırmalı devresi tasarımında elde edilen benzetim sonuçları post-layout üzerinden alınmıştır.

Şekil 4.23'te karşılaştırıcı devresinin 1.65V referans geriliminde dc analiz sonucu gösterilmiştir. Şekil 4.24'te karşılaştırıcı devresinin nicemlenecek olan referans gerilimindeki DC analiz sonuçları gösterilmiştir.

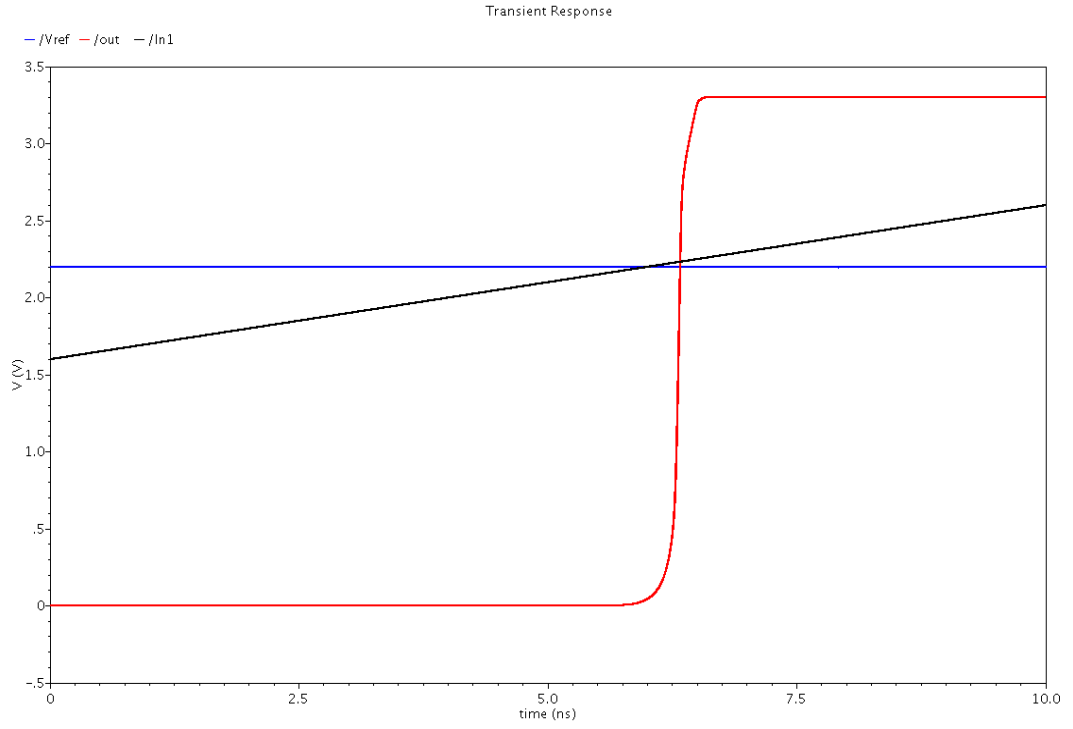


Şekil 4.23. Karşılaştırıcı devresinin DC analiz sonucu

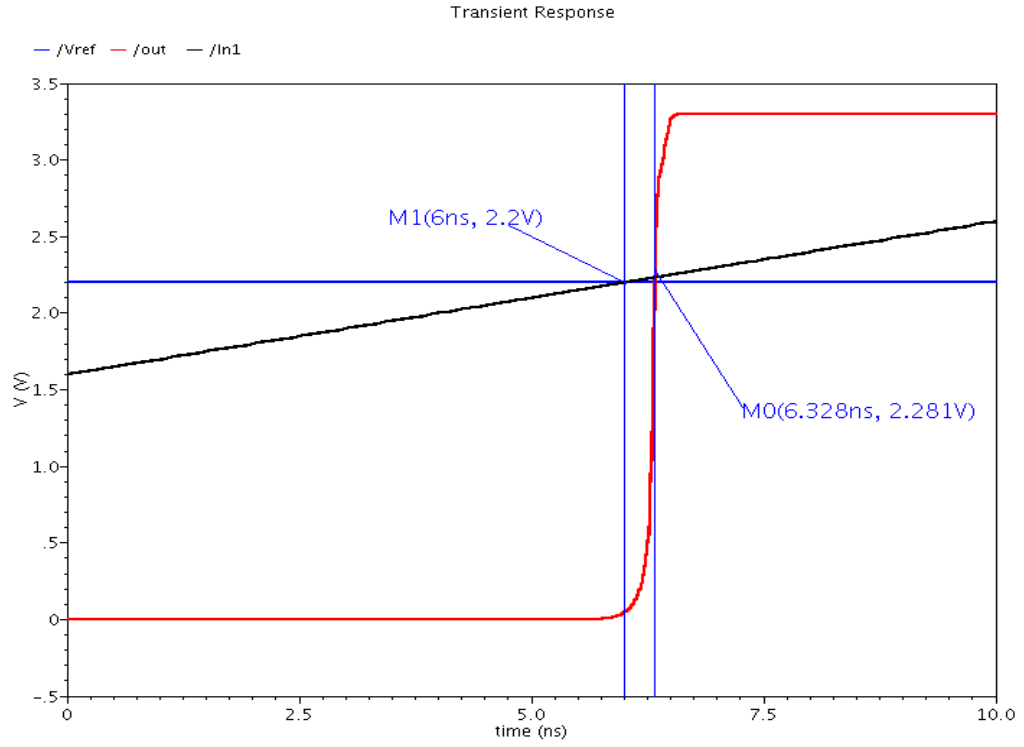


Şekil 4.24. Karşılaştırıcı devresinin nicemlenecek olan gerilim değerlerindeki sonuçları

100 MHz giriş işaretinde karşılaştırıcı devresinin çıkış cevabı Şekil 4.25'te, çıkış işaretinin gecikmesi ise Şekil 4.26'da gösterilmiştir.

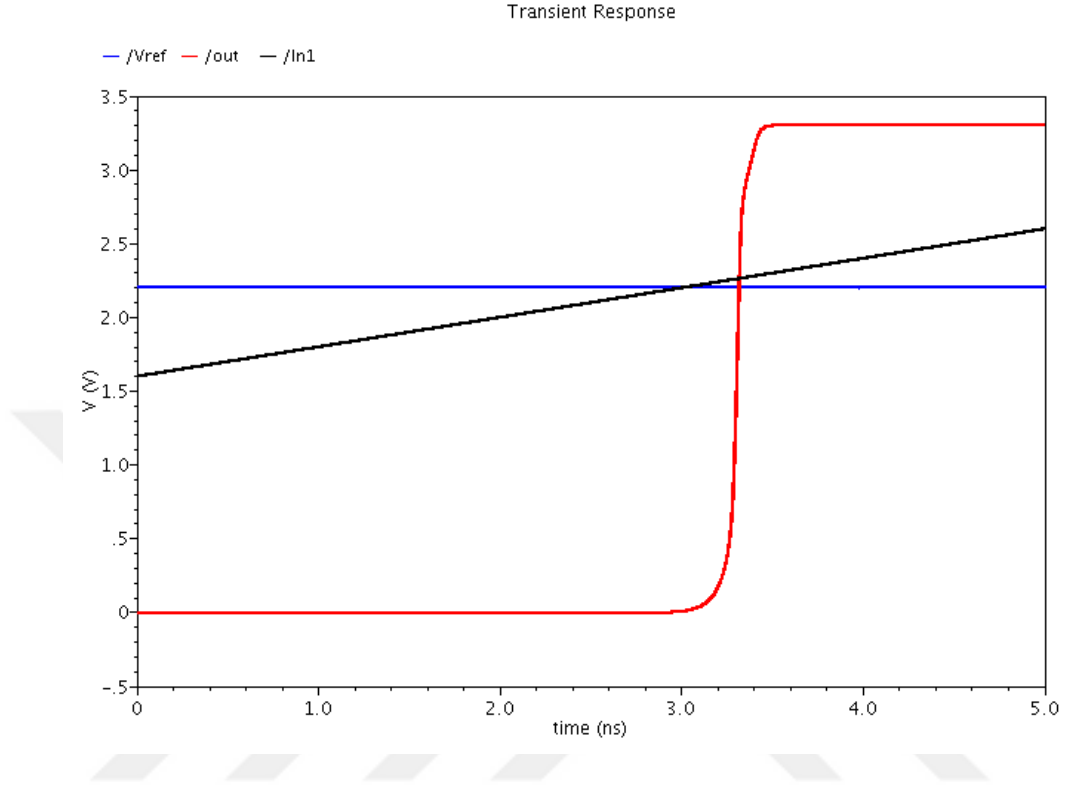


Şekil 4.25. $f_{in}= 100\text{MHz}$ giriş işaretinin karşılaştırıcı sonucu

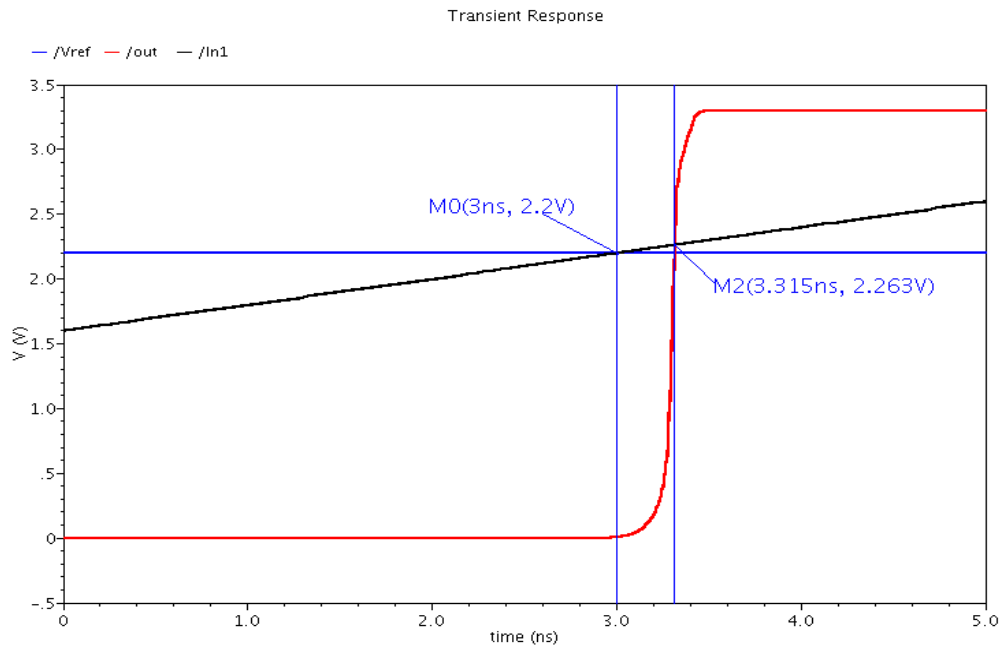


Şekil 4.26. $f_{in}= 100\text{MHz}$ giriş işaretinde çıkış cevabının gecikmesi

200 MHz giriş işaretinde karşılaştırıcı devresinin çıkış cevabı Şekil 4.27’de, çıkış işaretinin gecikmesi ise Şekil 4.28’de gösterilmiştir.

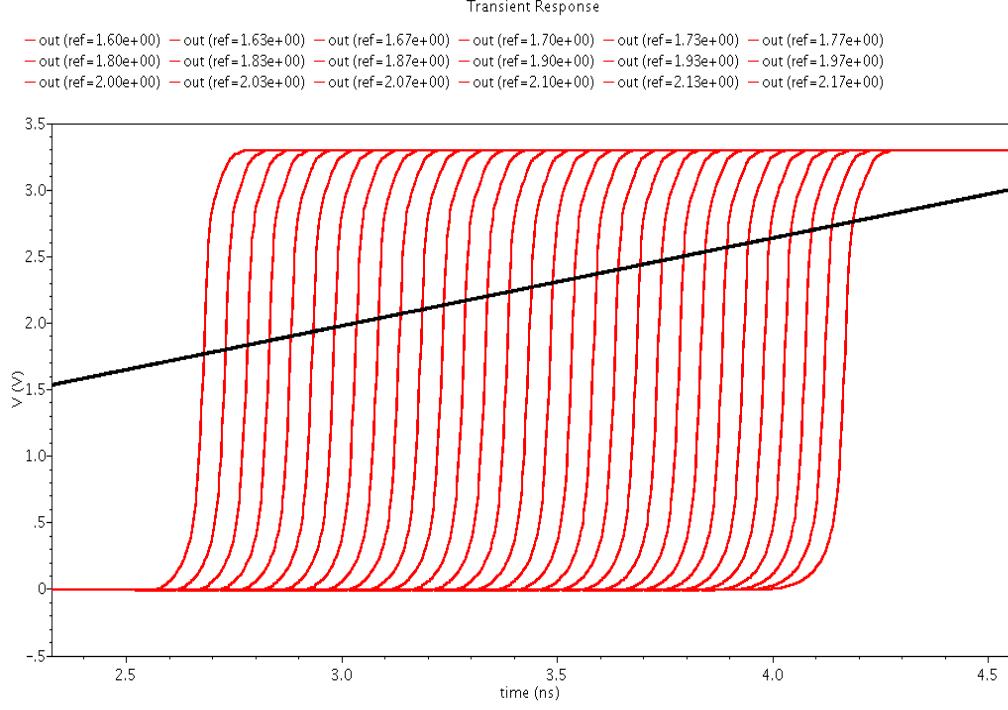


Şekil 4.27. $f_{in}= 200\text{MHz}$ giriş işaretinin karşılaştırıcı sonucu



Şekil 4.28. $f_{in}= 200\text{MHz}$ giriş işaretinde çıkış cevabının gecikmesi

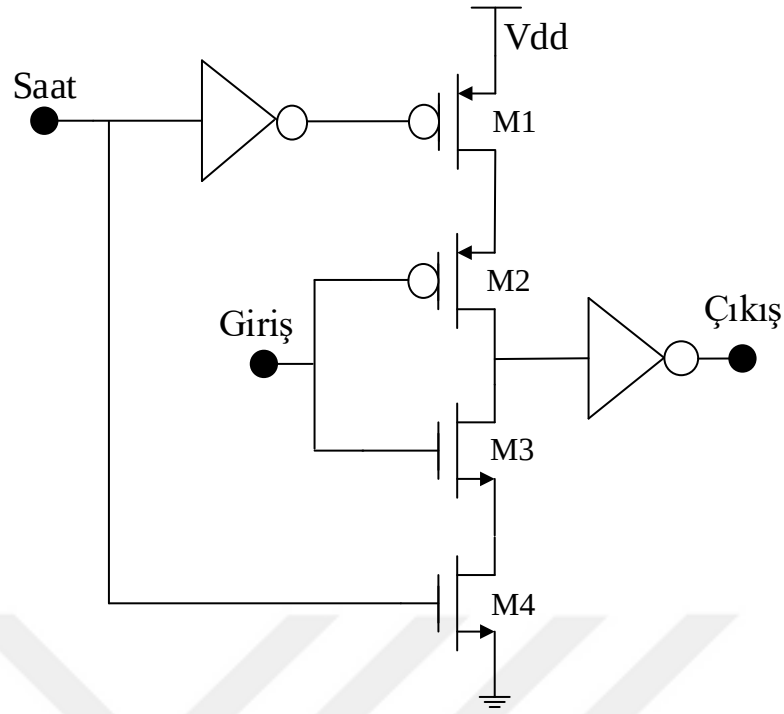
200 MHz giriş işaretinde nicemlenecek olan giriş gerilim değerlerindeki karşılaştırmalı sonucu Şekil 4.29’da gösterilmiştir.



Şekil 4.29. 200 MHz giriş sinyalinde nicemlenecek olan gerilim değerlerinin sonuçları

4.2.2 Dinamik Tutucu Devresi

Dinamik tutucu devresi karşılaştırmalı devresinin çıkışına bağlanmaktadır. Dinamik tutucu devresi saat işaretinin durumuna göre çalışmaktadır. Saat işaretinin durumuna göre ya çıkışı sabit olarak tutar ya da giriş işaretini çıkışa verir. A / S dönüştürücü tasarımında kullanılan dinamik tutucu devresi Şekil 4.30’da gösterilmiştir.



Şekil 4.30. Dinamik tutucu devresi(Aytar, 2009)

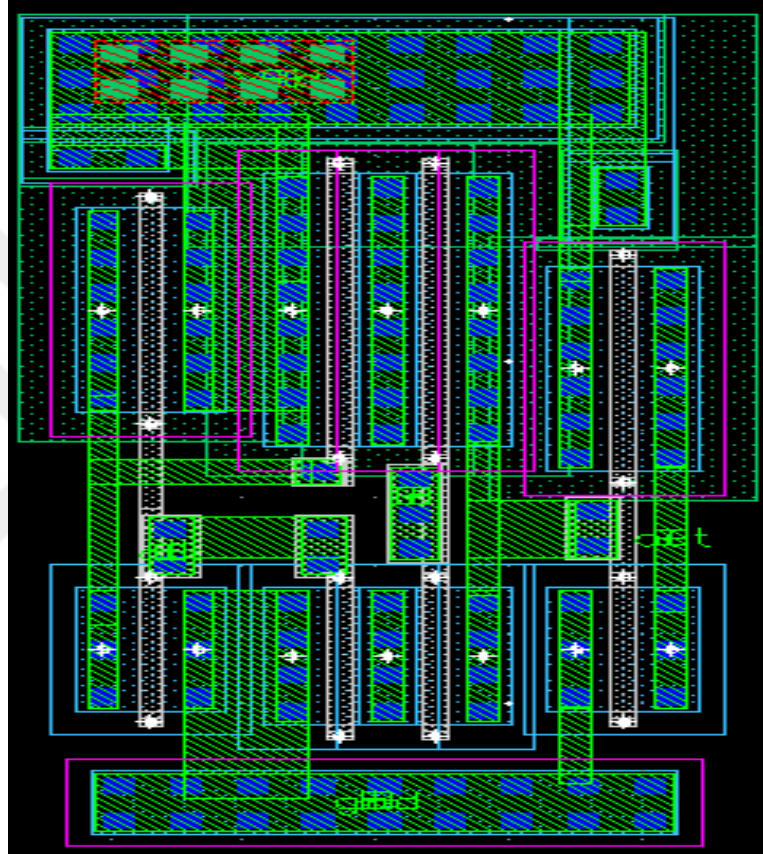
Saat işareti mantıksal “1” iken M1 transistörünü ve M4 transistörü iletimde olacaktır. Giriş işaretinin değerine göre M2 veya M3 transistörü iletimde olacak ve çıkışa giriş değeri iletilecektir. Saat işareti mantıksal “0” iken M1 ve M4 transistörleri kesimde olacağı için M2 ve M3 transistörleri de kesimde olacağı için çıkış sabit olarak bir önceki değerini tutacaktır. Saatin “0” olması devre için dönüşüm anlamına gelirken saatin “1” olması giriş değerinin hazırlanması anlamına gelmektedir.

Alınan bir analog gerilim örneğinin anında sayısalaya dönüştürülmesi mümkün değildir. Sayısal devrenin işlemini tamamlayabilmesi için çok küçük de olsa bir süre beklemesi gerekmektedir. Paralel A / S dönüştürücülerde bu süre en kısa olanıdır. Bu süreye de dönüştürme zamanı denir (Aytar, 2009).

Tasarımda kullanılan transistörlerin W / L oranları Çizelge 4.4’te verilmiştir. Tasarlanan dinamik tutucu devresinin serim şeması Şekil 4.31’de gösterilmiştir.

Çizelge 4.4. Dinamik tutucu devresi transistörlerinin boyutları

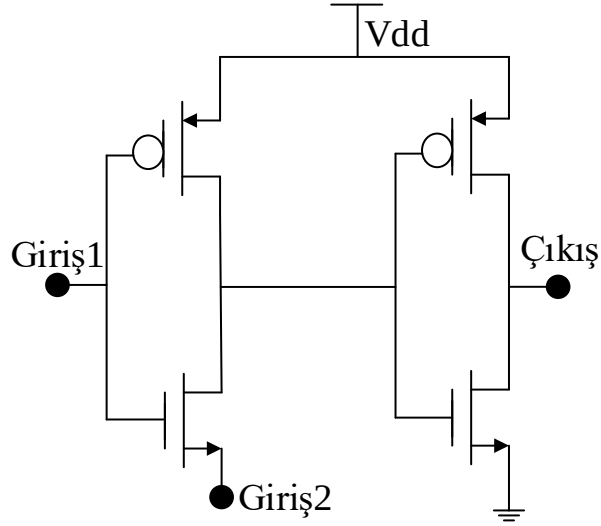
	W / L (um)		W / L (um)
M1	4/0.18	M3	2/0.18
M2	4/ 0.18	M4	2/0.18



Şekil 4.31. Tasarlanan dinamik tutucu devresinin serim şeması

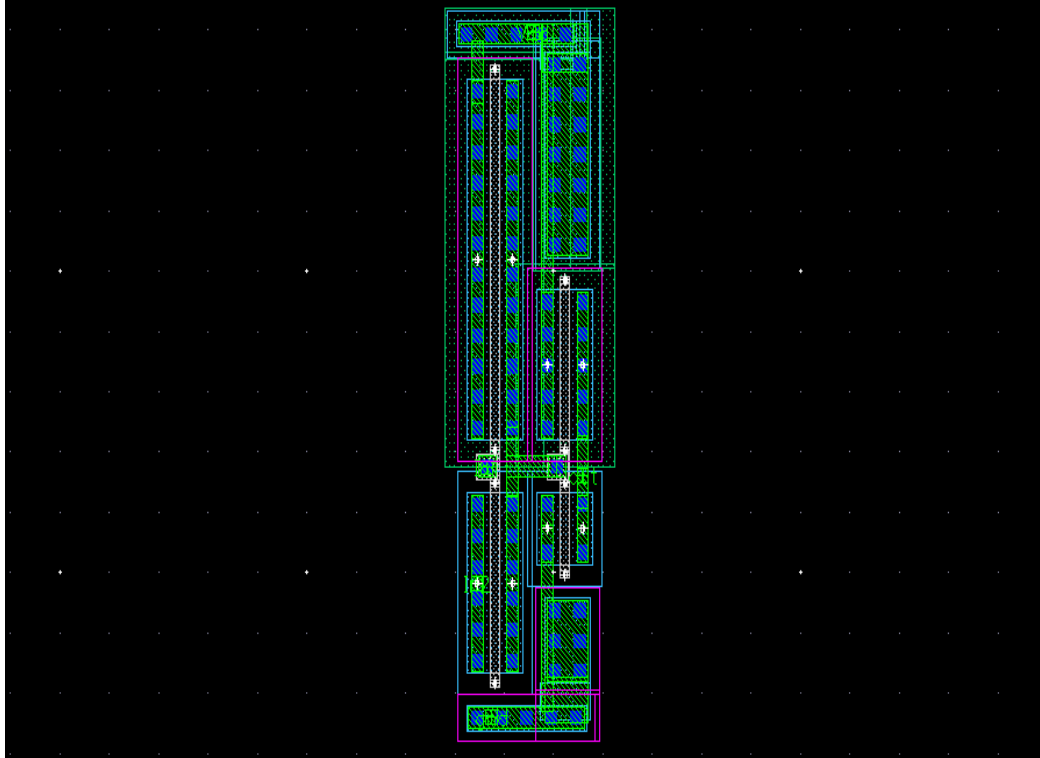
4.2.3 1-N kod Çözücü Devresi

Termometre kod çözücü devresi 1'ler ve 0'lar dizisinin sınırlarını belirlemek için kullanılır. Bunun için en basit yol A'B lojik devresinin ardıl dizilişiyle elde edilen kod çözücüdür (Tangel A, 1999) , (Yoo vd., 2001). Bu kod çözücü devresi dinamik tutucu devresinin çıkışına bağlanır. Şekil 4.32'de tasarımda kullanılan 1-N kod çözücü devre şeması gösterilmiştir.



Şekil 4.32. 1-N kod çözücü devresi(Aytar, 2009)

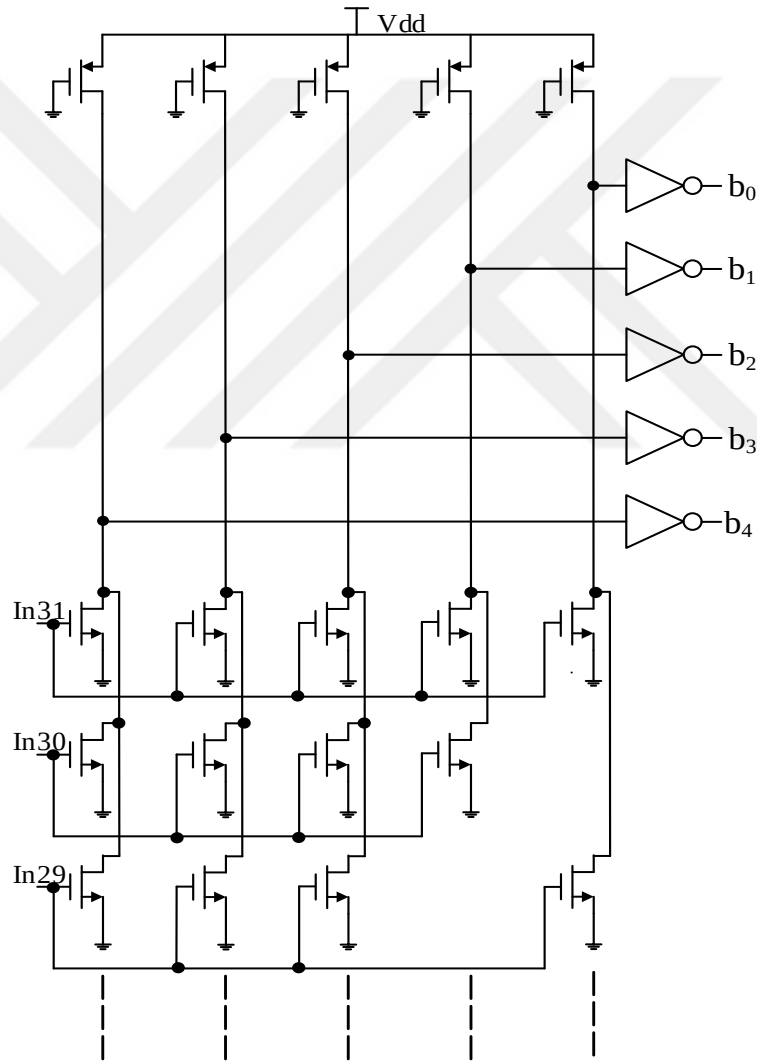
Bu bloğa giren kod, çıkışta mantıksal 0'ların arasında gezinen tek bir mantıksal "1" bitinden oluşur ve bu bitin her bir konumu farklı bir ikili koda denk gelmektedir. Bu devre yapısı statik akım akıyor olsa bile hızlı olduğu için tercih edilmiştir. Kod çözücü devresinin fiziksel serim şeması Şekil 4.33 'te gösterilmiştir.



Şekil 4.33. 1-N kod çözücü devresi fiziksel serim şeması

4.2.4 Programlanabilir Mantık Dizisi (PLA-ROM) devresi

Programlanabilir mantık dizisi, girişine uygulanan herhangi bir mantıksal birleşimi, önceden belirlenmiş içeriği ile başka bir birleşime dönüştüren çoklu eleman olarak tanımlanabilir (Aytar, 2014). PLA-ROM devresi 1-N kod çözücü devresinin çıkışına bağlanır. 1-N kod çözücünden gelen 1 bitlerinin konumlarına göre N-bitlik ikili koda dönüştürülmesini sağlayan bir kodlayıcıdır. Şekil 4.34'te A / S dönüştürücü tasarımında kullanılan PLA-ROM devre şeması gösterilmiştir.



Şekil 4.34. 5 Bit PLA- ROM devresinin bir kısmının devre şeması (Aytar, 2009)

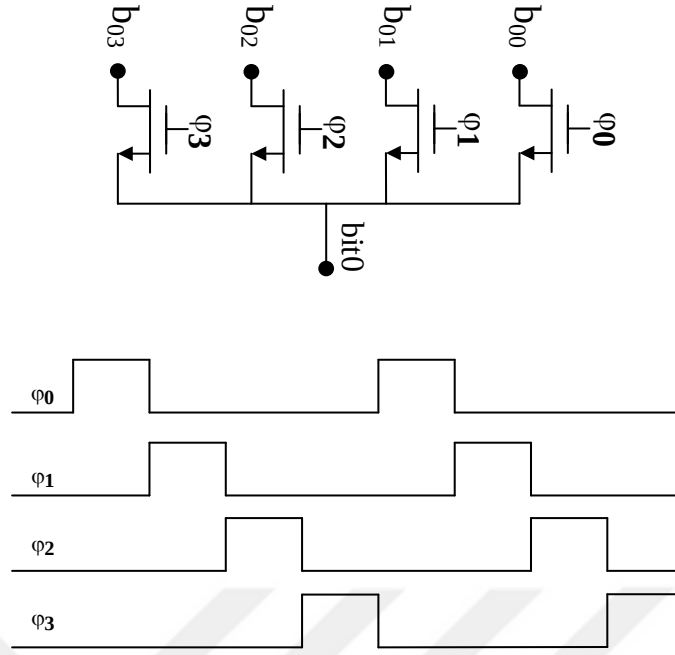
PLA-ROM yapısı her bir bit için doğrusal bölgede çalışan PMOS transistorların ve mantıksal kod dizilişi ile aynı yapıda olan NMOS transistorların

belirli bir düzenle yerleştirilmelerinden oluşmaktadır. Bu mimari yapı tamamen paralel olduğu için hızlı çalışmaktadır ve bu sebepten dolayı yüksek hızlı A / S dönüştürücülerde tercih edilirler. Fakat bu yapının kötü yanı ise kabarcık(buble) hatalarına sebep olabilirler (Aytar, 2014).

Ayrıca literatürde paralel A /S dönüştürücü için kod çözücü olarak kullanılabilecek Wallace Tree kodlayıcı, lojik tabanlı kodlayıcı, fat tree kodlayıcı, seçici(Mux) tabanlı kodlayıcı yapıları yer almaktadır. Ancak aynı çözünürlükte güç tüketimi, hata ve hızları karşılaştırıldıklarında PLA-ROM devresi daha iyi performansa gösterdiği için A / S dönüştürücü tasarımında kullanılmıştır (Aytar, 2014).

4.3 Sayısal Çıkış kodlarının Seçilme Bloğu

Çıkış bitlerinin seçilme bloğu, 4 kanallı 5-bit olarak tasarlanan zaman ara değerlemeli A / S dönüştürücü bloğunda çalışması istenilen kanalın çıkışlarını, sistemin çıkışına verilmesini sağlayan bir bloktur. Bu seçme bloğuna uygulanan saat darbeleri ilgili yapıya dışarıdan uygulanmaktadır. Böylece çalışması istenilen kanal, istenilen zaman ve sürede elde edilen kanal işaretlerini sistemin çıkışına aktarmaktadır. Tasarlanan A / S dönüştürücüde kullanılan sayısal çıkış kodlarının seçilme devresi ve uygulanan örnekleme işaretleri Şekil 4.35'te gösterilmiştir.



Şekil 4.35. Sayısal çıkış kodlarının seçilme devresi ve örnekleme işaretleri

Tasarlanan bu yapıda b_{00} noktası ilk A / S dönüştürücünün en değersiz bitini göstermekteyken, b_{03} noktası ise sonuncu A / S dönüştürücünün en değersiz bitini göstermektedir. Transistorların geçitlerine uygulanan $\phi_0, \phi_1, \phi_2, \phi_3$ sinyalleri İ / T devrelerine uygulanan sinyal ile aynıdır ve kod seçme bloğuna, İ / T devresine uygulandığı sırayla uygulanmıştır.

Sayısal çıkış kodlarının seçilme devresine ve İ / T devresine uygulanan saat işaretleri çok yüksek frekansta olduğu için doğru bir şekilde elde edilememiştir bu sebepten dolayı dışarıdan harici olarak uygulanmıştır.

Çıkış kodlarının seçilme bloğunda kullanılan transistor anahtar görevi görmektedir. Transistorun geçitine mantıksal “1” işareti uygulandığı zaman girişinde bulunan işareti çıkışına iletecektir. Transistorun geçitine mantıksal “0” işareti uygulandığı zaman çıkışında yüksek empedans gösterecektir. Sistemin çalışma esnasında transistordan üç tanesi yüksek empedans gösterirken sadece bir tanesi girişindeki işareti çıkışına iletecektir. Bu şekilde sistemin sıfırıncı bitinin seçilme işlemi tamamlanmış olacaktır. En değersiz bitlerin seçilmesini gösteren bu yapı diğer bitler içinde aynı şekilde tasarlanmıştır.

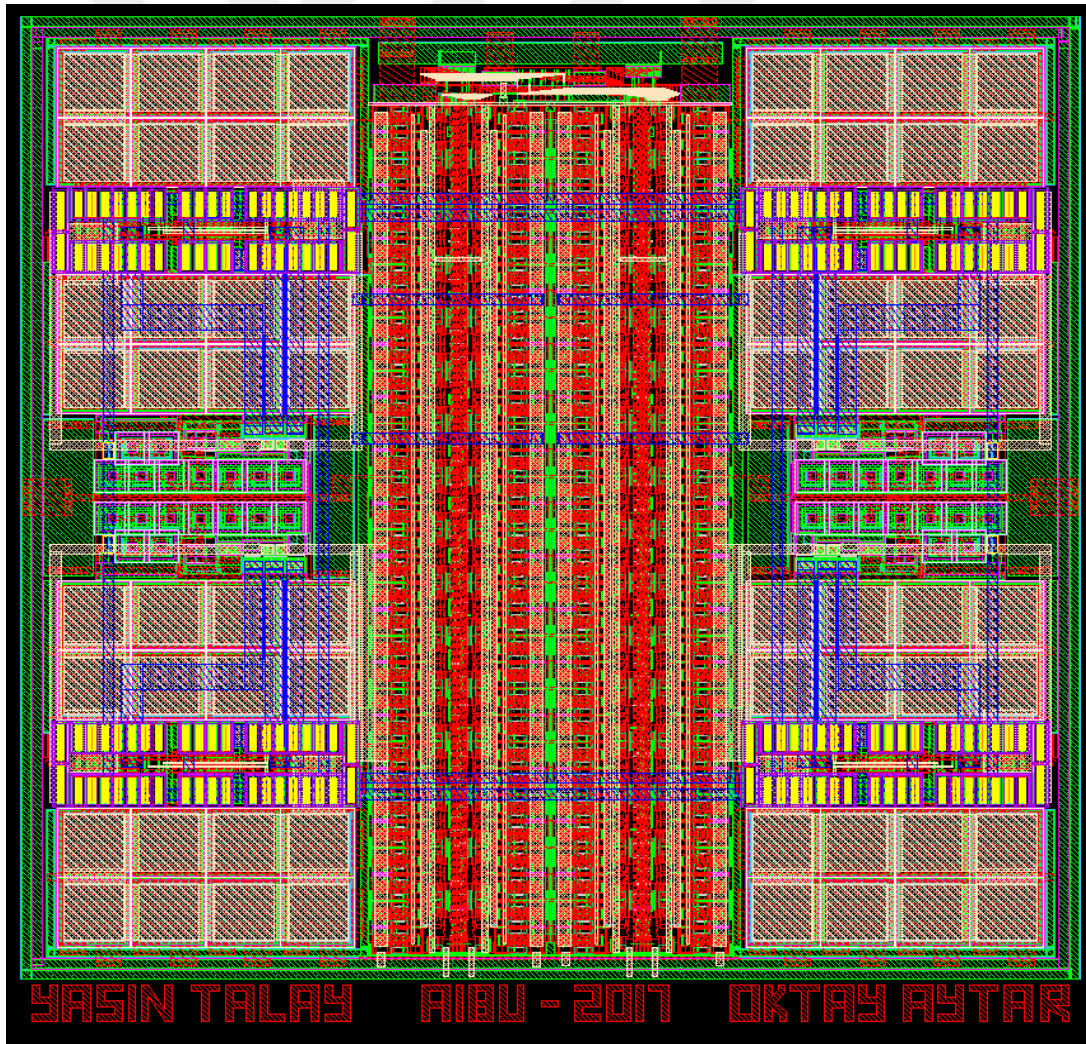
Zaman ara değerlemeli A / S dönüştürücülerde sayısal çıkış kodlarının seçilmesinde yüksek hızlı MUX devreleri kullanılmaktadır. Tasarlanan devre, MUX

yapısıyla aynı işlevini görmektedir ancak tasarlanan yapıda daha az transistör kullanıldığı için fiziksel serim alanından tasarruf edilmiştir.

4.4 Zaman Ara Değerlemeli A / S Dönüştürücü Serim Şeması ve Benzetim Sonuçları

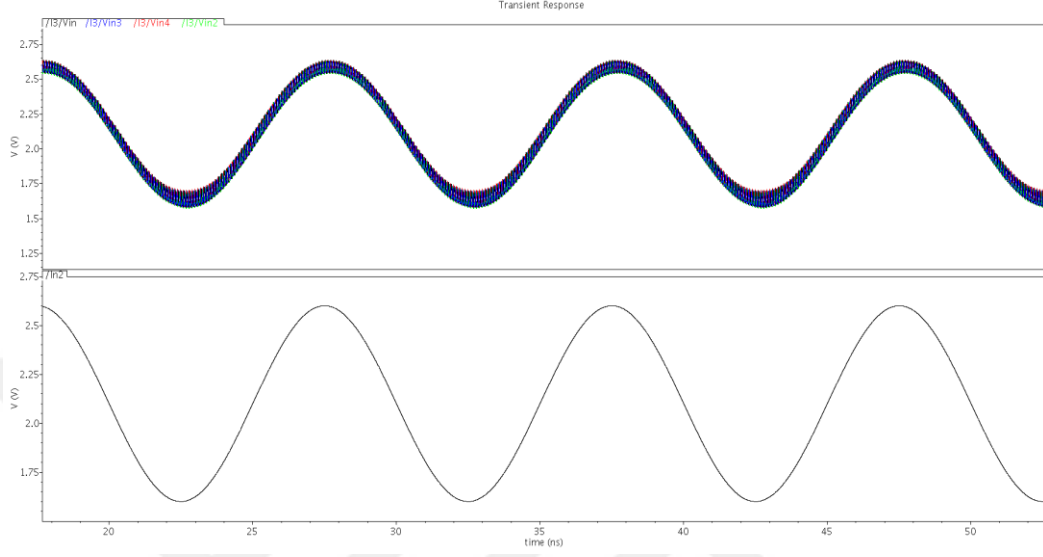
Tasarımı yapılan 5 bit zaman ara değerlemeli A / S dönüştürücü serim şeması Şekil 4.36'da gösterilmiştir. Serim şemasının toplam boyutu $431\mu\text{m} - 412\mu\text{m}$ 'dir. Toplam yonga alanı $0.177\mu\text{m}^2$ 'dir.

5 bit zaman ara değerlemeli A / S dönüştürücünün tasarımında elde edilen benzetim sonuçları post-layout üzerinden elde edilmiştir.

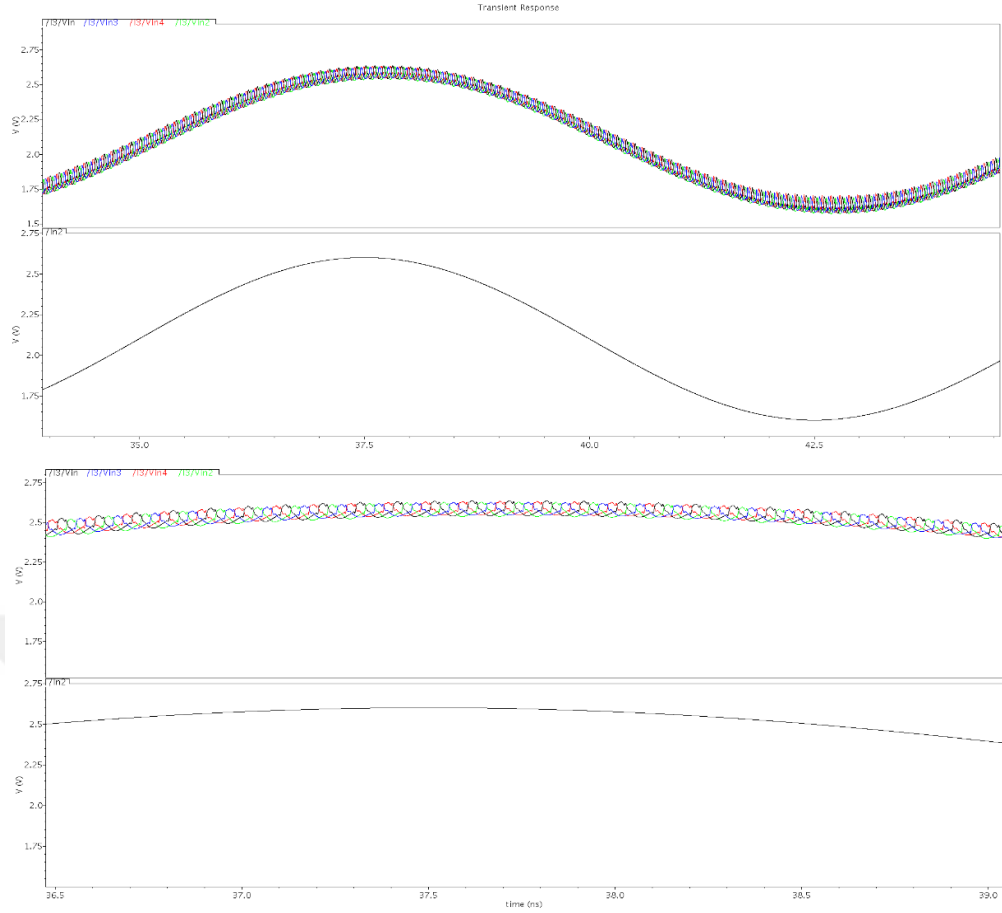


Şekil 4.36. 5 Bit Zaman ara değerlemeli A / S dönüştürücü serim şeması

40 GS/s örnekleme frekasında, girişine 100 MHz sinüs işareti uygulanan A / S dönüştürücünün İ / T devrelerinin çıkışları Şekil 4.37’de gösterilmiştir. Aynı işaret Şekil 4.38’de daha yakından gösterilmiştir.

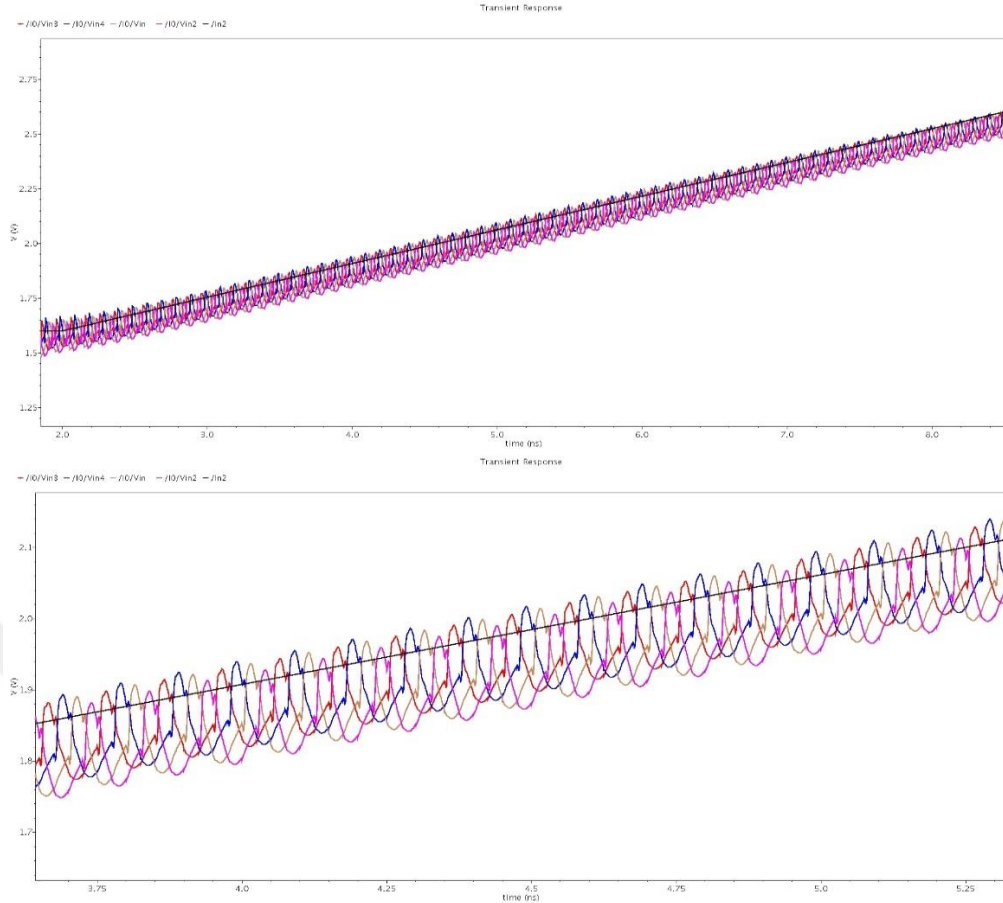


Şekil 4.37. 100MHz giriş işareti 40 GS/s örnekleme frekansında İ / T devrelerinin cevabı

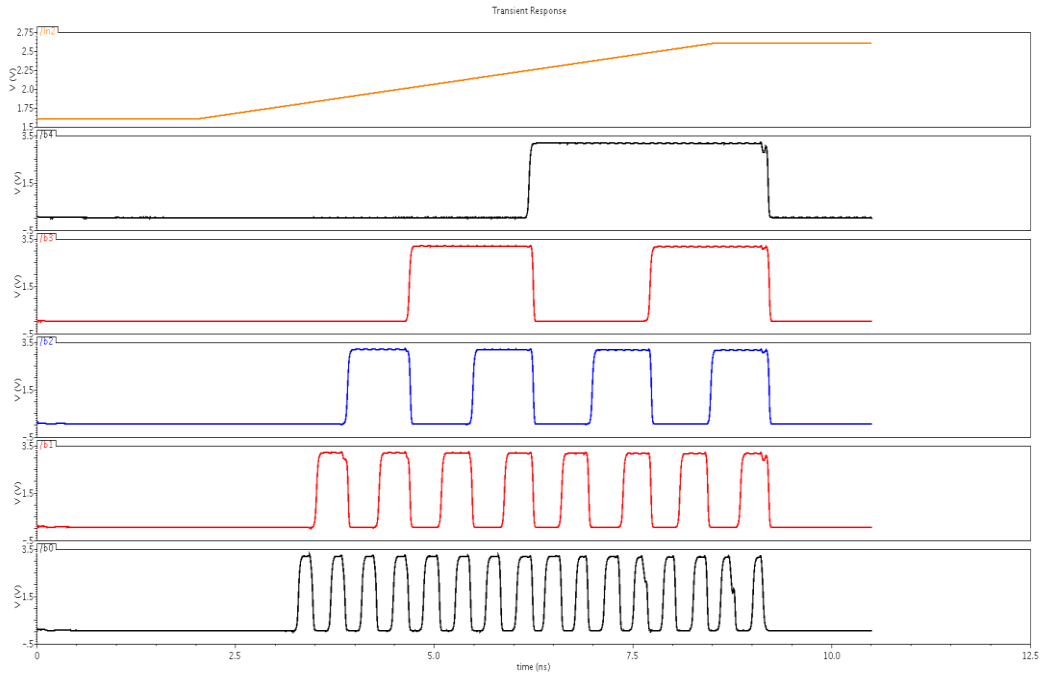


Şekil 4.38. 100MHz giriş işareti 40 GS/s örnekleme frekansında İ / T devrelerinin çıkışlarının yakından gösterimi

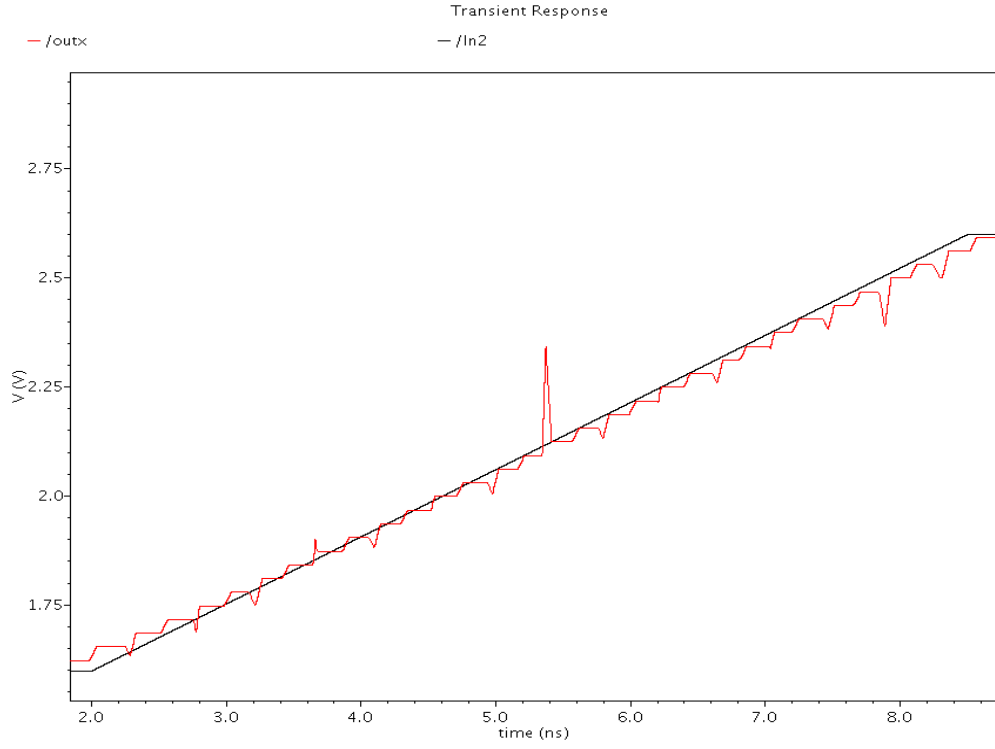
40 GS/s örnekleme frekansında A / S dönüştürücünün, girişine 153.8 MHz (6.5ns periyot) rampa işareti uygulandığında İ / T devrelerinin çıkışları ve yakından gösterimi Şekil 4.39’da, A / S dönüştürücünün çıkış bitleri Şekil 4.40’da, elde edilen bitlerin ideal S / A dönüştürücüye uygulandığında oluşan çıkış işareti Şekil 4.41’de gösterilmiştir.



Şekil 4.39. İ / T devrelerinin 153.8 MHz giriş rampa işaretine cevabı

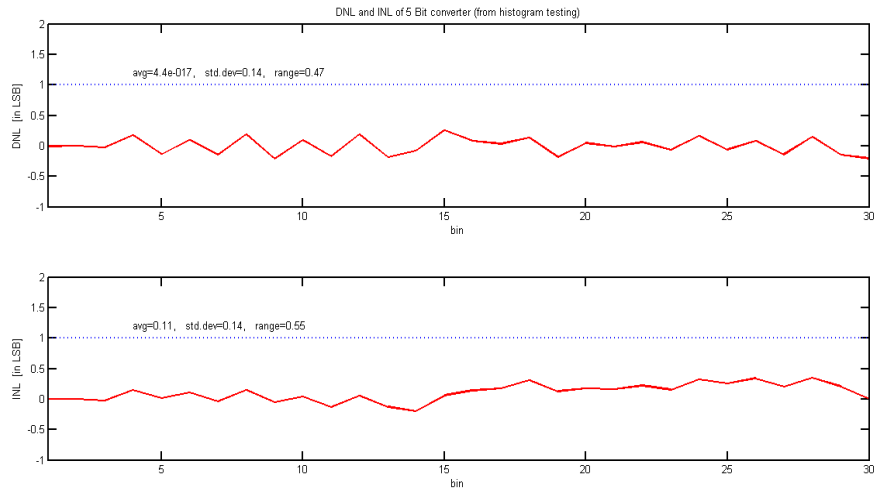


Şekil 4.40. 153.8 MHz giriş işaretini 40 GS/s örnekleme frekansında çıkış bitlerinin gösterimi



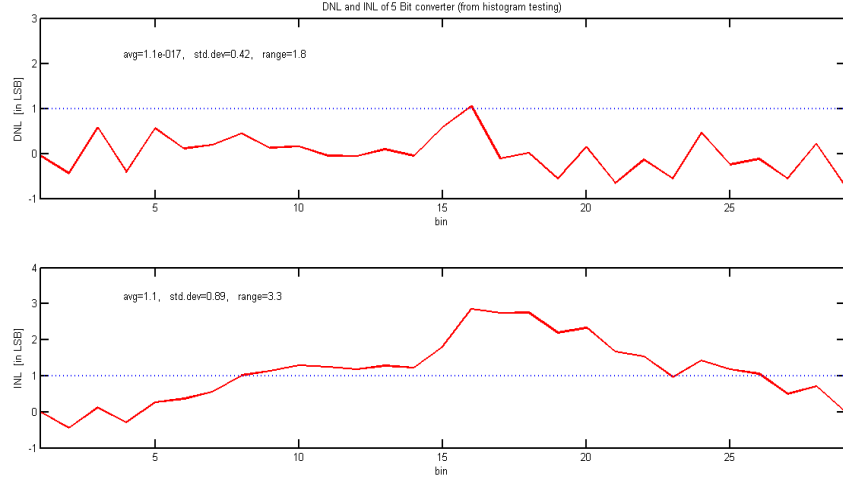
Şekil 4.41. 153.8 MHz giriş işareti 40 GS/s örnekleme frekansında ideal S / A dönüştürücü çıkışı

153.8 MHz giriş işaretinden elde edilen bitlerin INL-DNL sonuçları Şekil 4.42’de gösterilmiştir.



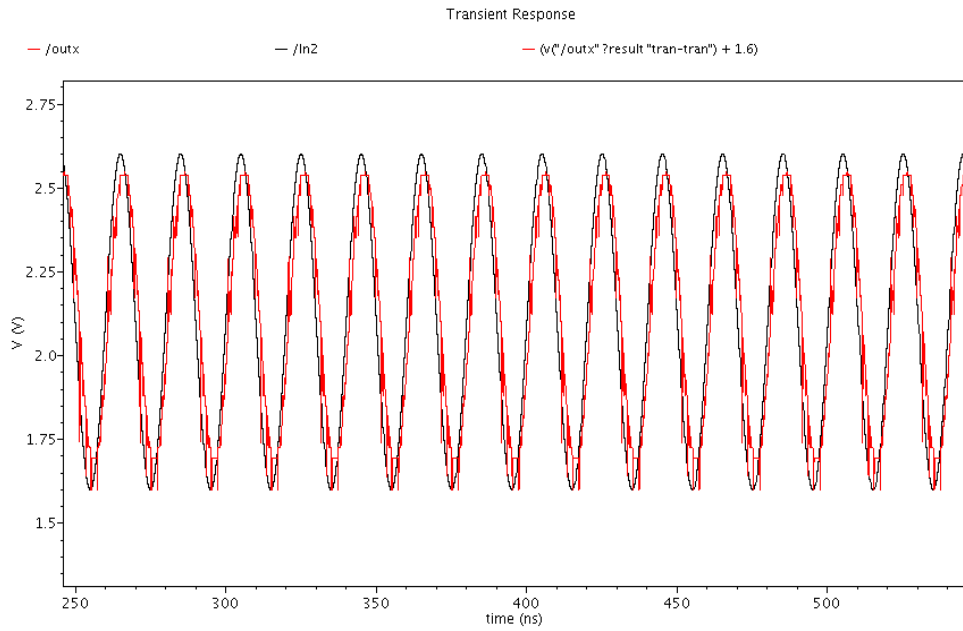
Şekil 4.42. 153.8 MHz giriş işareti 40 GS/s örnekleme frekansında INL- DNL sonuçları

40 GS/s örnekleme frekansında, 200 MHz giriş işaretinden elde edilen bitlerin INL-DNL sonuçları Şekil 4.43’de gösterilmiştir.

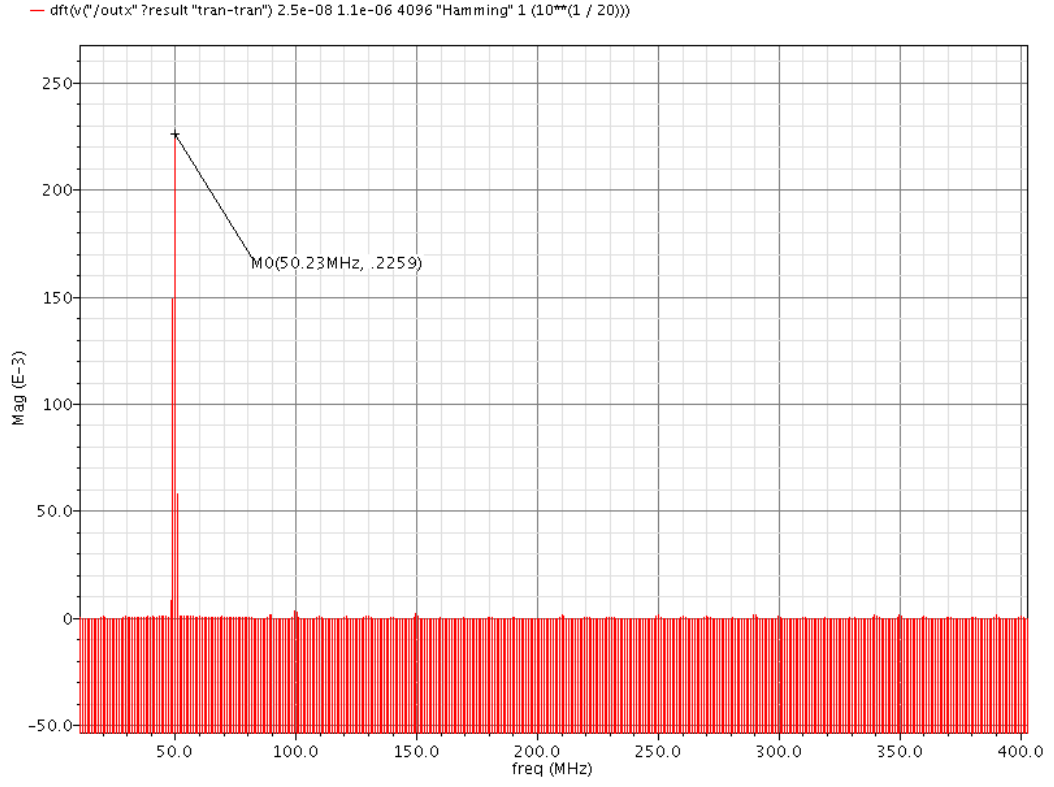


Şekil 4.43. 200 MHz giriş işareti 40 GS/s örnekleme frekansında INL- DNL sonuçları

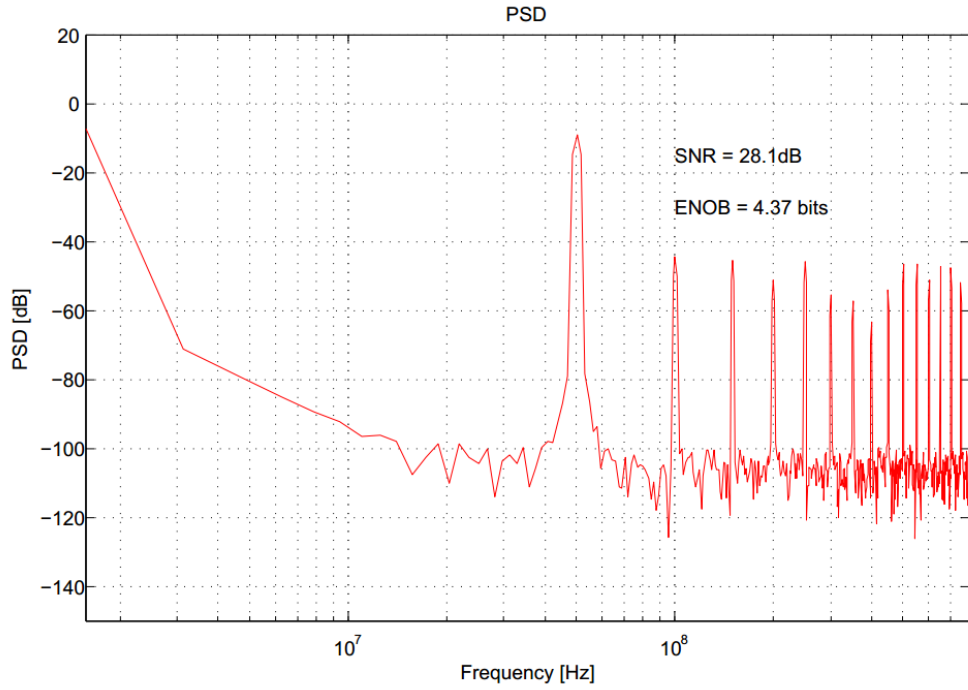
Girişine 50 MHz sinüs uygulanan A / S dönüştürücünün çıkış bitleri ideal S / A dönüştürücüye uygulanmıştır. İdeal S / A dönüştürücünün çıkış işareti Şekil 4.44’de, çıkış işaretinin DFT sonucu ise Şekil 4.45’ve SNR sonucu Şekil 4.46’da gösterilmiştir.



Şekil 4.44. İdeal S / A dönüştürücü çıkışı



Şekil 4.45. İdeal S / A dönüştürücü çıkışı DFT sonucu



Şekil 4.46. SNR sonucu

Tasarlanan A / S dönüştürücünün özellikleri Çizelge 4.5'te, literatürdeki diğer A / S dönüştürücüler ile karşılaştırılması Çizelge 4.6'te gösterilmiştir.

Çizelge 4.5. Tasarlanan A / S dönüştürücünün özellikleri

Teknoloji	0.18 μm SiGe BiCMOS ($f_t=110\text{G}$)
Besleme Gerilim	0-3.3V, 0-5V
Örnekleme Frekansı	40 GS/s
INL	-0.22/+0.23 ($f_{in}=150\text{ MHz}$)
DNL	-0.22/+0.25 ($f_{in}=150\text{ MHz}$)
SNR	28.1 dB
ENOB	4.37 bit
Yonga Alanı	430 μm *412 μm

Çizelge 4.6. Tasarlanan A / S dönüştürücünün literatürdeki yapılarla karşılaştırılması

	Tasarım	(Danyu vd., 2011)	(Wu vd., 2016)	(Lee vd., 2010)
Teknoloji	0.18 μm SiGe BiCMOS	1.4 μm GaAs HBT	0.18 μm SiGe BiCMOS	0.18 μm SiGe BiCMOS
Çözünürlük (bit)	5	4	6	5
Örnekleme Frekansı (GS/s)	40	4	30	20
INL (LSB)	-0.22/+0.23 ($f_{in}=150\text{ MHz}$)	-0.15/+0.15	-0.4/0.4	-0.7/0.7
DNL (MSB)	-0.22/+0.25 ($f_{in}=150\text{ MHz}$)	-0.15/+0.15	-0.2/0.2	-0.43/0.43
ENOB (bit)	4.37	3.5	5.1	4.5
Güç Tüketimi (W)	2.6	1.98	6.5	3.24
Alan(mm*mm)	0.430*0.412	1.45*1.45	4.0*3.40	2.63*3.3
Yıl	2017	2010	2016	2010
Mimari	Zaman Ara Değerlemeli - Paralel	Zaman Ara Değerlemeli - Paralel	Zaman Ara Değerlemeli - Katlamalı	Zaman Ara Değerlemeli-- Paralel

5. SONUÇ ve ÖNERİLER

Bu çalışmada, 0.18 μ m SiGe BiCMOS teknolojisinde 5 bit 40 GS/s örnekleme frekansında zaman ara-değerlemeli A / S dönüştürücü tasarlanmıştır. Tasarlanan A / S dönüştürücü devresinde İ / T devresi 5 V besleme geriliminde, diğer bütün bloklar 3.3 besleme geriliminde çalışmaktadır. Tasarlanan sistem toplamda 2.6 W güç tüketmektedir. Tasarımı yapılan A / S dönüştürücü 40 GS/s örnekleme frekansında çalışırken, f_{in} ise 153.8 MHz iken DNL sonucu -0.22 / +0.25, INL sonucu ise -0.22 / 0.23'dür.

Tasarlanan A / S dönüştürücünün alt blokları ve işlevleri bölümlerde detaylı bir şekilde anlatılmıştır. Cadence Virtuoso 6.13 programında tasarlanan A / S dönüştürücünün benzetim sonuçları post-layout üzerinden alınmıştır ve ayrıntılı bir şekilde değerlendirilmiştir.

Zaman ara değerlemeli A / S dönüştürücü tasarlanırken dikkat edilmesi gerekenler en önemli konulardan birisi İ / T devresi ve karşılaştırmalı devresinin tasarımıdır. Çünkü bu iki yapı sistemin analog giriş gerilim değerine, örnekleme frekansına, bant genişliğine, çözünürlüğüne ve doğrusallığına çok büyük bir etki yapar. Ayrıca bu iki yapı, sistemin harcadığı toplam gücün çok büyük bir kısmını oluşturur. Bu sebepler göz önünde bulundurulduğunda A / S dönüştürücü tasarımında bu iki devre bütün sistem için hayati bir öneme sahiptir.

Ayrıca zaman ara değerlemeli A / S dönüştürücü tasarımına özgü dikkat edilmesi gereken önemli bir husus ise örnekleme sinyalinin devrelere giriş sırası ve sistemin bütününe gecikme olmaksızın dağıtılmasıdır. Çünkü örnekleme sinyali çok kanaldan oluşan zaman ara değerlemeli A / S dönüştürücünün o an hangi kanalının çalışacağını belirler. Bu sebepten dolayı örnekleme sinyalinde oluşabilecek herhangi bir zamanlama hatası, kanalların aynı anda çalışıp çıkışlarının çakışmasına neden olabileceği gibi, hiçbir kanalın çalışmadığı ve bunun sonucunda çıkıştan sayısal bir kod alınmadığı durumlar da ortaya çıkabilir.

Zaman ara değerlemeli A / S dönüştürücü tasarımına özgü dikkat edilmesi gereken önemli bir diğer konu ise çıkış bitlerinin hangi kanaldan alınacağını seçen kod seçme bloğudur. Çünkü bu blok o an çalışan kanaldaki A / S dönüştürücünün

çıkışlarının doğrudan sistemin çıkışına uygulanmasını sağlar. Buraya uygulanan örnekleme sinyalinin, I / T devresi ve dinamik tutucu devresine aynı anda uygulanmasına dikkat edilmelidir.

Yapmış olduğumuz bu çalışmada örnekleme yapmak için kullanılan 4 tane saat işareti dışarıdan alınmaktadır. Bundan sonraki çalışmalardaki hedefimiz, 40 GHz frekansta kare dalga sinyali üretebilen bir saat üretici tasarlamak ve bu saat sinyalini örnekleme sinyallerini uyguladığımız biçimde 4 parçaya bölecek bir devre tasarımı yapmaktır. Hedeflenen bu devre tasarımının, A / S dönüştürücü ile birleştirilmesi amaçlanmaktadır.

Zaman ara değerlemeli A / S dönüştürücüsünde kullanılan karşılaştırıcı devresinin yerine HBT'lerden oluşan yeni bir topoloji kullanılarak, A / S dönüştürücünün bant genişliği arttırılabilir. Ayrıca A / S dönüştürücünün hızının artırılması için maliyeti daha yüksek ancak daha yüksek frekanslarda çalışabilen HBT'lere sahip InP veya GaAs tabanlı tasarımlarda yapılabilir.

Tek kanallı yüksek frekanslarda çalışan A / S dönüştürücülere, zaman ara değerlendirme tekniği uygulanarak çekirdek A / S dönüştürücüleri daha düşük frekanslarda çalıştırıp toplam sistemin bant genişliğini kaybetmeden güç tüketimleri azaltılabilir.

6. KAYNAKLAR

- Allen PE, Holberg DR, (2002) CMOS Analog Circuits Design Second Edition, Oxford University Press, Oxford.
- Aytar O, (2009), Katlamalı ve Aradeğerlemeli Analog-Sayısal Dönüştürücülerin VLSI Tasarımında Eşik Evirmeli Nicemleyici Tekniği'nin Kullanımı ve Performansı, Kocaeli Üniversitesi Fen Bilimleri Enstitüsü, Kocaeli.
- Aytar O, (2014) "Eşik Evirmeli Nicemleyici Tekniği Kullanılarak Yapılan 5 Bit Yüksek Hızlı Paralel A / S Dönüştürücülerde Sayısal Kodlama Devreleri Performanslarının İncelenmesi", SDÜ Uluslararası Teknolojik Bilim Dergisi 6(2): 1-17.
- Black WC, and Hodges DA (1980) "Time Interleaved Converter Array", IEEE Journal of Solid-State Circuits, 15: 1022-1029.
- Björzell, N (2015) "Modern Measurements: Fundamentals and Applications", John Wiley & Sons Inc. , New Jersey.
- Borokhovych Y, Gustat H, Tillack B, and Heinemann B. et. (2005) "A Low-Power, 10 Gs/s Track and Hold Amplifier in SiGe BiCMOS Technology", Solid-State Circuits Conference, 12-16 September 2005, Grenoble, France.
- Cannone F, Damiano C, Avitabile G, and Coviello G, (2012) " A High bandwidth 11-bit 1.5GS/s Track and Hold Amplifier in 0.25 μ m SiGe BiCMOS", International Conference on Synthesis, Modeling Analysis and Simulation Methods and Applications to Circuit Design, 19-21 September 2012, Seville, Spain.
- Chang CH, Hsiao CY, and Yang CY (2008) "A 1-GS/s CMOS 6-bit Flash ADC with an Offset Calibrating Method", IEEE International Symposium on VLSI Design, Automation and Test(VLSI-DAT), 23-25 April 2008, Hsinchu, Taiwan.
- Chen PH (2007), Analysis and Design of High Speed A/D Converters in SiGe Technology, Ph.D. Thesis, Faculty of the Graduate of the University of Maryland, Washington DC.
- Chen YC, Lai JS, and Lin ZM (2013) " A 6bit 3 GS/s two-channel time interleaved interpolating flash ADC ", In Electron Devices and Solid-State Circuits, 3-5 June 2013, Hong Kong, China.
- Chu WS, and Current KW, (1999) "A CMOS Voltage Comparator with Rail-to-Rail Input-Range", Analog Integrated Circuits and Signal Processing, 19: 145-149.

- Chu M, Jacob P, Kim JW, Leroy MR, Kraft RP, and McDonald JF (2010) “ 40 Gs/s time interleaved ADC using SiGe BiCMOS”, IEEE journal of Solid-State Circuits, 45(2): 380-390.
- Daneshgar S, Griffith Z, and Seo M, (2014) “Low Distortion 50 GSamples/s Track-Hold and Sample-Hold Amplifiers”, IEEE Journal of Solid-State Circuits, 49: 2114-2126.
- Danyu W, Lei Z, and Jiannan G et al (2011) “ A 4 GS/s 4 bit ADC with 3.8 GHz analog bandwidth in GaAs HBT technology” Journal of Semiconductors, 32(6): 65007-1-7.
- Dunn JS, Ahigren DC, and Coolbaugh DD et al. (2003) “ Foundation of rf CMOS and SiGe BiCMOS technologies” , IBM Journal, 47
- Esen VB (2013), 10-Bit 60MS/s İki Basamaklı Flash ADC Tasarımı, Boğaziçi Üniversitesi Fen Bilimleri Enstitüsü, İstanbul.
- Faure NM (2015), High Bandwidth Cherry Hooper Flash ADC in 0.13 μm SiGe BICMOS, Master of Engineering, Department of Electrical, Electronic and Computer Engineering , Pretoria.
- Gustavsson M, Wikner JJ, and Tan NN (2002) “CMOS Data Converters For Communications” Kluwer Academic Publishers, United States.
- Hsu CK, and Lee TC (2015), “A Single-Channel 10-b 400MS/s 8.7-mW Pipeline ADC in a 90 nm Technology”, IEEE Asian Solid-State Circuits Conference, 9-11 November 2015, Fujian, China.
- Kurosawa N, Kobayashi H, Maruyama K, Sugawara H, and Kobayashi K (2001) “ Explicit Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems “, IEEE Transactions on Circuit and Systems, 48: 261-271.
- Lee J, and Chen YK (2010) “ A 50-GS/s 5-b ADC in 0.18 μm SiGe BiCMOS”, IEEE MTT-S International Microwave Symposium Digest, 23-28 May 2010, Anaheim, CA, USA.
- Lee J, Choin MB, Park HJ, and Park BH (2010), “ A 7b 1 GS/s 60mW Folding ADC in 65nm CMOS”, SoC Design Conference (ISOCC), 22-23 November 2010, Seoul, South Korea.
- Lee J, Weiner J, and Chen YK (2010) “A 20-GS/s 5-b SiGe ADC for 40-Gb/s Coherent Optical Links”, IEEE Transactions on Circuits and Systems I, 57: 2665-2674.
- Li X, Kuo WML, and Cressler JD (2008) “A 40 GS/s SiGe Track-and-Hold Amplifier”, Bipolar/BiCMOS Circuits and Technology Meeting, 13-15 October 2008, Monterey, CA, USA.
- Louwsma S, Tuijl E, and Nauta B, (2011) “ Analog Circuits and Signal Processing” , Springer Science, New York.

- Maloberti F (2007) “Data Converters” Springer Science, Dordrecht, Netherlands.
- Miyazaki D, Kawahito S, and Furuta M (2003) “ A 10-b 30 MS/s Low-Power pipelined CMOS A/D converter Using psuedodifferential Architecture”, IEEE Journal of Solid State Circuit, 38(2): 369-373.
- Oh DR, Kim JI, Seo MJ, Kim JG, and Ryu ST (2015) “A 6 bit 10 GS/s 63-mW 4x TI time-domain interpolating flash ADC in 65nm CMOS”, In European Solid-State Circuits Conference, Graz, Austria
- Rabuske F, Rabuske T, and Fernandes J (2017) “A 5-bit 300-900 MS/s 0.8-1.2-V Supply Voltage ADC With Background Self-Calibration”, IEEE Transactions on Circuit and Systems, 64: 1-5.
- Razavi B, (2001) ,Design of Analog CMOS Integrated Circuits, McGraw-Hill Higher Education, Singapore.
- Razavi B (2013) “ Design Considerations for Interleaved ADCs”, IEEE Journal of Solid-State Circuits, 48: 1806-1817.
- Schmidt CA, Cousseau JE, Figueroa JL, Reyes BT, and Hueda MR (2016) “ Efficient estimation and correction of mismatch error in time-interleaved ADCs”, IEEE Transactions on Instrumentation and Measurement, 65: 243-254.
- Shen J, and Kinget PR (2008) “A 0.5-V 8-bit 10MS/s Pipelined ADC in 90nm CMOS ”, IEEE Journal of Solid State Circuits, 43(4): 787-795
- Tangel A, (1999), VLSI Implementation of The Threshold Inverter Quantization(TIQ) Technique for CMOS A/D Converter Applications” Ph.D. Thesis, PennState University, Pennsylvania.
- Wu D, Zhou L, Huang Y, Wang P, Wu J, Jin Z, and Xinyu Li (2016) “ A 30 GS/s 6bit SiGe ADC with input bandwidth over 18 GHz and full data rate interface”, Bipolar/BiCMOS Circuits and Technology Meeting, 25-27 September 2016, New Brunswick, NJ, USA.
- Xing D, Chan,CH, Sin SW, Ye F, Ren J, Seng-Pan U, and Martins RP (2017) “ Seven-bit 700MS/s Four-Way Time-Interleaved SAR ADC With Partial V_{cm} Based Switching”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 25: 1168- 1172.
- Yang X, Lai JS, and Lin ZM (2014) “A 10 GS/s 6 b time-interleaved partially active flash ADC”, IEEE Transactions on Circuits and Systems I, 61(8): 2272-2280.
- Yoo J, Choi K, and Tangel A, (2001) “A 1-GSPS CMOS Flash A/D Converter for System on Chip Applications”, Proceeding of IEEE Computer Society Workshop on VLSI, 19-20 April 2001, Orlando FL,USA.

7. ÖZGEÇMİŞ

Adı Soyadı : Yasin TALAY

Doğum Yeri ve Tarihi : ANKARA, 1993

Lisans Üniversitesi : Abant İzzet Baysal Üniversitesi

Elektronik posta : yasintalay93@hotmail.com

İletişim Adresi : Bağcı Caddesi 36/5 Etlik – Ankara

Yayın Listesi :

- Talay Y, and Aytar O, “A 10 Bits Semi Flash Analog-to-Digital Converter Using Fat Tree Based Encoder”, 1st International Mediterranean Science and Engineering Congress (IMSEC 2016), 26-28 October 2016.
- Talay Y, and Aytar O, “4 Bit Flash Tabanlı Zaman Sayısal Dönüştürücü Tasarımı”, Uluslararası Mühendislik Araştırma Sempozyumu (UMAS 2017), 11-13 September 2017.