

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

ARADEĞERLEMELİ TIQ TEKNİĞİ İLE 7 BİT FLASH ADC
TASARIMI

AYŞE ARAN

KOCAELİ 2022

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

ARADEĞERLEMELİ TIQ TEKNIĞI İLE 7 BİT FLASH ADC
TASARIMI

AYŞE ARAN

Prof.Dr. Ali TANGEL
Danışman, Kocaeli Üniv.

.....

Dr. Öğr. Üyesi Aybike KOCAKAYA
Jüri Üyesi, Kocaeli Üniv.

.....

Dr. Öğr. Üyesi Oktay AYTAR
Jüri Üyesi, Bolu Abant İzzet BAYSAL Üniv.

.....

Tezin Savunulduğu Tarih: 27.05.2022

ETİK BEYAN VE ARAŞTIRMA FONU DESTEĞİ

Kocaeli Üniversitesi Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırladığım bu tez/proje çalışmada,

- Bu tezin/projenin bana ait, özgün bir çalışma olduğunu,
- Çalışmamın hazırlık, veri toplama, analiz ve bilgilerin sunumu olmak üzere tüm aşamalarında bilimsel etik ilke ve kurallara uygun davrandığımı,
- Bu çalışma kapsamında elde edilen tüm veri ve bilgiler için kaynak gösterdiğimi ve bu kaynaklara kaynakçada yer verdiğimi,
- Bu çalışmanın Kocaeli Üniversitesi'nin abone olduğu intihal yazılım programı kullanılarak Fen Bilimleri Enstitüsü'nün belirlemiş olduğu ölçütlere uygun olduğunu,
- Kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- Tezin/Projenin herhangi bir bölümünü bu üniversite veya başka bir üniversitede başka bir tez/proje çalışması olarak sunmadığımı,

beyan ederim.

☒ Bu tez/proje çalışmasının herhangi bir aşaması hiçbir kurum/kuruluş tarafından maddi/alt yapı desteği ile desteklenmemiştir.

☐ Bu tez/proje çalışması kapsamında üretilen veri ve bilgiler tarafındanno'lu proje kapsamında maddi/alt yapı desteği alınarak gerçekleştirilmiştir.

Herhangi bir zamanda, çalışmamla ilgili yaptığım bu beyana aykırı bir durumun saptanması durumunda, ortaya çıkacak tüm ahlaki ve hukuki sonuçları kabul ettiğimi bildiririm.

.....
(İmza)

.....
AYŞE ARAN

YAYIMLAMA VE FİKRİ MÜLKİYET HAKLARI

Fen Bilimleri Enstitüsü tarafından onaylanan lisansüstü tezimin/projemin tamamını veya herhangi bir kısmını, basılı ve elektronik formatta arşivleme ve aşağıda belirtilen koşullarla kullanıma açma izninin Kocaeli Üniversitesi'ne verdiğimi beyan ederim. Bu izinle Üniversiteye verilen kullanım hakları dışındaki tüm fikri mülkiyet haklarım bende kalacak, tezimin/projemin tamamının ya da bir bölümünün gelecekteki çalışmalarda (makale, kitap, lisans ve patent vb.) kullanımı bana ait olacaktır.

Tezin/projenin kendi özgün çalışmam olduğunu, başkalarının haklarını ihlal etmediğimi ve tezimin/projenin tek yetkili sahibi olduğumu beyan ve taahhüt ederim. Tezimde yer alan telif hakkı bulunan ve sahiplerinden yazılı izin alınarak kullanılması zorunlu metinlerin yazılı izin alarak kullandığımı ve istenildiğinde suretlerini Üniversiteye teslim etmeyi taahhüt ederim.

Yükseköğretim kurulu tarafından yayınlanan **“Lisanüstü Tezlerin Elektronik Ortamda Toplanması, Düzenlenmesi ve Erişime Açılmasına İlişkin Yönerge”** kapsamında tezim aşağıda belirtilen koşullar haricinde YÖK Ulusal Tez Merkezi/ Kocaeli Üniversitesi Kütüphaneleri Açık Erişim Sisteminde erişime açılır.

☐ Enstitü yönetim kurulu kararı ile tezimin/projemin erişime açılması mezuniyet tarihinden itibaren 2 yıl ertelenmiştir.

☐ Enstitü yönetim kurulu gerekçeli kararı ile tezimin/projemin erişime açılması mezuniyet tarihinden itibaren 6 ay ertelenmiştir.

☒ Tezim/projem ile ilgili gizlilik kararı verilmemiştir.

.....
(İmza)

.....
AYŞE ARAN

ÖNSÖZ VE TEŞEKKÜR

Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Yüksek Lisans Programına başladığımda beni bekleyen serüvenin farkında değildim. Yüksek Lisans öğrenimim başında 2 kişi olan ailemizin 4 kişi olması ve araya pandemi gibi olağanüstü durumların girmesi sebebiyle hayatımızın çeşitli alanlarında yaşadığımız zorlayıcı ve yoğun durumlar sebebi ile zaman zaman ara vermek zorunda kaldığım Yüksek Lisans eğitim dönemim beklediğimden uzun sürdü.

Yaşadığım tüm zorluklarda her daim yanımda ve destekçim olan eşime ve aileme teşekkür ediyorum. Yüksek Lisans eğitimime başladığım andan itibaren her konuda her zaman desteğini esirgemeyen kendime inanmamı sağlayan çok değerli danışman hocam Prof. Ali TANGEL hocama teşekkürü bir borç bilirim.

Aralık - 2021

Ayşe ARAN



İÇİNDEKİLER

ETİK BEYAN VE ARAŞTIRMA FONU DESTEĞİ	i
YAYIMLAMA VE FİKRİ MÜLKİYET HAKLARI.....	ii
ÖNSÖZ VE TEŞEKKÜR.....	iii
İÇİNDEKİLER.....	iv
ŞEKİLLER DİZİNİ	vi
TABLOLAR DİZİNİ.....	viii
SİMGELER VE KISALTMALAR DİZİNİ	ix
ÖZET	x
ABSTRACT	xi
1.GİRİŞ.....	1
1.1.Amaç.....	2
2.ANALOG SAYISAL DÖNÜŞTÜRÜCÜLER.....	3
2.1. Flash (Paralel) ADC	4
3.VLSI TEKNOLOJİSİ	5
3.1.TIQ Karşılaştırıcı... ..	5
3.2.Aradeğerlemeli TIQ Tekniği	7
4. ARADEĞERLEMELİ TIQ TEKİNİĞİ İLE 7-BİT FLASH ADC TASARIMI.....	9
4.1. İlk 6-bitlik TIQ Bloğu Tasarımı	9
4.1.1. İlk 6-Bit TIQ Bloğunun S-EDİT Tasarımı	12
4.1.2. İlk 6-Bit TIQ Bloğunun T-Spice Analiz Sonuçları	13
4.2. Aradeğerlemeli 6-Bit TIQ Bloğunun Tasarımı	14
4.2.1. Aradeğerlemeli TIQ Bloğunun S-EDİT Tasarımı	17
4.2.2. Aradeğerlemeli TIQ Bloğunun T-Spice Analiz Sonuçları	18
4.3. Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu Analiz Sonuçları.....	19
4.3.1.Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu DC Analiz Sonuçları..	19
4.3.2.Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu Tranzient Analiz	
Sonuçları.....	21
4.4. Kazanç Yükseltici (GAIN BOOSTER) Bloğu	22
4.5. Dinamik Tutucu (LATCH) Devresi	25
4.6. Termometre Kod Çözücü (1-of-N Decoder).....	27
4.7. Programlanabilir Mantık Dizisi (PLA-ROM) Bloğu	28
4.8. 7 Bit TIQ Bloğu L-EDIT Serim Tasarımı	32
4.8.1. 7 Bit TIQ Bloğu L-EDIT Serim Tasarımı Layout	32
4.8.2. 7 Bit TIQ Bloğu L-EDIT Serim Tasarımı T-Spice Analizi.....	33
5. ARADEĞERLEMELİ 7-BİT TIQ FLASH ADC’NİN SONUÇLARI	35
5.1. 7 Bit TIQ Flash ADC DC Analiz Sonuçları	36
5.2. 7 Bit TIQ Flash ADC Tranzient Analiz Sonuçları	36
5.2.1. 7 Bit TIQ Flash ADC 1Mhz/1Gsp/s Analiz Sonuçları.....	36
5.2.2. 7 Bit TIQ Flash ADC 5Mhz/1Gsp/s Analiz Sonuçları	37
5.2.3. 7 Bit TIQ Flash ADC 2Mhz/5Gsp/s Analiz Sonuçları	38
5.3. INL ve DNL Performans Değerlendirmeleri	40
5.3.1. INL (Integral Non-Linearity)	40
5.3.2. DNL (Differential Non-Linearity).....	41
5.4. GÜÇ ANALİZİ	42
5.4.1. İlk 6 Bitlik TIQ Bloğa ve Vdd Besleme Gerilimine Ait Güç Analizi.....	42
5.4.2. 2. 6 Bitlik TIQ Bloğa Ait Güç Analizi.....	43

6. SONUÇLAR VE ÖNERİLER	45
KAYNAKLAR.....	48
KİŞİSEL YAYINLAR VE ESERLER	49
ÖZGEÇMİŞ	50



ŞEKİLLER DİZİNİ

Şekil 1.1.	TIQ Flash ADC Blok Dİyagramı	1
Şekil 2.1.	ADC Türlerinin Karşılaştırılması	3
Şekil 2.2.	3-bit Flash ADC Devre Şeması	4
Şekil 3.1.	TIQ Karşılaştırıcı Şematiği	6
Şekil 3.2.	Gerilim Geçiş Eğrisi	6
Şekil 4.1.	1.6 Bit TIQ Bloğu S-EDİT Şematik Çizimi	12
Şekil 4.2.	64 adet TIQ karşılaştırıcı bloğunun kısmi şematik tasarımı(a)	13
Şekil 4.2.	64 blokluk TIQ karşılaştırıcı yapısının 64 çıkışlı sembol gösterimi(b)	13
Şekil 4.3.	İlk 6 Bit TIQ Bloğu T-Spice DC Analiz komutları	14
Şekil 4.4.	İlk 32 ADET TIQ Bloğunun Analiz sonuçları	14
Şekil 4.5.	İkinci 32 ADET TIQ Bloğunun Analiz sonuçları	15
Şekil 4.6.	63 adet Aradeğerlemeli TIQ bloğunun kısmi şematik Tasarımı(a)	17
Şekil 4.6.	64 blokluk TIQ karşılaştırıcı yapısının 64 çıkışlı sembol gösterimi(b)	17
Şekil 4.7.	Aradeğerlemeli TIQ Bloğunun T-Spice DC Analiz komutları	18
Şekil 4.8.	Aradeğerlemeli TIQ Bloğunun W-EDİT Simülasyon Sonuçları-I	18
Şekil 4.9.	Aradeğerlemeli TIQ Bloğunun W-EDİT Simülasyon Sonuçları-II	19
Şekil 4.10.	7 bitlik TIQ bloğunun T-Spice DC Analiz Komutu	19
Şekil 4.11.	7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu I	20
Şekil 4.12.	7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu II	20
Şekil 4.13.	7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu III	20
Şekil 4.14.	7 bitlik TIQ bloğunun T-Spice 100 Mhz Analiz Komutu	21
Şekil 4.15.	7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. I	21
Şekil 4.16.	7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. II	21
Şekil 4.17.	7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. III	22
Şekil 4.18.	Kazanç Yükseltici Devre Şematiği	22
Şekil 4.19.	7-bit TIQ Karşılaştırıcı ve Kazanç Yükseltici Bloğu Yapısı	23
Şekil 4.20.	7 bit Aradeğerlemeli TIQ Bloğu ilk 32 Adet Çıkış Gerilimi	24
Şekil 4.21.	7 bit Aradeğerlemeli TIQ Bloğu 64-96 Arası Çıkış Gerilimi	24
Şekil 4.22.	7 bit Aradeğerlemeli TIQ Bloğu 96-127 Çıkış Gerilimi	24
Şekil 4.23.	Dinamik Tutucu Devresi	25
Şekil 4.24.	Dinamik Tutucu Devresi S-Edit Şematik Çizimi	25
Şekil 4.25.	Dinamik Tutucu Devresi Sembol Gösterimi	26
Şekil 4.26.	1-of-N Decoder Bloğu	26
Şekil 4.27.	AB Devre Şeması	27
Şekil 4.28.	Analog Blok -Dinamik Tutucu-Termometre Kod Çözücü	28
Şekil 4.29.	5 bit Çıkışlı Kısmi PLA-ROM Bloğu	29
Şekil 4.30.	7-bit Çıkışlı PLA-ROM yapısının bir kısmı-I	30
Şekil 4.31.	7-bit Çıkışlı PLA-ROM yapısının bir kısmı-II	30
Şekil 4.32.	Aradeğerlemeli TIQ tabanlı 7bit Fash ADC	31
Şekil 4.33.	L-EDIT program ilk TIQ karşılatırcı devresi layout tasarımı	32
Şekil 4.34.	7 Bitlik TIQ Bloğu L-EDIT Layout Tasarımı Kısmi Gösterimi	32
Şekil 4.35.	7 Bit TIQ Karşılaştırıcı L-EDIT Layout Tasarımı	32
Şekil 4.36.	L-EDIT Tasarımı TIQ Blok Çıkışları I	33
Şekil 4.37.	L-EDIT Tasarımı TIQ Blok Çıkışları II	33
Şekil 4.38.	L-EDIT Tasarımı TIQ Blok Çıkışları III	34

Şekil 5.1.	7 Bit TIQ Tabanlı Flash ADC Şematik Gösterim.....	35
Şekil 5.2.	7 Bit TIQ Tabanlı Flash ADC nin DC analiz T-Spice komutları.....	36
Şekil 5.3.	7 Bit TIQ Tabanlı Flash ADC nin DC Analiz Sonuçları... ..	36
Şekil 5.4.	7 Bit TIQ Tabanlı Flash ADC 1Mhz/1Gsps T-Spice Komutu... ..	37
Şekil 5.5.	7 Bit TIQ Tabanlı Flash ADC 1Mhz/1Gsps Sonuçlar.....	37
Şekil 5.6.	7 Bit TIQ Tabanlı Flash ADC 5Mhz/1Gsps T-Spice Komutu... ..	38
Şekil 5.7.	7 Bit TIQ Tabanlı Flash ADC 5Mhz/1Gsps Sonuçları... ..	38
Şekil 5.8.	7 Bit TIQ Tabanlı Flash ADC 2Mhz/5Gsps T-Spice Komutu... ..	39
Şekil 5.9.	7 Bit TIQ Tabanlı Flash ADC 2Mhz/5Gsps Sonuçları	39
Şekil 5.10.	7 Bit TIQ Tabanlı Flash ADC 2Mhz/10Gsps Sonuçları... ..	39
Şekil 5.11.	7-bit TIQ Tabanlı Flash ADC DC'deki INL grafiği	40
Şekil 5.12.	7-bit TIQ Tabanlı Flash ADC 2Mhz/1Gsps INL grafiği	40
Şekil 5.13.	7-bit TIQ tabanlı Flash ADC DC'deki DNL grafiği	41
Şekil 5.14.	7-bit TIQ Tabanlı Flash ADC 2Mhz/1Gsps DNL grafiği	41
Şekil 5.15.	Vdd Besleme Gerilimi T-Spice Güç Komutu... ..	42
Şekil 5.16.	Vdd Besleme Gerilimiden Elde Edilen Güç.....	43
Şekil 5.17.	Vdd Besleme Gerilimiden Elde Edilen Güç Sonuçları... ..	43
Şekil 5.18.	Aradeğerlemeli TIQ Bloğu T-Spice Güç Komutu... ..	43
Şekil 5.19.	Vdd1, Vdd2, Vdd3 Besleme Gerilimi Güç Analizi... ..	44
Şekil 5.20.	Vdd1, Vdd2, Vdd3 Besleme Gerilimi Güç Analizi Sonuçları.....	44

TABLÖLAR DİZİNİ

Tablo 4.1.	TIQ Karşılaştırıcılarının WPMOS ve WNMOS Değerleri (mikrometre) ve İdeal ve Ölçülen Gerilim Değerleri (mV).....	10
Tablo 4.2.	Aradeğerlemeli TIQ Bloğunun Besleme Voltaj Değerleri.....	15
Tablo 4.3.	Aradeğerlemeli 6-Bit TIQ Bloğu Vth Değerleri.....	16
Tablo 6.1.	TIQ Tabanlı 7 Bit Flash ADC'nin Diğer ADC Türleri ile Karşılaştırılması	45



SİMGELER VE KISALTMALAR DİZİNİ

GAIN BOOSTER:	: Kazanç Yükseltici
L	: Mosfet Kanal Uzunluğu
LATCH	: Dinamik Tutucu Devresi
Mhz	: Mega Hertz
mV	: milivolt
nm	: nanometre
NMOS	: N-Tipi Metal Oksit Yarı İletken
PMOS	: P-Tipi Metal Oksit Yarı İletken
V	: Volt
W	: Mosfet Kanal Genişliği
1 of N	: Termometre Kod Çözücü
μm	: Mikrometre
λ	: Lamda

Kısaltmalar

ADC	: Analog-Digital Converter (Analog-Dijital Dönüştürücü)
CMOS	: Complementary Metal-Oxide Semiconductor (Bütünleyici Metal Oksit Yarı İletken)
DNL	: Differential Non-Linearity (Farksal Doğrusalsızlık)
FLASH ADC	: Paralel Analog-Dijital Dönüştürücü
GSPS	: Giga Sample per Second (1 Saniyedeki Giga Örnek Sayısı)
INL	: Integral Non-Linearity (Birikimli Doğrusalsızlık)
L-EDIT	: Layout Editör
LSB	: Last Significant Bits (En Az Anlamlı Bit)
PLA-ROM	: Programmable Logic - Array Read Only Memory (Programlanabilir Mantık Dizisi)
S-EDIT	: Şematik Editör
TIQ	: Threshold Inverter Quantization (Eşik Evirmeli Nicemleyici)
VLSI	: Very Large Scale Integration (Çok Büyük Ölçekli Entegrasyon)
Vth	: Eşik (Threshold) Gerilimi

ARADEĞERLEMELİ TIQ TEKNIĞİ İLE 7 BİT FLASH ADC TASARIMI

ÖZET

Bu çalışmada 0.18 mikron CMOS teknolojisinde Aradeğerlemeli TIQ Yöntemi ile 7-Bit Flash ADC tasarımı gerçekleştirilmiştir. Geliştirilen bu yeni TIQ yönteminde, tasarım açısından birbirinin aynısı olan iki adet 6-bit TIQ tabanlı Flash ADC çekirdeklerinden sadece bir tanesinde, analog blok olan TIQ karşılaştırıcı dizisindeki belli sayılarda gruplanmış karşılaştırıcılarda farklı besleme gerilimleri kullanılarak, 7-bitlik bir flash ADC yapısına ait olan toplamda 1 adet kuantalama seviyeleri elde edilmektedir. Burada sabit besleme gerilim değeri ile çalışan 6 bitlik flash ADC çekirdeğine ait 64 adetlik kuantalama seviyeleri, doğrusal ve monotonik bir ADC performansının elde edilebilmesi için ana çerçeveyi oluşturmaktadır.

Geliştirilen yöntemdeki temel dayanak noktası, literatürde popüler olarak bilinen TIQ karşılaştırıcıya ait olan dahili eşik gerilim değerini veren eşitliğin, besleme voltajı olan V_{dd} gerilim değeri ile doğrusal bağıntısıdır. Çalışmanın asıl amacı, yüksek çözünürlükteki bir TIQ tabanlı flash ADC tasarımında, n-bit çözünürlükteki bir flash ADC tasarımı sırasında, $2^n - 1$ adet farklı inverter yapısı için, transistör boyutlandırmasına harcanacak ciddi zaman kaybının azaltılmasıdır.

Yöntemin tek dezavantajı, çok sayıda olmasa da, farklı kritik besleme voltajlarının çip içerisinde veya dışarısında nasıl üretileceği ve bunların sabit tutulacağı konusudur. Bu çalışmanın bilimsel katkısı, aradeğerlemeli TIQ yönteminin ilk kez literatüre kazandırılacak olmasıdır.

Anahtar Kelimeler: Aradeğerleme, CMOS Flash ADC, Karma Sinyal VLSI, TIQ Tekniği.

7 BIT FLASH ADC DESIGN USING TIQ INTERPOLATION TEKNIQUE

ABSTRACT

This study presents a 7-bit Flash ADC using TIQ Interpolation technique in 0.18 micron CMOS technology. In this new TIQ technique, two identical TIQ based Flash ADC core is used. One of them uses different power supply voltage values in the analog part, so that 127 different quantization levels belong to a 7-bit Flash ADC are obtained. In this approach, 64 number of different quantization levels belong to the another 6-bit ADC core, which uses only single power supply voltage form the main coarse quantization levels frame to be able to obtain a linear and monotonic converter performance.

The main idea of this new approach is to use the linear relationship between power supply voltage and internally set transition levels in the equation of a well-known TIQ comparator in the literature. The main purpose of this technique is to reduce the large time that must be consumed for designing $2^n - 1$ number of different transistor sized CMOS inverter circuits during a design of n-bit TIQ based Flash ADC.

The only disadvantage of this technique is the issue of how the different critical DC power supply voltages are produced internally or externally and how they are kept constant, although there are only a few number. The main contribution of this study is to introduce the so called “TIQ interpolation technique” to the literature first time.

Keywords: Interpolation, CMOS Flash ADC, Mixed Signal VLSI, TIQ Technique.

1. GİRİŞ

Günümüzde içinde bulunduğumuz fiziksel dünya ile dijital sistemler arasındaki veri alışverişinin sağlanmasında analog sayısal dönüştürücüler çok önemli rol oynamaktadır. Fiziksel dünyadaki ses, görüntü, sıcaklık gibi analog sinyalleri dijital sinyallere dönüştürmeye yarayan birime ADC (Analog Digital Converter) adı verilmektedir. ADC, girişten aldığı analog sinyali, cihazın anlayabileceği şekilde '1' ve '0' lardan oluşan sayısal değerlere çevirip dijital sinyale dönüştürür. ADC mimarileri arasında en yüksek hızda çalışan yapı Flash ADC yapısıdır.

Bu çalışmada Aradeğerlemeli TIQ (Eşik Evirmeli Nicemleyici) Yöntemi ile 7-bit Flash ADC'nin VLSI tasarımı yapılmıştır. Flash ADC'lerin en önemli özelliği, çok yüksek hızda çalışabilmeleridir. TIQ Flash ADC, Geleneksel Flash ADC'lere göre daha az güç harcamaktadır. Sebebi ise voltaj bölücü olarak kullanılan direnç dizisinin ortadan kalkmasıdır. TIQ yönteminde voltaj bölücü olarak TIQ karşılaştırıcılar kullanılmaktadır. Bu sayede güç harcanımının yanı sıra daha az çip alanı kullanım avantajı da oluşmaktadır.

TIQ tabanlı Flash ADC tasarımı temelde; TIQ tabanlı karşılaştırıcı bloğu, kazanç yükseltici bloğu, dinamik tutucu devresi, termometre kod çözücü ve programlanabilir mantık dizisi olmak üzere 5 farklı aşamadan oluşmaktadır.

N bit TIQ Flash ADC'de bulunan karşılaştırıcı ve kazanç yükseltici sayısı aşağıdaki formül ile hesaplanır: Karşılaştırıcı Sayısı veya Kazanç Yükseltici Sayısı = $2^N - 1$ formülü ile hesaplanır. 7-bit Flash ADC için kullanılacak karşılaştırıcı sayısı; $2^7 - 1 = 127$ olarak bulunur.

Şekil-1.1'de 7-Bit TIQ Flash ADC blok diyagramı verilmiştir :



Şekil 1.1. TIQ Flash ADC Blok Diyagramı

7-bit TIQ Flash ADC için 2 adet 6-bitlik TIQ karşılaştırıcı bloğu kullanılır. 3.3Vluk sabit besleme gerilimi ile beslenen ilk 6-bitlik TIQ karşılaştırıcı bloğunun çıkışından 64 adet gerilim seviyesi elde edilir. Kod kaybı olmaması için 2. 6-bitlik TIQ bloğunun çıktılarının ilk 6 bitlik bloğun çıktılarının aralarına denk gelmesi gerekmektedir. 2. 6 bitlik TIQ bloğunun çıktılarının istenen voltaj değerlerine daha yakın olabilmesi için farklı besleme gerilimi değerlerine ihtiyaç duyulmuştur. 3.3V değerindeki Sabit Vdd besleme gerilimi değeri dışında Vdd1, Vdd2, Vdd3 olmak üzere 3 farklı besleme gerilimi kullanılmıştır. Bu 3 farklı besleme gerilimi 2.TIQ bloğunun ilgili karşılaştırıcılarına verilerek beslemeleri yapılır. Bu aşamaya ‘Aradeğerleme’ denir.

7-Bit TIQ Flash ADC; 127 adet TIQ karşılaştırıcıdan, 127 adet kazanç yükselticiden (gain booster), 127 adet dinamik tutucudan, termometre kod çözücü bloğundan ve PLA-ROM bloğundan oluşmaktadır. TIQ tabanlı Voltaj karşılaştırıcılar, giriş voltajını dahili referans voltajı ile karşılaştırır. Kazanç yükselticiler, karşılaştırıcı çıkışında daha keskin eşik oluşturur ve tam dijital çıkış voltajı dalgalanmasını sağlar. Geriye kalan yapılar ise kazanç yükseltici çıkışından alınan sinyalleri dijitale çevirmektedir.

1.1. Amaç

Bu çalışmada 180n CMOS teknolojisinde, Aradeğerlemeli TIQ Yöntemi ile 7-Bit Flash ADC’nin VLSI tasarımının yapılması amaçlanmıştır. Tanner Tools programı yardımıyla; S-EDIT ve L-EDIT devre tasarımı ve T-Spice Analiz editörleri kullanılarak devrelerin şematik tasarımları ve analizleri yapılarak çalışmanın başarımı değerlendirilmiştir. Aradeğerlemeli TIQ tekniği ile karşılaştırma yapılarak Flash ADC’nin güç tüketiminin ve çip alanının azaltılması ve doğru sonuca daha yakın sonuçlar alınması amaçlanmıştır.

2. ANALOG SAYISAL DÖNÜŞTÜRÜCÜLER

Birçok elektronik parça, analog sinyali dijital sinyale çevirme gereksinimine ihtiyaç duymaktadır. Analog sinyalleri dijital sinyallere dönüştürmeye yarayan birime ADC (Analog Digital Converter) adı verilmektedir.

ADC, girişten aldığı analog sinyali, cihazın anlayabileceği şekilde '1' ve '0' 'lardan oluşan lojik değerlere çevirip dijital sinyale dönüştürür. Farklı alanlarda, farklı amaçlar için kullanılan ADC'ler de elektronik cihazlar gibi gün geçtikçe gelişip değişmektedir. Hız, çözünürlük, güç harcanımı gibi özellikler ADC çeşitlerinin artmasına sebep olmuştur. Çift Eğimli ADC, Flash ADC, Boru Hattı ADC, SAR ADC, Delta-Sigma ADC gibi ADC çeşitleri bulunmaktadır. Bu ADC'lerin hepsi, ayrı özelliklerinden dolayı farklı uygulamalarda ihtiyaç haline gelmiştir. Şekil 2.1 de çeşitli ADC türleri belli özellikleri bakımından karşılaştırılmıştır. (URL-1).

ADC Türü	Artıları	Eksileri	maksimum çözünürlük	Maksimum Numune Oranı
Çift Eğimli	Ucuz	Düşük hız	20 bit	100 Hz
flaş	Çok hızlı	Düşük bit çözünürlüğü	12 bit	10 GHz
Boru hattı	Çok hızlı	Sınırlı çözünürlük	16 bit	1 GHz
SAR	İyi hız / çözünürlük oranı	Doğal kenar yumuşatma koruması yok	18 bit	10 MHz
Delta-sigma ($\Delta\Sigma$)	Yüksek dinamik performans, doğal kenar yumuşatma koruması	Doğal olmayan sinyallerde histerezis	32 bit	1 MHz

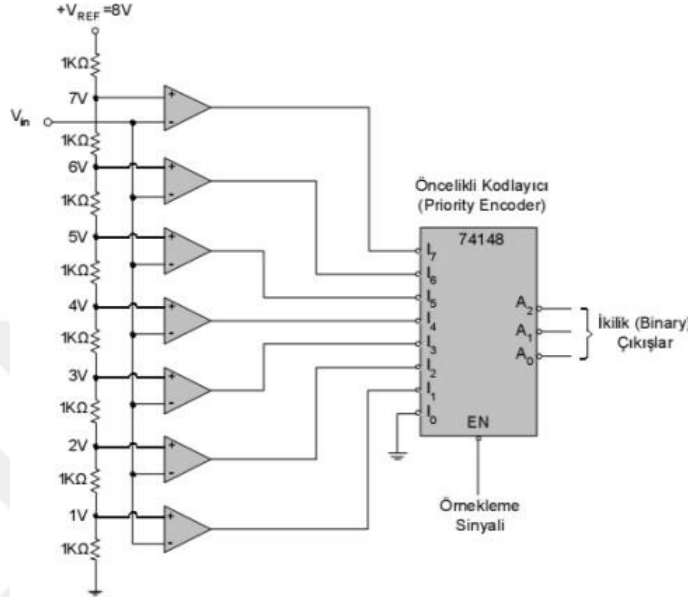
Şekil 2.1. ADC Türlerinin Karşılaştırılması

Bu çalışmada Aradeğerlemeli TIQ (Eşik Evirmeli Nicemleyici) tekniği ile 7-bitlik Flash ADC'nin VLSI tasarımı yapılmıştır. Flash ADC'lerin en önemli özelliği, çok yüksek hızda çalışabilmeleridir. Fakat yüksek hızın yanında düşük çözünürlüğe sahip olması bu ADC türünün dezavantajıdır.

2.1.Flash (Paralel) ADC

Analog büyüklüklerin sayısal işaretlere dönüştürülmesinde kullanılan en kolay ve hızlı çevirici çeşidi flash (paralel) ADC dir. Flash ADCler analog giriş voltajını referans voltajı ile karşılaştırma prensibine bağlı olarak çalışırlar.

Giriş voltajı referans voltajından büyükse devre çıkışı lojik “1”, küçükse lojik “0” değerini almaktadır. Giriş voltajının çıkış voltajına dönüştürülmesinde karşılaştırıcı devrelerinden yararlanılır. N bitlik bir dönüştürücü için $2^N - 1$ adet karşılaştırıcı gerekmektedir. Şekil 2.2’de 3 bitlik bir Flash ADC yapısı görülmektedir. (URL-2).



Şekil 2.2. 3-bit Flash ADC Devre Şeması

Geleneksel flash ADC lerde yukarıdaki devrede görüldüğü gibi karşılaştırıcı sayısı kadar referans gerilimi gerekmektedir. Bu referans gerilimlerini elde etmek için devrede direnç veya kapasitör gibi devre elemanları kullanılması gerekir. Bu durum devrenin çip alanını ve güç tüketimini arttırdığı için; Flash ADCler yüksek çözünürlüklü uygulamalar için elverişli kabul edilmemektedir. Bu çalışmada geleneksel flash ADC yapısından farklı olarak karşılaştırıcı kısmında TIQ tabanlı karşılaştırıcılar kullanılarak direnç-kapasite gibi devre elemanları kullanımının önüne geçilerek çip alanı ve güç tüketimi bakımından daha avantajlı bir yapı elde edilmiştir.

3. VLSI TEKNOLOJİSİ

VLSI (Very Large Scale İntegration), kısaltmanın açılımı çok geniş ölçekli tümleşim anlamına gelmektedir. Binlerce transistörün tek bir yonga üzerinde tümleşik devre oluşturmasına olanak sağlamaktadır. VLSI uygulamalarında programcı yonga üzerine ekleyeceği devre elemanlarının fabrika model parametrelerine göre entegre tasarımını gerçekleştirebilmektedir. Örneğin; devreye eklenecek transistörlerin W (kanal genişliği), L (kanal uzunluğu) gibi değerleri tasarım yapılırken değiştirilebilir.

Bu çalışmada; Aradeğerlemeli TIQ (Eşik Evirmeli Nicemleyici) Yöntemi ile Flash ADC'nin VLSI tasarımı yapılacaktır. Tasarımda VLSI teknolojisinin kullanılmasının pek çok avantajı bulunmaktadır. Bu avantajlar; sayısal devrelerin yüksek hızda çalışması, çip alanının kolay yönetilmesi ile çip alanından tasarruf edilmesi, düşük güç tüketimine olanak sağlaması ve daha düşük maliyet sağlaması olarak gösterilebilir.

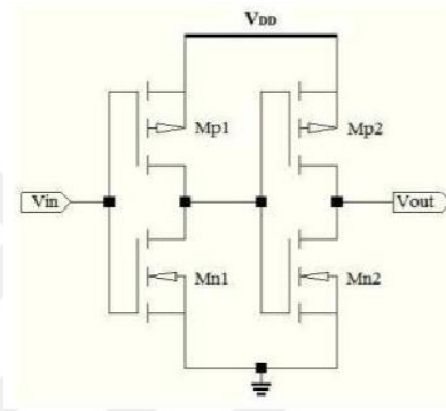
3.1. TIQ Karşılaştırıcı

ADC'lerde karşılaştırıcı devrelerine ihtiyaç duyulmaktadır. Geleneksel karşılaştırıcılarda giriş voltajı ile referans voltajı karşılaştırılır ve buna bağlı olarak '1'ler ve '0'lar üretilir. Giriş voltaj değeri referans voltaj değerinden büyükse '1', küçükse '0' üretilmektedir.

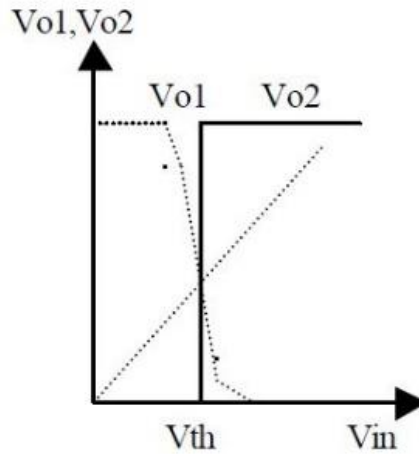
Bu projede karşılaştırıcı birimi TIQ karşılaştırıcıdır. Bu sayede harici referans gerilimi ortadan kalkmış olmaktadır. MOSFET'lerin boyutları değiştirilerek (W değiştirilir, L Sabit) eşik değerleri elde edilmeye çalışılır. Harici referans gerilimine duyulan ihtiyaç bu sayede ortadan kalkmış olur. Geleneksel karşılaştırıcılarda kullanılan direnç dizisi ortadan kalkar. Diğer karşılaştırıcılara göre yüksek hız ve daha düşük güç tüketimi sağlamaktadır. TIQ tekniğinin genel olarak avantajları şunlardır:

- TIQ tekniği direnç dizisine ihtiyaç duymamaktadır.
- Geleneksel karşılaştırıcılara göre çok daha az güç harcamaktadır.
- Kapladığı çip alanı diğer uygulamalara göre daha küçüktür.
- Hız bakımından avantaj sağlamaktadır.

TIQ karşılaştırıcı, Şekil 3.1.'deki gibi 2 adet inverter yapısının uç uca eklenmesi ile oluşmaktadır. (Ahmed ve Baghel, 2014). Transistör kanal uzunluğu L , performansın kontrolünde kanal genişliğinden daha etkili olduğundan dolayı, L sabit tutulur ve sadece W değiştirilir. İkinci inverter, kazancı yükseltmek ve lojik dönüşüm yapmak amacıyla kullanılmıştır. Her iki eviricideki transistör boyutları aynıdır. İkinci invertörün boyutlarının aynı olmasının sebebi DC eşik seviyesini sabit tutmak ve yüksek frekanslı giriş sinyallerinin voltaj yükselme-düşme aralıkları için doğrusallığı sabit tutmaya çalışmaktır.



Şekil 3.1. TIQ Karşılaştırıcı Şematiği



Şekil 3.2. Gerilim Geçiş Eğrisi

Şekil 3.2'de gerilim geçiş eğrisinin grafiği ve bu grafikte bulunan eşik geriliminin (V_{th}) formülü denklem (3.1)'de verilmiştir (Tangel ve Choi 2004). V_{dd} değeri artırıp azaltıldığında, simülasyon sonucunda sağa veya sola kaymalar gözlemlenmektedir. Formül lineer olmadığından dolayı eşik gerilimleri her blok için aynı olmamaktadır.

$$V_t = \frac{V_{dd} - |V_{tp}| + V_{tn} \sqrt{(K_n/K_p)}}{1 + \sqrt{(K_n/K_p)}} \quad (3.1)$$

NMOS'un threshold gerilimi V_{tn} ve PMOS'un threshold gerilimi V_{tp} ile gösterilmiştir. K_n formülü denklem (3.2)'de ve K_p formülü denklem (3.3)'te verilmiştir (Tangel ve Choi 2004).

$$K_n = (W/L)_n \cdot \mu_n C_{ox} \quad (3.2)$$

$$K_p = (W/L)_p \cdot \mu_p C_{ox} \quad (3.3)$$

3.2. Aradeğerlemeli TIQ Tekniği

TIQ tabanlı Flash ADC tasarımında özellikle 6 bit ve üzeri Flash ADC tasarımı hedeflenmiş ise, TIQ karşılaştırıcı dizisinin tasarımı oldukça zaman alıcı olacaktır. Bu nedenle bu çalışmada, buradaki tasarım zorluğunu hafifletmek amaçlı olarak yeni bir yöntem olan Aradeğerlemeli TIQ (Threshold Inverter Quantization) yöntemi geliştirilerek 7-bitlik TIQ tabanlı bir Flash ADC nin VLSI tasarımına uyarlanmıştır. Çalışmanın bilimsel katkısı bu yöntemin literatüre kazandırılmasıdır.

Yukarıda verilen karşılaştırıcının dahili karşılaştırma eşik değerini veren eşitlikte, V_{dd} değerine olan doğrusal bağıntı, TIQ aradeğerleme olarak isimlendirdiğimiz yöntemin dayanak noktasını oluşturmaktadır. TIQ karşılaştırıcı dizisinde, birbirinin tamamen aynı transistör boyutlarına sahip olan, N-1 çözünürlükteki Flash ADC den iki adet kullanıp, ikinci Flash çekirdeğini çok küçük bir besleme gerilimindeki kayma ile beslemek, böylece istenen ara değerleme geçiş eğrilerinin (diğer bir ifadeyle kuantalama seviyelerinin) kolayca elde edilmesini sağlamak burada amaçlanmıştır.

Geleneksel ara değerleme yöntemlerinde, iki farklı analog çıkış arasına iki adet eşit değerde direnç bağlanır ve orta uçtan üçüncü bir çıkış alınır. Böylece iki bağımsız çıkış öz eğrisi arasında tam ortada, yeni bir devreye ihtiyaç duyulmadan üçüncü bir gerilim geçiş öz eğrisi elde edilir. Burada ise bundan farklı bir yaklaşım denenmiştir. Halbuki benzetimlerde üst düzey MOSFET modelleri (örneğin BSIM3) kullanıldığından dolayı, mosfetlerin eşik gerilim değerlerinin (threshold voltage) boyutlara (W/L) bağlı olarak yeniden hesaplanması durumu söz konusudur. Bu nedenle, burada baz alınan eşitlik, tam olarak gerçeği yansıtmamaktadır.

Bu çalışmadaki araştırmanın bir amacı da bu gerçeğin (yani yüksek seviye MOSFET modellerinin kullanımının), temel alınan TIQ karşılaştırıcı eşik değerinin (V_{th}), V_{dd} ye olan doğrusal bağıntısını ne derecede etkileyeceğinin ortaya çıkarılmasıdır.

İlerleyen bölümlerde görüleceği üzere, ikinci Flash ADC çekirdeği için sadece 1 adet farklı bir besleme gerilimi değeri istenilen doğrusallığı yakalayabilmek için yeterli olamamıştır ve 3 farklı besleme gerilim değeri ile istenilen doğrusallık başarımı elde edilebilmiştir.



4. ARADEĞERLEMELİ TIQ TEKNIĞİ İLE 7-BİT FLASH ADC TASARIMI

Bu çalışmada Aradeğerlemeli 7-bit TIQ Flash ADC için 2 adet 6-bit TIQ bloğu kullanılmaktadır. Bu iki bloğun çıktıları, birbirinin arasında eşit voltaj mesafesi olacak şekilde ayarlanıp yerleştirilmeye çalışılır. İlk blokta sabit 3.3V gerilim ile besleme yapılmaktadır. İkinci blokta ise ‘Aradeğerleme’ yöntemi kullanılmaktadır. 2 TIQ blok çıktıları, tarağın ucuna benzetilir ise 2 adet tarağın uçlarının iç içe girmesi ile istenilen sonuç elde edilmiş olur. Aradeğerlemeyle ise 2. tarak yaklaşık olarak ilk tarağın çubuklarının ortasına gelecek şekilde ayarlanması amaçlanmaktadır. V_{max} değeri 2420 mV ve V_{min} değeri 630 mV alınmıştır. Adım aralığı; $(V_{max}-V_{min}): 2^n$ formülü ile hesap edilmektedir.

Bu formülden adım aralığı yaklaşık olarak 28 mV alınmaktadır. Devrenin besleme değeri 3.3V’tur.

4.1. İlk 6-bitlik TIQ Bloğu Tasarımı

Yukarıda belirtildiği üzere V_{max} değeri 2420 mV ve V_{min} değeri 630mV alınmıştır. Adım aralığı, $\frac{V_{max}-V_{min}}{2^n}$ formülünden 28mV olarak hesaplanmıştır. V_{min} değerinden başlayarak 28mVluk artışlarla ideal gerilim değerlerini elde etmek için transistörlerin W (kanal genişliği) değeri değiştirilerek ilk blok için 64 farklı W değeri hesaplanır. Tasarımda MOSFET’lerin L değerleri sabittir ve bu değer 0.18 mikrondur. W_{PMOS} ve W_{NMOS} değerleri ise her bir blok için değişiklik göstermektedir. Bu değerler deneme yanılma yöntemi ile bulunmuştur ve Tablo 4.1’de gösterilmiştir. Devre 3,3V (V_{dd}) besleme gerilimi değeri ile beslenmiştir.

Tablo 4.1. TIQ Karşılaştırmalarının W_{PMOS} ve W_{NMOS} Değerleri (mikrometre) ve İdeal ve Ölçülen Gerilim Değerleri (mV)

WPMOS	WNMOS	İDEAL	ÖLÇÜLEN	TIQ
0,6	24,5	630	630,4	0
0,6	17	658	658,6	1
0,6	12,5	686	686	2
0,6	9,5	714	714,2	3
0,6	7,5	742	742,1	4
0,6	6,1	770	769,6	5

Tablo 4.1. (Devam) TIQ Karşılaştırıcılarının WPMOS ve WNMOS Değerleri (mikrometre) ve İdeal ve Ölçülen Gerilim Değerleri (mV)

0,6	5	798	799,2	6
0,6	4,25	826	826	7
0,6	3,65	854	853,3	8
0,6	3,15	882	881,8	9
0,6	2,75	910	910,1	10
0,6	2,42	938	938,5	11
0,6	2,15	966	966,2	12
0,6	1,92	994	994,1	13
0,6	1,75	1022	1022	14
0,6	1,58	1050	1050	15
0,6	1,4	1078	1078	16
0,6	1,27	1106	1106	17
0,6	1,16	1134	1133	18
0,6	1,06	1162	1161	19
0,6	0,962	1190	1190,3	20
0,6	0,88	1218	1218,2	21
0,6	0,805	1246	1246,5	22
0,6	0,74	1274	1273,5	23
0,6	0,677	1302	1302,3	24
0,6	0,62	1330	1330,9	25
0,63	0,6	1358	1357,8	26
0,685	0,6	1386	1386,5	27
0,74	0,6	1414	1414	28
0,8	0,6	1442	1442,3	29
0,86	0,6	1470	1469,1	30
0,93	0,6	1498	1499	31
1	0,6	1526	1527	32
1,075	0,6	1554	1552,7	33
1,15	0,6	1582	1582	34
1,235	0,6	1610	1610,5	35
1,325	0,6	1638	1638,9	36
1,42	0,6	1666	1667	37
1,52	0,6	1694	1694,5	38
1,63	0,6	1722	1723,2	39
1,75	0,6	1750	1752	40
1,87	0,6	1778	1778,9	41
2	0,6	1806	1806,1	42

Tablo 4.1. (Devam) TIQ Karşılaştırmalarının WPMOS ve WNMOS Değerleri (mikrometre) ve İdeal ve Ölçülen Gerilim Değerleri (mV)

2,15	0,6	1834	1835,2	43
2,3	0,6	1862	1862	44
2,47	0,6	1890	1890	45
2,66	0,6	1918	1919	46
2,85	0,6	1946	1946	47
3,075	0,6	1974	1974,5	48
3,3	0,6	2002	2001	49
3,55	0,6	2030	2028	50
3,85	0,6	2058	2057,2	51
4,2	0,6	2086	2087,5	52
4,55	0,6	2114	2115	53
4,95	0,6	2142	2143	54
5,38	0,6	2170	2170	55
5,9	0,6	2198	2198,9	56
6,45	0,6	2226	2225,9	57
7,1	0,6	2254	2253,8	58
7,85	0,6	2282	2282	59
8,7	0,6	2310	2309	60
9,8	0,6	2338	2339	61
11	0,6	2366	2367,2	62
12,4	0,6	2394	2394,2	63

Tablodan da anlaşılacağı üzere ilk TIQ invertör bloğundaki W_{PMOS} değeri en küçüktür, W_{NMOS} değeri ise en büyüktür. W_{NMOS} değeri ortalara gidildikçe azalır, devre için belirlenen minimum değerde sabit tutulur. W_{NMOS} değeri sabit tutulurken bu sefer W_{PMOS} değeri arttırılarak ideal gerilim değerleri elde edilmeye çalışılır. Orta kısımlarda ise W_{PMOS} ve W_{NMOS} en küçük değerlerini almaktadır. Orta bloklarda tasarım hassaslaşmaya başlar. Kritik değerleri yakalamak zorlaşır. Deneme yanılma yöntemi ile işlemler tamamlanır.

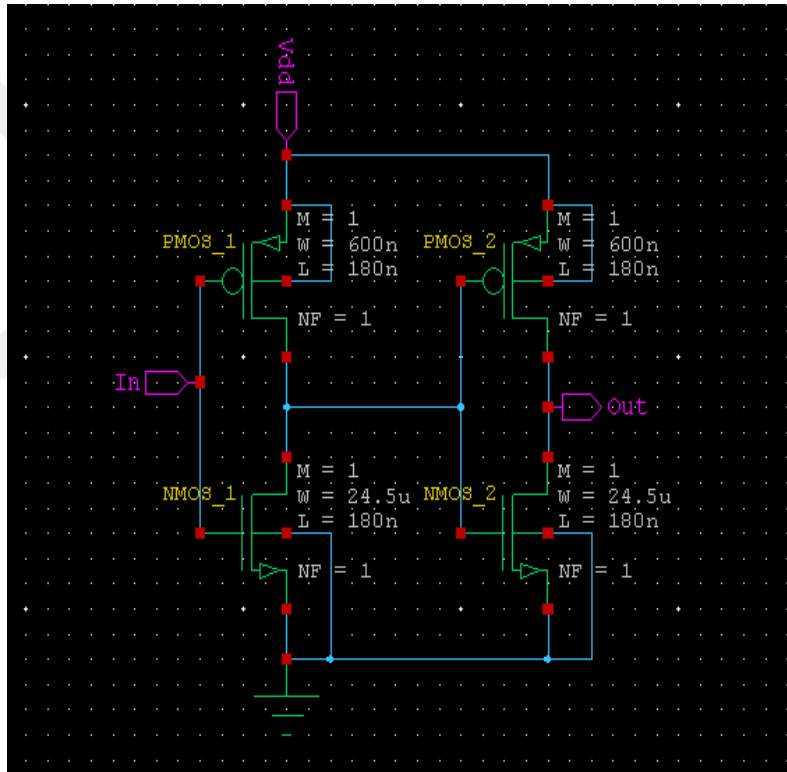
İlk blok çıktısında istenilen eşik gerilim değeri 630mV'tur. 28mV aralıklarla artış sağlanır. 64. Bloкта ise istenilen eşik gerilim değeri yaklaşık 2394 mV olmaktadır. Bu değerlere en yakın olacak şekilde MOSFET'in W değerleri ayarlanmaktadır.

4.1.1. İlk 6-Bit TIQ Bloğunun S-EDİT Tasarımı

TIQ karşılaştırıcı, belirtildiği gibi 2 adet inverter yapısının uç uca eklenmesi ile oluşmaktadır. Her iki eviricideki transistör boyutları aynıdır. İkinci inverter, kazancı yükseltmek ve lojik dönüşüm yapmak amacıyla kullanılmıştır.

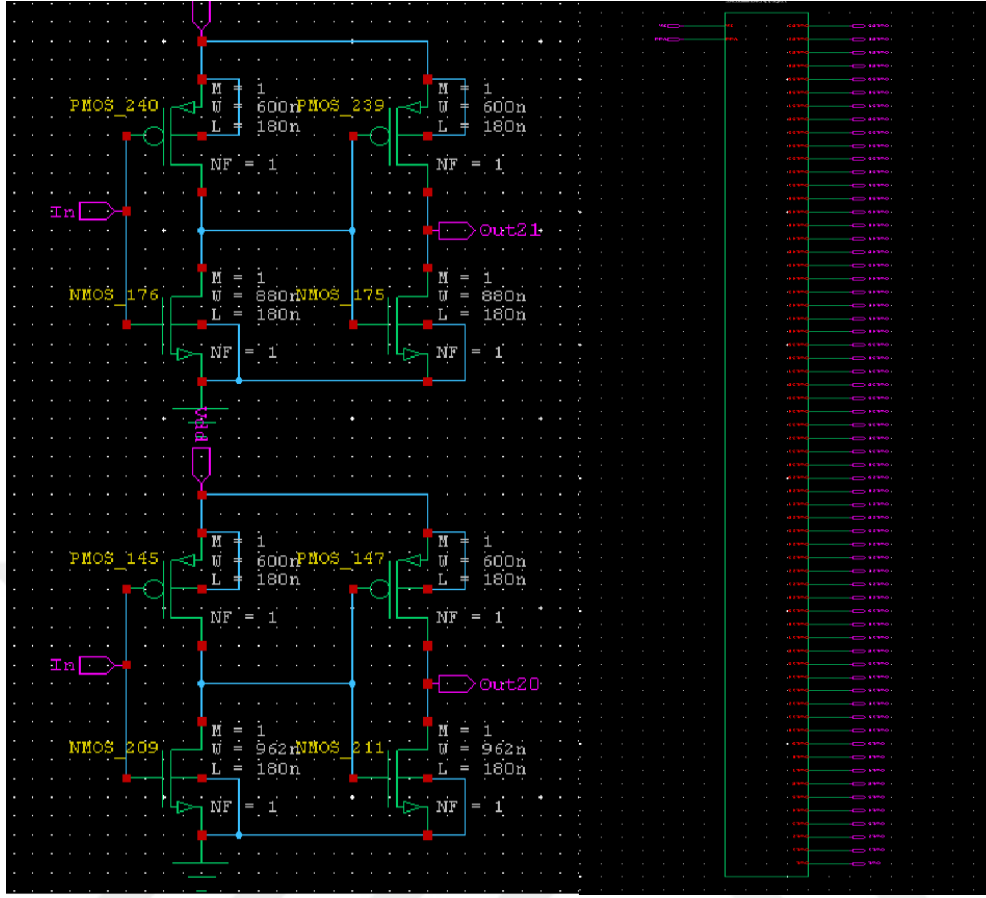
Transistör kanal uzunluğu L, performansın kontrolünde kanal genişliğinden daha etkili olduğundan dolayı, L sabit tutulur ve sadece W değiştirilir. Tasarımda MOSFET'lerin L değerleri sabittir ve bu değer 0.18 mikrondur.

İlk TIQ bloğa ait S-Edit devre tasarımı Şekil 4.1 gösterilmektedir.



Şekil 4.1. 1.TIQ Bloğu S-EDİT Şematik Çizimi

Şekil 4.2(a) 64 adet TIQ karşılaştırıcı bloğunun kısmi şematik tasarımını ve şekil 4.2(b) 64 blokluk TIQ karşılaştırıcı yapısının 64 çıkışlı sembol gösterimini göstermektedir.



Şekil 4.2.(a) 64 adet TIQ karşılaştırıcı bloğunun kısmi şematik tasarımı, (b) 64 blokluk TIQ karşılaştırıcı yapısının 64 çıkışlı sembol gösterimi

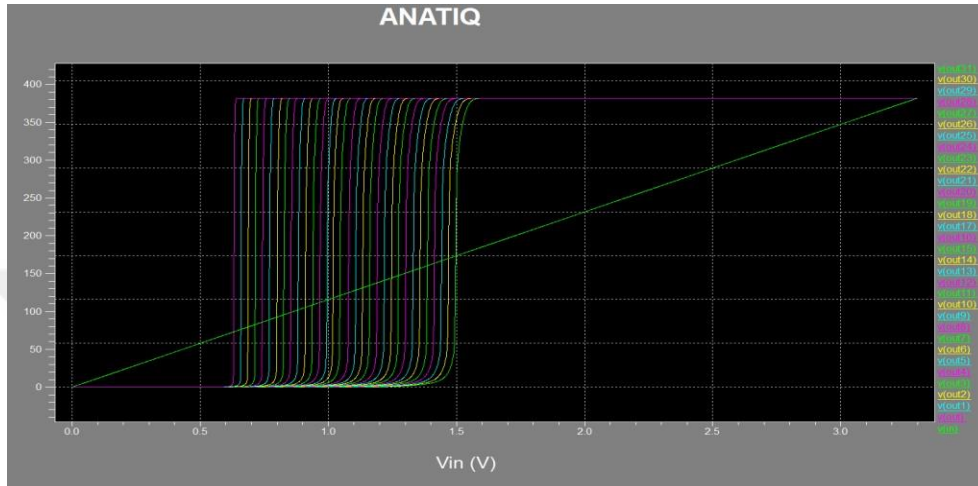
4.1.2. İlk 6-Bit TIQ Bloğunun T-Spice Analiz Sonuçları

S-Edit tasarımı yapılan bloğun T-Spice DC analiz komutları çalıştırılarak devrenin DC çalışması gözlemlenmiştir. Şekil4.3 te T-Spice DC analiz komutları yer almaktadır.

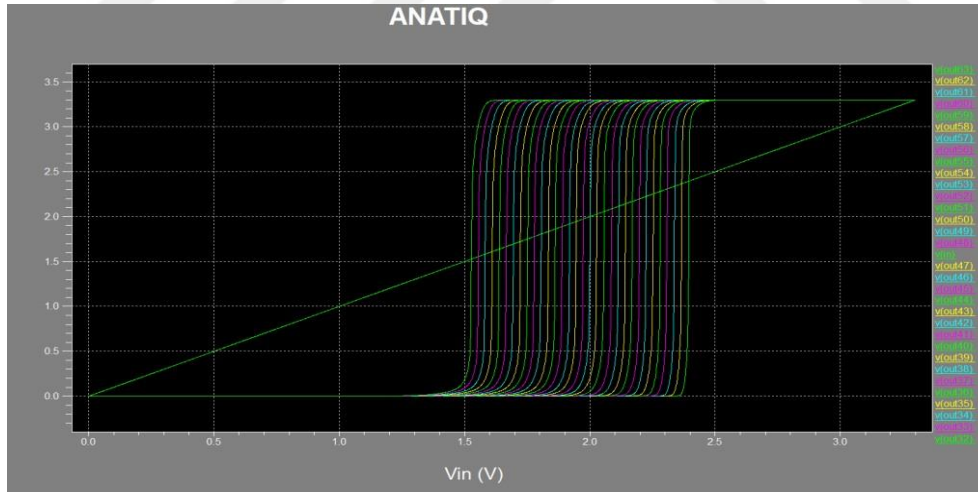
```
***** Simulation Settings - Additional SPICE commands *****
Vpower Vdd Gnd 3.3V
Vin in Gnd dc 0
.dc lin source Vin 0 3.3V 1mV
.print dc v(in) v(out) v(out1) v(out2) v(out3) v(out4) v(out5) v(out6) v(out7) v(out8)
v(out9) v(out10) v(out11) v(out12) v(out13) v(out14) v(out15)
.print dc v(out16) v(out17) v(out18) v(out19) v(out20) v(out21) v(out22) v(out23) v(out24)
v(out25) v(out26) v(out27) v(out28) v(out29) v(out30) v(out31)
.print dc v(in) v(out32) v(out33) v(out34) v(out35) v(out36) v(out37) v(out38) v(out39)
v(out40) v(out41) v(out42) v(out43) v(out44) v(out45) v(out46) v(out47)
.print dc v(in) v(out48) v(out49) v(out50) v(out51) v(out52) v(out53) v(out54)
v(out55) v(out56) v(out57) v(out58) v(out59) v(out60) v(out61) v(out62) v(out63)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
```

Şekil 4.3. İlk 6 Bit TIQ Bloğu T-Spice DC Analiz komutları

T-Spice komutları çalıştırılarak W-Edit ekranında devrenin giriş çıkış gerilim eğrisi görülmüştür. Her bir TIQ bloğu için ideal gerilim değerleri yakalanmaya çalışılmıştır. Program tüm simülasyon sonuçlarını aynı ekranda gözlemlemeye olanak sağlamamaktadır. Şekil 4.4 ve Şekil 4.5 te de devrenin T-Spice DC analiz sonuçları gözlemlenmektedir.



Şekil 4.4. İlk 31 ADET TIQ Bloğunun Analiz sonuçları



Şekil 4.5. İkinci 32 ADET TIQ Bloğunun Analiz sonuçları

4.2. Aradeğerlemeli 6-Bit TIQ Bloğunun Tasarımı

Aradeğerlemeli TIQ devresinde istenilen eşik gerilimi değerlerini elde edebilmek için devredeki belirli karşılaştırmacılara 3.3Vtan farklı besleme gerilimleri uygulanmıştır. $V_{dd1}=3.17V$, $V_{dd2}=3.255V$ ve $V_{dd3}=3.28 V$ olmak üzere belli karşılaştırmacılara farklı besleme gerilimleri uygulamak suretiyle ilk blokta elde ettiğimiz 64 adet eşik gerilimin

ara değerlerine gelecek şekilde 63 adet eşik gerilim değeri elde edilmiştir. Tablo 4.2’de devreye uygulanan farklı besleme gerilim değerleri ve ilgili karşılaştırmalar verilmiştir. Aradeğerlemeli TIQ blokları TIQA ile gösterilmiş ve blok numaraları da blok numarası ve A harfi sembolize edilmiştir.

Tablo 4.2. Aradeğerlemeli TIQ Bloğunun Besleme Voltaj Değerleri

TIQA	3,17V	3,255V	TIQA	3,28V
1A	X		32A	X
2A	X		33A	X
3A	X		34A	X
4A	X		35A	X
5A	X		36A	X
6A	X		37A	X
7A	X		38A	X
8A	X		39A	X
9A	X		40A	X
10A	X		41A	X
11A		X	42A	X
12A		X	43A	X
13A		X	44A	X
14A		X	45A	X
15A		X	46A	X
16A		X	47A	X
17A		X	48A	X
18A		X	49A	X
19A		X	50A	X
20A		X	51A	X
21A		X	52A	X
22A		X	53A	X
23A		X	54A	X
24A		X	55A	X
25A		X	56A	X
26A		X	57A	X
27A		X	58A	X
28A		X	59A	X
29A		X	60A	X
30A		X	61A	X
31A		X	62A	X
			63A	X

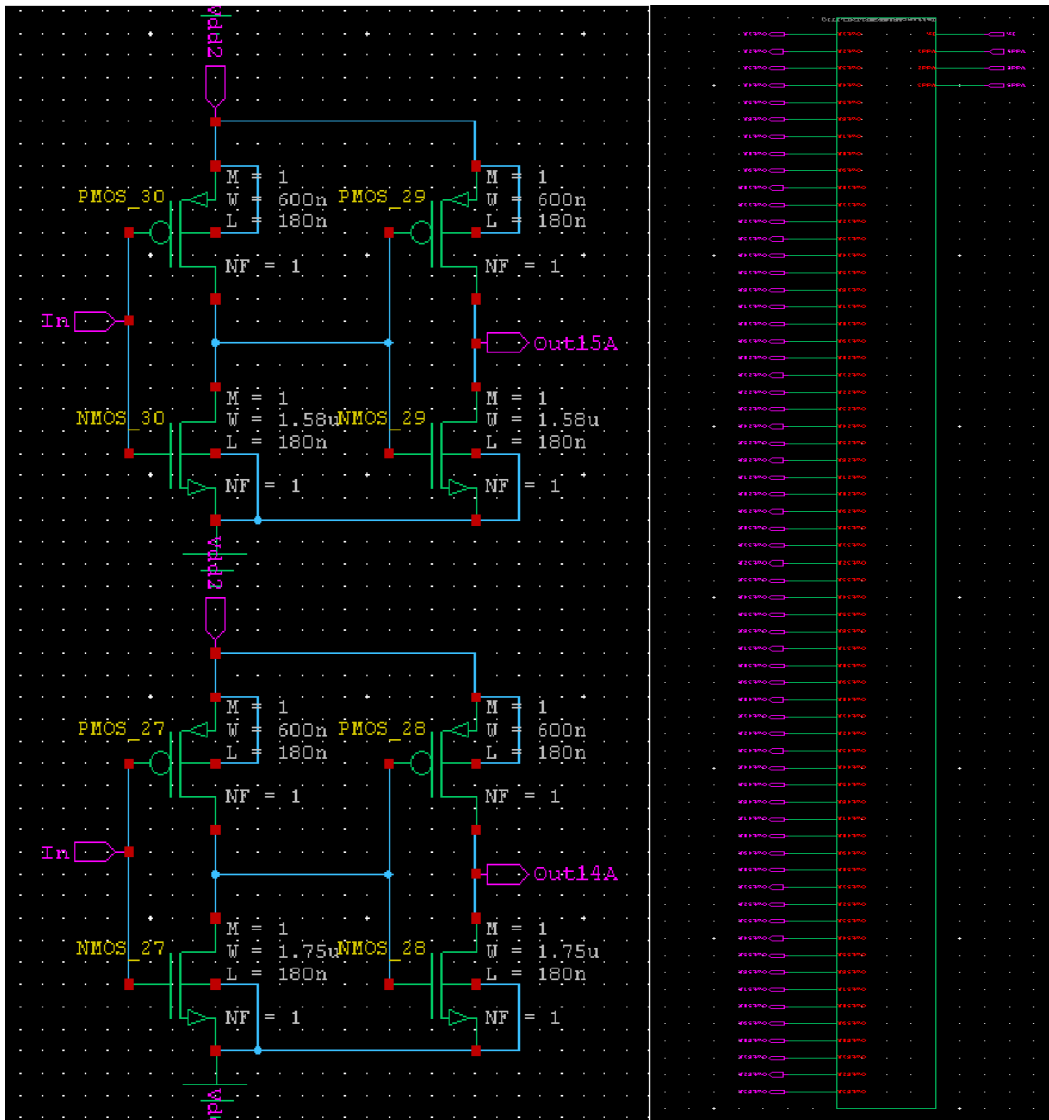
Tablo 4.3’te; Tablo 4.2’de gösterilen 3 farklı besleme geriliminin ilgili karşılaştırmalara uygulanması sonucunda elde edilen eşik gerilimi değerleri verilmiştir. Bulunan gerilim değerleri İlk 6 bitlik TIQ bloğunda elde edilen eşik gerilimi değerlerinin aralarına gelecek şekilde tasarım yapılmıştır. Devrenin INL/DNL Performansı göz önünde bulundurularak gerilim değerleri ideale en yakın olacak şekilde elde edilmeye çalışılmıştır. Devrenin güç tüketimine olan etkisi düşünülerek kullanılan besleme gerilimi sayısı minimumda tutulmaya çalışılmış 3 farklı besleme gerilimi ile tasarım gerçekleştirilmiştir.

Tablo 4.3. Aradeğerlemeli 6-Bit TIQ Bloğu V_{th} Değerleri

TIQ Blok	İstenen V _{Th}	Elde Edilen V _{Th}	TIQ Blok	İstenen V _{Th}	Elde Edilen V _{Th}
TIQ1A	644mV	651mV	TIQ33A	1540 mV	1545mV
TIQ2A	672mV	678mV	TIQ34A	1568mV	1572mV
TIQ3A	700mV	704mV	TIQ35A	1596mV	1600mV
TIQ4A	728mV	731mV	TIQ36A	1624mV	1628mV
TIQ5A	756mV	757mV	TIQ37A	1652mV	1655mV
TIQ6A	784mV	785mV	TIQ38A	1680mV	1682mV
TIQ7A	812mV	810mV	TIQ39A	1708mV	1710mV
TIQ8A	840mV	835mV	TIQ40A	1736mV	1740mV
TIQ9A	868mV	862mV	TIQ41A	1764mV	1766mV
TIQ10A	896mV	889mV	TIQ42A	1792mV	1793Mv
TIQ11A	924mV	930mV	TIQ43A	1820mV	1822mV
TIQ12A	952mV	958mV	TIQ44A	1848mV	1848mV
TIQ13A	980mV	985mV	TIQ45A	1876mV	1877mV
TIQ14A	1008mV	1008mV	TIQ46A	1904mV	1905mV
TIQ15A	1036mV	1034mV	TIQ47A	1932mV	1932mV
TIQ16A	1064mV	1068mV	TIQ48A	1960 mV	1960 mV
TIQ17A	1092 mV	1094 mV	TIQ49A	1988 mV	1987 mV
TIQ18A	1120 mV	1120 mV	TIQ50A	2016 mV	2013 mV
TIQ19A	1148 mV	1147 mV	TIQ51A	2044 mV	2042 mV
TIQ20A	1176 mV	1176 mV	TIQ52A	2072 mV	2072 mV
TIQ21A	1204 mV	1204 mV	TIQ53A	2100 mV	2100 mV
TIQ22A	1232 mV	1231 mV	TIQ54A	2128 mV	2128 mV
TIQ23A	1260 mV	1258 mV	TIQ55A	2156 mV	2154 mV
TIQ24A	1288 mV	1286 mV	TIQ56A	2184 mV	2182 mV
TIQ25A	1316 mV	1313 mV	TIQ57A	2212 mV	2210 mV
TIQ26A	1344 mV	1340 mV	TIQ58A	2240 mV	2237 mV
TIQ27A	1372 mV	1368 mV	TIQ59A	2268 mV	2264 mV
TIQ28A	1400 mV	1394mV	TIQ60A	2296 mV	2292 mV
TIQ29A	1428 mV	1422 mV	TIQ61A	2324 mV	2322 mV
TIQ30A	1456 mV	1449 mV	TIQ62A	2352 mV	2350 mV
TIQ31A	1484 mV	1478 mV	TIQ63A	2380 mV	2378 mV
TIQ32A	1512 mV	1517 mV			

4.2.1. Aradeğerlemeli TIQ Bloğunun S-EDİT Tasarımı

İlk 6 bitlik TIQ blok ile 2. 6 bitlik bloğun W_{PMOS} ve W_{NMOS} değerleri aynı olacağı için W değerlerini tekrar hesaplama zorluğu ortadan kalkmıştır. Böylece tasarımda kolaylık sağlanırken işlem yükü de azaltılmış oldu. İlk bloktaki karşılaştırıcılardan farklı isimli çıkışlar verilerek uygulamada ortaya çıkabilecek hataların önüne geçilmesi hedeflenmiştir. Şekil 4.6(a) 63 adet Aradeğerlemeli TIQ karşılaştırıcı bloğunun kısmi şematik tasarımını ve şekil 4.6(b) 63 blokluk TIQ karşılaştırıcı yapısının 63 çıkışlı sembol gösterimini içermektedir.



Şekil4.6(a) 63 adet Aradeğerlemeli TIQ bloğunun kısmi şematik Tasarımı, (b) 64 blokluk TIQ karşılaştırıcı yapısının 64 çıkışlı sembol gösterimi

4.2.2 Aradeğerlemeli TIQ Bloğunun T-Spice Analiz Sonuçları

S-Edit tasarımı yapılan bloğun T-Spice DC analiz komutları çalıştırılarak devrenin DC çalışması gözlemlenmiştir. Şekil 4.7’de T-Spice DC analiz komutları yer almaktadır.

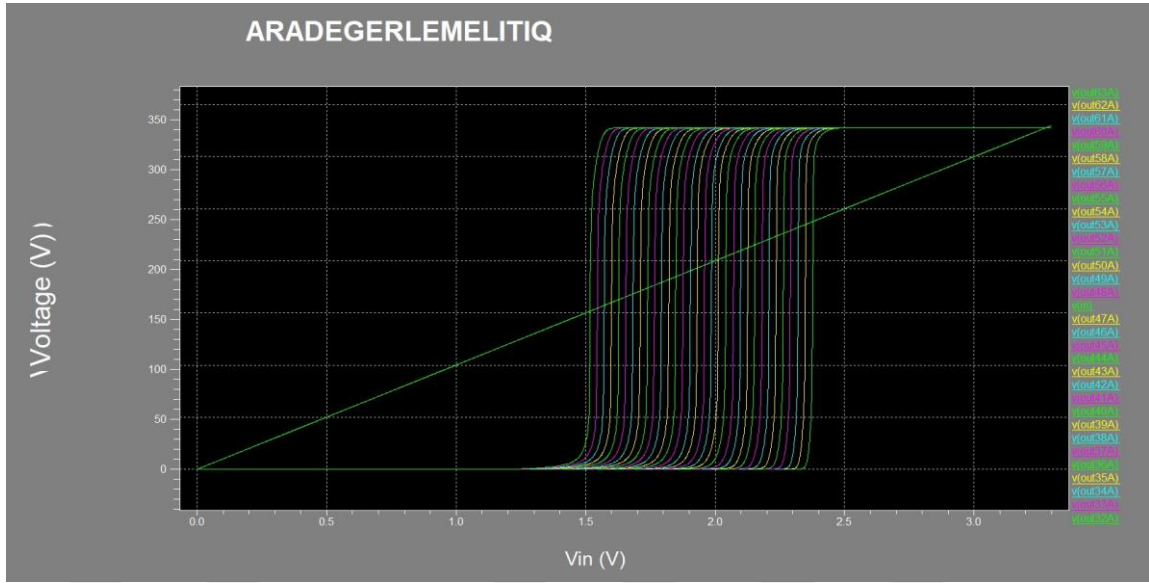
```
***** Simulation Settings - Additional SPICE commands *****
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vin in Gnd dc 0
.dc lin source Vin 0 3.3V 1mV
*.print dc v(in) v(out1A) v(out2A) v(out3A) v(out4A) v(out5A) v(out6A) v(out7A) v(out8A)
v(out9A) v(out10A) v(out11A) v(out12A) v(out13A) v(out14A) v(out15A) v(out16A)
*.print dc v(in) v(out17A) v(out18A) v(out19A) v(out20A) v(out21A) v(out22A) v(out23A)
v(out24A) v(out25A) v(out26A) v(out27A) v(out28A) v(out29A) v(out30A) v(out31A)
*.print dc v(in) v(out32A) v(out33A) v(out34A) v(out35A) v(out36A) v(out37A) v(out38A) |
v(out39A) v(out40A) v(out41A) v(out42A) v(out43A) v(out44A) v(out45A) v(out46A) v(out47A)
*.print dc v(in) v(out48A) v(out49A) v(out50A) v(out51A) v(out52A) v(out53A) v(out54A)
v(out55A) v(out56A) v(out57A) v(out58A) v(out59A) v(out60A) v(out61A) v(out62A) v(out63A)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end
```

Şekil 4.7. Aradeğerlemeli TIQ Bloğunun T-Spice DC Analiz komutları

T-Spice komutları çalıştırılarak Aradeğerlemeli TIQ bloğunun DC analiz W-EDİT Simülasyonu yapılmıştır. Şekil 4.8 ve Şekil 4.9’da Aradeğerlemeli TIQ Bloğunun W-EDİT Simülasyon sonuçları gösterilmiştir.



Şekil 4.8. Aradeğerlemeli TIQ Bloğunun W-EDİT Simülasyon Sonuçları-I



Şekil 4.9. Aradeğerlemeli TIQ Bloğunun W-EDİT Simülasyon Sonuçları-II

4.3. Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu Analiz Sonuçları

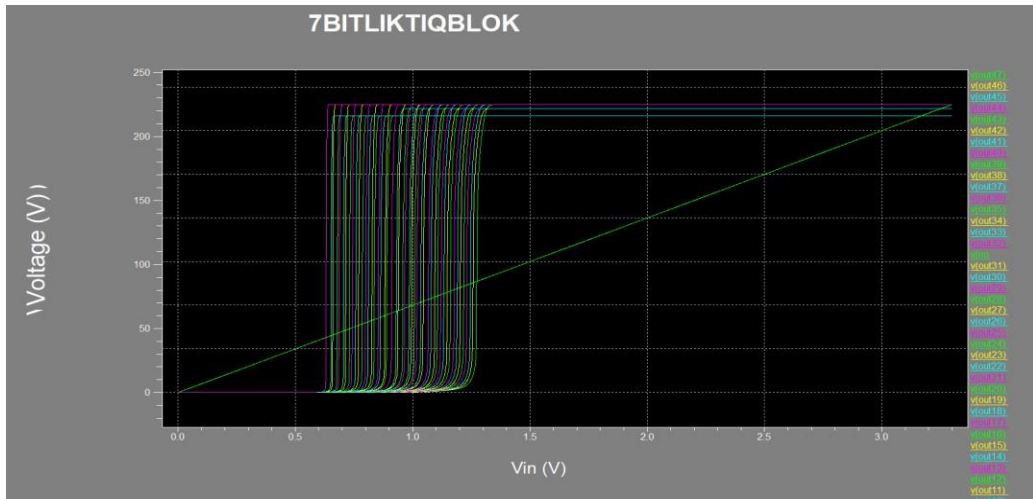
64 adet TIQ devresinden oluşan ilk 6 bitlik TIQ Bloğu ile 63 adet TIQ devresinden oluşan 6 bitlik Aradeğerlemeli TIQ Bloğu devre şemaları S-EDİT programı üzerinde birleştirildiğinde 127 adet TIQ devresinden ve 127 adet çıkıştan oluşan 7 bitlik TIQ Bloğu elde edilmiş olur. 7 bitlik TIQ bloğunun T-Spice DC analizi ve AC analiz sonuçları W-EDİT Simülasyonu olarak bu başlıkta verilmiştir.

4.3.1 Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu DC Analiz Sonuçları

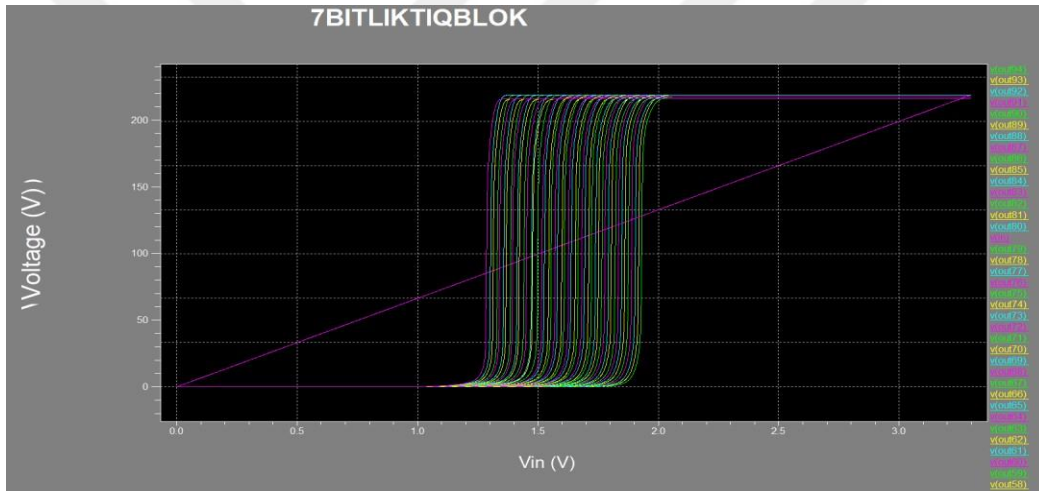
7 bitlik TIQ bloğunun T-Spice DC analiz komutu Şekil 4.10'da verilmiştir. T-Spice DC Analizi W-EDİT Simülasyon sonuçları ile Şekil 4.11, Şekil 4.12 ve Şekil 4.13'te verilmiştir. W-EDİT ekranında maksimum 50 işaret gözlemlenebildiği için 3 seferde çıkış işareti gözlemlenmiştir.

```
***** Simulation Settings - Additional SPICE commands *****
Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vin in Gnd dc 0
.dc lin source Vin 0 3.3V 1mV
.print dc v(in) v(out1) v(out2) v(out3) v(out4) v(out5) v(out6) v(out7) v(out8) v(out9) v(out10) v(out11) v(out12) v(out13) v(out14) v(out15)
.print dc v(in) v(out16) v(out17) v(out18) v(out19) v(out20) v(out21) v(out22) v(out23) v(out24) v(out25) v(out26) v(out27) v(out28) v(out29) v(out30) v(out31)
.print dc v(in) v(out32) v(out33) v(out34) v(out35) v(out36) v(out37) v(out38) v(out39) v(out40) v(out41) v(out42) v(out43) v(out44) v(out45) v(out46) v(out47)
.print dc v(in) v(out48) v(out49) v(out50) v(out51) v(out52) v(out53) v(out54) v(out55) v(out56) v(out57) v(out58) v(out59) v(out60) v(out61) v(out62) v(out63)
.print dc v(in) v(out64) v(out65) v(out66) v(out67) v(out68) v(out69) v(out70) v(out71) v(out72) v(out73) v(out74) v(out75) v(out76) v(out77) v(out78) v(out79)
.print dc v(in) v(out80) v(out81) v(out82) v(out83) v(out84) v(out85) v(out86) v(out87) v(out88) v(out89) v(out90) v(out91) v(out92) v(out93) v(out94) v(out95)
.print dc v(in) v(out96) v(out97) v(out98) v(out99) v(out100) v(out101) v(out102) v(out103) v(out104) v(out105) v(out106) v(out107) v(out108) v(out109) v(out110) v(out111)
.print dc v(in) v(out112) v(out113) v(out114) v(out115) v(out116) v(out117) v(out118) v(out119) v(out120) v(out121) v(out122) v(out123) v(out124) v(out125) v(out126) v(out127)
.include "C:\Users\koray\Desktop\Ayse_YL_TEE\VLSI_tech_files\TSMC_0.18u_cmos.md"
```

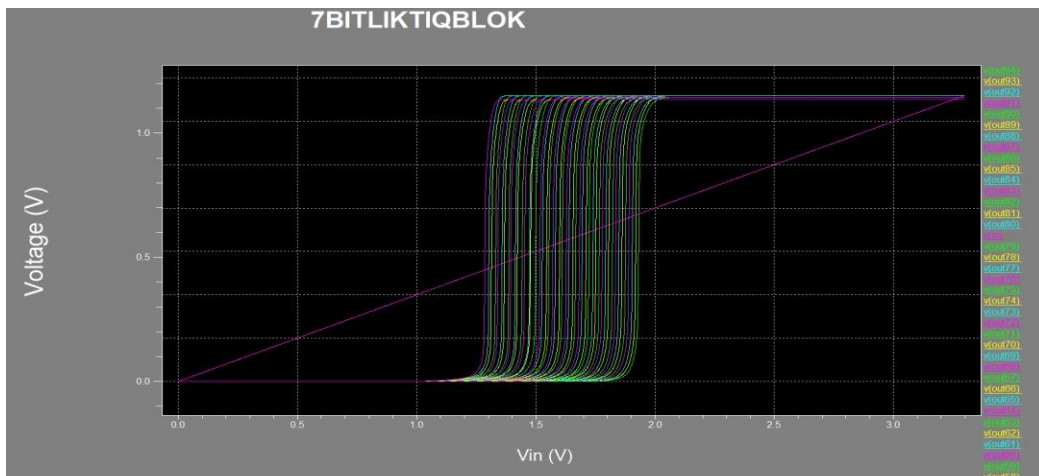
Şekil 4.10. 7 bitlik TIQ bloğunun T-Spice DC Analiz Komutu



Şekil 4.11. 7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu I



Şekil 4.12. 7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu II



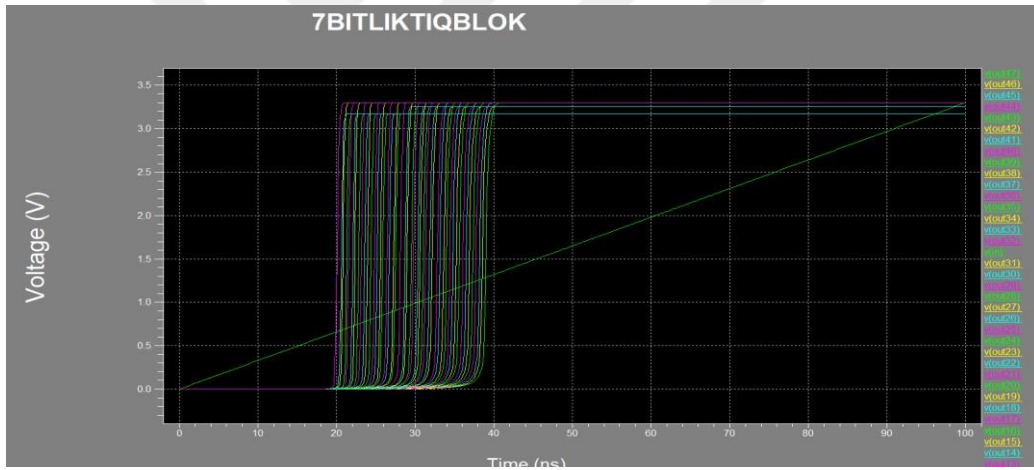
Şekil 4.13. 7 bitlik TIQ bloğunun T-Spice DC Analiz W-EDİT Simülasyonu III

4.3.2. Aradeğerlemeli TIQ Tekniği İle 7 bitlik TIQ Bloğu Tranzient Analiz Sonuçları

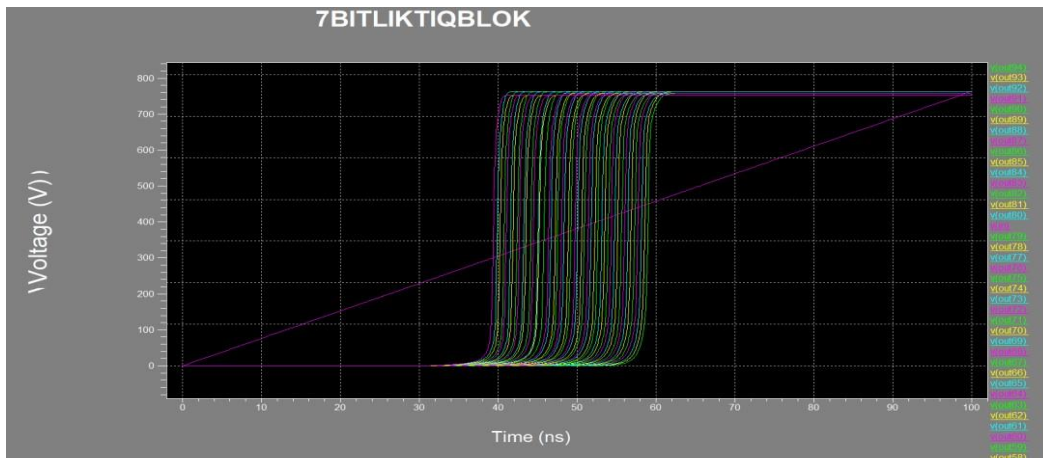
7 bitlik TIQ bloğunun T-Spice 100 Mhz analiz komutu Şekil 4.14’de verilmiştir. T-Spice AC Analizi W-EDİT Simülasyon sonuçları ile Şekil 4.15, Şekil 4.16 ve Şekil 4.17’ de verilmiştir. W-EDİT ekranında maksimum 50 işaret gözlemlenebildiği için 3 seferde çıkış işareti gözlemlenmiştir.

```
----- JARMADON SETTINGS - MULTIVOLTAGE STATE COMMENTS -----
Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vin in Gnd dc 0 PWL (0ns 0V 100ns 3.3V)
.tran 100p 100n start=0
*.print tran v(in) v(out1) v(out2) v(out3) v(out4) v(out5) v(out6) v(out7) v(out8) v(out9) v(out10) v(out11) v(out12) v(out13) v(out14) v(out15)
*.print tran v(in) v(out16) v(out17) v(out18) v(out19) v(out20) v(out21) v(out22) v(out23) v(out24) v(out25) v(out26) v(out27) v(out28) v(out29) v(out30) v(out31)
*.print tran v(in) v(out32) v(out33) v(out34) v(out35) v(out36) v(out37) v(out38) v(out39) v(out40) v(out41) v(out42) v(out43) v(out44) v(out45) v(out46) v(out47)
*.print tran v(in) v(out48) v(out49) v(out50) v(out51) v(out52) v(out53) v(out54) v(out55) v(out56) v(out57) v(out58) v(out59) v(out60) v(out61) v(out62) v(out63)
*.print tran v(in) v(out64) v(out65) v(out66) v(out67) v(out68) v(out69) v(out70) v(out71) v(out72) v(out73) v(out74) v(out75) v(out76) v(out77) v(out78) v(out79)
*.print tran v(in) v(out80) v(out81) v(out82) v(out83) v(out84) v(out85) v(out86) v(out87) v(out88) v(out89) v(out90) v(out91) v(out92) v(out93) v(out94) v(out95)
*.print tran v(in) v(out96) v(out97) v(out98) v(out99) v(out100) v(out101) v(out102) v(out103) v(out104) v(out105) v(out106) v(out107) v(out108) v(out109) v(out110) v(out111)
*.print tran v(in) v(out112) v(out113) v(out114) v(out115) v(out116) v(out117) v(out118) v(out119) v(out120) v(out121) v(out122) v(out123) v(out124) v(out125) v(out126) v(out127)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end
```

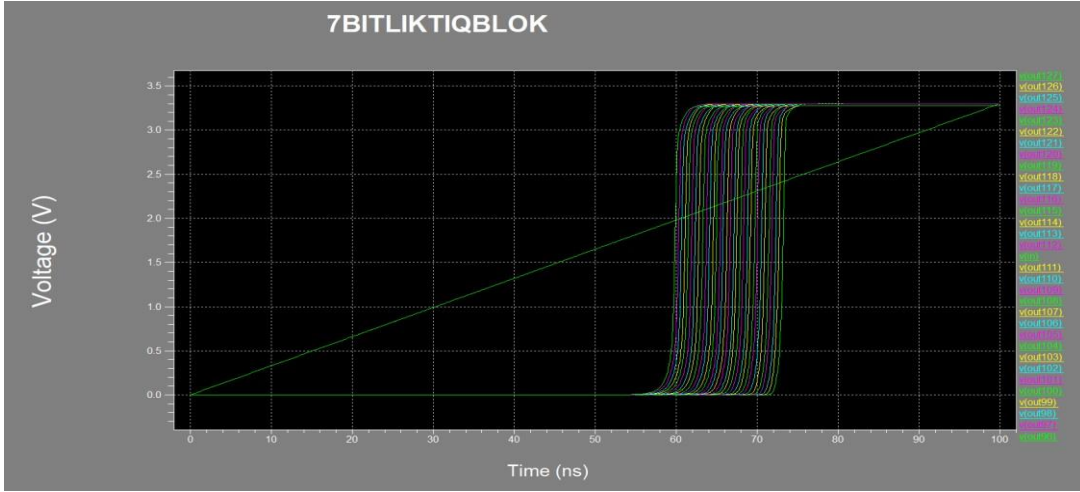
Şekil 4.14. 7 bitlik TIQ bloğunun T-Spice 100 Mhz Analiz Komutu



Şekil 4.15. 7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. I



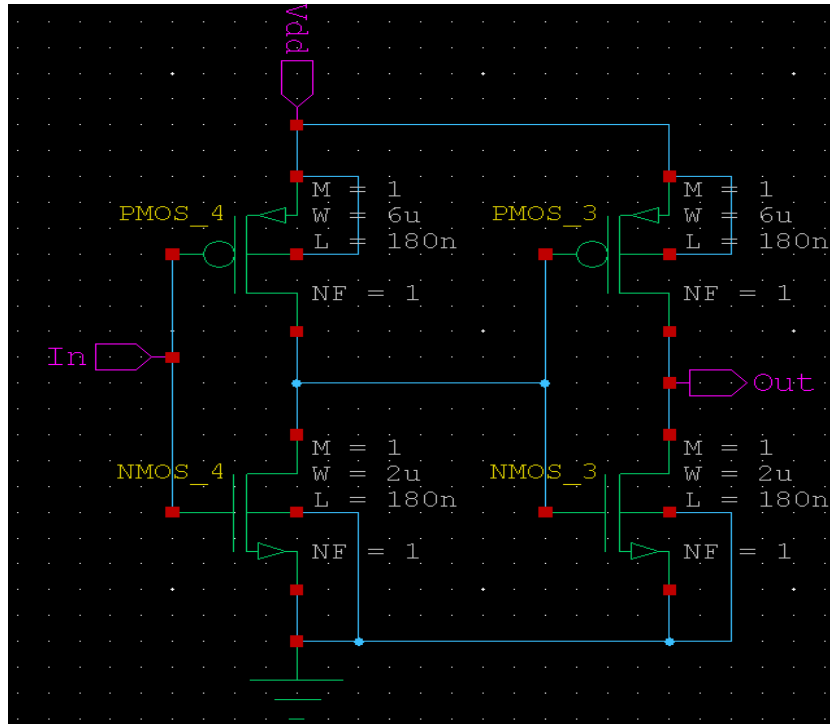
Şekil 4.16. 7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. II



Şekil 4.17. 7 bitlik TIQ bloğunun T-Spice 100Mhz Analiz W-EDİT Sim. III

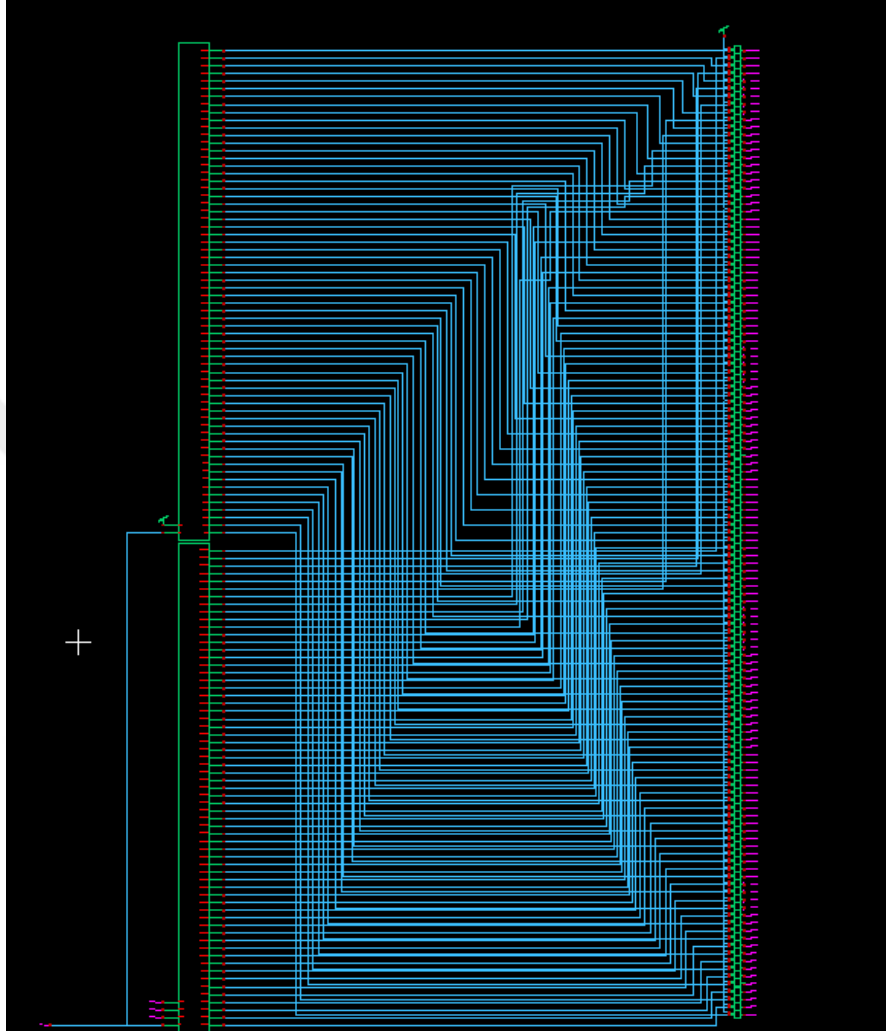
4.4. Kazanç Yükseltici (GAIN BOOSTER) Bloğu

Birbiriyle aynı değerlere sahip 2 adet inverterden oluşmaktadır. Kazanç yükselticiler, karşılaştırmacı çıkışında daha keskin eşik oluşturur ve tam dijital çıkış voltajı dalgalanmasını sağlar (Yoo, Choi & Tangel, 2001). Şekil 4.18.'de 7-bitlik 127 adet TIQ yapılarında bulunan kazanç yükseltici devresinin S-Edit çizimi bulunmaktadır.



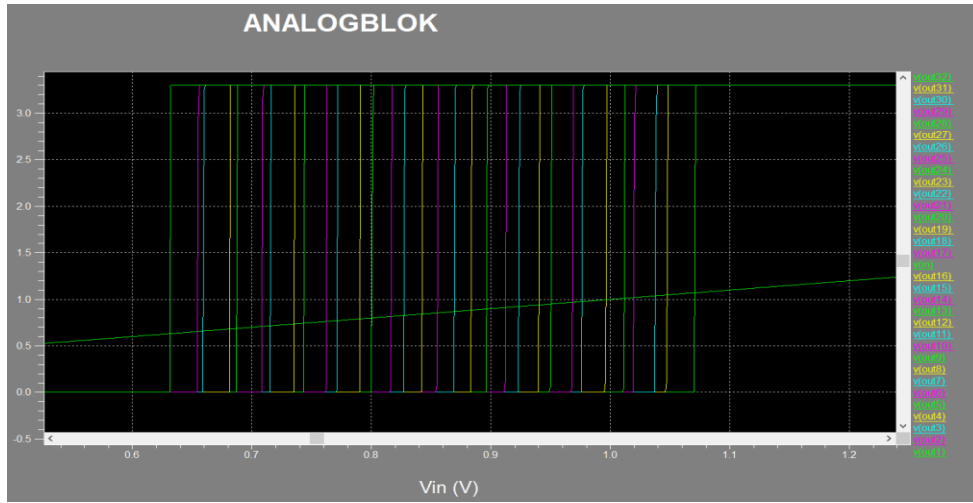
Şekil 4.18. Kazanç Yükseltici Devre Şematiği

6-bitlik ilk TIQ blok ve aradeğerlemeli 6-bit TIQ blok, uc uca eklenip elde edilen 7 bitlik TIQ bloğu ve kazanç yükseltici bloğu eklenerek birlikte çalıştırıldığında elde edilen analog blok yapısı Şekil 4.19.'da gösterilmiştir.

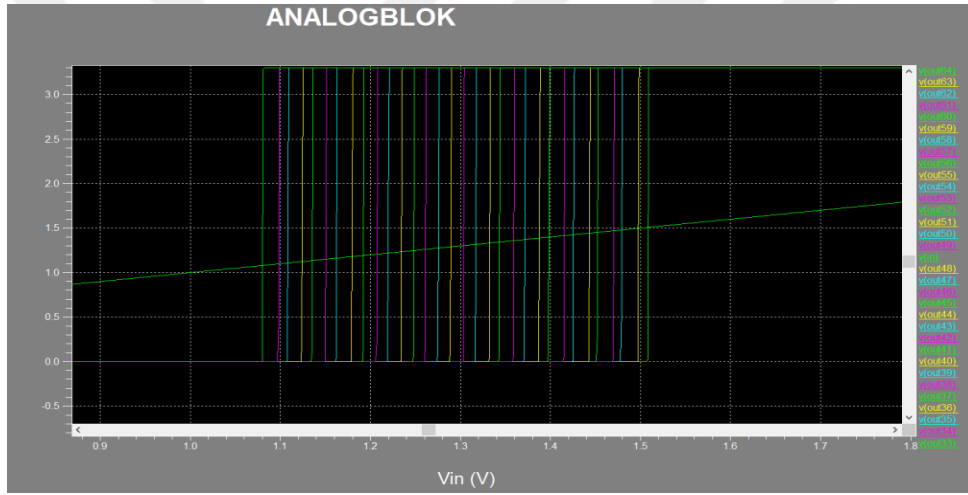


Şekil 4.19. 7-bit TIQ Karşılaştırıcı ve Kazanç Yükseltici Bloğu Yapısı

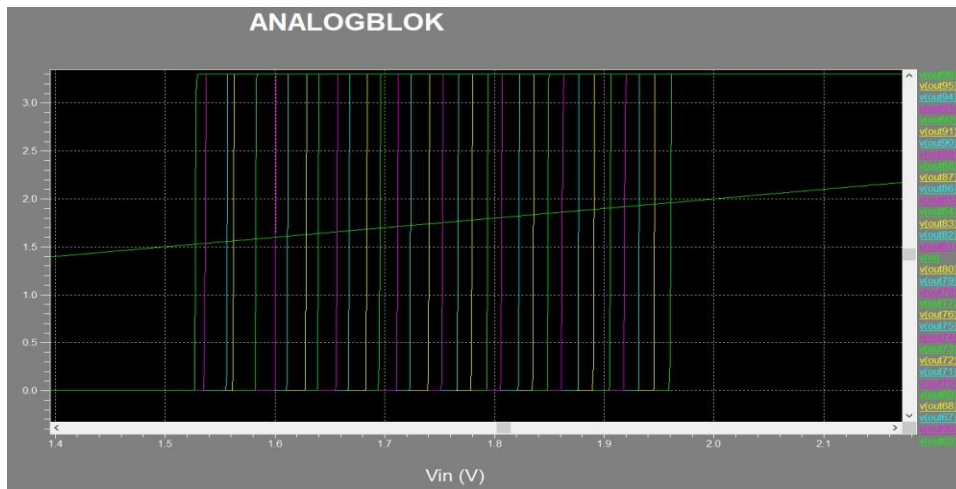
7-bit TIQ Flash ADC ve kazanç yükseltici yapıları birlikte çalıştırıldığında ; 6 bitlik iki bloğun çubukları birbirine karışmayacak şekilde, Şekil 4.20., Şekil 4.21., Şekil 4.22. ve Şekil 4.23.'de görüldüğü gibi 7-bit TIQ simülasyon sonucu elde edilir. Eşik gerilimleri istenen gerilimlere ne kadar yakın olursa ADC'de elde edilecek olan sonuç o kadar düzgün olmaktadır. Kazanç Yükseltici yapısı sayesinde daha düzgün ve doğrusal yapıda çıkış gerilimi dalgalanması elde edilmiştir.



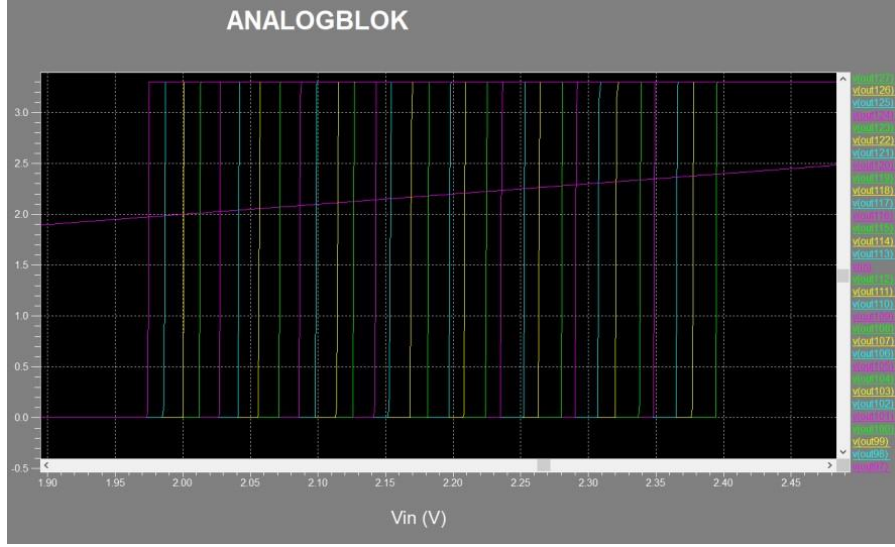
Şekil 4.20. 7 bit Aradeğerlemeli TIQ Bloğu ilk 32 Adet Çıkış Gerilimi



Şekil 4.21. 7 bit Aradeğerlemeli TIQ Bloğu 32-64 Arası Çıkış Gerilimi



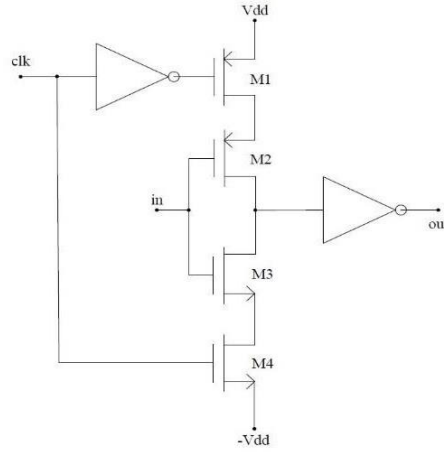
Şekil 4.22. 7 bit Aradeğerlemeli TIQ Bloğu 64-96 Arası Çıkış Gerilimi



Şekil 4.23. 7 bit Aradeğerlemeli TIQ Bloğu 96-127 Çıkış Gerilimi

4.5. Dinamik Tutucu (LATCH) Devresi

Dinamik tutucu devresi 4 adet MOSFET'ten ve bunların dışında 2 adet invertörden oluşmaktadır. Dinamik tutucu, saat (clock) sinyalinin aldığı değere bağlı olarak girişteki işareti devrenin çıkışına iletir veya devrenin çıkışındaki işareti tutar. Şekil 4.24.'te dinamik tutucu (dynamic latch) devresi gösterilmiştir. (Aytar ve diğerleri, 2017)

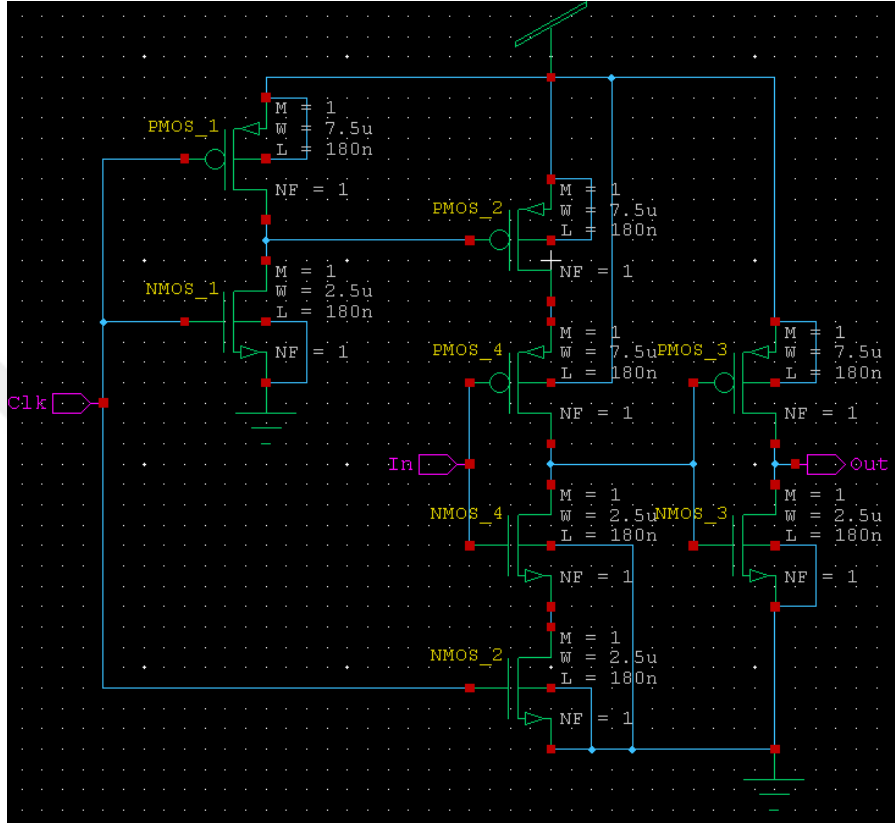


Şekil 4.24. Dinamik Tutucu Devresi

Dinamik tutucu devresinde, saat sinyalinin değeri '1' olduğunda giriş sinyalinin değeri çıkışa iletilmektedir. Saat sinyalinin değeri '0' olduğunda devrenin çıkışında hangi değer okunuyor ise o değer korunmaktadır. Sistemin saat işareti sayısal '0' değerini aldığı anda çıkışındaki devre için dönüşüm, saat işareti sayısal '1' değerini aldığı anda ise girişten

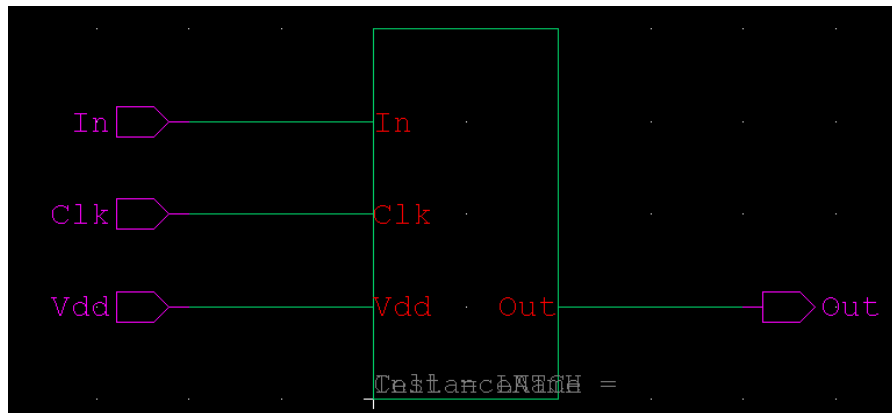
örnek alma işlemi yapılır (Talay, Aytar 2019). Bu sayede Aradeğerlemeli TIQ Flash ADC devresinde, analog ile sayısal blok arasında kontrol görevi görmektedir.

Şekil 4.25.'de Dinamik Tutucu Devresi S-Edit Şematik Çizimi Yer almaktadır.



Şekil 4.25. Dinamik Tutucu Devresi S-Edit Şematik Çizimi

Şekil 4.26.'da Dinamik Tutucu Devresi Sembol Gösterimi yer almaktadır.

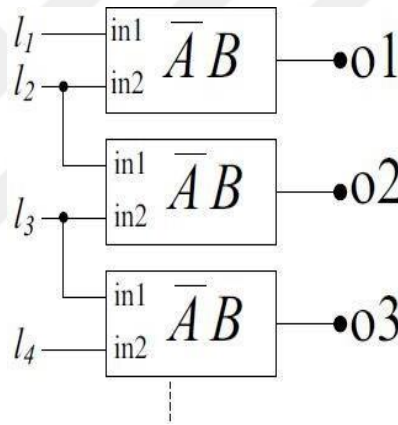


Şekil 4.26. Dinamik Tutucu Devresi Sembol Gösterimi

4.6. Termometre Kod Çözücü (1-of-N Decoder)

Termometre kodu, sıralı şekilde ‘1’lerden ve ‘0’lardan oluşmaktadır. ‘1’ler ve ‘0’lar iç içe geçecek şekilde sıralanamaz (100101). ‘0’lardan sonra ‘1’ler ya da ‘1’lerden sonra ‘0’lar gelmektedir. Kodlama N bit için 2^{N-1} şeklinde olmaktadır. N ikili koda karşılık gelen bit değerini temsil etmektedir. İkili kodda 011 ile 100 arasında 3 bit değişmektedir. 3 bitlik bu değişim iğne gürültülere sebep olur. Termometre kodda bu değişim 1 bit şeklinde olmaktadır.

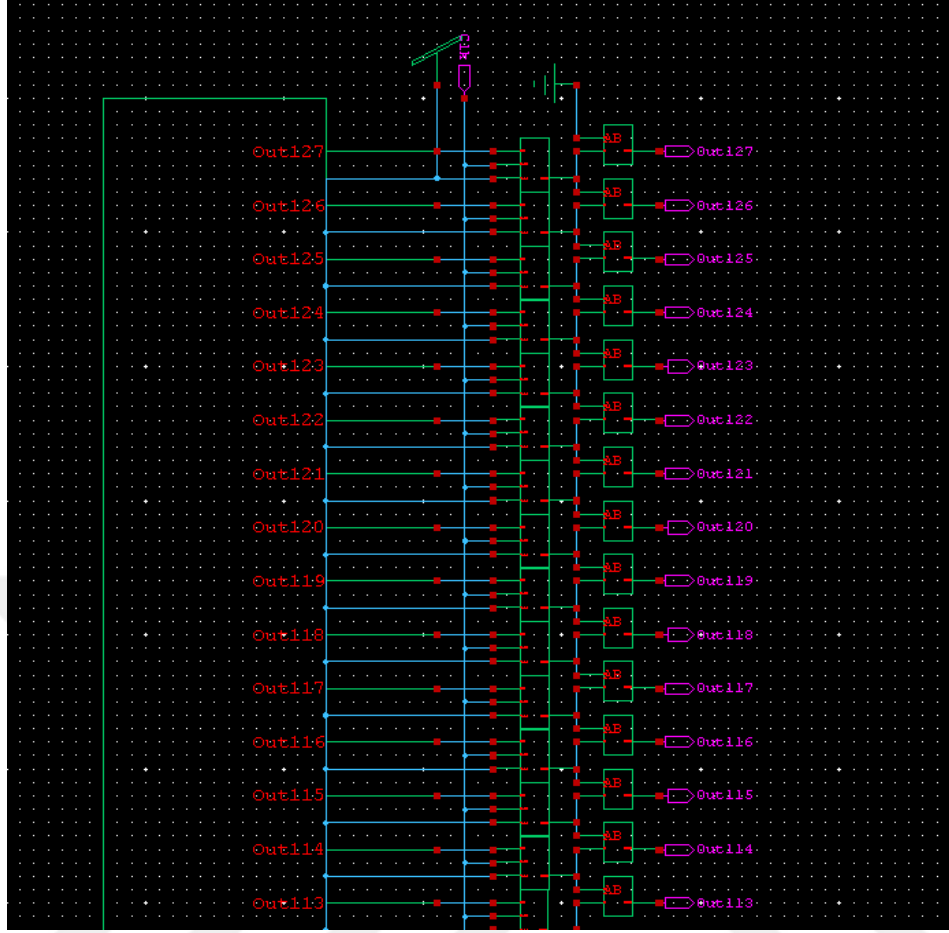
Şekil 4.27.'de 1-of-N Decoder bloğu verilmiştir (Aytar ve diğerleri, 2017). $\bar{A}B$ devresindeki NAND kapısının girişi, altındaki $\bar{A}B$ devresinin invertör girişine bağlanmaktadır. Her bir bağlantıya giriş portu tanımlanmaktadır.



Şekil 4.27. 1-of-N Decoder Bloğu

Termometre kod çözücü devresi, 1'ler ve 0'lar dizisinin sınırını belirlemek için kullanılır. Bunun için en basit yol $\bar{A}B$ lojik devresinin ardışıl dizilişiyle elde edilen kod çözücüdür. (Yoo ve diğ.,2001). Bu bloğa giren kod, çıkışta mantıksal 0'ların arasında gezinen tek bir mantıksal “1” bitinden oluşur ve bu bitin her bir konumu farklı bir ikili koda denk gelir.

Şekil 4.28.'de analog blok çıkışına Dinamik Tutucu ve Termometre Kod Çözücü Bloğu eklenerek oluşturulan yapının S-Edit Devre Şematiği verilmiştir. Devrede 127 giriş karşılık gelen 127 çıkış olduğu için Şematiğin kısmi gösterilişine yer verilmiştir.



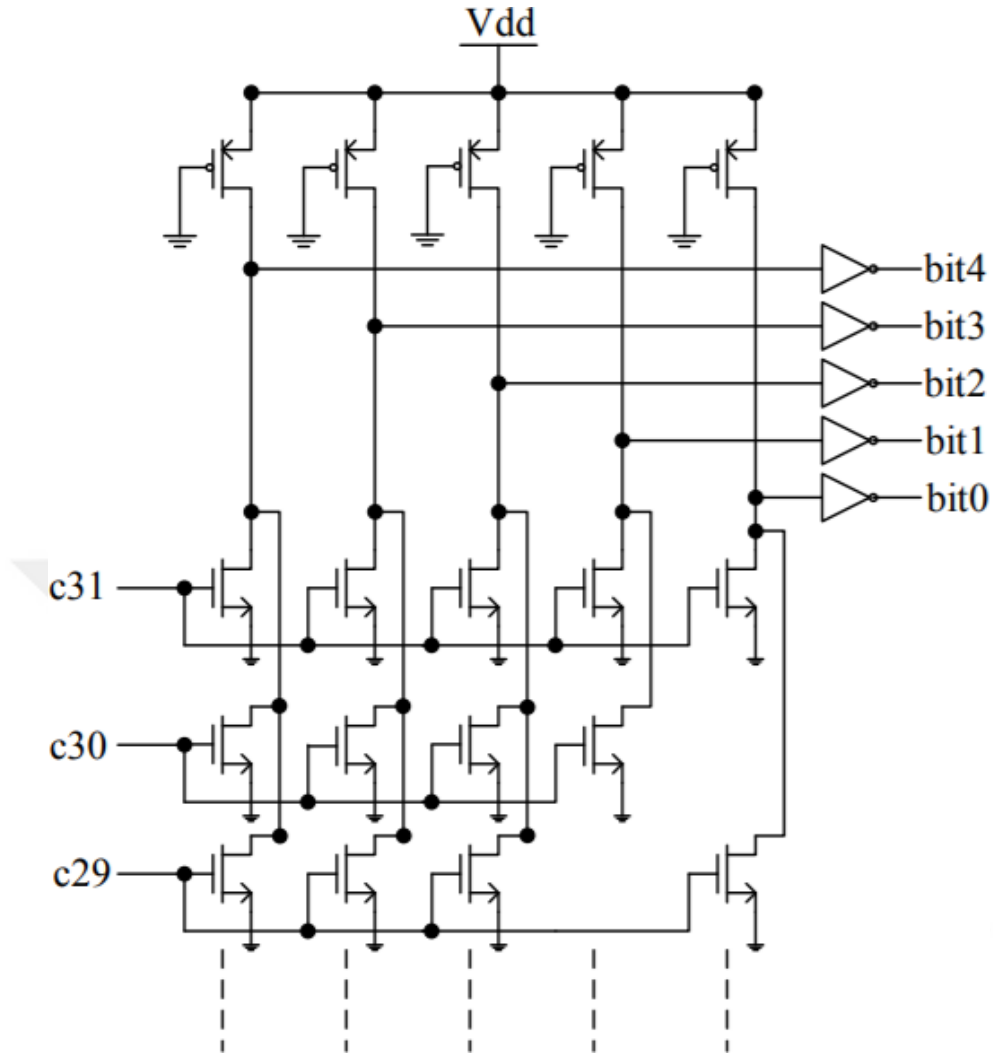
Şekil 4.28. Analog Blok - Dinamik Tutucu Devresi- Termometre Kod Çözücü

4.7. Programlanabilir Mantık Dizisi (PLA-ROM) Bloğu

PLA-ROM, termometre kodlarını ikili koda dönüştürmeye yarayan birimdir. Bu blok Aradeğerlemeli 7-Bit TIQ Flash ADC'nin en sonda bulunan birimidir.

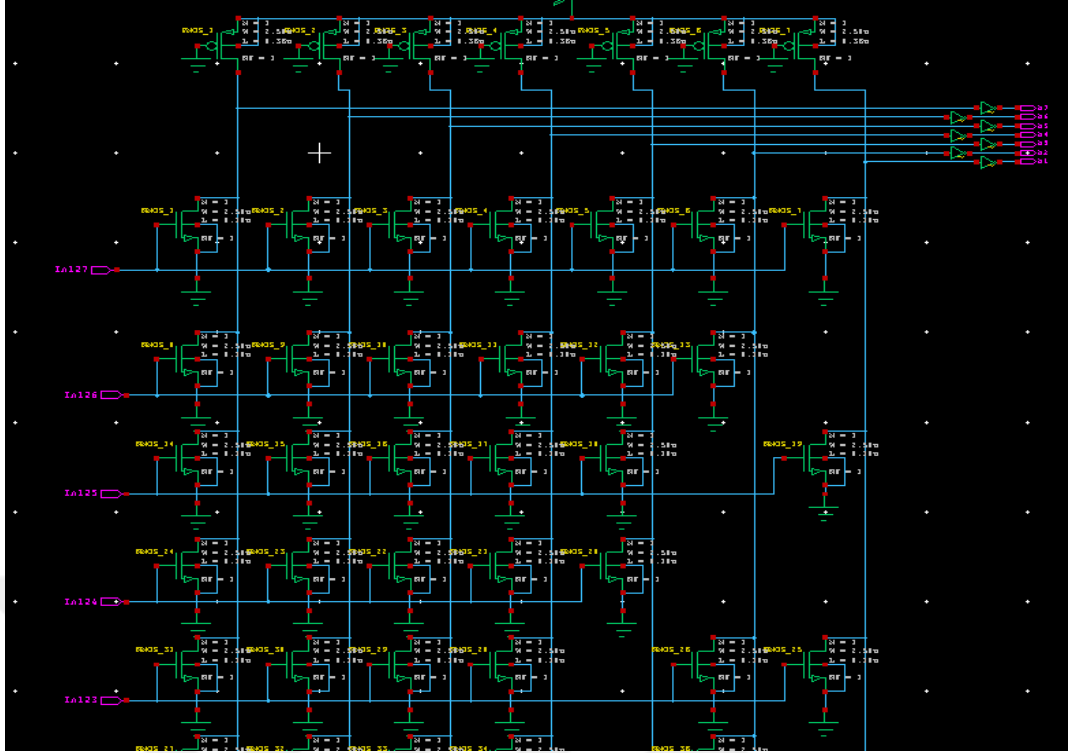
PLA-ROM devresi 1-of-N Decoder kodunu binary koda dönüştürmek için kullanılmaktadır. Bu yapıda bit sayısı kadar doğrusal bölgede çalışan PMOS transistor kullanılır. Bu yapıda, çıkışta meydana gelen sayısal kodun şekline benzeyen ve 2^N-1 tane NMOS'tan oluşan transistor dizisi kullanılır. Bu yapının en büyük avantajı tamamen paralel olmasıdır (Aytar, 2014).

Şekil 4.29.'da 5-bit için PLA-ROM yapısının bir kısmı verilmiştir (Aytar, 2014). Buradac31,c30 olarak gösterilen giriş işaretleri termometre kod çözücüsünün çıkışlarını göstermektedir. Pla-Rom devresinin çıkışında ise sayısal bit çıkışları elde edilir.

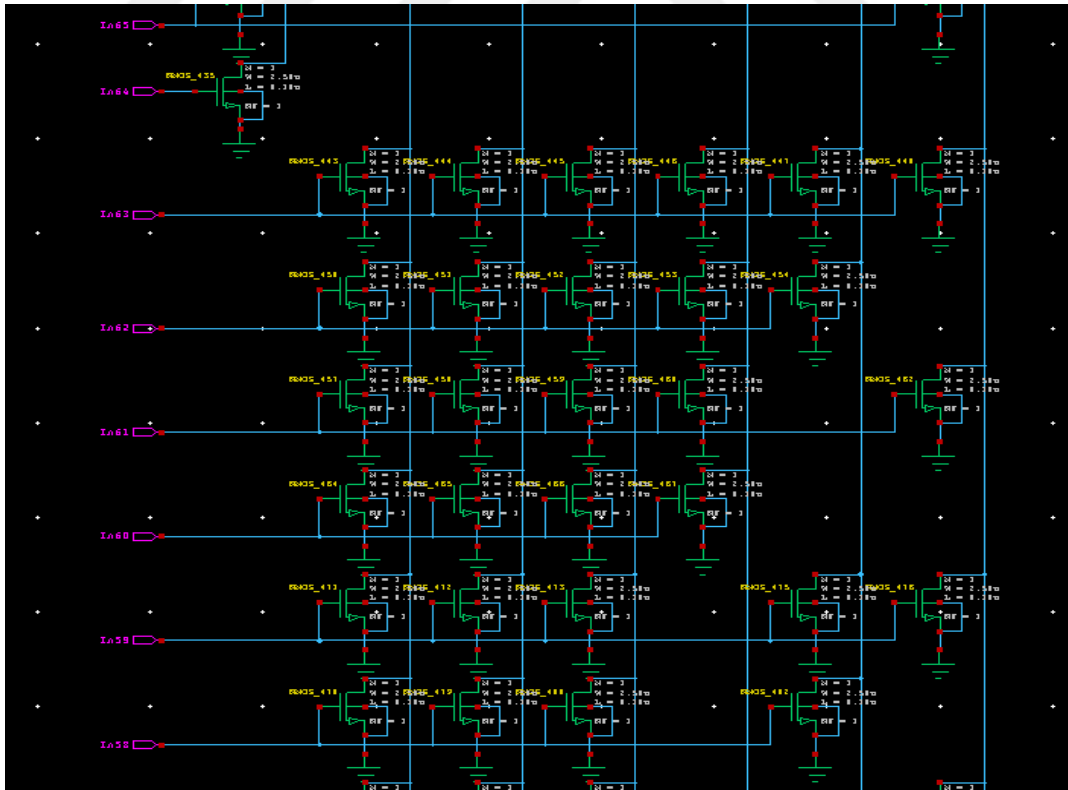


Şekil 4.29.5 bit Çıkışlı Kısmi PLA-ROM Bloğu

Şekil 4.30. ve 4.31.'de bu çalışmada gerçekleştirilen 7-bitlik tasarım için PLA-ROM yapısının bir kısmı verilmiştir. Çalışmada gerçekleştirilen 7 bit çıkışlı PLA-ROM bloğunun tasarımında; 7 adet PMOS, 449 adet NMOS ve 7 adet inverter devresi kullanılmıştır. PMOSların ve NMOS ların W değeri 2,5 mikrometredir. L değeri ise 0.18 mikrometredir. NMOS'ların 'Gate' ucuna giriş portları verilmiştir. Çıkış portları ise invertörlerin çıkışına verilmiştir.

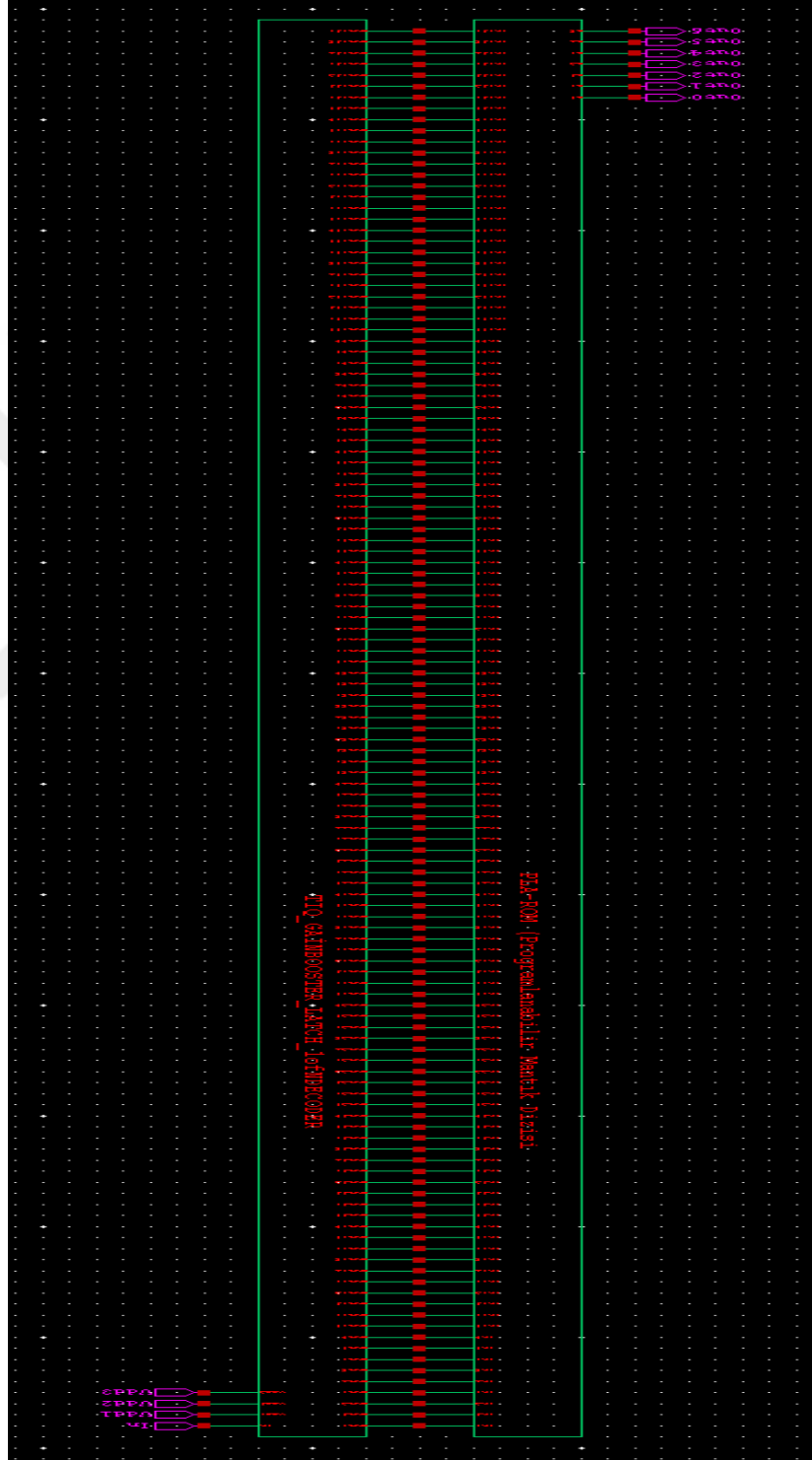


Şekil 4.30. 7-bit Çıkışlı PLA-ROM yapısının bir kısmı-I



Şekil 4.31. 7-bit Çıkışlı PLA-ROM yapısının bir kısmı-II

Aradeğerlemeli 7-Bit TIQ Flash ADC; ‘TIQ Karşılaştırıcı Blok’, ‘Kazanç Yükseltici Blok’, ‘Dinamik Tutucu Blok’, ‘Termometre Kod Çözücü Blok’ ve ‘PLA-ROM Blok’ larının uc uca eklenmesiyle elde edilir. Şekil 4.32. Aradeğerlemeli TIQ Tekniği ile Tasarlanan 7bit Flash ADC nin S-EDİT Şematik Gösterimi yer almaktadır.



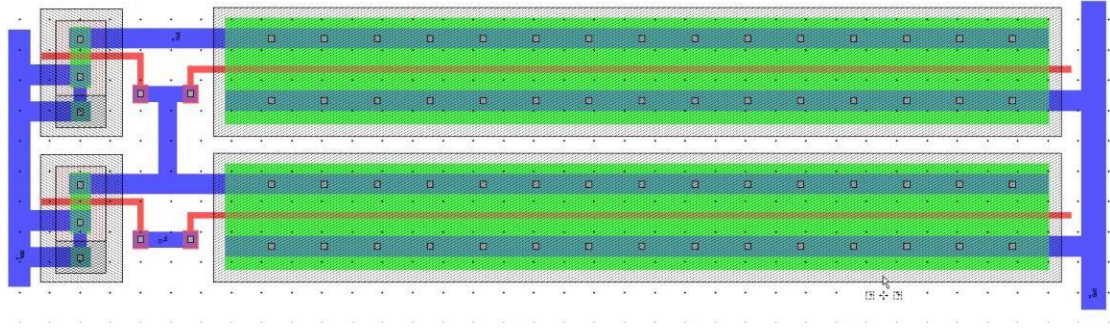
Şekil 4.32. Aradeğerlemeli TIQ tabanlı 7bit Fash ADC

4.8. 7 Bit TIQ Bloğu L-EDIT Serim Tasarımı

Çalışmanın bu aşamasında S-Edit programında şematik tasarımını yaptığımız devrenin 7 bit TIQ bloğunun L-Edit layout tasarımı gerçekleştirilmiştir. 7 bitlik devre tasarımı için $2^n-1=127$ adet ($n=7$) TIQ karşılaştırıcı bloğuna ihtiyaç duyulmuştur. 64 bloktan oluşan ilk 6 bitlik TIQ bloğu ve 63 bloktan oluşan 2. 6 bitlik aradeğerlemeli TIQ bloğunun W ve L değerlerinin aynı olması tasarımda büyük kolaylık sağlamış işlem yükü yarıya inmiştir.

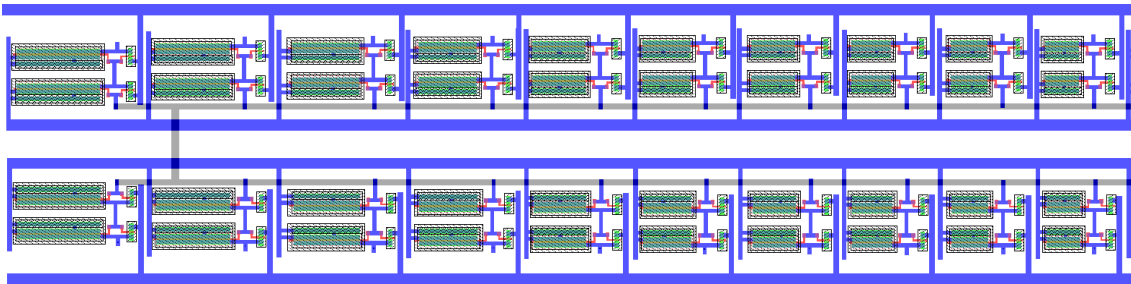
4.8.1. 7 Bit TIQ Bloğu L-EDIT Layout Tasarımı

Şekil 4.33.'de L-EDIT programında ana TIQ bloğuna ait ilk TIQ karşılaştırıcı devresinin layout tasarımı gösterilmektedir.



Şekil 4.33. L-EDIT program ilk TIQ karşılaştırıcı devresi layout tasarımı

Şekil 4.34.'de 7 bitlik TIQ bloğuna ait L-EDIT layout tasarımı kısmi gösterimi yer almaktadır ve Şekil 4.35.'de 7 bitlik 127 adet TIQ karşılaştırıcıdan oluşan L-EDIT Layout tasarımı yer almaktadır.



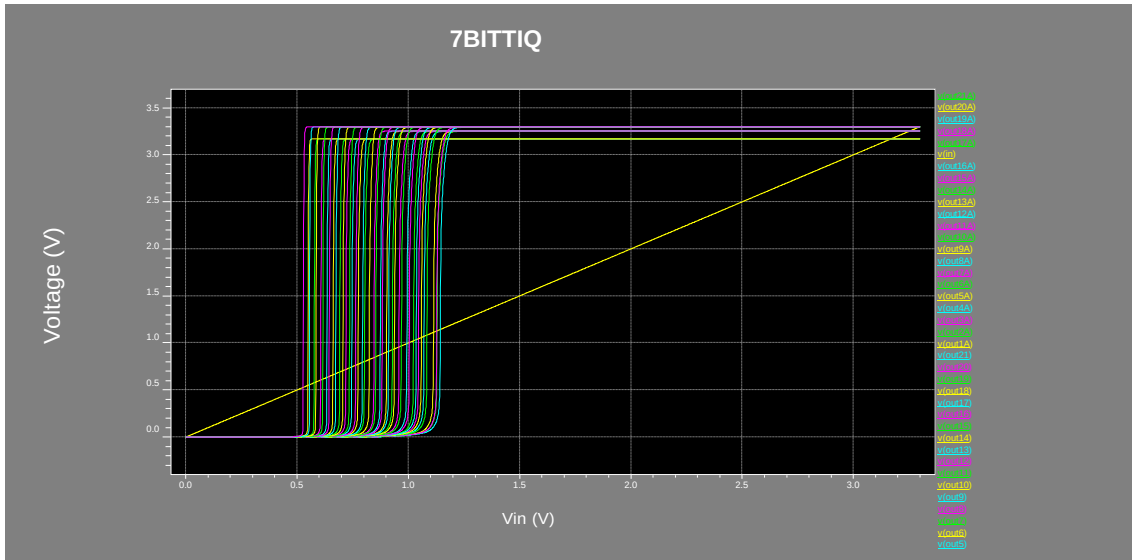
Şekil 4.34. 7 Bitlik TIQ Bloğu L-EDIT Layout Tasarımı Kısmi Gösterimi



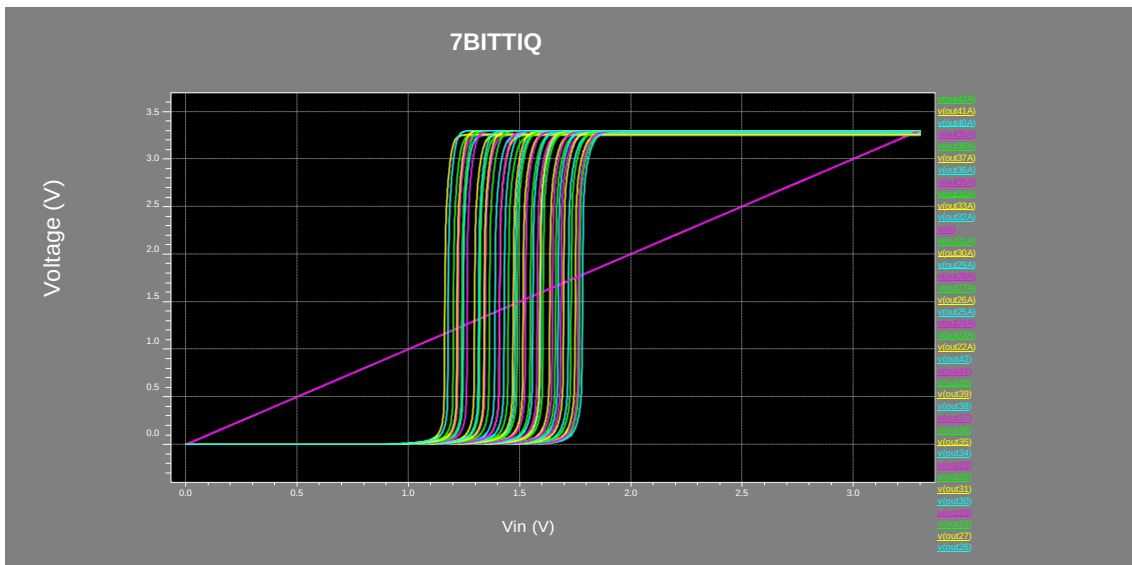
Şekil 4.35. 7 Bit TIQ Karşılaştırıcı L-EDIT Layout Tasarımı

4.8.2. 7 Bit TIQ Bloğu L-EDIT Serim Tasarımı T-Spice Analizi

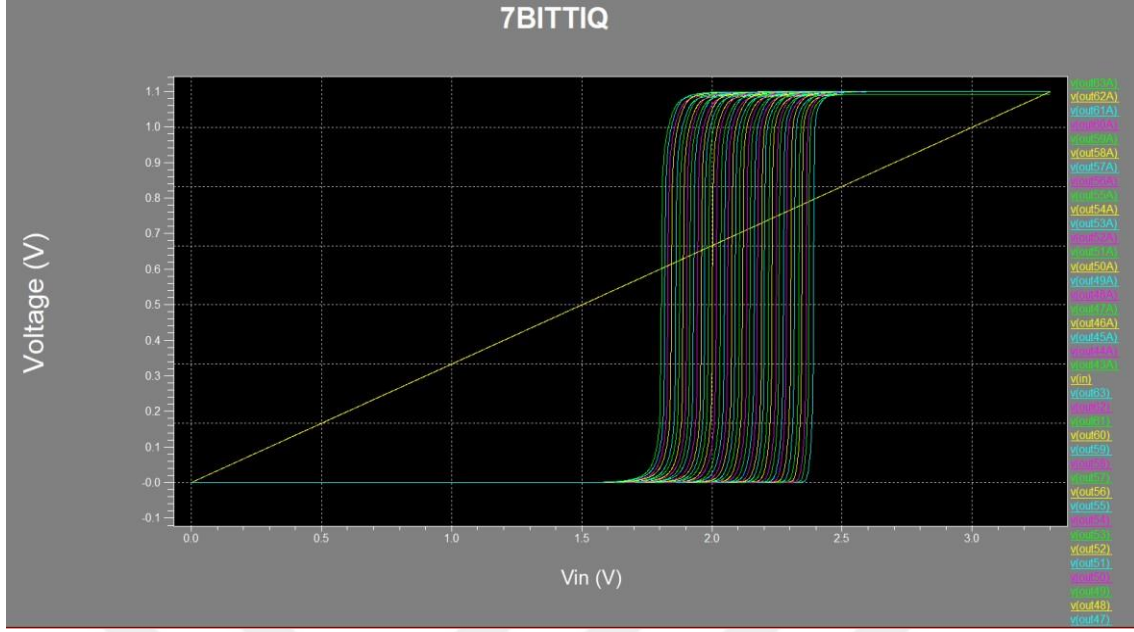
L-EDIT programında layout serim tasarımı gerçekleştirilen devrenin setup extract aşamasında netlis dosyası oluşturulmuş ve extract işlemi sonrası T-Spice arayüzünde açılan netlis dosyasında L-EDIT program layout tasarımı kodları çalıştırılarak W-EDIT programında her bir TIQ karşılaştırmacıya ait giriş-çıkış gerilim karakteristiği gözlemlenmiştir. Şekil 4.36., Şekil 4.37. ve Şekil 4.38.'de L-EDIT tasarımı TIQ blok W- EDIT çıktıları yer almaktadır.



Şekil 4.36. L-EDIT Tasarımı TIQ Blok Çıkışları I



Şekil 4.37. L-EDIT Tasarımı TIQ Blok Çıkışları II

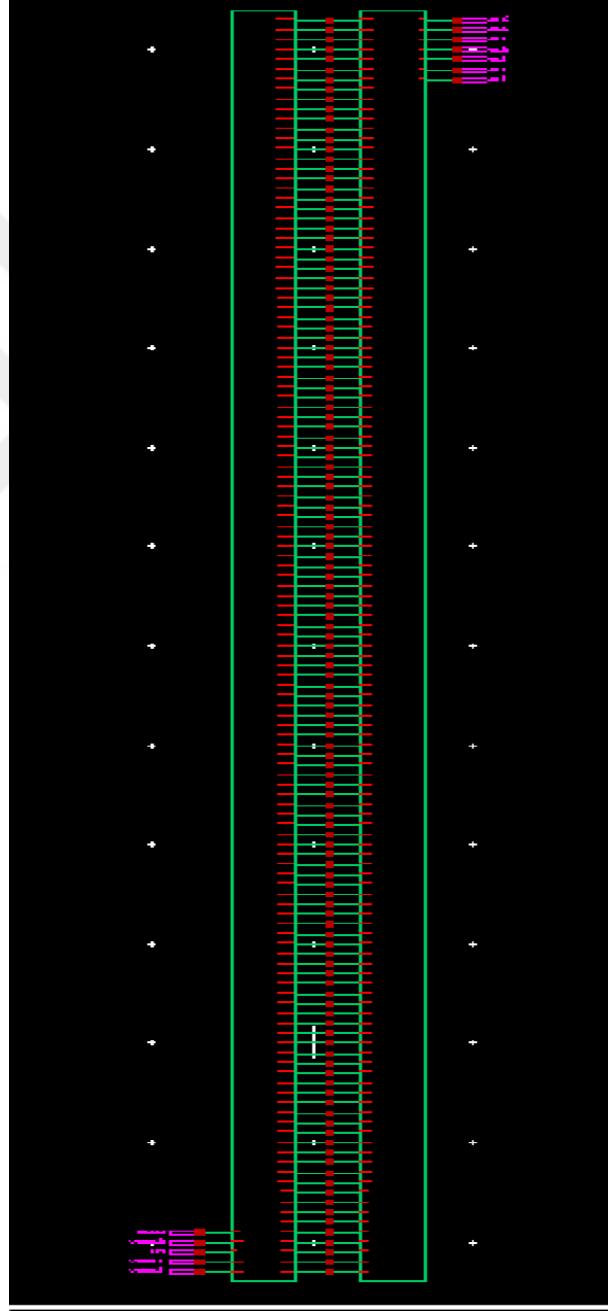


Şekil 4.38. L-EDIT Tasarımı TIQ Blok Çıkışları III

S-EDIT programının çıktılarına yakın sonuçlar elde edilmiştir. L-EDIT programında Lamda (λ) tabanlı tasarım kullanılması simülasyon sonuçlarında ortaya çıkan ufak farklılıkların temel sebebi olarak gösterilmektedir. $1 \lambda = 90 \text{ nm}$ olup devre tasarımı λ nın katları üzerinden gerçekleştirildiği için S-Edit tasarımda kullandığımız W değerleri λ ya bağlı olarak değişkenlik gösterirken L değeri $2 \lambda = 180 \text{ nm}$ de sabit tutulmuştur.

5. ARADEĞERLEMELİ 7-BİT TIQ FLASH ADC'NİN SONUÇLARI

Aradeğerlemeli 7-Bit TIQ Flash ADC, Bölüm 4'de anlatılan blokların uç uca eklenmesi ile oluşur. Bu bloklar sırasıyla 'TIQ Karşılaştırıcı Blok', 'Kazanç Yükseltici Blok', 'Dinamik Tutucu Blok', 'Termometre Kod Çözücü Blok' ve 'PLA-ROM Blok'tur. Bu proje sonunda elde edilen 'Aradeğerlemeli 7-Bit TIQ Flash ADC', Şekil 5.1.'de verilmiştir.



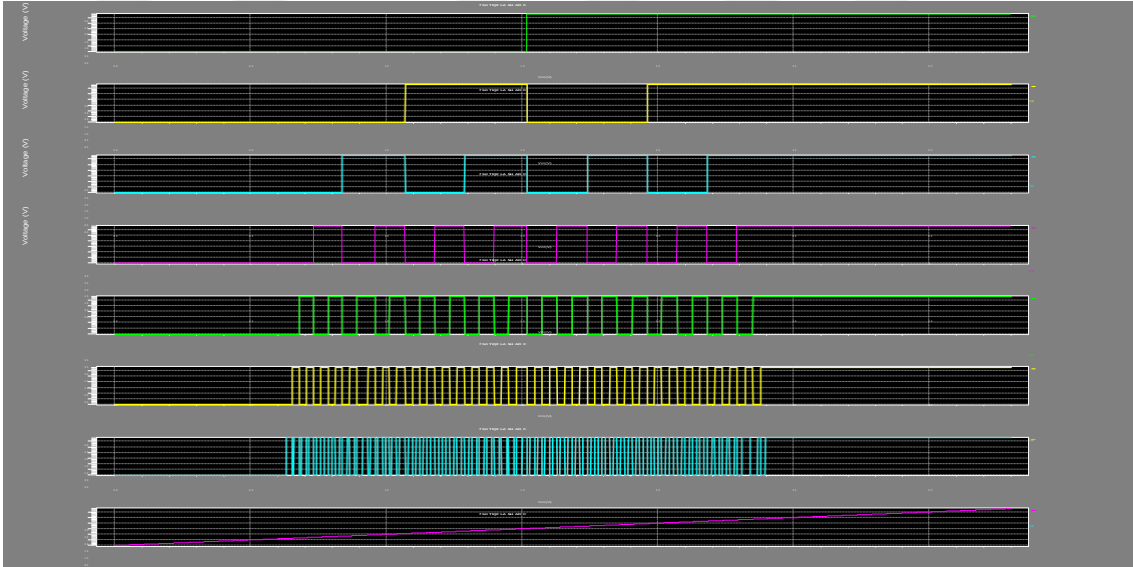
Şekil 5.1. 7 Bit TIQ Tabanlı Flash ADC Şematik Gösterim

5.1. 7 Bit TIQ Flash ADC DC Analiz Sonuçları

Şekil 5.2.'de 7 Bit TIQ Tabanlı Flash ADC nin DC analiz T-Spice komutları yer almaktadır. Şekil 5.3'te de DC çalışmanın W-EDİT Simülasyon sonucu görülmektedir.

```
Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
VClk Clk Gnd 3.3V
Vin in Gnd dc 0
.dc lin source Vin 0 3.3V 1mV
.print dc v(in) v(D0) v(D1) v(D2) v(D3) v(D4) v(D5) v(D6)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end
```

Şekil 5.2. 7 Bit TIQ Tabanlı Flash ADC nin DC analiz T-Spice komutları



Şekil 5.3. 7 Bit TIQ Tabanlı Flash ADC nin DC Analiz Sonuçları

5.2. 7 Bit TIQ Flash ADC Tranzient Analiz Sonuçları

Çalışmanın bu aşamasında DC de simülasyon sonuçlarını elde ettiğimiz TIQ tabanlı 7 bit Flash ADC nin farklı çalışma ve örnekleme frekanslarındaki Tranzient analiz sonuçlarına yer verilecektir.

5.2.1. 7 Bit TIQ Flash ADC 1Mhz/1Gsps Analiz Sonuçları

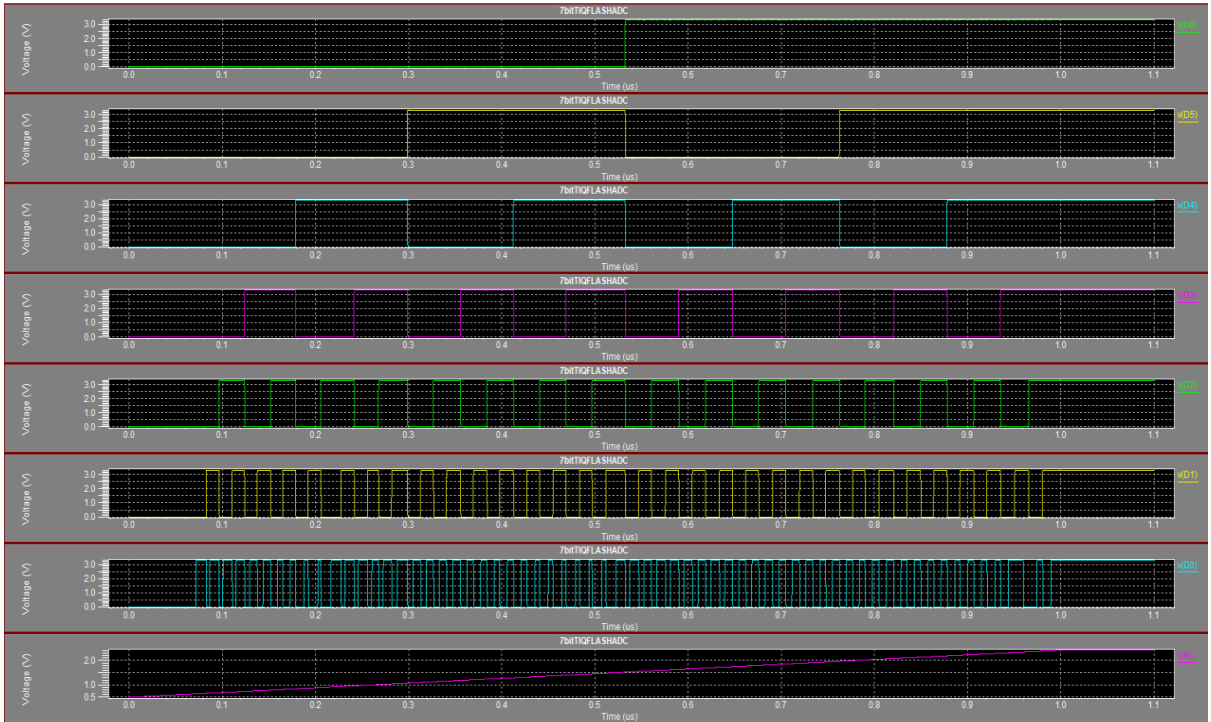
7 bit TIQ Flash ADC nin 1Mhz çalışma ve 1Gsps örnekleme frekansı için T-Spice komutu Şekil 5.4.'te ve W-Edit Simülasyon sonucu Şekil 5.5.'te verilmiştir.

```

Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vinp in Gnd dc 0 PWL (0us 0.5V 1us 2.42V) AC 0
VClk Clk Gnd dc 0 PULSE (0 3.3 0 0.005n 0.005n 0.5n 1n) ROUND=0 AC 0
.tran 1n 1.1u start=0
.print tran v(in) v(D0) v(D1) v(D2) v(D3) v(D4) v(D5) v(D6)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end

```

Şekil 5.4. 7 Bit TIQ Tabanlı Flash ADC 1Mhz/1Gsps T-Spice Komutu



Şekil 5.5. 7 Bit TIQ Tabanlı Flash ADC 1Mhz/1Gsps Sonuçları

5.2.2. 7 Bit TIQ Flash ADC 5Mhz/1Gsps Analiz Sonuçları

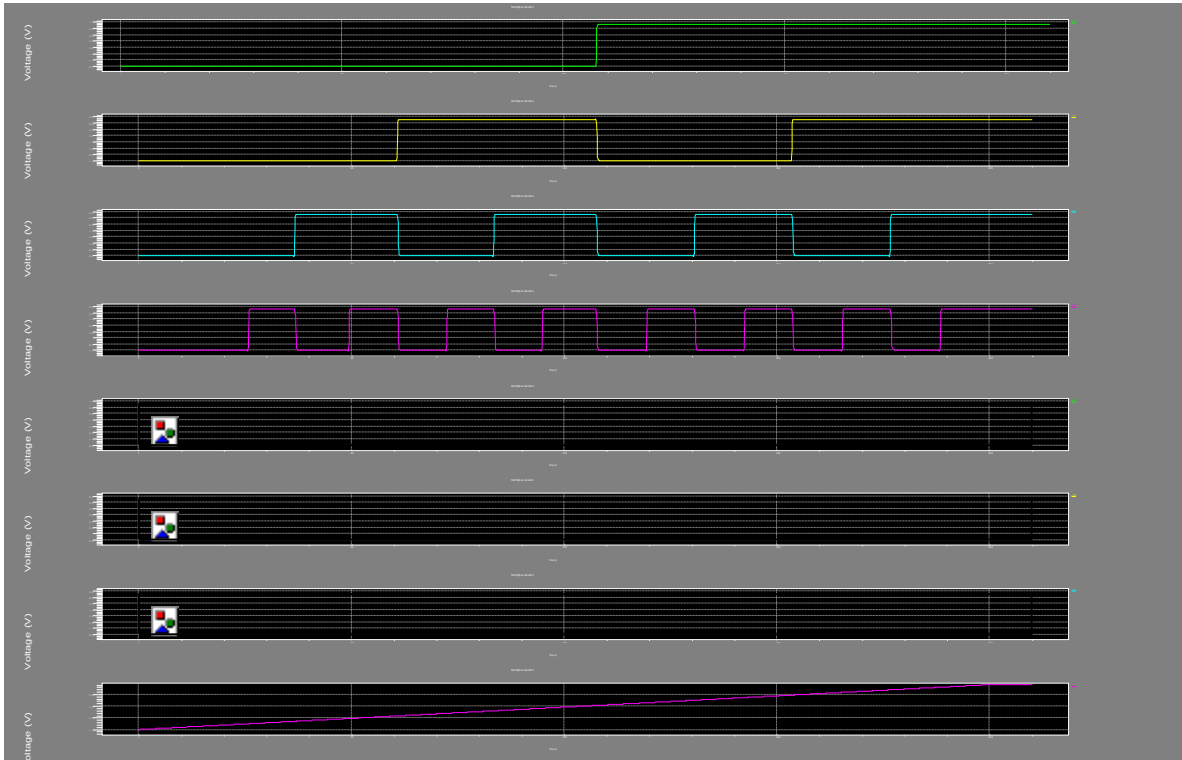
7 bit TIQ Flash ADC nin 5Mhz çalışma ve 1Gsps örnekleme frekansı için T-Spice komutu Şekil 5.6.'da ve W-Edit Simülasyon sonucu Şekil 5.7.'de verilmiştir.

```

Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
VInp in Gnd dc 0 PWL (0us 0.5V 0.2us 2.42V) AC 0
VClk Clk Gnd dc 0 PULSE (0 3.3 0 0.005n 0.005n 0.5n 1n) ROUND=0 AC 0
.tran 1n 0.21u start=0
.print tran v(in) v(D0) v(D1) v(D2) v(D3) v(D4) v(D5) v(D6)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end

```

Şekil 5.6. 7 Bit TIQ Tabanlı Flash ADC 5Mhz/1Gsps T-Spice Komutu



Şekil 5.7. 7 Bit TIQ Tabanlı Flash ADC 5Mhz/1Gsps Sonuçları

Şekil 5.7.'de de görüldüğü üzere 7 Bit TIQ Tabanlı Flash ADC 5Mhz/1Gsps çalışmasında devrenin D(0) çıkışındaki işarette bozulmalar gözlemlenmeye başlamıştır. Devre çıkışındaki bu bozulmalar kod kaybına sebep olmakta ve ADC çıkışındaki sinyalde bozulmalar gözlemlenmektedir.

5.2.3. 7 Bit TIQ Flash ADC 2Mhz/5Gsps Analiz Sonuçları

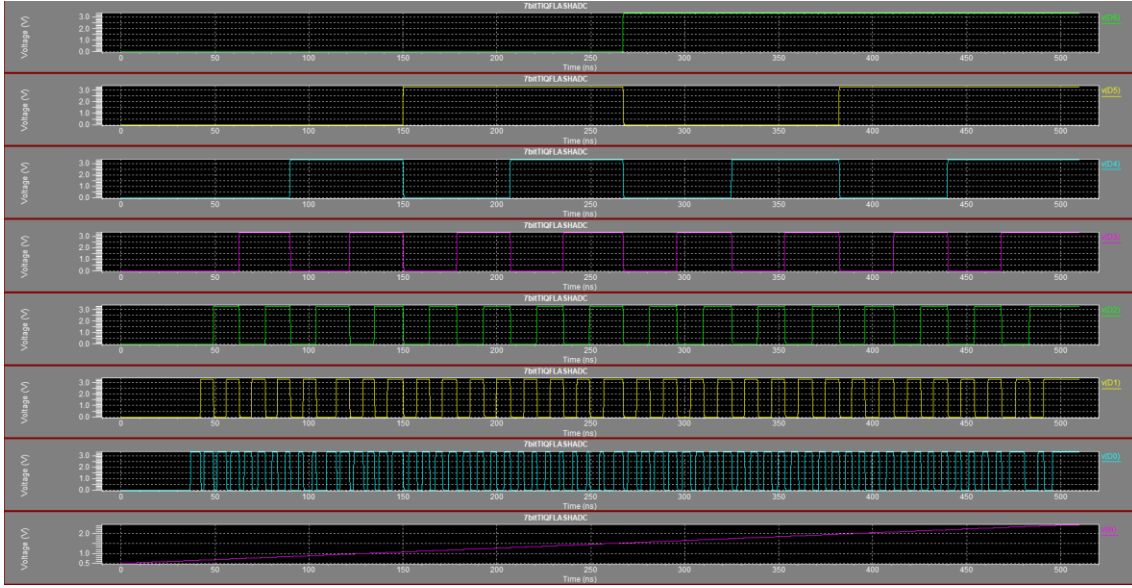
TIQ tabanlı 7 bit Flash ADC nin 5mhz deki çalışmasında çıkış sinyalinde bozulmalar gözlemlenmiştir. Devrenin çalışma frekansı 2Mhz olarak belirlenip örnekleme frekansı 5Gsps yapıldığında kullanılan T-Spice Komutu ve elde edilen analiz sonuçları Şekil 5.8. Şekil 5.9. ve Şekil 5.10.' da verilmiştir.

```

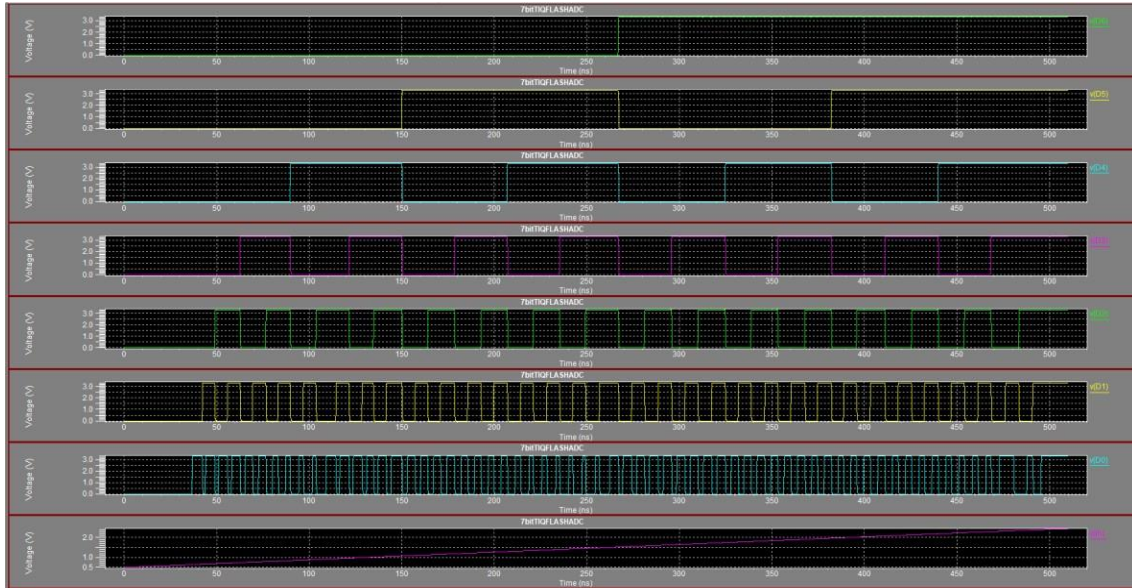
Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vinp in Gnd dc 0 PWL (0us 0.5V 0.5us 2.42V) AC 0
Vclk Clk Gnd dc 0 PULSE (0 3.3 0 0.005n 0.005n 0.1n 0.2n) ROUND=0 AC 0
.tran 1n 0.51u start=0
.print tran v(in) v(D0) v(D1) v(D2) v(D3) v(D4) v(D5) v(D6)
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end

```

Şekil 5.8. 7 Bit TIQ Tabanlı Flash ADC 2Mhz/5GspS T-Spice Komutu



Şekil 5.9. 7 Bit TIQ Tabanlı Flash ADC 2Mhz/5GspS Sonuçları



Şekil 5.10. 7 Bit TIQ Tabanlı Flash ADC 2Mhz/10GspS Sonuçları

5.3. INL ve DNL Performans Değerlendirmeleri

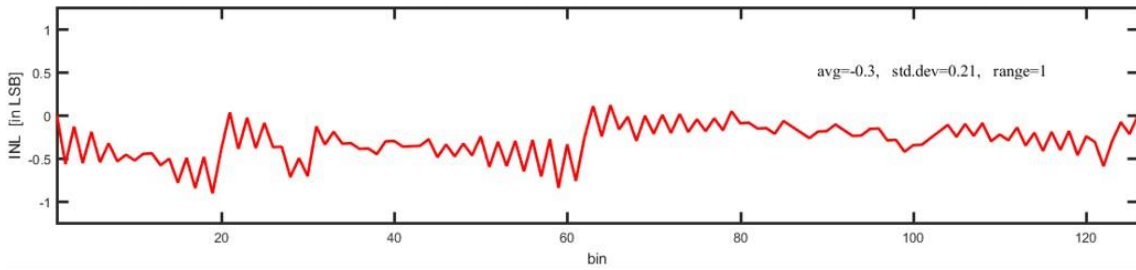
5.3.1. INL (Integral Non-Linearity)

ADC'lerde kullanılan yaygın bir performans ölçütüdür. Kısaca idealde istenen eşik gerilimi ile çıkışta elde edilen eşik gerilimi arasındaki sapmadır. İdeal olarak bir adım boyutu 1 LSB'ye eşittir.

7-bit TIQ tabanlı Flash ADC nin 127 adet eşik geriliminin idealde istenilen bir voltaj değeri vardır. Tasarım sonucu elde edilen eşik gerilimi, ideal eşik geriliminden çıkarılır. Bu çıkarma işleminin sonucu + veya – olabilir. Bulunan bu fark 1 LSB'ye eşit olan voltaj adım aralığına bölünür. Çıkan bu sonuç o bloktaki INL değerinin LSB cinsinden aldığı değeri göstermektedir. INL hataları basitçe denklem (5.1) ile hesaplanmaktadır.

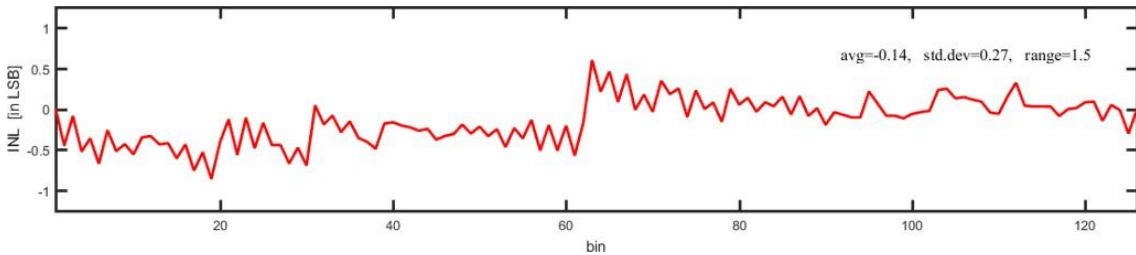
$$INL = \frac{\text{Ölçülen}(V) - \text{İdeal}(V)}{1 \text{ LSB}} \quad (5.1)$$

Şekil 5.11'da 7-bit TIQ tabanlı Flash ADC nin DC'deki INL grafiği verilmiştir. 1 LSB, 14mV'a eşittir.



Şekil 5.11. 7-bit TIQ Tabanlı Flash ADC DC'deki INL grafiği

Şekil 5.12.'de 7-bit TIQ Tabanlı Flash ADC nin 2Mhz/1Gsps INL grafiği verilmiştir.



Şekil 5.12. 7-bit TIQ Tabanlı Flash ADC 2Mhz/1Gsps INL grafiği

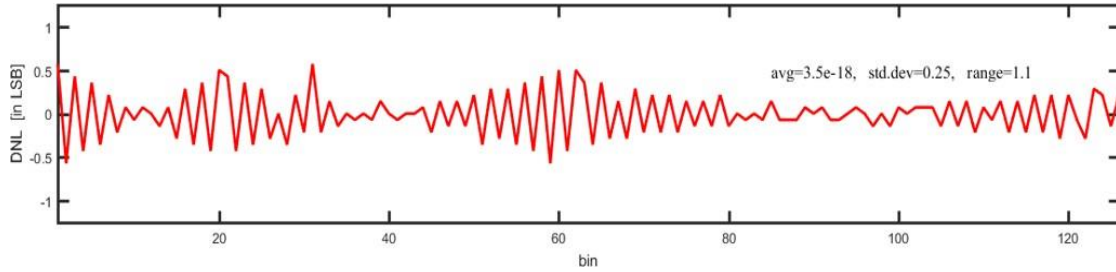
Yukarıdaki grafiklerdeki sonuçlara göre 7-bit TIQ tabanlı Flash ADC nin DC'deki DNL aralığı +0.57/-0.57 LSB ve INL aralığı +0.11/-0.90 LSB olarak tespit edilmiştir.

5.3.2. DNL (Differential Non-Linearity)

İdeal çıkış voltajlarında ardışık iki voltaj arasındaki fark 1 LSB'dir. DNL, çıkıştaki iki ardışık basamağa karşılık gelen voltajın ideal durumdakinden farkıdır. DNL değeri -1 ise kayıp kod hatası ortaya çıkmaktadır. 7-Bit TIQ Tabanlı Flash ADC için 127 adet eşik gerilimi bulunmaktadır. Ardışık iki eşik gerilimi arasındaki fark alınır. Yani bir üst basamağın eşik geriliminden bir alt basamağın eşik geriliminin farkı alınır. Bu değer 1 LSB'den yani 14mV'tan çıkarılır. Elde edilen sayı ise 1 LSB'ye bölünür ve DNL değeri LSB cinsinden hesaplanmış olmaktadır. DNL hataları basitçe denklem (5.2) ile hesaplanmaktadır.

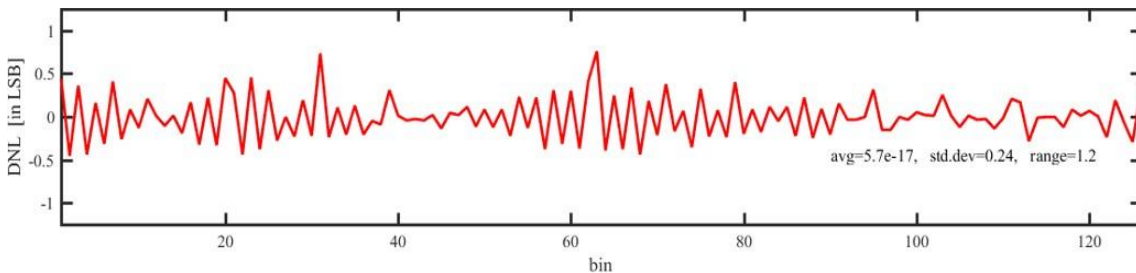
$$DNL = \frac{(2 \text{ Karşılaştırmalı Farkı}) - (\text{Adım Aralığı})}{1 \text{ LSB}} \quad (5.2)$$

Şekil 5.13.'de 7-bit TIQ tabanlı Flash ADC nin DC'deki DNL grafiği verilmiştir. 1 LSB,14mV'a eşittir.



Şekil 5.13. 7-bit TIQ tabanlı Flash ADC DC'deki DNL grafiği

Şekil 5.14.'de 7-bit TIQ Tabanlı Flash ADC nin 2Mhz/1Gsps DNL grafiği verilmiştir.



Şekil 5.14. 7-bit TIQ Tabanlı Flash ADC 2Mhz/1Gsps DNL grafiği

Yukarıdaki grafiklerdeki sonuçlara göre 7-bit TIQ tabanlı Flash ADC nin 2Mhz/1Gsps için DNL aralığı +0.75/-0.45 LSB ve INL aralığı +0.59/-0.86 LSB olarak tespit edilmiştir.

5.4. Güç Analizi

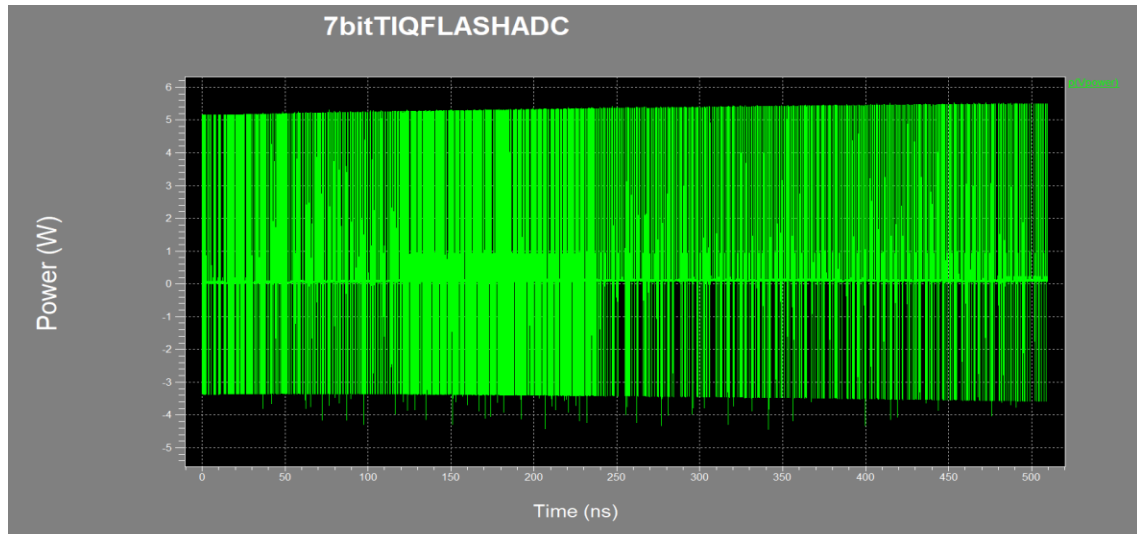
7 bit Aradeğerlemeli TIQ tabanlı Flash ADC nin güç analizi iki aşamada gerçekleştirilmiştir. 7 bitlik TIQ karşılaştırıcı bloğu 2 adet 6 bitlik TIQ bloğundan oluşmaktadır. İlk 6 bitlik TIQ bloğu 3.3V Vdd besleme gerilimi ile beslenmektedir. 2. 6 bitlik TIQ bloğunda aradeğerleme yöntemi kullanılmış Vdd1, Vdd2 ve Vdd3 olmak üzere 3 farklı besleme gerilimine ihtiyaç duyulmuştur.

5.4.1. İlk 6 Bitlik TIQ Bloğa ve Vdd Besleme Gerilimine Ait Güç Analizi

7 bit TIQ tabanlı Flash ADC tasarımında ilk 6 bitlik TIQ bloğu, kazanç yükseltici bloğu ve diğer sayısal devrelerde 3.3V luk Vdd besleme gerilimi kullanılmıştır. Bu bölümde Vdd besleme gerilimine ait güç analizine yer verilmiştir. Şekil 5.15.'te Vdd Besleme Gerilimi T-Spice Güç Komutuna, Şekil 5.16.'da Vdd Besleme Gerilimiden Elde Edilen Güç Eğrisine ve Şekil 5.17.'de Vdd Besleme Gerilimiden Elde Edilen Güç Sonuçlarına yer verilmiştir. Bu kısımda yapılan güç analizinden elde edilen güç sonuçlarına göre Vdd besleme gerilimin harcadığı güç 231,4 mW olarak hesaplanmıştır.

```
Vpower Vdd Gnd 3.3V
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
VINp in Gnd dc 0 PWL (0us 0.5V 0.5us 2.42V) AC 0
VClk Clk Gnd dc 0 PULSE (0 3.3 0 0.005n 0.005n 0.1n 0.2n) ROUND=0 AC 0
.tran 1n 0.51u start=0
.print tran p(Vpower)
.power Vpower | 0.51u
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
.end
```

Şekil 5.15. Vdd Besleme Gerilimi T-Spice Güç Komutu



Şekil 5.16. Vdd Besleme Geriliminden Elde Edilen Güç Eğrisi

Power Results
Vpower from time 0 to 5.1e-007
Average power consumed -> 2.313913e-001 watts
Max power 5.530932e+000 at time 4.7271e-007
Min power 5.484310e-005 at time 1.3493e-008

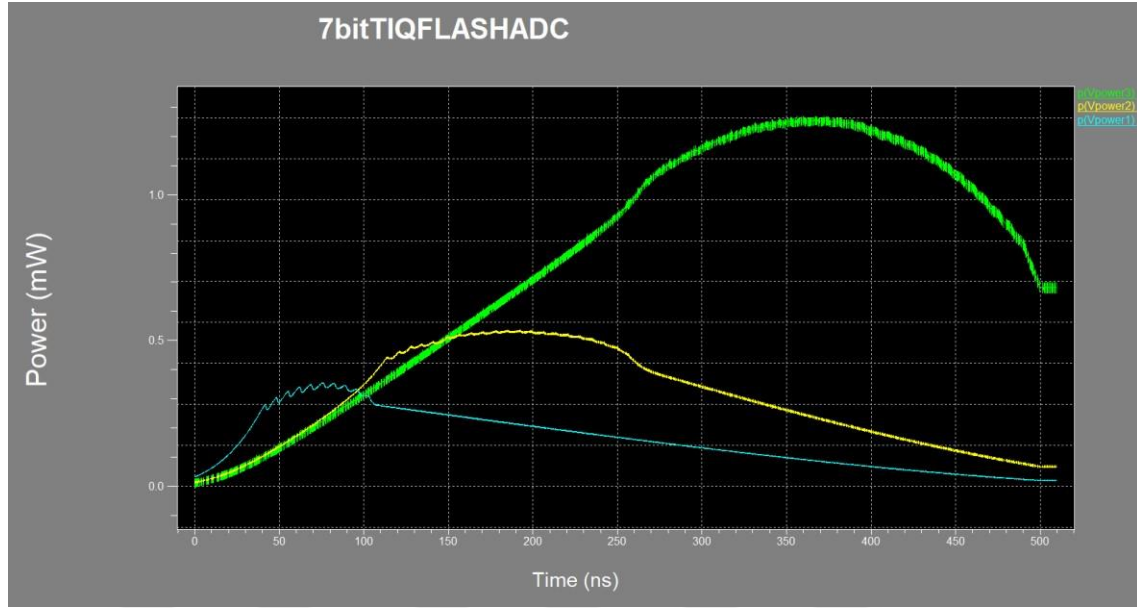
Şekil 5.17. Vdd Besleme Geriliminden Elde Edilen Güç Sonuçları

5.4.2. 2. 6 Bitlik TIQ Bloğa Ait Güç Analizi

2. 6 bitlik TIQ bloğunda aradeğerleme yöntemi kullanılarak Vdd1, Vdd2 ve Vdd3 olmak üzere 3 farklı besleme gerilimi değerine ihtiyaç duyulmuştur. Şekil 5.18., Şekil 5.19. ve Şekil 5.20.'de bu besleme gerilimi değerlerinin Aradeğerlemeli TIQ bloğunda harcadığı güç eğrisi ve güç sonuçlarına yer verilmiştir.

```
Vpower1 Vdd1 Gnd 3.17V
Vpower2 Vdd2 Gnd 3.255V
Vpower3 Vdd3 Gnd 3.28V
Vinp in Gnd dc 0 PWL (0us 0.5V 0.5us 2.42V) AC 0
VClk Clk Gnd dc 0 PULSE (0 3.3 0 0.005n 0.005n 0.1n 0.2n) ROUND=0 AC 0
.tran ln 0.51u start=0
.print tran p(Vpower1)
.print tran p(Vpower2)
.print tran p(Vpower3)
.power Vpower1 0 0.51u
.power Vpower2 0 0.51u
.power Vpower3 0 0.51u
.include "C:\Users\koray\Desktop\Ayse_YL_TEZ\VLSI_tech_files\TSMC_0.18u_cmos.md"
```

Şekil 5.18. Aradeğerlemeli TIQ Bloğu T-Spice Güç Komutu



Şekil 5.19. Vdd1, Vdd2, Vdd3 Besleme Gerilimi Güç Analizi

Power Results

Vpower1 from time 0 to 5.1e-007

Average power consumed -> 5.591155e-003 watts

Max power 1.268793e-002 at time 7.591e-008

Min power 6.759658e-004 at time 5.03005e-007

Vpower2 from time 0 to 5.1e-007

Average power consumed -> 1.035156e-002 watts

Max power 1.908747e-002 at time 1.92406e-007

Min power 3.965200e-004 at time 1.11575e-010

Vpower3 from time 0 to 5.1e-007

Average power consumed -> 2.744422e-002 watts

Max power 4.518221e-002 at time 3.67407e-007

Min power 5.544476e-006 at time 1.51158e-009

Şekil 5.20. Vdd1, Vdd2, Vdd3 Besleme Gerilimi Güç Analizi Sonuçları

7 bit TIQ tabanlı Flash ADC devresinin toplam güç tüketimi 274,77 mW olarak hesaplanmıştır.

6. SONUÇLAR VE ÖNERİLER

Bu çalışmada 180nm CMOS teknolojisinde, Aradeğerlemeli TIQ Yöntemi ile 7-Bit Flash ADC'nin VLSI tasarımının yapılması amaçlanmıştır. Tablo 6.1.'de bu projede gerçekleştirilen Aradeğerlemeli TIQ Tekniği ile 7 bit Flash ADC tasarımının çeşitli performans parametreleri bakımından diğer ADC türleri ile karşılaştırılması yer almaktadır.

Tablo 6.1. TIQ Tabanlı 7 Bit Flash ADC' nin Diğer ADC Türleri ile Karşılaştırılması

Aradeğerlemeli 7Bit TIQ Flash ADC'nin Diğer ADC Türleri ile Karşılaştırılması				
Performans Parametreleri	Bu Çalışma	(Lin ve diğerleri 2012)	(Lee ve diğerleri 2007).	(Jayakumar, Vishnu, 2014)
7Teknoloji	180nm CMOS	90nm CMOS	180nm CMOS	90nm CMOS
Çözünürlük (bit)	7	7	7	7
Besleme Gerilimi (V)	3.3	0.5	1.8	1.2
INL (LSB)	+0.59/-0.86		+/-0.7	
DNL (LSB)	+0.75/-0.45		+/-0.9	
Güç Harcanımı (mW)	274.7	6.2	108	146,95
Örnekleme Frekansı	1GS/s	420/210 MS/s	400MS/s	500Mhz
Yapı	Flash	Flash	Sub Ranging	Flash

Yukarıdaki tablo değerlendirildiğinde; bu çalışmada gerçekleştirilen Aradeğerlemeli TIQ Tekniği ile 7Bit Flash ADC Tasarımında; 180nm CMOS Teknolojisinde diğer çalışmalara kıyasla daha yüksek örnekleme frekansı kullanıldığı ve yüksek örnekleme frekansındaki INL/DNL değerleri göz önünde bulundurulduğunda kod kaybı

yaşanmadığı görülmüştür. Tasarımda 3.3V besleme gerilimi ile en yüksek besleme geriliminin bu çalışmada kullanıldığı gözlemlenmekle beraber güç tüketiminin mWlar seviyesinde tutulması başarılmıştır.

Sonuç olarak, bu projede 0.18µm CMOS teknolojisinde, ‘Aradeğerlemeli TIQ Tekniği ile 7 Bit Flash ADC’ tasarımı yapılmıştır. Tasarımı gerçekleştirilen bu TIQ tabanlı ADC türünün DC’de ve AC’deki çeşitli frekanslarda analizleri yapıp simülasyon sonuçları gösterilmiştir. Tasarlanan Flash ADC’nin ortalama güç tüketimi 247.7mW olarak hesaplanmıştır. DC’deki DNL aralığı +0.57/-0.57 LSB ve INL aralığı +0.11/-0.90 LSB olarak tespit edilmiştir. 2Mhz/1Gsps için DNL aralığı +0.75/-0.45 LSB ve INL aralığı +0.59/-0.86 LSB olarak tespit edilmiştir.

TIQ tabanlı Flash ADC tasarımında özellikle 6 bit ve üzeri Flash ADC tasarımı hedeflenmiş ise, TIQ karşılaştırmacı dizisinin tasarımı oldukça zaman alıcı olacağından bahsedildi. Bu nedenle bu çalışmada, buradaki tasarım zorluğunu hafifletmek amaçlı olarak yeni bir yöntem olan Aradeğerlemeli TIQ (Threshold Inverter Quantization) yöntemi geliştirilerek 7-bitlik TIQ tabanlı bir Flash ADC nin VLSI tasarımına uyarlanması ele alındı. Çalışmanın bilimsel katkısı bu yöntemin literatüre kazandırılması

olduğu belirtildi.
$$V_{th} = \frac{V_{dd} - |V_{tp}| + V_{tn}\sqrt{(K_n/K_p)}}{1 + \sqrt{(K_n/K_p)}}$$
 karşılaştırmacının dahili karşılaştırma eşik

değerini veren eşitlikte, Vdd değerine olan doğrusal bağıntı, TIQ aradeğerleme olarak isimlendirdiğimiz yöntemin dayanak noktasını oluşturduğu belirtilerek; TIQ karşılaştırmacı dizisinde, birbirinin tamamen aynı transistör boyutlarına sahip olan, N-1 çözünürlükteki Flash ADC den iki adet kullanıp, ikinci Flash çekirdeğini çok küçük bir besleme gerilimindeki kayma ile besleyerek, istenen ara değerleme geçiş eğrilerinin (diğer bir ifadeyle kuantalama seviyelerinin) kolayca elde edilmesini sağlandı.

7-Bit TIQ Flash ADC tasarımında; ($2^n - 1 = 127$) 127 adet TIQ karşılaştırmacı, 127 adet kazanç yükseltici (gain booster), 127 adet dinamik tutucu devresi, termometre kod çözücü bloğu ve PLA-ROM bloğu kullanıldı.

Burada tasarımı zorlaştıran nokta ise, yukarıdaki Vth eşitliğinin elde edildiği temel denklemlerin, MOSFETler için çok düşük bir temel modeli olan ve el hesaplarında kullanılan lineer ve doyum bölgelerine ait iki temel MOSFET I-V eşitlikleri olması ve.

benzetimlerde üst düzey MOSFET modelleri (örneğin BSIM3) kullanıldığından, mosfetlerin eşik gerilim değerlerinin (threshold voltage) boyutlara (W/L) bağlı olarak yeniden hesaplanması durumu söz konusu olmasaydı. Bu nedenle, burada baz alınan eşitlik, tam olarak gerçeği yansıtmadığı görülmüştür. Bu çalışmadaki araştırmanın bir amacı da bu gerçeğin (yani yüksek seviye MOSFET modellerinin kullanımının), temel alınan TIQ karşılaştırmalı eşik değerinin (V_{th}), V_{dd} ye olan doğrusal bağıntısını ne derecede etkileyeceğinin ortaya çıkarılması olmuştur.



KAYNAKLAR

- URL-1: <https://rmc.com.tr/adc-donusturucu-analog-dijital-donusturucu-nedir/>, (Ziyaret Tarihi: 10 Aralık 2021)
- URL-2: http://ee.tek.firat.edu.tr/files/LJ1B5_%20ADC_DAC_2.pdf/, (Ziyaret Tarihi: 10 Aralık 2021)
- Ahmed, G., & Baghel, R., K. (2014). Design of 6-Bit Flash Analog to Digital Converter Using Variable Switching Voltage Cmos Comparator. *International Journal of VLSI Design & Communication Systems (VLSICS)*, Vol.5, No.3, DOI:10.5121
- Tangel, A., & Choi, K. (2004). "The CMOS Inverter" as a comparator in ADC designs. *Analog Integrated Circuits and Signal Processing*, 39(2), 147-155.
- Yoo, J., Choi, K., & Tangel, A. (2001). A 1-GSPS CMOS flash A/D converter for system-on-chip applications. In *Proceedings IEEE Computer Society Workshop on VLSI 2001. Emerging Technologies for VLSI Systems* (pp. 135-139).
- Aytar, O., Tangel, A., & Afacan, E. (2017). A 10 GS/s time-interleaved ADC in 0.25 micrometer CMOS technology. *Journal of Electrical Engineering*, 68(6), 415.
- Talay Y., Aytar O. (2019) 4 Bit Flash Tabanlı Zaman Sayısal Dönüştürücü Tasarımı. *Düzce Üniversitesi Bilim ve Teknoloji Dergisi*, 7(2), 52-62.
- Aytar, O., Tangel, A., & Afacan, E. (2017). A 10 GS/s time-interleaved ADC in 0.25 micrometer CMOS technology. *Journal of Electrical Engineering*, 68(6), 415.
- Yoo, J., Choi, K., & Tangel, A. (2001, April). A 1-GSPS CMOS flash A/D converter for system-on-chip applications. In *Proceedings IEEE Computer Society Workshop on VLSI2001. Emerging Technologies for VLSI Systems* (pp. 135-139). IEEE.
- Aytar, O. (2014). Eşik Evirmeli Nicemleyici Tekniği Kullanılarak Yapılan 5 Bit Yüksek Hızlı Paralel A / S Dönüştürücülerde Sayısal Kodlama Devreleri Performanslarının İncelenmesi SDU International Technologic Science Vol. 6, No 2, SDU International Technologic Science Vol. 6, No 2, August 2014 Pp. 1-17
- Lin J., Mano I., Miyahara M. & Matsuzawa A. (2012). A 0.5 V, 420 MSps, 7-bit Flash ADC Using All-Digital Time-Domain Delay Interpolation. Department of PhysicalElectronics Tokyo Institute of Technology, IEEE, 978-1-4673-5696-1.
- Lee H., Wang I., & Liu S. (2007). A 7-Bit 400ms/S Sub-Ranging Flash ADC In 0.18um Cmos Graduate Institute of Electronics Engineering and Department of Electrical Engineering National Taiwan University, IEEE, 978-1-4244-1592-2/07.
- Jayakumar A., Vishnu K. (2014). First International Conference on Computational Systems and Communications (ICCSC), 17-18 December 2014.

KİŞİSEL YAYIN VE ESERLER

Aran A., Tangel A., Aradeğerlemeli TIQ Yöntemi İle 6 Bit Flash ADC Yongası Tasarımı, 8. *Uluslararası Mühendislik Mimarlık Ve Tasarım Kongresi*, İstanbul, 06-07 Aralık 2021.



ÖZGEÇMİŞ

2006 Senesinde Eyüp Anadolu Lisesinden Mezun oldu. 2007 yılında girdiği Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Bölümünden 2011 senesinde mezun oldu. 2013 senesinde TTNET İnternet Teknolojileri alanında altyapı operasyon biriminde çalıştı. 2013-2016 seneleri arasında TCDD’de Marmaray Koordinasyon Komisyonu biriminde Mühendis olarak görev yaptı. 2016 yılında Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Anabilim Dalında Yüksek Lisans eğitimine başladı.

