



**T.C.
İSTANBUL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**



DOKTORA TEZİ

GENİŞ BANTLI AYARLANABİLİR MİKRODALGA YÜKSELTEÇ TASARIMI

Doğu Çağdaş ATİLLA

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği Programı

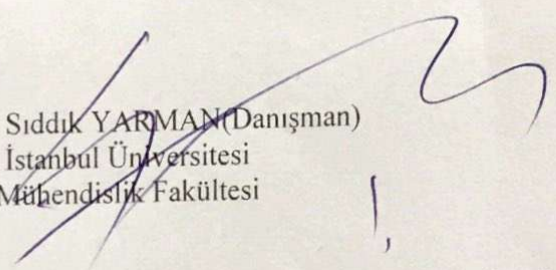
**DANIŞMAN
Prof. Dr. Sıddık YARMAN**

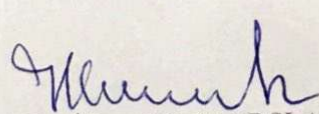
Mayıs, 2017

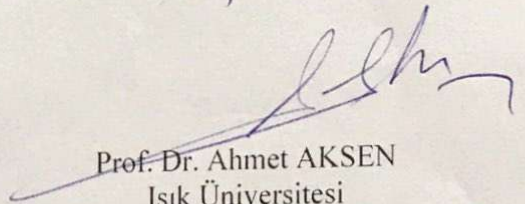
İSTANBUL

Bu çalışma 8.05.2017 tarihinde ařağıdaki jüri tarafından Elektrik-Elektronik Mühendisliğı Anabilim Dalı, Elektrik-Elektronik Mühendisliğı Programında Doktora tezi olarak kabul edilmiştir.

Tez Jürisi


Prof. Dr. Sıddık YARMAN (Danışman)
İstanbul Üniversitesi
Mühendislik Fakültesi


Prof. Dr. İlhan KOCAARSLAN
İstanbul Üniversitesi
Mühendislik Fakültesi


Prof. Dr. Ahmet AKSEN
Işık Üniversitesi
Mühendislik Fakültesi


Prof. Dr. Filiz GÜNEŞ
Yıldız Teknik Üniversitesi
Elektrik-Elektronik Fakültesi


Doç. Dr. Erkan ATMACA
İstanbul Üniversitesi
Mühendislik Fakültesi



20.04.2016 tarihli resmi gazetede yayımlanan Lisansüstü Eğitim ve Öğretim Yönetmeliğinin 9/2 ve 22/2 maddeleri gereğince; Bu Lisansüstü teze, İstanbul Üniversitesi'nin abonesi olduğu intihal yazılım programı kullanılarak Fen Bilimleri Enstitüsü'nün belirlemiş olduğu ölçütlere uygun rapor alınmıştır.

Bu tez, İstanbul Üniversitesi Bilimsel Araştırma Projeleri Yürütücü Sekreterliğinin 38710 numaralı projesi ile desteklenmiştir

ÖNSÖZ

Bu çalışmada, yol göstericiliğinden ve değerli desteklerinden dolayı tezin gelişiminde ve tamamlanmasında büyük katkısı olan danışmanım Prof. Dr. Sıddık YARMAN'a teşekkürlerimi sunarım.

Deneyimlerini paylaşımlarından ötürü Prof. Dr. Ahmet AKSEN'e ve yardımlarından ötürü Yrd. Doç. Dr. Ramazan KÖPRÜ'ye şükranlarımı borç bilirim.

Ayarlanabilir Devre Tasarımı konusunda fikirlerini paylaşan Doç Dr. Tayfun NESİMOĞLU'na, anten tasarımı konusundakiengin bilgilerinden her daim faydalanmama olanak sağlayan Dr. Cahit KARAKUŞ'a ve akademik hayatım boyunca birlikte yol aldığım çalışma arkadaşım Dr. Çağatay AYDIN'a desteklerinden dolayı teşekkür ederim.

Son olarak, annem Resime ATİLLA'ya, babam Ahmet ATİLLA'ya, eşim Yeliz NURCAN ATİLLA'ya ve kızım Aybike Tuva ATİLLA'ya ve benimle birlikte olan tüm aileme sonsuz sabırları ve duaları için teşekkürü borç bilirim.

Mayıs 2017

Doğu Çağdaş ATİLLA

İÇİNDEKİLER

Sayfa No

ÖNSÖZ.....	iv
İÇİNDEKİLER	v
ŞEKİL LİSTESİ.....	vii
TABLO LİSTESİ	xii
SİMGE VE KISALTMA LİSTESİ	xiv
ÖZET.....	xvi
SUMMARY	xvii
1. GİRİŞ.....	1
2. GENEL KISIMLAR	4
2.1. KAYIPSIZ İKİ KAPILI DEVRELER İÇİN TEMEL KAVRAMLAR	4
2.2. SAÇILMA PARAMETRELERİ	5
2.2.1 S Parametreleri İçin Bazı Tanımlar	9
2.2.1.1 Reflektans	9
2.2.1.2 Empedans Normalizasyonu	10
2.2.1.3 Gerilim ve Akım Normalizasyonu	12
2.2.2 Giriş Yansıma Katsayısı	12
2.2.2.1 Pozitif Reel Tanımı.....	12
2.2.2.2 Hurwitz Polinomları İçin Toplama Çıkartma	13
2.2.2.3 Kayıpsız Tek Kapılı Devreler	14
2.2.2.4 Reflektansın Sınırlı-Reel Olması.....	15
2.4. ÇEVİRİM GÜÇ KAZANCI.....	20
2.5. S PARAMETRELERİNDE ÖZELLİKLER	21
2.5.1 Saçılma Parametrelerini Sağlayan Polinom Sıfırları.....	29
2.6. KAZANÇ YAKLAŞIMI.....	29
2.7. YÜKSELTEÇ TASARIMI İÇİN GENEL KAVRAMLAR.....	33
3. MALZEME VE YÖNTEM	37
3.1. PARAZİTİK KAPASİTANS YAKLAŞIMI İLE AYARLANABİLİR DEVRE TASARIMI.....	38
3.1.1 Kapan Devresi Tasarımı	46

3.1.2 Parazitik Kapasitans Yaklaşımı	49
3.2. MEMS İLE AYARLANABİLİR DEVRE TASARIMI	58
3.3. FREKANS BAĞLI AYARLANABİLİR ENDÜKTÖR TASARIMI	66
3.3.1. Ayarlanabilir Endüktör İle Uyumlaşma Devresi Tasarımı	73
4. BULGULAR	77
4.2. YÜKSELTEÇ TASARIMI	77
4.2. AYARLANABİLİR YÜKSELTEÇ UYGULAMASI	82
4.3. SRFT İLE TASARIM	86
4.4. BİLGİSAYAR BENZETİMİ VE OPTİMİZASYONU	92
4.4.1. Bilgisayar Benzetimi	92
4.4.1.1. Birinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi	93
4.4.1.2. İkinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi	94
4.4.1.3. Üçüncü Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi	95
4.4.1.4. Dördüncü Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi	96
4.4.1.5. Beşinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi	97
4.4.2. Tasarlanan Yükselteçler İçin Optimizasyon	100
4.4.2.1 Birinci Frekans Aralığı İçin Optimizasyon	100
4.4.2.2. İkinci Frekans Aralığı İçin Optimizasyon	101
4.4.2.3. Üçüncü Frekans Aralığı İçin Optimizasyon	102
4.4.2.4. Dördüncü Frekans Aralığı İçin Optimizasyon	103
4.4.2.5. Beşinci Frekans Aralığı İçin Optimizasyon	104
4.5. DİJİTAL KAPASİTÖRLER	108
4.5.1. Ayarlanabilir Dijital Kapasitör Devre Modellerinin Bilgisayar Benzetimi	108
4.7. DİJİTAL KAPASİTÖR KULLANARAK AYARLANABİLİR YÜKSELTEÇ TASARIMI	120
4.8. AYARLANABİLİR ENDÜKTÖR KULLANARAK AYARLANABİLİR YÜKSELTEÇ TASARIMI	127
5. TARTIŞMA VE SONUÇ	134
KAYNAKLAR	137
ÖZGEÇMİŞ	141

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1: İki Kapılı Devre Modeli.....	5
Şekil 2.2: Tek Kapılı Devre Modeli.....	9
Şekil 2.3: Bir İki Kapılı Şematiği.....	17
Şekil 2.4: Giriş ve Çıkış Yansımasının Üretilmesi.	19
Şekil 2.5: Toplu Elemanların Çeşitli Bağlantı Yöntemleri.....	22
Şekil 2.6: Giriş Saçılma Parametresi.	22
Şekil 2.7: Örnek Bir Hedef Fonksiyonu.	29
Şekil 2.8: Örnek Bir Zayıflama ve Bu Zayıflamayı Düzeltecek Kazanç Eğrisi.	30
Şekil 2.9: Bir Yükselteç Örneği İçin Transistör.....	31
Şekil 2.10: Mikrodalga Yükselteç Yapısı.....	33
Şekil 2.11: $S_{12}=0$ Durumunda $\Gamma_{IN}=S_{11}$ Yaklaşımı ve Tek Uyumlaştırma Problemi ..	35
Şekil 2.12: $S_{12}=0$ Durumunda $\Gamma_{OUT}=S_{22}$ Yaklaşımı ve Tek Uyumlaştırma Problemi	36
Şekil 3.1: Bir Kablosuz İletişim Sistemi İçin Güç Aktarım Kısım1.	39
Şekil 3.2: Empedans Fonksiyonu Tanımı.....	40
Şekil 3.3: Bir Empedans Dönüştürücü İçin Kapan Devresi Tasarımı.....	46
Şekil 3.4: 3 Elemanlı CLC Devresinin Kazanç Performansı.....	49
Şekil 3.5: Parazitik Etkilerin Kapasitans Olarak Modellenmesi.....	50
Şekil 3.6: Parazitik Kapasiteye Göre a) ΔX_i b) Kazanç Değişimi.	52
Şekil 3.7: Her Bir Elemanın Parazitik Kapasitöre Göre Değişimi.....	53
Şekil 3.8: Normalize Değerlerin Polinom Uydurması.	55
Şekil 3.9: Ayarlanan Devrenin Performansı.....	57
Şekil 3.10: Düşük Frekans MEMS Eşdeğer Devre Modeli.....	59

Şekil 3.11: Düşük Frekans MEMS Modeli İçin S_{11} ve S_{21}	60
Şekil 3.12: Orta Frekans MEMS Modeli İçin S_{11} ve S_{21}	61
Şekil 3.13: Orta Frekans MEMS Eşdeğer Devre Modeli.	62
Şekil 3.14: Yüksek Frekans MEMS Modeli İçin S_{11} ve S_{21}	62
Şekil 3.15: 5 Elemanlı Ayarlanabilir Devrenin Benzetim Sonucu S_{21} ve S_{11}	64
Şekil 3.16: 5 Elemanlı Ayarlanabilir Devrenin Olası Tüm Durumlarda Kazancı.	64
Şekil 3.17: 5 Elemanlı Ayarlanabilir Devrenin Olası Tüm Durumlarda S_{11} Başarımı	64
Şekil 3.18: Keyfi Bazı Durumlar İçin Devrenin S_{11} ve S_{21} Başarımı.	65
Şekil 3.19: Frekansa Bağlı Ayarlanabilir Seri Endüktör.	67
Şekil 3.20: Açısal Frekansa Bağlı Olarak Ayarlanabilir Endüktörün Değişimi.	69
Şekil 3.21: a) Rezonans Frekansına Göre b) C_x ' e Göre L_t ' nin Değişimi.	70
Şekil 3.22: Açısal Frekansa Bağlı Olarak Ayarlanabilir Endüktörün Değişimi ($L=1.2$ ve $\omega_r=1.5$ için).....	70
Şekil 3.23: a) Rezonans Frekansına Göre b) C_x 'e Göre L_t 'nin Değişimi($L=1.2$ ve $\omega_r=1.5$ için).....	71
Şekil 3.24: Varaktör Diyot Çalışma Eğrisi.	72
Şekil 3.25: İdeal Varaktör ile Ayarlanabilir Endüktör Tasarımı.....	72
Şekil 3.26: Ayarlanabilir Endüktör ile Uyumlaşma Devresi Tasarımı.	73
Şekil 3.27: Optimizasyon Olmadan S_{21} ve S_{11} Değerleri.	74
Şekil 3.28: Ayarlanan Devrenin Tüm Durumlar İçin S_{21} ve S_{11} Başarımı.	75
Şekil 4.1: Bir Yükselteç Devresi Örneği.	77
Şekil 4.2: 50 Ohm Sonlandırılmalı HJ-FET Transistör.	83
Şekil 4.3: 50 Ohm Sonlandırılmalı Transistör İçin S Parametreleri.....	84
Şekil 4.4: Geribesleme Uygulanmış Transistör.	85
Şekil 4.5: Geribesleme Devresiyle Transistörün S Parametreleri.	85
Şekil 4.6: Kısıt Altında Geri Besleme Devresiyle Transistörün S Parametreleri.	86
Şekil 4.7: Birinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.	87

Şekil 4.8: İkinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.	88
Şekil 4.9: Üçüncü Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.	89
Şekil 4.10: Dördüncü Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.	90
Şekil 4.11: Beşinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.	91
Şekil 4.12: Birinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi. .	93
Şekil 4.13: Birinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.	93
Şekil 4.14: İkinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi. ...	94
Şekil 4.15: İkinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.	94
Şekil 4.16: Üçüncü Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi	95
Şekil 4.17: Üçüncü Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.	95
Şekil 4.18: Dördüncü Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi.	96
Şekil 4.19: Dördüncü Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.	96
Şekil 4.20: Beşinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi .	97
Şekil 4.21: Beşinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.	97
Şekil 4.22: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{11}	98
Şekil 4.23: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{21}	99
Şekil 4.24: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{22}	99
Şekil 4.25: Tüm Durumlarda Bilgisayar Benzetimi Başarımı Sağılma Parametreleri.	100
Şekil 4.26: Birinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.	100
Şekil 4.27: Birinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.	101
Şekil 4.28: İkinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.	101
Şekil 4.29: İkinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.	102
Şekil 4.30: Üçüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.	102

Şekil 4.31: Üçüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.....	103
Şekil 4.32: Dördüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.	103
Şekil 4.33: Dördüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.	104
Şekil 4.34: Beşinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.	104
Şekil 4.35: Beşinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.....	105
Şekil 4.36: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S Parametreleri Başarımı.....	105
Şekil 4.37: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{11} Başarımı.	106
Şekil 4.38: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{22} Başarımı.	106
Şekil 4.39: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{21} Başarımı.	107
Şekil 4.40: Ayarlanabilir Dijital Kapasitör Devre Topolojisi(Tüm Modeller İçin)... 108	
Şekil 4.41: PE64101 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} c) Şönt S_{21}	109
Şekil 4.42: PE64102 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} c) Şönt S_{21}	111
Şekil 4.43: PE64904-05 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21}	112
Şekil 4.44: PE64906 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21}	113
Şekil 4.45: PE64907 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21}	114
Şekil 4.46: PE64908 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21}	115
Şekil 4.47: PE64909 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21}	116
Şekil 4.48: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç.....	120
Şekil 4.49: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı. 121	
Şekil 4.50: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı. 121	

Şekil 4.51: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{11} Başarımı.	122
Şekil 4.52: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç.....	124
Şekil 4.53: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı.	124
Şekil 4.54: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{22} Başarımı.	124
Şekil 4.55: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{11} Başarımı.	125
Şekil 4.56: 800-5200 MHz Yükselteç Topolojisi.	127
Şekil 4.57: Düz Kazançlı Yükselteç İçin Kazanç Başarımı (Kırmızı Çizgi MSG Eğrisi Siyah Çizgi Düz Kazanç Eğrisi).	128
Şekil 4.58: Ayarlanabilir Endüktörlerle Tasarlanan Ayarlanabilir Yükselteç.....	130
Şekil 4.59: Ayarlanabilir Endüktör ile Tasarlanan Ayarlanabilir Yükselteç İçin Kazanç Başarımı.	131
Şekil 4.60: Ayarlanabilir Endüktör ile Tasarlanan Ayarlanabilir Yükselteç İçin Optimizasyon Sonrası Kazanç Başarımı.	131
Şekil 4.61: Dört Farklı Frekansta ve Bant Genişliğinde Çalışan Ayarlanabilir Yükselteç İçin Kazanç Başarımı.....	133

TABLO LİSTESİ

Sayfa No

Tablo 3.1: Devrenin Eleman Değerlerinin Tüm Durumlara Göre Değişimi (Kapasitans Değerleri pF ve Endüktans değerleri nH).	51
Tablo 3.2: Göreli Durumların Hesaplanması.	52
Tablo 3.3: Normalize Değerlerin C_p ' ye Göre Değişimi.....	54
Tablo 3.4: Keyfi Bir Uygulama İçin Devre Eleman Değerleri.	57
Tablo 3.5: Ayarlanabilir Elemanların Elektriksel Başarımları ¹	58
Tablo 3.6: Rezonans Frekansı ve Eleman Değerlerinin Değişimi ($L_x=0.6667$ için)... 71	
Tablo 3.7: Ayarlanabilirlik Uygulaması Sonrası Elde Edilen Değerler.....	74
Tablo 4.1: PE64101 İçin Eşdeğer Devre Modeli Parametreleri.	110
Tablo 4.2: PE64102 İçin Eşdeğer Devre Modeli Parametreleri.	110
Tablo 4.3: PE64904-05 İçin Eşdeğer Devre Modeli Parametreleri.	112
Tablo 4.4: PE64906 İçin Eşdeğer Devre Modeli Parametreleri.	113
Tablo 4.5: PE64907 İçin Eşdeğer Devre Modeli Parametreleri.	114
Tablo 4.6: PE64908 İçin Eşdeğer Devre Modeli Parametreleri.	115
Tablo 4.7: PE64909 İçin Eşdeğer Devre Modeli Parametreleri.	116
Tablo 4.8: Frekansa Bağlı Kapasitans Değerlerinin Seri-Şönt Bağlantı Karşılaştırması.	117
Tablo 4.9: Tasarlanan Yükselteç Devresindeki Sabit Kapasitörlerin Eleman Değerleri.	119
Tablo 4.10: Ayarlanabilir Dijital Kapasitörlerin Ayarlanabilirlik Menzili ve Adım Aralıkları.(Seri Bağlı Durumda).....	119
Tablo 4.11: Seri Kapasitörler Ayarlanarak Tasarlanan Ayarlanabilir Yükselteç	123
Tablo 4.12: Tüm Kapasitörler Ayarlanarak Tasarlanan Ayarlanabilir Yükselteç	126

Tablo 4.13: Ayarlanabilir Endüktör Kullanarak Tasarlanan Ayarlanabilir Yükselteç İçin Eleman Değerleri.....	132
---	-----



SİMGE VE KISALTMA LİSTESİ

Simgeler	Açıklama
P	: Karmaşık Frekans Değişkeni
C	: Sığa
L	: İndüktans
T	: Güç Aktarım Oranı
f_0	: Normalize Frekans
C_k	: Tank Devresi Kapasitansı
C_p	: Parazitik Kapasitans
Z_F	: Foster Fonksiyonu
Z_M	: Minimum Empedans Fonksiyonu
k_f	: Rezidü Fonksiyonu
L_k	: Tank Devresi Endüktans
Γ_L	: Çıkış Uyumlaşma Devresi Tarafından Görülen Empedans
Γ_S	: Giriş Uyumlaşma Devresi Tarafından Görülen Empedans
Γ_{IN}	: Transistörün Girişinden Görülen Yansıma
Γ_{OUT}	: Transistörün Çıkışından Görülen Yansıma

Kısaltmalar	Açıklama
RS	: Referans Durum
$S1$	: Durum 1
$S2$	: Durum 2
$S3$	: Durum 3
$S4$	: Durum 4
$SRFT$	: Simplified Real Frequency Technique
S	: Kaynak
L	: Yük

Q : Aktif Eleman
MEMS : Microelectromechanical Systems
pHEMT : Pseudomorphic High-Electron-Mobility Transistor



ÖZET

DOKTORA TEZİ

GENİŞ BANTLI AYARLANABİLİR MİKRODALGA YÜKSELTEÇ TASARIMI

Doğu Çağdaş ATILLA

İstanbul Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman : Prof. Dr. Sıddık YARMAN

Bu eserde, haberleşme sistemlerinin verimliliğini arttırmak için maliyetini, ağırlığını ve kapladığı alanları azaltmak amacıyla yeni nesil uyumlaşma devreleri ve yükselteçler tasarlanmıştır. Çalışmanın giriş kısmında problemin tanımı yapıldıktan sonra birinci ve ikinci bölümde iki kapılı devreler, empedans uyumlaştırma ve yükselteçlerle ilgili temel prensipler ve teori anlatılmıştır. Devre tasarımı için yöntem olarak “Gerçek Frekans Teknikleri” kullanılmıştır. Elde edilen empedans fonksiyonlarıyla yükselteç tasarlanmıştır ve bulgular bölümünde ayarlanabilirlik uygulaması yapılarak çalışma tamamlanmıştır.

Mayıs 2017, 160 sayfa.

Anahtar kelimeler: Ayarlanabilir Yükselteç, Genişbant Uyumlaşma Devresi, Mikrodalga Devreler, Güç Aktarım Devreleri, Ayarlanabilir Süzgeç

SUMMARY

Ph.D. THESIS

DESIGN OF ULTRA WIDEBAND TUNABLE MICROWAVE AMPLIFIER

Doğu Çağdaş ATİLLA

İstanbul University

Institute of Graduate Studies in Science and Engineering

Department of Electrical and Electronic Engineering

Supervisor : Prof. Dr. Sıddık YARMAN

In this dissertation, novel matching networks and amplifiers are designed to reduce costs, weight and footprints for enhancing efficiency of communication systems. The problem is described in introduction, furthermore fundamental principles and theory about two-port networks, impedance matching and amplifiers are given in first and second section. Additionally “Real Frequency Technique” is used to design circuits and designated amplifiers and matching networks are synthesized via obtained impedance functions. In the last section several tunability approaches are applied on matching networks and amplifier.

May 2017, 160 pages.

Keywords: Tunable Amplifiers, Ultrawideband Matching Networks, Microwave Circuits, Power Transfer Networks, Tunable Filters

1. GİRİŞ

Geniş bantlı tasarımlar özellikle son dönemde akademik, endüstri ve savunma sanayii çalışmalarında ilgi çekmiş durumdadır ve Ar-Ge faaliyetleri özellikle bu konu üzerine yoğunlaşmıştır[1,2]. Bu itibarla hazırlanmak istenen tez çalışmasında geniş bant yükselteç tasarımı yapılmak istenecektir ve özellikle de mikrodalga frekanslarında çalışabiliyor olmasına bakılacaktır. Ayarlanabilir ve genişbant olması neticesinde herhangi bir donanım değişikliğine gitmeden yazılım tabanlı olarak yeniden yapılandırılabilen ve sentez edilebilen birçok iletişim standardında kullanılabilecek radyoları gerçekleştirebilecektir. Yazılım tabanlı ve yeniden yapılandırılabilir olması dolayısıyla YTR(Yazılım Tabanlı Radyo) teknolojileri için kullanılabilir donanımların tasarımında önemli rol oynayacaktır. YTR sistemleri günümüzde GSM, DCS1800, PCS1900, UMTS, Bluetooth ve WLAN standartları ile ülkemizde standartları yakın zamanda belirlenen 4G (LTE)' yi de kapsamaktadır.

Hâlihazırda tasarlanan yükselteçler yukarda saydığımız standartların frekans aralığında yüksek verimlilikle çalışamazlar. Bundan dolayı günümüzde birden fazla frekansta çalışan radyolar her iletişim sistemi için ayrı bir dar bantlı yükselteç kullanırlar. Bazı cihazlarda yükselteçlerin sayısı beş-altı adede kadar çıkabilir. Bu gibi yükselteç yapıları radyonun maliyetini, büyüklüğünü ve ağırlığını artırır. Bundan dolayıdır ki önerilen tezde genişbant, mikrodalga frekanslarda yükselteç tasarlayarak tek bir yükselteçte altı adet yükseltecin yapabileceği işi yaparak enerjiden ve maliyetten kazanmak amaçlanmaktadır.

Tezde yükselteç tasarım teknikleri, devre bileşenleri ve yükselteç tipleri ilk önce incelenip mevcut teknolojideki sınırlamalar tespit edilecektir. Daha sonra geniş bir frekans bandında ayarlanabilme kapasitesine sahip eşleme devreleri geliştirilecektir. Yükseltecin performansını arttırmak için devrenin ayarlanabilir olması üzerinde çalışılacaktır. Özellikle giriş yansıma parametreleri üzerinde yapılacak çeşitli analitik ya da nümerik çalışmalarla yükselteç kazancı arttırılacaktır[3-17]. Giriş yansıma parametrelerinin ve kazanç parametrelerinin değerleri istenilen değerlere eniyileme yapılacak değişen devre

elemanları buna göre oluşacak algoritmayla elde edilerek devre ayarlanarak olabilecek en yüksek kazanç elde edilmeye çalışılacaktır.

Çalışmada uyumlaşma devreleri için ‘Real Frequency Technique’ kullanılarak devre sentezi yapmak amaçlanmaktadır. Eniyileme çalışmaları ise kod kullanarak ya da çeşitli yazılımlardaki hazır araçlarla yapılacaktır. Elde edilmek istenen kazanca uygun aktif devre elemanı seçilerek yükselteç tasarlanmış olacaktır. Daha sonra da çeşitli yüksek frekanslara uygun devre elemanları kullanılarak üretime uygun prosedürler geliştirilecektir[18-19].

Bu çalışmada, günümüzde kullanılan yukarıda bahsedilen teknikler kullanılacak eniyileme aşamasında bunlara uygun eniyileme algoritmaları kullanılacaktır. Tezin getireceği yenilik ise yükseltecin ya da aktif devrenin performansının ayarlanabilir olmasıdır. Bu bağlamda pratikte birçok haberleşme sisteminde kullanılacak yeni nesil yazılım tabanlı radyo donanımı üretilmesine olanak sağlayacaktır.

Güç aktarım devresi tasarımı, geçtiğimiz yüzyılda mühendislik uygulamalarında haberleşme sistemleri için, gerek savaşlar gerekse tüketicilerin ihtiyaçları doğrultusunda en çok önem arz eden tasarım fenomenlerinden olmuştur[20-21]. Haberleşme devrelerinin yüksek hızlara çıkması neticesinde aynı kart üzerinde birçok farklı standartta haberleşme sisteminin bulunması ve tüketicilerin ihtiyaçlarının yön vermesi neticesinde tasarımda zorluklar meydana gelmiştir ve bunun beraberinde çeşitli tasarım teknikleri, uygulamalarda pratik yaklaşımlar ortaya atılmış ve belirtilen sorunlar genişbant tasarımda kısmen de olsa giderilmiştir.

Çalışmada, genişbant tasarım için “Gerçek Frekans Tekniği (Real Frequency Technique)” kullanılmıştır. Teknikte, nümerik hesaplamalarla elde edilen empedans fonksiyonu sentez algoritmalarına uygulanarak en uygun topoloji ve hedef fonksiyonu gerçekleşmesi neticesinde tasarım için gerekli ilk devre yapısı elde edilmiştir. Elde edilen bu yapı için geliştirilen ayarlanabilir uyumlaşma devresi ve yükselteç yaklaşımları uygulanmış ve farklı teknolojilerle üretilmiş ayarlanabilir devre elemanlarıyla ayarlanabilen geniş bantlı yükselteç elde edilmiştir.

Yükseltecin ya da uyumlaşma devresinin ayarlanabilir yapılmasındaki amaç; bir haberleşme sisteminde farklı frekanslarda bulunan standartlar için tek bir güç aktarım

devresi tasarlayarak sistemin güç tüketimini düşürmek, sistemin bulunduğu devre üzerinde entegre yüzey alanını azaltmak, cihazın kapladığı alanı ve ağırlığını azaltmak ve neticesinde üretim maliyetlerini düşürmektir. Bu özelliklere sahip bir haberleşme sistemini ele alalım (Örneğin; cep telefonu); bu sistem üzerinde üç ya da dört farklı standartta bulunan haberleşme protokolü bulunsun (Örneğin; Bluetooth, Wi-Fi, HSPA, UMTS, FM RADIO). Bu sistem için birkaç farklı frekansta çalışan anten ve güç aktarım devresi tasarlamak gerekebilir, bu durum yukarıda bahsedildiği gibi güç tüketimi, ağırlık, entegre yüzey alanı gibi farklı sorunlar ortaya çıkarabilir. Bu durumu bertaraf etmek adına çalışmada, farklı frekanslarda çalışan frekansı ayarlanabilir yükselteç tasarımı yapılmıştır. Böylelikle hem belirtilen standartların birkaçı ya da tümü kapsanabilmiş hem de ayarlanabilir yapının getirdiği fiziksel ve yapısal avantajlar sağlanabilmiştir.

Önerilen tezde öncelikle, yukarıda bahsedildiği gibi problemin tanımı yapılmıştır ve çözüm için gerekli teknikler, metotlar anlatılmıştır. Bu bağlamda genel kısımda iki kapılı devre elemanları tanımı ve saçılma parametreleri anlatılmıştır. Bunun sebebi, problem iki kapılı devre problemi olarak ele alınmıştır ve uygun çözüm bu yapıya uygun olarak getirilmiştir[22-35].

Malzeme ve Yöntem olarak “Gerçel Frekans Tekniği” kullanılmıştır. Bu teknik hedef fonksiyonu yakalamada ve uygun topolojiyi seçmede en uygun teknik olarak değerlendirilmiştir ve yükselteç ifadeleri teknikte elde edilen empedans fonksiyonlarıyla birleştirilerek tasarım için gerekli başlangıç devre topolojisi ve devre eleman değerleri elde edilmiştir. Daha sonra elde edilen topolojiye, geliştirilen ayarlanabilirlik yaklaşımları ve algoritmaları uygulanmıştır.

2. GENEL KISIMLAR

Bu bölümde, iki kapılı devre davranışları için geliştirilen matematik modelleri incelenecektir. İki kapılı devreleri için kullanılan saçılma parametreleri, genel tanımlar ve yükselteç ifadeleri ele alınacaktır. Ayrıca tasarım için kullanılan tekniklerin de üstünlükleri ve tasarım için gereklilikleri anlatılacaktır.

2.1. KAYIPSIZ İKİ KAPILI DEVRELER İÇİN TEMEL KAVRAMLAR

Fizik problemlerini çözmek için gidilmesi gereken yol doğadaki davranışı en uygun şekilde modellemekten geçer. Elektrik mühendisliğinde ise devreyi, cihazı, sistemi modellemek çözüm için atılması gereken en büyük adımdır. Bu bağlamda bir yükselteç tasarımı yapmak için bir yükseltici elemana ve bunları ön ya da arka uç elemanlarına uyumlaştıracak iki kapılı devrelere ihtiyaç duyulmaktadır. O halde, burada karşımıza çıkacak problemi çözmek için iki kapılı devrelerin temel özelliklerini ve saçılma parametrelerini incelemek gerekmektedir. Burada, güç aktarım devrelerinde kullanılan iki kapılı devrelerde kayıp ne kadar az olursa hedef fonksiyonu başarımı o kadar istenilen seviyeye gelmektedir.

İki kapılı devreler geleneksel anlamdaki devre teorisinden de hatırlanacağı üzere empedans, admitans ve saçılma matrisleriyle tanımlanırlar. Bu tanımlarda da empedans ve admitans matrislerinin sonlandırılmalarına bakmak gerekmektedir. Bu matrisler sıfır veya sonsuz yükle sonlandırılmıştır bu da bu tanımlamaların her devre için uygun olmayabileceği sonucunu ortaya çıkarır. Bu bağlamda saçılma matrisleri, sonlu bir yükle sonlandırılmış kapılar için tanımlıdır ve her devre için uygulanabilirlerdir.

Çalışmanın bu bölümünde, saçılma parametreleri için genel tanımlar, aktif ve pasif iki kapılı devreler ile ilgili teori sunulmuştur. Buradan kullanılan teknikle empedans fonksiyonunun nasıl üretileceği anlatılmıştır ve üretilen bu fonksiyonun yükselteç denklemlerinde istenilen kazanç düzeyinde nasıl uygulanacağı gösterilecektir.

2.2. SAÇILMA PARAMETRELERİ

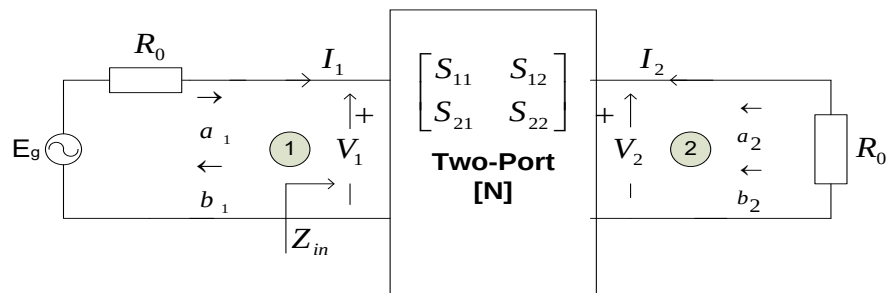
İki kapılı devreler matematik olarak modellenirken empedans, admitans parametrelerinin yanında bu devrelerin saçılma parametreleri ile de tanımlanabileceğini ve bu modelin diğer tanımlamalara göre üstünlüklerinden bahsedilmiştir. Saçılma parametreleri ile yapılan tanımda iki kapılı yapının giriş ve çıkışında elektromanyetik dalga olarak tanımlamak mümkün olabilir. Burada gelen dalga olarak ve giden dalga olarak yazılarak elektrik alan ve manyetik alan olarak incelenebilir ve buradan da elektrik alanı tanımından elektriksel potansiyel ve manyetik alanın tanımından da akım olarak ifade etmek mümkün olacaktır.

$$a_1(t) = \frac{1}{2} \left[\frac{v_1(t)}{\sqrt{R_0}} + \sqrt{R_0} i_1(t) \right] \quad (2.1a)$$

$$a_1(t) = \frac{1}{2\sqrt{R_0}} [v_1(t) + R_0 i_1(t)] \quad (2.1b)$$

$$a_2(t) = \frac{1}{2} \left[\frac{v_2(t)}{\sqrt{R_0}} + \sqrt{R_0} i_2(t) \right] \quad (2.1c)$$

$$a_2(t) = \frac{1}{2\sqrt{R_0}} [v_2(t) + R_0 i_2(t)] \quad (2.1d)$$



Şekil 2.1: İki Kapılı Devre Modeli.

Şekilde dalganın giriş ve çıkış kapılarında ifadesi görülmektedir. Aynı şekilde empedans tanımı da görmek mümkün olacaktır. Burada $v_1(t)$ ve $v_2(t)$ kapılardaki potansiyeli zamana bağlı olarak göstermektedir ayrıca $i_1(t)$ ve $i_2(t)$ ise kapılardaki akımın ifadesidir.

Burada zamanda verilen ifadeleri Laplace ve Fourier alanında da yazabiliriz. Bunun için basit dönüşümleri kullanmak yeterli olacaktır. Bu gibi matematiksel modelleri hesaplarken Laplace ve Fourier alanında bu hesapları yapmak tasarımcı için kolaylık sağlayacağı için kullanımları elzemdir. Bu bağlamda zaman alanında yazılan $a_1(t)$ ve $a_2(t)$ gibi dalga büyüklüklerini dönüşümle Laplace alanında yazmak istersek, $a_1(p)$ ve $a_2(p)$ olarak ifade edebiliriz. Burada,

$$a_j(p) = \int_{-\infty}^{+\infty} a_j(t)e^{-pt} dt ; j = 1,2 \quad (2.2)$$

ile verilebilir. Yazılan p değişkeni $p = \sigma + j\omega$ ile ifade edilebilir. Bu bilinen Laplace kompleks frekansıdır. Zaman alanı ile Laplace'taki transfer ikililerini ele alınırsa $a_j(t) \leftrightarrow a_j(p)$, $v_j(t) \leftrightarrow V_j(p)$ ve $i_j(t) \leftrightarrow i_j(p)$ yazılabilir. Buradan da,

$$a_1(p) = \frac{1}{2} \left[\frac{V_1(p)}{\sqrt{R_0}} + \sqrt{R_0} I_1(p) \right] \quad (2.3a)$$

$$(2.3b)$$

$$a_2(p) = \frac{1}{2} \left[\frac{V_2(p)}{\sqrt{R_0}} + \sqrt{R_0} I_2(p) \right]$$

şeklinde yazılabilir. Giriş kapısına gelen dalgayı uyartım olarak yazılırsa,

$$e_g(t) = v_1(t) + R_0 i_1(t) \quad (2.4a)$$

$$E_g(p) = V_1(p) + R_0 I_1(p) \quad (2.4b)$$

ile verilir. Gelen dalga girişte zaman ve Laplace olarak yazılırsa,

$$a_1(t) = \frac{e_g(t)}{2\sqrt{R_0}} \quad (2.5a)$$

$$a_1(p) = \frac{E_g(p)}{2\sqrt{R_0}} \quad (2.5b)$$

ifadesindeki gibi olur. Modern uygulamalara bakıldığında iki kapılı devrenin sıklık yanıtı $p = j\omega$ olarak verilebilir. İki kapılı devrenin terminasyonlarındaki ölçülebilir büyüklükler $I_j(j\omega)$, $a_j(j\omega)$, $V_j(j\omega)$ vektör network analizörü ile ölçülür. İki kapılı devrelerdeki empedans ifadesini rasyonel bir polinom ile göstermek mümkün olabilmektedir. Aynı şekilde gelen dalga ifadesi verilen bu iki kapılı için yansıyan dalgayı da hem zamanda hem de Laplace alanında tanımlanmak istendiğinde;

$$b_1(t) = \frac{1}{2} \left[\frac{v_1(t)}{\sqrt{R_0}} - \sqrt{R_0} i_1(t) \right] \quad (2.6a)$$

$$b_2(t) = \frac{1}{2} \left[\frac{v_2(t)}{\sqrt{R_0}} - \sqrt{R_0} i_2(t) \right] \quad (2.6b)$$

$$b_1(p) = \frac{1}{2} \left[\frac{v_1(p)}{\sqrt{R_0}} - \sqrt{R_0} i_1(p) \right] \quad (2.7a)$$

$$b_2(p) = \frac{1}{2} \left[\frac{v_2(p)}{\sqrt{R_0}} - \sqrt{R_0} i_2(p) \right] \quad (2.7b)$$

elde edilir. Burada, $e_g(t) = E_m e^{j\omega t}$ şeklinde $e^{j\omega t}$ tabanlı fazör ifadesi verilen uyarımın gerçel tarafı kosinüs referanslı yazılmak istenirse $e_g(t) = E_m \cos(\omega t)$ verilebilir. Bu uyarım devre teorisinden bildiğimiz güç aktarım teoremine göre giriş empedansını $Z_{in}(j\omega) = R_0$ olarak görebilirse güç transferinin en yüksek olduğu noktaya erişilmiş olur. Bu bağlamda bir periyot boyunca ortalama gücü bu sistem için yazmak istersek;

$$P_A = \text{real} \left\{ \frac{1}{T} \int_0^T v_1(t) i_1^*(t) dt \right\} \quad (2.8)$$

yazılabilir. Bu güç ifadesinde kullanılan fonksiyonlar,

$$v_1(t) = \frac{e_g(t)}{2} \quad (2.9a)$$

$$i_1(t) = \frac{e_g(t)}{2R_0} \quad (2.9b)$$

olarak verilir. Burada bu matematiksel işlem yapıldığında ise elde edilen,

$$P_A = \frac{E_m^2}{4R_0} \quad (2.10)$$

olarak yazılır. Aynı zamanda birinci kapıdaki dalga ifadesinin ikinci kuvveti ise,

$$a_1(t)a_1^*(t) = |a_1|^2 = \frac{E_m^2}{4R_0} \quad (2.11)$$

ile verilir. Burada ölçülen aslında generatördeki uyarımın iletilebilecek en yüksek gücünü de temsil eder. Bu bağlamda (2.11) için generatörden alınabilecek güç (available power) denir.

Ortamda birinci kapıya gelen dalga $p = j\omega$ kullanılarak Laplace alanında yazılabilir. Burada uyarımın genliğinin ikinci kuvveti $P_A = |a_1(j\omega)|^2$ olarak verilir. Yani gelen ve yansıyan dalgaları bu durumda matris olarak yazılırsa,

$$b_1 = S_{11}a_1 + S_{12}a_2 \quad (2.12)$$

$$b_2 = S_{21}a_1 + S_{22}a_2$$

elde edilir. Buradan,

$$\begin{bmatrix} b_1(p) \\ b_2(p) \end{bmatrix} = \begin{bmatrix} S_{11}(p) & S_{12}(p) \\ S_{21}(p) & S_{22}(p) \end{bmatrix} \begin{bmatrix} a_1(p) \\ a_2(p) \end{bmatrix} \quad (2.13)$$

yazılır. $S_{ij}(p)$; $i, j = 1, 2$ iki kapılı devre için saçılma parametresidir. Buradan saçılma matrisi;

$$S(p) = \begin{bmatrix} S_{11}(p) & S_{12}(p) \\ S_{21}(p) & S_{22}(p) \end{bmatrix} \quad (2.14)$$

ile verilir. Matrisin her bir terimine detaylı olarak bakılırsa R_0 normalizasyon sabiti koşulu altında girişten çıkışa ve çıkıştan girişe $S_{11}(p)$ ile $S_{22}(p)$ sırasıyla, birinci kapıdaki ve ikinci kapıdaki yansıma(reflektans), $S_{21}(p)$ birinci kapıdan ikinci kapıya ve $S_{12}(p)$ ise ikinci kapıdan birinci kapıya transfer saçılma parametresidir. Saçılma ile ilgili parametrelerin avantajından burada söz etmek gerekirse bir normalizasyon sabiti ön belirli olsa da ya da

$$S_{in}(p) \triangleq \frac{b(p)}{a(b)} \quad (2.17)$$

$$S_{in}(p) = \frac{V_{in} - R_0 I_{in}}{V_{in} + R_0 I_{in}} = \frac{Z_{in}(p) - R_0}{Z_{in}(p) + R_0} \quad (2.18)$$

şeklinde verilir. Burada empedans yazılırsa,

$$Z_{in}(p) = \frac{V_{in}(p)}{I_{in}(p)} \quad (2.19)$$

Elde edilir.

2.2.1.2 Empedans Normalizasyonu

İki kapılı sistemler için sonlandırmadaki direnç değeri reel empedansı normalleştiren katsayıyı belirler. Bu durumda örnek bir R_0 direnciyle normalleştirilen reel empedansı aşağıdaki gibi yazabiliriz.

$$z_{in} = \frac{Z_{in}}{R_0} \quad (2.20)$$

Buradan sonra yukarda bahsettiğimiz giriş yansımasını normalleştirilmiş bir empedans ile yazmak istersek;

$$S_{in}(p) = \frac{z_{in} - 1}{z_{in} + 1} \quad (2.21)$$

haline dönüşür.

İki kapılı sistemler için yapılan güç tanımını burada tek kapılı sistem için de yapabiliriz. Bu durumda, üreteçten gelen gerilim ve akım çarpımı tanımından $P_A = |a(j\omega)|^2$ ile verebiliriz. Böylelikle bu tek kapılıdan yansıyacak bir güç tanımına da ihtiyaç duyulacaktır. Buradan, $P_R = |b(j\omega)|^2$ ile yazılırsa bu sisteme iletilebilecek net güç $P_{in} = P_A - P_R$ ile yazılabilir. Yani daha açık bir biçimde yazmak istersek,

$$P_{in} = P_A - P_R$$

verilirse;

$$P_{in} = P_A \left[1 - \frac{P_R}{P_A} \right] = |a|^2 \left[1 - \left| \frac{b}{a} \right|^2 \right] \quad (2.22)$$

ya da diğer bir ifadeyle,

$$P_{in} = |a|^2 [1 - |S_{in}(j\omega)|^2]$$

elde edilen kaynaktan iletilen güç ifadesi devre tasarımı için önem arz etmektedir. Buradan, devre teorisindeki temel ilkeleri de göz önünde bulundurarak bir başka çıkarım daha yapılabilir. Bu çıkarım iyi bilinen Güç Transfer Oranını bize verecektir. Bu bağlamda yazılırsa,

$$T = \frac{P_{in}}{P_A} = 1 - |S_{in}(j\omega)|^2 \quad (2.23)$$

olarak birinci kapıda elde edilebilecek mümkün net gücün kaynak tarafından üretilen güce oranı olarak yazabiliriz. Yukarda bahsedilen R_0 gibi bir normalleştirme sabiti ile normalleştirilmiş giriş empedansı kullanarak yazarsak ki burada bu empedansı öncelikle $z_{in}(j\omega) = r_{in}(\omega) + jx_{in}(\omega)$ olarak verelim. Buradan,

$$T = 1 - \left| \frac{z_{in} - 1}{z_{in} + 1} \right|^2 \quad (2.24)$$

$$T = 1 - \frac{(r_{in} - 1)^2 + x_{in}^2}{(r_{in} + 1)^2 + x_{in}^2}$$

$$T = \frac{4r_{in}}{(r_{in} + 1)^2 + x_{in}^2}$$

olarak yazılabilir. Burada en önemli husus bu sisteme gelen dalga neticesinde elde edilen güç tanımının $P_{ac} = \text{real}\{V_{in}I_{in}^*\} = P_{in}$ olmasıdır. Bu, diğer bir değişle yukarıda bahsedilen net yük tanımı ile aynı şeydir ve $P_R = |b(j\omega)|^2$, nin $P_{in} = P_A - P_R$ ’ yi sağlaması gerekir.

2.2.1.3 Gerilim ve Akım Normalizasyonu

Akımı ve potansiyel ifadesini normalleştirmek için yukarıda verilen normalizasyon sabitini uygularsak

$$v_{in} = \frac{V_{in}}{\sqrt{R_0}} \quad (2.25)$$

$$i_{in} = \frac{I_{in}}{\sqrt{R_0}}$$

elde edilir. Burada frekans alanında bunu yazmak istersek

$$v_{in}(j\omega) = a(j\omega) + b(j\omega) \quad (2.26)$$

$$i_{in}(j\omega) = a(j\omega) - b(j\omega)$$

elde edilir. Yukarıda girişteki net gücün nasıl yazılacağını belirtmiştik. Güç hesaplamalarında gerçek güç ifadesi önem arz etmektedir. Bu bağlamda $P_{ac} = \text{real}\{(a + b)(a + b)^*\} = \text{real}\{aa^* - bb^* - ab^* + a^*b\}$ yazılmalıdır. Bu tanımdan hareketle sanal olan kısmı çıkarırsak yani $a^*b - ab^*$ çıkarsa bu halde, $P_{in} = P_{ac} = |a|^2 - |b|^2$ olur. Buradan da kapıdan yansıyan güç ifadesi $P_R = |b|^2$ şeklini alır.

2.2.2 Giriş Yansıma Katsayısı

2.2.2.1 Pozitif Reel Tanımı

Devre teorisinden bilinen ve tasarım için elzem olan temel devre elemanlarını lumped olarak tanımlarsak normalleştirilmiş giriş empedansı ifadesini ($z_{in}(p)$) pozitif reel olarak tanımlarsak ve burada $p = \sigma + j\omega$ olarak seçilmişse;

$$z_{in}(p) = \frac{N(p)}{D(p)} \quad (2.27)$$

olarak rasyonel bir biçimde yazılır. Bu ifadedeki pay ve payda polinomları Hurwitz olarak seçilmiştir. Empedans ifadesi yukarıdaki gibi rasyonel bir biçimde ifade edildiği gibi devre teorisinden bilindiği üzere admitans ifadesi de benzer şekilde ifade edilebilir. Bu durumda girişteki admitansı;

$$y_{in}(p) = \frac{1}{z_{in}(p)} \quad (2.28)$$

olarak yine Hurwitz ve pozitif reel seçmiş oluruz. Buradan hareketle girişteki reflektans

$S_{in} = \frac{z_{in}-1}{z_{in}+1}$, da Laplace domaininde reel ve rasyonel olarak tanımlanabilir. Öyleyse;

$$h(p) = N(p) - D(p) = h_1p^n + h_2p^{n-1} + \dots + h_np + h_{n+1}$$

$$g(p) = N(p) + D(p) = g_1p^n + g_2p^{n-1} + \dots + g_np + g_{n+1}$$

ve

(2.29)

$$S_{in}(p) = \frac{h(p)}{g(p)}$$

olur. Burada n değeri pay ve payda için dereceleri verir ve sistemin ya da devrenin içinde bulunan endüktör, kondansatör gibi reaktif toplu elemanların sayısıdır.

2.2.2.2 Hurwitz Polinomları İçin Toplama Çıkartma

Bu şartlar altında iki polinom için toplama ve çıkartma işlemi yapıldığında, çıkartma işlemi sonucu reel katsayılı bir başka polinom bulunur. Buradan da payda bulunan h(p) reel katsayılı bir polinomdur denir.

Diğer yandan da toplama işleminde ise yukarda verilen koşullarda iki polinom toplandığında mutlak bir Hurwitz Polinomu ortaya çıkar. Elde edilen üçüncü polinomun kökleri bulunmak isterse bu kökler kapalı sol yarı-düzlemde bulunur. Payda polinomu ise yine bir Hurwitz olduğundan Sin hem imajiner ekseninde hem de açık sağ yarı-düzlemde düzenlidir. Bu bağlamda sağ yarı-düzlemde sınırlı olan reflektans aynı zamanda bandın tamamında da sınırlanmış olur.

Buradaki bir diğer hassas nokta ise negatif olmayan reel kısmı imajiner eksenindeki tüm fonksiyonlar tarafından sağlanır. Buradan denilebilir ki giriş empedansı $z_{in}(j\omega) = r_{in}(\omega) + jx_{in}(\omega)$ pozitif reel bir fonksiyon olarak ele alınırsa tüm frekans ekseninde non-negatif kalır ve sınırlıdır. Bu sınırı aşağıdaki gibi yazarsak,

$$|S_{in}(j\omega)|^2 = \left| \frac{z_{in} - 1}{z_{in} + 1} \right|^2 = \frac{(r_{in} - 1)^2 + x_{in}^2}{(r_{in} + 1)^2 + x_{in}^2}$$

$$|S_{in}(j\omega)|^2 = \left| \frac{h(j\omega)}{g(j\omega)} \right|^2 \leq 1 \quad (2.30)$$

$$|h(j\omega)| \leq |g(j\omega)|$$

buradan da $p, \sigma \geq 0$ için yazılırsa $S_{in}(p) = \frac{h(p)}{g(p)} \leq 1$ sağlanmış olur.

2.2.2.3 Kayıpsız Tek Kapılı Devreler

Bir tek kapılı devre için elektromanyetik dalga teoremlerinden de faydalanarak ortama geri yansıyan dalga bulunmaması durumunda ($P_R = |b(j\omega)|^2 = 0$) yazılır. Buradan iletimi yazarsak;

$$T = \frac{P_{in}}{P_A} = 1 - |S_{in}|^2 = 1 \quad (2.31)$$

elde edilir. Çünkü $P_R = 0$ olduğunda bu durumda $S_{in} = 0$ olmuş olur. Yansımanın da sıfır olması yani diğer deyişle hiç yansıyan dalga ve güç bulunmaması giriş empedansının da normalleştirme değeri olan R_0 ' a eşit olması gereğini doğurur. Bu durumda bu tek kapılıda uyumlaşma tam olarak sağlanıyor demektir.

Bu durum her zaman böyle olmayabilir yani gelen dalganın tamamı ikinci ortama geçmeyebilir ve yansıma meydana gelmiş olabilir. Hatta tamamı da yansımış olabilir bu durumda sistem tamamen reaktiftir yani ($r_{in}=0$) ve $|S_{in}|^2 = 1$ sağlanır. Bu durumda gelen gücü yazarsak, $P_{ac} = |a|^2 - |b|^2 \geq 0$ olmalıdır yani non-negative koşulu sağlanmış olur. Eğer kayıpsız bir devreden söz ediyorsak;

$$z_{in}(j\omega) = jx_{in}(\omega) \quad (2.32)$$

şeklinde empedans yazılabilir. Yani harcanan güç yoktur ve $P_{ac}=0$ ' dır. Sıfırdan büyük tüm σ değerleri için Laplace alanında gelen ve yansıyan dalga polinomları yazılırsa,

$$a(p)a(-p) - b(p)b(-p) \geq 0 \quad (2.33)$$

$b(-p)$ yerine yukardaki tanımdan $S_{in}a(p)$ yazılırsa yine tüm σ değerleri sıfırdan büyük kabul edilirse,

$$a(p)[1 - S_{in}(p)S_{in}(-p)]a(-p) \geq 0 \quad (2.34)$$

ve burdan

$$1 - S_{in}(p)S_{in}(-p) \geq 0$$

halini alır. Kayıpsızlık koşulu burada uygulanırsa

$$S_{in}(p)S_{in}(-p) = 1 \quad (2.35)$$

Yazılır ya da Hurwitz' den

$$S_{in}(p)S_{in}(-p) \leq 1 \quad (2.36)$$

$p = \sigma \geq 0$ koşulu altında yazılır.

Son toplamda rasyonel bir polinom olarak verilen Laplace alanındaki yansıma,

$$S_{in}(p) = \frac{h(p)}{g(p)} \quad (2.37)$$

Sınırlı ve reel bir fonksiyon olarak ifade edilir.

2.2.2.4 Reflektansın Sınırlı-Reel Olması

(2.30) ifadesinden hareketle non-negative çift polinomlarımızı yazarsak;

$$H(\omega^2) = h(j\omega)h(j\omega) = H_1\omega^{2n} + H_2\omega^{2(n-1)} + \dots + H_n\omega^2 + H_{n+1}$$

$$G(\omega^2) = g(j\omega)g(j\omega) = G_1\omega^{2n} + G_2\omega^{2(n-1)} + \dots + G_n\omega^2 + G_{n+1} \quad (2.38)$$

$$H(\omega^2) \leq G(\omega^2)$$

buradan yine non-negative bir başka polinomu,

$$F(\omega^2) = f(j\omega)f(j\omega) = F_1\omega^{2n} + F_2\omega^{2(n-1)} + \dots + F_n\omega^2 + F_{n+1} \quad (2.39)$$

ile verebiliriz. Buradan da (2.38)' deki eşitsizlikten,

$$G(\omega^2) = H(\omega^2) + F(\omega^2) \quad (2.40)$$

Buradan da Güç Transfer Oranı $T(\omega^2)$ açısal sıklık ekseninde, non-negatif, sınırlandırılmış ve reel bir fonksiyon olarak yazılır.

$$T = 1 - |S_{in}|^2 = 1 - \frac{H(\omega^2)}{G(\omega^2)} \quad (2.41a)$$

$$T = \frac{G(\omega^2) - H(\omega^2)}{G(\omega^2)} \quad (2.41b)$$

$$T(\omega^2) = \frac{F(\omega^2)}{G(\omega^2)} \leq 1 \quad (2.41c)$$

Burada F fonksiyonu payda bulunduğu için bu transfer oranının sıfırlarıdır. Bu durumda bu aktarım oranını devrede bulunan lumped elemanları tanımlarken kullanılan rasyonel fonksiyondan yazarsak öncelikle,

$$N(p) = a_1p^{na} + a_2p^{na-1} + \dots + a_{na} + a_{na+1} \quad (2.42a)$$

$$D(p) = b_1p^{nb} + b_2p^{nb-1} + \dots + b_{nb} + b_{nb+1} \quad (2.42b)$$

yazılır. Burada, sınırlı ve gerçel olmaya dikkat etmek gerekir. Bunun analitik formunu yazarsak,

$$0 \leq |na - nb| \leq 1 \quad (2.43a)$$

buradan,

$$z_{in}(p) = \frac{N(p)}{D(p)} \quad (2.43b)$$

yazılır. Daha sonra reflektans

$$S_{in}(p) = \frac{h(p)}{g(p)} \quad (2.44)$$

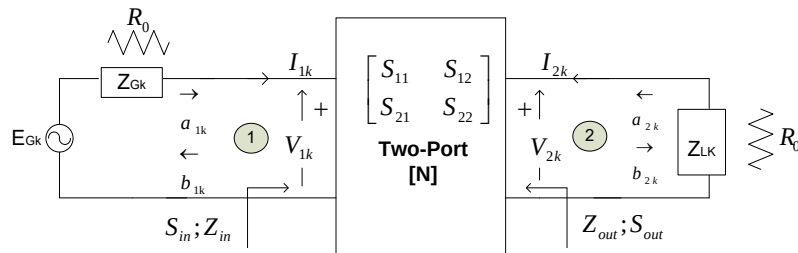
ile verilirse

$$h(p) = N(p) - D(p) \quad (2.45a)$$

$$g(p) = N(p) + D(p) \quad (2.45b)$$

olarak elde edilir. Burada mertebeler $[n: \max(na, nb)]$ şeklinde seçilmiştir. Daha sonra bir diğer ilerleme olarak $H(p^2) = h(p)h(-p)$ ve $G(p^2) = g(p)g(-p)$ elde edilir. Son bölümde ise; $F(p^2) = G(p^2) - H(p^2)$ şeklinde yazılır ve ardından Laplace Alanı için $p^2 \rightarrow -\omega^2$ değişim çifti tanımlanarak $T(\omega^2)$ türetilir. Bu bölümde elde edilen bilgiler ile son olarak Darlington Teoremi'nde belirtildiği gibi sıfırdan büyük reel bir immitans(empedans ve admitans), bir iki kapılının rezistif sonlandırmasıyla implemente edilebilir[22]. Böylelikle tek ve iki kapılılar için temel parametrelerden bahsedilmiştir. Bir sonraki bölümde bu parametrelerin nasıl elde edileceği irdelenecektir.

2.3. İKİ KAPILI DEVRELER İÇİN SAÇILMA PARAMETRELERİNİN ELDE EDİLMESİ



Şekil 2.3: Bir İki Kapılı Şematiği.

Verilen şekilde lineer bir iki kapılı sistem ele alınmıştır. E_{gk} ile verilen kaynak uyartımı Z_{gk} generatör empedansı, Z_{lk} yük empedansı olmak üzere Z_{in} ve Z_{out} sırasıyla kapılardan görülen giriş ve çıkış empedansları verilmiştir. Daha önce belirtildiği gibi s parametreleri tüm devreler için uygulanabilir ve invariant kaldığından gelen işaret ile yansıyan arasındaki lineer ilişki;

$$b_{1k}(p) = S_{11}(p)a_{1k}(p) + S_{12}(p)a_{2k}(p) \quad (2.46)$$

$$b_{2k}(p) = S_{21}(p)a_{1k}(p) + S_{22}(p)a_{2k}(p)$$

ile yazılabilir. Buradan da yine önceki bölümde yazıldığı gibi normalleşme numarası da hesaba katılırsa bu durumda reflektans,

$$S_{in} = \frac{b_{1k}}{a_{1k}} = \frac{Z_{in} - R_0}{Z_{in} + R_0} \quad (2.47)$$

$$S_{out} = \frac{b_{2k}}{a_{2k}} = \frac{Z_{out} - R_0}{Z_{out} + R_0}$$

bulunmuş olur. Bir sonraki adımda $Z_{Lk} = R_0$ seçildiğinde,

$$V_{2k} = -Z_{Lk}I_{2k} = -R_0I_{Lk}$$

$$\text{veya} \quad (2.48)$$

$$a_{2k} = \frac{1}{2\sqrt{R_0}}[V_{2k} + R_0I_{2k}] = 0$$

elde edilir.

S_{11} ' i ölçmek için gerekli olan şey birinci kapıdaki gelen dalga/yansıyan dalga oranıdır bu oran b_{1k}/a_{1k} şeklinde verilebilir. Benzer şekilde transfer kazancı S_{21} için ise b_{2k}/a_{1k} oranı ölçüm için gereklidir. Aynı şekilde uygularsak S_{22} için b_{2k}/a_{2k} $S_{12} = b_{1k}/a_{2k}$ yazılır. Yani özet olarak,

$$a_{2k} = 0 \text{ olduğunda } S_{11} = \frac{b_{1k}}{a_{1k}} \quad S_{21} = \frac{b_{2k}}{a_{1k}} \text{ ve } Z_{Lk} = R_0 \quad (2.49)$$

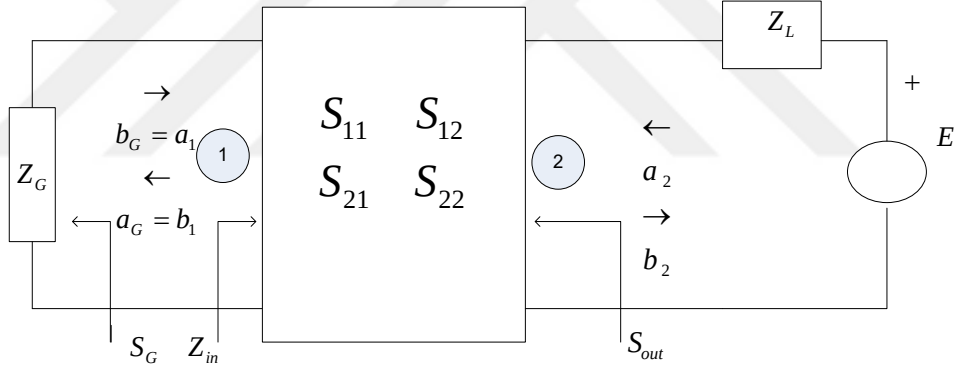
$$a_{1k} = 0 \text{ olduğunda } S_{22} = \frac{b_{2k}}{a_{2k}} \quad S_{12} = \frac{b_{1k}}{a_{2k}} \text{ ve } Z_{Gk} = R_0$$

olur.

Benzer şekilde giriş çıkış reflektansları da s parametreleri cinsinden verilebilir. (2.49)'dan hareketle aşağıdaki gibi elde edilir.

$$S_{out} = \frac{b_2}{a_2} = S_{21} \left(\frac{a_1}{a_2} \right) + S_{22} \quad (2.50a)$$

$$\frac{b_1}{a_1} = S_{11} + S_{12} \left(\frac{a_1}{a_1} \right) \quad (2.50b)$$



Şekil 2.4: Giriş ve Çıkış Yansımasının Üretilmesi.

Yukarıda belirtilen yöntemle gelen ve yansıyan dalgalardan elde edilen sonuçla girişteki reflektansı ve çıkıştaki reflektansı yazabiliriz. Şekil 2.4'ten hareket edilirse,

$$S_{out} = \frac{b_2}{a_2} = S_{21} \left(\frac{a_1}{a_2} \right) + S_{22} \quad (2.50a)$$

$$\frac{b_1}{a_1} = S_{11} + S_{12} \left(\frac{a_1}{a_1} \right) \quad (2.50b)$$

verilebilir. Giriş empedansını tek kapılı bir devre olarak ele alırsak gelen işaret a_G ve yansıyan işaret b_G olarak çağrılır. Öyleyse reflektans artık $S_G = b_G/a_G$ ile tanımlanabilir. Bunu empedans olarak yazmak istersek şu halde, $S_G = Z_G - R_0/Z_G + R_0$ şekline dönüşür. Buradan,

$$\frac{b_1}{a_1} = \frac{1}{S_G} \quad (2.51)$$

şeklinde yazılmış olur ve sonrasında,

$$\frac{1}{S_G} = S_{11} + S_{12} \left(\frac{a_2}{a_1} \right) \quad (2.52)$$

$$\frac{a_1}{a_2} = \frac{S_{12}S_G}{1 - S_{11}S_G} \quad (2.53)$$

aynı yerden hareketle giriş ve çıkış reflektansı olarak ifade etmek istersek,

$$S_{out} = S_{22} + \frac{S_{12}S_{21}}{1 - S_{11}S_G} S_G \quad (2.54)$$

$$S_{in} = S_{11} + \frac{S_{12}S_{21}}{1 - S_{22}S_L} S_L \quad (2.55)$$

yani giriş ve çıkış için reflektansları yazmış olduk, bir sonraki kısımda buradan kazanç parametresinin nasıl elde edileceği irdelenecektir.

2.4. ÇEVİRİM GÜÇ KAZANCI

Önceki bölümlerde gelen ve yansıyan dalga oranının ne anlam ifade ettiği ve frekans ekseninde nasıl yazılabileceğinden bahsedilmişti, Burada $a_2 = 0$ olarak ele alınırsa,

$$|S_{21}(j\omega)|^2 = \left| \frac{b_2(j\omega)}{a_1(j\omega)} \right|^2 \quad (2.56)$$

yazılabilir ve b_2 'nin de

$$b_2 = \frac{1}{2\sqrt{R_0}} = [V_2 - R_0 I_2] \quad (2.57)$$

olduğu daha önce yazılmıştı. Yük tarafına bakarsak $V_L = -R_0 I_2$ olduğu Ohm Yasası'ndan yazılabilir. Buradan da yansıyan $|b_2|^2 = |V_L|^2 / R_0$ haline dönüştürülür. Böylelikle yük tarafındaki güç P_L elde edilmiş olur. Giriş tarafına gelenin ifadesi daha önce $|a_1|^2$ olarak verildiğinden ileri yönde güç kazancı olarak $|S_{21}|^2$ tanımlanabilir. Daha önce verilen normalizasyon direnci şartı altında,

$$(TPG)_F = \frac{P_L}{P_A} = |S_{21}|^2 \quad (2.58)$$

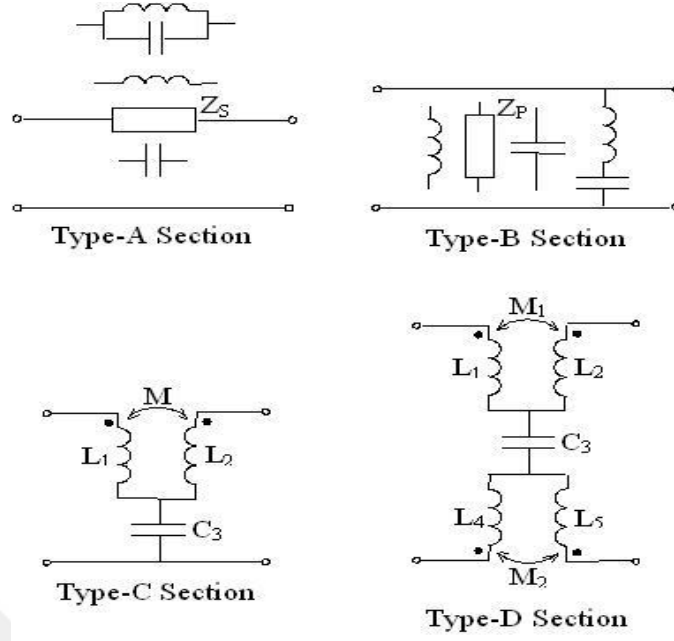
Burada F iletimin ileri yönde yani birden ikiye yönünde olduğunu belirtir. Aynı durumda eğer ki $a_1 = 0$ olarak seçilirse,

$$(TPG)_B = \left| \frac{b_1}{a_2} \right|^2 = |S_{12}|^2 \quad (2.59)$$

şeklinde geri yönde iletim kazancı yazılır.

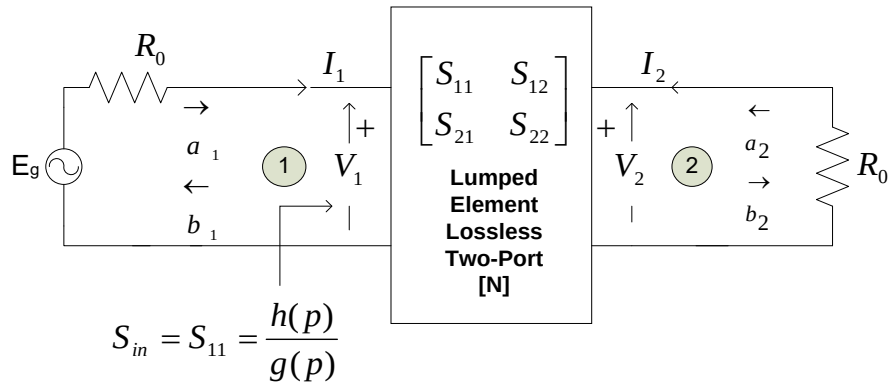
2.5. S PARAMETRELERİNDE ÖZELLİKLER

Toplu elemanlarla tasarlanmış bir devre için saçılma parametreleri daha önce de belirtildiği üzere önem arz etmektedir. Bu parametreler, kapıya gelen dalgaların gelen/yansıyan oranından elde edilecek saçılma ve kazanç parametrelerinin yanı sıra bu elde edilen parametrelerin özellikleri ile de başka bilgiler bize verebilir. Bunları irdelersek, örneğin peşi sıra bağlı elemanların şematik gösterimi aşağıdaki gibi verilmiştir.



Şekil 2.5: Toplu Elemanların Çeşitli Bağlantı Yöntemleri.

$S_{i,j}(p)$; $i, j = 1, 2$ iki kapıdan oluşan sistem için tanım olarak kullanılır. Burada s Laplace alanında saçılma parametresidir. Aşağıdaki devre genel olarak kayıpsız kabul edilir ve bu kabul neticesinde güç tüketimi yoktur denir. Bunu analitik formda yazmak istersek, $P_1 = |a_1|^2 - |b_1|^2$ giriş kapısında net güçtür aynı şekilde çıkışta da bunu yazdığımızda analitik ifade, $P_2 = |a_2|^2 - |b_2|^2$ şeklinde olur. Buradaki iki kapılıya gelen toplam gücün açık formu ise,



Şekil 2.6: Giriş Saçılma Parametresi.

$$P_T = P_1 + P_2 = [a_1^* \ a_2^*] \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} - [b_1^* \ b_2^*] \begin{bmatrix} b_1 \\ b_2 \end{bmatrix} \quad (2.60)$$

eşitliğinden ve kayıpsız bir devre ele aldığımızdan sıfır olur. Yansıyan dalga tanımını tekrar edersek,

$$b = \begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = S \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} = Sa \quad (2.61)$$

yazılabilir. Buradan (2.60) için

$$P_T = a^\dagger [I - S^\dagger S] a \quad (2.62)$$

yazılır. Ancak belirttiğimiz gibi eğer ki sistem kayıpsızsa bu durumda toplam güç sıfır olmalıdır.

$$I - S^\dagger S = 0$$

veya

$$S^\dagger S = I$$

(2.63)

$I = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$ herkesin matematikten hatırlayacağı üzere ünite matrisidir ve haç ya da dagger işareti de matrisin transpozisyonu anlamındadır yani satırların ve sütunların yer değiştirmesi, diğer bir deyişle kompleks konjügesidir. Birim matrisin özelliği gereği bir simetri vardır bu durumda $S^\dagger S$ matrisi de simetriye sahiptir. Böylelikle,

$$S^\dagger S = SS^\dagger = I \quad (2.64)$$

Buradaki denklem sisteminden elde edilen denklemleri yazarsak sonucu bir olan matris bizim işimizi görür ancak sonucunda sıfır bulunan matrisi işlem kalabalığına almak gereksiz olacaktır. Böylelikle,

$$S_{11}(p)S_{11}(-p) + S_{12}(p)S_{12}(-p) = 1$$

$$S_{22}(p)S_{22}(-p) + S_{21}(p)S_{21}(-p) = 1 \quad (2.65)$$

$$S_{11}(-p)S_{21}(p) + S_{12}(-p)S_{22}(p) = 0$$

yazılır ve düzenlenirse,

$$S_{11}(p)S_{11}(-p) = 1 - S_{12}(p)S_{12}(-p)$$

$$S_{22}(p)S_{22}(-p) = 1 - S_{21}(p)S_{21}(-p) \quad (2.66)$$

$$S_{22}(p) = -\frac{S_{21}(p)}{S_{12}(-p)}S_{11}(-p)$$

elde edilmiş olur. Birim matrisin simetri özelliğinden faydalananak yazılan $S^\dagger S = I$ durumu ele alınırsa bu kez,

$$S_{11}(p)S_{11}(-p) = 1 - S_{21}(p)S_{21}(-p)$$

$$S_{22}(p)S_{22}(-p) = 1 - S_{12}(p)S_{12}(-p) \quad (2.67)$$

$$S_{22}(p) = -\frac{S_{12}(p)}{S_{21}(-p)}S_{11}(-p)$$

yazılabilir. Buradan p değişkeni bu kez $j\omega$ şeklinde kullanılırsa,

$$|S_{11}(j\omega)| = |S_{22}(j\omega)|$$

$$\text{beraberinde} \quad (2.68)$$

$$\left| \frac{S_{12}(j\omega)}{S_{21}(-j\omega)} \right| = \left| \frac{S_{21}(j\omega)}{S_{12}(-j\omega)} \right|$$

bulunur.

Aslında iki kapılı ve tek kapılı devreler arasında geçiş yapmak bu matematiksel hesaba göre kolaydır ve iki kapılı tanımlanmışa buradan hareketle bir tek kapılıyı tanımlamak zor olamayacaktır. Bu bağlamda her iki terminasyonu da bilinen normleştirme sayısı R_0 ile sonlanan bir sistem ele alalım burada, $S_{\text{out}}(p) = S_{22}(p)$ olduğunda reflektanslar $S_{11}(p)$ ve $S_{22}(p)$, tek kapılı devre için reflektans şeklinde düşünülebilir ve önceki

bölümde bahsedilen sınırlı reellik koşulu da burada düşünülebilir. Bu durumda $S_{11}(p) = \frac{h(p)}{g(p)}$ rasyonel ifadesi (2.66)' denkleminde yerine konmak istenirse,

$$S_{12}(p)S_{12}(-p) = 1 - \frac{h(p)}{g(p)} \frac{h(-p)}{g(p)} \quad (2.69)$$

veya,

$$S_{12}(p)S_{12}(-p) = \frac{g(p)g(-p) - h(p)h(-p)}{g(p)g(-p)} = \frac{F(p^2)}{G(p^2)}$$

olarak yazılır. Bu son verilen denklemden

$$S_{12}(p) = \frac{f_{12}(p)}{g(p)} \quad (2.70)$$

denklemini elde edilmeye çalışıldığında pay polinomunun kökleri uygun bir biçimde bulunmalıdır. Buradan,

$$F(p^2) = g(p)g(-p)h(p)h(-p) \quad (2.71)$$

elde edilerek, çözümünün bir tane olmadığı anlaşılır. Benzer şekilde resiprok durum için,

$$S_{21}(p) = \frac{f_{21}(p)}{g(p)} \quad (2.72)$$

yazılır. Buradaki pay polinomu $F(p^2)$ fonksiyonunun çarpanlarından müteşekkildir. Böylelikle,

$$S_{22}(p) = -\frac{f_{12}(p)}{f_{21}(p)} \frac{h(-p)}{g(p)} \quad (2.73)$$

veya

$$S_{22}(p) = -\frac{f_{21}(p)}{f_{12}(-p)} \frac{h(-p)}{g(p)} \quad (2.74)$$

elde edilmiş olur. Buradan da her iki tarafı eşitlersek,

$$\frac{f_{12}(p)}{f_{21}(-p)} = \frac{f_{21}(p)}{f_{12}(-p)} \quad (2.75)$$

(2.75) ile elde edilmiş denklem (Right Half Pole) dışında olmak zorundadır. Buradan da eşitliğin her iki yanını,

$$\eta_a = \frac{f_{12}(p)}{f_{21}(-p)} \quad (2.76)$$

$$\eta_b = \frac{f_{21}(p)}{f_{12}(-p)}$$

şeklinde bir yaklaşımla ifade etmek mümkündür. Bunların boyları alınırsa ki bunlar birim uzunlukta olacaktır, $|S_{11}(j\omega)| = |S_{22}(j\omega)|$ yazılır. Bu bize, $f_{12}(p) = \mu f_{21}(-p)$ şeklinde bir ifade türetilbileceğini göstermiştir. Burada eşitliğin sağ tarafında bulunan sabit ($\mu = \mp 1$) unimodülerdir. Devreyi resiprok olarak düşünürsek,

$$S_{12}(p) = S_{21}(p) \quad (2.77)$$

veya

$$f_{12}(p) = f_{21}(p)$$

yazmak mümkün olacaktır.

Burada devrenin resiprok olması için unimoduler sabitin pozitif olması gerekir yani o zaman f fonksiyonu çiftse bu gereklidir. Aksi durumda bu fonksiyon tekse bu kez sabit negatif olmalıdır. Yani,

$$f_{12}(p) = f(p) \triangleq -f(-p) \quad (2.78)$$

şeklinde olmalıdır. Bir önceki eşitlikten,

$$f_{21}(p) = \mu f_{12}(-p) \triangleq \mu f(-p) = -\mu f(p) \quad (2.79)$$

elde edilir. Burada sabit negatif olmalıdır. Eğer bu ifadelerden devrenin s matrisini elde etmek istersek,

$$S = \frac{1}{g} \begin{bmatrix} h & f \\ \mu f_* & -\frac{f}{\mu f_*} h_* \end{bmatrix} = \frac{1}{g} \begin{bmatrix} h & f \\ f & -\mu h_* \end{bmatrix} \quad (2.80)$$

yazılabilir. Buradaki asteriks $x(p) = x(-p)$ örnek çiftinin konjügesidir. Hülasa, bir iki kapılı için f fonksiyonu çift ve tek olabilir ve sabit için de,

$$\mu = \frac{f(p)}{f(-p)} = \begin{cases} +1, f(p) \text{ çift} \\ -1, f(p) \text{ tek} \end{cases} \quad (2.81)$$

yazılmalıdır. Daha önce belirttiğimiz sınırlılık koşulu altında;

$$S_{11}(p) = \frac{h(p)}{g(p)} \quad (2.82)$$

$$S_{12}(p) = S_{21}(p) = \frac{f(p)}{g(p)} \quad (2.83a)$$

$$S_{22}(p) = -\frac{f(p)}{f(-p)} \frac{h(p)}{g(p)} \quad (2.83b)$$

ifadeleri türetilir. Verilen denklemlerden anlaşılacağı üzere f fonksiyonu çift olarak fonksiyon olarak da düşünülebilir tek fonksiyon olarak da düşünülebilir. Böylelikle,

$$F(p^2) = g(p)g(-p) - h(p)h(-p) \quad (2.84)$$

eşitliği yazılabilir ve sınırlılık sağlanmış olur. Girişteki empedanstan hareket ederek reflektans türetilmek istendiğinde,

$$S_{11}(p) = \frac{h(p)}{g(p)} = \frac{z_{in} - 1}{z_{in} + 1} \quad (2.85)$$

bulunabilir. Buradan da,

$$F(p^2) = f(p)f(-p) = g(p)g(-p) - h(p)h(-p) \quad (2.86)$$

elde edilir. Diğer bir saçılma parametresi olan transfer fonksiyonunun rasyonele ifadesini yazarsak,

$$S_{21}(p) = \frac{f(p)}{g(p)} \quad (2.87)$$

bulunur ve bununla birlikte çıkış reflektansı,

$$S_{22}(p) = -\frac{f(p)}{f(-p)} \frac{h(-p)}{g(p)} = -\mu \frac{h(-p)}{g(p)} \quad (2.88)$$

olarak verilir. Elde edilen polinomları yazdığımızda rasyonel ifadenin başındaki katsayı seçimini daha önce belirttiğimiz gibi dikkatli yapmak gerekmektedir. Bu seçime Belevitch formu da denilmektedir.

Darlington'dan hatırlanacağı üzere reflektansa karşı düşen saçılma parametrelerini birim sonlandırma koşulu altında implement edebiliriz. Böylelikle h ve g elde edildiğinde tüm saçılma polinomları elde edilir. Bunun için $F(p^2)$ çift fonksiyonu çarpanlara ayrılmalıdır ve burdan elde edilen kökler saçılma parametrelerini hesaplamada kullanılacaktır ancak bu köklerde teklik ve çiftlik elde edilmezse $S_{21}(p) = \frac{f(p)}{g(p)}$ rasyonel ifadesini arttırılıp değiştirilerek tek ve çift kısımlar elde edilmeye çalışılır.

$$S_{21}(p) = \frac{\hat{f}(p)}{\hat{g}(p)} = \frac{f(p)}{g(p)} \frac{(\gamma_r + p)}{(\gamma_r + p)} \quad (2.89)$$

(2.89)'daki gibi artış sağlanabilir, burada birim rasyonel fonksiyon eklenerek eşitlik pay ve paydada bozulmamıştır ve γ_r sınırlılık koşulları göz önünde bulundurulduğunda pozitif reeldir. Bu yöntem diğer saçılma parametreleri için de uygulanabilir neticesinde,

$$\hat{g}(p) = g(p)(\gamma_r + p) \quad (2.90)$$

şeklinde bir payda fonksiyonu elde edilir.

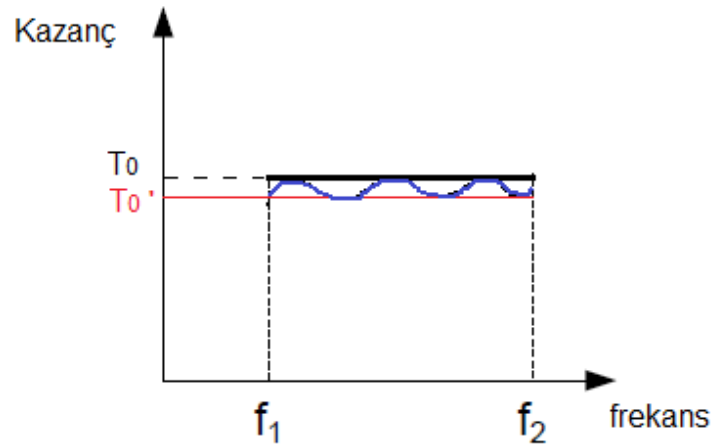
2.5.1 Saçılma Parametrelerini Sağlayan Polinom Sıfırları

Verilen bir $f(p)$ için karşılaşılabilecek olası sıfır durumları ile ilgili detaylar burada geçilecektir. Bununla ilgili detaylı bilgi çeşitli referans kitaplardan, yayınlardan ve yazarın yüksek lisans tezinden elde edilebilir[36].

Çalışmanın bundan sonraki kısımlarında filtre, uyumlaşma devresi ve yükselteç tasarımı için yapılan yaklaşımlara yer verilecektir. S parametreleri ile ilgili detaylı hesaplamalara burada son verilmiştir. Bundan sonraki bölümlerde nümerik ve yarı-analitik yöntemler kendine yer bulacaktır.

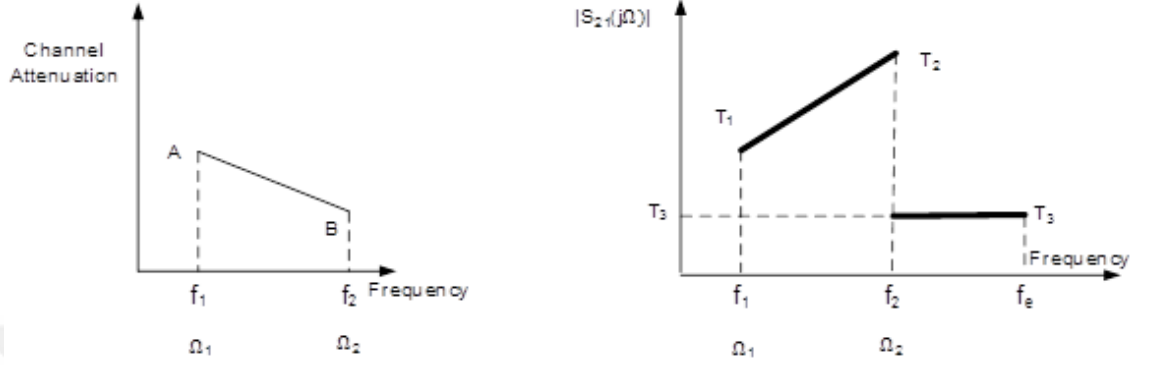
2.6. KAZANÇ YAKLAŞIMI

Bir sistem ya da bir devreyi ele aldığımızda sistem ya da devreyle alakalı en derin bilgiyi bize veren kavram transfer fonksiyonudur. Transfer fonksiyonu bilinen bir sistem ya da devreye bir uyarım uyguladığımızda çıkışta ne elde edebileceğimizi bilebiliriz. Aynı şekilde uyarım uygulanan devrenin çıkışını gözlemlediğimizde devrenin transfer fonksiyonu öğrenebiliriz ve böylelikle devre hakkında tüm bilgiye sahip olmuş oluruz. Kablosuz haberleşme sistemlerinde yapılan tasarımlarda da transfer fonksiyonu bilinen bir şeyi seçmek bizim çıkışı da matematik olarak elde bilmemize olanak sağlayacaktır. Bu bağlamda tasarımlarda seçilen süzgeç prototipini veren fonksiyonu bilinen Butterworth, Tchebychev gibi hedef fonksiyonlardan türetmek her zaman faydalı olacaktır.



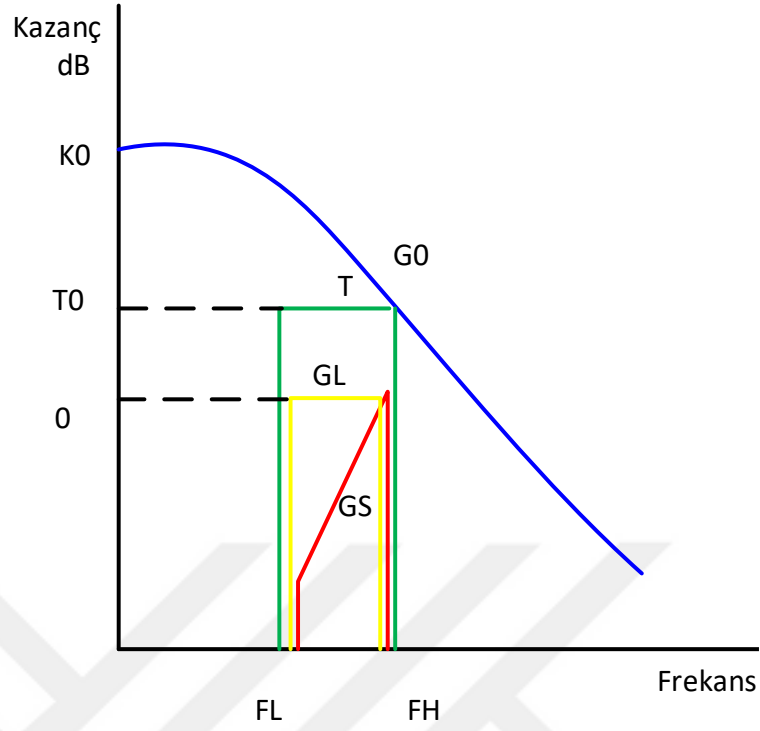
Şekil 2.7: Örnek Bir Hedef Fonksiyonu.

Bu seçimde hedeflenen fonksiyonda şekildeki gibi bir dalgalılık meydana gelebilir ya da hedef kazanç düz de oluşabilir. Bunu gidermek için çeşitli yöntemler vardır. Uygulamaya göre bunlar seçilebilir.



Şekil 2.8: Örnek Bir Zayıflama ve Bu Zayıflamayı Düzeltecek Kazanç Eğrisi.

Yukarıdaki şekilde görüldüğü üzere zayıflamanın frekans aralığındaki zayıflaması verilmiştir. Bunu gidermek için yine aynı frekans aralığında bir kazanç fonksiyonuna sahip dengeleyici önerilmiştir. Bu iki eğrinin çarpılmasıyla ortaya düz kazançlı bir devre çıkacaktır ki bu da istenilen bir çıkışı bize verecektir. Bu gibi eğrisel davranış gösteren elektrik elemanları için bu zayıflama düzeltme işlemi uygulanabilir. Böylelikle tüm sistemlerde istenilen kazanç eğrisi elde edilebilir. Verilen örnekteki düzeltme işlemi aktif ve pasif elemanlarda uygulanabilir. Bu bağlamda buradaki zayıflamaya benzer olarak aktif bir eleman olan transistörü ele aldığımızda, frekansa bağlı kazanç fonksiyonu buradaki gibi bir zayıflamaya sahiptir. Tasarımlarda bu zayıflama keyfi ya da zorunlu sebeplerden ötürü dengelenmek istenebilir. Bu amaçla çalışmanın bu kısmında bu dengelemenin analitik ifadesi verilecektir.



Şekil 2.9: Bir Yükselteç Örneği İçin Transistör
ve Dengeleyici Kazanç Eğrileri.

Transistörün transfer kazancına (S_{21}) G_0 dersek, bu fonksiyon için giriş ya da çıkış devrelerinden biri ya da her ikisi dengeleyici olarak seçilebilir. Yukarıdaki kazanç eğrileri verilen dengeleyici örneğinde K_0 mertebesinde G_0 gibi bir kazancı olan transistörün frekans arttıkça zayıflayan kazanç eğrisi görülmektedir. Tasarlanmak istenen aktif devre ise T_0 mertebesinde bir hedef kazançla sahiptir. Bu T_0 mertebesindeki T eğrisine sahip olmak için dengeleyici olarak giriş devresi seçilmiştir. Böylelikle çıkış devresi de düz kazançlı kayıpsız bir bant geçiren olarak tasarlanabilir. Bu durumda yeni problemimiz transistörün eğrisini dengeleyecek bir başka eğri tasarlama problemine dönüşmüştür. Bu eğriyi bulabilmek için çeşitli hesaplama yazılımlarından faydalananarak hedef fonksiyonu tanımlanır ve nümerik yöntemlerle bu hedef fonksiyonuna mümkün olan en az hatayla yaklaşımak istenir. Bu bağlamda çalışmada bu yöntemler içinde en bilinen teknik olan Gerçek Frekans Tekniğinin çeşitli yaklaşımları kullanılmıştır. Bu yaklaşımlar içinde de en bilinen “Basitleştirilmiş Gerçek Frekans Tekniği(SRFT)” olarak bilinen teknikle ilgili

detaylar çeşitli tezlerde ve kaynak kitaplarda mevcuttur ancak yükselteç tasarımı için kısaca bunu özetlersek[37];

- Bu bölümün başından beri bahsedilen saçılma parametrelerinden hesaplarından faydalananak transfer parametresinden hareketle rasyonel fonksiyon $S_{21} = \frac{f(p)}{g(p)}$ elde edilir. Burada numeratör polinomu tasarımdaki yapıya ve özelliklere göre belirlenebilir. Burada transmisyon sıfırlarından kaçınmak için $f(p) = f_0 p^k$ olarak seçilir.
- Burada yansıma parametresi $S_{11} = \frac{h(p)}{g(p)}$ rasyonel polinomunun numeratörü keyfi olarak seçilebilir. Bu hedef fonksiyonun inisiyatif değerleridir. Burada yapılacak birinci optimizasyonla hedef fonksiyonu katsayılarına yaklaşılr. Denominator polinomunun katsayıları (2.37)' den hatırlanacağı üzere kayıpsızlık koşuluna göre belirlenir. Burada, daha önce verildiği gibi G,H,F polinomlarını hatırlatmakta fayda vardır.

$$\begin{aligned} G(p^2) &= g(p)g(-p) = G_1 p^{2n} + G_2 p^{2(n-1)} + \dots + G_n p^2 + G_{n+1} \\ &= H(p^2) + F(p^2) \end{aligned} \quad (2.91a)$$

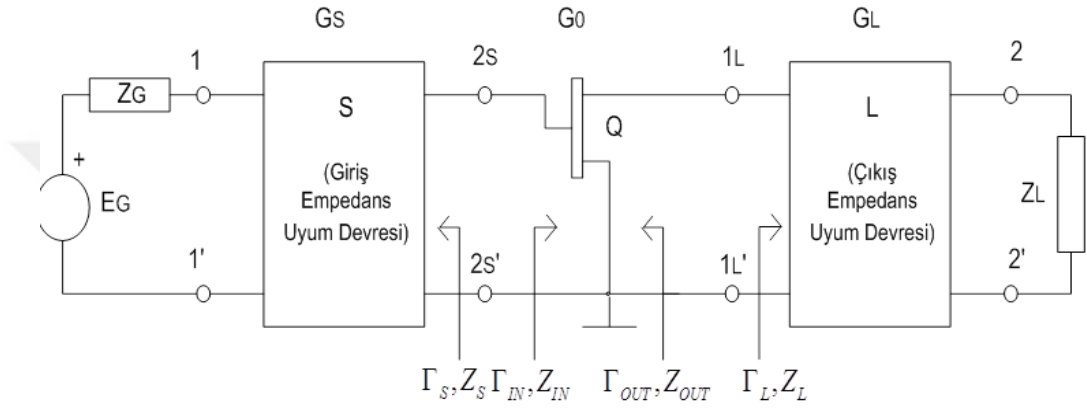
$$H(p^2) = h(p)h(-p) = H_1 p^{2n} + H_2 p^{2(n-1)} + \dots + H_n p^2 + H_{n+1} \quad (2.91b)$$

$$\begin{aligned} F(p^2) &= f(p)f(-p) = F_1 p^{2n} + F_2 p^{2(n-1)} + \dots + F_n p^2 + F_{n+1} \\ &= (-1)^k f_0^2 p^{2k} \end{aligned} \quad (2.91c)$$

- Son olarak, payda polinomu elde edildikten sonra $S_{11} = \frac{h(p)}{g(p)}$, den $f(p)$ ' yi yani iletim sıfırlarının elde edilebileceği ve $S_{21}(p)$ ' nin $\frac{f(p)}{g(p)}$ şeklinde rasyonel bir fonksiyon olarak elde edilebilmesini sağlayan sentez işlemine geçilir. Normalize olarak verilen giriş empedansı ifadesinde S_{11} yerine konduğunda numeratör ve denominator polinomları elde edilir. Buradaki transmisyon sıfırları seri kapasitör ve paralel endüktör olarak gerçekleştirilir.

2.7. YÜKSELTEÇ TASARIMI İÇİN GENEL KAVRAMLAR

Önceki bölümde SRFT kullanarak kazanç yaklaşımından giriş empedansını nasıl elde edebileceğimizden bahsedilmiştir burada ise elimizdeki kazanç ya da saçılma parametresi ile yükselteç denklemlerini oluşturup uygun optimizasyon yöntemleriyle istenilen bant genişliği ve kazanç düzeyini nasıl sağlayacağımızdan bahsedeceğiz. Bu noktada yükselteç tasarımı için tek yanlı(unilateral) kazanç ifadeleri elde edilecektir[38-40].



Şekil 2.10: Mikrodalga Yükselteç Yapısı.

Verilen şekilde Z_G kaynak tarafının empedansı Z_L yük empedansı S ve L sırasıyla giriş ve çıkış uyumlaşma devresini ve Q da transistörü göstermektedir.

Buradaki yükseltecin kazanç ifadesi yazılmak istenirse en genel halde,

$$T = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_{IN} \Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT} \Gamma_L|^2} \quad (2.92)$$

olarak yazılır. Buradaki eşitliği üç bileşene ayırırsak birinci kısmı kaynak uyumlaşmasının kazancı, ortadaki bileşeni transistör kazancı ve en sondaki bileşeni de çıkış devresinin kazancı olarak değerlendirebiliriz. (2.92) ifadesinde Γ_S giriş uyumlaşma devresinin girişinden görülen yansımadır ve benzer şekilde Γ_L çıkış uyumlaşma devresinden görülen yansımadır. Yine aynı devreye bakıldığında Γ_{IN} ve Z_{IN} sırasıyla transistörün girişinden görülen yansıma ve transistörün giriş empedansıdır, benzer şekilde Γ_{OUT} ve Z_{OUT} sırasıyla transistörün çıkışından görülen yansıma ve transistörün çıkış

empedansıdır. S_{21} ' in genliğinin karesi olarak ifade edilen de transistörün ileri yön güç kazancı olarak tanımlanır.

Verilen transistör ifadelerinde açık olarak yazılmayan Γ_{IN} ve Γ_{OUT} irdelenirse bu büyüklüklerin s parametreleri ve transistörün giriş ve çıkışındaki yansımalara bağlı olduğu anlaşılmaktadır.

$$\Gamma_{IN} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (2.93a)$$

$$\Gamma_{OUT} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (2.93b)$$

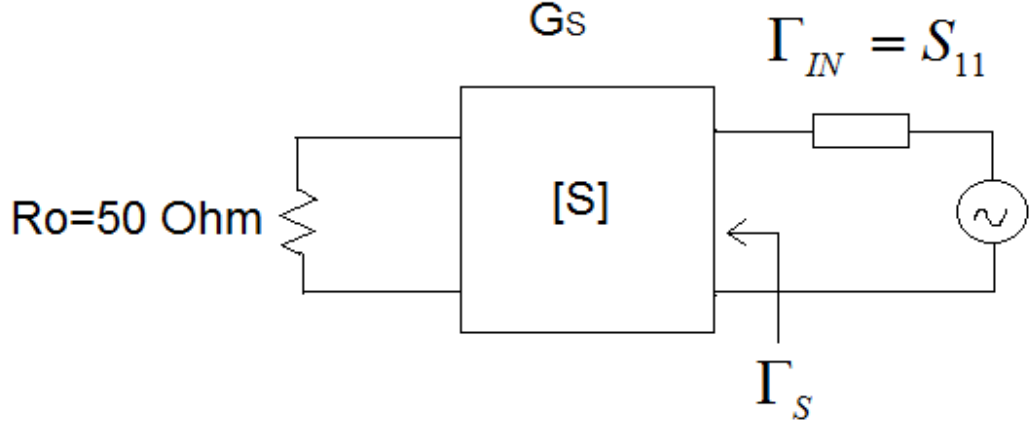
Transistördeki kazanç bağıntılarını iki durumda veya kabulde inceleyebiliriz. Bunlar ileri ve geri yön bağıntılarıdır.

Eğer transistör her iki taraftan yani girişinden ve çıkışından uyumlaştırılırsa $\Gamma_{IN} = \Gamma_S^*$ ve $\Gamma_{OUT} = \Gamma_L^*$ durumu elde edilir ve bu $S_{12} \neq 0$ koşulunda sağlanmış olur. Böylelikle çift yanlı(bilateral) uyumlaştırma elde edilir.

Eğer $S_{12} = 0$ kabul edilirse kazanç bağıntısını (2.92) yazarken iki farklı durum söz konusu olur. Bu durumlar iki farklı yaklaşımla ele alınabilir burada Γ_{IN} ve Γ_{OUT} sırasıyla S_{11} ve S_{22} ' ye eşit olarak kabul edilebilir. Böylelikle tek yanlı(unilateral) uyumlaşma elde edilir. Ortaya çıkan bu iki durumu irdelersek,

- $S_{12} = 0$ olduğunda (2.93a) denklemi $\Gamma_{IN} = S_{11}$ şekline dönüşür. Yukarıdaki Şekil 2-10' a bakıldığında giriş uyumlaşma devresinden görülen yansımayı yani Γ_S ifadesini giriş uyumlaşma devresinin 50 Ohm' luk standart sonlandırma direnciyle sonlandırılmasıyla ortaya çıkan durum aşağıda grafikte gösterilmiştir. Bu yaklaşım neticesinde elde edilen sonuç “*tek uyumlaştırma*” olarak adlandırılır. Böylelikle transistör için girişten bakılınca görülen yansıma S_{11} olarak ele alınacaktır. Kaynak tarafındaki devre kayıpsız endüktör ve kapasitörden oluşan devredir.

Bu devre ile ilgili kazanç denklemleri yazılmak istenirse, kaynak tarafı için elde edilecek kazanç ifadesi;



Şekil 2.11: $S_{12} = 0$ Durumunda $\Gamma_{IN} = S_{11}$ Yaklaşımı ve Tek Uyumlaştırma Problemi.

$$G_s = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{IN}\Gamma_s|^2} = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} \quad (2.94)$$

ile verilir. Buradan (2.92)' deki genelleştirilmiş kazanç ifadesi $\Gamma_{IN} = S_{11}$ koşulu altında ,

$$T = \frac{1 - |\Gamma_s|^2}{|1 - S_{11}\Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT}\Gamma_L|^2} \quad (2.95)$$

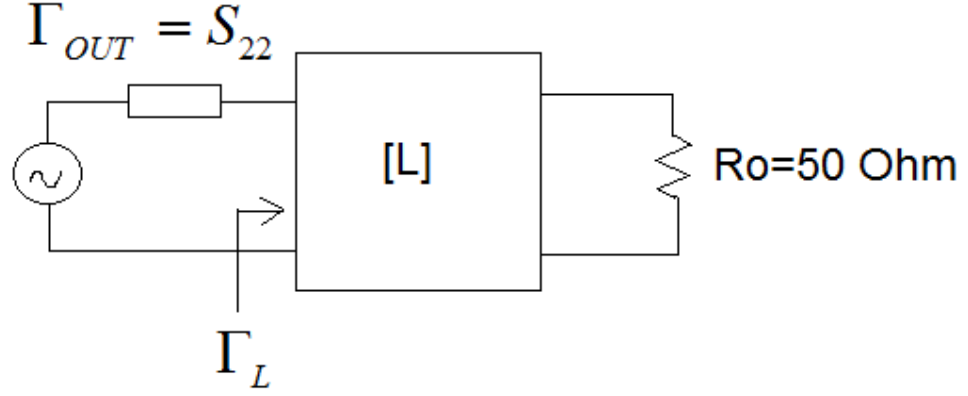
olarak yazılabilir ya da kaynak tarafındaki uyum devresinin kazancı G_s , yük tarafındaki G_L ve transistör kazancı da G_0 ile ifade edilirse jenerik ifade,

$$T = G_s G_0 G_L \quad (2.96)$$

ile verilir. Yük tarafı için ise diğer yaklaşım incelenecektir. Bu yaklaşım için elde edilen ifadeler aşağıda verilmiştir.

- Benzer şekilde yine $S_{12} = 0$ olduğunda bu kez (2.93b) denklemi irdelenirse $\Gamma_{OUT} = S_{22}$ haline indirgenir. Çıkış uyumlaştırma devresinden görülen yansıma Γ_L olarak adlandırılırsa ve standart sonlandırmayla devre tasarlandığında yük tarafındaki uyumlaşma devresi için ortaya çıkan “*tek uyumlaştırma*” durumu aşağıdaki şekilde gösterilmiştir. Bu durumda ise transistör için çıkıştan bakıldığında görülen yansıma S_{22} olarak ele alınır. Yine girişte olduğu gibi bir pasif, kayıpsız devre

elde edilir ve endüktör ile kapasitörden müteşekkildir. Yük tarafı için yazılan kazanç ifadeleri bu durum için de yazılırsa,



Şekil 2.12: $S_{12}=0$ Durumunda $\Gamma_{OUT}=S_{22}$ Yaklaşımı ve Tek Uyumlaştırma Problemi.

$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT}\Gamma_L|^2} = \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (2.97)$$

Buradan devrenin tamamı için kazanç yazılırsa,

$$T = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_{IN}\Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (2.98)$$

elde edilebilir. Burada kaynak tarafındaki uyumlaştırma devresi için kazanç,

$$G_S = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_{IN}\Gamma_S|^2} \quad (2.99)$$

ile yazılabilir. Aktif elemanın yani transistörün kazanç ifadesinin ise $G_0 = |S_{21}|^2$ olduğu biliniyor böylelikle toplam kazanç ifadesi de (2.96)'daki gibi,

$$T = G_S G_0 G_L \quad (2.100)$$

olarak verilir.

3. MALZEME VE YÖNTEM

Önceki bölümlerde çalışmanın işleyişi ve adımları aktarılmıştır ve çalışmada öne sürülen tasarımı ilgili kullanılacak yöntemlerle ilgili temel teoremlerden bahsedilmiştir. Bu aşamada ise bu teoremlerden faydalanarak elde edilen tasarım teknikleri uygulanarak öne sürülen ayarlanabilir yükselteç elde edilecektir.

Ayarlanabilir yükselteç, uyumlaşma devresi ya da ayarlanabilir bir devrenin tasarımının amacı bir güç aktarım devresinin elektriksel, fiziksel ve çevresel şartların değişimi neticesinde ya da parazitik etkilerden dolayı farklı bir tasarıma, devre eleman değerine ihtiyaç duymasıdır. Bunların yanında askeri haberleşme, mobil haberleşme ya da geniş bant yayın yapan haberleşme sistemlerinde savunma araçları, endüstriyel ihtiyaçlar ve müşterilerin talepleri doğrultusunda farklı frekanslarda aynı anda ve/veya farklı zamanlarda yayın yapan sistemlerin entegre olması ihtiyacı ortaya çıkmıştır. Bu maksatla tasarımların frekans, kazanç ya da bant genişliği gibi parametrelerinin ayarlanabilirliği, tasarımı elde etmek için kullanılan empedans fonksiyonun uygun hedef fonksiyonuna göre elde edilmesiyle sağlanabilir. Bu sebeple de bu fonksiyonu, tasarlanmak istenen devre elde edildikten sonra değiştirmek geleneksel yöntemlerle mümkün değildir.

Bu probleme çözüm yolları bulmak için parazitik etkileri modellemek amacıyla yazarın yüksek lisans tezinde parazitik kapasite yaklaşımı ele alınmıştır. Böylelikle bu çalışmada tasarlamak istenilen ayarlanabilir yükselteç devresinin temeli atılmıştır. Yazar bu çalışmada, yüksek lisans tezinde yaptığı yaklaşımı kısaca özetleyecektir ve bu tez için geliştirilen teknikler daha sonra anlatılacaktır.

Parazitik yaklaşımda görüleceği üzere devre elemanlarının bazılarının devrenin bant genişliği, kazanç ve frekans gibi parametrelere etkisi daha fazla olacaktır. Bu elemanların ayarlanabilir devre elemanlarından seçilmesi devreden ayarlanabilir olmasını sağlayacaktır. Bu sebeple devre elemanlarının bazılarının ya da tamamının ayarlanabilir olması istenilen devre performansını bize verecektir. Bu bağlamda MEMS, varaktör diyot, dijital ayarlanabilir kapasitör gibi fiziksel olarak gerçekleştirilebilir yapılar ya da

yazarın çalışma grubu ile geliştirdiği ve frekansa bağlı ayarlanabilir endüktör gibi yapılarla devrenin ayarlanabilirliği sağlanacaktır. Bu yapıların uygulama alanlarına göre tercih edilmesi gerekmektedir. Birbirlerine üstünlükleri olduğu gibi dezavantajları da bulunmaktadır. Bu üstünlükler ve dezavantajlar ilerleyen bölümde ayrıntılı olarak incelenecektir.

Yukarıda belirtilen devre elemanlarından kısaca bahsetmek ve ön bilgi vermek gerekirse örneğin MEMS yapısı lineerlik ya da girişteki kayıp(insertion loss) bakımından en avantajlı olsa da ayarlanabilirlik bakımından sadece iki kapasitans değerine sahip olduğu için en dezavantajlı elemandır. Benzer şekilde varaktör diyot incelendiğinde lineerlik ve harmonik etkiler açısından en dezavantajlı olsa da ayarlanabilirlik bakımından en iyi seçenektir. Dijital olarak ayarlanabilen kapasitörler ele alınırsa, bu elemanlar MEMS yapısına göre ayarlanabilirlik olarak çok çok daha avantajlıdır ancak lineerlik ve harmonikler bakımından MEMS yapılarının performansından kötüdür. Ayrıca üretimde karşılaşılabilecek zorluklar ele alındığında ve yukarıda bahsettiğimiz örnekler dikkatle incelenirse fiziksel olarak gerçekleşmiş yapılar kapasitörlerdir ve endüktörlerin ayarlanması özellikle de yüksek frekanslara çıkıldıkça oldukça zordur. Bu bağlamda ayarlanabilir yapılar kapasitörler olarak ele alınmıştır ve yazarın çalışma grubuyla ortaya attığı frekansa bağlı ayarlanabilir endüktör tasarımı kavramı da kapasitörün endüktöre bağlanmasıyla oluşturulan yapının empedans fonksiyonunun kapasitör ayarlanarak değiştirilmesiyle elde edilen bir ayarlanabilir endüktör yapısıdır. Bu gibi ön bilgiler ışığında bu elemanlarla yapılan tasarımlar ele alınacaktır ve neticede en uygun çözümü sunan elemanla ayarlanabilir yükselteç tasarımı elde edilecektir.

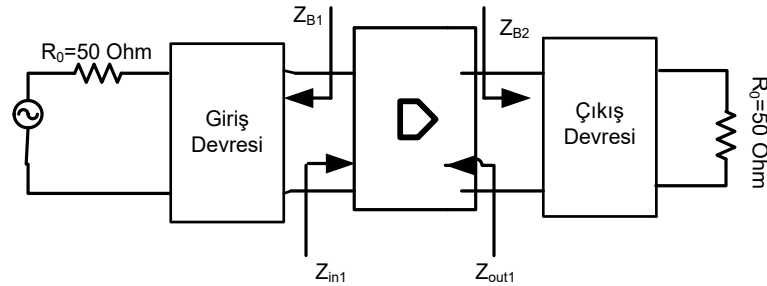
3.1. PARAZİTİK KAPASİTANS YAKLAŞIMI İLE AYARLANABİLİR DEVRE TASARIMI

Geniş bantta yayın yapan haberleşme sistemleri son yıllarda giderek artan ilgi görmektedir. Bu artan ilginin sebebi pazardaki taleplerin tüketici ihtiyaçlarına göre şekillenmesi ve tüketicilerin artan haberleşme ihtiyacıdır. Savunma sistemleri, endüstriyel haberleşme radyoları ve mobil haberleşme bu ihtiyacın çekirdeğini oluşturmaktadır. Frekansı, çıkış gücü, kazancı ya da bant genişliği ayarlanabilir bir güç aktarım devresi askeri sistemlerde savunma ve saldırı donanımlarında geleneksel ya da

yenilikçi tasarımda kabul görmektedir. Güç aktarım devrelerinin ya da antenlerin ayarlanabilirliğinin sağlanması savunma sistemlerinin güvenliği, güvenilirliği, doğruluğu ve hedef isabet başarımı gibi parametrelerin sağlanmasında etkin rol üstlenebilmektedir. Endüstriyel sistemlerde ise verim açısından incelendiğinde verimliliği mümkün en yüksek mertebeye çıkarabilmektedir.

Özellikle mobil haberleşme sistemleri ele alındığında birden çok farklı standartta yayın yapan radyo sistemleri günümüzde talep görmektedir. Günümüzde bir mobil aygıt ele alındığında bu aygıtta GSM, WCDMA, LTE, Wi-Fi, Bluetooth gibi çeşitli frekanslarda çalışan haberleşme altyapıları mevcuttur ve bu da farklı standartları sağlayan yapıları gerektirmektedir. Bu gibi birden çok frekansı sağlayan yapılar geniş bantlı ayarlanabilir radyolarla elde edilmektedir. Burada ayarlanabilme özelliği sistemin daha verimli ya da, istenilen güçte yayın yapmasını sağlayabilmektedir.

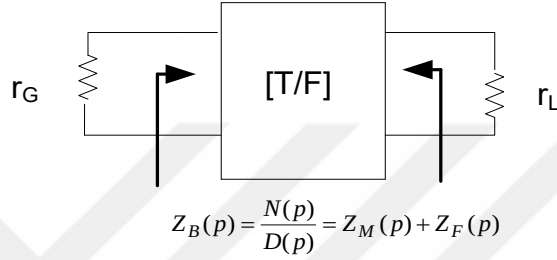
Mobil haberleşme sistemleri ele alındığında frekans bandı olarak 0.8-5.2 GHz arası çalışan yapılar incelendiğinde bu devrelerde kullanılan aktarım devrelerinin giriş ve çıkış empedanslarının uyumlaştırılması gerekmektedir. Bu problemin çözümü için yazarın yüksek lisans tezinde sunduğu parametrik kapasitans yaklaşımı öncelikle irdelenecektir ve orada elde edilen bulgulardan hareketle ayarlanabilir yükselteç tasarım algoritması ortaya çıkarılacaktır.



Şekil 3.1: Bir Kablosuz İletişim Sistemi İçin Güç Aktarım Kısımı.

Şekildeki gibi bir güç aktarım katını ele alırsak buradaki aktif elemanın girişindeki ve çıkışındaki kompleks empedansı yüke ve kaynağa uyumlaştırmamız gerekebilir. Yük

olarak da geniş bantta çalışan bir anten düşünülebilir. Buradaki empedans uyumlaşmasını sağlamak için Gerçek Frekans Tekniği(Real Frequency Technique)’nden faydalanılacaktır. Bunun için problemi tanımlarken bahsettiğimiz empedans fonksiyonunu frekans alanında(domain) tanımlamak gerekmektedir. Empedans fonksiyonuna $Z_B(p)$ denirse bir uyumlaşma devresi/süzgeç tasarımı için bu tanımlanan empedans $Z_M(p)$ gibi bir minimum fonksiyon ve $Z_F(p)$ gibi bir Foster olarak tanımlanan fonksiyonun toplamıyla elde edilir.



Şekil 3.2: Empedans Fonksiyonu Tanımı.

Burada minimum fonksiyonu rasyonel bir polinomu olarak yazılırsa,

$$Z_M(p) = \frac{a_2 p^{n-1} + a_2 p^{n-2} + \dots a_{n-1} p + a_{n+1}}{b_1 p^n + b_2 p^{n-1} + \dots + b_n p + b_{n+1}} = R_\infty + \sum_{i=1}^{N_p} \frac{k_i}{p - p_i} \quad (3.1)$$

olarak tanımlanabilir. Gerçek Frekans Tanımı gereği Fonksiyonun çift bölümü,

$$R_M(-p^2) = \frac{1}{2} [Z_M(p) + Z_M(-p)] \quad (3.2)$$

$$R_M(-p^2) = \frac{1}{2} \left\{ 2R_\infty + \sum_{i=1}^n \left[\frac{k_i}{p - p_i} + \frac{k_i}{-p - p_i} \right] \right\} \quad (3.3)$$

$$R_M(-p^2) = R_\infty + \sum_{i=1}^n \frac{k_i p_i}{(p^2 - p_i^2)} \quad (3.4)$$

olarak yazılabilir. Kalanlar(rezidü) hesaplamak istenirse,

$$k_i = (p^2 - p_i^2) \frac{R_M(-p^2)}{p_i} \Big|_{p=p_i} \quad (3.5)$$

$$R_\infty = \lim_{p \rightarrow \infty} R_M(-p^2) \quad (3.6)$$

yazılır. Burada rezidü, rasyonel polinom olarak elde edilmiştir ve bu seçim devre sentezinde faydalı olacaktır.

Empedans fonksiyonunu yukarıda, bir minimum fonksiyon ve bir Foster Fonksiyonunun toplamı olarak seçebileceğimizi yukarıda tanımlamıştık. Bunun açık ifadesi yazılırsa, $Z_M(j\omega) = R_M(\omega) + jX_M(\omega)$ ve Foster kesimi de $Z_F(j\omega) = jX_F(\omega)$ ile verilirse böylelikle,

$$Z_B(j\omega) = R_M(\omega) + jX_M(\omega) + jX_F(\omega) \quad (3.7)$$

elde edilir. Minimum fonksiyon aynı zamanda yük tarafındaki direnç cinsinden tanımlanırsa bu durumda rasyonel fonksiyon,

$$R_M(\omega^2) = \frac{r_L}{P_n(\omega^2)} \geq 0 \quad (3.8)$$

ile verilir. Burada $P_n(\omega^2) = C_1\omega^n + C_2\omega^{n-1} + \dots + C_n\omega + 1$ gibi bir polinomla tanımlanırsa bu durumda,

$$P_n(\omega^2) = \frac{1}{2} [C^2(\omega) + C^2(-\omega)] \quad (3.9)$$

yazılır. Burada, C_i ; $i = 1, 2, \dots, n$ ile tanımlıdır. Böylelikle $P_n(\omega^2)$,

$$P_n(\omega^2) = B_1\omega^{2n} + B_2\omega^{2(n-1)} + \dots + B_n\omega^2 + 1 \quad (3.10)$$

ile verilir. Önceden bilinen $\omega^2 \rightarrow -p^2$ dönüşüm çifti uygulanırsa $P_n(-p^2)$ 'nin her bir elemanı bulunmuştur. $P_n(-p^2)$ 'nin sol yarı düzlemdeki sıfırları $Z_M(p)$ 'nin kutuplarıdır. Bu durumda kalanlar,

$$k_i = (p^2 - p_i^2) \frac{R_M(-p^2)}{p_i} \Big|_{p=p_i} \quad (3.11)$$

ile verilir. Kalanlar için $R_\infty = \lim_{p \rightarrow \infty} R_M(-p^2) = 0$ yakınsaklığı verilir. Yani özetlersek, kutuplar ve kalanlar elde edildikten sonra,

$$Z_M(p) = \frac{a_1 p^{n-1} + a_2 p^{n-2} + \dots + a_{n-2} p + a_n}{b_1 p^n + b_2 p^{n-1} + \dots + b_n p + b_{n+1}} \quad (3.12)$$

polinomu yazılabilir. Bu eşitlik aynı zamanda $Z_M(j\omega) = R_M(\omega) + jX_M(\omega)$ ile verilebilir.

Bir Foster kesitini de $X_F = -\frac{k_0}{\omega}$ olarak yazarsak, böylelikle çevrimin kazancını,

$$T(\omega) = \frac{4R_M r_L}{(R_M + r_L)^2 + (X_M + X_F)^2} \quad (3.13)$$

olarak yazabiliriz. Hata fonksiyonu ise hedeflenen fonksiyonla yukarıda verilen kazanç fonksiyonunun farkıdır. Burada amaç, hata fonksiyonunu minimuma indirmektedir bu nedenle kodlarda kullanılacak, hedeflenen en az farkı bize verecek eniyileme algoritması bize bunu sağlayacaktır.

Hata fonksiyonu frekansa bağlı olarak yazılırsa,

$$\varepsilon(\omega) = T(\omega) - T_0 \quad (3.14)$$

elde edilir. Nümerik duyarlılıktan ötürü normalize değerler tercih edilirse ve $r_L = 1 \Omega$ seçilirse bu kez minimum fonksiyonu,

$$R_M(\omega^2) = \frac{1}{P_n(\omega^2)} \quad (3.15)$$

olarak yazılır. Frekans için de bandın sağ köşesinin seçilmesi en uygun norm olacaktır[36].

Kaynak ve yük dirençleri için $j = 1$ ve $j = 2$ olacaktır. Buradan da,

$$r_L = \frac{R_j}{R_0} = 1, \quad (3.16)$$

olacaktır. Benzer şekilde

$$r_G = \frac{R_j}{R_0}; \quad (3.17)$$

için normalleşmiş değer $r_G < 1$ şeklinde yazılır.

Yukarıda verilen $P_n(\omega^2) = \frac{1}{2}[C^2(\omega) + C^2(-\omega)]$ polinomundaki katsayılar paket programda koşturulacak kodda hedeflenen eniyileme için bulunacak $\{x_1, x_2, \dots, x_n\}$ çözüm kümesi denilebilir. Çözüm kümesindeki x değerlerinin sayısı bize devredeki elemanların sayısını verir.

Başlangıç olarak $k_0 = x_{n+1}^2 > 0$ seçilirse,

$$X_F(\omega) = -\frac{x_{n+1}^2}{\omega} = -\frac{1}{C_{n+1}\omega} \quad (3.18)$$

Böylelikle,

$$C_{n+1} = \frac{1}{x_{n+1}^2} \quad (3.19)$$

elde edilir. Alt ve üst kesim frekanslarını normalize olarak ω_1 ve ω_2 seçebiliriz. Devrenin kazancı mertebesi ise $T_0 \cong 0.99$ olarak seçilir. Bu seçimlerin ardından $Z_M(p)$ kesirli olarak edilecektir. Bunun için öncelikle,

$$B_1\omega^{2n} + B_2\omega^{2(n-1)} + \dots + B_n\omega^2 + 1 = \frac{1}{2}[C^2(\omega) + C^2(-\omega)] \quad (3.20)$$

yazılır. Buradaki katsayıların 1'den n'ye kadar doğal sayı olduğu yukarıda tanımlanmıştı. Bu değerler fonksiyon için inisiyatif değerlerdir. Verilen (3.20) eşitliğinden

$$P_n(\omega^2) = B_1\omega^{2n} + B_2\omega^{2(n-1)} + \dots + B_n\omega^2 + 1 \quad (3.21)$$

elde edilmiş olur. Bu eşitlik için de $\{B_i; i = 1, 2, \dots, n\}$ şeklindedir. Buradan,

$$P_n(-p^2) = (-1)^n B_n p^{2n} + (-1)^{n-1} p^{2(n-1)} + \dots + (-1) B_1 p + 1 \quad (3.22)$$

şeklinde elde edilir. Elde edilen ifadeden p_i değerlerini bulmak için,

$$R_M(-p^2) = \frac{1}{(-1)^n B_n p^{2n} + (-1)^{n-1} p^{2(n-1)} + \dots + (-1) B_1 p + 1} \quad (3.23)$$

yazılır. Kalanlar için ise,

$$k_i = (p^2 - p_i^2) \left. \frac{R_M(-p^2)}{p_i} \right|_{p=p_i} \quad (3.24)$$

ifadesi elde edilir. Minimum fonksiyonu kalanlar cinsinden;

$$Z_M(p) = \sum_{i=1}^{N_p} \frac{k_i}{p - p_i} \quad (3.25)$$

olarak yazılırsa kesirli ifade,

$$Z_M(p) = \frac{a(p)}{b(p)} \quad (3.26)$$

olarak elde edilir. Buradaki pay ve payda polinomları için,

$$a(p) = a_1 p^n + a_2 p^{n-1} + a_3 p^{n-2} + \dots + a_n p + a_{n+1} \quad (3.27)$$

ve

$$b(p) = b_1 p^n + b_2 p^{n-1} + \dots + b_n p + b_{n+1} \quad (3.28)$$

yazılabilir. Bu eşitlikler için $a_{n+1} = b_{n+1}$ olduğunu belirtmek gerekir. Burada sonlandırma direncinin $r_L = Z_M(0) = 1$ olarak ele alındığı yukarıda belirtilmiştir. Elde edilen kesirli polinomdan kazanç için $p = j\omega$ seçilerek frekans domaininde minimum fonksiyonu,

$$Z_M(j\omega) = \frac{a(j\omega)}{b(j\omega)} = R_M(\omega) + jX_M(\omega) \quad (3.29)$$

olarak bulunur, burada aynı zamanda Foster kesiti,

$$Z_F(\omega) = jX_F = -j \frac{x_{n+1}^2}{\omega} \quad (3.30)$$

ile elde edilir. Dolayısıyla kazanç fonksiyonu,

$$T(\omega) = \frac{4R_M r_G}{(R_M + r_G)^2 + (X_M + X_F)^2} \quad (3.31)$$

şeklinde elde edilir. Böylelikle kazancın elde edilmesiyle artık hata hesaplanabilir. Hata hesabı için,

$$\varepsilon(\omega) = T(\omega) - T_0 \quad (3.32)$$

yazılır. Hatanın hesaplanması için inisiyatif değerler $\{C_1, C_2, \dots, C_n\}$ kümesi ile verilebilir. Bu inisiyatif değerlerden,

$$Z_M(p) = \frac{a(p)}{b(p)} \quad (3.33)$$

şeklinde kesirli formda bir fonksiyon elde edilir. Buradaki pay ve payda polinomlarının her biri için,

$$a = [a_1 \ a_2 \ a_3 \ \dots \ a_n \ a_{n+1}] \quad (3.34)$$

$$b = [b_1 \ b_2 \ b_3 \ \dots \ b_n \ b_{n+1}] \quad (3.35)$$

yazılır. Elde edilen katsayılar için $a_1 = 0$ ve $a_{n+1} = b_{n+1}$ olduğunu belirtmek gerekir.

Katsayı vektörünü veren hesap adımı elde edildikten sonra $Z_M(j\omega)$, $r_L = 1$ ve r_G koşulu için kazanç elde edilebilir. Bilinmeyenler, katsayılar cinsinden,

$$\{x_1, x_2, \dots, x_n\} = \{C_1, C_2, \dots, C_n\} \quad (3.36)$$

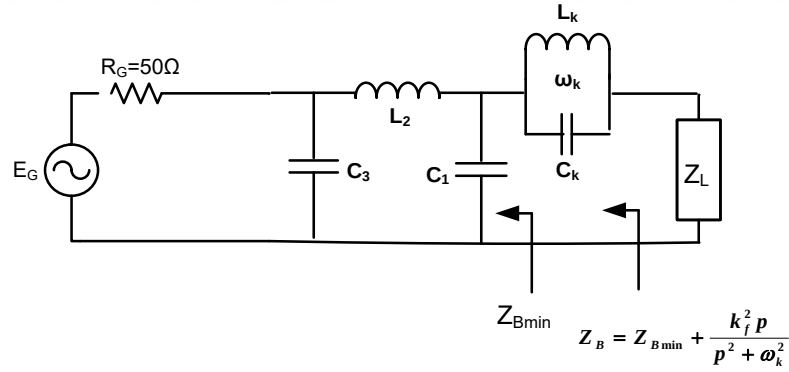
olarak verilir. Buradan da x_{n+1} bilinmeyeni elde edilir. Böylelikle laplace domaininde minimum fonksiyon,

$$Z_B(p) = Z_M(p) + Z_F(p) \quad (3.37)$$

şeklinde yazılabilir. Burada yazılan bütün hesaplamalar bilgisayar ortamında yazılan kodlar ile elde edilir. Ayrıca kodlar altında nümerik hesaplama algoritmaları çalıştırılmıştır. Verilen hesaplama için Levenberg-Marquat optimizasyon yöntemi kullanılmıştır. Buradan elde edilen polinomdan faydalanarak devre sentezlenir. Elde edilecek devre ile alakalı kazanç performansı ve devre eleman değerleri verilecektir. Devrenin kazanç performansını iyileştirmek için ve daha keskin bir kazanç eğrisi elde etmek için harmonik etkileri en aza indirmek adına kapan(trap) devresi denilen bir devre eklenecektir. Bununla ilgili teorik ifadeler aşağıda verilecektir.

3.1.1 Kapan Devresi Tasarımı

Empedans uyumlaştırma devresi ya da süzgeç tasarımlarında istenilen hedef fonksiyonunu yakalayabilmek amacıyla istenmeyen davranış sergileyen ve devredeki doğrusallığı etkileyen harmonikleri engellemek için kapan devresi tasarlanacaktır. Bu devrenin tasarımı ile ilgili teorik bilgiler bu bölümde kısaca ele alınacaktır.



Şekil 3.3: Bir Empedans Dönüştürücü İçin Kapan Devresi Tasarımı.

Bir önceki bölümde hesaplama adımları verilen devrede Foster Kesitinden faydalanarak tasarım gerçeklemek istenmiştir. Empedans dönüştürücünün sürme noktası immitansı minimum reaktans $Z_{Bmin} (Kflag) = 1$ olduğundan elde edilen Foster Kesiti burada bir rezonans olduğunu gösterir. Bu sebeple bu bir rezonans devresidir ve Z_{Bmin} ' e seridir. Bu Foster Kesiti için,

$$Z_F(p) = \frac{k_f^2 p}{p^2 + \omega_k^2} = \frac{\left[\frac{1}{C_k}\right]}{p^2 + \frac{1}{L_k C_k}} \quad (3.38)$$

yazılabilir. Bu durumda belirtilmelidir ki, rezonans devresi $k_f^2 > 0$ ve $\omega_{\text{rezonans}} = \omega_k$ olduğunda gerçekleştirilebilir. Öyleyse bir endüktörler kapasitörlerden oluşan merdiven devresi için kapan devresi elemanları,

$$C_k = \frac{1}{k_f^2} \quad (3.39a)$$

$$L_k = \frac{k_f^2}{\omega_k^2} \quad (3.39b)$$

olarak elde edilir. Rezonansı ötelemek için kesim frekansının üç katı kadar uzakta bir frekans seçilirse $f_k = 3 \times 5200 = 15600$ MHz olur. Böylelikle,

$$Z_B(p) = Z_{B\min}(p) + \frac{k_f^2 p}{p^2 + \omega_k^2} = \frac{a(p)}{b(p)} + \frac{k_f^2 p}{p^2 + \omega_k^2} \quad (3.40)$$

ve $Z_{B\min}$,

$$Z_{B\min}(p) = \frac{a(p)}{b(p)} \quad (3.41)$$

olur. Bu ifade $j\omega$ ile yazılırsa ve reel kısmı bulmak için,

$$Z_{B\min}(j\omega) = R_B(\omega) + jX_B(\omega) \quad (3.42)$$

Hilbert Dönüşümünden,

$$X_B(\omega) = \text{Hilbert Transform } \{R_B(\omega)\} \quad (3.43)$$

$$R_B(\omega) = \frac{1}{\frac{1}{2}[c^2(\omega) + c^2(-\omega)]} \quad (3.44)$$

bulunur. Katsayılar ise,

$$c(\omega) = c_1\omega^n + c_2\omega^{n-1} + \dots + c_n\omega + 1; \quad n = 3 \quad (3.45)$$

olarak örnek bir üç elemanlı devre için elde edilir. Buradan,

$$\begin{aligned} k_f &= 2.2807; \quad c = [8.4573 \quad 0.3829 \quad -5.6433 \quad 1]; \\ a &= [0 \quad 0.2755 \quad 0.1051 \quad 0.1182]; \\ b &= [1.0000 \quad 0.3816 \quad 0.7390 \quad 0.1182] \end{aligned} \quad (3.46)$$

hesaplanır.

Frekans normalizasyonu için $f_0 = 5200$ MHz ve sonlandırma direnci için $R_0 = 50$ ohm seçilir. Bu durumda kapan devresinin kapasitör değerleri,

$$C_k = \frac{1}{k_f^2} = 0.1922 \quad (3.47a)$$

$$C_{Ak} = \frac{C_k}{2\pi f_0 R_0} \quad (3.47b)$$

$$C_{Ak} = 1.1768e - 013 = 0.11768 \text{ pF} \quad (3.47c)$$

ve endüktör değerleri ise,

$$L_k = \frac{1}{(3\omega_0)^2 C_k} = \frac{1}{9C_k} = 0.5780; \quad (3.48a)$$

$$L_{Ak} = \frac{R_0}{2\pi f_0 R_0} \quad (3.48b)$$

$$L_{Ak} = 7.9603e - 009 \cong 8 \text{ nH} \quad (3.48c)$$

ve devrenin eleman değerleri(aktüel olarak),

$$C_{A1} = 2.2219e - 012 \cong 2.22 \text{ pF} \quad (3.49a)$$

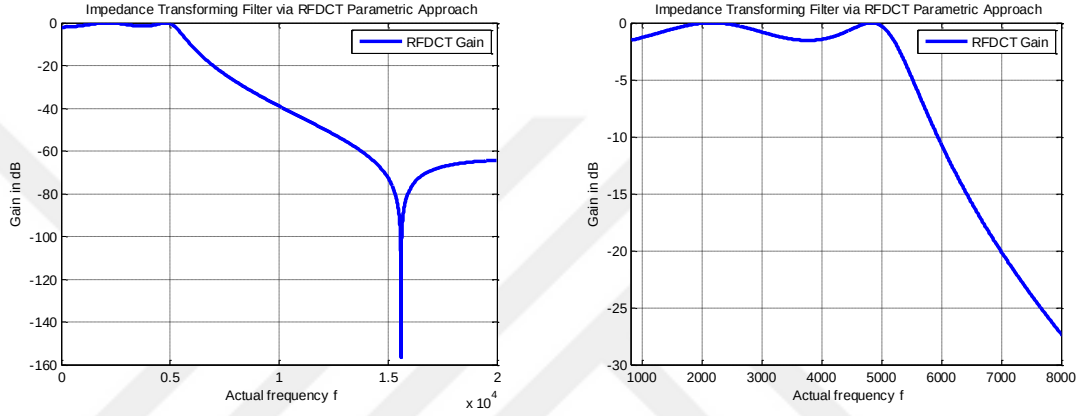
$$L_{A2} = 1.3606e - 009 \cong 1.36 \text{ nH} \quad (3.49b)$$

$$C_{A3} = 1.6042e - 012 \cong 1.6 \text{ pF} \quad (3.49c)$$

şeklinde elde edilir. Devrenin kazancı ise,

$$TPG = -0.7722 \text{ dB} \pm 0.7722 \text{ dB} \quad (3.50)$$

olarak hesaplanır. Devrenin kazanç performans eğrisi ise program çıktılarından aşağıdaki şekildeki gibi olur.



Şekil 3.4: 3 Elemanlı CLC Devresinin Kazanç Performansı.

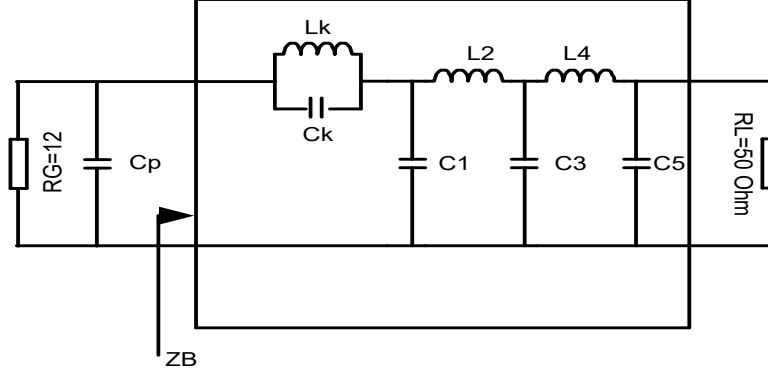
Devrenin performansını geliştirmek için devredeki eleman sayısı artırılabilir. Devrenin bant genişliği göz önünde bulundurulursa üstteki yukarıdaki şekilde elde edilen performans başarıımı kabul edilebilir. Bununla birlikte gerekli görülmesi halinde eleman sayısı artırılarak kazanç seviyesi yükseltilebilir ve dalgalılık azaltılabilir.

3.1.2 Parazitik Kapasitans Yaklaşımı

Elde edilen üç elemanlı devreyi yine aynı tasarım algoritmasıyla beş elemanlı devre haline dönüştürdüğümüzde devrenin performansının olumlu yönde değişeceği beklenmektedir. Burada yine, $Z_G(j\omega) = 50 + j0$ ve $Z_L(j\omega) = 12 + j0$ olarak seçilecektir ayrıca rezonans frekansı bu kez, $f_r = 1.7 * 5200 \text{ MHz} = 8840 \text{ MHz}$ olarak tasarlanırsa,

$$TPG = -0.58 \pm 0.58 \text{ dB} \quad (3.51)$$

olacaktır. Son durumda devre topolojisi aşağıdaki gibidir.



Şekil 3.5: Parazitik Etkilerin Kapasitans Olarak Modellenmesi.

Burada, çalışmanın en başından beri bahsedilen, bir güç aktarım devresinin ayarlanabilir bir güç aktarım devresine dönüştürülme ihtiyacını doğuran etmenlerden, parazitik etkilerin de devrenin girişine bağlanacak bir kapasitör yardımıyla modellenebileceğini ve bu etkinin farklı durumlarda devre performansı ile nasıl ilişkilendirilebileceğinin araştırması yapılacaktır.

Parazitik etkileri modellemek amacıyla seçilen kapasitör devrenin girişine şekildeki gibi bağlanacaktır ve girişe bağlanan bu kapasitörün değeri değiştirilerek farklı durumlar için devrenin kazanç performansı ve devredeki eleman değerlerinin değişimi incelenecektir.

Seçilen kapasitörün değeri 0 – 10 pF arasında değiştirilerek devrenin yukarıda bahsedilen elektriksel özellikleri irdelenecektir. Başlangıç durumu olarak $C_p = 0$ ele alınmıştır. Değişim sonucu elde edilen değerler aşağıda verilmiştir. Başlangıç durumuna göre göreceli değişimleri irdellemek için,

$$\Delta X_j = \frac{X_{ji} - X_{0i}}{X_{0i}} \quad (3.52)$$

ifadesi verilebilir. Buna göre elde edilen değişimler bize eleman değerlerinin devrenin başlangıç yani filtre durumuna göre ya da devrenin diğer durumlarına göre hassasiyetleri incelenecektir.

Tablo 3.1: Devrenin Eleman Değerlerinin Tüm Durumlara Göre Değişimi (Kapasitans Değerleri pF ve Endüktans değerleri nH).

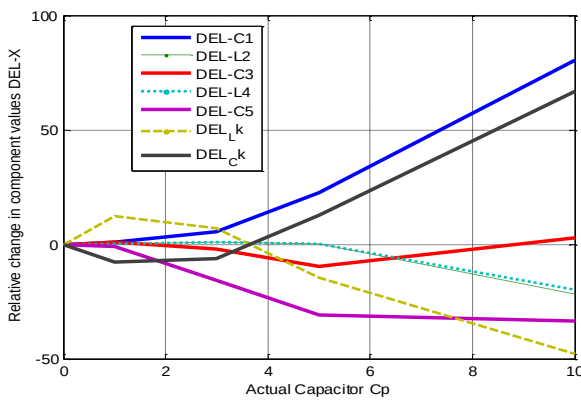
	(S0)	(S1)	(S2)	(S3)	(S4)
	$C_p = 0$	$C_p = 1$	$C_p = 3$	$C_p = 5$	$C_p = 10$
	TPG (dB)	TPG (dB)	TPG (dB)	TPG (dB)	TPG (dB)
	-0.58 ± 0.58	-0.602 ± 0.602	-0.79 ± 0.71	-1.36 ± 0.62	-2.89 ± 0.85
L_k (nH)	0.666	0.747	0.713	0.568	0.348
C_k (pF)	0.486	0.434	0.456	0.570	0.932
C_1 (pF)	2.34	2.36	2.47	2.87	4.22
L_2 (nH)	1.37	1.37	1.38	1.37	1.07
C_3 (pF)	2.32	2.34	2.27	2.10	2.38
L_4 (nH)	1.48	1.48	1.58	1.74	1.65
C_5 (pF)	1.48	1.47	1.26	1.02	0.99

Elde edilen eleman değerlerine göre tüm durumlardaki değişimler ve görelî değişimler aşağıdaki tablodaki gibidir(kapasitans değerleri pF ve endüktans değerleri nH cinsindendir). Görelî durumlar için verilen tablo, tüm durumlar için her bir eleman tek tek ele alınarak referans duruma(S0; $C_p = 0$) göre değişimleri yine referans durumla normalize edilerek oluşturulmuştur. Bu tablo incelenerek uyumlaşma devresinin ayarlama stratejisi geliştirilebilir. Devredeki her bir elemanın, devrenin girişindeki parazitik elemanın değişimi neticesindeki davranışı, ayarlanabilir bir devre tasarlarken

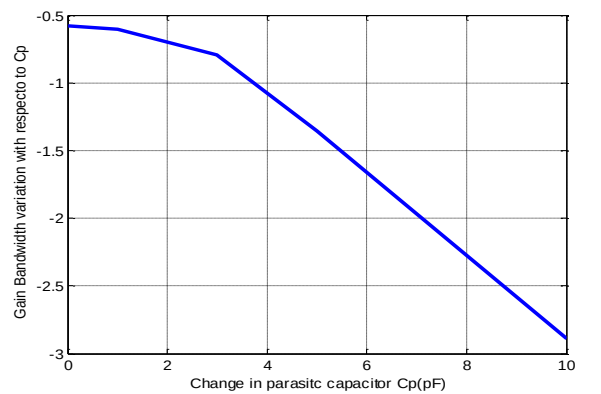
hangi elemanların devrenin empedans değerine ne kadar etki edeceği hususunda bilgi verecektir. Aşağıdaki tablo ve şekiller incelendiğinde görülmektedir ki C_3 kapasitesinin, devrenin değişime karşı göstermiş olduğu hassasiyet diğer devre elemanları göz önünde bulundurulduğunda daha azdır. Devreyi oluşturan L_2 ve L_4 endüktörleri için de hassasiyetleri incelendiğinde ve bu hassasiyetler üretim zorlukları ile değerlendirildiğinde bu elemanların da ayarlanabilirliğe katkıları düşük olacaktır.

Tablo 3.2: Görelî Durumların Hesaplanması.

Başlangıç Durumu	$C_p = 0$	L_{0k}	C_{0k}	C_{01}	L_{02}	C_{03}	L_{04}	C_{05}
		0.666	0.486	2.34	1.37	2.32	1.48	1.48
S1	$C_p = 1$	L_{1k}	C_{1k}	C_{11}	L_{12}	C_{13}	L_{14}	C_{15}
		0.747	0.434	2.36	1.37	2.34	1.48	1.47
Başlangıç Durumuna Göre Normalize Durumlar	$\frac{x_{i1} - x_{01}}{x_{01}}$	$\frac{L_{1k} - L_{0k}}{L_{0k}}$	$\frac{C_{1k} - C_{0k}}{C_{0k}}$	$\frac{C_{11} - C_{01}}{C_{01}}$	$\frac{L_{12} - L_{02}}{L_{02}}$	$\frac{C_{13} - C_{03}}{C_{03}}$	$\frac{L_{14} - L_{04}}{L_{04}}$	$\frac{C_{15} - C_{05}}{C_{05}}$
		ΔL_{1k}	ΔC_{1k}	ΔC_{11}	ΔL_{12}	ΔC_{13}	ΔL_{14}	ΔC_{15}
	ΔX_1	12.16	-7.80	0.85	0.14	0.86	0.13	-0.87
	ΔX_2	7.05	-6.06	5.55	0.95	-2.15	0.87	-15.87
	ΔX_3	-14.68	12.68	22.52	0.36	-9.61	0.33	-30.87
	ΔX_4	-47.80	67.03	80.62	-21.64	2.77	-19.96	-33.41



a)



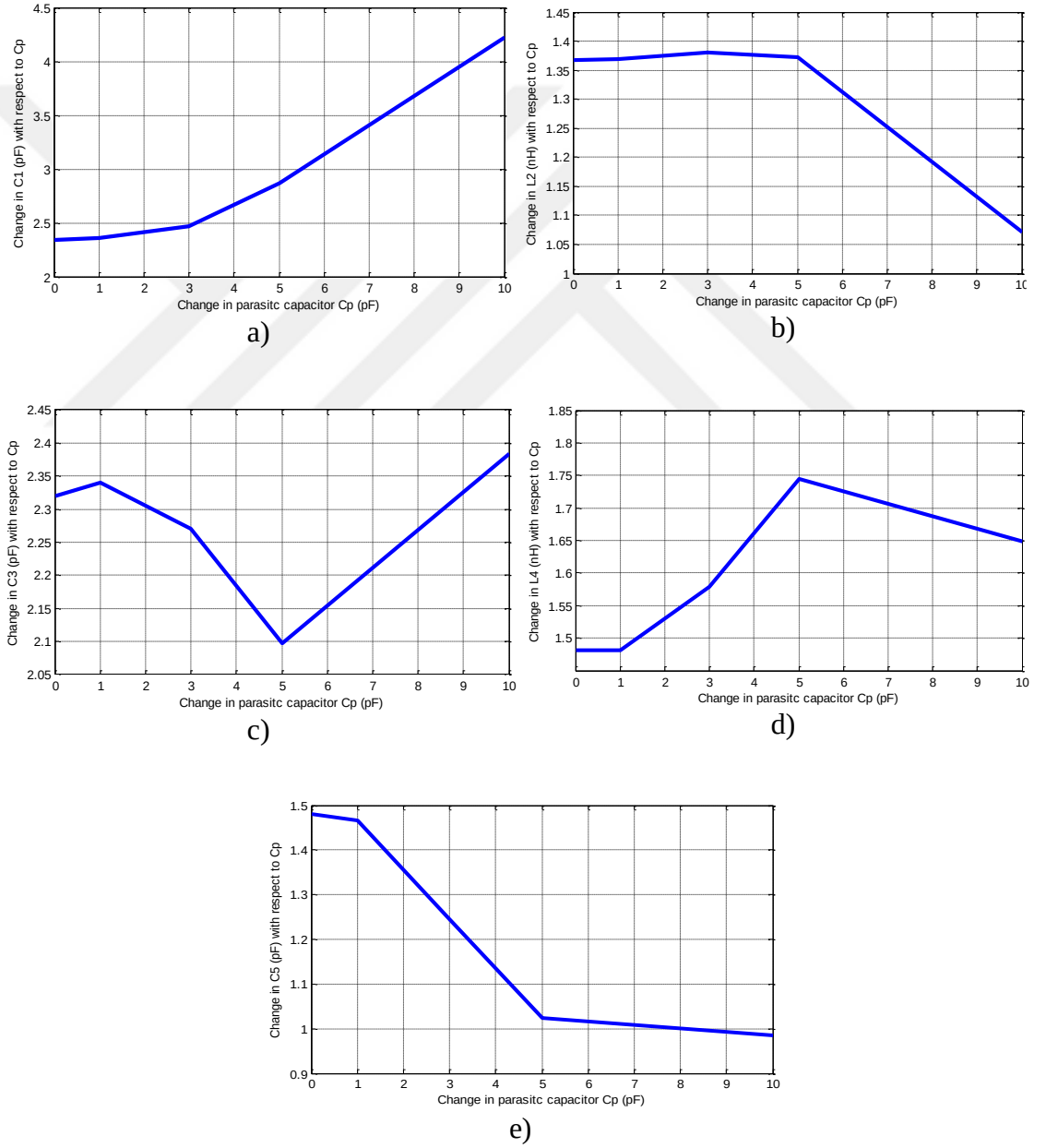
b)

Şekil 3.6: Parazitik Kapasiteye Göre a) ΔX_i b) Kazanç Değişimi.

Elde edilen veriler parazitik kapasitörün değişimine göre toplu halde çizdirildiğinde Şekil 3-6a' daki eğriler elde edilir. Ayrıca kazancın da C_p ' ye göre çizdirilmesi durumunda Şekil 3-6b elde edilmiş olur. Buradan da değişimleri parazitik kapasitöre göre ifade edersek,

$$\Delta X_j = f(C_p) \quad (3.53)$$

şeklinde yazılabilir.



Şekil 3.7: Her Bir Elemanın Parazitik Kapasitöre Göre Değişimi.

Elde edilen grafiklerden de anlaşılacağı üzere C_1 ve C_5 kapasiteleri ayarlanabilirlik için seçilebilecektir. Bu seçimdeki önemli nokta bu iki elemanın diğer elemanlara göre parazitik etkilere karşı hassasiyetinin daha fazla olması ve üretimdeki zorluklar düşünüldüğünde endüktörlerin de yüksek frekansta ayarlanabilir yapıda üretilmesinin zorluğu bilindiğinden bu seçimde karar kılınmıştır. Devreler için elde edilen eğrilerden hareketle bir ayarlanabilirlik uygulaması yapılmıştır. Bunun için ayarlanabilir eleman olarak seçilen elemanlar öncelikle $R_0=50$ ve $f_0=5200$ MHz ile normalize edilecektir. Böylelikle normalize değerler üzerinden çalışmak hesap kolaylığı sağlayacaktır. Elde edilen normalize değerleri özetlemek gerekirse aşağıdaki gibi olur.

$$c_p = \omega_0 R_0 C_{p\text{-actual}} = (2\pi f_0) R_0 C_{p\text{-actual}} \quad (3.54a)$$

$$c_1 = \omega_0 R_0 C_{1\text{-Anlık}} = (2\pi f_0) R_0 C_{1\text{-Anlık}} \quad (3.54b)$$

$$c_5 = \omega_0 R_0 C_{5\text{-Anlık}} = (2\pi f_0) R_0 C_{5\text{-Anlık}} \quad (3.54c)$$

Buradan da normalize değerlerin C_p ’ ye göre değişimi tablo halinde gösterilirse,

Tablo 3.3: Normalize Değerlerin C_p ’ ye Göre Değişimi.

C_p (pF)	0	1	3	5	10
C_p (Norm.)	0	1.63	4.90	8.17	16.34
C_1 (Norm.)	3.82	3.85	4.03	4.68	6.90
C_5 (Norm.)	2.42	2.40	2.03	1.67	1.61

şeklinde elde edilir. Burada polinom uydurma fonksiyonu uygulanarak C_1 ve C_5 için polinom hesaplanır. Bu iki kapasite için C_p ’ ye bağlı normalize değerler,

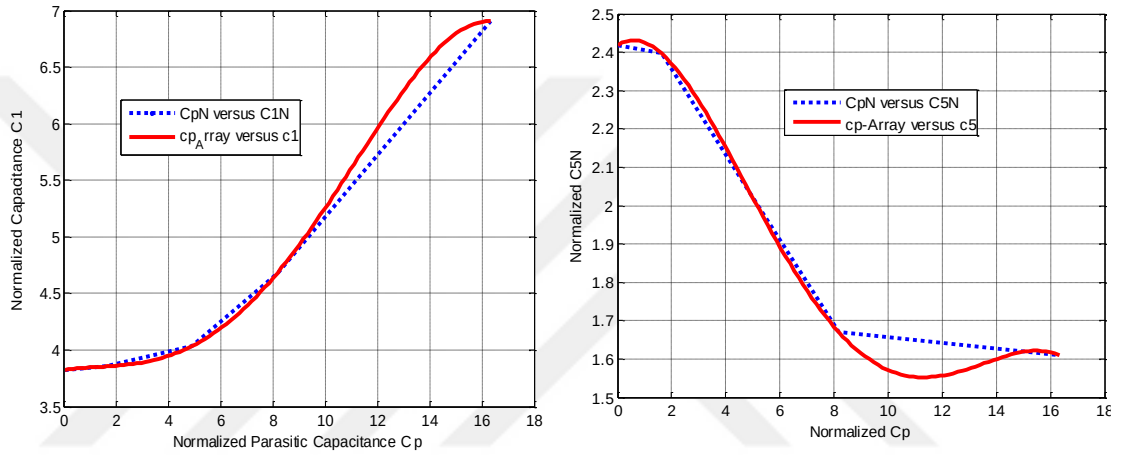
$$c_1 = a_{11}C_p^4 + a_{21}C_p^3 + a_{31}C_p^2 + a_{41}C_p + a_{51} \quad (3.55a)$$

$$c_1 = [-1.7575e - 004]C_p^4 + [0.0044]C_p^3 + [-0.0155]C_p^2 + [0.0344]C_p + [3.8227] \quad (3.55b)$$

$$c_5 = a_{15}c_p^4 + a_{25}c_p^3 + a_{35}c_p^2 + a_{45}c_p + a_{55} \quad (3.55c)$$

$$c_5 = [-1.1218e-004]c_p^4 + [0.0041]c_p^3 + [-0.0429]c_p^2 + [0.0466]c_p + [2.4178] \quad (3.55d)$$

olarak elde edilir. Bu değerler ayarlama uygulaması için temel alınabilecek yöntemi vermektedir. Normalize elemanlar kullanılarak örnek bir uygulama üzerinde çalışılırsa anlatılmak istenen durum özetlenmiş olacaktır. Bunun için keyfi bir parazitik kapasitans değeri seçerek uygulayalım.



Şekil 3.8: Normalize Değerlerin Polinom Uydurması.

Tasarlanmak istenen keyfi uygulama için parazitik kapasitans değeri 3.75 pF olarak seçilirse ve daha önce belirttiğimiz normalizasyon değerleri için $R_0=50$ ve $f_0=5200$ MHz seçilirse C_p 'nin normalize değeri $c_p = \omega_0 R_0 C_{p\text{-actual}} = (2\pi f_0) R_0 C_{p\text{-actual}}$ ifadesinden $c_p=6.1261$ olarak elde edilir. Daha sonra normalize değer olarak c_1 elde edilir ve buradan faydalanarak da aktüel değer elde edilecektir. Programdan “polyval” kullanılarak,

$$a1 = [-0.0002 \quad 0.0044 \quad -0.0155 \quad 0.0344 \quad 3.8227] \quad (3.56a)$$

$$c_1 = \text{polyval}(a1, cp) \quad (3.56b)$$

$$c_1 = \text{polyval}(a1, 6.1261) \quad (3.56c)$$

$$c_1 = 4.2150 \quad (3.56d)$$

Elde edilen normalize c_1 değerinden aktüel değer,

$$C_{1-Actual} = \frac{c_1}{\omega_0 R_0} = \frac{c_1}{(2\pi f_0) R_0} = 2.5802e^{-12} \quad (3.57)$$

olarak bulunur. Referans durum olan $C_p = 0$ değeri için $C_1 = 2.34e^{-12}$ olarak elde edilmişti, buradan elde edilen bu iki durum arasındaki farkı hesaplırsak, $\Delta C_1 = C_{1-Actual} - C_{1(RD)} = 2.5802e^{-12} - 2.34e^{-12} = 2.4020e^{-13}$ elde edilir. Böylelikle ufak bir kapasitans eklenmesi/değişimi ile bu kapasitör istenen değere ayarlanmış olacaktır.

Yukarıda yapılan işlemleri benzer şekilde, ayarlama stratejisi gereği bir diğer kapasitör olan C_5 için de uygulayalım. Bu durumda,

$$a5 = [-0.0001 \quad 0.0041 \quad -0.0429 \quad 0.0466 \quad 2.4178] \quad (3.58a)$$

$$c_5 = \text{polyval}(a5, c_p) \quad (3.58b)$$

$$c_5 = \text{polyval}(a5, 6.1261) \quad (3.58c)$$

$$c_5 = 1.8781 \quad (3.58d)$$

şeklinde elde edilir. Bu durumda, aktüel değeri bulmak için,

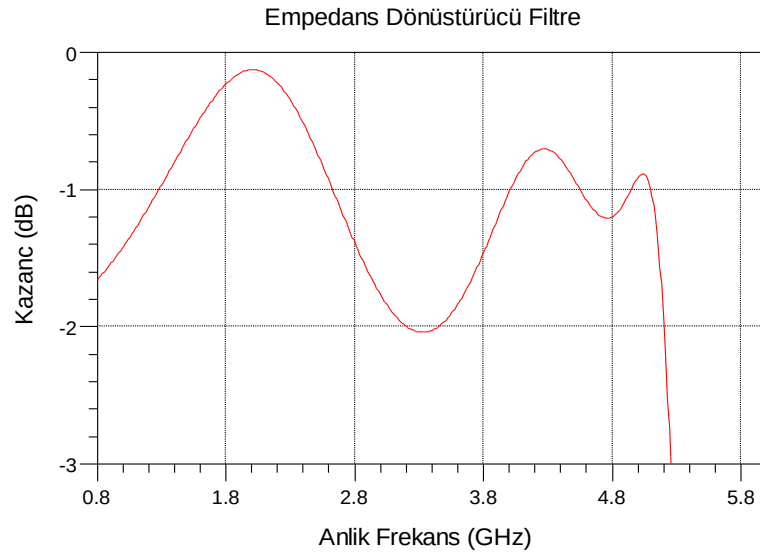
$$C_{5-Actual} = \frac{c_5}{\omega_0 R_0} = \frac{c_5}{(2\pi f_0) R_0} = 1.1496e^{-12} \quad (3.59)$$

yazılarak elde edilir. Daha sonra referans durum olan C_p durumundaki aktüel C_5 değeri ile karşılaştırmak için $\Delta C_5 = C_{5-Actual} - C_{5(RD)} = 1.48e^{-12} - 1.1496e^{-12} = 3.3040e^{-13}$ hesaplanır. Buradan da buraya da bir kapasitans eklenmesi/değiştirilmesi gerektiği bulunur. Son

olarak, $C_p = 3.75pF$ değeri için ayarlanmış devrenin kazancı elde edilir. Bunun için referans durumdaki ve ayarlanmış durumdaki devrenin eleman değerleri tabloda verilmiştir. Buna göre diğer elemanlar sabit tutularak sadece C_1 ve C_5 kapasiteleri ayarlanarak parazitik bir kapasitenin devrenin davranışına etkisini incelemek suretiyle devreye ayarlanabilirlik uygulanmıştır. Bu uygulama neticesinde elde edilen değerler aşağıdaki tablodan ve şekilden incelenebilecektir. Bu yaklaşımın pratikteki uygulamalarına ilerleyen bölümlerde çeşitli ayarlanabilir devre elemanı kullanarak değinilecektir.

Tablo 3.4: Keyfi Bir Uygulama İçin Devre Eleman Değerleri.

	L_k	C_k	C_1	L_2	C_3	L_4	C_5
$C_p = 0$	$6.66e^{-10}$	$4.86e^{-13}$	$2.34e^{-12}$	$1.367e^{-9}$	$2.32e^{-12}$	$1.482e^{-9}$	$1.48e^{-12}$
$C_p = 3.75$	$6.66e^{-10}$	$4.86e^{-13}$	$2.5802e^{-12}$	$1.367e^{-9}$	$2.32e^{-12}$	$1.482e^{-9}$	$1.1496e^{-12}$



Şekil 3.9: Ayarlanan Devrenin Performansı.

3.2. MEMS İLE AYARLANABİLİR DEVRE TASARIMI

Bir önceki bölümde ayarlanabilir bir devre için parazitik kapasitans yardımıyla çeşitli keyfi senaryolar uygulanarak devre eleman değerlerindeki değişimin nasıl olacağı gösterilmiştir. Bu değişimler neticesinde devre elemanlarında meydana gelen farklılıkların, devrede kullanılan sabit/ayarlanmayan devre elemanlarının isteğe ya da uygulamaya bağlı olarak birkaçının ya da tamamının ayarlanabilir elemanlarla değiştirilerek sağlanabileceği sonucuna ulaşılmıştır. Böylelikle, tasarımlardaki sabit devre elemanları ayarlanabilir elemanlarla değiştirilerek devrenin ayarlanabilirliği sağlanacaktır.

Ayarlanabilir devre elemanlarının, devrenin topolojisi ve üretimdeki kısıtlar ele alındığında kapasitörlerden seçilmesi tasarımın başarımını mümkün kılacaktır. Ayarlanabilir kapasitörler ele alındığında Mikro Elektro-Mekanik Anahtarlar(MEMS), Dijital Ayarlanabilir Kapasitörler(DTC), Varaktör Diyotlar vb. olarak sınıflandırılabilirler. Yapılan çalışmalarda bahsedilen ayarlanabilir elemanların başarımları tabloda özetlenmiştir. Buna göre herhangi bir eleman için diğerinden daha avantajlı demek mümkün değildir ve uygulamadaki istemlere göre eleman seçimlerinin yapılması gerekmektedir. Tablodaki bilgiler yazarın daha önce tamamladığı projelerden ve çalışmalardan elde edilmiştir. Bu veriler ışığında daha önceki bölümde bahsedilen yaklaşımdan faydalanarak farklı tasarım teknikleri uygulanarak devre elde edilecektir.

Tablo 3.5: Ayarlanabilir Elemanların Elektriksel Başarımları¹.

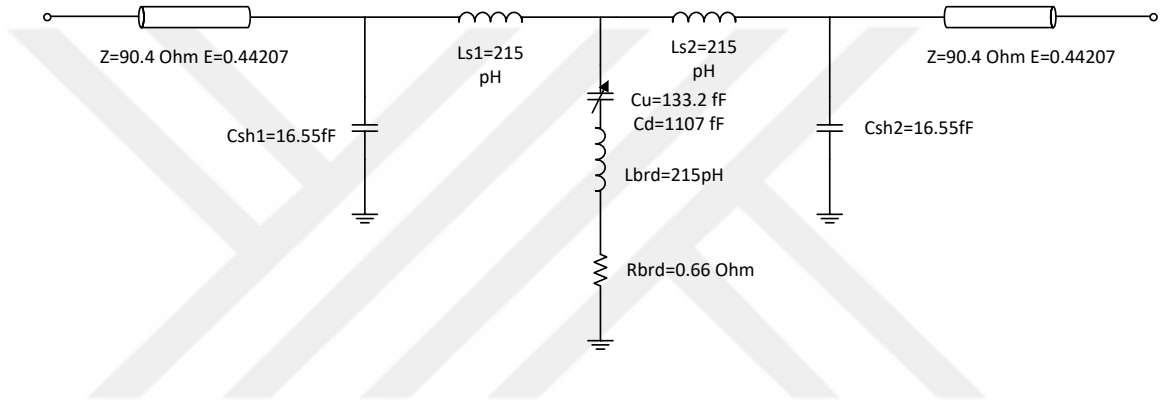
Kriter	MEMS	Varaktör Diyot	DTC	CMOS Anahtar
Insertion Loss	En İyi	İyi	İyi	Kötü
Lineerlik	En İyi	Kötü	İyi	İyi
Harmonikler	En İyi	Kötü	Orta	İyi
Ayarlama Menzili	Kötü	En İyi	Orta	Kötü
Tepki Süresi	İyi	İyi	İyi	En İyi

¹TÜBİTAK-ARDEB 1001 Projesi, Proje No:110E105

MEMS yapıların araya girme kayıplarının düşük olması, çalışmada elde edilmek istenen tasarımda kullanmamız için temel sebep olarak değerlendirilebilir[41]. Yukarıdaki tabloda özet halde ayarlanabilir yapıların birbirlerine olan üstünlüklerinden

bahsedilmiştir. Bu bağlamda MEMS yapıların bu gibi kayıplar açısından üstünlükleri olduğu gibi ayarlama çözünürlüğü ve menzili bakımından da diğer yapılara göre daha kötü olduğu da belirtilmelidir. Ancak uygulamaya bağlı olarak da tasarımlardaki tercihlerde değişkenlikler olabileceğinden daha önce bahsedilmiştir. Bu bağlamda düşük kayıplı tasarım yapılmak istendiğinde bu yapılar tercih edilebileceğinden MEMS yapıyla elde edilen bazı uygulamaları bu bölümde inceleyeceğiz.

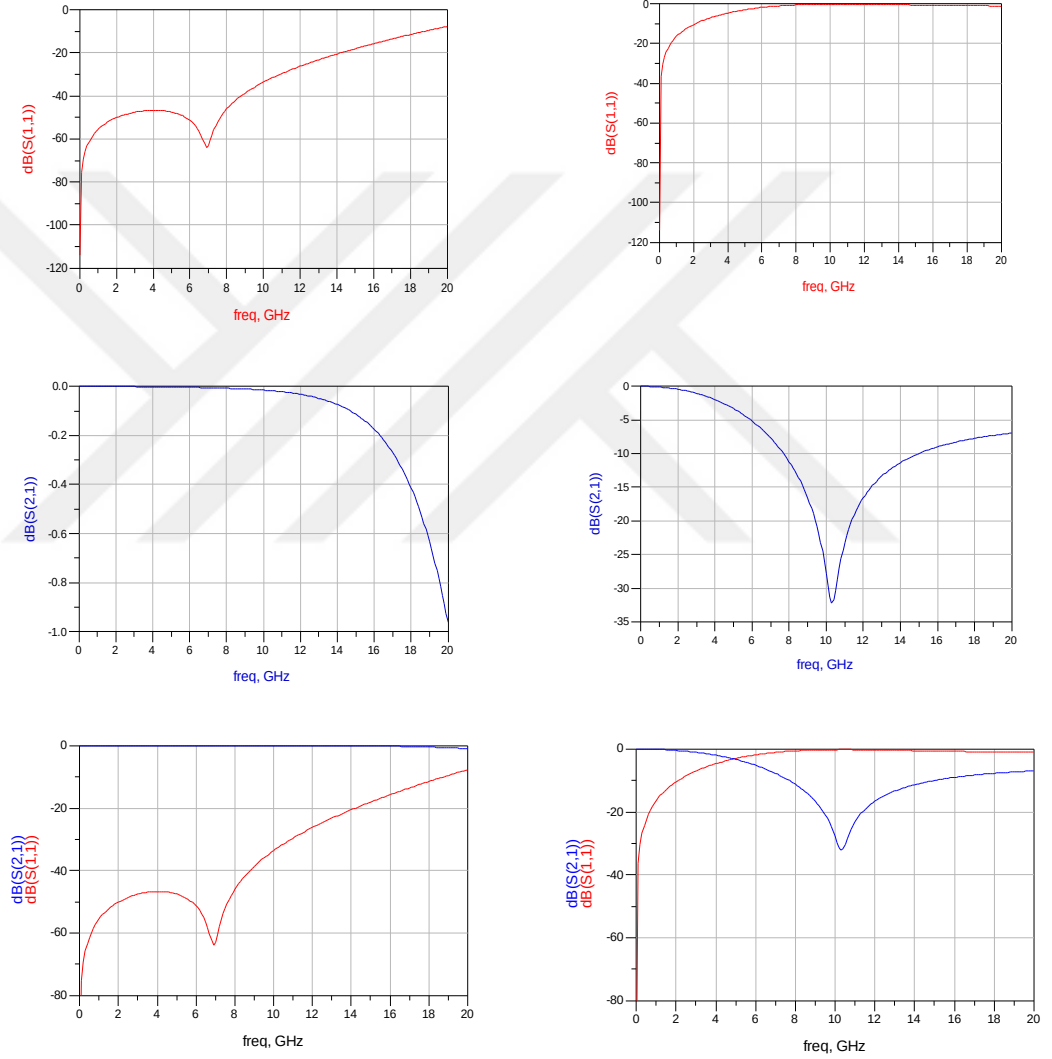
Çalışmada kullanılan yapı ODTÜ MEMS Araştırma Merkezi bünyesinde geliştirilmiştir[42]. Bu nedenle merkezde tasarlanan yapılar tasarımımıza uyarlanmıştır.



Şekil 3.10: Düşük Frekans MEMS Eşdeğer Devre Modeli.

Daha önce tasarladığımız 5 elemanlı uyumlaşma devresinde ayarlanabilirlik topolojisi geliştirmek için parazitik kapasite yaklaşımında bulunulmuştur. Bu yaklaşıma göre parazitik kapasitenin değişimine göre değişen devre elemanlarının değerleri incelenerek ayarlanabilme stratejisi belirlenmiştir. Buradan hareketle MEMS yapısının geliştirilen ayarlanabilme topolojisine uygun olarak ayarlanabilirliği sağlayıp sağlayamayacağını görebiliriz. Aşağıdaki şekilde düşük frekansta çalışan modelin bilgisayar benzetim sonuçları verilmiştir. Burada bu yapının tasarım gereği bir bitlik çalışma aralığına sahip olduğunu belirtmek gerekir. Bu bağlamda anahtarlama işlemi iki değere ayarlanabilmektedir, bu durumda Cu ile gösterilen MEMS yapısındaki anahtarlama mekanizmasının yukarı durumda olduğunu, Cd ile gösterilenin de anahtarlama mekanizmasının aşağı durumda olduğunu söylemeliyiz. Devre modellerinin tüm elektriksel özellikleri edinilemediğinden elde edilen değerler bire bir gerçek tasarımla örtüşmese de çok yakın tutarlılıkta başarımlıdır. Burada öncelikli amacın modellere birebir uyan sonucun elde edilmesinden ziyade farklı kapasitans değerlerinin elde edilebilmesinin sağlanmasıdır. Bu kıstasın sağlandığı da MEMS modelleri devreye

uyarlandığında görülebilecektir. Düşük frekans modelinin başarımını veren şeklin ardından yine tasarımıımızda faydalanabileceğimiz orta frekans ve yüksek frekans devre modellerinin başarımları sırasıyla irdelenecektir. Burada ifade etmek gerekir ki, bu modellerin tamamı daha önce öne sürülen beş elemanlı ayarlanabilir uyumlaşma devresi prototipine uygundur ve farklı kapasitans aralıklarını ve değerlerini devreye uygulamak adına üç farklı model tasarıma entegre edilecektir.



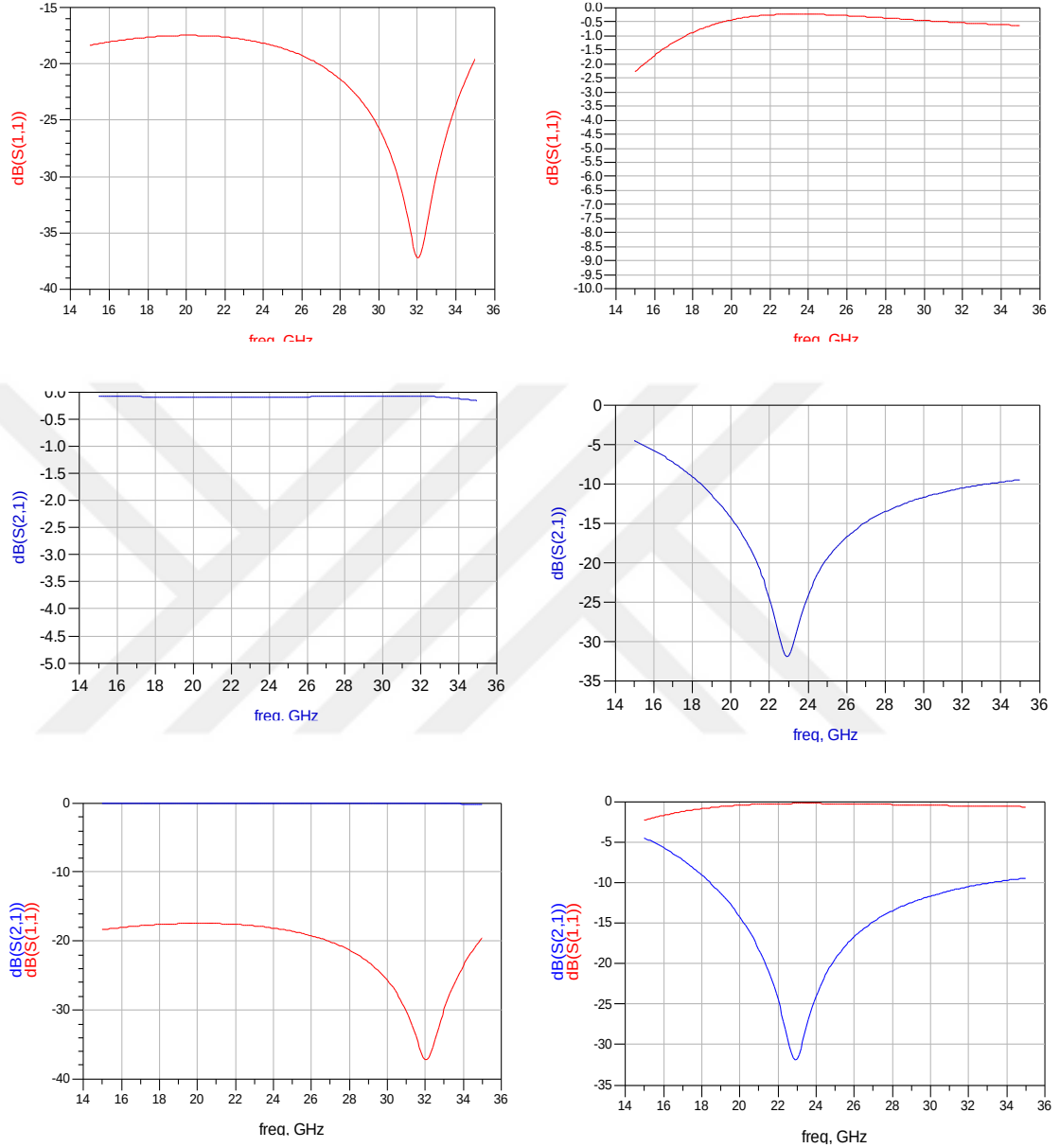
a) Cu durumu

b) Cd durumu

Şekil 3.11: Düşük Frekans MEMS Modeli İçin S_{11} ve S_{21} .

Şekilde (a) ve Cu (yukarı) durumu için, (b) ise Cd (aşağı) durumu için benzetim sonuçlarını göstermektedir. Elde edilen sonuçlara bakıldığında ODTÜ'den alınan

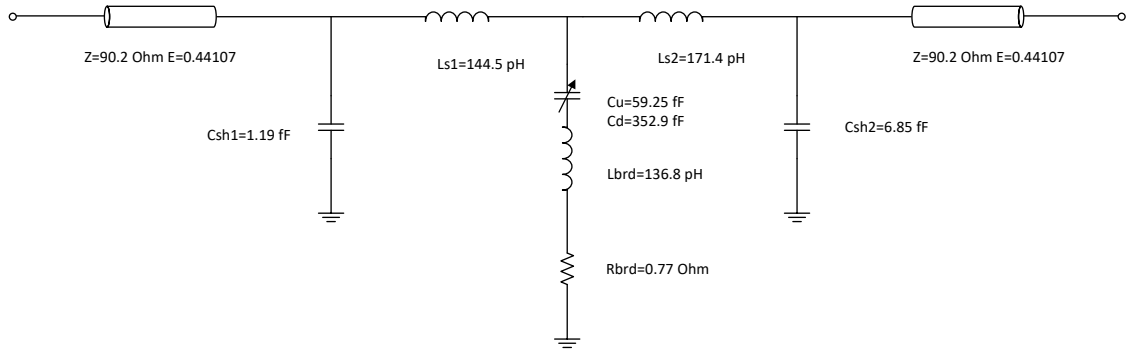
değerlerle tutarlık görülmektedir. Diğer MEMS modellerinin de bilgisayar benzetimi yapılarak bizim tasarımıımızda kullanılabileceğini gösterelim.



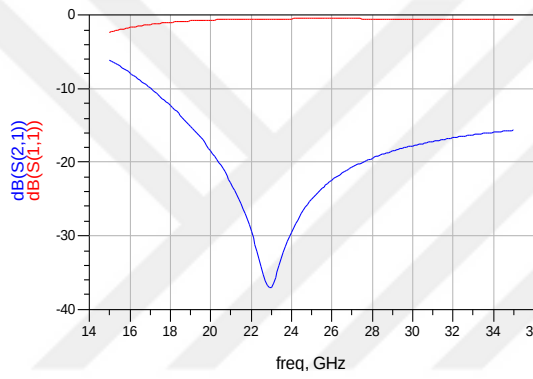
a) Cu durumu

b) Cd durumu

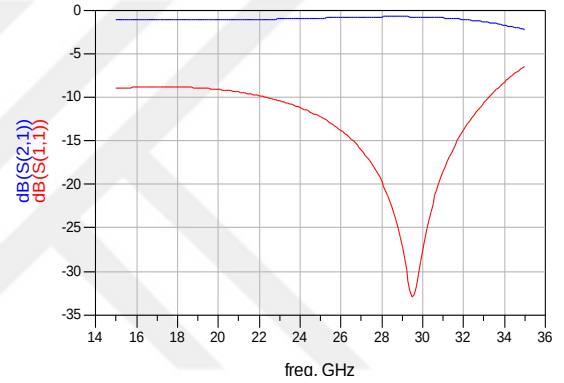
Şekil 3.12: Orta Frekans MEMS Modeli İçin S_{11} ve S_{21} .



Şekil 3.13: Orta Frekans MEMS Eşdeğer Devre Modeli.



a) Cu durumu



b) Cd durumu

Şekil 3.14: Yüksek Frekans MEMS Modeli İçin S_{11} ve S_{21} .

Yapılan bilgisayar benzetimleri ve modellemeler sonucunda ODTÜ Ankara'dan edinilen tasarımların çalışılmak istenen frekanslarda yüksek kazançta olduğu gösterilmiştir. 5 elemanlı uyumlaşma devresi prototipimizde kullanılabilecek modelleri belirledikten sonra bu tasarımları devreye uygulayarak uyumlu bir şekilde çalışıp çalışmadığına bakalım ve çıkan benzetim sonuçlarını değerlendirmek için modellerin ADS yazılımında[43] benzetimlerini gerçekleştirdik. Bu sonuçları aşağıda inceleyebiliriz.

Daha önce elde ettiğimiz Tablo 3-1'deki değerler yardımıyla ayarlanması için belirlenen iki kapasitör (C_1 , C_5) yerine kaç tane MEMS'in hangi durumlarda kullanılacağına karar verilmiştir. Buna göre yapılan hesaplarda referans durumu elde edebilmek için 6 tane MEMS i farklı durumlarda ve melez bir şekilde kullanmak elde edilmek istenen sonuca

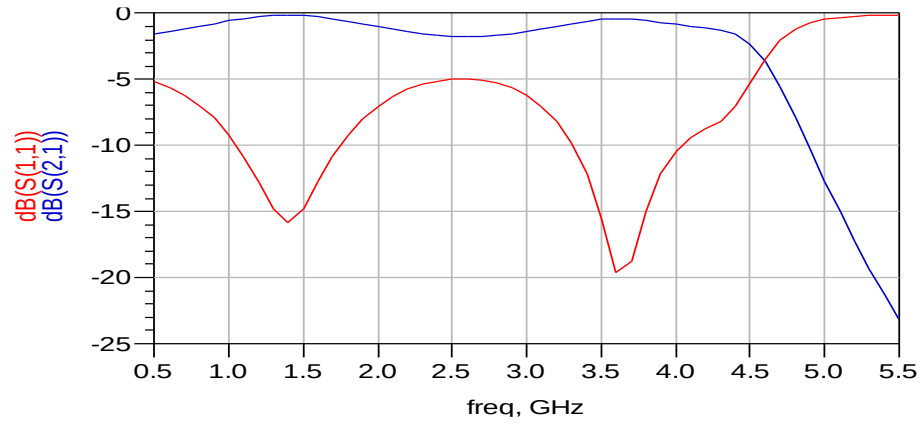
ulařmada yardımcı olacaktır. MEMS'lerle oluşturulan ayarlanabilir yeni devrede 5 tane 12 GHz'lik 1 tane de 35 GHz'lik MEMS kullanılarak melez bir yapı ortaya çıkmıştır. Bu MEMS'leri referans durum için C_1 yerine;

- 12 GHz d (down=ařağı durumu ya da mantıksal kontrol için 1 durumu) $C_d = 1107$ fF
- 12 GHz d (down=ařağı durumu ya da mantıksal kontrol için 1 durumu) $C_d = 1107$ fF
- 35 GHz u (up=yukarı durumu ya da mantıksal kontrol için o durumu) $C_u = 51.06$ fF

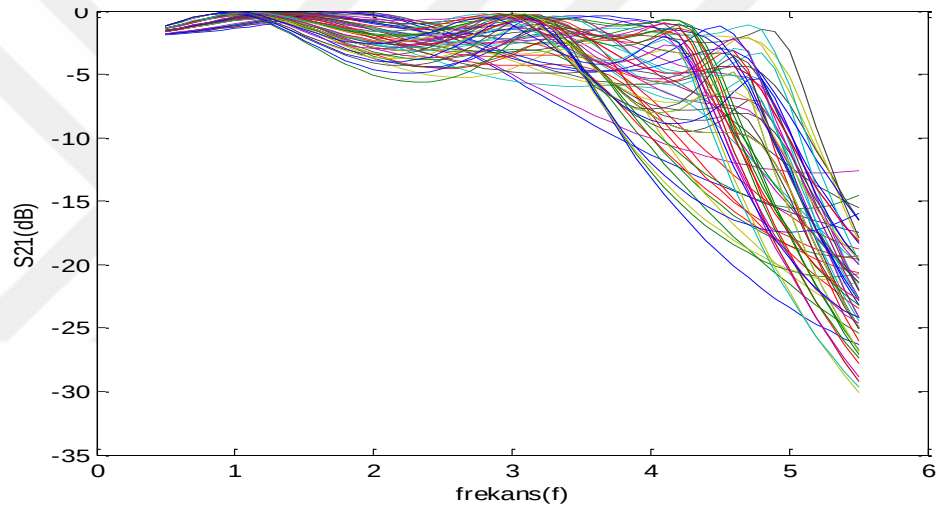
C_5 yerine;

- 12 GHz d (down=ařağı durumu ya da mantıksal kontrol için 1 durumu) $C_d = 1107$ fF
- 12 GHz u (up=yukarı durumu ya da mantıksal kontrol için o durumu) $C_u = 133.2$ fF
- 12 GHz u (up=yukarı durumu ya da mantıksal kontrol için o durumu) $C_u = 133.2$ fF

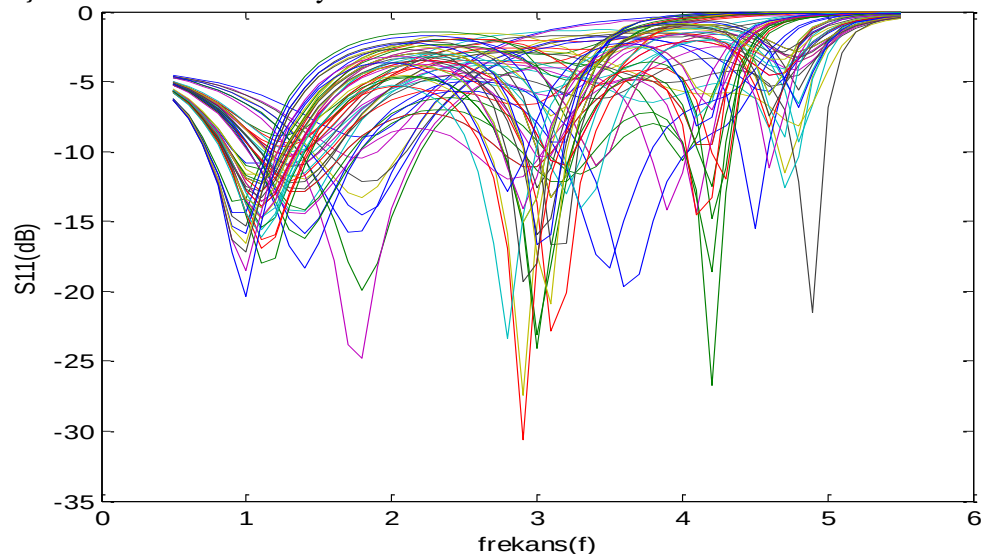
durumları belirlenerek ayarlanabilir devre oluşturulmaya çalışılmıştır. Bunun ardından devrenin bilgisayar benzetimi yapılarak kazanç ve geri dönüş kayıpları(return loss) gibi parametreler incelenmiştir. Böylelikle elde edilen grafikler ařağıdadır.



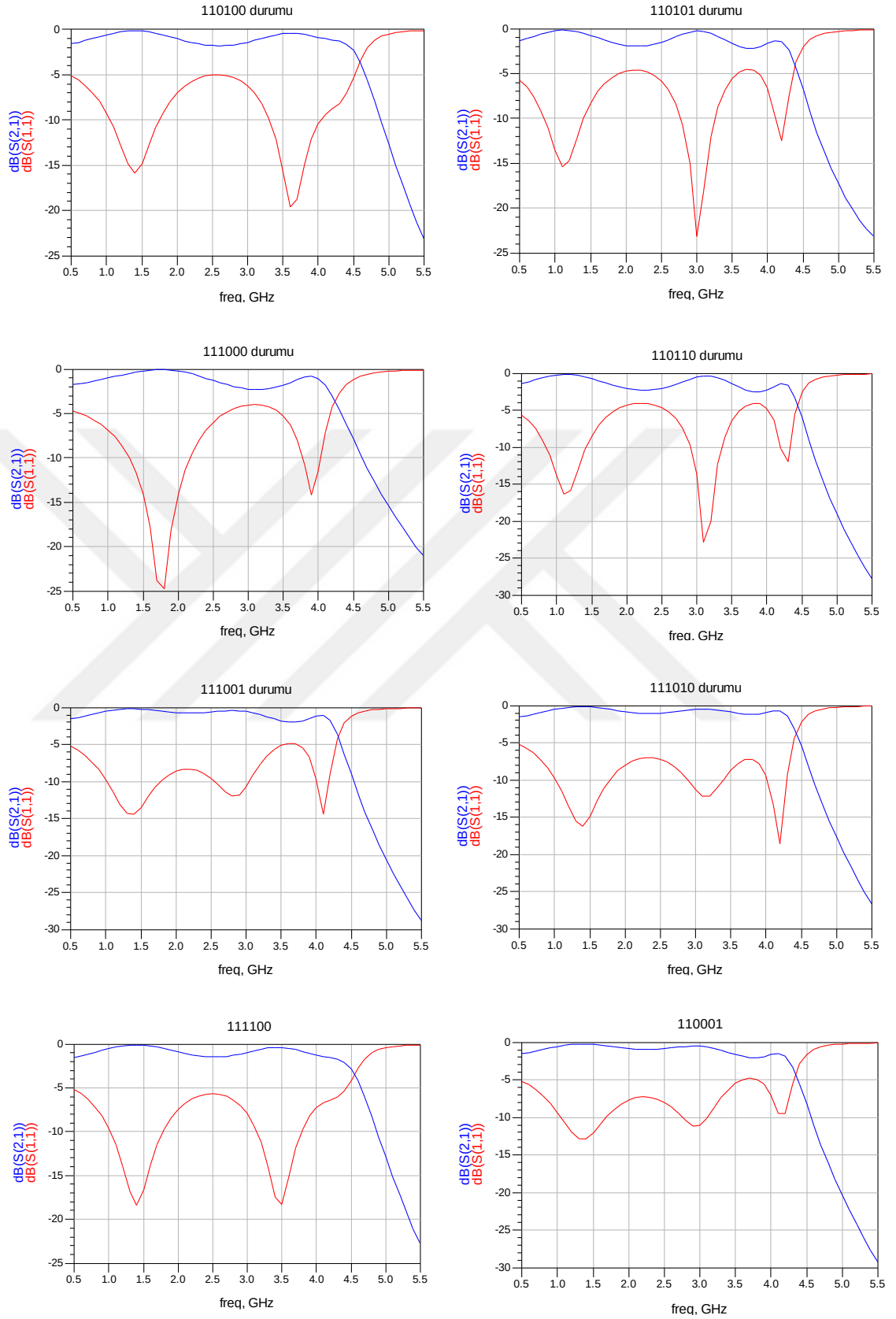
Şekil 3.15: 5 Elemanlı Ayarlanabilir Devrenin Benzetim Sonucu S_{21} ve S_{11} .



Şekil 3.16: 5 Elemanlı Ayarlanabilir Devrenin Olası Tüm Durumlarda Kazancı.



Şekil 3.17: 5 Elemanlı Ayarlanabilir Devrenin Olası Tüm Durumlarda S_{11} Başarımı.



Şekil 3.18: Keyfi Bazı Durumlar İçin Devrenin S_{11} ve S_{21} Başarımı.

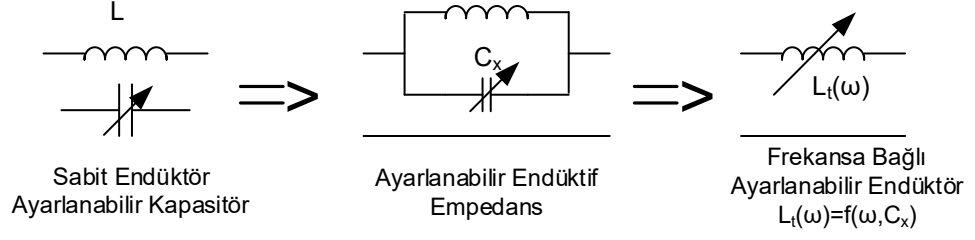
MEMS yapılarını karışık bir şekilde kullanarak oluşturulan devrenin ayarlanabilirliği için 6 adet MEMS'in olası tüm durumları tek tek denenerek tüm olasılıklarda S_{11} ve S_{21} hesaplanmıştır. Bu grafik incelendiğinde devrenin ayarlanabilirliğinin oldukça geniş bir frekans aralığında sağladığı görülebilmektedir. S_{21} ' e bakıldığında kazancın genellikle yüksek olduğu ve S_{11} grefiğinde de ayarlanabilirliğin geniş bir frekans aralığında sağlandığı yorumlanabilir.

Yukarıda MEMS anahtarlar için bazı durumlar gösterilmiştir. S_{11} ve S_{21} değerlerine bakıldığında kazanç seviyesi ve ayarlanabilirlik hakkında bilgiler edinilmektedir. Buradan da ayarlanabilirliğin sağlandığı gözlemlenebilmektedir. Bazı özel durumlardaki sonuçlar Şekil 3-18'deki gibidir.

Tablo 3-5'e bakıldığında çeşitli elemanların uygulamaya göre seçilebileceği açık bir şekilde gösterilmiştir. Parazitik kapasitans yaklaşımının gerçekleştirilmesi için kapasitif elemanları değiştirmenin üretim safhasında zorlukları bertaraf etmede faydalı olacağından bahsedilmiştir. Ancak teorik bir tasarım olarak sadece kapasitif elemanların değil endüktif elemanları da kontrol etmek tasarımdaki kutup-sıfır seçimindeki kararlılık açısından faydalı olabilmektedir. Ayrıca ayarlanabilirlik uygulamasında serbestlik mertebesini artırabileceğinden istenilen tasarım elde edilebilecektir. Bunun için endüktörlere eklenecek ayarlanabilir elemanlarla endüktans üzerinde ayarlama sağlanabilecektir. Bu yaklaşım bir sonraki bölümde irdelenmiştir.

3.3. FREKANSA BAĞLI AYARLANABİLİR ENDÜKTÖR TASARIMI

Daha önceki bölümlerde bahsedilen ayarlanabilirlik uygulamasını gerçeklemek için farklı ayarlanabilir kapasitörlerin kullanılabileceğinden bahsedilmiştir. Bir uyumlaşma devresini oluşturan pasif devre elemanlarından endüktörü ayarlamamanın da henüz yüksek frekanslarda üretim safhasında zorluklara sebep olabileceğinden, bunun yerine MEMS ya da varaktör diyot gibi ayarlanabilir bir kapasitörü paralel olarak sabit(ayarlanmayan) bir endüktöre bağlayarak ayarlanabilir seri endüktör yapısı oluşturulabilir. Böylelikle devrenin ayarlanabilme yeteneği artırılabilir ve istenen devre başarımı elde edilebilir. Aşağıdaki şekilde yapının nasıl oluşturulduğu gösterilmiştir.



Şekil 3.19: Frekansa Bağlı Ayarlanabilir Seri Endüktör.

Buradaki admitans, empedanstan yola çıkarak yazılırsa endüktif reaktans, $X(\omega)=\omega L$ ifadesinden

$$Y_x(j\omega) = jB_x(\omega) = j \left[\omega C_x - \frac{1}{\omega L_x} \right] = j \left[\frac{\omega^2 L_x C_x - 1}{\omega L_x} \right] \quad (3.60)$$

olarak yazılabilir. . Elde edilen ifadeden elastans $B_x(\omega)$ 'yı bulmak için $\omega_r^2 = \frac{1}{L_x C_x}$ eşitliğinden faydalanarak,

$$B_x(\omega) = \frac{\omega^2 L_x C_x - 1}{\omega L_x} = \frac{\left(\frac{\omega}{\omega_r} \right)^2 - 1}{\omega L_x} \quad (3.61)$$

bulunur.

$$Z_x(j\omega) = jX_x(\omega) = \frac{1}{Y_x(j\omega)} = -j \frac{1}{B_x} \quad (3.62)$$

(3.62)' deki bilinen eşitlikten,

$$X_x(\omega) = -\frac{1}{B_x} = \omega \frac{L_x}{1 - \left(\frac{\omega}{\omega_r} \right)^2} = \omega L_t(\omega) \quad (3.63)$$

olarak elde edilir.

Burada sabit endüktör L_x ile gösterilmiştir, rezonans frekansı kapasitansın değışimiyle değışir buradan da neticede ayarlanabilir endüktörün değerin değışeceği de söylenebilir. Frekansa bağı ayarlanabilir endüktör ifadesi.

$$L_t(\omega) = \frac{L_x}{1 - \left(\frac{\omega}{\omega_r}\right)^2} \quad (3.64)$$

olarak elde edilir. Ayarlanabilir endüktör için $\omega = \omega_0$ da $X(\omega_0) = X_x(\omega_0)$ yazılırsa,

$$\omega_0 L = \omega_0 \frac{L_x}{1 - \left(\frac{\omega_0}{\omega_r}\right)^2} \quad (3.65)$$

olur. Buradan L_x ,

$$L_x = \left[1 - \left(\frac{\omega_0}{\omega_r}\right)^2 \right] L > 0 \quad ; \quad \omega_r > \omega_0 \quad (3.66)$$

Rezonans frekansı eşitliğinden,

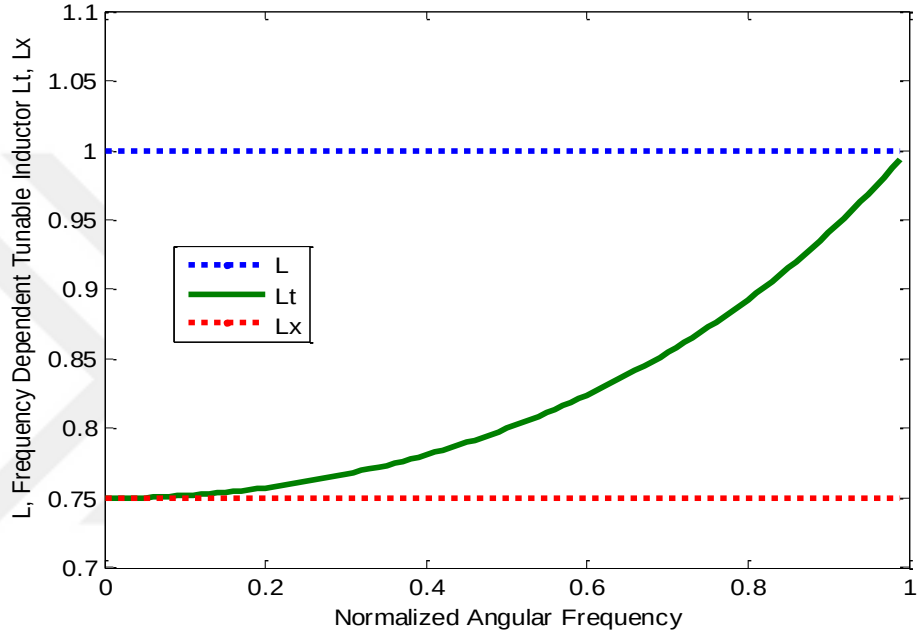
$$C_x = \frac{1}{\omega_r^2 L_x} \quad (3.67)$$

yazılır. Verilen eşitliklerde normalize frekans bandının tamamını kapsayacak şekilde $\omega_0=1$ olarak seçilir. Açık bir şekilde görülüyor ki gerçekleştirilebilir bir tasarım için sabit endüktans değeri sıfırdan büyük olmalıdır. Bu sebeple rezonans frekansını daha büyük seçmek gereklidir. Rezonans frekansında seri eşdeğer empedans sonsuz olmaktadır, bu sebeple bu seçimi ω_0 'dan kabul edilebilir bir uzaklıkta seçmek gerekir. Pratik gerçekleştirilebilirlik açısından

$L = 1$, $\omega_0 = 1$ ve $\omega_r = 2$ için ayarlanabilir endüktans, rezonansı merkez frekansın iki katı uzaklıkta seçersek $L=1, \omega_0=1$ ve $\omega_r=2$ için (3.66) ve (3.67)'den

$$L_x = \left[1 - \left(\frac{\omega_0}{\omega_r} \right)^2 \right] L = 0.75 \quad C_x = \frac{1}{\omega_r^2 L_x} = 0.3333 \quad (3.68)$$

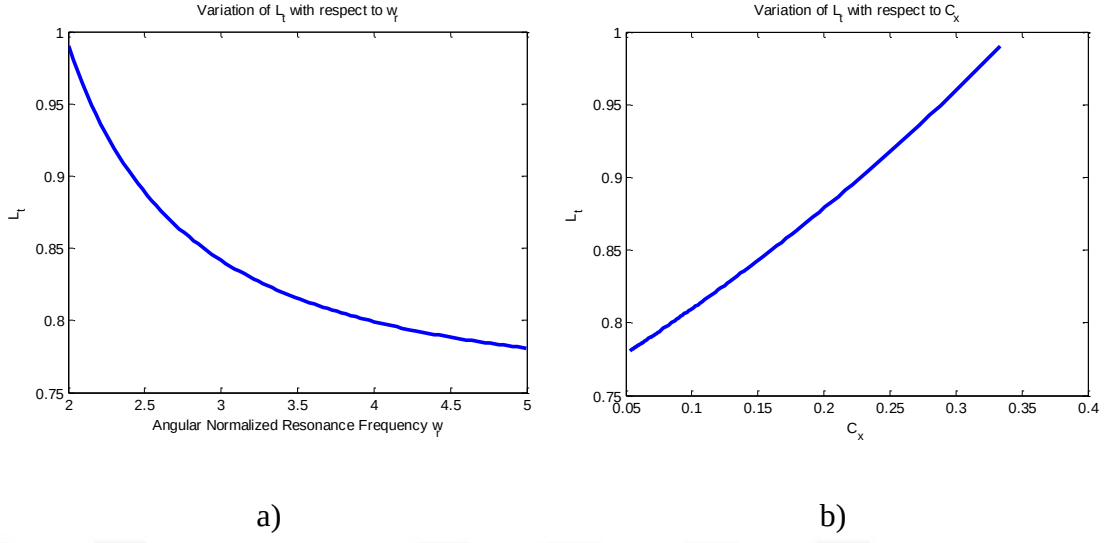
değerleri hesaplanır. Bulunan ifadeyi tüm frekans için aşağıdaki şekilde inceleyebiliriz. Buradaki hata için daha önceki bölümlere benzer şekilde $\varepsilon(\omega) = |X(\omega) - X_x(\omega)|$ yazılırsa mutlak hata 0.1'den küçük kalır.



Şekil 3.20: Açısal Frekansa Bağlı Olarak Ayarlanabilir Endüktörün Değişimi.

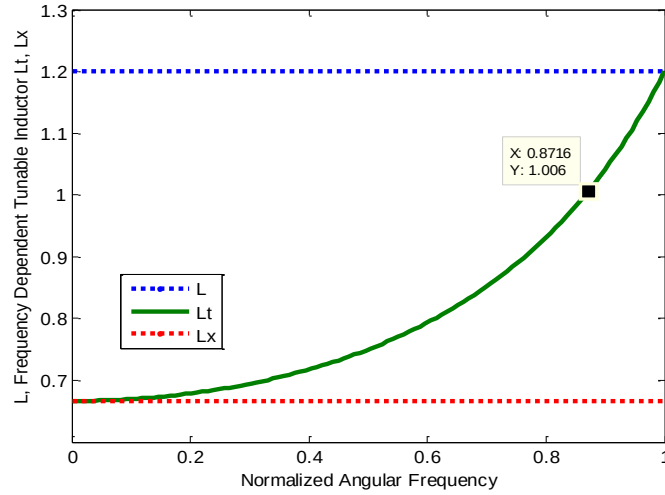
Burada L_x merkez frekansa bağlı olarak endüktans, L rezonans frekansına bağlı endüktans ve L_t ise bu iki frekans aralığında değişen ayarlanabilir endüktansı göstermektedir. Aşağıda ise $\omega = \omega_0 = 1$ seçildiğinde, L_t 'nin ω_r ve C_x 'e göre değişimi verilmiştir.

Kapasitans $C_x = 0.1$ ' den $C_x = 0.3$ olarak değiştirildiğinde ayarlanabilir endüktör 0.8' den 0.95' e çıkmaktadır. Böylelikle menzilin %15 kadar değiştiği görülür. Verilen yaklaşımı şimdi pratik bir uygulamada inceleyelim.

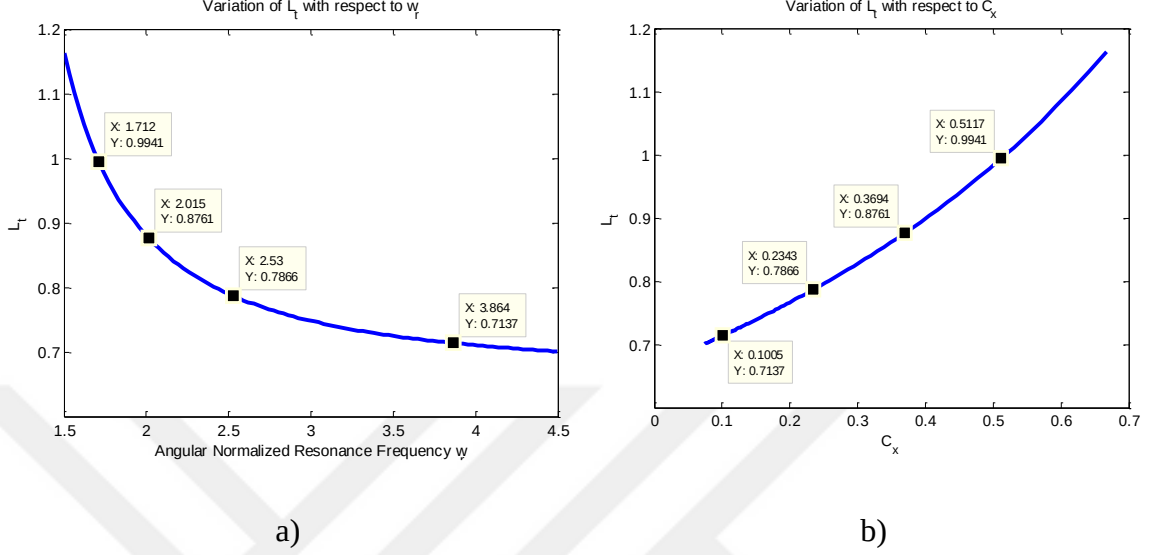


Şekil 3.21: a) Rezonans Frekansına Göre b) C_x ' e Göre L_t ' nin Değişimi.

Yukarıdaki kısımda $\omega_0=1$ ve $\omega_r=2$ seçimi yapıldığında Şekil 3-20' ye göre endüktörün nominal değeri ($L=1$) için $L_x=0.75$ olarak bulunmuştur. Bu değerin bandın en sonundaki frekans değerinde değil içinde olması tercih edilir. Buradaki ayarlanabilirliği arttırmak için rezonans frekansı değiştirilerek sonuç elde edilebilir. Bu sebeple rezonans frekansını azaltmak makul olacaktır. Bu kez $L=1.2$ ve $\omega_r=1.5$ seçilerek yukarıdaki benzer işlemlerden $L_x=0.6667$ ve $C_x=0.6667$ hesaplanır.



Şekil 3.22: Açısal Frekansa Bağlı Olarak Ayarlanabilir Endüktörün Değişimi ($L=1.2$ ve $\omega_r=1.5$ için).



Şekil 3.23: a) Rezonans Frekansına Göre b) C_x 'e Göre L_t 'nin Değişimi ($L=1.2$ ve $\omega_r=1.5$ için).

Şekil 3-22 ve 3-23'e kapasitans değeri için belirlenen $0.1 < C_x < 0.6$ aralığı önceden seçtiğimiz keyfi $0.1 < C_x < 0.3$ aralığına göre daha kabul edilebilir sonuçlar vermiştir. Kapasitans değeri, $0.1 < C_x < 0.6$ aralığında değiştiğinde rezonans frekansı da $1.57 < \omega_r < 4$ aralığında değişmektedir. Aşağıdaki tabloda L_t ve C_x ' in rezonansa göre değişimi verilmiştir.

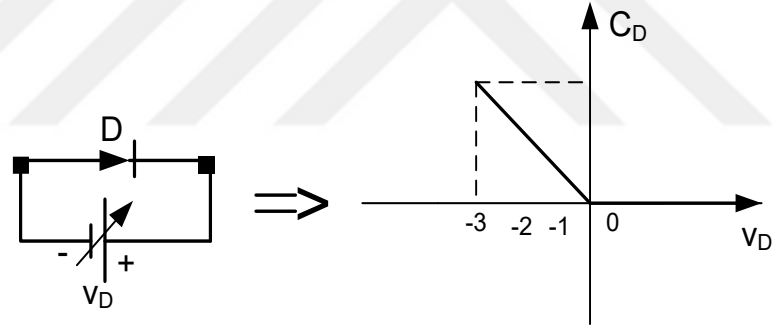
Tablo 3.6: Rezonans Frekansı ve Eleman Değerlerinin Değişimi ($L_x=0.6667$ için).

L_t	1	0.8761	0.78	0.71
C_x	0.51	0.3694	0.23	0.10
ω_r	1.71	2.015	2.53	3.86

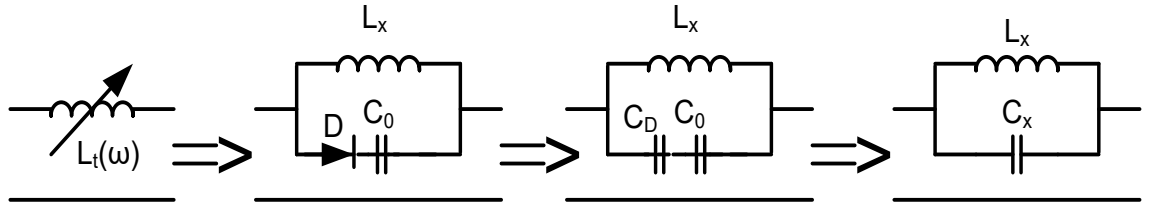
Tabloda dikkat edilecek husus C_x değeri küçüldükçe rezonans frekansı artmaktadır böylelikle normalize frekans ikinci harmonikleri bastırarak duruma gelir.

Pratikte varaktör diyot uygulamaları üretim safhasına gelindiğinde daha önce tablo halinde belirttiğimiz gibi kazanç başarımında olumsuz davranış sergilemektedir. Ancak kavramsal bir tasarım olarak ele alınan ayarlanabilir endüktör için ayarlanabilirlik menzilinın genişliğı ve çözünürlüğünün sonsuza yakınsaması dolayısıyla teorik olarak bir uyumlaşma devresi üzerinde uygulanabilir.

Ayarlanabilir endüktör için sağlanan bu değışim varaktör diyotla sağlanabilir ancak burada kavramsal bir tasarım gerçekleştirilmektedir bu bağlamda ideal eleman olarak ayarlanabilir bir eleman varlığı altında hesap yapılacaktır. Kabaca çalışma prensibi ele alınırsa, diyot üzerine gerilim uygulandığında kapasitans değeri değışecektir. Ayarlanabilir eleman ideal olarak ayarlanabilir endüktör tasarımına uygulanırsa kavramsal durum aşağıdaki gibi özetlenebilir.



Şekil 3.24: Varaktör Diyot Çalışma Eğrisi.



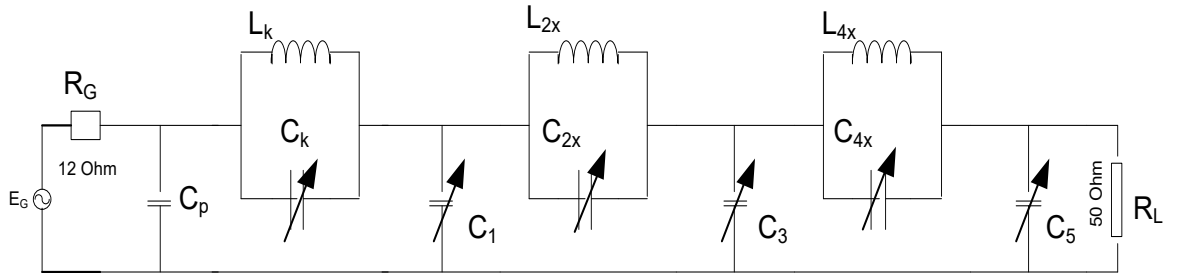
Şekil 3.25: İdeal Varaktör ile Ayarlanabilir Endüktör Tasarımı.

$$C_x = \frac{C_D C_0}{C_D + C_0} \quad (3.69)$$

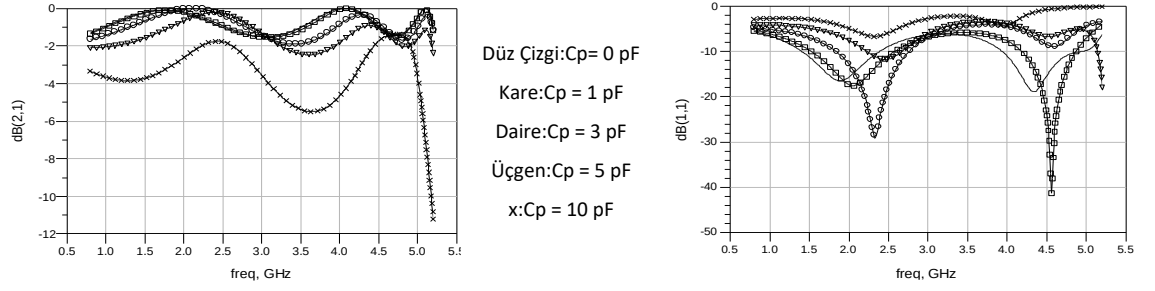
İdeal olarak elde edilen yapının eşdeğer kapasitansı yukarıdaki denklemdeki gibi olur. Burada tasarım sabit bir kapasitöre bağlanan ayarlanabilir kapasitör olarak düşünülebileceği gibi sabit bir kapasitör kullanmadan doğrudan ayarlanabilir elemanın ideal tasarıma konulmasıyla da elde edilebilir.

3.3.1. Ayarlanabilir Endüktör İle Uyumlaşma Devresi Tasarımı

Daha önce ayarlanabilir elemanlar kullanarak uyumlaşma devresi tasarımı yapılmıştı. Bu bölümde yukarıda bahsedilen frekansa bağlı ayarlanabilir endüktör kavramı yardımıyla ayarlanabilir uyumlaşma devresi tasarlanacaktır. Önceki tasarımda olduğu gibi, C_p 0 - 10 pF aralığında değiştirilerek bilgisayar benzetimiyle incelenmiştir. Parazitik kapasitans değeri değiştirildikçe devrenin araya girme kaybı 5.8 dB mertebelerine gerilemektedir. Bunun sebebi devredeki ayarlanabilir bileşenlerin başlangıçta değiştirilmemesidir. Devrede bulunan ayarlanabilir elemanlar optimize edilerek ayarlandığında araya girme kaybı performansında iyileşme gözlenmiştir. Elde edilen sonuçları, bölümün başında bahsettiğimiz ayarlanmayan devre ile karşılaştırdığımızda devre ayarlandığında başarımın iyileştiği gözlenmiştir. Buradan anlaşıyor ki bu bantta devreye uygulanabilecek herhangi bir yük için devredeki eleman değerleri ayarlanabildiğinde devre bu yüke uyumlaştırılabilir. Böylelikle elde edilmek istenen başarımlar seviyesinden ödün vermeden devre tasarımı gerçekleştirilebilir. Aşağıdaki şekilde devrenin topolojisi ve sabit elemanlar ve ayarlanabilir elemanların yerleşimi verilmiştir. Devre elemanlarının optimizasyondan önceki ve sonraki değerleri tabloda verilmiştir. Tabloda endüktans değerleri nH ve kapasitans değerleri ise pF cinsindendir.



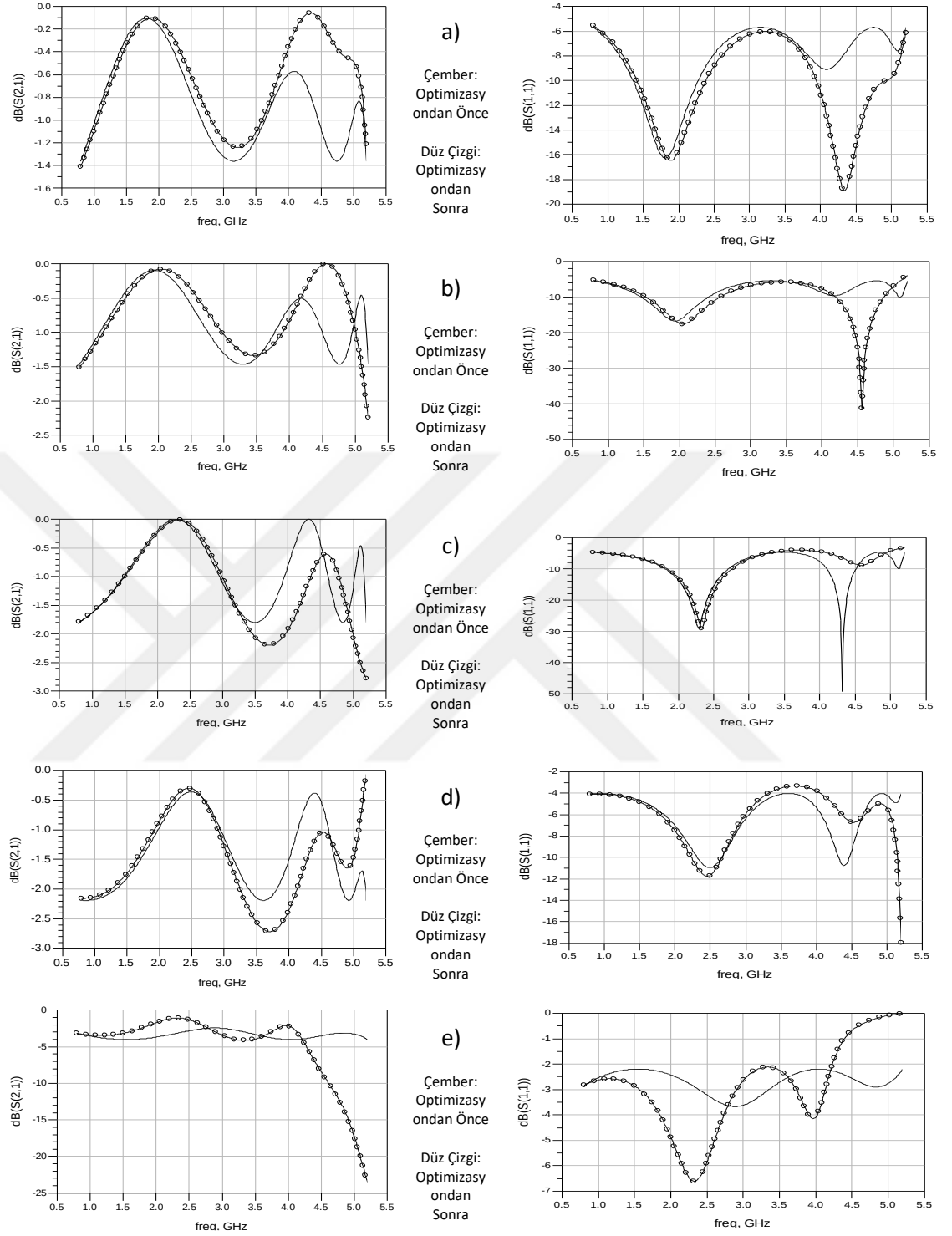
Şekil 3.26: Ayarlanabilir Endüktör ile Uyumlaşma Devresi Tasarımı.



Şekil 3.27: Optimizasyon Olmadan S_{21} ve S_{11} Değerleri.

Tablo 3.7: Ayarlanabilirlik Uygulaması Sonrası Elde Edilen Değerler.

	(RD)		(D1)		(D2)		(D3)		(D4)	
	$C_p = 0$		$C_p = 1$		$C_p = 3$		$C_p = 5$		$C_p = 10$	
	Opt. Ö	Opt.S	Opt. Ö	Opt.S	Opt. Ö	Opt.S	Opt. Ö	Opt.S	Opt. Ö	Opt. S
L_k	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
C_k	0.486	0.494	0.434	0.827	0.445	0.950	0.570	0.713	0.932	0.2
C_1	2.34	2.493	2.36	2.581	2.47	2.789	2.867	3.129	4.226	3.383
L_{2X}	1	1	1	1	1	1	1	1	1	1
C_{2X}	0.251	0.251	0.252	0.252	0.257	0.257	0.254	0.253	0.251	0.251
C_3	2.32	2.160	2.34	2.223	2.27	2.128	2.097	1.936	2.384	1.583
L_{4X}	1	1	1	1	1	1	1	1	1	1
C_{4X}	0.304	0.304	0.304	0.304	0.344	0.344	0.399	0.399	0.368	0.368
C_5	1.48	1.817	1.467	1.815	1.245	1.386	1.023	1.027	0.985	0.523



Şekil 3.28: Ayarlanan Devrenin Tüm Durumlar İçin S_{21} ve S_{11} Başarımı.

Yukarıda anlatılanları özetlemek gerekirse, ayarlanabilir endüktör topolojisi geliştirilmiş ve tasarlanmıştır. Paralel ayarlanabilir kapasitör değerleri değiştirilerek, sabit bir

endüktörün eşdeğer endüktansı ayarlanmıştır. Tasarımın bilgisayar betetimi yapılmıştır ve sonucunda 800-5200 MHz bandında ayarlanabilir endüktans topolojisinin genişbant devrenin araya girme kaybı performansını iyileştirdiği gözlenmiştir. Optimizasyon için $\omega_0=2*\pi*5.2\text{GHz}$ seçilmiştir.

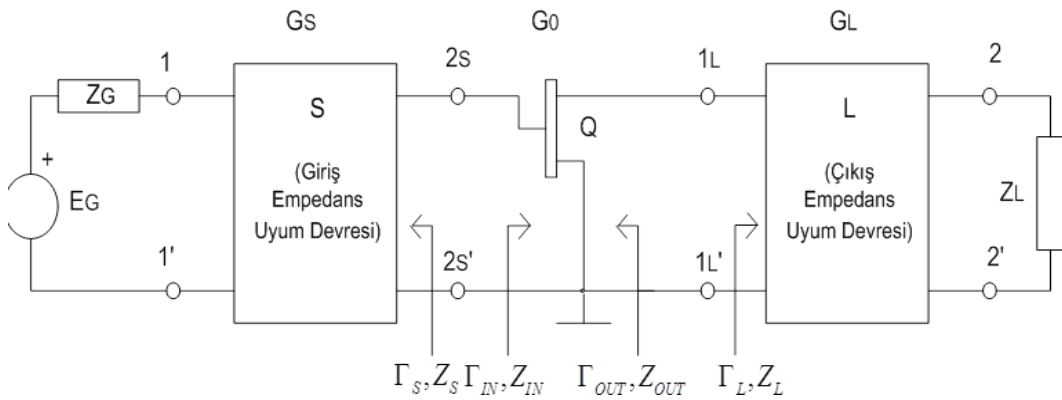


4. BULGULAR

Önceki bölümlerde ayarlanabilir yükselteç tasarımı için gerekli teorik alt yapı, çeşitli yaklaşımlar ve eleman optimizasyonu üzerinde durulmuştur. Bu kısımda ise yükselteç tasarımı için teorik bilgiler kısaca hatırlatılacaktır ve önceki bölümlerde bahsedilen yaklaşımlarla ayarlanabilir bir yükselteç tasarlanacaktır. Bunun için kapasitans ve endüktans değerlerinin menzilin genişliği ve eleman değerlerinin çözünürlüğü açısından en uygun seçim olan kavramsal ayarlanabilir endüktör tasarımı ve yine eleman değerlerinin menzili iyi sayılabilecek çözünürlük olarak da MEMS yapısından çok daha iyi başarıma sahip dijital ayarlanabilir kapasitörler kullanılacaktır.

4.2. YÜKSELTEÇ TASARIMI

Daha önce ikinci bölümde yükselteç tasarımı için tek yanlı uyumlaşma yaklaşımından bahsetmiştik. Bu yaklaşımda $S_{12} = 0$ kabul edilir ve yükselteç kazancı “Tek Yanlı Maksimum Güç Kazancı” eğrisini takip eder. Diğer tasarım yaklaşımı ise yukarıda verilen $S_{12} = 0$ kabulü olmadan yapılacak İki Yanlı Uyumlaşma adı verilen yaklaşımdır. Bu yaklaşımda yükselteç “Maksimum Kararlı Kazanç” eğrisini takip edebilir ya da “Düz Kazanç” Eğrisini takip edebilir[37, 44-48]. Bu çalışmada düz kazanç seviyesinde tasarım hedeflenmektedir bu bağlamda iki yanlı uyumlaşma yaklaşımı ile tasarım yapılacaktır. Yükselteç tasarımı için gerekli denklemler daha önceki bölümlerde verilmişti. Hatırlatmak gerekirse, (2.96) ve (2.100) ifadesinden,



Şekil 4.1: Bir Yükselteç Devresi Örneği.

$$T = G_s G_0 G_L \quad (4.1)$$

tekrar yazılır. Bu denklem açık şekilde yazılırsa,

$$T = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{IN} \Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT} \Gamma_L|^2} \quad (4.2)$$

şeklinde olur. Burada,

$$\Gamma_{IN} = S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L} \quad (4.3a)$$

$$\Gamma_{OUT} = S_{22} + \frac{S_{12} S_{21} \Gamma_s}{1 - S_{11} \Gamma_s} \quad (4.3b)$$

ile verildiği daha önceki bölümlerde verilmişti.

Tek yanlı uyumlaşma için de denklemler biliniyor, bunun için $\Gamma_{IN} = S_{11} = \Gamma_s^*$ ve $\Gamma_{OUT} = S_{22} = \Gamma_L^*$ durumu $S_{12} = 0$ koşulu için denklemler tekrar düzenlenir. Bu denklemler Bölüm 2’ de verilmiştir, detay için o bölüm incelenebilir. Burada tasarım çift yanlı uyumlaşma ile gerçekleştirilecektir. Bu durumda $S_{12} \neq 0$ koşulu altında $\Gamma_{IN} = \Gamma_s^*$ ve $\Gamma_{OUT} = \Gamma_L^*$ olmalı, böylelikle çift yanlı uyumlaşma sağlanır.

Çalışmada elde edilmek istenen tasarımın “Düz Kazanç Yükselteci (Flat Gain Amplifier)” olduğu belirtilmişti. Düz kazanç eğrisini takip eden yükselteç için verim konusu irdelenmeyecektir. Bölüm 2’ de düz kazancı elde etmek için transistör eğrisine özellikle düşük frekanslarda zayıflatıcı etki uygulanacağı gösterilmişti. Bu durum da bu tasarım için verimliliğin irdelenmesini anlamsız kılacaktır[37]. Yükselteç tasarımı için ele alınan yöntemin avantajları aşağıda kısaca açıklanmıştır. Yöntem SRFT kullanarak elde edilmiştir ancak küçük ayarlamalar neticesinde özellikle giriş-çıkış yansımaları kontrol edilmiştir, bant geçiren tasarım kullanılmıştır ve çift yanlı uyumlaştırma yapılarak devre sentezlenirken devre elemanlarının serbestlik derecesi bu sayede arttırılmıştır. Bu da ayarlanabilirlik uygulaması esnasında devre elemanlarının değişimindeki kısıtları

gevşetmiştir. Böylelikle istenilene yakın seviyelerde ayarlanabilirlik başarımı elde edilmiştir. Tasarımın öne çıkan avantajları aşağıdaki paragraflarda kısaca açıklanacaktır.

Önerilen yöntem öncelikle çıkış uyumlaşma devresi tasarımıyla başlayacaktır, böylelikle yük tarafının verileri (Z_L) bilinen değerler olur, buradan elde edilen değerler başlangıç değerleri kabul edilerek giriş uyumlaşma devresi elde edilir.

Giriş ve çıkış uyumlaşma devrelerinin hedef kazanç fonksiyonları istenilen genel çevrim güç kazancından hesaplanır. Hesaplanan kazanç fonksiyonlarından hareketle giriş ve çıkış devresi için iki farklı optimizasyon ile her bir devrenin giriş yansıması

$\Gamma_L(p)=h_L(p)/g_L(p)$ ve $\Gamma_S(p)=h_S(p)/g_S(p)$ empedans fonksiyonları kullanılarak

$$z_L(p) = \frac{a_L(p)}{b_L(p)} = \frac{(1+\Gamma_L(p))}{(1-\Gamma_L(p))} = \frac{(g_L(p)+h_L(p))}{(g_L(p)-h_L(p))} \quad (4.4a)$$

$$z_S(p) = \frac{a_S(p)}{b_S(p)} = \frac{(1+\Gamma_S(p))}{(1-\Gamma_S(p))} = \frac{(g_S(p)+h_S(p))}{(g_S(p)-h_S(p))} \quad (4.4b)$$

elde edilir. Bulunan empedans fonksiyonları kullanılarak sentez algoritması vasıtasıyla elemanlar sentezlenir.

Hedef fonksiyonlar hesaplanırken Tchebyshev ya da Butterworth seçeneklerinden biri keyfi olarak seçilebilir. Böylelikle durdurma bandı ve geçirme bandı net bir şekilde ayırt edilir ve istenen kazanç eğrisine yakınsama sağlanır.

Tasarım algoritması “gradient” yöntemi gibi türevelere dayalı optimizasyonlar yerine “fminsearch” gibi ekstremum noktaları arayan optimizasyonlarla inşa edilmiştir. Bu sayede bazı transistörlerin kazanç fonksiyonu eğrisindeki dalgalanmalar neticesinde çözüm kümesine erişim zorluğunun üstesinden gelinecektir. Böylece çözüm kümesine yakınsak sonuçlar elde edilir.

Elde edilen kazanç fonksiyonunun hatasını hesaplamak için bu algorithmada “arctanjant hata fonksiyonu” yöntemi kullanılmıştır[37]. Bunun amacı elde edilen çok küçük ya da çok büyük sayıları $\pi / 2$ 'lik bir aralıkta çözüme kavuşturmadır. Böylelikle makul ölçülebilir sayılarla çalışılmasına olanak sağlanır. Çok büyük ya da çok küçük sayılar bu

aralığa indirgenmediği takdirde hedef fonksiyon başarımı istenen seviyede olmamaktadır. Ele aldığımız yaklaşımı matematiksel olarak ifade edecek olursak giriş ve çıkış uyumlaştırma devresi için,

$$d_{L,i} = \arctan(T_L(\omega_i, \vec{x}_L)) - \arctan(T_{L-hedef}(\omega_i)), \quad \omega_b \leq \omega_i \leq \omega_e \quad (4.5a)$$

$$d_{S,i} = \arctan(T_S(\omega_i, \vec{x}_S)) - \arctan(T_{S-hedef}(\omega_i)), \quad \omega_b \leq \omega_i \leq \omega_e \quad (4.5b)$$

yazılır. Verilen ifadede $d_{L,i}$ çıkış uyumlaşma devresi için ulaşılmak istenen hedef kazanç fonksiyonu $(T_{L-hedef}(\omega_i))$ ile bu hedef eğriyi takip etmesi istenilen $(T_L(\omega_i, \vec{x}_L))$ arasındaki farkı veren hedefe uzaklık vektörüdür. Ayrıca yine ifadede belirtilen $\vec{x}_L$ vektörü kazanç fonksiyonundaki bilinmeyen noktalar ve i indisi de optimizasyon yapılan aralıktaki herhangi bir frekansı belirtir. Benzer şekilde yük tarafında olduğu gibi kaynak tarafında da yukarıdaki şekilde açıklanır.

Yukarıda detaylı bir şekilde anlatıldığı üzere tasarım için tercih edilen adımlardan bir tanesi de $S_{12} \neq 0$ koşulu altında giriş ve çıkış uyumlaştırma devrelerini tasarlamaktır. Böylelikle iki aşamalı bir optimizasyon algoritması ele alınacaktır. Giriş ve çıkış devresinin yansıma katsayıları birbirine etkisi de hesaba katılacağı için gerçek hayatta karşılaşılabilecek şekilde problem çözülecektir. Diğer yandan transfer saçılma parametresinin sıfır olduğu durumda problem basitleştirilecektir, giriş ve çıkış uyumlaşma devresinin yansımalarının birbirine etkileri hesaba katılmayacaktır ve böylelikle problemin çözümü tam manasıyla elde edilemeyecektir.

Tasarımda öne sürülen algoritmanın bir diğer yaklaşımı ise giriş uyumlaşma devresi ve çıkış uyumlaşma devresinin girişleri ve çıkışlarındaki yansıma katsayılarını kontrol etmektir. Bu noktalardaki yansımalar kontrol edilip düşük seviyede tutulduğunda istenilen kazanç seviyesinde ve ayarlanabilirlik serbestisine sahip yükselteç tasarlanabilecektir. En Düşük Yansıma adı verilen yaklaşımda algoritma, çıkış

uyumlaşma devresi tarafında Γ_L için en düşük yansıma değerlerini elde etmeye çalışır. Böylelikle tasarıma çıkı uyumlaşma devresi ile başladığından yükselteç tasarımı düşük yansıma katsayısı ile gerçekleştirilir.

Bölümün başında (4.1), (4.2), (4.3) ifadelerinde yükselteç tasarımı için gerekli denklemler verilmişti. Tasarım için geliştirilen yaklaşım ve algoritma kısaca özetlendikten sonra denklemleri de özetlemeye devam edilirse, bahsedilen denklemlerdeki saçılma parametrelerinin 50 ohm normalize sonlandırma koşulu altında yazıldığını anımsatmakta fayda bulunmaktadır. Burada (4.3) ile verilen ifadede Γ_s ve Γ_L

büyüklikleri frekansa bağlı olarak ifade edilmiştir, bu büyüklükleri rasyonel fonksiyon olarak ifade edersek,

$$\Gamma_s = \frac{h_s(p)}{g_s(p)} \quad (4.6a)$$

$$\Gamma_L = \frac{h_L(p)}{g_L(p)} \quad (4.5b)$$

Burada p ' nin frekansa bağlı Laplace değişkeni olduğunu söylemek gerekir. Pay polinomu gerçel katsayılı keyfi polinomdur ve payda polinomu ise gerçekleştirilebilirlik hususu göz önünde bulundurulduğundan “Kesin Hurwitz” polinomu olarak ifade edilecektir ve tüm kökleri açık sol yarı düzlemde bulunur. Verilen rasyonel fonksiyonun pay ve payda polinomu yazılırsa,

$$h_s(p) = h_{1,s}p^n + h_{2,s}p^{n-1} + \dots + h_{n,s}p + h_{n+1,s} \quad (4.7a)$$

$$g_s(p) = g_{1,s}p^n + g_{2,s}p^{n-1} + \dots + g_{n,s}p + g_{n+1,s}$$

$$h_L(p) = h_{1,L}p^n + h_{2,L}p^{n-1} + \dots + h_{n,L}p + h_{n+1,L}$$

$$g_L(p) = g_{1,L}p^n + g_{2,L}p^{n-1} + \dots + g_{n,L}p + g_{n+1,L} \quad (4.7b)$$

şeklinde ifade edilir. Burada n , uyumlaşma devresindeki toplam eleman sayısını verir ve rezistif sonlandırma ile bu sayı $n+1$ olarak hesaplanır. Yukarıda (4.5)'teki gibi verilen yansıma katsayısı elde edildikten sonra Darlington sürme noktası empedansı pozitif gerçel fonksiyon olarak tekrar yazılırsa,

$$z_L(p) = \frac{a_L(p)}{b_L(p)} = \frac{(1+\Gamma_L(p))}{(1-\Gamma_L(p))} = \frac{(g_L(p)+h_L(p))}{(g_L(p)-h_L(p))} \quad (4.8a)$$

$$z_S(p) = \frac{a_S(p)}{b_S(p)} = \frac{(1+\Gamma_S(p))}{(1-\Gamma_S(p))} = \frac{(g_S(p)+h_S(p))}{(g_S(p)-h_S(p))} \quad (4.8b)$$

şeklinde olur[22]. Buradan da yükselteç tasarımı için temel olarak alınan adımlar tamamlanır. Bu adımlar öncelikle seçilen hedef kazanç fonksiyonunu takip eden bir eğriyi çıkış devresinden başlayarak elde etmek sonrasında bu eğri için belirlenen topolojide devre elemanlarını sentezlemektir. Giriş ve çıkış uyumlaşma dereleri kayıpsız kapasitör ve endüktör devreleri olarak sentezlenir. Bu sentez işlemine Darlington Sentezi denir ve yazarın yüksek lisans tezinde bu konudan bahsedilmiştir bu sebeple burada irdelenmeyecektir[36].

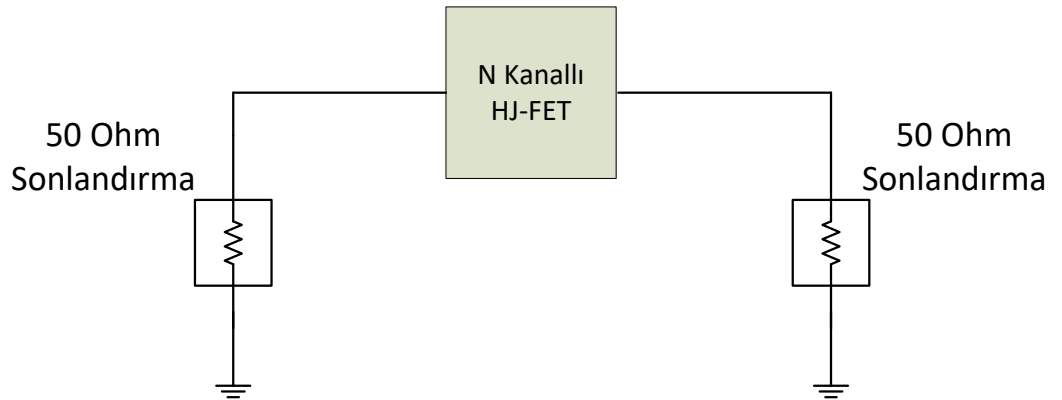
4.2. AYARLANABİLİR YÜKSELTEÇ UYGULAMASI

Çalışmanın önceki kısımlarında ayarlanabilirlik uygulaması için çeşitli yaklaşımlardan bahsedildi ve geline en son kısımda ise pasif devrelere uygulanan ayarlanabilirlik stratejisini aktif devreye uygulamak için gerekli yükselteç tasarım algoritması oluşturulmuştur. Devreye uygulanan parazitik pertürbasyon neticesinde devre elemanlarında farklı davranış desenlerinin olduğu görüldü ve bu öngörünün üzerine çeşitli ayarlanabilirlik çalışmaları yapıldı ve son olarak da bu çalışmalar bu bölümde yükselteç olarak ele alınacaktır.

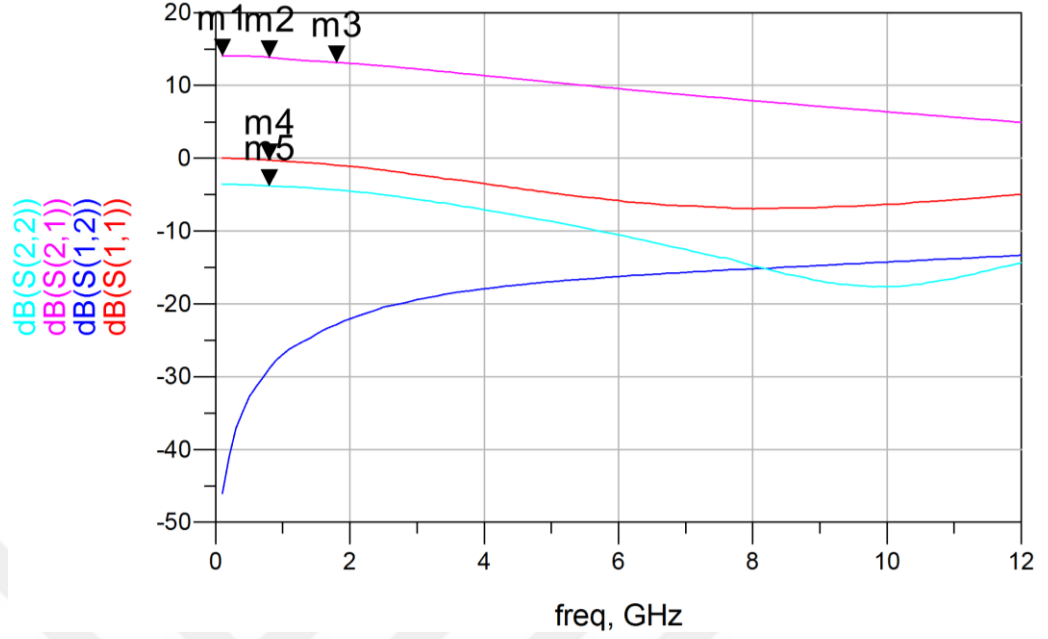
Çalışmada yükselteç tasarım teknikleri, devre bileşenleri olarak ayarlanabilir elemanlar ilk önce incelenip mevcut teknolojiye sınırlamalar tespit edilmiştir. Daha sonra geniş bir frekans bandında ayarlanabilme kapasitesine sahip uyumlaşma devreleri geliştirilmiştir. Yükseltecin performansını arttırmak için devrenin ayarlanabilir olması üzerinde çalışılacaktır. Özellikle yukarıda bahsedilen giriş yansıma parametreleri

üzerinde yapılacak çeşitli analitik ya da nümerik çalışmalarla yükselteç kazancı arttırılacaktır. Giriş yansıma parametrelerinin ve kazanç parametrelerinin değerleri istenilen değerlere eniyileme yapılacak değişen devre elemanları buna göre oluşacak algoritmayla elde edilerek devre ayarlanarak olabilecek en yüksek kazanç elde edilmeye çalışılacaktır. Bu amaçla uyumlaşma devreleri için ‘Real Frequency Technique’ kullanılarak devre sentezi yapmak amaçlanmaktadır.

Bu tasarımda, yükselteç devresinde transistörün giriş ve çıkışındaki yansımaları azaltmak için transistör geribesleme devresi kullanılmıştır. Geribesleme devresinde kapasitör ve endüktör eleman değerleri sırasıyla 1pF-5pF ve 1nH-3nH aralığında tutularak bilgisayar benzetimi uygulanmıştır. Bunun amacı düz kazanç başarımı elde etmek istendiğinde oluşacak geri yansımaları engellemektir. Tasarımda RENESAS (eski adıyla NEC) firmasının NE3509M04 kodlu N-CHANNEL HJ-FET (Hetero Junction Field Effect Transistor) L bandından S bandına kadar çalışan düşük gürültülü transistörü kullanılmıştır. Bu transistörü seçmemizin sebebi düşük gürültülü ve genişbantta çalışabilir olmasıdır. Kullanılan transistörün kazanç grafikleri bilgisayar benzetiminde elde edilmiştir. Kullanılan N-Kanal transistörün s parametresi başarımını görmek için transistörün uçlarına 50 ohm sonlandırma bağlanmıştır ve başarımlar elde edilmiştir. Transistörün ileri yönde kazancı çok yüksek mertebelerde değildir ancak burada yapılacak tasarımda yüksek verimlilik ya da yüksek güç elde etmek gibi endişeler yerine ayarlanabilir yükselteç tasarımı söz konusudur. Bilgisayar benzetimi yapılan 50 ohm sonlandırmalı transistör kazancı aşağıdaki gibi elde edilmiştir.



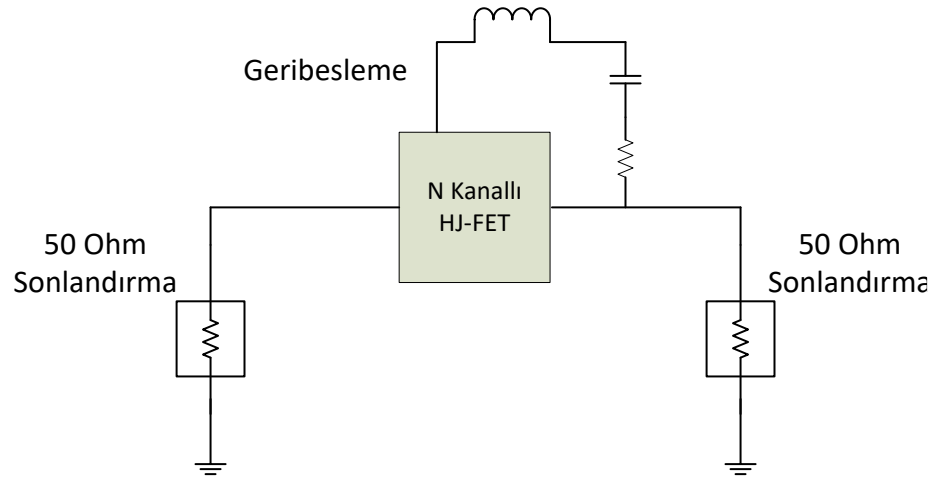
Şekil 4.2: 50 Ohm Sonlandırmalı HJ-FET Transistör.



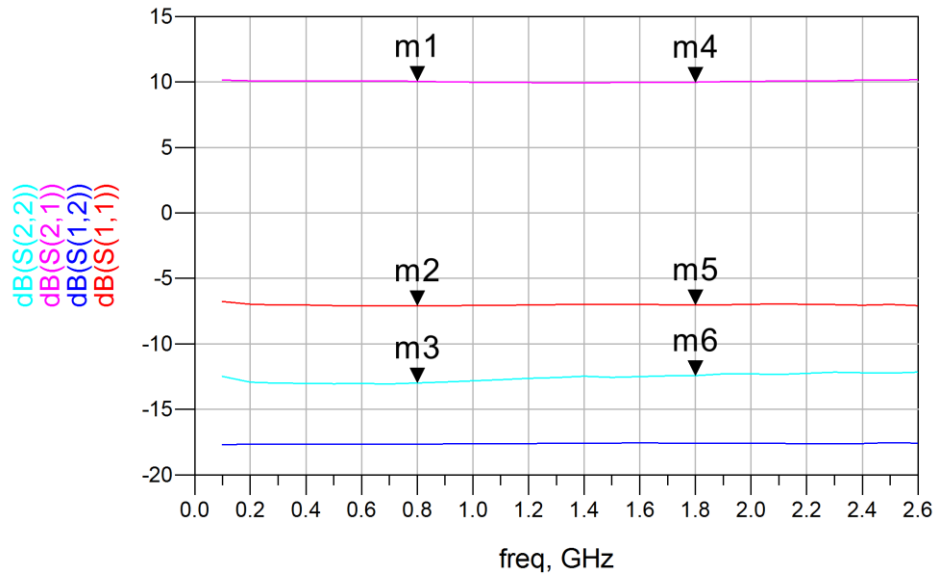
Şekil 4.3: 50 Ohm Sonlandırılmış Transistör İçin S Parametreleri.

Kullanılan pHEMT transistöre yukarıda bahsedildiği gibi geribesleme uygulanarak yansımalar -5 dB' in altına indirilmiştir. Burada çevrim güç kazancından 2 dB' lik bir feragat söz konusu olmuştur. Ancak yansımaların istenilen mertebeye indirilmesi istendiğinden ve ayrıca gerektiğinde düz kazanç elde edilmesi açısından geribeslemede elde edilen bu kayıp tercih edilebilir bir kayıptır. Geribesleme için bir seri RLC devresi kullanılmıştır. Seri RLC devresindeki devre eleman değerleri önce herhangi bir kısıt olmadan elde edilmiştir ikinci durumda ise üretim koşulları göz önünde bulundurularak 1pF-5pF ve 1nH-3nH aralığında tutulmuştur. Neticesinde elde edilen devre performansı aşağıda verilmiştir.

- Birinci durum: Seri RLC devresindeki elemanlar üzerinde herhangi bir kısıt yokken geribesleme uygulanmış transistör devresidir. Burada m1, m2, m3 işaretçileri 800 MHz frekansında sırasıyla 10.53 dB, -7.09 dB ve -12.98 dB ve m4, m5, m6 işaretçileri 1800 MHz frekansında sırasıyla 9.99 dB, -7.02 dB ve -12.42 dB değerlerini göstermektedir.

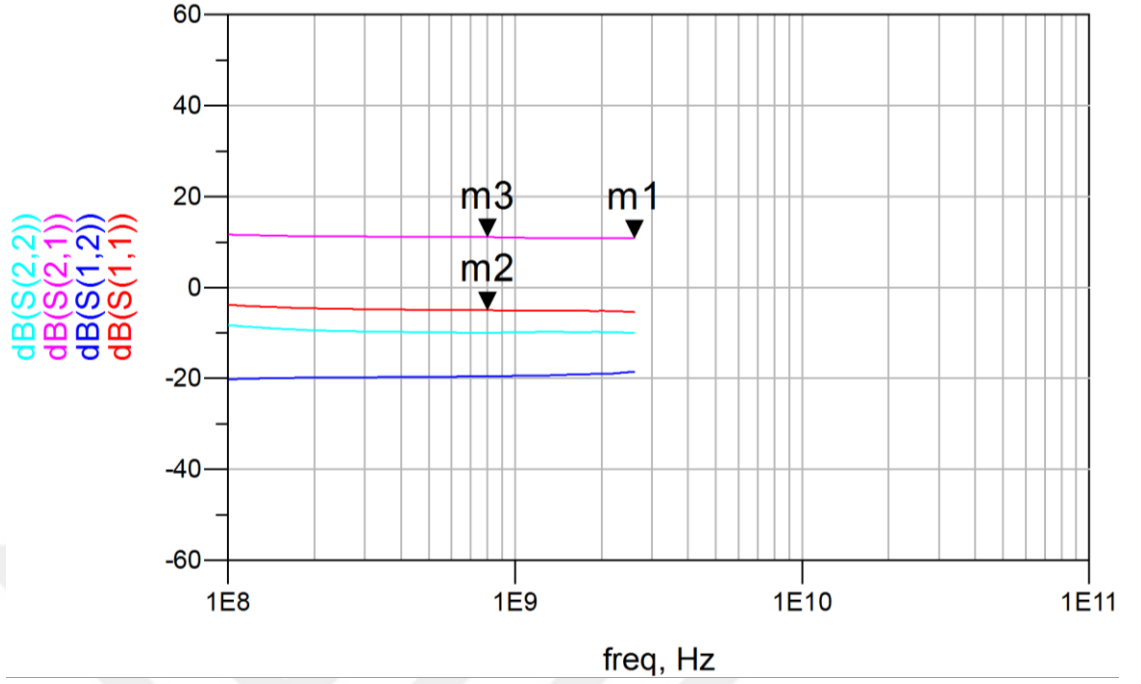


Şekil 4.4: Geribesleme Uygulanmış Transistör.



Şekil 4.5: Geribesleme Devresiyle Transistörün S Parametreleri.

- İkinci durum: Seri RLC devresindeki kapasitör ve endüktör 1pF-5pF ve 1nH-3nH aralığında tutulduğunda geribesleme uygulanmış transistör devresidir. Bu uygulamada m1 işaretçisi 2.6 GHz frekansında 10.77 dB, m2,m3 işaretçileri ise 800 MHz frekansında sırasıyla -5.04 ve 11.03 dB seviyesindedir.



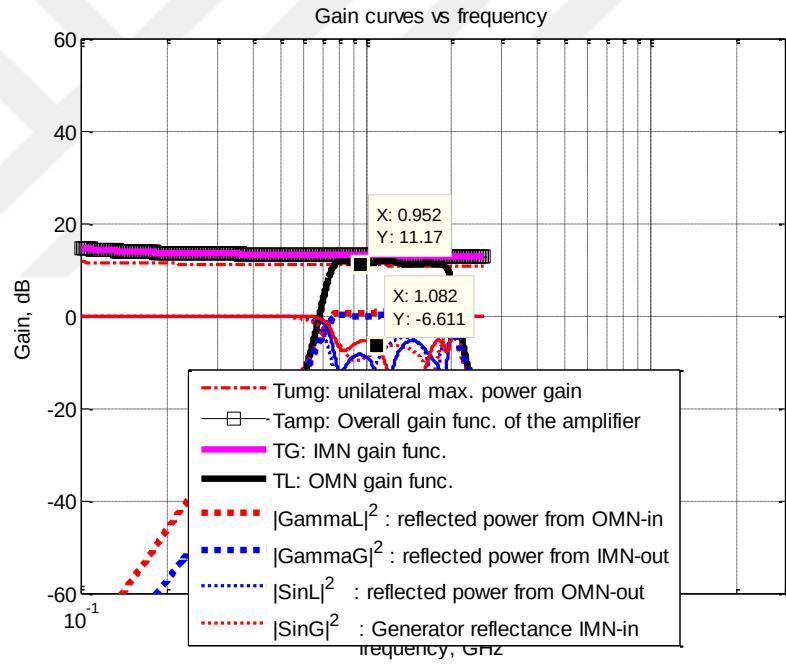
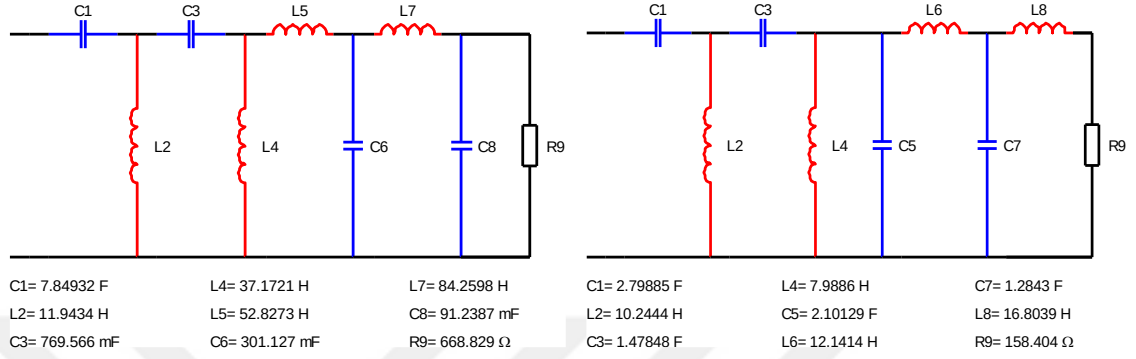
Şekil 4.6: Kısıt Altında Geri Besleme Devresiyle Transistörün S Parametreleri.

Yukarıda elde edilen sonuçlara bakıldığında ikinci durumda yani önceden belirlenmiş kısıt altında gerek üretim koşulları göz önünde bulundurulduğundan gerekse yansımaların -5 dB altında kalmasından dolayı bu durum tercih edilebilir. Kısıt altındaki geribesleme devresinde $L=3\text{nH}$ $C=5\text{pF}$ ve $R=598\text{ohm}$ değerleri elde edilmiştir. Ayarlanabilir yükselteç tasarımında 2. Durumda elde edilen s parametreleri kullanılacaktır daha sonra üretim aşamasında geribesleme devre elemanları bu verilen eleman değerleri olarak seçilecek ve böylelikle yükselteç tasarımı geribesleme koşulu altında elde edilecektir.

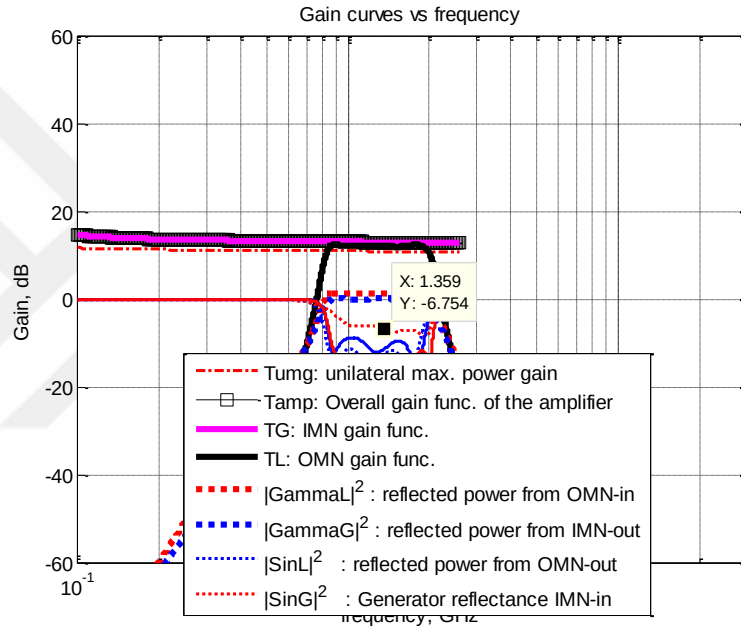
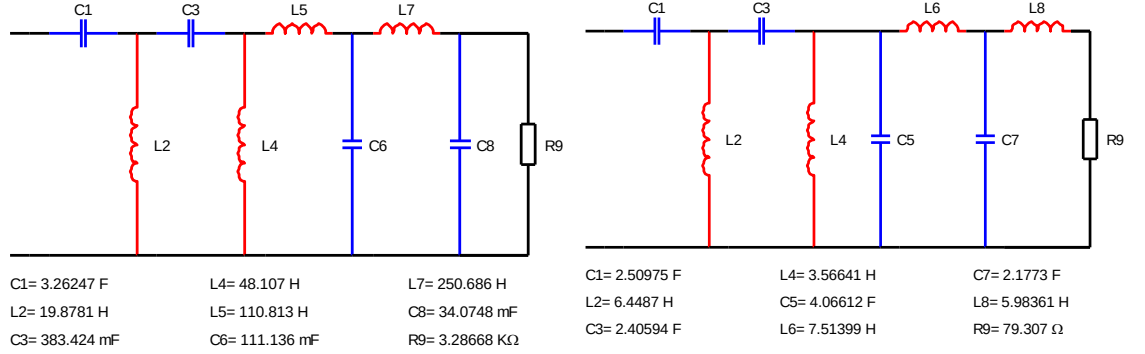
4.3. SRFT İLE TASARIM

Uyumlaşma devrelerinin elde edilmesi için Sadeleştirilmiş Gerçek Frekans Tekniği (Simplified Real Frequency Technique-SRFT) kullanılmıştır. Bu teknikle elde edilen bilgisayar programı MATLAB[49] ortamında koşturulmuştur. Bu tekniğin kullanılmasının sebebi yansıma tabanlı olması ve nümerik en iyi çözümün elde edilmesinde kolaylık sağlaması gösterilebilir. Teknik, keşfedildiği 1982 yılından beri dünya çapında genişbant tasarımlar için en önemli çıkış noktası olmuştur. Yurt içi ve yurt

dışı birçok askeri, akademik, ticari kuruluş tarafından kullanılmaktadır. Teknik, tasarımcılar için yüksek oranda başarımlı ve çözüm sağlamaktadır.



Şekil 4.7: Birinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.

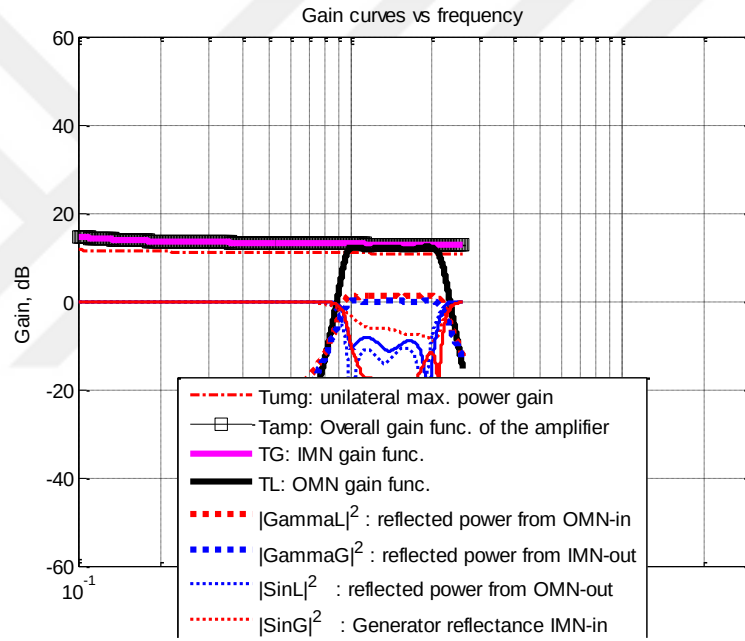
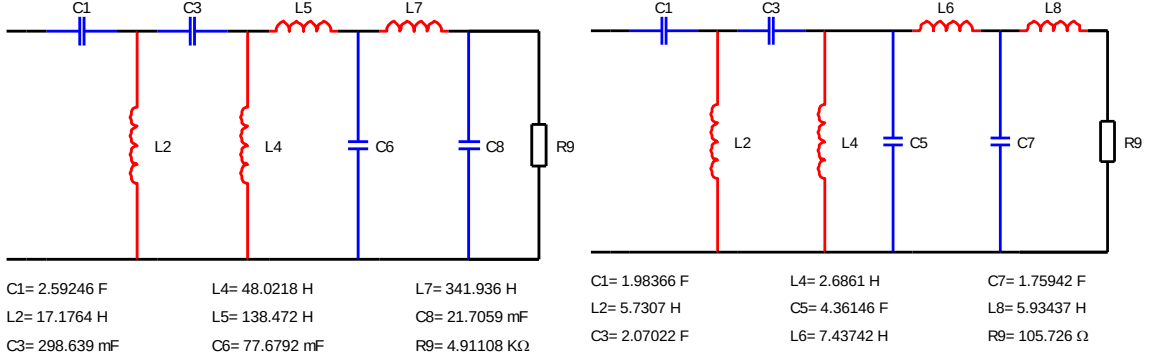


Şekil 4.8: İkinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.

Bu çalışmada, ayarlanabilir yükselteç tasarımı gerçekleştirebilmek için girişte belirtildiği gibi öncelikle giriş ve çıkış yansımalarını azaltmak adına geribesleme uygulanmıştır. Bu bölümde ise geribesleme uygulandıktan sonra elde edilen transistör saçılma parametrelerine giriş ve çıkış uyumlaşma devreleri elde edilmiştir.

SRFT kullanılarak tasarım algoritması bölümün başında anlatılan kodlar yardımıyla elde edilen yükselteç giriş çıkış devrelerinin devre topolojileri, devre eleman değerleri ve kazanç-yansıma başarımları Şekil 4.7, 4.8, 4.9, 4.10, 4.11' deki gibidir. Devre eleman

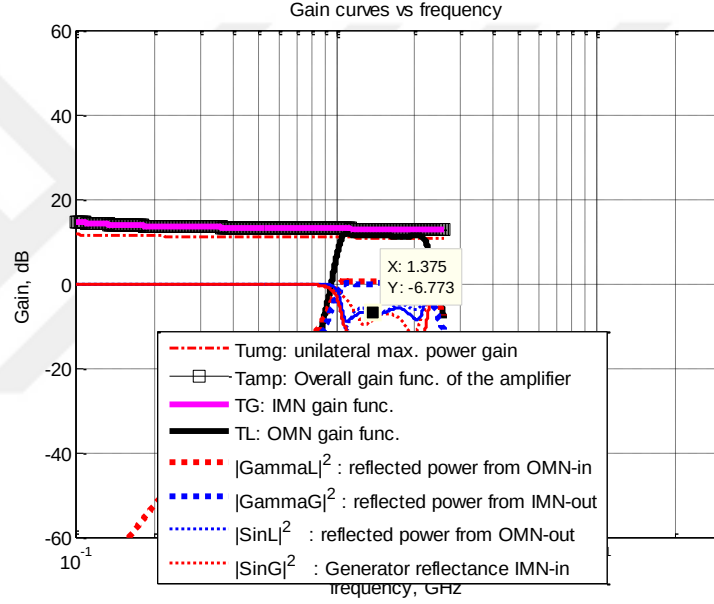
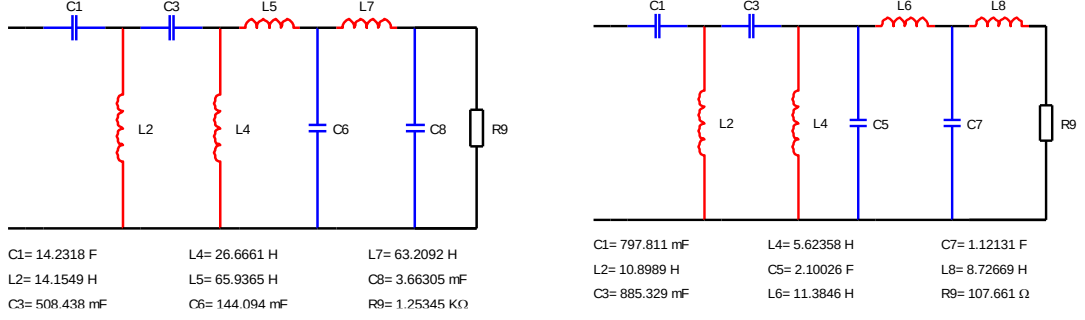
değerleri nH ve pF cinsindendir. Tasarlanan yükselteç beş farklı frekans aralığında çalışacak şekildedir.



Şekil 4.9: Üçüncü Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.

Bu tasarımda bant genişliği sabit tutularak bandın köşe frekansları değiştirilerek ayarlanabilirliğin sağlanması amaçlanmıştır. Bunun için farklı frekanslarda ve aynı topolojide beş adet yükselteç tasarlanmıştır ve bu yükselteçlerin devre elemanları bir sonraki bölümde bahsedilen parazitik kapasitör yaklaşımından hareketle ayarlanabilir elemanlarla değiştirilecektir. Böylelikle yük pertürbasyonu yaklaşımındaki parazitik kapasitör yerine burada frekansa bağlı olarak değişen transistörün giriş ve çıkışındaki

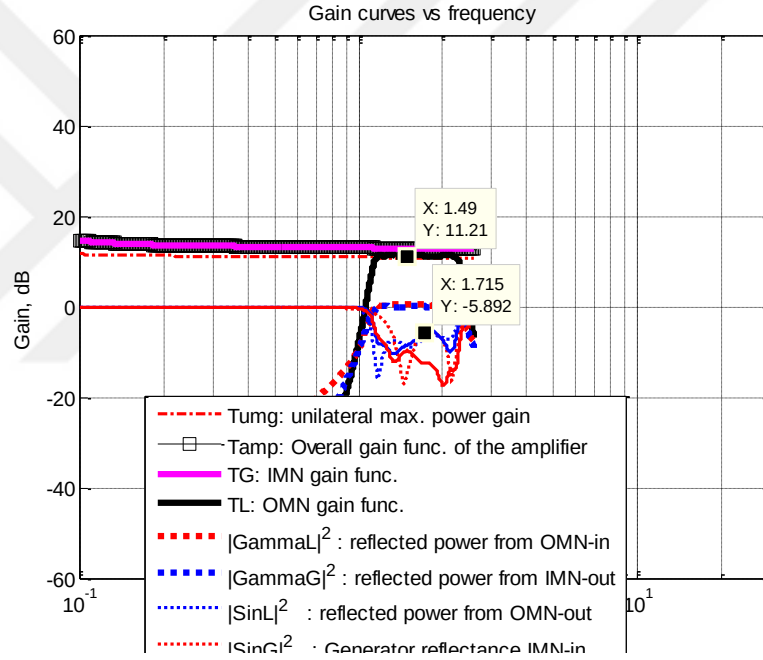
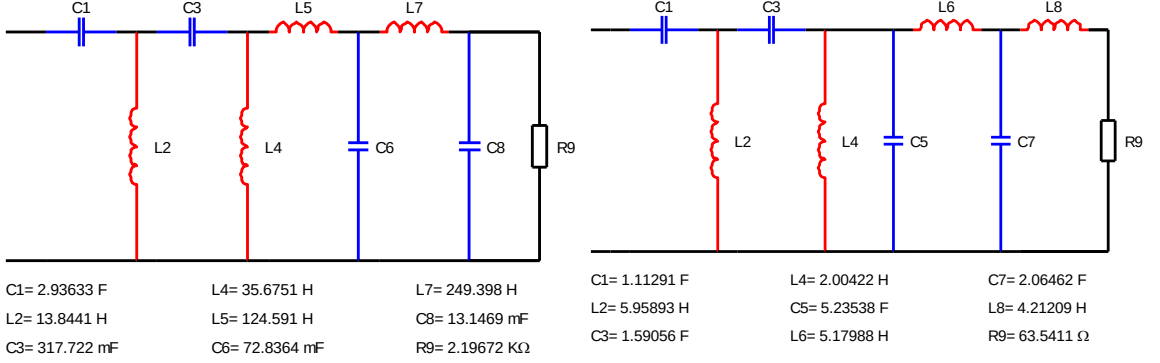
uyumlaşma devreleri yer almıştır. Bu değişim neticesinde devrenin ayarlanabilirliği sağlanacaktır.



Şekil 4.10: Dördüncü Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.

Her bir frekans aralığında aynı topolojide elde edilen, ayarlanabilir yükselteç tasarımı için başlangıç devresi olarak kabul edilecek devrelerin eleman değerleri, topolojisi ve saçılma parametreleri başarımları verilmiştir. Sözü edilen devre şematiklerinde soldaki devre giriş uyumlaşma devresidir ve sağdaki devre de çıkış uyumlaşma devresidir. Elde edilen sonuçlara göre beş farklı frekans bandında çalışan yükselteçler için aynı topolojide düz kazanç eğrisini takip eden devre elemanları elde edilmiştir. Yukarıda da belirtildiği gibi devre eleman değerleri nH ve pF cinsindendir. Elde edilen devrelerin kazanç başarımları

ve yansımalarında da önceki kısımlarda sözü edilen düşük reflektanslı tasarım yaklaşımının çalıştığı gözlenmiştir.



Şekil 4.11: Beşinci Frekans Aralığı İçin Devre Topolojisi ve Kazanç Başarımı.

Aynı topolojide elde edilen devre eleman değerleri kullanılarak bilgisayar destekli tasarım programları yardımıyla tasarım iyileştirilecektir. Bu iyileşmede kazanç başarımının artırılması ve giriş çıkış devrelerindeki yansımaların da aşağıya çekilmesi hedeflenmektedir. Bunun için Advanced Design System adlı yazılımın deneme sürümü kullanılmıştır.

4.4. BİLGİSAYAR BENZETİMİ VE OPTİMİZASYONU

Tasarlanan yükselteçlerin hepsi aynı topolojidedir bunun sebebi aslında bu 5 yükseltecin bir yükselteç olarak kurgulanmış olmasıdır. Burada, bant genişliği sabit tutularak köşe frekansları değiştirilip elde edilen 5 farklı yükselteç devresindeki devre elemanları incelemesi yapılacaktır. Ayarlanabilir eleman olarak kapasitörler seçilecektir ve tüm endüktörler sabit tutulup sistem frekansı ayarlanabilir hale gelecektir. Burada tasarım yöntemi olarak kullanılan SRFT topoloji belirlemek için ve daha sonra bir CAD programında yapılacak eniyileme için başlangıç değerleri belirlemede etkin rol oynamaktadır. SRFT kullanılarak tasarlanan yükselteçlerde, üretim süreci göz önünde bulundurularak DC bloklama yapmak maksadıyla transistörün girişindeki ve çıkışındaki devre elemanı kapasitör olarak seçilmiştir.

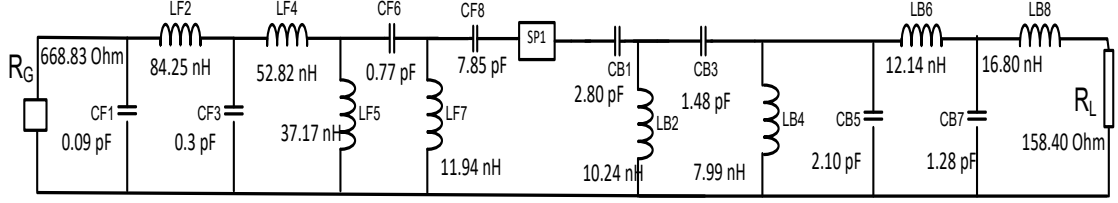
Birinci adımda, SRFT ile belirlenen topoloji ve devre elemanları ADS ortamında doğrulanarak tam başarımda sonuçlar elde edilmiştir. Buna göre MATLAB’da elde edilen sonuçlarla ADS’ te elde edilen sonuçlar tam olarak tutarlıdır.

İkinci adımda ise, başlangıç değerleri ADS programı vasıtasıyla optimize edilmiştir. Bu optimizasyonda amaç kazanç seviyesi mümkün mertebe sabit tutularak giriş ve çıkış yansımaları azaltmak ve giriş-çıkış devrelerindeki sonlandırmaları 50 ohma getirmektir. ADS yazılımının optimizasyon motorunun güçlü olması hasebiyle bu adım neticesinde daha iyi sonuçlar elde edilmesi beklenmiştir. Aşağıda bu benzetimin sonuçlarının yüksek başarımla sağlandığı görülmektedir.

4.4.1. Bilgisayar Benzetimi

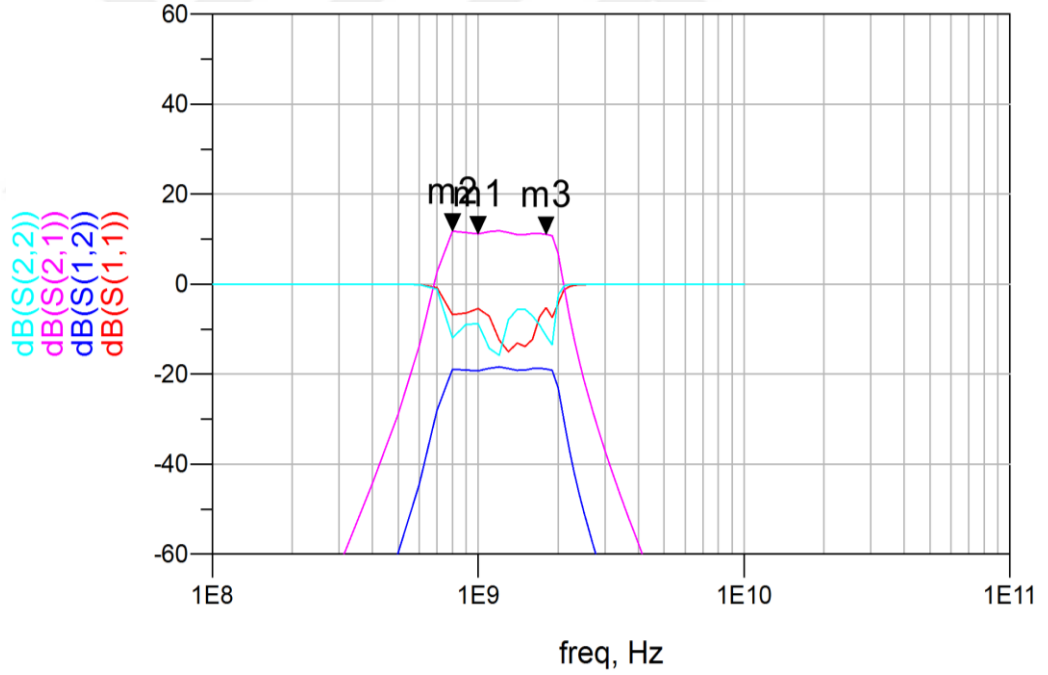
Çalışmanın bu kısmında, SRFT kullanılarak elde edilen yükselteç devrelerinin ADS benzetimiyle doğrulanmaları elde edilmiştir. Sonuçlara göre tam başarımla sağlanmıştır.

4.4.1.1. Birinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi



Şekil 4.12: Birinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi.

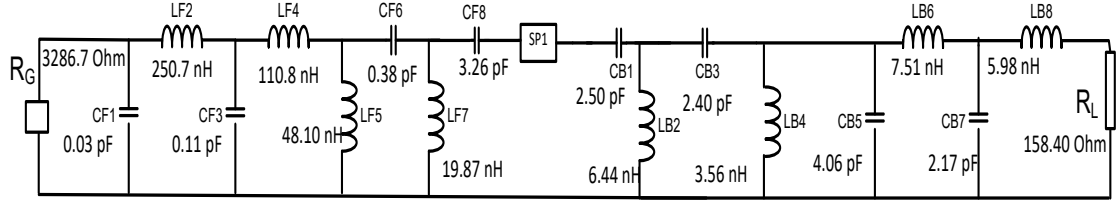
Önceki bölümde bahsedilen tasarım algoritması ile elde edilen devrenin bilgisayar benzetimi ile tutarlılığının saptanması için aşağıdaki sonuçlar incelenebilir. Sonuçlara göre tam başarımlı sağlanmıştır. Verilen grafikte m1, m2, m3 işaretçileri sırasıyla 11.164dB @ 1GHz, 11.72dB @ 0.8GHz ve 11.015dB @ 1.8GHz seviyesindedir.



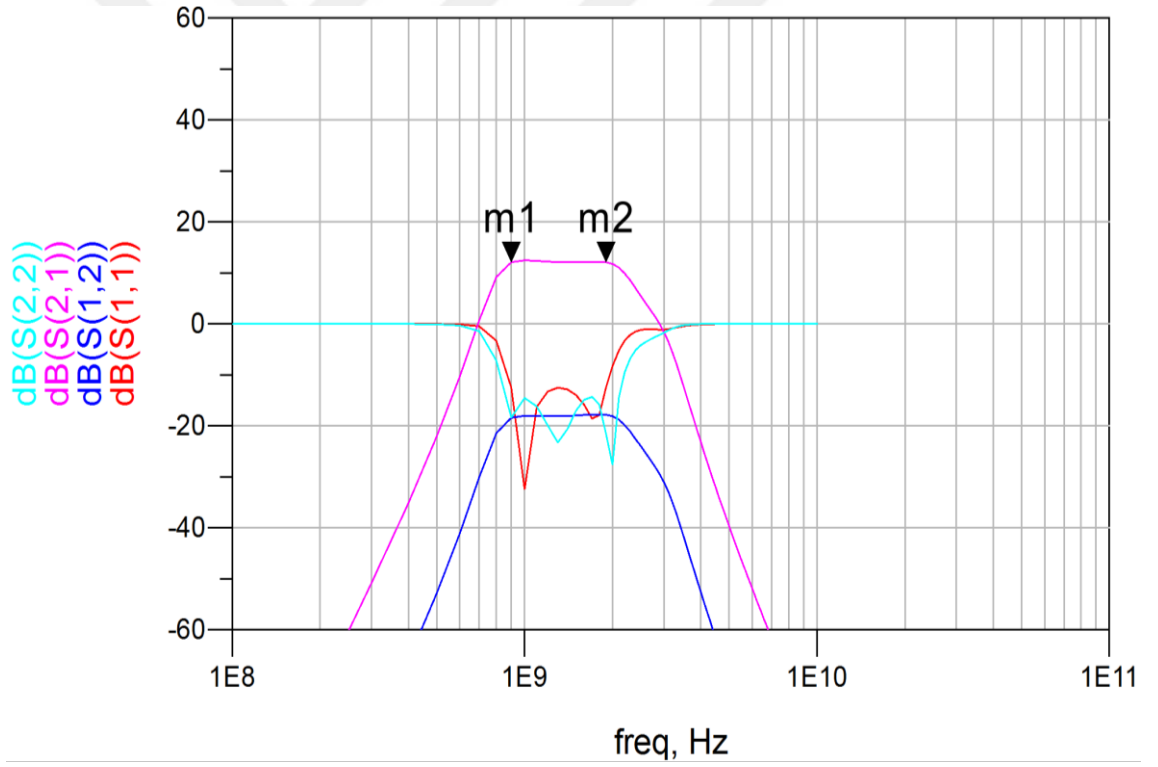
Şekil 4.13: Birinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.

4.4.1.2. İkinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi

Elde edilen sonuçlar, devre şematığı ve devre eleman değerleri aşağıda verilmiştir. Verilen kazanç grafiğindeki işaretçiler m1 ve m2 sırasıyla 12.089dB @ 0.9 GHz ve 1.9 GHz mertebesindedir.



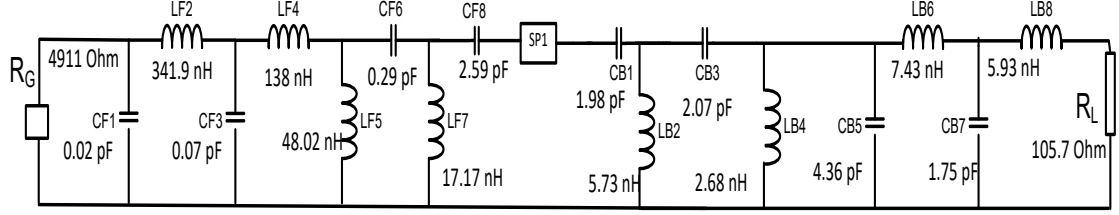
Şekil 4.14: İkinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi.



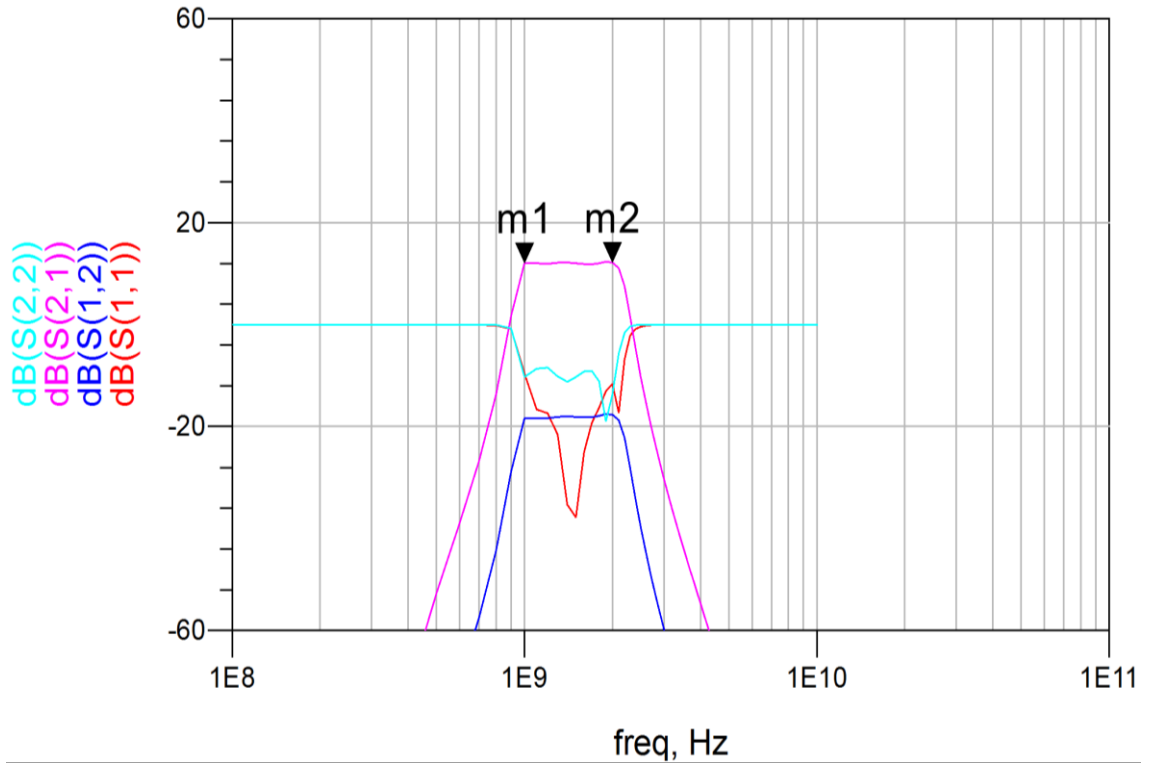
Şekil 4.15: İkinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.

4.4.1.3. Üçüncü Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi

Üçüncü frekans aralığı için bilgisayar benzetimi sonucu aşağıdaki gibidir. Buna göre öne sürülen tasarım algoritmasından elde edilen sonuçlar tam tutarlıdır. Verilen saçılma parametreleri başarımlı grafiğindeki işaretçiler m1 12.053dB @ 1GHz ve m2 12.159 dB @ 2GHz mertebesindedir.



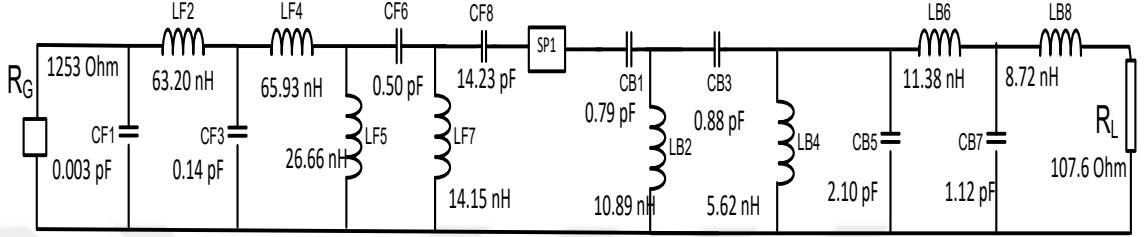
Şekil 4.16: Üçüncü Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi



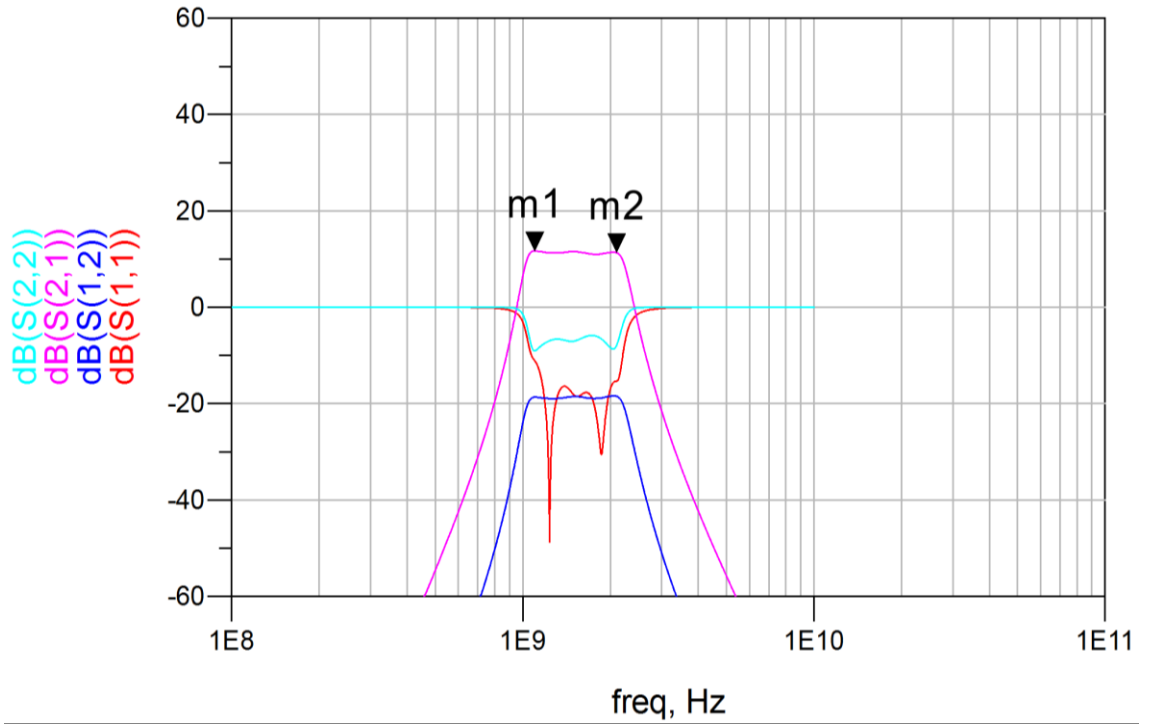
Şekil 4.17: Üçüncü Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.

4.4.1.4. Dördüncü Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi

Bu frekans aralığı için devre topolojisi ve devre eleman değerleri ile devrenin kazanç başarımı aşağıdaki gibidir. Öne sürülen tasarım algoritmasıyla tam tutarlılık göstermiştir. Kazanç eğrisindeki işaretçiler m1 11.677 dB @ 1.1 GHz ve m2 11.3 dB @ 2.1 GHz seviyesindedir.



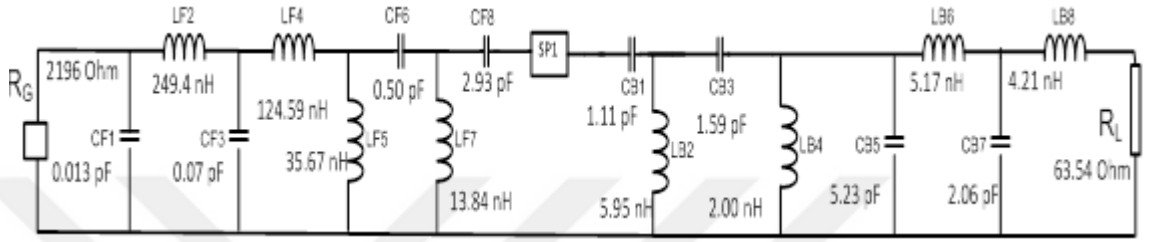
Şekil 4.18: Dördüncü Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi.



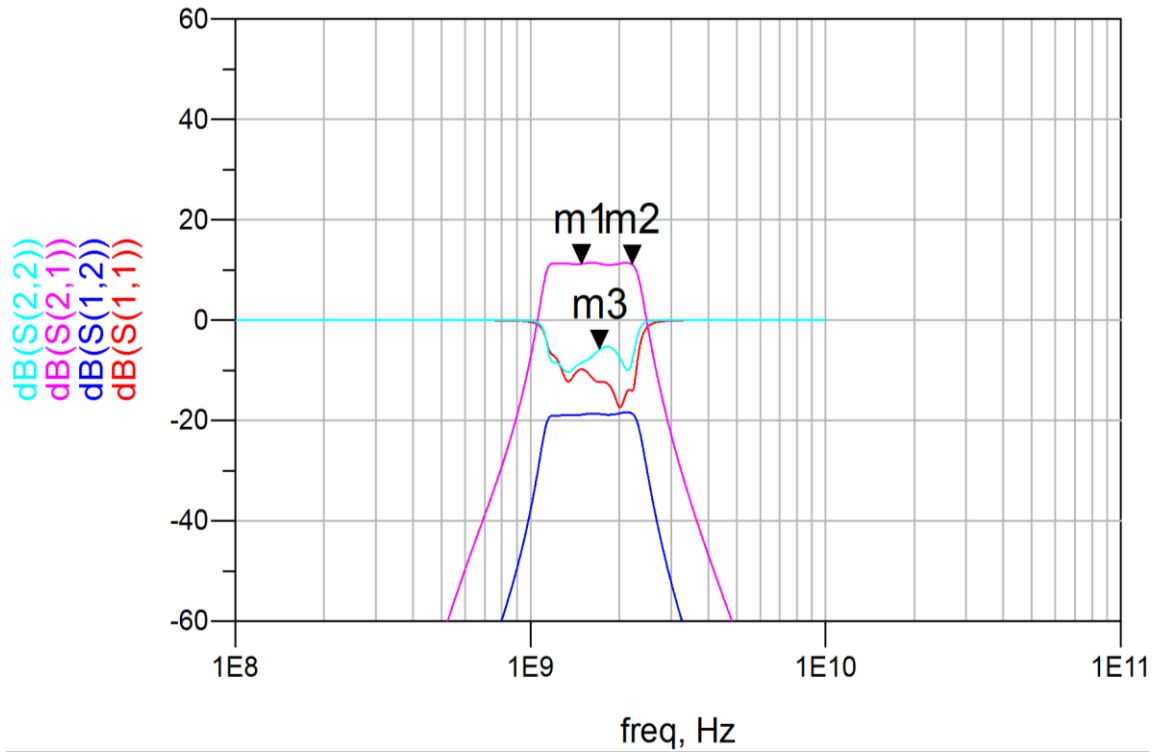
Şekil 4.19: Dördüncü Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.

4.4.1.5. Beşinci Frekans Aralığında Yükselteç Tasarımı İçin Bilgisayar Benzetimi

Son olarak beşinci frekans aralığı için de benzer şekilde devre topolojisi, devre eleman değerleri ve kazanç başarımı verilmiştir. Geliştirilen programda elde edilen değerlerle tam uyumlu sonuçlar elde edilmiştir. Kazanç başarımı grafiğinde işaretçiler, m1, m2 ve m3 sırasıyla 11.213dB @ 1.49GHz, 11.07dB @ 2.21 GHz ve -5.892dB @ 1.715dB mertebesindedir.



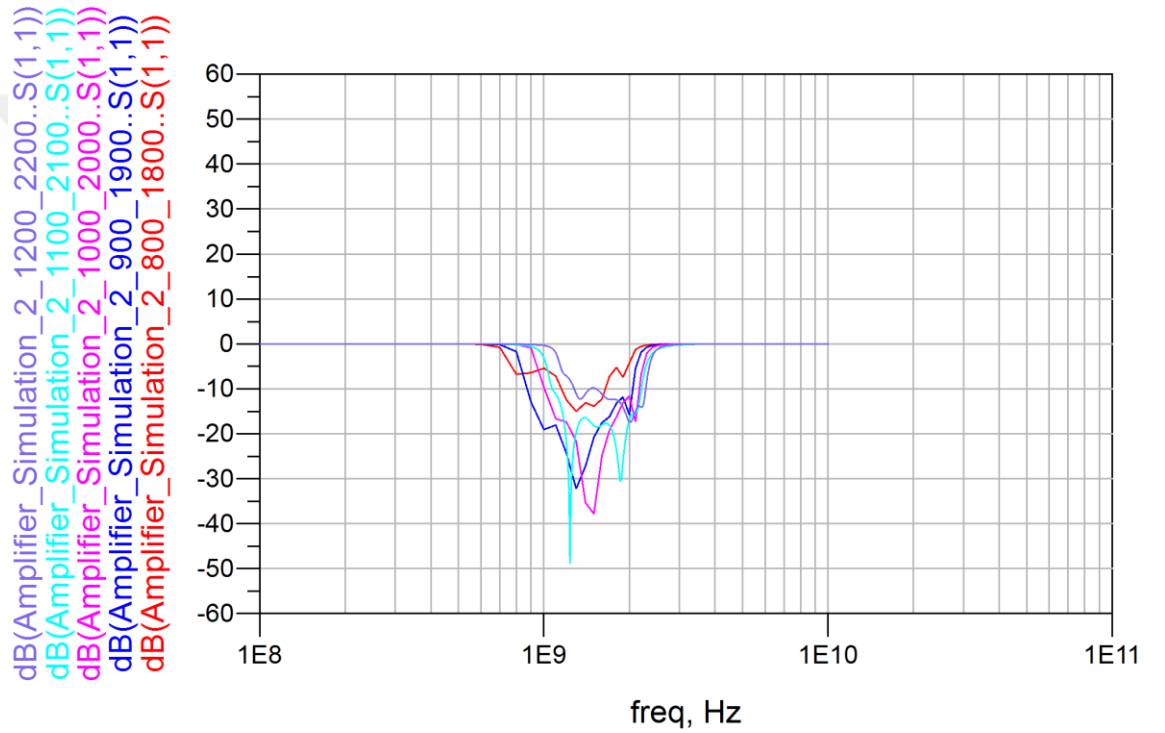
Şekil 4.20: Beşinci Frekans Aralığında Bilgisayar Benzetimi İçin Devre Topolojisi.



Şekil 4.21: Beşinci Frekans Aralığı İçin Bilgisayar Benzetimi Başarımı.

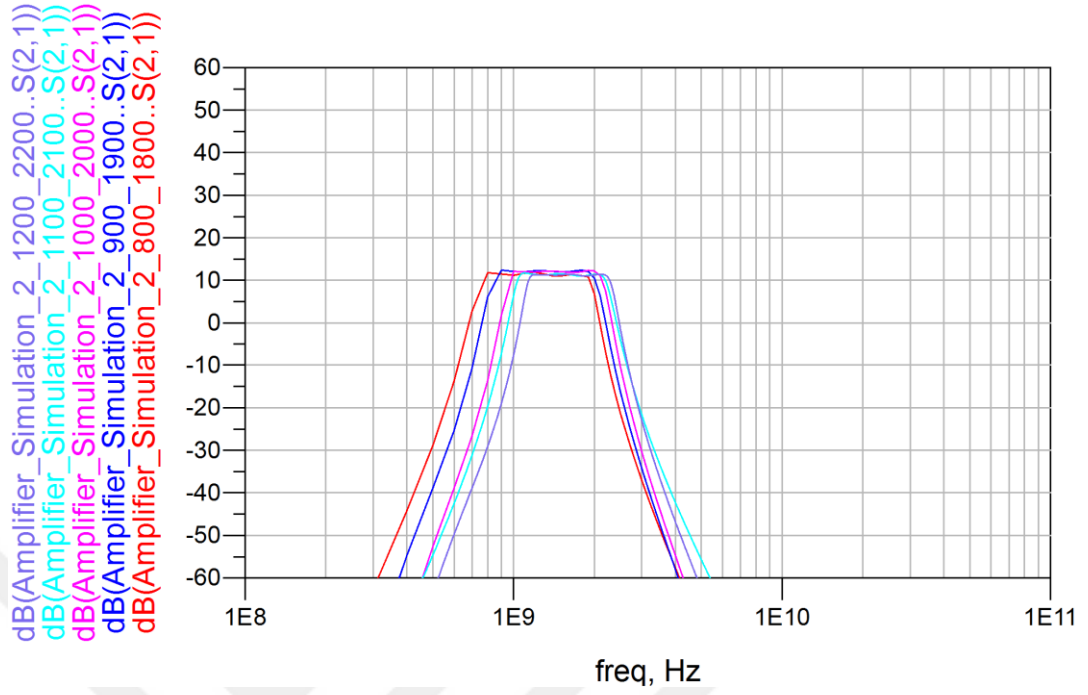
Sonuçlardan anlaşılaacağı üzere bilgisayar benzetimi başarımları grafikleri incelendiğinde S_{21} seviyeleri 11dB mertebelerinde olmuştur, S_{11} -7 dB'nin altındaki mertebelerde gerçekleşmiştir ve S_{22} ise -6 dB mertebelerinde gerçekleştirmiştir. Belirtilen saçılma parametreleri performansları tüm durumlar için grafik olarak aşağıdaki gibi elde edilir.

Beş farklı frekans için elde edilen yükselteç için S_{11} performansı aşağıdaki şekildeki gibi elde edilmiştir. Görüldüğü üzere bant genişliklerinin tamamına yakınında - 7 dB' nin altında kalan bir performans elde edilmiştir.



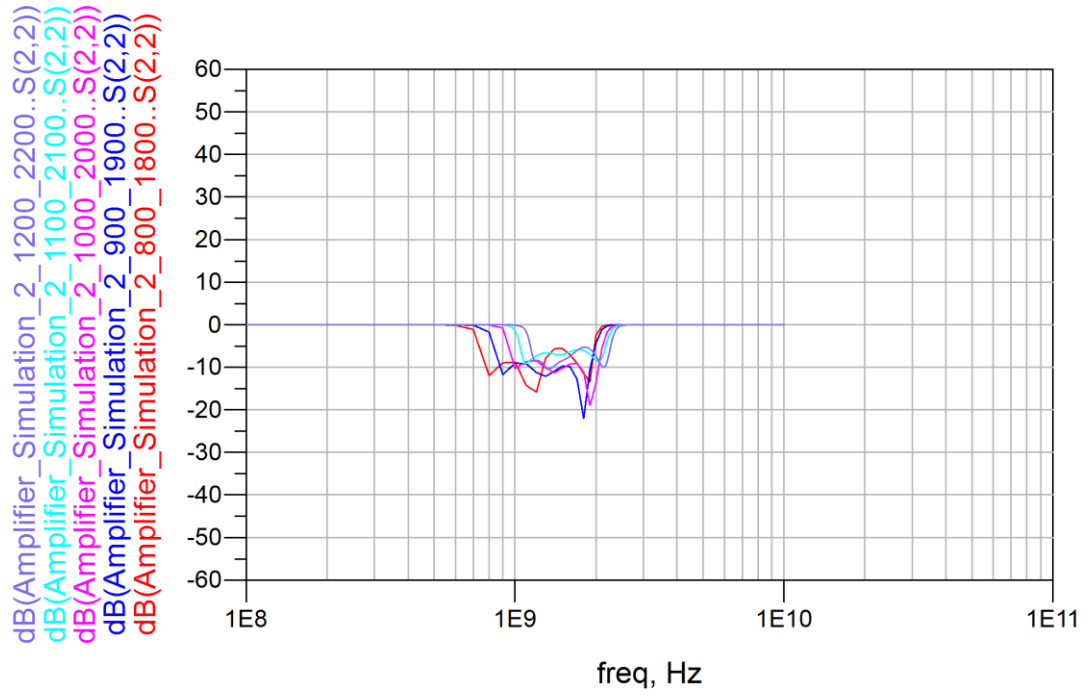
Şekil 4.22: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{11} .

Tasarlanan yükselteç için elde edilen S_{21} performansları aşağıdaki gibi elde edilmiştir. SRFT ile MATLAB ortamında elde edilen ilk tasarım alınarak bilgisayar benzetimi ile yeniden elde edildiğinde tam başarımlar sağlanmıştır. Bant genişliğinin ayarlanabilirliği de şekildeki gibi elde edilmiştir.



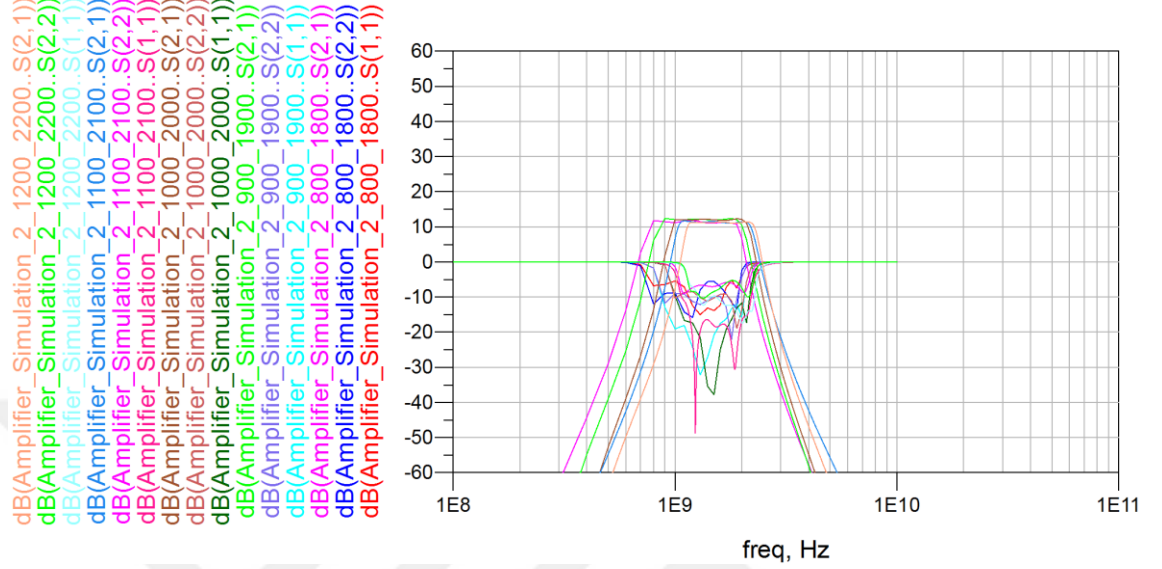
Şekil 4.23: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{21} .

Yükseltecin saçılma parametreleri performansı anlaşılır olması adına işaretleyiciler olmadan verilmiştir. S_{22} bant geneline tüm durumlar için -6 dB' in altında kalmıştır.



Şekil 4.24: Tüm Durumlarda Bilgisayar Benzetimi Başarımı İçin S_{22} .

Tasarlanan yükseltecin tüm durumlarda S_{11} , S_{22} ve S_{21} performansı ve ayarlanabilirlik başarımı da grafikte görülebilmektedir.

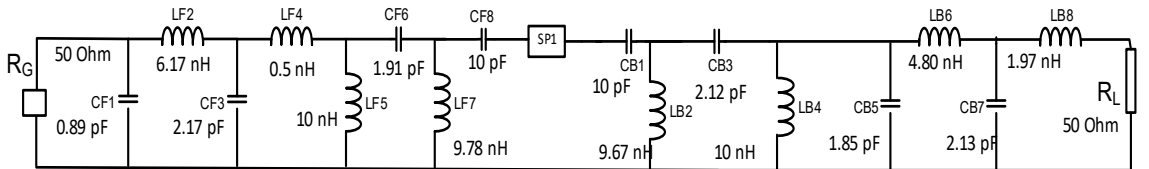


Şekil 4.25: Tüm Durumlarda Bilgisayar Benzetimi Başarımı Saçılma Parametreleri.

4.4.2. Tasarlanan Yükselteçler İçin Optimizasyon

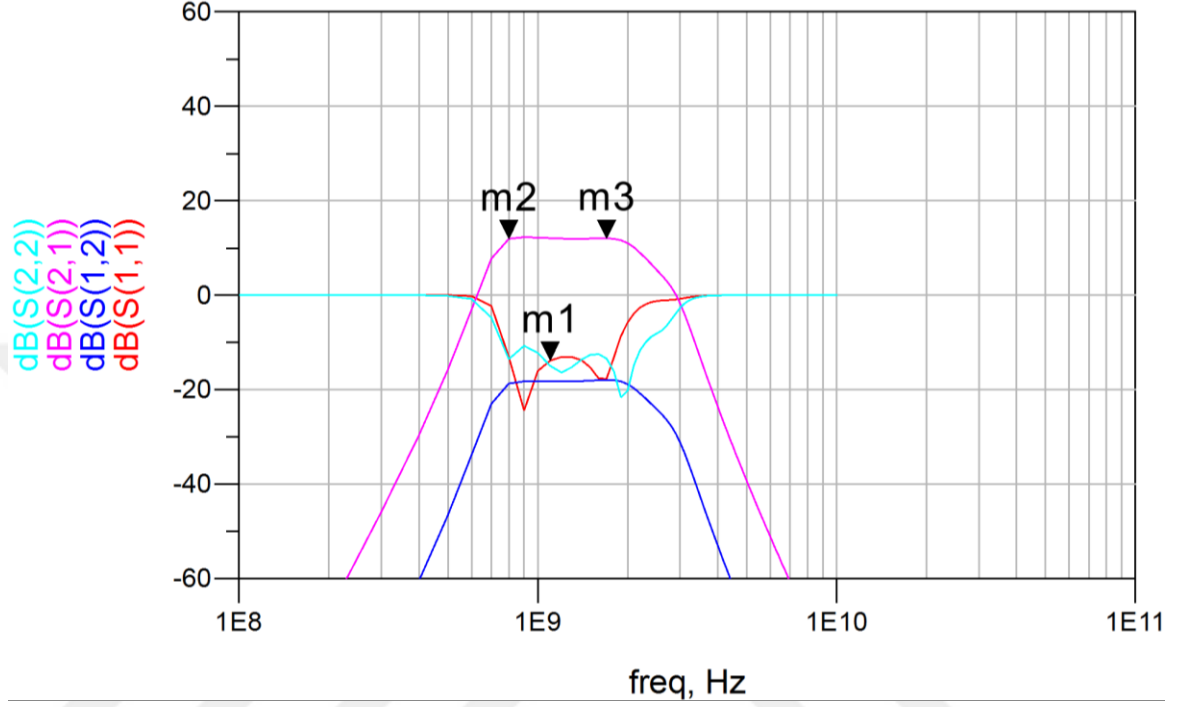
Bu bölümde, SRFT kullanılarak elde edilen yükselteç tasarımının saçılma parametrelerini iyileştirmek maksadıyla ve bazı çok büyük ve çok küçük eleman değerlerinin kabul edilebilir ve üretim açısından uygun değerlere yaklaştırılması için bilgisayar destekli yazılım programıyla optimizasyon yapılmıştır. ADS yazılımıyla tekrar optimize edilen devrelerin saçılma parametrelerinde iyileşme gözlenmiştir. Her bir frekans aralığı için sonuçlar aşağıdaki şekil ve grafiklerden görülebilir.

4.4.2.1 Birinci Frekans Aralığı İçin Optimizasyon



Şekil 4.26: Birinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.

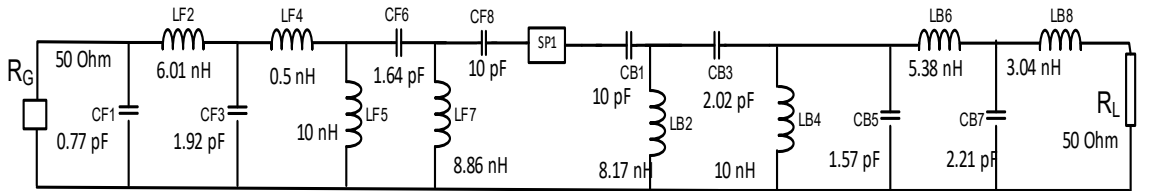
Bu bölümde birinci frekans aralığı için devre optimize edilecektir ve devre eleman değerleri yukarıdaki şekildeki gibidir. Grafikte verilen işaretçiler m1, m2 ve m3 sırasıyla -13.86 dB @ 1.1 GHz, 11.9 dB @ 0.8 GHz ve 12.02 dB @ 1.7 GHz civarındadır.



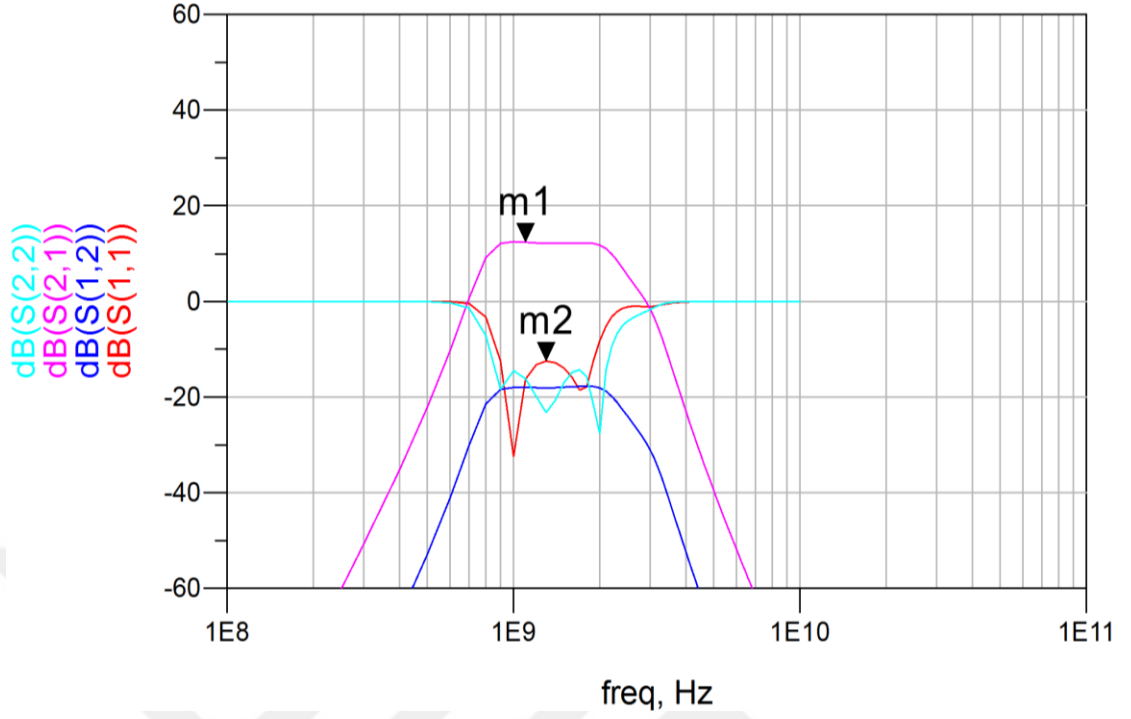
Şekil 4.27: Birinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.

4.4.2.2. İkinci Frekans Aralığı İçin Optimizasyon

İkinci aralıktaki bant genişliği için devre eleman değerleri aşağıdadır ve kazanç başarımı grafiğindeki işaretçiler m1 ve m2 sırasıyla 12.34 dB @ 1.1 GHz ve -12.52 dB @ 1.3 GHz seviyelerindedir.

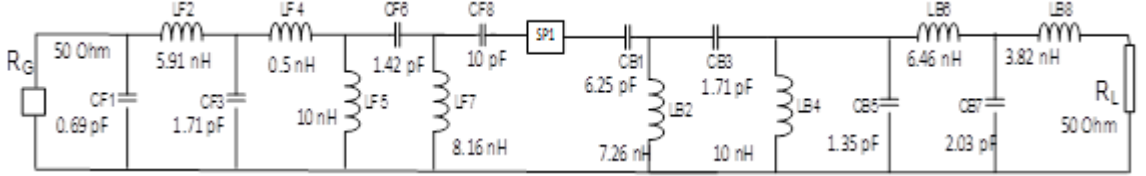


Şekil 4.28: İkinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.



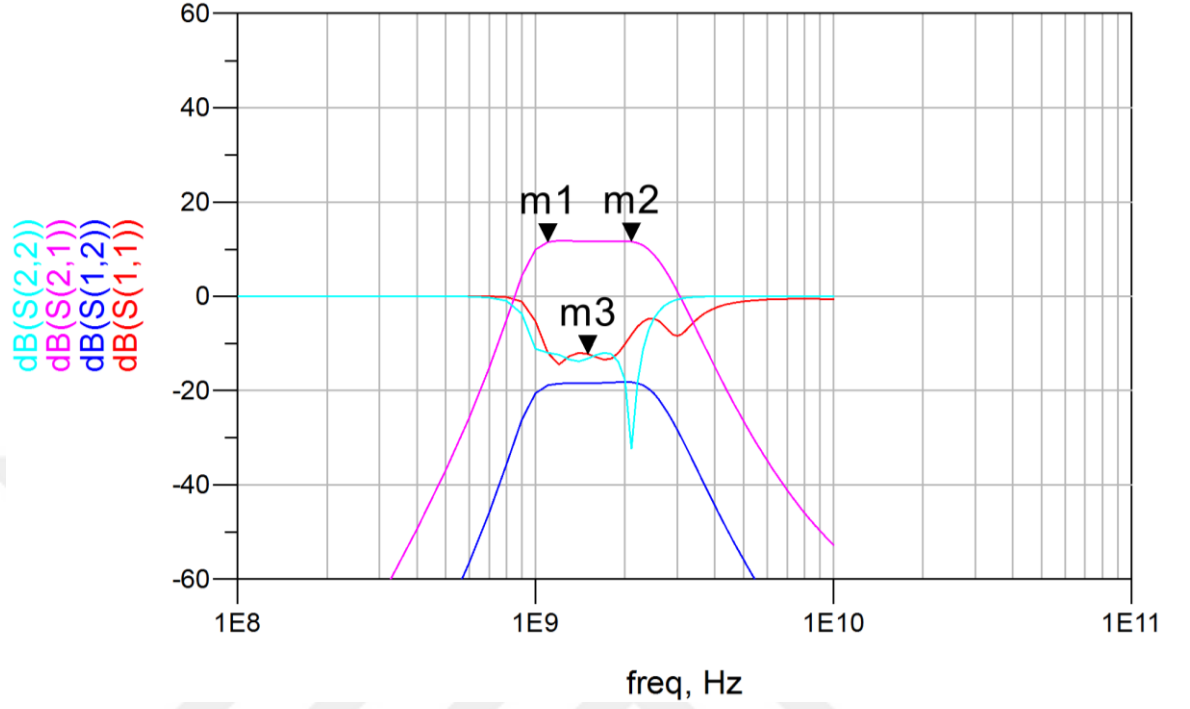
Şekil 4.29: İkinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.

4.4.2.3. Üçüncü Frekans Aralığı İçin Optimizasyon



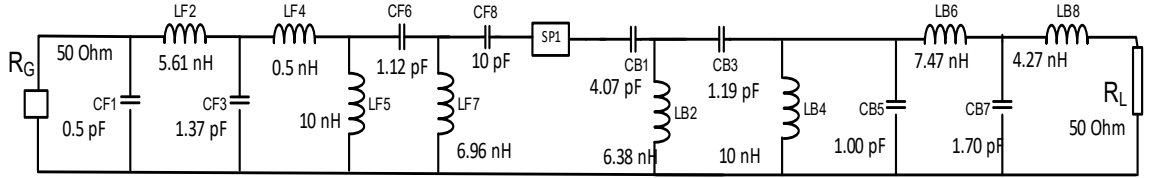
Şekil 4.30: Üçüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.

Bu frekans için elde edilen devre eleman değerleri yukarıdaki gibidir ve optimizasyon sonucu elde edilen kazanç performansı aşağıdaki grafikte verilmiştir. Elde edilen eğri üzerindeki işaretçi m1 1.4 GHz frekansında 11.82 dB mertebesindedir.



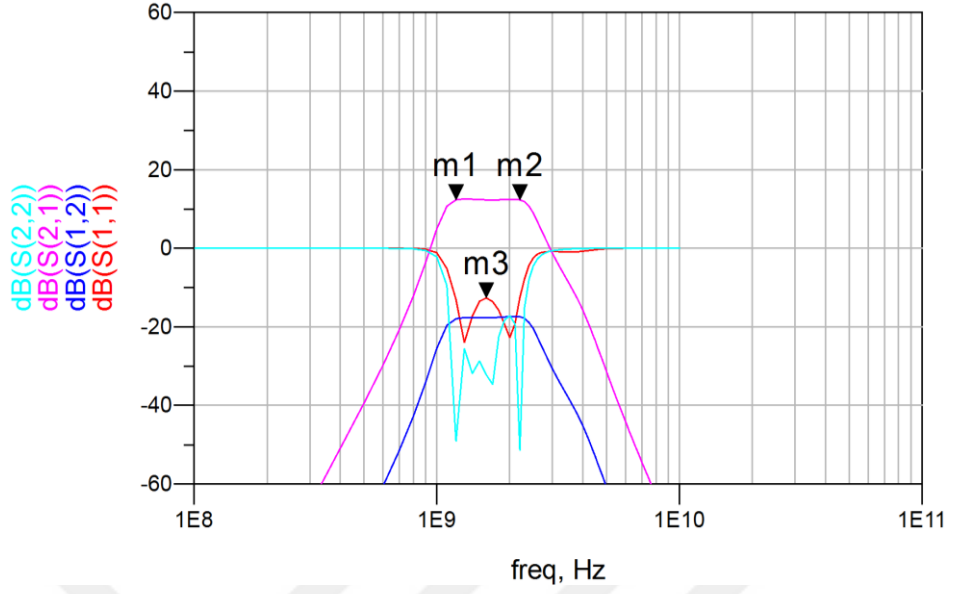
Şekil 4.33: Dördüncü Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.

4.4.2.5. Beşinci Frekans Aralığı İçin Optimizasyon



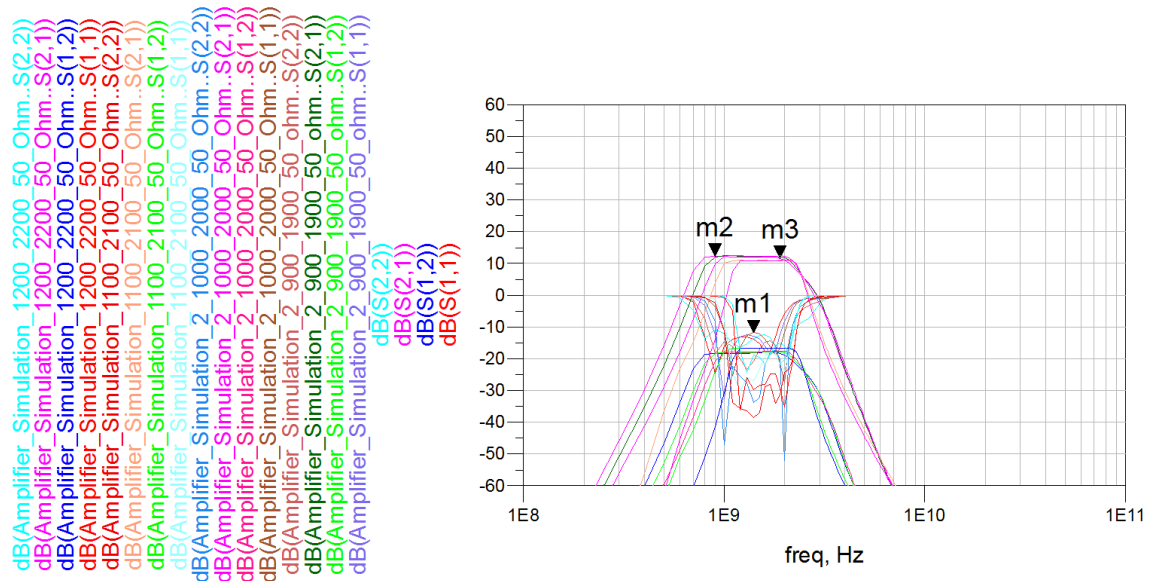
Şekil 4.34: Beşinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Eleman Değerleri.

Beşinci frekans aralığında optimizasyon sonucu elde edilen devre eleman değerleri üstteki devrede gösterilmiştir, ayrıca kazanç başarımı aşağıdaki gibidir. Saçılma parametresi eğrilerindeki işaretçiler m1, m2 ve m3 sırasıyla 12.29 dB @ 1.2 GHz, 12.29 dB @ 2.2 GHz ve -12.265 dB @ 1.6 GHz civarındadır.

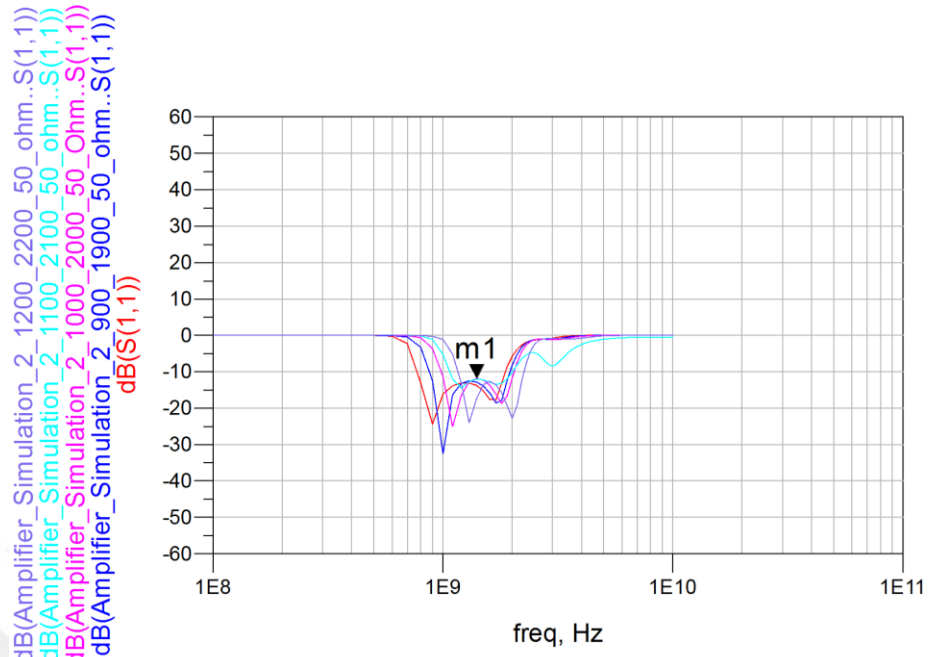


Şekil 4.35: Beşinci Frekans Aralığında Optimizasyon Sonucu Elde Edilen Kazanç Başarımı.

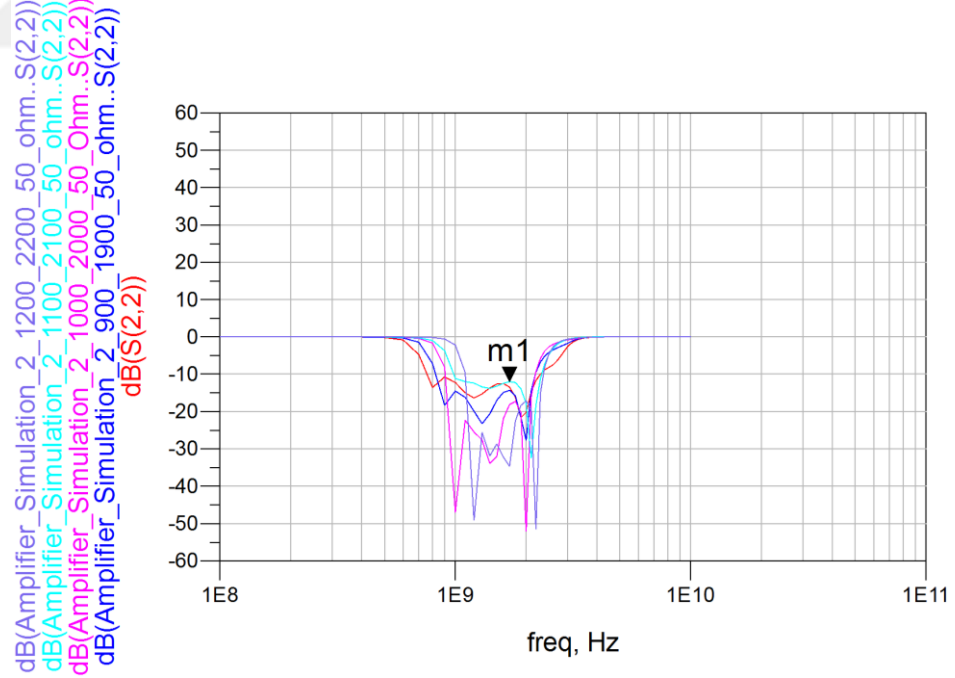
Aşağıda tüm saçılma parametreleri bir arada tüm durumlar için, S_{11} tüm durumlar için, S_{22} tüm durumlar için ve S_{21} tüm durumlar için gösterilecektir. Daha önce de belirtildiği gibi ADS programı yardımıyla yapılan yeniden optimizasyon neticesinde tüm bant boyunca S_{11} ve S_{22} için birkaç desibel iyileşme olması beklenmektedir. Ayrıca bununla orantılı olacak şekilde S_{21} ’de de tüm bant boyunca yaklaşık 1 dB’lik artış beklenmektedir.



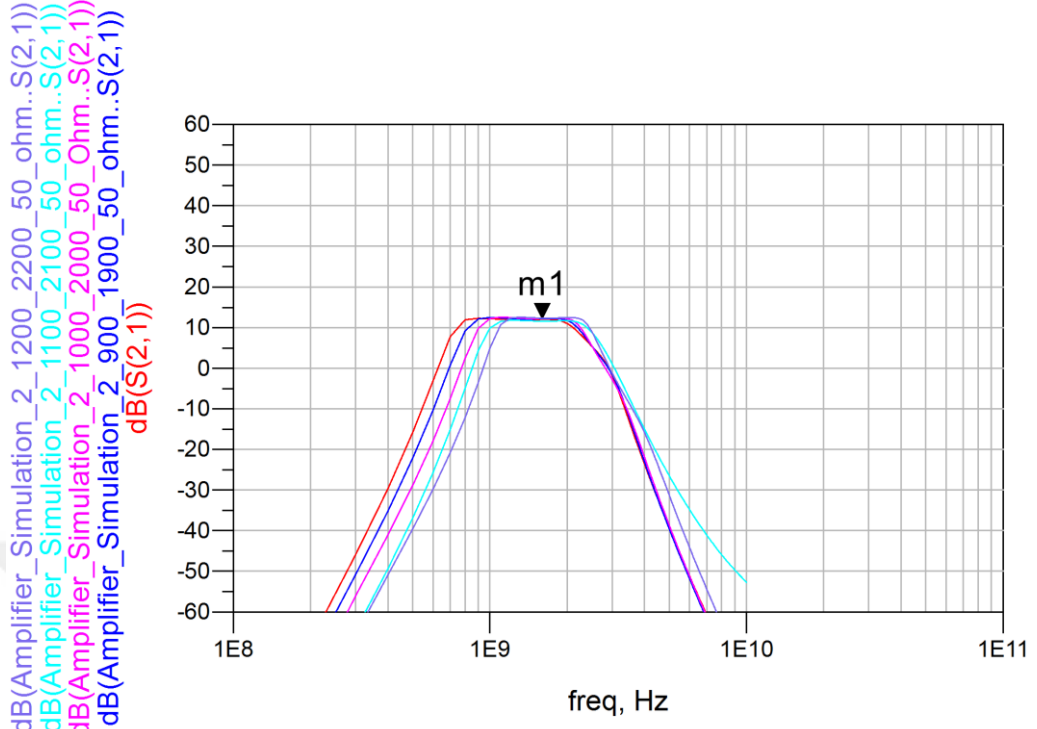
Şekil 4.36: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S Parametreleri Başarımı.



Şekil 4.37: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{11} Başarımı.



Şekil 4.38: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{22} Başarımı.



Şekil 4.39: Optimizasyon Sonucu Elde Edilen Tüm durumlar İçin S_{21} Başarımı.

Tüm saçılma parametrelerinin tüm durumlar için verildiği grafikte işaretçiler m1, m2 ve m3 sırasıyla -11.82 dB @ 1.4 GHz, 12.24 dB @ 0.9 GHz ve 11.59 dB @ 1.9 GHz civarındadır. Bununla birlikte tüm durumlar için S_{11} 'in verildiği grafikte de benzer şekilde m1 işaretçisi 1.4 GHz frekansında -11.82 dB seviyesindedir ve S_{22} grafiğinde de m1 işaretçisi 1.7 GHz frekansında yaklaşık -12 dB seviyesindedir. Son olarak tüm durumlar için S_{21} başarımı grafiğinde m1 işaretçisi 1.6 GHz frekansında 12.01 dB kazanç seviyesindedir.

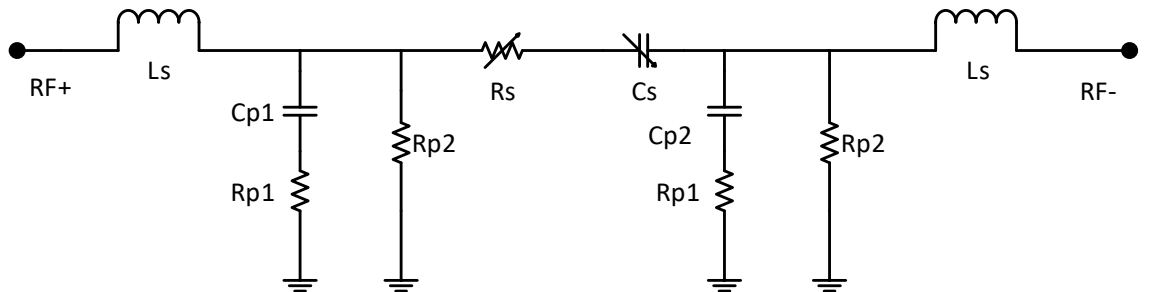
Yukarıda verilen grafiklerde S_{11} ve S_{22} başarımları incelendiğinde bu parametrelerdeki iyileşme daha birkaç desibelden fazla olmuştur. Bununla birlikte S_{21} yaklaşık olarak 1 dB mertebesinde artış göstermektedir ki bu iyileşme de S_{11} ve S_{22} başarımlarındaki iyileşmeler göz önünde bulundurulduğunda beklenen seviyededir. Ayrıca S_{11} tüm bant boyunca -11.8 dB'nin ve S_{22} de tüm bant boyunca yaklaşık -12 dB'nin altına kadar inmiştir. Burada kullanılan ADS yazılımının optimizasyon gereçlerinin yüksek başarımının da etkisini belirtmek gerekmektedir.

4.5. DİJİTAL KAPASİTÖRLER

Çalışmanın bu kısmında tasarlanan 5 farklı yükseltecin ayarlanabilirliği ile ilgili yöntemden bahsedilecektir. SRFT ile elde edilen yükselteçler ADS ile optimize edildikten sonra bu bölümde önceki bölümlerde verilen ayarlanabilir uyumlaşma devresi tasarlanırken kullanılan yük pertürbasyonu ya da diğer bir ifadeyle parazitik kapasitör yaklaşımı kullanılmıştır. Bu yöntemde yükseltecin ayarlanabilirliği için endüktörler sabit tutulup kapasitörler ayarlanabilir kapasitörlerle değiştirilerek bu elemanların yükselteç uyumlama devresi üzerinde yaptığı değişiklik neticesinde elde edilen ayarlanabilirlik elde edilmiştir. Daha önceki uygulamalarımızda “MEMS” ve “varaktör diyot” kullanılmış ve başarılı sonuçlar elde edilmiştir. Bu uygulamada ise “dijital kapasitör” olarak adlandırılan ayarlanabilir devre elemanı kullanılacaktır.

4.5.1. Ayarlanabilir Dijital Kapasitör Devre Modellerinin Bilgisayar Benzetimi

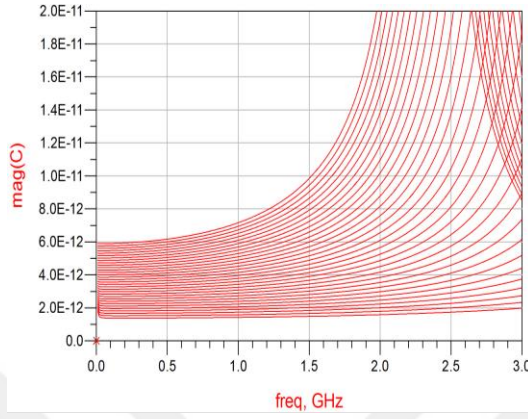
Dijital kapasitörün avantajı kayıplarının belli frekans aralığında düşük olmasıdır ayrıca modeline göre 16, 32, 64 farklı kapasitansı değeri sağlaması hasebiyle MEMS ile karşılaştırıldığında daha fazla kapasitansı değeri verebilmektedir. Bu çalışmada Peregrine[49] firmasının kapasitörleri kullanılmıştır. Kapasitörlerin devre modelleri üreticilerden elde edilmiştir ve ADS benzetimleri üreticiden alınan performans verileriyle tam uyumludur. Benzetimlerde dijital kapasitörlerin seri ve paralel bağlı durumları incelenmiştir. Devre topolojisi tüm modeller için aynıdır eleman değerleri her bir model için farklı değerlerdedir. Buna göre eşdeğer devre modellerinin parametreleri tablolarda gösterilmiştir. Tüm tablolarda X ile belirtilen dijital kapasitörlerin mantıksal durumudur.



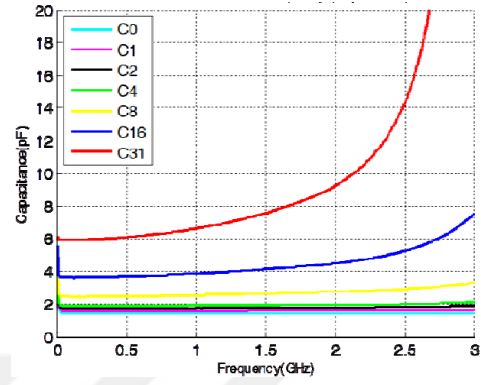
Şekil 4.40: Ayarlanabilir Dijital Kapasitör Devre Topolojisi (Tüm Modeller İçin).

- PE64101 Modeli

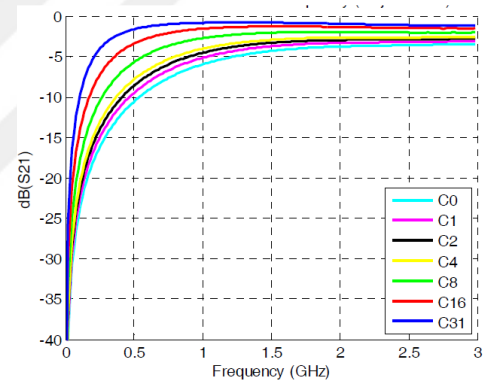
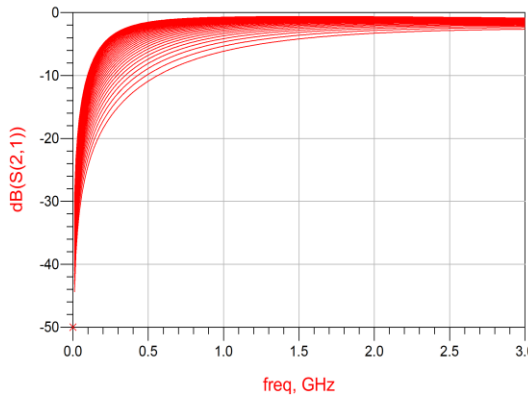
Bilgisayar benzetimi



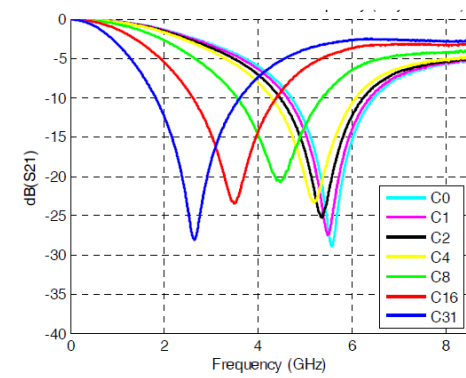
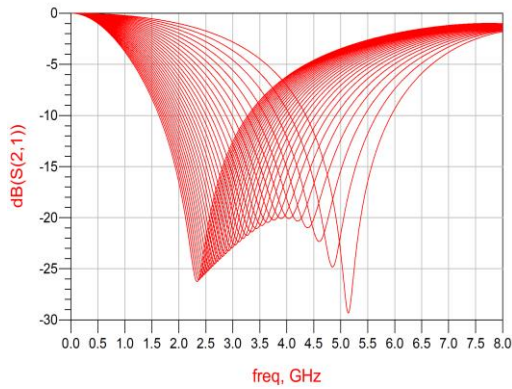
Üretici Verisi



a)



b)



c)

Şekil 4.41: PE64101 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} c) Şönt S_{21} .

Parametrelere göre devre modeli için tüm durumlarda kazanç eğrisi kapasitans değerleri yukarıdaki şekilde verilmiştir. Ayarlanabilir kapasitörler üreticiden alınan veriyle tam uyum görülmektedir. Devre elaman değerleri aşağıdaki tablodaki gibidir.

Tablo 4.1: PE64101 İçin Eşdeğer Devre Modeli Parametreleri.

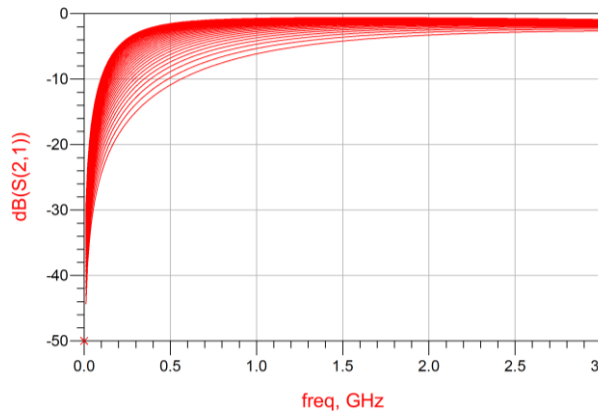
Değişken	Denklem	Birim
C_s	$0.148 * X + 0.97$	pF
R_s	$30/(X + 30/(X + 0.4)) + 0.4$	Ω
C_{p1}	$-0.0022 * X + 0.4005$	pF
C_{p2}	$0.0026 * X + 0.5092$	pF
R_{p1}	4	Ω
R_{p2}	$22000 + 6 * X^3$	Ω
L_s	0.4	nH

- **PE64102 Modeli**

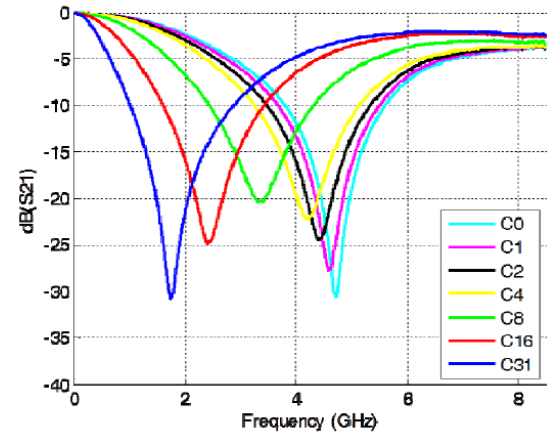
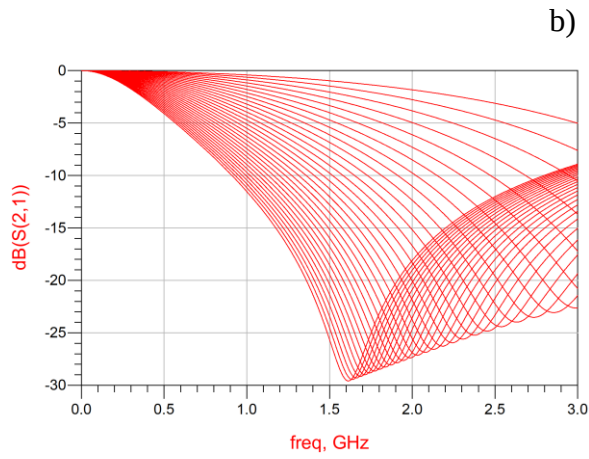
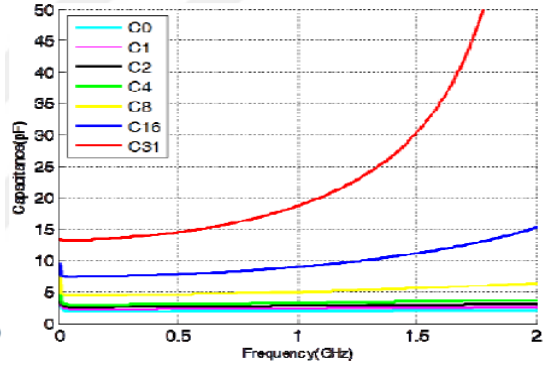
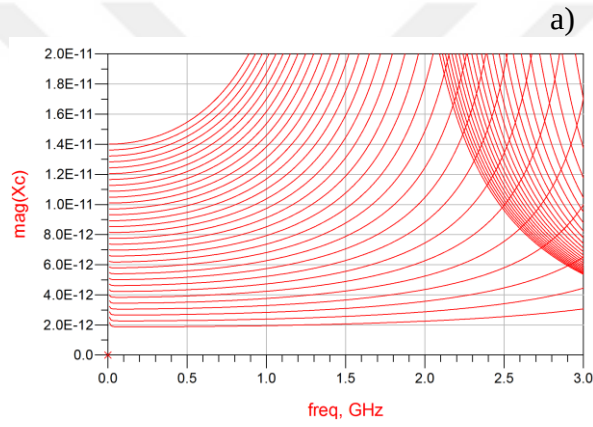
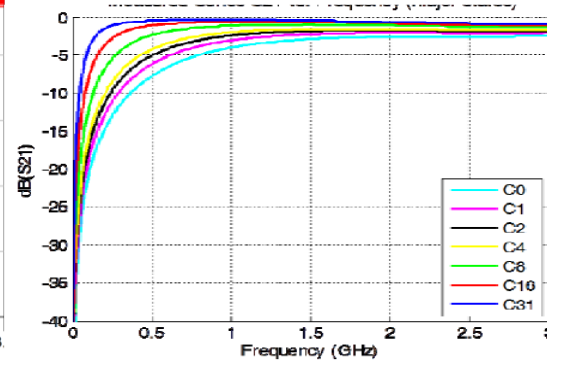
Tablo 4.2: PE64102 İçin Eşdeğer Devre Modeli Parametreleri.

Değişken	Denklem	Birim
C_s	$0.394 * X + 1.456$	pF
R_s	$15/(X + 15/(X + 0.4)) + 0.4$	Ω
C_{p1}	$-0.0026 * X + 0.4155$	pF
C_{p2}	$0.0029 * X + 0.4914$	pF
R_{p1}	4	Ω
R_{p2}	$22000 + 6 * X^3$	Ω
L_s	0.4	nH

Bilgisayar benzetimi



Üretici Verisi

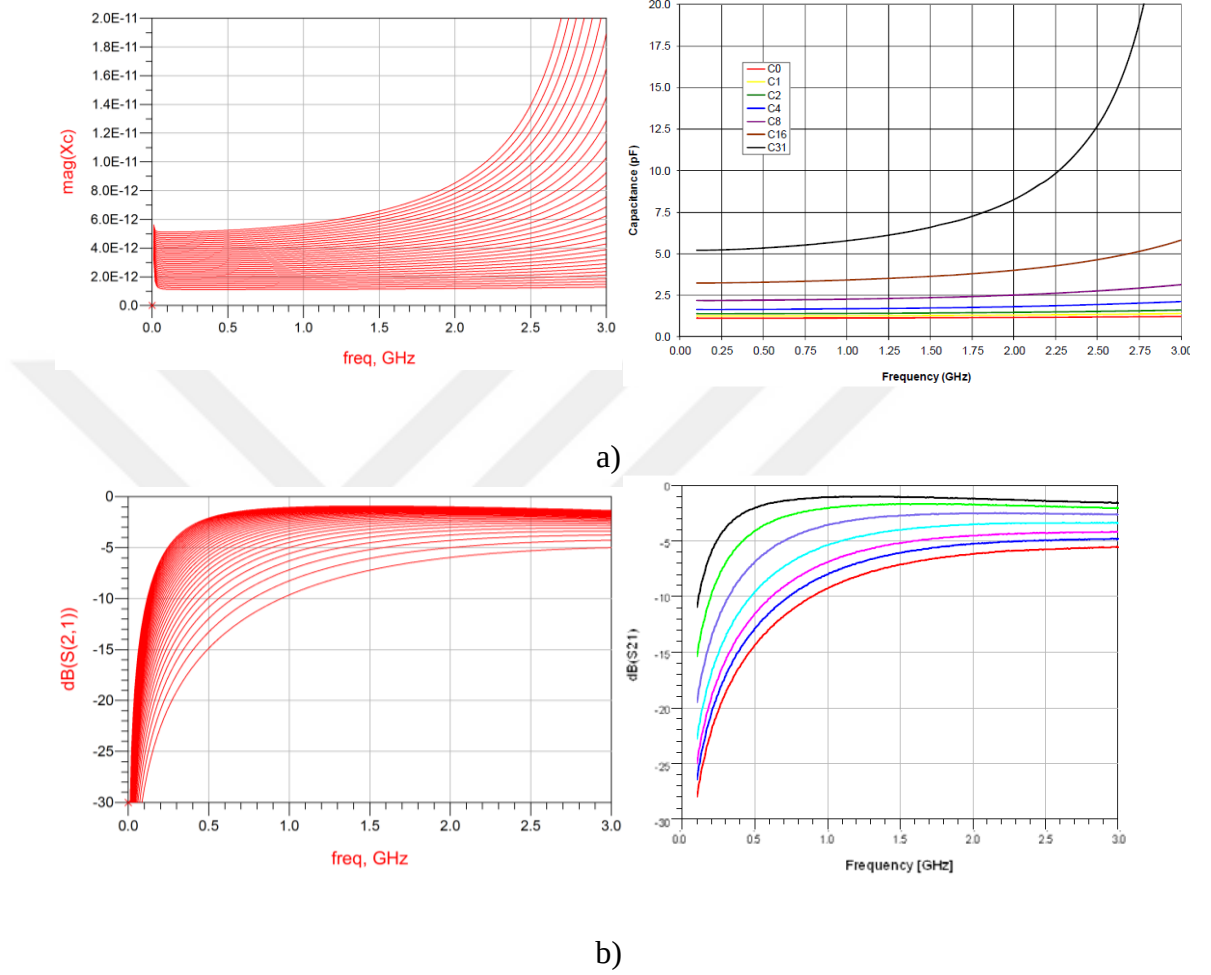


Şekil 4.42: PE64102 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} c) Şönt S_{21} .

- **PE64904-05 Modeli**

Bilgisayar benzetimi

Üretici Verisi



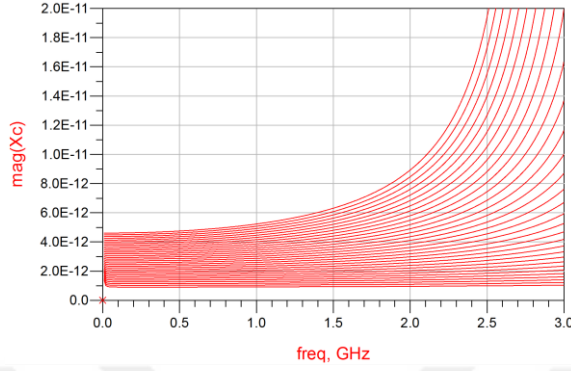
Şekil 4.43: PE64904-05 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} .

Tablo 4.3: PE64904-05 İçin Eşdeğer Devre Modeli Parametreleri.

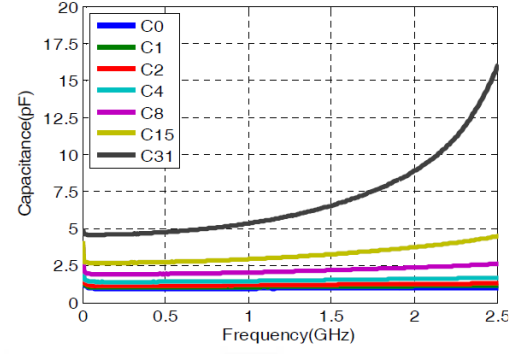
Değişken	Denklem	Birim
C_s	$0.129 * X + 0.600$	pF
R_s	$20 / (X + 30 / (X + 0.7)) + 0.7$	Ω
C_{p1}	0.5	pF
C_{p2}	0.5	pF
R_{p1}	7	Ω
R_{p2}	10	Ω
L_s	0.4	nH

- PE64906 Modeli

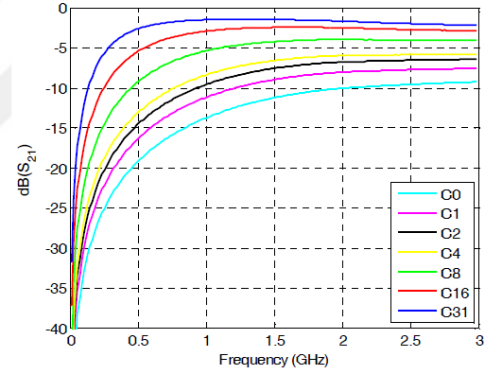
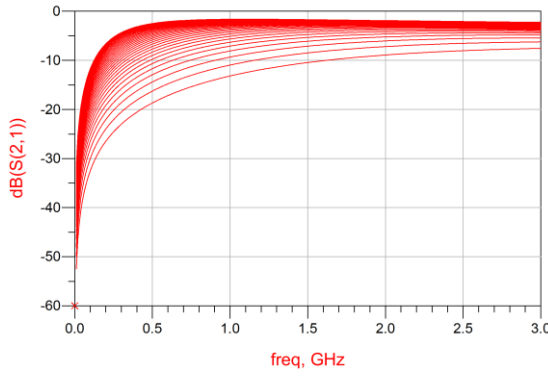
Bilgisayar benzetimi



Üretici Verisi



a)



b)

Şekil 4.44: PE64906 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} .

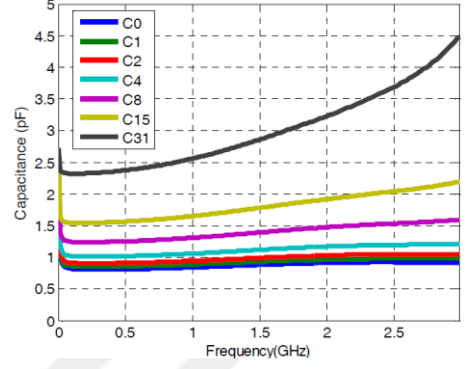
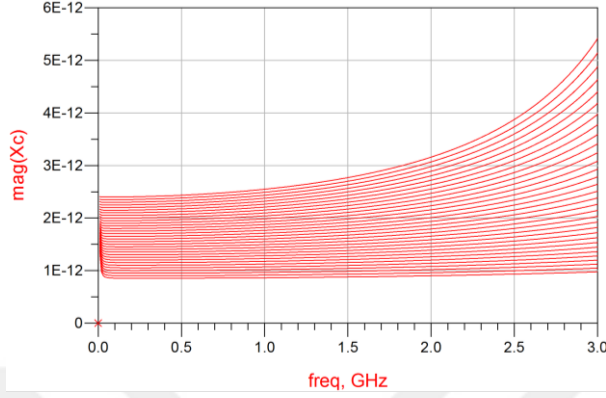
Tablo 4.4: PE64906 İçin Eşdeğer Devre Modeli Parametreleri.

Değişken	Denklem	Birim
C_s	$0.127 * X + 0.38$	pF
R_s	$20 / (X + 20 / (X + 0.7)) + 0.7$	Ω
C_{p1}	$-0.0075 * X + 0.52$	pF
C_{p2}	$0.0096 * X + 0.61$	pF
R_{p1}	$8 + 3 * X$	Ω
R_{p2}	$25000 + 3 * X^3$	Ω
L_s	0.35	nH

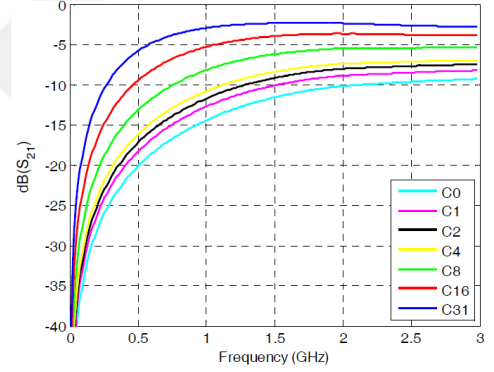
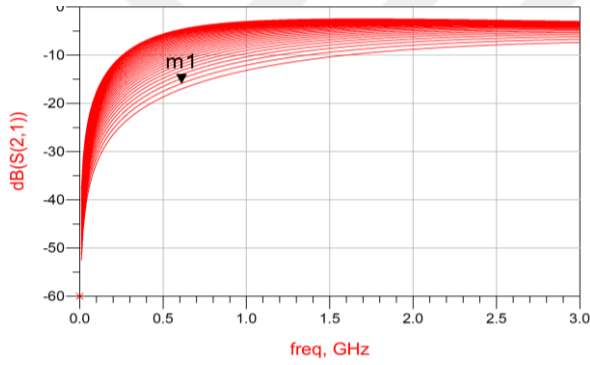
- PE64907 Modeli

Bilgisayar benzetimi

Üretici Verisi



a)



b)

Şekil 4.45: PE64907 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} .

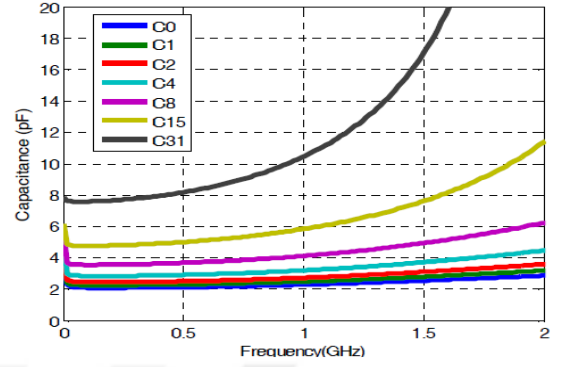
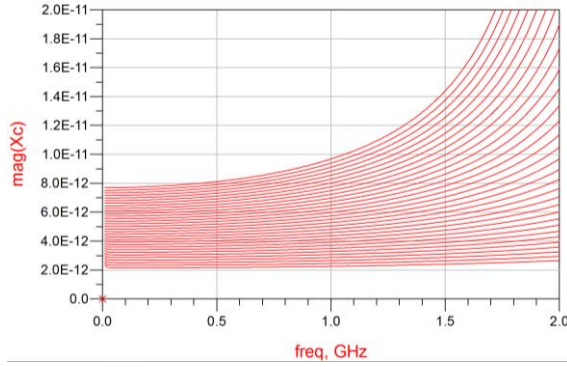
Tablo 4.5: PE64907 İçin Eşdeğer Devre Modeli Parametreleri.

Değişken	Denklem	Birim
C_s	$0.056 * X + 0.38$	pF
R_s	$20 / (X + 20 / (X + 0.7))$	Ω
C_{p1}	$-0.0061 * X + 0.47$	pF
C_{p2}	$0.0096 * X + 0.61$	pF
R_{p1}	$8 + X$	Ω
R_{p2}	$25000 + 3 * X^3$	Ω
L_s	0.35	nH

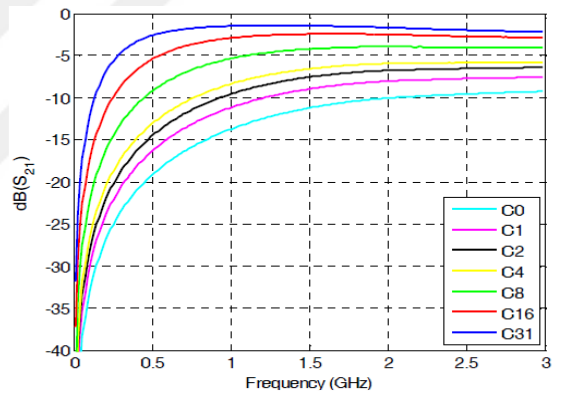
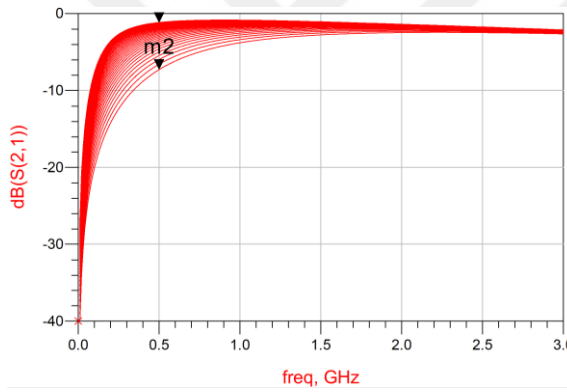
- PE64908 Modeli

Bilgisayar benzetimi

Üretici Verisi



a)



b)

Şekil 4.46: PE64908 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} .

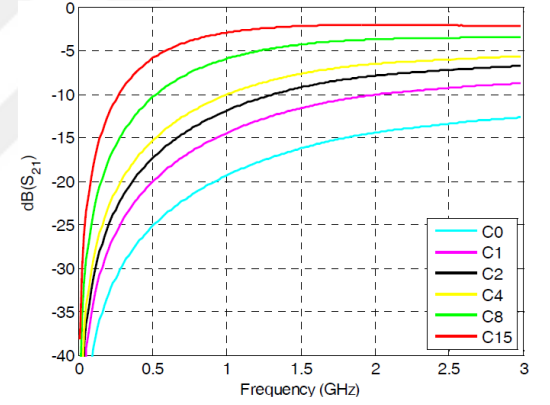
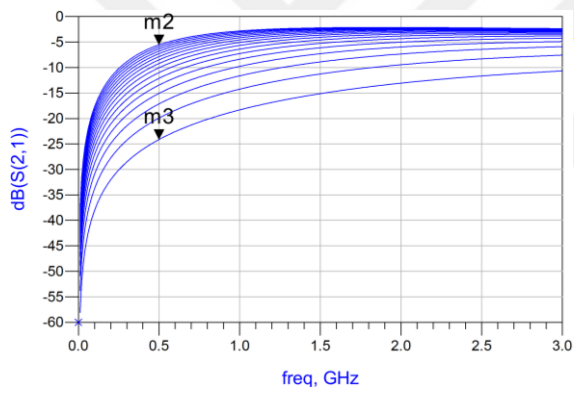
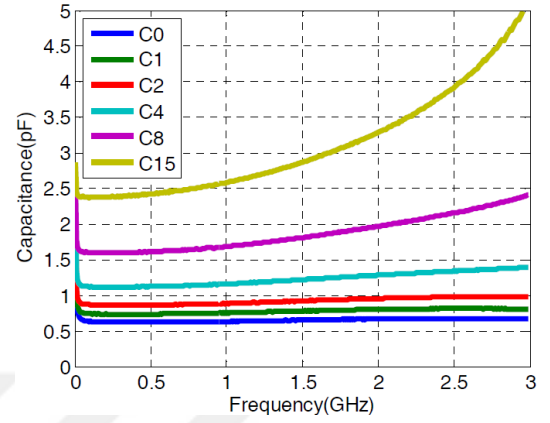
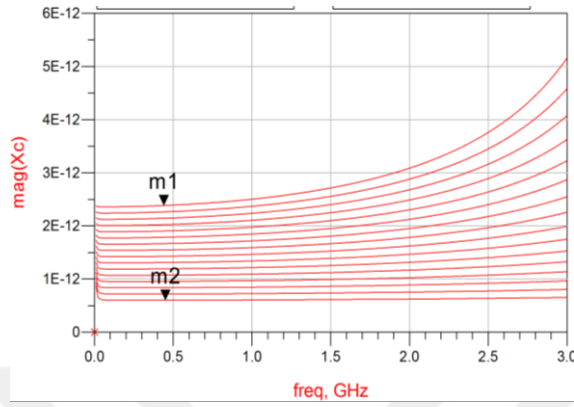
Tablo 4.6: PE64908 İçin Eşdeğer Devre Modeli Parametreleri.

Değişken	Denklem	Birim
C_s	$0.185 * X + 1.6$	pF
R_s	$20 / (X + 20 / (X + 0.7))$	Ω
C_{p1}	$-0.0061 * X + 0.55$	pF
C_{p2}	$0.0096 * X + 0.61$	pF
R_{p1}	$8 + 0.5 * X$	Ω
R_{p2}	$25000 + 3 * X^3$	Ω
L_s	0.35	nH

- **PE64909 Modeli**

Bilgisayar benzetimi

Üretici Verisi



b)

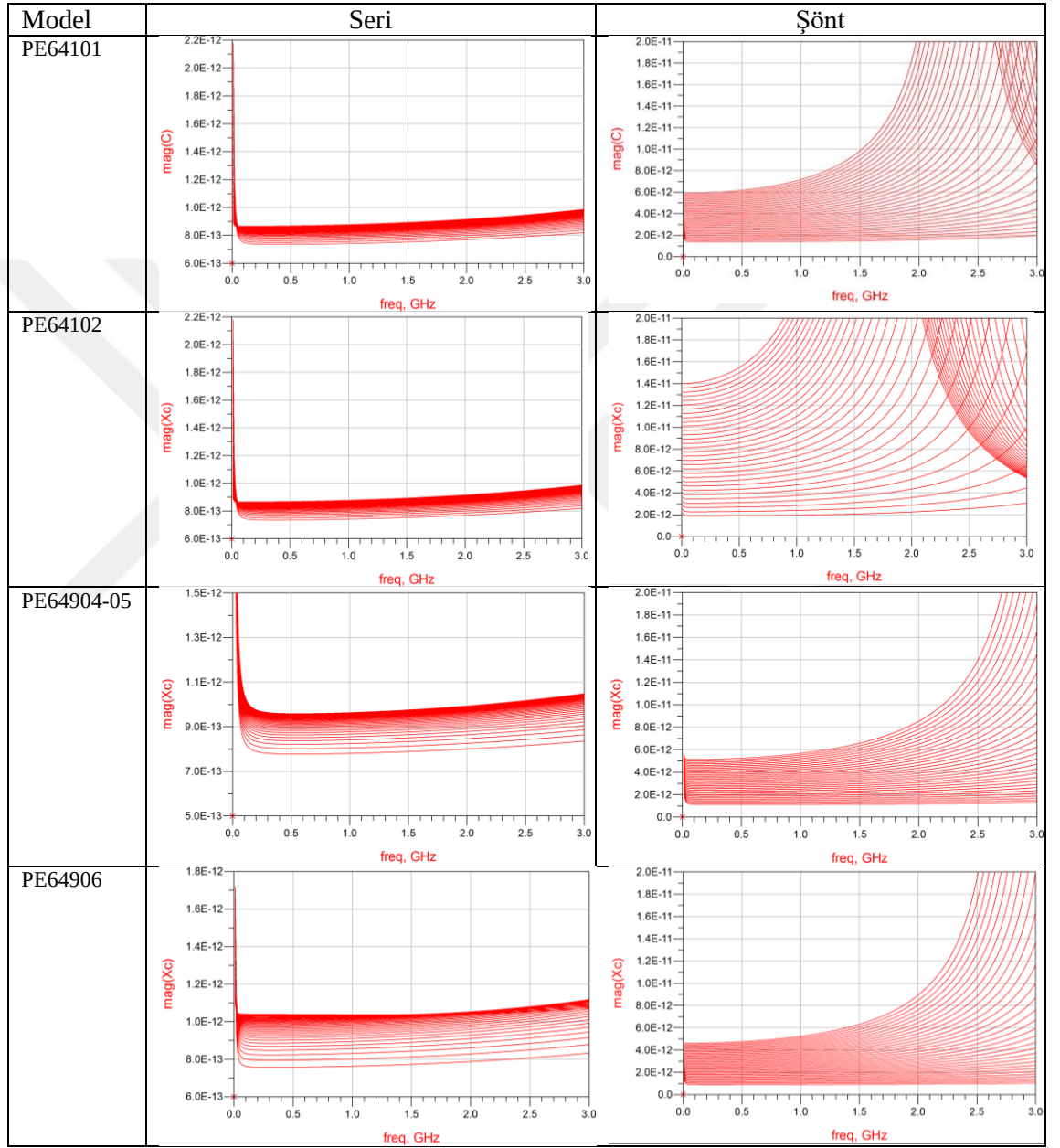
Şekil 4.47: PE64909 Modelinin Bilgisayar Benzetimi ve Üretici Verisi Karşılaştırması; a) Şönt Kapasitans b) Seri S_{21} .

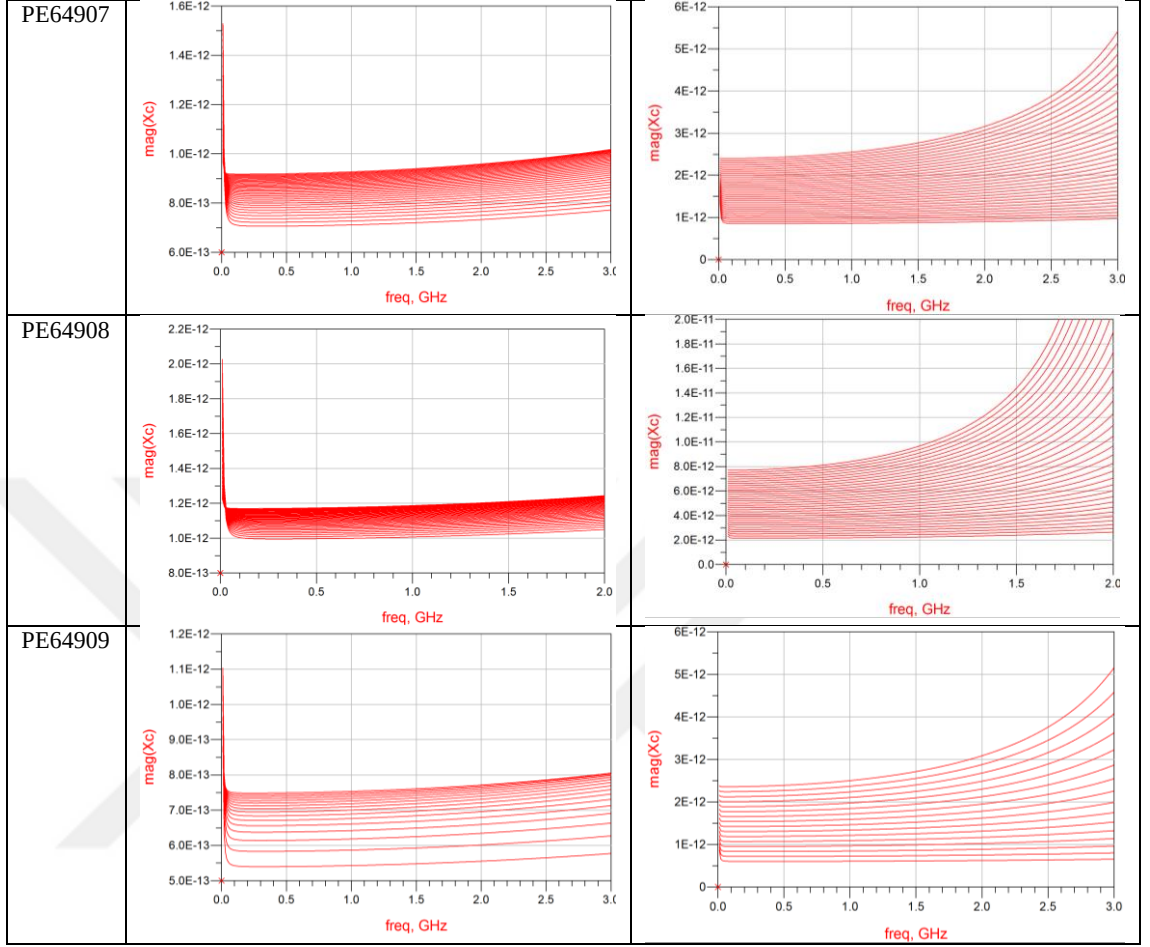
Tablo 4.7: PE64909 İçin Eşdeğer Devre Modeli Parametreleri.

Değişken	Denklem	Birim
C_s	$0.127 * X + 0.20$	pF
R_s	$20 / (X + 20 / (X + 0.7))$	Ω
C_{p1}	$-0.01 * X + 0.40$	pF
C_{p2}	$0.0133 * X + 0.45$	pF
R_{p1}	$10 + 4 * X$	Ω
R_{p2}	$40000 + 10 * X^3$	Ω
L_s	0.35	nH

Dijital kapasitörlerin seri ve şönt bağlandığında karşılaştırılmaları aşağıdaki gibi elde edilmiştir. Her bir kapasitörün seri ve şönt bağlantısı sonucu frekansa bağlı olarak elde edilen kapasitans değerleri incelenecektir.

Tablo 4.8: Frekansa Bağlı Kapasitans Değerlerinin Seri-Şönt Bağlantı Karşılaştırması.



Tablo 4.8 (devam): Frekansa Bağlı Kapasitans Değerlerinin Seri-Şönt Bağlantı Karşılaştırması.

4.6. AYARLANABİLİR YÜKSELTEÇ

Önceki bölümde verilen, kapasitörlerin seri ve şönt bağlanması sonucu elde edilen grafikte görüleceği üzere dijital kapasitör şönt bağlandığında yüksek frekanslarda kapasitans değerinin doğrusal özelliğinin değiştiği görülmektedir. Yükselteç tasarımında şönt kapasitörler için kullanıldığında kazanç parametresinde bozulmalara sebebiyet vermesi muhtemeldir. Tasarlanan yükselteçlerdeki kapasitörlerin eleman değerleri ve dijital kapasitörlerin ayarlanabilirlik yetenekleri, adım büyüklükleri toplam adım sayıları aşağıdaki tabloda verilmiştir. Bu tablolara göre devrede frekans aralığının değişimine göre eleman hassasiyeti incelenecektir ve dijital olarak ayarlanabilir kapasitörlerin ayarlanabilme menzilleri, çözünürlükleri ve adım sayılarına göre hangi sabit kapasitörlerin yerine hangi ayarlanabilir kapasitörün devrede yer alacağı kararlaştırılacaktır.

Tablo 4.9: Tasarlanan Yükselteç Devresindeki Sabit Kapasitörlerin Eleman Değerleri.

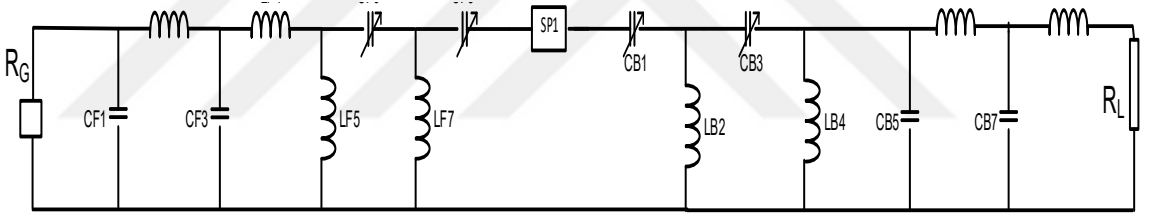
İstasyon	Cfp1 (pF)	Cfp2 (pF)	Cfs3 (pF)	Cfs4 (pF)	Cbs1 (pF)	Cbs2 (pF)	Cbp3 (pF)	Cbp4 (pF)
Frekans 1	0.893517	2.16014	1.91498	10	10	2.12551	1.85796	2.13228
Frekans 2	0.777742	1.92227	1.64624	10	10	2.00225	1.57723	2.21833
Frekans 3	0.693987	1.71225	1.42288	10	6.25423	1.71226	1.35635	2.03879
Frekans 4	0.5	1.22321	2.07233	10	9.43992	1.22905	1.46826	1.94801
Frekans 5	0.5	1.37903	1.12264	10	4.07686	1.19054	1.00048	1.70351
Değişim Oranı	1 : 1, 78	1 : 1, 77	1 : 1, 85	1 : 1	1 : 2, 45	1 : 1, 78	1 : 1, 86	1 : 1, 3

Tablo 4.10: Ayarlanabilir Dijital Kapasitörlerin Ayarlanabilirlik Menzili ve Adım Aralıkları.(Seri Bağlı Durumda)

	Ayarlama Menzili (pF)	Ayarlama Oranı	Adım Büyüklüğü (pF)	Durum Sayısı
PE64101	1.38 – 5.90	4.3 : 1	0.146	32
PE64102	1.88 – 14	7.4 : 1	0.391	32
PE64904-05	$0.6 - 4.6(srs) / 1.10 - 5.10 (shnt)$	7.7 : 1 / 4.6 : 1	129 / 129	32
PE64906	0.9 – 4.6	5.1 : 1	0.119	32
PE64907	0.85 – 2.4	2.82 : 1	0.050	32
PE64908	2.15 – 7.7	3.6 : 1	0.180	32
PE64909	0.6 – 2.35	3.9 : 1	0.117	16

4.7. DİJİTAL KAPASİTÖR KULLANARAK AYARLANABİLİR YÜKSELTEÇ TASARIMI

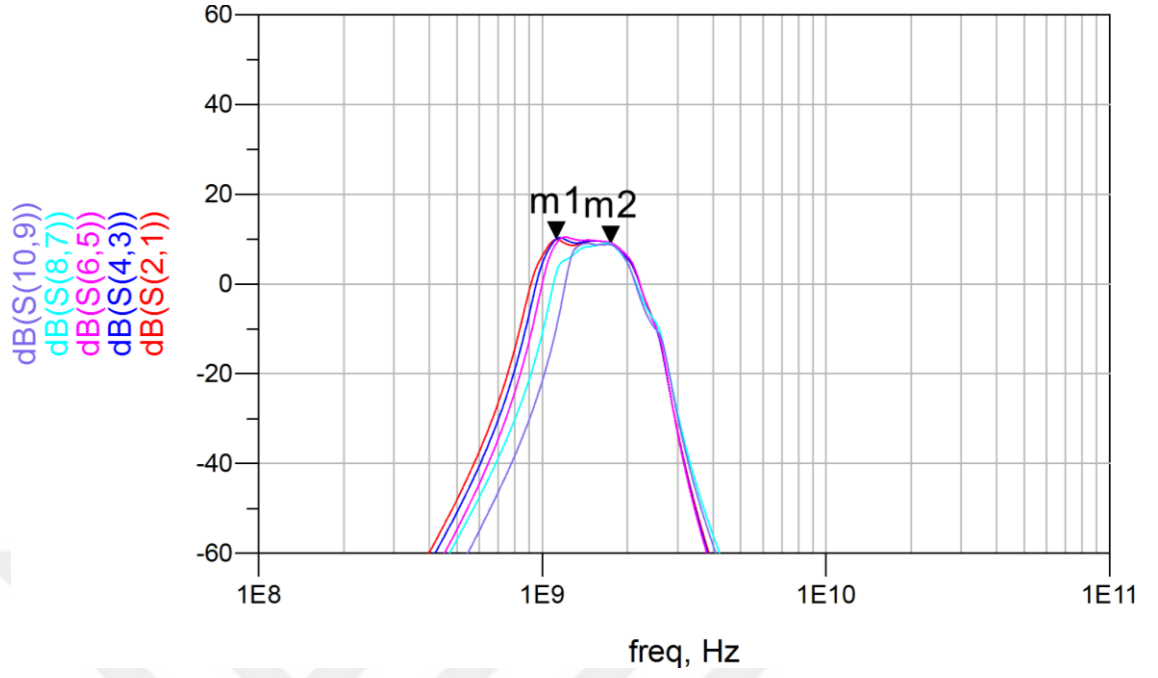
Bu tasarımda çözünürlük olarak en yüksek olan en düşük adım aralıklı PE64907 ve eleman değeri olarak en büyük menzile sahip olan PE64102 kodlu ayarlanabilir kapasitörler kullanılmıştır. Eleman değeri, adım aralığı ve performansa olan etkisine göre devrelerde tercih edilmiştir. Ayarlanabilir kapasitörler paralel bağlandığında yüksek frekanslara çıkıldıkça doğrusallıklarını kaybetmişlerdir. Aynı zamanda gelecekte üretim hususunda karşılaşılabilecek zorluklar göz önünde bulundurularak sabit kapasitör eleman değerleri 0.5-10 pF ve sabit endüktör eleman değerleri de 0.5-10 nH aralığında tutulmuştur[51-53]. Bundan dolayı burada yapılan ayarlanabilirlik uygulamasında paralel kapasitörler de sabit kapasitörler olarak ele alınacaktır, yani “sadece seri kapasitörler ayarlanabilir elemanlarla değiştirilmiştir”. Diğer çalışmalarda tüm kapasitörler ayarlanabilir kapasitörlerle değiştirilerek yapılan uygulamaya değinilecektir.



Şekil 4.48: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç.

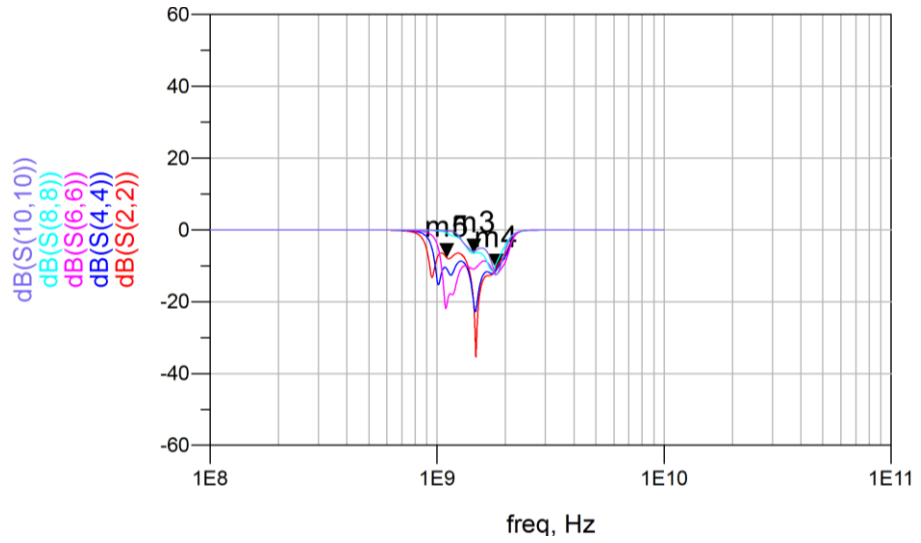
Yükseltecin ayarlanabilirliğini sağlamak için dijital kapasitörlerin devre modelleri kullanılmıştır. Modellerden de görüleceği üzere devrede kayıplar da mevcuttur ve yüksek frekanslarda kapasitans değerlerinin nonlineer davranışı sebebiyle kazanç performansında 1-2 dB civarında düşüş meydana gelmiştir.

Yükselteç devresindeki sabit kapasitörlerin ayarlanabilir dijital kapasitörlerle değiştirilmesi neticesinde elde edilen saçılma parametreleri ve yükselteç devresinin eleman değerleri aşağıdaki tablo ve grafiklerde verilmiştir. Yükselteç tasarımında hedeflenen 5 farklı çalışma bandı yapılan uygulamada, bantların köşe frekanslarında ufak kaymalar dışında 800 MHz-1800 MHz, 900 MHz-1900 MHz, 1000 MHz-2000 MHz, 1100 MHz-2100 MHz, 1200 MHz-2200 MHz olarak gerçekleşmiştir. Böylelikle 5 farklı istasyonda ayarlanabilen geniş bantlı yükselteç tasarımı elde edilmiştir.



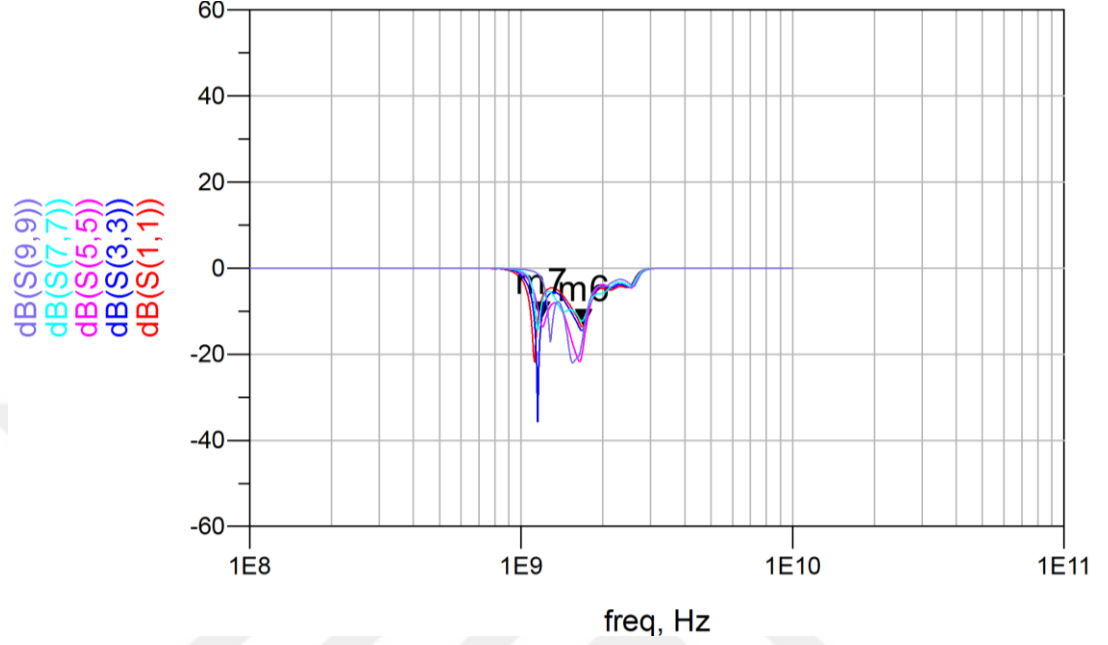
Şekil 4.49: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı.

Tasarlanan ayarlanabilir yükselteç için S_{21} başarımı grafiğinde işaretçiler m1 ve m2 sırasıyla 9.91 dB @ 1.12 GHz ve 9.01 dB @ 1.74 GHz civarındadır. Benzer şekilde S_{11} ve S_{22} başarımları aşağıda görülebilir. S_{22} başarımı grafiğinde işaretçiler m3, m4 ve m5 sırasıyla -6.5 dB @ 1.45 GHz, -10.65 @ 10.82 GHz ve -7.725 dB @ 1.1 GHz mertebesinde.



Şekil 4.50: Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı.

Ayrıca, S_{11} başarımı grafiği incelendiğinde ise buradaki işaretçiler m6 ve m7 sırasıyla -13.48 dB @ 1.7 GHz ve -11.77 dB @ 1.19 GHz olarak verilmiştir.

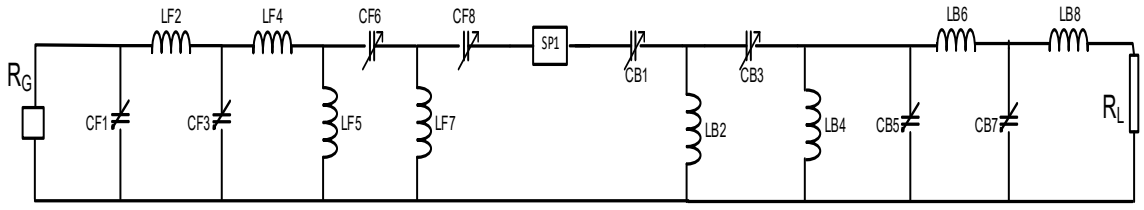


Şekil 4.51 :Seri Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{11} Başarımı.

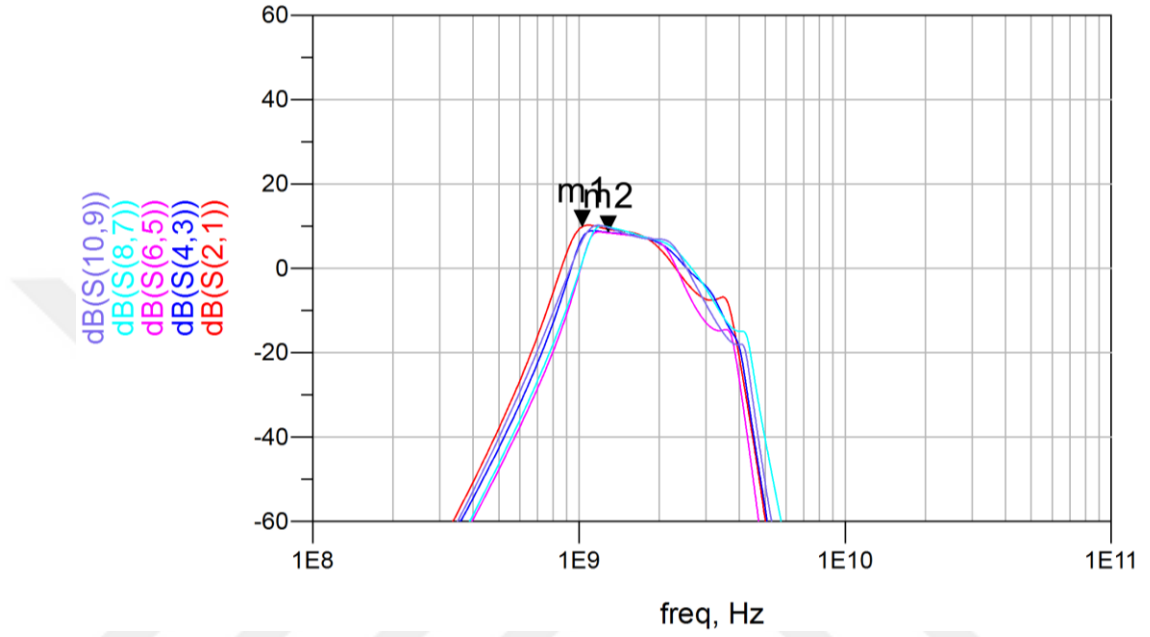
Elde edilen sonuçta yükseltecin ayarlanabilirliği istenilen bantlarda ve istenilen bant genişliğinde sağlanmıştır. Bir sonraki adımda ise paralel kapasitörlerin nonlineer davranışlarından ötürü sabit tutulan kapasitörlerin ayarlanabilir kapasitörlerle değiştirilmesi sonucu elde edilen devre incelenecektir. Buna göre tasarlanan devre topolojisi aşağıda verilmiştir. Tüm kapasitörlerin de ayarlanabilir kapasitörlerle değiştirilmesi sonucu elde edilen saçılma parametresi başarımları aşağıdaki şekillerde incelenebilir.

Tablo 4.11: Seri Kapasitörler Ayarlanarak Tasarlanan Ayarlanabilir Yükselteç
İçin Eleman Değerleri ve Durumları.

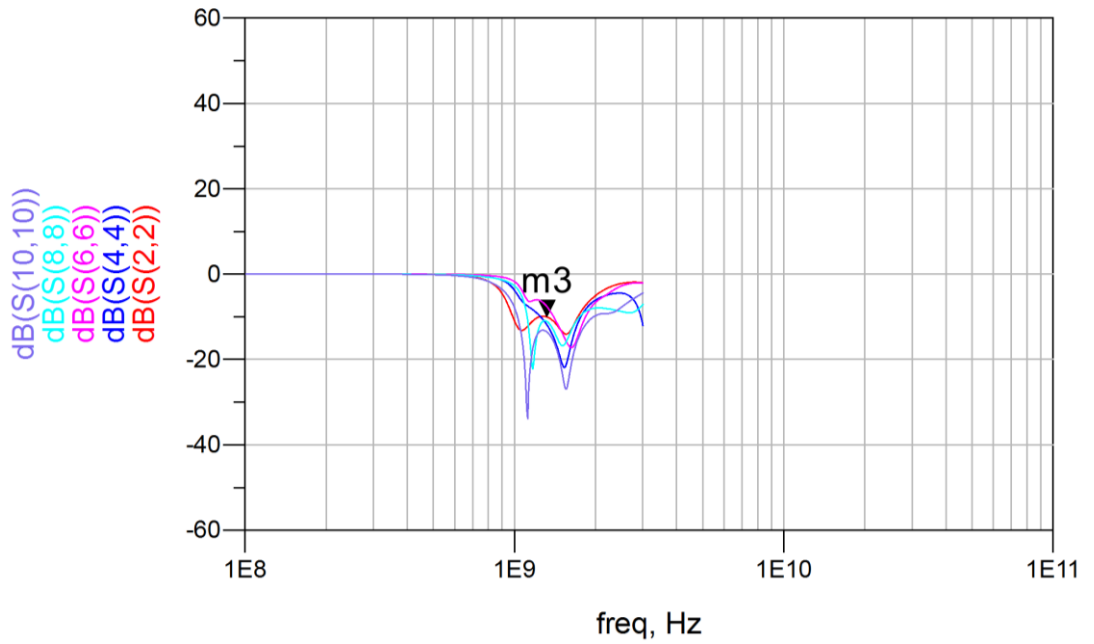
Bant	1. bant	2. bant	3. bant	4. bant	5. bant
	Giriş Uyumlaşma Devresi				
$CF1(pF)$	0.865849	0.865849	0.865849	0.865849	0.865849
$LF2(nH)$	9.50494	9.50494	9.50494	9.50494	9.50494
$CF3(pF)$	1.33562	1.33562	1.33562	1.33562	1.33562
$LF4(nH)$	9.99977	9.99977	9.99977	9.99977	9.99977
$LF5(nH)$	9.9572	9.9572	9.9572	9.9572	9.9572
$CF6(durum)$	16	14	11	13	8
$LF7(nH)$	4.149	4.149	4.149	4.149	4.149
$CF8(durum)$	20	15	23	11	16
	Çıkış Uyumlaşma Devresi				
$CB1(durum)$	10	12	27	5	5
$LB2(nH)$	4.9185	4.9185	4.9185	4.9185	4.9185
$CB3(durum)$	24	19	13	6	4
$LB4(nH)$	6.49008	6.49008	6.49008	6.49008	6.49008
$CB5(pF)$	1.06618	1.06618	1.06618	1.06618	1.06618
$LB6(nH)$	9.84539	9.84539	9.84539	9.84539	9.84539
$CB7(pF)$	1.74699	1.74699	1.74699	1.74699	1.74699
$LB8(nH)$	8.75669	8.75669	8.75669	8.75669	8.75669



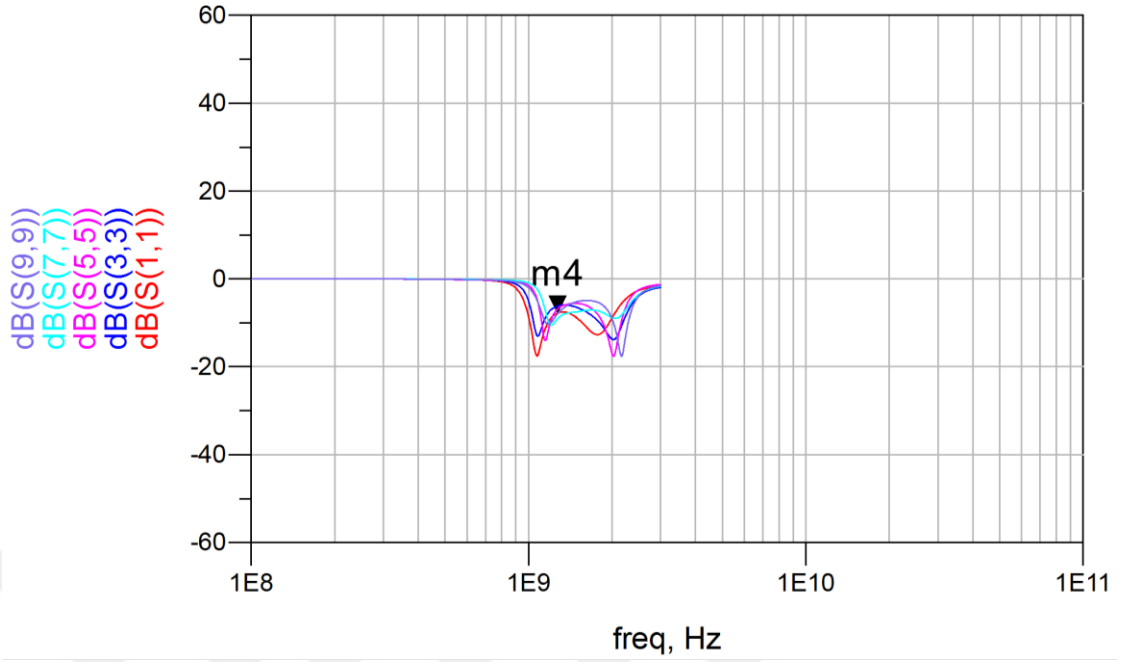
Şekil 4.52: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç.



Şekil 4.53: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{21} Başarımı.



Şekil 4.54: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{22} Başarımı.



Şekil 4.55: Tüm Kapasitörler Ayarlanarak Tasarlanan Yükselteç İçin S_{11} Başarımı.

S_{21} başarımı için verilen şekilde işaretçiler için kazanç seviyesi ve frekans m1; 9.848 dB@ 1.030 GHz ve m2; 8.5 dB @ 1.29 GHz olarak ölçülmüştür. Buna göre girişte de bahsedildiği gibi paralel kapasitörleri için ayarlanabilir dijital kapasitör modelinden gelen parazitik etkiler kazanç başarımında yaklaşık 1 dB mertebesinde kayba yol açmıştır ancak ayarlanabilir çözünürlüğünde iyileşmeler gözlenmiştir. Buna göre tasarımcı uygulama alanına göre devrede tüm elemanları ya da sadece seri elemanları değiştirerek karar verecektir. Devrenin diğer önem arz eden saçılma parametreleri başarımları bir sonraki sayfada verilmiştir. Verilen grafiklerde S_{22} başarımı için m3 işaretçisi 1.32 GHz frekansında -10.028 dB ve benzer şekilde S_{11} başarımı için m4 işaretçisi 1.27 GHz frekansında -7.782 dB seviyesinde ölçülmüştür.

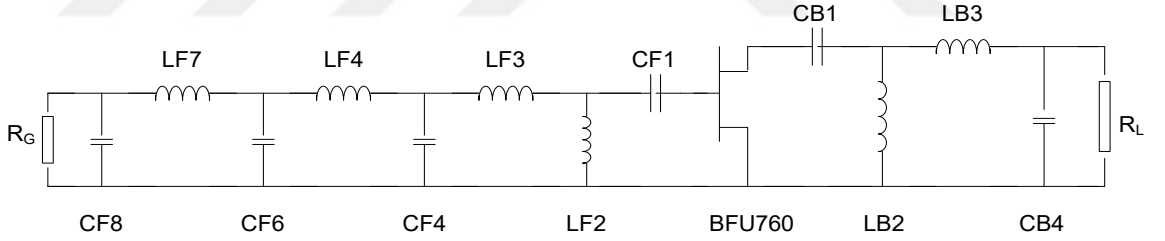
Tablo 4.12: Tüm Kapasitörler Ayarlanarak Tasarlanan Ayarlanabilir Yükselteç
İçin Eleman Değerleri ve Durumları.

Bant	1. bant	2. bant	3. bant	4. bant	5. bant
	Giriş Uyumlaşma Devresi				
$CF1(durum)$	0	1	15	0	11
$LF2(nH)$	5.38618	5.38618	5.38618	5.38618	5.38618
$CF3(durum)$	9	2	8	0	0
$LF4(nH)$	2.59215	2.59215	2.59215	2.59215	2.59215
$LF5(nH)$	9.80214	9.80214	9.80214	9.80214	9.80214
$CF6(durum)$	22	21	14	11	14
$LF7(nH)$	4.5341	4.5341	4.5341	4.5341	4.5341
$CF8(durum)$	20	8	11	16	19
	Çıkış Uyumlaşma Devresi				
$CB1(durum)$	23	13	24	6	22
$LB2(nH)$	4.74483	4.74483	4.74483	4.74483	4.74483
$CB3(durum)$	25	16	11	18	27
$LB4(nH)$	7.39772	7.39772	7.39772	7.39772	7.39772
$CB5(durum)$	12	1	0	0	6
$LB6(nH)$	3.14621	3.14621	3.14621	3.14621	3.14621
$CB7(durum)$	0	9	0	4	0
$LB8(nH)$	2.48324	2.48324	2.48324	2.48324	2.48324

4.8. AYARLANABİLİR ENDÜKTÖR KULLANARAK AYARLANABİLİR YÜKSELTEÇ TASARIMI

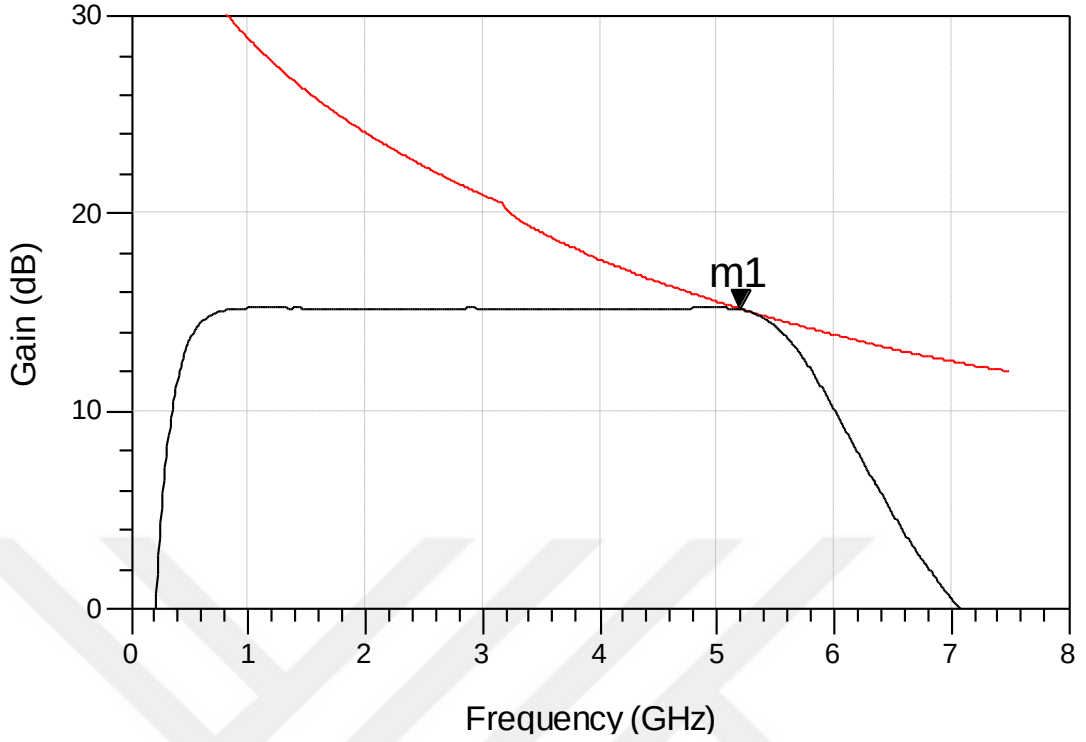
Bu bölümde daha önce kavramsal olarak anlatılan ayarlanabilir endüktör yaklaşımı kullanılarak tasarlanan ayarlanabilir yükselteç tasarımı anlatılacaktır. Tasarımda kullanılan yöntem, yine daha önce verilen parazitik bir yükün değişimine göre uyumlaşma devresinin tasarımı sonucu elde edilen yükselteç devresin optimizasyonu olarak tanımlanabilir. Tasarımda bir önceki bölümde ayarlanabilir dijital kapasitörler kullanılarak yapılan yükselteç tasarımında olduğu gibi SRFT kullanılmıştır. Önceki tasarımla yöntem olarak aynıdır ancak kullanılan transistör ve elde edilen devre topolojileri bu tasarımda değişiklik göstermektedir. Sözü edilen tasarım adım adım aşağıdaki kısımlarda anlatılacaktır.

Öncelikle SRFT kullanarak 850-5200 MHz çalışma bandında düz kazanç seviyeli bir yükselteç tasarımı yapılmıştır. Burada NXP[54] marka 63 mW çıkışlı, düşük güç, NPN SiGe BFU760F transistör kullanılmıştır.



Şekil 4.56: 800-5200 MHz Yükselteç Topolojisi.

Elde edilen yükselteç için devre eleman değerleri aşağıdaki tabloda verilmiştir. Tabloya göre kapasitans değerleri pF ve endüktans değerleri de nH cinsindendir. Devrenin düz kazanç başarımı ve MSG eğrisi Şekil 4-55' te verilmiştir. Verilen grafikte m1 işaretçisi için 5200 MHz frekansında 15.188 dB seviyesinde düz kazanç değerini vermektedir



Şekil 4.57: Düz Kazançlı Yükselteç İçin Kazanç Başarımı (Kırmızı Çizgi MSG Eğrisi Siyah Çizgi Düz Kazanç Eğrisi).

İkinci adımda, önceki bölümlerde kavramsal olarak bahsedilen ve uyumlaşma devresi olarak uygulanan ayarlanabilir endüktör tasarımı kullanılarak bir önceki adımda tasarlanan yükselteç devresi ayarlanabilir hale getirilecektir. Bunun için tasarlanan yükselteçteki endüktörler ayarlanabilir endüktör tasarımlarıyla yer değiştirecektir. Sabit kapasitörlerle değiştirilen ayarlanabilir endüktörlerin eleman değerlerini hesaplamak için daha önce verilen ifade aşağıdaki gibi hatırlatılabilir. Buna göre öncelikle bir endüktör için reaktans ifadesini $X(\omega) = \omega L$ olarak yazalım. Buradan devrede, ayarlanabilir endüktör için sabit endüktör ile ayarlı kapasitör bir paralel rezonans devresi olacağından,

$$Y_x(j\omega) = jB_x(\omega) = j\left[\omega C_x - \frac{1}{(\omega L_x)}\right] = j\left[\frac{\omega^2 L_x C_x - 1}{\omega L_x}\right] \quad (4.9)$$

elde edilir. Buradan elestans,

$$B_x(\omega) = \left[\frac{\omega^2 L_x C_x - 1}{\omega L_x} \right] = \frac{\left(\frac{\omega}{\omega_r} \right)^2 - 1}{\omega L_x} \quad (4.10)$$

yazılır. Açısal frekans $\omega_r^2 = \frac{1}{L_x C_x}$ ifadesinden empedans bu durumda,

$$Z_x(j\omega) = jX_x(\omega) = \frac{1}{Y_x(j\omega)} = -j \frac{1}{B_x} \quad (4.11)$$

olur. Ya da buradan endüktif reaktans,

$$X_x(\omega) = -\frac{1}{B_x} = \omega \frac{L_x}{1 - \left(\frac{\omega}{\omega_r} \right)^2} = \omega L_t(\omega) \quad (4.12)$$

şeklinde verilir. Yukarıdaki (4.12) denkleminde $L_t(\omega)$

$$L_t(\omega) = \frac{L_x}{1 - \left(\frac{\omega}{\omega_r} \right)^2} \quad (4.13)$$

olarak ifade edilir. Verilen (4.13) denkleminde L_x endüktörü sabittir. Ayrıca rezonans frekansı ω_r ayarlanabilir kapasitörün değeri değiştikçe değişir. Bu sebeple ayarlanabilir endüktörün etkin değeri $L_t(\omega)$, C_x değiştikçe ya da benzer şekilde rezonans frekansı değiştikçe değişir.

Örneğin bir ayarlanabilir endüktör tasarlanmak isterse $\omega = \omega_0$ frekansında $X(\omega_0) = X_x(\omega_0)$ elde edilmek isteniyor olsun. Bunun için

$$\omega_0 L = \omega_0 \frac{L_x}{1 - \left(\frac{\omega_0}{\omega_r} \right)^2} \quad (4.14)$$

yazılır. Buradan L_x ,

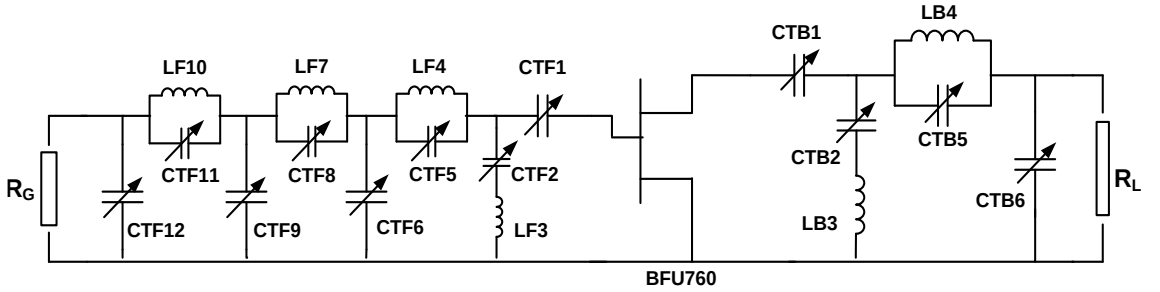
$$L_x = \left[1 - \left(\frac{\omega_0}{\omega_r} \right)^2 \right] L > 0, \quad \omega_r > \omega_0 \quad (4.15)$$

olarak elde edilir ve,

$$C_x = \frac{1}{\omega_r^2 L_x} \quad (4.16)$$

eşitliğine ulaşılır.

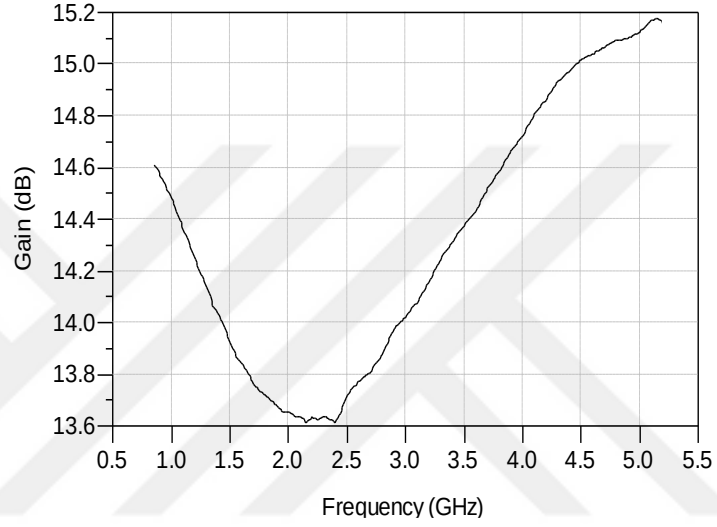
Yükselteç tasarımında ayarlanabilir endüktör yapısı elde etmek maksadıyla (4.11) ve (4.13)' ten faydalanarak ayarlanabilir kapasitör değerleri $\omega_0=5200\text{MHz}$ ve $\omega_r=7500\text{MHz}$ için hesaplanacaktır. Yukarıda verilen Şekil 4.54'teki kapasitörler ayarlanabilir kapasitörlerle değiştirilecektir. Elde edilen devre topolojisi ve ayarlanabilir elemanlar aşağıdaki şekilde görülebilir.



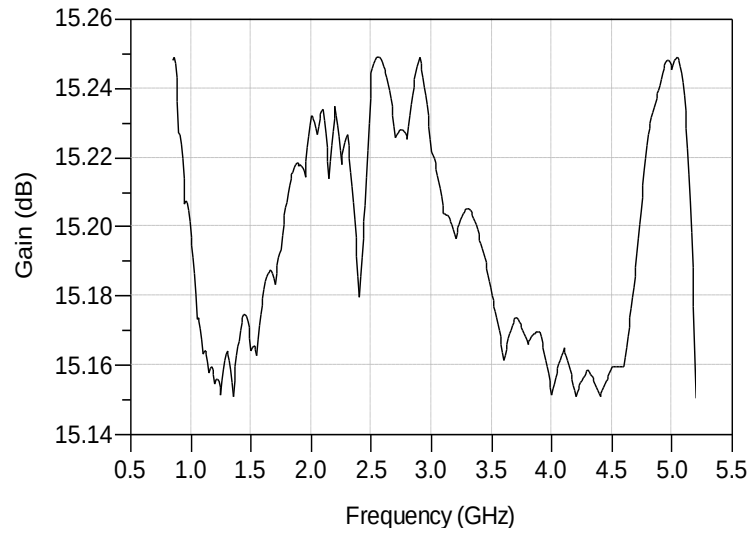
Şekil 4.58: Ayarlanabilir Endüktörlerle Tasarlanan Ayarlanabilir Yükselteç.

Bu şekilde elde edilen yükseltecin kazanç başarımı için Şekil 4-57 incelenebilir. Kazanç başarımı iyileştirmesi için bilgisayar destekli yazılım olan ADS çalıştırılarak burada

çeşitli optimizasyon algoritmalarından faydalanılmıştır. İlk adımda elde edilen başlangıç devresindeki değerler optimize edilmiştir ve kazanç değerleri iyileştirilmiştir. Optimizasyon sonucu elde edilen kazanç başarımı Şekil 4.58’ de görülebilir. Kazanç başarımı artırılan devrenin eleman değerleri tabloda verilmiştir. Burada belirtmek gerekir ki verilen tablodaki kapasitans değerleri pF ve endüktans değerleri nH cinsindendir.



Şekil 4.59: Ayarlanabilir Endüktör ile Tasarlanan Ayarlanabilir Yükselteç İçin Kazanç Başarımı.

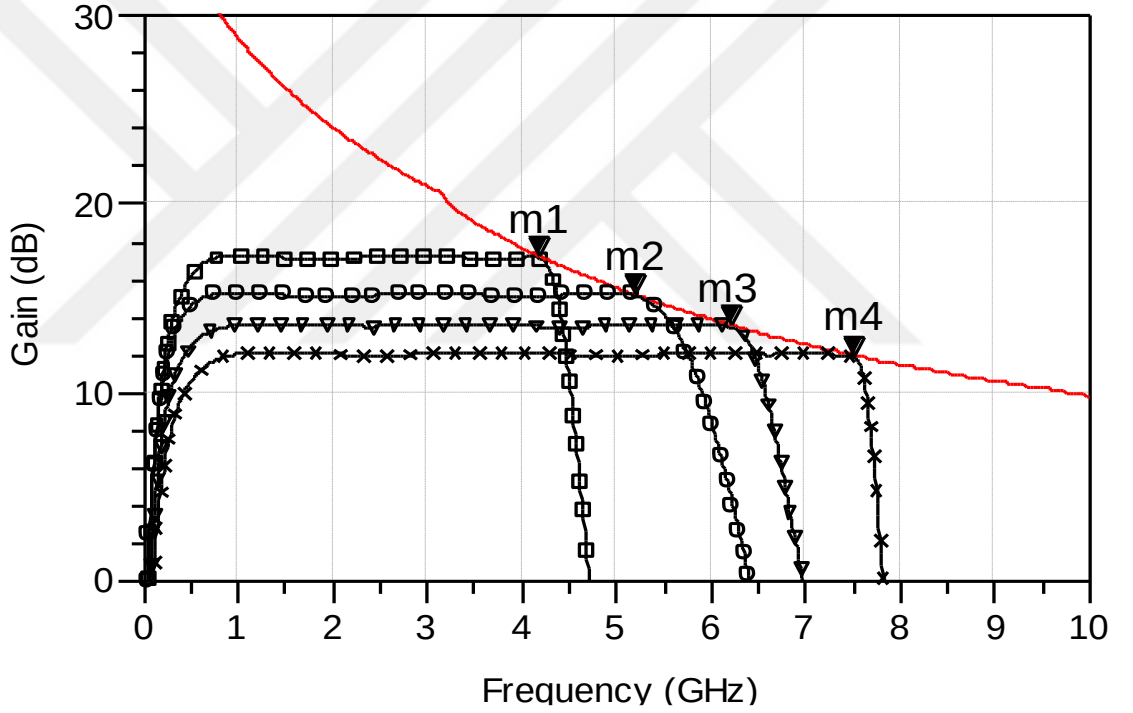


Şekil 4.60: Ayarlanabilir Endüktör ile Tasarlanan Ayarlanabilir Yükselteç İçin Optimizasyon Sonrası Kazanç Başarımı.

Tablo 4.13: Ayarlanabilir Endüktör Kullanarak Tasarlanan Ayarlanabilir Yükselteç İçin Eleman Değerleri.

	850 – 4200 MHz	850 – 5200 MHz	850 – 6200 MHz	850 – 7500 MHz
Giriş Uyumlaşma Devresi Elemanları				
CTF1	3.23655	3.71637	3.14978	2.50298
CTF2	0.1	1.65876	1.18983	1.41862
LF3	0.1	0.1	0.1	0.1
LF4	0.1	0.1	0.1	0.1
CTF5	3.84915	2.8122	1.60753	3.82582
CTF6	0.1	1.85999	2.61013	2.4434
LF7	0.6	0.6	0.6	0.6
CTF8	0.370075	0.278735	0.266685	0.182587
CTF9	2.32326	1.40883	1.41312	1.00531
LF10	1	1	1	1
CTF11	0.785767	0.100042	0.276266	0.103576
CTF12	0.55194	0.435151	0.116557	0.1
Çıkış Uyumlaşma Devresi Elemanları				
CTB1	1.84206	1.5825	1.35858	1.26501
CTB2	0.1	0.1	0.1	0.1
LB3	0.1	0.1	0.1	0.1
LB4	1	1	1	1
CTB5	0.934984	0.490289	0.255443	0.121252
CTB6	0.66478	0.52405	0.372855	0.377848

Son olarak, tasarımı ayarlanabilir yükselteç haline dönüştürmek için Şekil 4-56'da verilen topolojide çalışan dört farklı frekans bandında yükselteç tasarımı gerçekleştirilir. Tasarım için seçilen diğer frekans aralıkları 850-4200 MHz , 850-6200 MHz ve 850-7200 MHz olarak belirlenmişti. Konunun başında öne sürülen ve başlangıç değerleri olarak ele alınan 850-5200 MHz tasarımı referans alınarak eleman değeri optimizasyonu ve ayarlanabilir endüktör kavramı olarak öne sürülen kısıtlardan faydalanarak diğer frekanslarda çalışan devreler elde edilir. Devrelerin kazanç başarımları ve eleman değerleri Tablo 4.12'de verilmiştir.



Şekil 4.61: Dört Farklı Frekansta ve Bant Genişliğinde Çalışan Ayarlanabilir Yükselteç İçin Kazanç Başarımı.

Yukarıdaki şekilde öne sürülen frekans aralığı referans alınarak, ayarlanabilir endüktör kavramı yardımıyla tasarlanan ayarlanabilir yükseltecin ayarlanabilirliği ve kazanç başarımları görülebilmektedir. Elde edilen yükselteç şekilde görüldüğü gibi dört farklı frekansta ve bant genişliğinde çalışmaktadır. Kazanç başarımları verilen şekilde işaretçiler m1,m2,m3 ve m4 sırasıyla 17.212 dB @ 4200 MHz, 15.188 dB @ 5200 MHz, 13.585 dB @ 6200 MHz ve 12.006 dB @ 7500 MHz olarak verilmiştir.

5. TARTIŞMA VE SONUÇ

Çalışmada, son yıllarda askeri ve ticari gelişmeler göz önünde bulundurularak geliştirilen yükselteç tasarımı için yeni bir yaklaşım olarak ayarlanabilir yükselteç tasarımı ele alınmıştır. Ele alınan bu yaklaşım, sektörde ortaya çıkan ihtiyaca yönelik olarak geniş bantlı ve mikrodalga frekanslarda gerçekleşmiştir ve sonuçları tatmin edicidir.

Yaklaşımında, öncelikle problemin tanımı yapılmıştır ve bir uyumlaşma devresinin yük tarafında meydana gelebilecek değişimler parazitik olarak modellenerek devre elemanlarının bu parazitik etki karşısında hassasiyetleri irdelenmiştir. Pratik uygulamalar baz alınarak geliştirilen uyumlaşma devresi tasarımından bir transistörün çıkış empedansı R_{out} 12 ohm gibi küçük bir değer olarak ele alınıp $Z_{out}(j\omega) = R_{out}(\omega) + jX_{out}(\omega)$ olarak farz edilmiştir. Empedansın sanal kısmı $X_{out}(\omega)$ 'un ise parazitik kapasitör C_p olarak modellenebileceği gösterilmiştir. Parazitik etkiler olarak adlandırılan unsurlar tasarlanan aygıtın kullanıldığı fiziksel ortamdan, devre üretimi safhasındaki hatalara, devrenin çalışma frekansında istenen ya da istenmeyen bozulmalar ve etkiler olarak düşünülebilir. Bu bağlamda, parazitik kapasitans değeri 0 ile 10 pF arasında değiştirilerek bu değişim devre parametreleri üzerine etkileri gözlenmek suretiyle başlangıçta genişbant uyumlaşma problemi, kayıpsız bir empedans dönüştürücü süzgeç olarak düşünülerek $R_G = 12 \Omega$ ve $R_L = 50 \Omega$ koşulu altında ele alınmıştır. Daha sonra bahsedilen empedans dönüştürücü süzgeç ya da uyumlaşma devresi parazitik kapasitör değıştikçe bu değışime bakılarak ayarlanmıştır.

Uyumlaşma devresi için geliştirilen ayarlanabilirlik uygulamasında öncelikle uyumlaşma devresindeki devre elemanlarının parazitik kapasitör C_p 'nin değışimine olan reaksiyonları incelenmiştir. Burada görülmüştür ki devredeki C_1 ve C_5 kapasitörleri C_p kapasitörünün değışimine karşı hassasiyetleri daha fazladır. Bu aşamada bu hassasiyetleri daha iyi görebilmek adına kapasitörlerin frekansa bağlı değeri polinomu yaklaşımı

kullanılarak matematik olarak modellenmiştir. Bu sebeple C_p 'nin herhangi bir değerine karşılık C_1 ve C_5 kapasitörlerinin değişen değerleri elde edilen polinom modelleri aracılığıyla kolayca hesaplanabilmektedir. Bu sebeple bu ilk uygulama için diğer elemanlar sabit tutularak C_1 ve C_5 kapasitörlerindeki değişim hesaplanarak devre ayarlanabilir hale getirilmiştir.

Devre elemanlarındaki parazitik etkilere olan hassasiyet, günümüz teknolojisi ve üretimdeki zorluklar göz önünde bulundurulduğunda kapasitörleri ayarlanarak devrenin ayarlanabilirliğinin sağlanması gerekmektedir. Bunun yanında devredeki endüktörlerin de doğrudan elektriksel olarak ya da fiziksel olarak değil de matematiksel olarak ayarlanabilmesi çeşitli elektrik kanunları ve matematiksel manipülasyonlar yardımıyla mümkündür. Bu bağlamda ayarlanabilir endüktör kavramı öne sürülmüş ve irdelenmiştir. Çalışmada sözü edilen ayarlanabilirlik, rezonans frekansı $X(\omega)=\omega L$ olan seri bir endüktör için paralel rezonans devresi oluşturarak, bir endüktörü bir kapasitörle paralel bağlamak suretiyle, endüktörü sabit tutup paralel bağlanan kapasitörü ayarlayarak rezonans devresinin empedansının $Z_x(j\omega)=jX_x(\omega)$ gibi değiştirilmesiyle elde edilmiştir.

Parazitik etkiler varlığında eleman değerlerinin hassasiyetleri göz önünde bulundurularak çeşitli ayarlanabilir elemanlarla ayarlanabilir uyumlaştırma devreleri uygulanmıştır ve kazancın başarımının devrelerin ayarlanabilme özellikleri varlığında artırılabilirdiği gözlenmiştir.

Yükteki değişim varlığında devre elemanlarının hassasiyetinin incelenmesi ve ayarlanabilir devre elemanlarının irdelenmesi sonucu bir transistörün giriş ve çıkış uyumlaşma devrelerinin transistörün giriş ve çıkışına etkileri de benzer şekilde ele alınmıştır. Tasarım safhasında SRFT kullanılmıştır ve düşük yansımali düz kazanç seviyesine sahip geniş bantlı uyumlaşma devreleri aynı topolojide olmak suretiyle tasarlanmıştır ve daha sonra yine eleman hassasiyetlerine göre piyasada bulunan ayarlanabilir elemanlar kullanılarak devreler ayarlanabilir hale getirilmiştir. Bu kısımda piyasada bulunan Peregrine marka ayarlanabilir dijital kapasitörlerin performansı incelenmiş ve gerek düşük kayıpları gerekse MEMS yapısıyla karşılaştırıldığında

ayarlanabilme özelliğinin yüksek olması hasebiyle son durumda dijital kapasitörler yardımıyla beş farklı frekansta çalışan ayarlanabilir yükselteç tasarımı sağlanmıştır.

Elde edilen tasarımın ADS yazılımı yardımıyla bilgisayar benzetimi yapılmıştır ve ayarlanabilirlik özelliğinin performansı olumlu yönde etkilediği saptanmıştır. Son olarak dört farklı frekans bandında ve dört farklı kazanç seviyesinde ayarlanabilir yükselteç ayarlanabilir endüktör yardımıyla tasarlanmıştır ve ayarlanabilir endüktör yapısının kazanç seviyesinde başarımı artırdığı gözlenmiştir.



KAYNAKLAR

- [1]. Yarman, B., S., 2010, *Design Of Ultra Wideband Power Transfer Networks*, Wiley, Singapore, 978-0-470-31989-5.
- [2]. Yarman, B., S., 2008, *Design of Ultra Wideband Antenna Matching Networks Via Simplified Real Frequency Techniques*, Springer, Netherlands, 978-1-4020-8417-1
- [3]. Aksen, A., 1994, *Design of Lossless Two Ports With Mixed, Lumped and Distributed Elements for Broadband Matching*, Doktora Tezi, Lehrstuhl fuer Nachrichtentechnik, Ruhr-Universitaet Bochum.
- [4]. Ozaki, H., Kasami, T., 1960, Positive Real Functions of Several Variables and Their Applications to Variable Networks, *IEEE Transactions Circuit Theory*, vol. 7, 251-260.
- [5]. Koga, T., 1971, Synthesis of a Resistively Terminated Cascade of Uniform lossless Transmission Lines and Lumped Passive Lossless Two Ports, *IEEE Transactions Circuit Theory*, vol. 18, pp. 445-455.
- [6]. Ansell, H. G. 1964, On Certain Two-Variable Generalization of Circuit Theory With Application Two Networks of Transmission Lines and Lumped Reactances, *IEEE Transactions Circuit Theory*, vol. CT-11, 214-223.
- [7]. Youla, D., C., Rhodes, J., D., Marston, P., C., 1972, Driving Point Synthesis of Resistor Terminated Cascaded Composed of Lumped Lossless Two-Ports and Commensurate TEM Lines, *IEEE Transactions on Circuit Theory*, vol. CT-19, 648-664.
- [8]. Fettweis A., 1984, Some Properties of Scattering Hurwitz Polynomials, *Archiv Electr. Übertragung*. Vol. 38, 171-176
- [9]. Fano, R., M., 1950, Theoretical Limitations on the Broadband Matching of Arbitrary Impedances, *Journal of the Franklin Institute* Vol. 249, pp. 57-83.
- [10]. Rhodes, J., D., Marston, P., C., 1971, Cascade Synthesis of Transmission Lines and Lossless Lumped Networks, *Electronic Letters*, vol. 7, 621-622
- [11]. Rhodes, J., D., Marston, P., C., Youla, D., C., 1973, Explicit Solution to Synthesis of Two Variable Transmission Line Networks, *IEEE Transactions on Circuit Theory*, vol. CT-20, 504-5011.
- [12]. Youla, D., C., 1964, A New Theory of Broadband Matching, *IEEE Transactions on Circuit Theory* 11, 30-50.

- [13]. Carlin, H., J., Yarman, B., S., 1983 The Double Matching Problem: Analytic and Real Frequency Solutions, *IEEE Transactions on Circuit and Systems* 30(1), 15-28.
- [14]. Youla, D., C., Rhodes, J., D., Marston, P., C., 1973, Recent Developments in The Synthesis of a Class of Lumped-Distributed Filters, *International Journal of Circuit Theory and Applications*, vol. 1, 59-70.
- [15]. Bode, H., W., 1945, *Network Analysis and Feedback Amplifier Design*, D. Van Nostrand Company Inc, New York.
- [16]. Youla, D., C., Saito, M., 1966, Interpolation with Positive Real Functions, *Report no PIBMRI-1353-66, Microwave Research Inst.*, Polytechnic Institute of Brooklyn.
- [17]. Aydın, Ç., 2011, Yeni Nesil RFID Sistemlerinde Kullanılan Minyatür Anten Tasarımları, Yüksek Lisans Tezi, İstanbul Üniversitesi Fen Bilimleri Enstitüsü.
- [18]. Aksen, A., Yarman, B., S., 1994, A Semi-analytical Procedure to Describe Lossless Two-Ports With Mixed-Lumped and Distributed Elements, *ISCAS 1994*, vol 5-6, 205-208.
- [19]. Gürsu, E., 2000, *Toplu ve Karışık Elemanlı Kayıpsız İki Kapılı Devrelerin Parametrik Tasarımı*, Doktora Tezi, İstanbul Üniversitesi Fen Bilimleri Enstitüsü.
- [20]. Yarman, B., S., Aksen, A., 1992, An Integrated Design Tool to Construct Lossless Matching Networks with Mixed Lumped and Distributed Elements, *IEEE Trans. CAS* 39(9), 713-723.
- [21]. Aksen, A., Yarman, B., S., 1993, Construction Of Low-Pass Ladder Networks With Lumped and Distrubuted Elements, *European Conferance on Circuit Theory and Design*, Vol. 1, pp. 1389-1393.
- [22]. Darlington, S., 1939, Synthesis of Reactance 4 Poles, *MIT J. Mathematics and Physics* 18, 257-353.
- [23]. Carlin, H., J., Civalleri, P., P., 1997, A Comprehensive Discussion on the subject can be found in Wideband Circuit Design, *CRC Press*, pp. 231-235.
- [24]. Yarman, B., S., et al., 2007, Design of Broadband Matching Networks, *ECT Invited Talk*, Okinawa, Japan, January 24–27, pp. 35–40.
- [25]. Yarman, B., S., 1985, Modern Approaches to Broadband Matching Problems, *Proc. IEE* 132, 87-92.
- [26]. Belevitch, V., 1968, *Classical Network Theory*, S.Fransisco, Holden-Day, p.277.
- [27]. Baher, H., 1984, *Synthesis of Electrical Networks*, John Wiley & Sons.
- [28]. Matthaei, G., Young, L., Jones, E., M., T., 1964, *Microwave Filters, Impedance-matching Networks and Coupling Structures*, Mc. Graw Hill, New York.

- [29]. Pandel, J., Fettweis, A., 1985, Broadband Matching Using Parametric Representations, *IEEE International Symposium on Circuits and Systems*, vol. 41, 143-149.
- [30]. Carlin, H. J., Komiak, J. J., 1979, A new method of broadband equalization applied to microwave amplifiers, *IEEE Trans. Microwave Theory and Tech.* vol. 27, pp. 93-99.
- [31]. Carlin H. J., 1977, A New Approach to Gain-Bandwidth Problems, *IEEE Trans., CAS* 23, 170-175.
- [32]. Fettweis, A., 1982, On The Scattering Matrix and The Scattering Transfer Matrix of Multi-Dimensional Lossless Two-Ports, *Archiv Electr. Übertragung*, vol. 36, 374-381.
- [33]. Scanlan, S. O., Baher, H., 1979, Driving Point Synthesis of A Resistor Terminated Cascade Composed of Lumped Lossless 2-Ports and Commensurate Stubs, *IEEE Transactions Circuits and Systems*, vol. 26, 947-955
- [34]. Yarman, B. S., 1982, *Broadband Matching a Complex Generator to a Complex Load*, Doktora Tezi, Cornell Üniversitesi.
- [35]. Basu, S., Fettweis, A., 1988, On Synthesizable Multidimensional Lossless Two-Ports, *IEEE Transactions Circuits and Systems*, vol. 35, 1478-1486.
- [36]. Atilla, D., Ç., 2011, *Yeni Nesil Cep Telefonlarında Kullanılacak Antenler İçin Empedans Uyumlaştırma Devreleri Tasarımı*, Yüksek Lisans Tezi, İstanbul Üniversitesi Fen Bilimleri Enstitüsü.
- [37]. Köprü, R., 2013, *Geniş Band Mikrodalga Kuvvetlendirici Tasarımı İçin Yarı-Analitik Bir Yöntem*, Doktora Tezi, İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü.
- [38]. Yarman, B. S., Carlin, H. J., 1982, A Simplified Real Frequency Technique Applied to Broad-Band Multistage Microwave Amplifiers, *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-30, No.12.
- [39]. Gonzales, G., 1984 *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, Inc.
- [40]. Grebennikov A., Kumar N., Yarman B.S., 2016, *Broadband RF and Microwave Amplifiers*, CRC Press, New York, 9781466557383.
- [41]. IG. M. Rebeiz and J. B. Muldavin, RF MEMS switches and switch circuits, *IEEE Microwave Mag.*, vol. 2, pp. 59–71, Dec. 2001.
- [42]. Comart, I., Demir, S., Akın, T., 2010, RF MEMS Teknolojisi Tabanlı 12 GHz ve 26 GHz Çalışma Frekanslarında Tek Giriş Çift Çıkış Anahtar Yapıları, *URSI Ulusal Konferansı 2010*, 363-366.

- [43]. Keysight Technologies, <http://www.keysight.com>
- [44]. Yarman, B., S., Retdian, N., Takagi, S., Fujii, N., 2007, Gain-bandwidth limitations of 0.18 μ m Si-CMOS RF technology, *Proceedings of ECCTD 2007*, Seville, Spain, August 26–30.
- [45]. Kılınç, A., Yarman, B., S., 2013, High precision LC ladder synthesis part I: Lowpass ladder synthesis via parametric approach, *IEEE TCAS-I, Regular Papers*, vol.28.
- [46]. Kılınç, A., Yarman, B., S., 2013, High precision LC ladder synthesis part II: Immitance synthesis with transmission zeros at DC and infinity, *IEEE TCAS-I, Regular Papers*, vol.28.
- [47]. Yarman B., S., 1982 A Simlified Real Frequency Technique for Broadband Matching a Complex Generator to a Complex Load, *RCA Review* 43, 529-541.
- [48]. Youla, D., C., Yarman, B., S., Carlin, H., J., 1984, Double Broadband Matching and Problem of Reciprocal Reactance 2n-port Cascade Decomposition, *Int. J Circuit Theory and App.* 12, 269-281.
- [49]. Mathworks Inc., Mass. (USA). <http://www.mathworks.com>.
- [50]. Peregrine Semiconductor, www.psemi.com
- [51]. Nesimoğlu, T., 2010, *Design and Analysis of Frequency-Tunable Amplifiers using Varactor Diode Topologies*, *Circuits Systems and Signal Processing*, Volume 30, Number 4, 705-720, DOI: 10.1007/s00034-011-9309-6.
- [52]. Pozar, D., M., 2005, *Microwave Engineering 3rd Edition*, USA, John Wiley & Sons Ltd.
- [53]. Zlydareva, O., 2007, Reconfiguration and Reprogramming of The Baseband Level by Software Defined Radio for Wimax and UMTS Multi-Standards Terminals, *Technical Report, DIT-07-043*, University of Trento, Italy, Department of Information and communication Technology.
- [54]. NXP Semiconductor, www.nxp.com.

ÖZGEÇMİŞ

Kişisel Bilgiler	
Adı Soyadı	Doğu Çağdaş ATILLA
Doğum Yeri	İstanbul
Doğum Tarihi	12.06.1986
Uyruğu	☒ T.C. ☐ Diğer:
Telefon	
E-Posta Adresi	cagdas.atilla@isikun.edu.tr
Web Adresi	



Eğitim Bilgileri	
Lisans	
Üniversite	İstanbul Üniversitesi
Fakülte	Fen Fakültesi
Bölümü	Fizik
Mezuniyet Yılı	2008

Yüksek Lisans	
Üniversite	İstanbul Üniversitesi
Enstitü Adı	Fen Bilimleri Enstitüsü
Anabilim Dalı	Elektrik-Elektronik Mühendisliği Anabilim Dalı
Programı	Elektrik-Elektronik Mühendisliği Programı
Mezuniyet Tarihi	2011

Doktora	
Üniversite	İstanbul Üniversitesi
Enstitü Adı	Fen Bilimleri Enstitüsü
Anabilim Dalı	Elektrik-Elektronik Mühendisliği Anabilim Dalı
Programı	Elektrik-Elektronik Mühendisliği Programı
Mezuniyet Tarihi	2017

Makale ve Bildiriler
Yarman, B., S., Aksen, A., Köprü, R., Kumar, N., Aydın Ç., Atilla, D., Ç., Chacko, P., 2016, Computer Aided Darlington Synthesis of an All Purpose Immittance Function, <i>IU-Journal of Electrical & Electronics Engineering</i> , 16(1), 2027-2037.
Aydın, Ç., Atilla, D., Ç., Köprü, R., Kılınç, S., Karakuş, C., Yarman, B., S., 2016, A Design Technique of 50 Ohm Terminated Bandpass Matching Network and Its

Implementation to a Y-Shaped Monopole Antenna Matching, *Analog Integrated Circuits And Signal Processing*, Doi: 10.1007/s10470-016-0768-3.

Köprü, R., Kılınç S., Aydın, Ç., Atilla, D., Ç., Karakuş, C., Yarman, B., S., 2014, Ultra Wideband Matching Network Design for a V-Shaped Square Planar Monopole Antenna, *International Journal of Microwave and Wireless Technologies*, 1-10., Doi: 10.1017/S1759078714001081

Nesimoglu, T., Aydın, Ç., Atilla, D., Ç., Köprü Ramazan, Yarman B. S. (2013). An Eclectic Approach To Design Tunable Amplifiers, *International Journal of RF and Microwave Computer-Aided Engineering*, 23(4), 444-451., Doi: 10.1002/mmce.20732

Köprü, R., Atilla, D., Ç., Aydın, Ç., Kılınç, S., Yarman, B., S., 2016, Design and realization of 8–12 GHz cascaded unit element microstrip filter for X-band, *MMS2016, 16th IEEE Mediterranean Microwave Symposium*, At Abu Dhabi, UAE, DOI: 10.1109/MMS.2016.7803792, (Tam metin bildirisi)

Köprü, R., Aydın, Ç., Atilla, D., Ç., Kılınç, S., Yarman, B., S., 2015, Wideband Bandpass Filter Design for X band Horn Antenna via Numerical Techniques, *Mediterranean Microwave Symposium 2015* (Poster)

Aydın Ç., Atilla, D., Ç., Karakuş, C., Köprü, R., Yarman, B., S., 2015, Transformerless Bandpass Matching Network Design for Y-Shaped Monopole Antenna, *ELECO 2015, The 9th "International Conference on Electrical and Electronics Engineering* (Tam metin bildirisi)

Yarman, B., S., Aksen, A., Köprü, R., Aydın, Ç., Atilla, D., Ç., 2014, A High Precision Cascade Synthesis Technique For Real Frequency Matching Involving Brune And Darlington Type-C Sections, *MMS2014 14th Mediterranean Microwave Symposium*, Marrakech, Morocco (Sözlü Bildiri)

Atilla, D., Ç., Aydın, Ç., Nesimoğlu, T., Köprü, R., Aksen A., Yarman, B., S., 2014, Design Of Tunable Amplifier Using Digital Capacitors, *MMS2014 14th Mediterranean Microwave Symposium*, Marrakech, Morocco (Sözlü Bildiri)

Yarman, B., S., Aksen, A., Köprü, R., Aydın, Ç., Atilla, D., Ç., 2014, Computer Aided High Precision Darlington Synthesis for Real Frequency Matching, *2014 IEEE Benjamin Franklin Symposium on Microwave and Antenna Sub-Systems, Radar, Telecommunications, and Biomedical Applications*, Philadelphia, Pennsylvania, USA (Poster)

Kopru R., Aydın, C., Atilla, D., Ç., Karakus, C., Yarman, B., S., 2013, Wideband Matching Network Design for A V-Shaped Square Monopole Antenna Using Real Frequency Technique, *13th Mediterranean Microwave Symposium* (Tam metin bildirisi)

- Aydin, C., Atilla, D., Ç., Kizilbey, O., Kopru, R., Nesimoglu, T., Yarman B., S., 2013, Design and Investigation of 12-50 Ohm Tunable Microstrip Impedance Transforming Filter, *13th Mediterranean Microwave Symposium (MMS)*, Doi: 10.1109/MMS.2013.6663128 (Tam metin bildirir)
- Atilla, D., Ç., Aydin, C., Kopru, R., Nesimoglu, T., Yarman, B., S., 2013, A Tunable Inductance Topology to Realize Frequency Tunable Matching Networks and Amplifiers, *IEEE International Symposium on Circuits and Systems (ISCAS2013)*, Doi: 10.1109/ISCAS.2013.6571786 (Tam metin bildirir)
- Nesimoglu, T., Aydin, C., Atilla, D., C., Yarman, B., S., 2013, A Frequency Tunable Broadband Amplifier Utilizing Tunable Capacitors and Inductors, *Conference on Microwave Techniques (COMITE)*, Doi: 10.1109/COMITE.2013.6545044 (Tam metin bildirir)
- Karakuş, C., Atilla, D., Ç., Aydin, Ç., Köprü, R., Yarman, B., S., 2012, Design of Data Communication Antennas for High Speed Trains, *MMS2012 12th Mediterranean Microwave Symposium*, Doğuş University, Istanbul (Turkey) (Sözlü Bildiri)
- Aydin, Ç., Atilla, D., Ç., Kizilbey, O., Köprü, R., Nesimoğlu, T., Yarman, B., S., 2012, Design and Investigation of 12–50 Ohm Tunable Microstrip Impedance Transforming Filter, *MMS2012 12th Mediterranean Microwave Symposium*, Doğuş University, Istanbul (Turkey) (Sözlü Bildiri)
- Karakuş, C., Bolcal, E., C., Aydin, Ç., Atilla, D., Ç., Köprü, R., Yarman, B., S., 2012, Analysis of EM Sources Behavior in Closer Proximity, *12th Mediterranean Microwave Symposium*, Doğuş University, Istanbul/Turkey (Sözlü Bildiri)
- Köprü, R., Aydin, Ç., Atilla, D., Ç., Karakuş, C., Yarman, B., S., 2012, Wideband Matching Network Design for A V-Shaped Square Monopole Antenna Using Real Frequency Technique, *12th Mediterranean Microwave Symposium*, Doğuş University, Istanbul (Turkey) (Sözlü Bildiri)
- Atilla, D., Ç., Aydin, C., Nesimoglu, T., Chacko, P., Yarman, B., S., 2011, Design of Tunable Matching Networks Over 800-5200 Mhz Using Real Frequency Techniques, *IEEE Applied Electromagnetics Conference (AEMC)*, Doi: 10.1109/AEMC.2011.6256892 (Tam metin bildirir)
- Karakus., C., Aydin, C., Atilla, D., C., Nesimoglu, T., Yarman, B., S., 2011, Ultra Wideband Square Planar Monopole Antenna With V-Shaped Coupling Elements, *Indian Antenna Week (IAW)*, Doi: 10.1109/IndianAW.2011.6264938 (Tam metin bildirir)