

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

135920

**TIQ TEMELLİ 8 BİT İKİ AŞAMALI ADC TASARIMI,
SİMÜLASYONU VE SERİM ŞEMASI**

YÜKSEK LİSANS TEZİ

Elektronik ve Hab. Müh. Oktay AYTAR

Anabilim Dalı: Elektronik ve Haberleşme

Danışman: Yrd. Doç. Dr. ALİ TANGEL

135920

HAZİRAN 2003

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**TIQ TEMELLİ 8-BİT İKİ AŞAMALI ADC TASARIMI, SİMÜLASYONU
VE SERİM ŞEMASI**

YÜKSEK LİSANS TEZİ

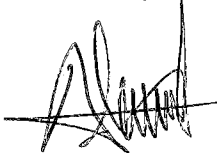
Elektronik ve Haberleşme Müh. Oktay AYTAR

Tezin Enstitüye Verildiği Tarih: 23 Haziran 2003

Tezin Savunulduğu Tarih: 15 Temmuz 2003

Tez Danışmanı

Yrd.Doç.Dr. Ali TANGEL



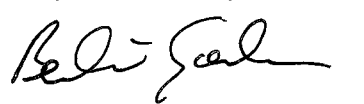
Üye

Prof. Dr. Atilla ATAMAN



Üye

Doç. Dr. Bekir ÇAKIR



TEMMUZ 2003

TIQ TEMELLİ 8-BİT İKİ AŞAMALI ADC TASARIMI, SİMÜLASYONU VE SERİM ŞEMASI

Oktay AY TAR

Anahtar Kelimeler: Threshold Inverter Quantization(TIQ), Paralel Analog-Sayısal Dönüştürücüler (ADC), Sayısal-Analog Dönüştürücüler(DAC), İki Aşamalı Analog-Sayısal Dönüştürücü.

Özet : Elektronik sistemlerde özellikle sayısal ve kablosuz haberleşme sistemlerinde yüksek hızlı dönüştürücüler oldukça popülerdir. Analog işareti sayısal işarete dönüştürmek için farklı yöntemler vardır. Bunlardan bilinen en hızlı adc türü tamamen paralel olan adc türüdür. Tamamen paralel adc türünün en önemli dezavantajı da, 6 bit ve üzeri çözünürlük için gereken karşılaştırıcı sayısıdır. Çünkü n bit adc için 2^n-1 adet karşılaştırıcıya ihtiyaç vardır. Çözünürlük artırılmak istendiğinde karşılaştırıcı sayısında artış olmaktadır. Yüksek çözünürlükte karşılaştırıcı sayısını azaltmak için iki aşamalı adc tekniği geliştirilmiştir. Bunun sonucunda yonga alanında önemli derecede bir küçülme meydana gelmiştir.

Tamamen paralel adc yapılarında n bit için 2^n adet direnç dizisi kullanmak gereklidir. Burada direnç dizisi yerine, yonga alanı içerisinde daha az yer kaplayan ve daha az güç çeken TIQ tekniği kullanılmıştır. TIQ tekniği ile karşılaştırıcı girişlerine gereken referans gerilimleri ayarlanmaktadır.

Bu çalışmada simülasyonlarda 0.5 mikron Generic CMOS nwell teknolojisi kullanılmıştır. Simülasyonlarda 3V analog işareti, 30 MHz giriş band genişliğine sahip işaret kullanılmıştır. Örnekleme işareti 1Gs/s'dir. Geleneksel iki aşamalı adc kullanılan paralel adc yapılarında TIQ temelli 4 bit adc'ler kullanılmıştır. Sayısal-analog dönüştürücü olarak R-2R türü kullanılmıştır. Simülasyon sonuçları ve gerekli teknoloji dosyaları Bölüm-5'de ve Ek-1'de verilmiştir.

8-BIT SEMI-FLASH ADC BASED ON TIQ TECHNIQUE DESIGN, SIMULATION AND LAYOUT

Oktay AYTAR

Key words: Threshold Inverter Quantization (TIQ), Flash Analog-Digital Converters, Digital-Analog Converters, Semi-Flash (Two subranging) Analog-Digital Converter.

Abstract: High speed data conversion has been keeping its vital importance in electronic systems especially, since digital and wireless communication became very popular in the world. There are different methodologies when converting an analog signal to digital or vice versa. The fastest ADC known is the full-flash analog-digital converter. However, this architecture is not practical for over 6-bit resolution designs due to requirement of (2^n-1) number of comparators for a fully-parallel signal quantization process. To overcome large number of comparator requirements, semi flash technique has been developed, resulting an important amount of chip size saving.

Traditional flash adc technique is using a resistor array with 2^n number of resistors for n-bit. Instead of resistor array, we apply TIQ technique which has less area in chip. Moreover amount of power and area are small.

In this study design of 8-bit TIQ based Semi-Flash ADC using 0.5 micron generic CMOS n-well technology has been implemented. Simulation results include 3V analog input range, 30 MHz input bandwidth, and sampling rate of 1Gs/s. Although the proposed architecture is same as traditional semi-flash method, TIQ technique has been employed in the two 4-bit core flash ADCs. R-2R type of typical binary weighted converter scheme has been selected in this study. Simulation results are shown in Chapter-5 and Appendix-1.

ÖNSÖZ ve TEŞEKKÜR

Analog işaret dünyası ile sayısal işaret dünyası arasındaki ilişkiyi sağlayan analog-sayısal dönüştürücülerde, elektronik sistemler geliştikçe dönüştürme hızlarının ve çözünürlüklerinin artması gereği hissedilmiştir. Bu yüzden gelişen teknoloji dünyasında adc ve dac tasarımları önem kazanmıştır.

Adc ve dac tasarımları hem analog hem de sayısal kısımlardan oluştuğu için devre tasarımları oldukça zordur. Bu tasarımları yaparken sadece harcanan gücü, hızı değil aynı zamanda yonga olarak kapladığı alanı da düşünmek zorundayız. Çünkü gelişen teknolojiye uzunluklar artık mikro metreler hatta nano metrelerdedir. Yonga alanı ve harcanan güç mümkün olduğunca küçültülmelidir. Çünkü kullanılan sistemlere göre adc ve dac türleri değişmektedir. Uygun olan adc ve dac türünü bulmak sizin yapacağınız uygulama alanı ile alakalıdır.

Bu çalışmada TIQ temelli iki aşamalı adc tasarımı, simülasyonu ve serim şeması verilmiştir. Simülasyonlar Tanner EDA programının deneme versiyonu yardımı ile yapılmıştır.

Bu çalışma esnasında benden manevi desteğini esirgemeyen değerli dostum Arş.Gör.Süleyman Yazıcı'ya, bir ömür boyunca desteklerini bir an için bile eksiltmeyen aileme teşekkür ederim.

Ayrıca bu çalışmada maddi desteklerinden dolayı TUBİTAK kurumuna da teşekkür ederim.

Beni VLSI konusunda çalışmaya iten ve bu çalışmalar esnasında fikirleri ile bana yardımcı olan değerli hocam Yrd.Doç.Dr. Ali Tangel'e teşekkür ederim.

Haziran 2003, KOCAELİ

Oktay AY TAR

İÇİNDEKİLER

ÖZET	ii
ABSTRACT	iii
ÖNSÖZ ve TEŞEKKÜR.....	iv
İÇİNDEKİLER.....	v
SİMGELER DİZİNİ VE KISALTMALAR	vii
ŞEKİLLER DİZİNİ	viii
TABLolar DİZİNİ.....	x
 BÖLÜM 1: GİRİŞ	 1
 BÖLÜM 2 : ANALOG-SAYISAL, SAYISAL-ANALOG DÖNÜŞTÜRÜCÜ TÜRLERİ ve ÖZELLİKLERİ	 3
2.1 Analog-Sayısal Dönüştürücülerin Statik Karakteristik Özellikleri	4
2.2 Analog-Sayısal Dönüştürücülerin Dinamik Karakteristikleri	8
2.3 Analog-Sayısal Dönüştürücü Türleri	9
2.4 Seri (Yavaş Hızlı) Analog-Sayısal Dönüştürücüler	10
2.5 Orta Hızlı Analog-Sayısal Dönüştürücüler	10
2.5.1 Ardışıl yaklaşımlı analog-sayısal dönüştürücü	10
2.5.2 Boru tipi analog-sayısal dönüştürücü	11
2.6 Yüksek Hızlı Analog-Sayısal Dönüştürücüler	12
2.6.1 Flash analog-sayısal dönüştürücü	12
2.6.2 Katlamalı(Folding) analog-sayısal dönüştürücü	12
2.7 Çok Sık Kullanılan Karşılaştırmalı Yapıları.....	13
2.7.1 Tümüyle farksal tutucu tipi karşılaştırmalı	14
2.7.2 Dinamik (Auto-Zero) karşılaştırmalı	16

BÖLÜM 3: SAYISAL-ANALOG DÖNÜŞTÜRÜCÜLER VE TIQ TEKNİĞİ	18
3.1 Sayısal-Analog Dönüştürücülerin Statik Karakteristikleri	20
3.2 Sayısal-Analog Dönüştürücülerin Dinamik Karakteristikleri	21
3.3 Sayısal-Analog Dönüştürücü Türleri	22
3.3.1 Paralel sayısal-analog dönüştürücüler	22
3.3.1.1 Akım bölmeli sayısal-analog dönüştürücüler	22
3.3.1.2 Gerilim bölmeli sayısal-analog dönüştürücüler	23
3.3.1.3 Yük bölmeli sayısal-analog dönüştürücüler	23
3.3.2 Seri sayısal-analog dönüştürücüler	24
3.4 Threshold Inverter Quantization Tekniği	25
3.4.1 TIQ tekniği ve çalışması	26
3.4.2. TIQ tasarım aşamaları	27
3.4.3 TIQ tekniği performans karşılaştırılması	28
BÖLÜM 4 : İKİ AŞAMALI ANALOG-SAYISAL DÖNÜŞTÜRÜCÜ	30
4.1. İki Aşamalı Hızlı Analog-Dönüştürücü Yapısı	30
4.2 4-Bit TIQ Temelli Analog-Sayısal Dönüştürücü	33
4.2.1 Dinamik tutucu devresi	34
4.2.2 Termometre kod çözücü devresi	35
4.2.3 Öncelik kodlama devresi	36
4.3 R-2R Sayısal-Analog Dönüştürücü	38
4.4 Fark Yükseltici	40
BÖLÜM 5: SİMÜLASYON SONUÇLARI	42
5.1. 4-Bit Kaba Analog-Sayısal Dönüştürücü	42
5.2. 4-Bit Hassas Analog-Sayısal Dönüştürücü	46
5.3. 4-Bit R-2R Sayısal-Analog Dönüştürücü	48
5.4. İki Aşamalı Paralel ADC	50
SONUÇLAR ve ÖNERİLER	54
KAYNAKLAR	56
EK-1	59
ÖZGEÇMİŞ	89

SİMGELER DİZİNİ VE KISALTMALAR

ADC	Analog Digital Converter
DAC	Digital Analog Converter
DNL	Differential Nonlinearity
FS	Full Scale
INL	Integral Nonlinearity
LSB	Least Significant Bit
MSB	Most Significant Bit
OP-AMP	Operational Amplifiers
PLA	Programmable Lojik Array
SNR	Signal to Noise Ratio
TIQ	Threshold Inverter Quantization

ŞEKİLLER DİZİNİ

Şekil 2.1. Analog-Sayısal Dönüştürücünün Blok Gösterimi.	3
Şekil 2.2. 3-Bit Analog-Sayısal Dönüştürücünün Giriş-Çıkış Karakteristiği.	5
Şekil 2.3. Offset Hatalı 3-Bit ADC.....	6
Şekil 2.4. Kazanç Hatalı 3-Bit ADC.....	7
Şekil 2.5. 3-Bit ADC için INL ve DNL Örneği.	7
Şekil 2.6. Ardışıl Yaklaşımlı Analog-Sayısal Dönüştürücü Blok Çizimi.....	10
Şekil 2.7. Boru Tipi ADC'ninBlok Şeması.....	11
Şekil 2.8. Folding ADC'nin Blok Şeması.....	13
Şekil 2.9. Gerilim Karşılaştırıcının Blok Şeması.	14
Şekil 2.10. Tam Diferansiyel Tutucu Tipi Karşılaştırıcı.	15
Şekil 2.11. Basit Dinamik Cmos Karşılaştırıcı Devresi.	16
Şekil 3.1. Sayısal-Analog Dönüştürücünün Sınıflandırılması.	18
Şekil 3.2. İşaret İşleme Uygulamalarında DAC Kullanımı.	19
Şekil 3.3. Flash A/D Dönüştürücü Yapısının Analog ve Sayısal Bölümleri.	25
Şekil 3.4. (a) TIQ Devresi (b) Gerilim Transfer eğrisi	26
Şekil 3.5. Tasarım Sürecinin Blok Halinde Gösterimi.	27
Şekil 4.1. İki Aşamalı Hızlı Analog-Sayısal Dönüştürücü Blok Yapısı.....	31
Şekil 4.2. İki Aşamalı Adc'lerde İnce ve Kaba Dönüştürme.....	32
Şekil 4.3. 4-Bit ADC'nin Sayısal Kısımının Blok Gösterimi.	33
Şekil 4.4. Dinamik Tutucu Devresi.	34
Şekil 4.5. Termometre Kod Çözücü Devresi.	35
Şekil 4.6. AB Sayısal Devresi.	36
Şekil 4.7. 4 Bit PLA-ROM Öncelik Kodlayıcısı.....	37
Şekil 4.8. R-2R Türünde Sayısal-Analog Dönüştürücü.....	38
Şekil 4.9. 4 Bit Sayısal-Analog Dönüştürücü Çıkışı.	39
Şekil 4.10. Sayısal-Analog Dönüştürücüde Kullanılan Op-Amp.....	39
Şekil 4.11. Fark Yükselteci.	40

Şekil 5.1. (a) TIQ'nun devre şeması. (b) TIQ'nun serim şeması.....	43
Şekil 5.2. Analog-Sayısal Dönüştürücünün Girişine Uygulanan İdeale Yakın Örneklenmiş Üçgen Dalga Gerilimi.	43
Şekil 5.3. Kullanılan Saat İşareti.....	44
Şekil 5.4. Kaba ADC'nin 4-Bit Çıkışları.....	44
Şekil 5.5. 4 Bit Kaba ADC'nin Yonga Planı.....	45
Şekil 5.6. Hassas Adc'nin 4-Bit Çıkışları.....	46
Şekil 5.7. 4-Bit Hassas Adc'nin Yonga Planı.....	47
Şekil 5.8. (a) Sayısal-Analog Dönüştürücü Girişleri. (b) $V_{ref}=5$ için DAC Çıkışı	49
Şekil 5.9. $V_{ref}=3V$ için DAC Çıkışı.....	49
Şekil 5.10. Sayısal-Analog Dönüştürücü Yonga Planı.....	50
Şekil 5.11. 8 Bit İki Aşamalı A/D Dönüştürücü Yonga Planı.....	51
Şekil 5.12. 8 Bit İki Aşamalı ADC'nin Bit Çıkışları.....	52

TABLolar DİZİNİ

Tablo 2.1. Analog-Sayısal Dönüřtürücülerin Sınıflandırılması.	4
Tablo 2.2. ADC’lerde En Çok Kullanılan Sayısal Çıkıř Kodları.	5
Tablo 3.1. Paralel Sayısal-Analog Dönüřtürücülerinin Performans Karşılařtırılması.	23
Tablo 3.2. Seri Sayısal-Analog Dönüřtürücülerin Performans Karşılařtırılması.	23



BÖLÜM 1: GİRİŞ

Analog-sayısal ve sayısal-analog dönüştürme, analog işaret dünyası ile sayısal işaret dünyası arasındaki ilişkiyi sağlamaktadır. Fiziksel olaylar olan ses, hareket, görüntü, sıcaklık, basınç vb. gibi birçok işaretin, analog akım, gerilim veya her iki değeri birden ölçülebilmektedir. Ölçülen bu değerler kullanılacakları duruma göre sayısal sistemlerin anlayabileceği sayısal işaretlere dönüştürülmesi gerekmektedir. Bu yüzden analog-sayısal dönüştürücülere ihtiyaç vardır.

Sayısal sistemlerin kullanılmasının gelişmesi, ancak kompleks olan yarı iletken teknolojisinin hızlı bir şekilde gelişmesi ile olmuştur. Çünkü birkaç lojik fonksiyonu için gerekli olan yongalar mevcut iken, yarı iletken teknolojisinin gelişmesi sayesinde binlerce lojik fonksiyonunu sağlayabilecek yongaların sayısında hızlı bir artış olmuştur. Ürün yelpazesinin gelişmesi ve elektronik performansının etkileyici bir şekilde artması sonucu analog-sayısal ve sayısal-analog dönüştürücüler mikro bilgisayarlarda, sayısal ses disklerinde ve otomobilin elektronik sistemlerinde kullanılmaya başlanılmıştır(Hoeschele 1994).

Sayısal devreler karışık olmamasına rağmen, analog devre tasarımı oldukça zordur. A/D ve D/A dönüştürücüler hem analog hem de sayısal kısımlardan oluşmaktadır. Bu da yonganın alanını ve maliyetini artırmaktadır. Yonga alanını etkili bir şekilde kullanabilmek hem uygulayacağınız sistemde bu dönüştürücülerin daha az yer kaplamasını hem de maliyeti düşürmektedir. Bunun için de kullanılacak adc veya dac'ın türü, hızı, çözünürlüğü, harcayacağı güç gibi özellikler önem kazanmaktadır.

A/D dönüştürücülerde, analog giriş sinyalinin referans gerilimine göre karşılaştırma yaparak sayısal çıkış vermesi amaçlanmıştır. Fakat bu karşılaştırmayı yaparken tercihiniz ya hız ya da çözünürlük olmalıdır. Çünkü yüksek çözünürlüğe ulaşabilmek

için hızdan, yüksek hıza ulaşabilmek içinde çözünürlükten feragat edilmektedir. Literatürde en hızlı adc olarak şimdiye kadar GaAsHBT teknoloji ile yapılan örnekleme hızı 4Gsample/s olan 6 bit adc önerilmiştir(Poulton 1995). Fakat önerilen bu sistem paralel adc yapısındadır. Daha yüksek çözünürlüğe çıkması bu yapıda çok zordur. Çünkü çözünürlüğü artırmak paralel adc türünde kullanılacak olan karşılaştırıcı sayısının artmasına neden olacaktır. Artan karşılaştırıcı sayısı yonga alanının artmasına neden olacaktır. Bu yüzden hem yüksek hızlı hem de yüksek çözünürlüklü a/d dönüştürücüler elde edebilmek için çeşitli teknikler mevcuttur. Bu yapılar katlamalı(folding), iki aşamalı(two step) ve boru tipi(pipeline) adc'lerdir.

Burada hız ve çözünürlük açısından iki aşamalı paralel analog-sayısal dönüştürücü yapısı kullanılmıştır. Bu yapı paralel adc ile boru tipi adc'nin birleşimden oluşmaktadır. Böylece yüksek hıza ve çözünürlüğe ulaşılabilir. Razavi (1992)'nin yapmış olduğu iki aşamalı paralel adc çalışmasında örnekleme hızı 5Ms/s'dir. Yapılan çalışmada hız açısından 1Gs/s'ye kadar çıkmıştır. Fakat bu çalışma ile kıyaslanacak bir durum daha vardır, o da harcanacak olan güçtür.

Paralel adc tasarımlarında karşılaştırıcı sayısının çok olmasının yanında, karşılaştırıcı dizisinden önce referans gerilimlerini ayarlamak için kullanılan direnç dizileri yonga alanı içinde çok yer kaplamaktadır. Aynı zamanda çekmiş oldukları güçte önemli hale gelmektedir. Bu yüzden bu çalışmada güç harcamasını minimuma indirdiği daha önceki çalışmalarda belirtilen threshold inverter quantization (TIQ) tekniği kullanılmıştır(Tangel and Choi 2001).

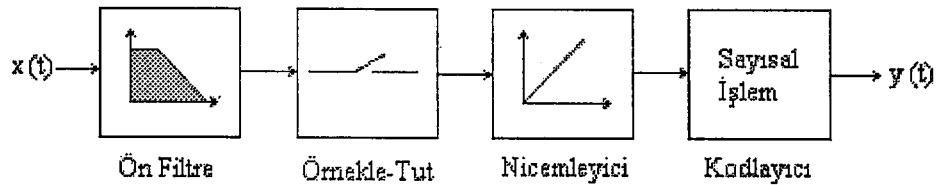
Yapılan çalışmada kullanılan iki aşamalı paralel adc, iki adet paralel adc, bir adet dac ve birim kazançlı fark yükseltecinden oluşmaktadır. Bu yapıdaki hızı ve çözünürlüğü kullanacağınız adc'ler ayarlar iken, dac'ın çözünürlüğünün de adc'lerin çözünürlüğü ile aynı olması gerekmektedir. Böylece sistemin lineerliği sağlanmış olmaktadır. Aynı zamanda bu bloklardan dolayı giriş gerilimi band genişliği sınırlıdır.Yapılan çalışmanın ayrıntılı simülasyon sonuçları ve yonganın serim planı bölüm 5'de verilmiştir. Ayrıca sistemin spice dosyası ve kullanılan teknolojilerin ayrıntılı dosyaları ek-1'de verilmiştir.

BÖLÜM 2 : ANALOG-SAYISAL, SAYISAL-ANALOG DÖNÜŞTÜRÜCÜ TİRLERİ ve ÖZELLİKLERİ

Analog-Sayısal dönüştürücüler analog işareti, sayısal ayırık bir işarete veya sayısal bir işarete dönüştürür. Sayısal-Analog dönüştürücü de bunun tam tersini yapmaktadır. Analog işareti adc'ye uygulamadan önce kesinlikle bir örnekle-tut devresinden geçirmek gerekmektedir. ADC'nin blok çizimi şekil 2.1'de gösterilmiştir(Hollberg and Allen 2002). Ön filtreden geçen işaretler bir örnekle-tut devresinden geçtikten sonra nicemleyiciye (quantizer) uygulanır. Daha sonra da kodlayıcıya uygulandıktan sonra çıkışından sayısal bilgi alınmış olur. Bu arada geçen zaman süresi dönüştürme zamanı olarak isimlendirilir.

Dönüştürme nicemleyicinin yardımı ile olmaktadır. Nicemleyici gelen analog işareti parçalara bölmektedir. Tipik olarak nicemleyicide 2^N adet basamak vardır. N sayısal çıkıştaki bit sayısını göstermektedir. Nicemleyicide kullanılacak olan basamak sayısı örneklenen analog işaret ile uygun olmalıdır. Dolayısıyla dönüştürme zamanı içerisinde örneklenen analog işaret sayısal işarete dönüştürülür.

Bu günlerde adc'nin bir çok farklı tipi kullanılmaktadır. Bunun en basit nedeni her farklı uygulama için farklı bir A/D dönüştürücü gerekliliğidir. Bu nedenle adc'lerde farklı şekillerde sınıflandırılabilir. Yapılan bir sınıflandırmaya göre adc'ler harcamış oldukları güce göre boru tipi, paralel, ardışıl yaklaşımlı (successive approximation),



Şekil 2.1. Analog-Sayısal Dönüştürücünün Blok Gösterimi.

Tablo 2.1. Analog-Sayısal Dönüştürücülerin Sınıflandırılması.

Dönüştürme Hızı	Mimari	Çözünürlük
Yavaş	Seri	Çok yüksek çözünürlük>14 bit
Orta	Ardışıl Yaklaşımlı 1-bit Boru tipi Algoritmik	Orta Çözünürlükte>10 bit
Hızlı	Flash Çoklu boru tipi Katlamalı(Folding) ve Ara Değerlendirmeli	Düşük çözünürlük>6 bit

aşırı örneklenmiş (oversampled) adc olmak üzere 4'e ayrılır. Bir başka sınıflandırma da Tablo 2.1'de gösterilmiştir.

2.1 Analog-Sayısal Dönüştürücülerin Statik Karakteristik Özellikleri

Adc'nin girişine analog bir işaret uygulandığında örneğin analog bir gerilim, çıkışta bu analog gerilime eşit gelen sayısal çıkış meydana gelmektedir. Analog giriş işareti 0 ile V_{REF} arasındadır. Analog-sayısal dönüştürücülerde en çok kullanılan sayısal çıkış kodları tablo 2.2'de gösterilmiştir. İkili kod, ondalık, termometer kod, gray kod ve ikinin eşleniği kodu şeklinde olmak üzere toplam 5 adet kod vardır. Bunlardan en çok kullanılanı ikili koddur. Bunlardan bir kaçının diğerlerine göre avantajları vardır. Örneğin gray ve termometer kodda 1 bitten diğerine geçişte 1 bit değişir.

Adc'nin statik karakteristiği giriş-çıkış karakteristiğine dayanır. 3 bitlik bir adc için giriş-çıkış karakteristiği şekil 2.2'de gösterilmiştir. Bu karakteristik için, analog giriş işaretinin $0.5LSB(2^i-1)$ değişimlerinde, ideal cevapta meydana gelen değişimler incelenecektir. Burada i, 1'den N'e kadar N bitlik bir adc'yi göstermektedir.

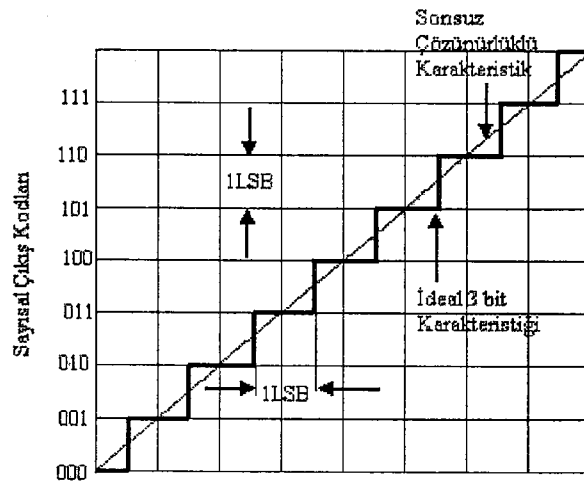
Tablo 2.2. ADC'lerde En Çok Kullanılan Sayısal Çıkış Kodları.

Ondalık	İkili	Termometer	Gray	İkinin Eşleniği
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001

Sonlu çözünürlük karakteristiği ile analog gerilim işareti arasındaki fark nicemleme gürültüsü olarak adlandırılır. İdealde analog - sayısal dönüştürücülerde bu değer $\pm 0.5\text{LSB}$ arasında değişmektedir.

Adc'nin dinamik değişikliklerinden işaret-gürültü oranı (SNR) ve gerçek bit sayısı (ENOB) değişimleri dac'ın dinamik değişimleri ile aynıdır. Bu özellik dac'ın incelenmesinde anlatılacaktır. Bu değişimler analog giriş değişkenlerine çıkışın verdiği sonuçlardır.

Adc'nin çözünürlüğü, analog-sayısal dönüştürücü tarafından ayırt edilebilir en küçük analog gerilim değişimi olarak tanımlanır.



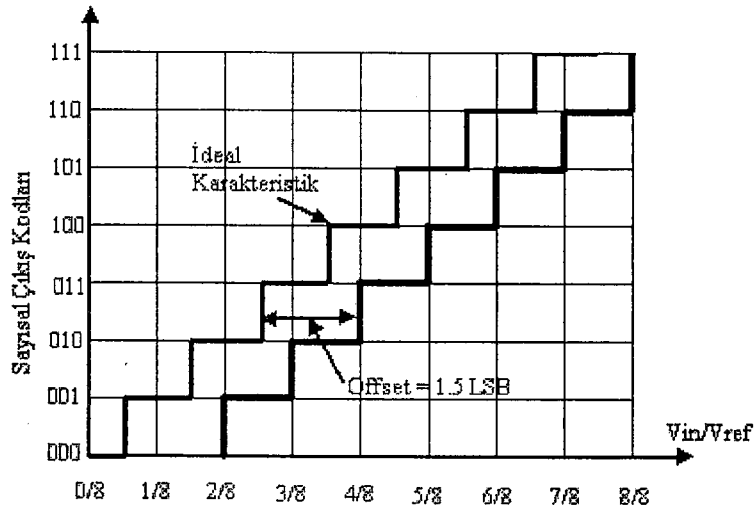
Şekil 2.2. 3-Bit Analog-Sayısal Dönüştürücünün Giriş-Çıkış Karakteristiği.

Çözünürlük, N bitlik bir analog-sayısal dönüştürücünün çıkışındaki en az değerlikli bit ile en değerlikli bit arasındaki farkın yüzde olarak ifadesi olarak tanımlanabilir.

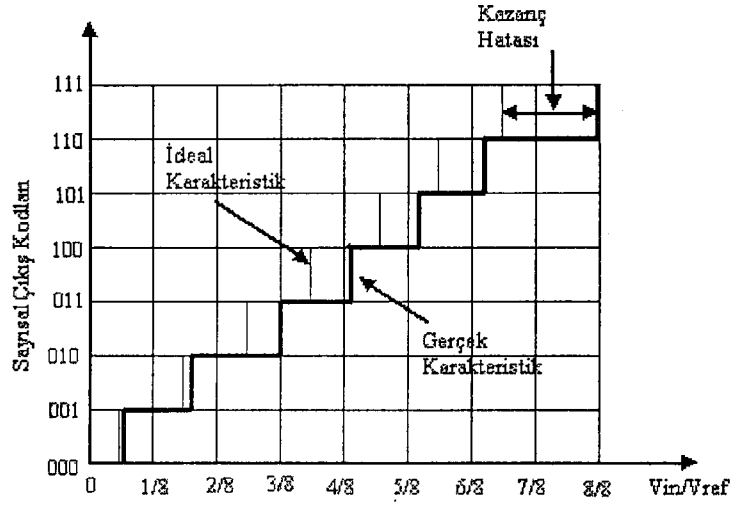
Dönüştürücülerin asıl statik performanslarını tanımlayan karakteristikler offset hatası, kazanç hatası, doğrusal olmayan tümlev (INL), doğrusal olmayan fark (DNL) olarak tanımlanabilir. A/D dönüştürücünün offset değeri, adc'nin çıkış cevabı ile olması gereken ideal cevabın yatay düzlemdeki farkı offset hatasını vermektedir.(Şekil 2.3)

Kazanç hatası, gerçek giriş-çıkış karakteristiği ile ideal karakteristiğin, giriş geriliminin maksimum gerilim değerine vermiş oldukları sonuçların farkı olarak tanımlanır. Bu da şekil 2.4'de gösterilmiştir. Kazanç hatasının sonsuz kazançlı çözünürlük eğrisinin eğimi olduğu konusunda da bir görüş vardır(Allen and Holberg 2002).

Doğrusal olmayan tümlev (INL) gerçek sonlu kazançlı karakteristik ile ideal sonsuz kazançlı karakteristik arasındaki düşey farklardır.(Şekil 2.5) Bu tanıma göre INL sadece tam değerler olabilir çünkü sayısal çıkış kodları her bir ayrık gerilime eşittir. Ayrıca çözünürlüğü artırınca LSB daha küçük bir değer olarak karşımıza çıkar.



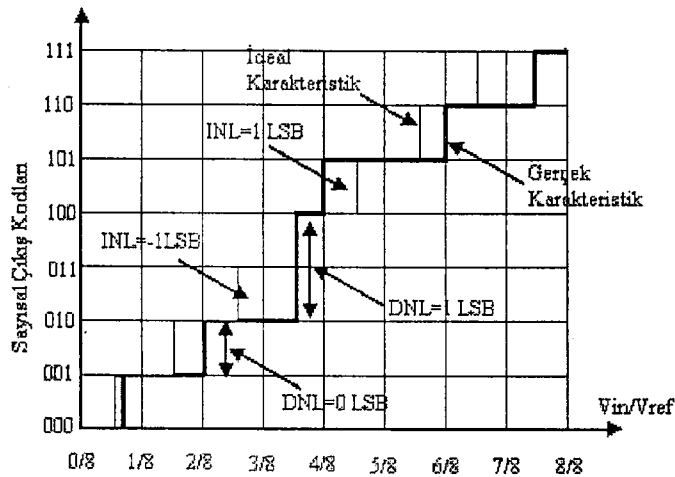
Şekil 2.3. Offset Hatalı 3-Bit ADC.



Şekil 2.4. Kazanç Hatalı 3-Bit ADC.

Bir ilave daha yapacak olursak, eğer INL'nin ölçülebilmesi için yeterli çözünürlükte ölçü aletine sahip değilseniz, INL'yi bir LSB'den daha az parçalara bölerek hesaplayabilirsiniz.

Doğrusal olmayan fark (DNL), birbirine çok yakın iki kod arasındaki dikey uzaklık olarak tanımlanabilir. Her düşey basamak ile bir önceki ya da bir sonraki arasındaki mesafedir. Şekil 2.5'de 3-bit ADC için INL ve DNL'ler gösterilmiştir. Burada gösterilen karakteristiğe göre en büyük INL 1 LSB ve en küçük INL değeride -1 LSB'dir. Aynı şekilde en büyük ve en küçük DNL değerleri de sırası ile 1 LSB ve -1 LSB'dir.



Şekil 2.5. 3-Bit ADC için INL ve DNL Örneği.

2.2 Analog-Sayısal Dönüştürücülerin Dinamik Karakteristikleri

ADC'nin dinamik karakteristikleri parazitik kapasitans ve op-amplardan dolayı oluşmaktadır. Çünkü bütün analog-sayısal dönüştürücülerde en azından bir adet karşılaştırıcı kullanılmıştır. Bilindiği üzere karşılaştırıcılar uygulanan analog sinyali karşılaştırarak uygun olan alt ya da üst değerleri vermektedir. Bu yüzden karşılaştırıcıların karakteristik özelliklerine bakmak yeterli olur. Dinamik karakteristiklerde işaret-gürültü oranı ve yayılım gecikmesi en önemli bileşenlerdir.

Analog-sayısal dönüştürücülerde işaret-gürültü oranının değeri giriş işaretinin en büyük RMS değerinin gürültülü değere oranı işaret-gürültü oranı olarak tanımlanır.

$$SNR = 20 \log \left(\frac{V_{in(max)}}{V_{gürültü}} \right) \quad (2.1)$$

Eğer giriş sinyali sinüsoidal bir işaret olursa, dönüştürücünün referans gerilimi, uygulanan işaretin tepeden tepeye değerine eşit olur. Girişin RMS değeri (2.2)'de gösterildiği gibi olur.

$$V_{in(max)} = \frac{V_{REF}}{2\sqrt{2}} = \frac{2^N (V_{LSB})}{2\sqrt{2}} \quad (2.2)$$

Dinamik karakteristiklerden olan yayılım gecikme zamanı giriş gerilimine çıkışın ne kadar kısa sürede cevap verebildiğidir. Bu karakteristik çok önemlidir. Çünkü analog-sayısal dönüştürücünün dönüştürme hızı olarak ifade edilir. Yayılım gecikmesi 2.3'de gösterildiği şekilde ifade edilir.

$$t_p = \tau_c \ln \left(\frac{2k}{2k-1} \right) \quad (2.3)$$

ve

$$k = \frac{V_{in}}{V_{in(min)}} \quad (2.4)$$

2.3 Analog-Sayısal Dönüştürücü Türleri

Günümüzde kullanılan bir çok analog-sayısal dönüştürücü tipi mevcuttur. Farklı uygulamalar için farklı a/d dönüştürücüler uygulanabilir. Bunun nedeni de son yıllarda yarı iletken teknolojisinin gelişmesidir.

A/D dönüştürücülerde uygulanan giriş sinyalinin karakteristiğine göre adc'ler kısaca 3'e ayrılabilir(Hoeschele 1994).

1. Doğru akımla veya yavaş değişen analog sinyal uygulandığında, bu sinyaller için değişim miktarı çok düşük bir hızla değişir. Örneğin bazı kontrol sistemlerinin fiziksel parametreleri ve dc ölçüm sistemlerinde kullanılabilir. Ayrıca gerilim frekans dönüştürücülerde, sayıcılarda, delta sigma devrelerinde kullanılabilir.
2. Sürekli değişen ve tek durumlu alternatif akımlı sinyaller uygulanabilir. Bunlar içinde önemli olan uygulanan giriş geriliminin band genişliğidir. Burada analog sinyal seviyesi, her dönüştürme işlemi sırasında değişmemektedir. Örneğin ses ve görüntü sistemlerinde örnekle-tut devreleri gerekmektedir. Bu tür sinyaller için ardıl yaklaşımlı, çok basamaklı ve tamamen paralel olan ADC'ler gerekmektedir.
3. Uygulanan sinyal darbe genlikli ise, sinyalin geçici hali tamamlandıktan sonra uygun olan sayısal değere dönüştürülür. Örneğin çoklu analog sinyalleri ADC'ye uyguladığımız zaman ki bu işaretler yükten bağımlı bir cihaz ya da darbe modlu radarlardan gelebilir. Bu tür sinyalleri çözebilmek için de ardışıl yaklaşımlı, boru tipi, çoklu basamaklı veya tamamen paralel yapıda olan adc'ler kullanılabilir.

Aslında analog-sayısal dönüştürücülerde yapılan bu sıralama adc'nin hızına göre yani analog sinyalin sayısal işarete dönüştürülme süresine göre yapılır. Herhangi bir elektronik sistemde kullanılacak olan adc seçiminde yapılacak olan ilk iş size gerekli olan dönüştürme oranı ve çözünürlüğe karar vermektir. Buna uygun adc seçmek daha yararlı olacaktır.

2.4 Seri (Yavaş Hızlı) Analog-Sayısal Dönüştürücüler

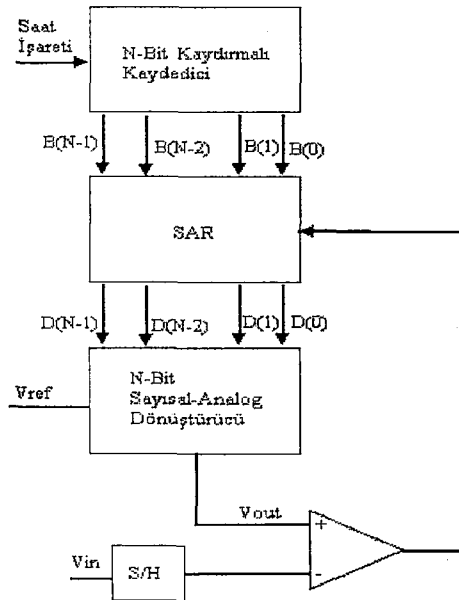
Buradaki analog-sayısal dönüştürücülerin performansı uygulanan analog bilginin dönüştürülme süresi ile ilgilidir. Burada uygulanan işaretin integrali alınır ve integral alınma süresi sayısal bir sayıcı ile ölçülür. Tek ve çift eğimli adc olarak bilinen bu tür adc'ler yüksek çözünürlüklü uygulamalarda kullanılır fakat bunların dezavantajı düşük bir hıza sahip olmalarıdır. Bununla beraber bu tür adc'leri üretmek ucuz olduğu için çoğunlukla düşük hızlı ve düşük maliyetli uygulamalarda kullanılabilir.

2.5 Orta Hızlı Analog-Sayısal Dönüştürücüler

Bu tür analog-sayısal dönüştürücülerde analog giriş işareti, N-bitlik sayısal bilgiye N saat işaretinde dönüştürülür. Dönüştürme zamanı seri dönüştürücülerden daha az, fakat daha kompleks bir yapıya sahiptir.

2.5.1 Ardışıl yaklaşımli analog-sayısal dönüştürücü

Ardışıl yaklaşımli adc'ler; karşılaştırıcı, sayısal-analog dönüştürücü ve sayısal mantık kontrol devresi içerir(Şekil-2.6).

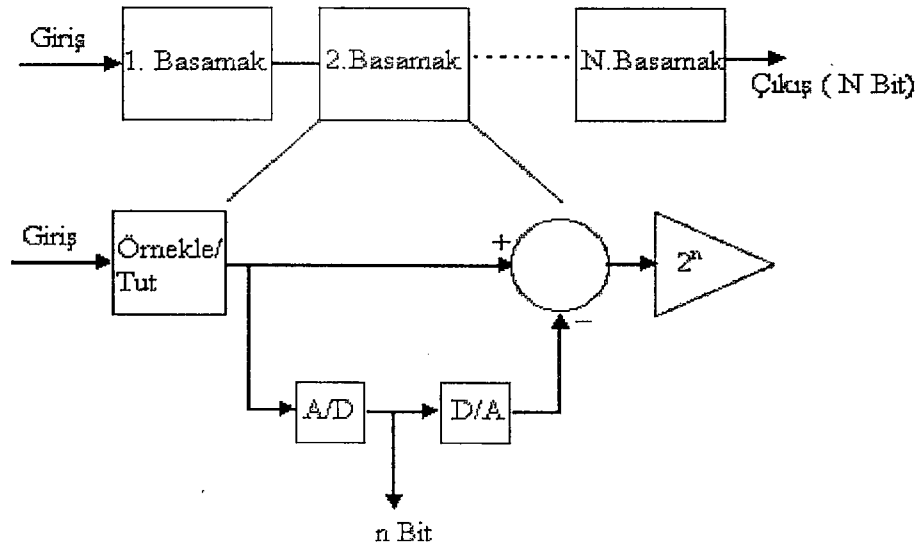


Şekil 2.6. Ardışıl Yaklaşımli Analog-Sayısal Dönüştürücü Blok Çizimi.

Ardışıl yaklaşımlı kayıtlayıcı devresi, karşılaştırıcı çıkışında birbirini izleyen her bitin değerini hesaplamak için kullanılır. Ardışıl yaklaşımlı kayıtlayıcı devresi, “successive-approximation register (SAR)” olarak isimlendirilir. N-bit saklayıcıyı kontrol eden saat işaretinin frekansı aynı zamanda adc’nin dönüştürme hızını ifade eder. V_{in} işareti örneklendikten sonra sayısal-analog dönüştürücünün çıkışı ile karşılaştırılır. Karşılaştırıcının çıkışı da SAR’da gerçek sayısal dönüştürme işlemi için kullanılır.

2.5.2 Boru tipi analog-sayısal dönüştürücü

Üç basamaklı veya daha fazla basamaklı analog-sayısal dönüştürücü tipidir. Aslında gelen analog işaret bir çok basamağa bölünebilir. Bu yüzden boru tipi adc N-basamaklı dönüştürücü olarak ifade edilebilir. Boru tipi analog-sayısal dönüştürücü birbirine seri bağlı N adet basamak dizisinden oluşur ve buna rağmen yüksek çözünürlükte (10-13 bit) bile oldukça hızlıdır (Song et al 1990, Yotsuyanagi et al 1993). Her basamakta 1 adet analog-sayısal dönüştürücü, 1 adet sayısal analog dönüştürücü, örnekle-tut devresi, fark alıcı ve bir gerilim kuvvetlendirici vardır. (Şekil 2.7.)



Şekil 2.7. Boru Tipi ADC’nin Blok Şeması.

2.6 Yüksek Hızlı Analog-Sayısal Dönüştürücüler

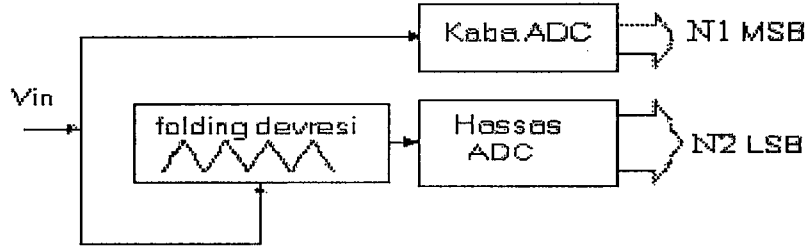
Bir çok uygulamada daha küçük bir dönüştürme zamanına ihtiyaç vardır. Paralel yapılar kullanılarak dönüştürme zamanı kısaltılabilmektedir. Burada dönüştürme hızı bir saat işareti kadardır. Bir saat işaretinde hem örnek alınabilmekte hem de analog bilgi sayısal olarak dönüştürülebilmektedir.

2.6.1 Flash analog-sayısal dönüştürücü

Flash veya paralel dönüştürücü olarak isimlendirilen bu yapı en hızlı analog-dönüştürücü tipidir. Gelen analog bilgiyi sabit bir referans gerilim ile karşılaştıracak olan analog karşılaştırıcı kullanır. Bu analog karşılaştırıcıdan önce gerilimi bölebilmek için bir direnç dizisi kullanılır. Referans gerilimi 2^N değere bölünür ve karşılaştırıcı girişine uygulanır. Her bölünen seviyenin bir sayısal değeri vardır(Shindler 1963). Giriş gerilimi her referans gerilimi ile karşılaştırılır ve karşılaştırıcının çıkışındaki termometer kod girişine uygulanır. Bu dönüştürücünün en büyük avantajı hızıdır. Her saat darbesinde çıkış bir sayısal kod üretir. Fakat çözünürlük arttıkça karşılaştırıcı sayısı artacağından yüksek çözünürlükte kullanılmaz. Bu analog-sayısal dönüştürücüler 8 bit ile sınırlıdır, Cmos teknolojisi kullanılarak 8-bit çözünürlük için dönüştürme hızı 10-40Ms/s'dir(Pelgrom et al 1994, Shiwaoku 1991). Bu türün dezavantajı da n-bit çözünürlük için gerekli olan 2^n-1 adet karşılaştırıcı sayısıdır. Bunlar hem daha fazla güç harcar hem de alan olarak çok yer kaplar.

2.6.2. Katlamalı(Folding) analog-sayısal dönüştürücü

Katlamalı analog-sayısal dönüştürücü, tipik paralel adc için gerekli olan 2^N-1 adet karşılaştırıcı sayısını azaltmak için kullanılır. Giriş iki paralel yola ayrılır. Birinci yol da giriş işareti 2^{N1} kaba değere bölünür. İkinci yol ise giriş işaretini alarak bir ön işlemeden geçirerek 2^{N2} ince değere bölünür. Burada ihtiyaç olan karşılaştırıcı sayısı $2^{N1}+2^{N2}-2$ 'dir. Folding ADC'nin blok şeması da şekil



Şekil 2.8. Folding ADC'nin Blok Şeması.

Bu yapının avantajı hem güç harcanımının hem de yonga alanının paralel adc'den çok daha az olmasıdır. Kaba ve ince dönüştürmeleri yapan analog-sayısal dönüştürücüler paralel adc'ler olduğu için hız aynıdır. Fakat burada da iki önemli problem vardır. Bunlardan birincisi paylaşırmanın sürekli yapılamamasıdır. İkinci problem ise gerekli referans gerilim aralıklarında çalışan iyi bir ince dönüştürücüye ihtiyaç duyulmasıdır. Birinci problem katlama karakteristiği kullanılarak hafifletilir. Fakat katlama, önişleme devresinin band genişliğini artırır. İkinci problem ise yaklaşık genlik miktarı çoklanarak ihmal edilemeye çalışılır. Bu çoklama işlemi karşılaştırıcı sayısını azaltır ve bu yüzden bu tür analog-sayısal dönüştürücüler katlamalı ya da araya değerlemeli adc olarak isimlendirilir (Flynn and Allstot 1996, Nauta and Venes 1995, Venes and Van de Plassche 1996). Ayrıca folding adc'de çok yüksek performanslı VLSI teknolojisi gerektirir.

2.7. Çok Sık Kullanılan Karşılaştırıcı Yapıları

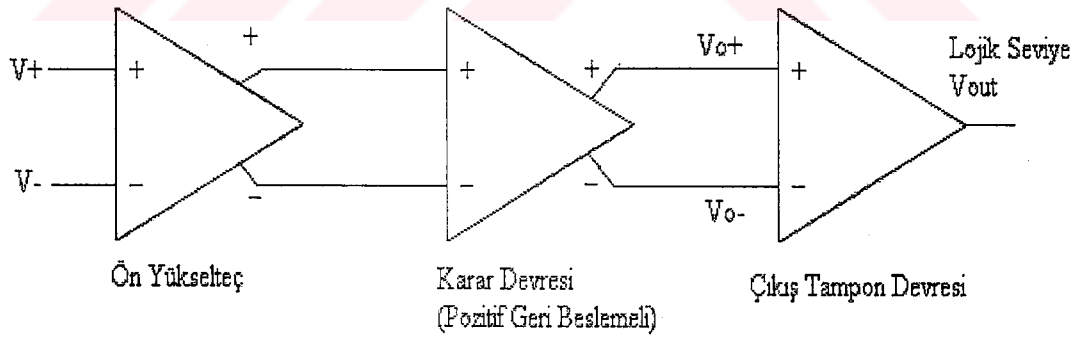
Analog-sayısal dönüştürücülerinden bahsederken sürekli olarak karşılaştırıcılardan bahsedilmiştir. Karşılaştırıcı bir karar devresidir. Eğer $V+$ girişi $V-$ girişinden daha büyük potansiyelde ise çıkış gerilimi lojik olarak (1), ters durumda ise çıkış lojik (0) olur. Basit bir yükselteç düşük frekanslarda karşılaştırıcı olarak kullanılabilir. Fakat bu yükselteçler yüksek hızlarda yonga alanı içinde büyük bir alanı kapsadığı için kullanılmaz. Aslında geçici durum tepkisi, dengeleme gerilimi ve duyarlılık gibi

özellikler karşılaştırıcının diğer özelliklerinden daha önemlidir. Yüksek performanslı bir karşılaştırıcı yapısı şekil 2.7’de gösterilmiştir(Baker et all 1998). Birkaç farklı tür karşılaştırıcı mimarisi olmasına karşın, tümüyle farksal tutucu(clock comparator-fully differantial latch) ve dinamik(auto-zero comparator) karşılaştırıcı analog-sayısal dönüştürücülerde en sık kullanılan karşılaştırıcı yapılarıdır.

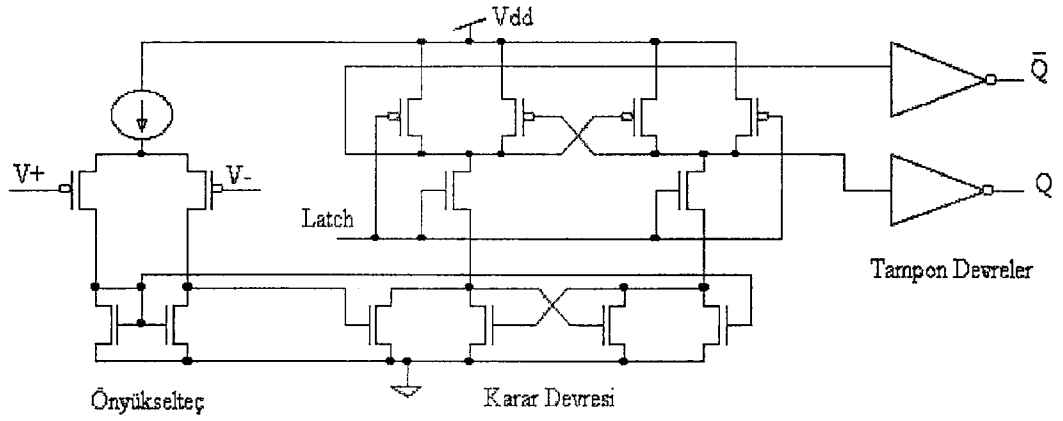
2.7.1 Tümüyle farksal tutucu tipi karşılaştırıcı

Bu tip karşılaştırıcılar farklı yöntemlerle gerçekleştirilebilir. Bir çok çalışmada bu farklı yöntemlere göre farklı yapılar kullanılmıştır. Şekil 2.8’de bu tip bir yapı gösterilmiştir(Baker et all 1998).

Bu devrede pozitif geri beslemeden kaynaklanan anahtarlama gürültülerini karşılaştırıcı girişinde yok etmek için ve giriş işaretinin duyarlılığını artırmak için fark giriş yükselteci katından önce bir ön yükselteç devresi kullanılmıştır(Baker et all 1998).



Şekil 2.9. Gerilim Karşılaştırıcının Blok Şeması.



Şekil 2.10. Tam Diferansiyel Tutucu Tipi Karşılaştırıcı.

Karar devresi, oldukça iyi bilinen çapraz bağlı pozitif geri beslemeli evirici devresi sayesinde giriş sinyalinin büyük olup olmadığına karar veren devredir. Tutucu işareti yüksek seviyede olduğu zaman, eğer tutucu işareti yeniden işaret üretmeye başlar ise, ön yükselteç katı karar devresinde bir dengesizlik meydana getirir. Devrenin girişleri sayesinde çıkış durumları hesaplanır. Tutucu işareti düşük seviyede ise, devrenin merkezinde yer alan n-moslar, eviricilerin p-terafı ve n-terafı arasında izalasyon görevi üstlenir. Karar devresinin her iki çıkışı da lojik seviye olarak yüksek'e zorlanır, bunun sonucunda karşılaştırıcı çıkışları da lojik olarak sıfır olur.

Bu devrenin dezavantajları şunlardır;

1. Duyarlılığı artırmak ve dengeleme hatasını azaltmak için büyük giriş transistörlerine ihtiyaç vardır.
2. Dc öngerilimleme gerekmektedir.
3. İşareti kendiliğinden tekrar oluşturma işlemi esnasında kararsızlık bölgesinde olma olasılığı vardır. Bu da dönüştürücünün bit hata hızını (BER) artırır.

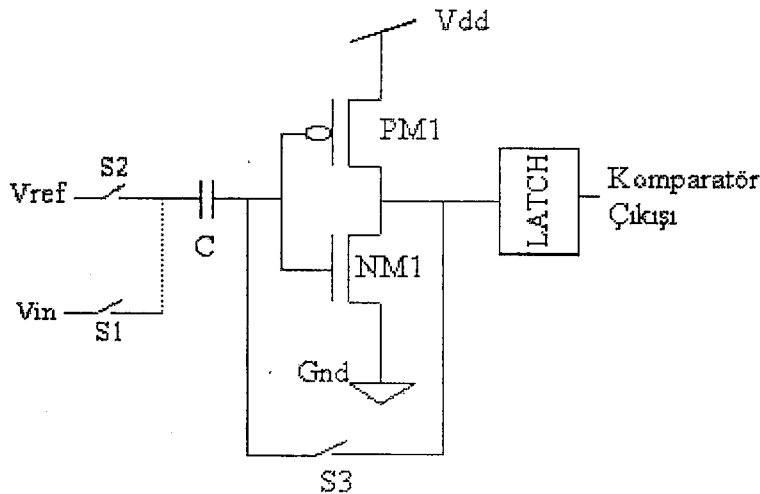
2.7.2 Dinamik (Auto-Zero) karşılaştırıcı

Tek çıkışlı yapılara sahip olmasına karşın, bu yapılar onları taban malzemeye ve güç kaynağı gürültüsüne karşı hassas yapar. Dinamik karşılaştırıcılar kendi içlerinde örnekle-tut yapabilmeleri ve otomatik dengeleme iptali özelliklerinden dolayı düşük çözünürlüklü cmos A/D dönüştürücü tasarımlarında tercih edilir. Şekil 2.9'da basit bir dinamik karşılaştırıcı şeması gösterilmiştir(Van de Plassche 1994, Brianti et all 1998, Fujita et all 1984).

Bu devrenin çalışma prensibi de kısaca şöyle özetlenebilir;

Faz 1: S1 ve S3 anahtarı kapalı iken, evirici devresi gerilim transfer eğrisinin doğrusal bölgesinde (dc öngerilim $V_{out}=V_{in}=V_{dd}/2$) çalışmaya zorlanır. Bu faz boyunca kapasite $V_{in}-V_{dd}/2$ gerilim değerine şarj olur. Bu faza örnekleme fazı denir.

Faz 2: S1 ve S3 açık, fakat S2 anahtarı kapalıdır. Evirici girişindeki yüksek empedanstan dolayı şarj tutulur. Böylece evirici doğrusal bölgede çalışmaya devam eder. Evirici bu bölgede $V_{ref}-V_{in}$ gerilim farkını yükselten eviren yükselteç olarak çalışır. Fark gerilimin polaritesine göre çıkış lojik 0 ya da 1 durumunda olacaktır. Bu faza karşılaştırma fazı denir.



Şekil 2.11. Basit Dinamik Cmos Karşılaştırıcı Devresi.

Bu devrenin dezavantajları şunlardır:

1. Tek çıkışlı yapıya sahiptir.
2. Yüksek doğruluk için büyük analog anahtar uygulamaları gerektirmektedir.

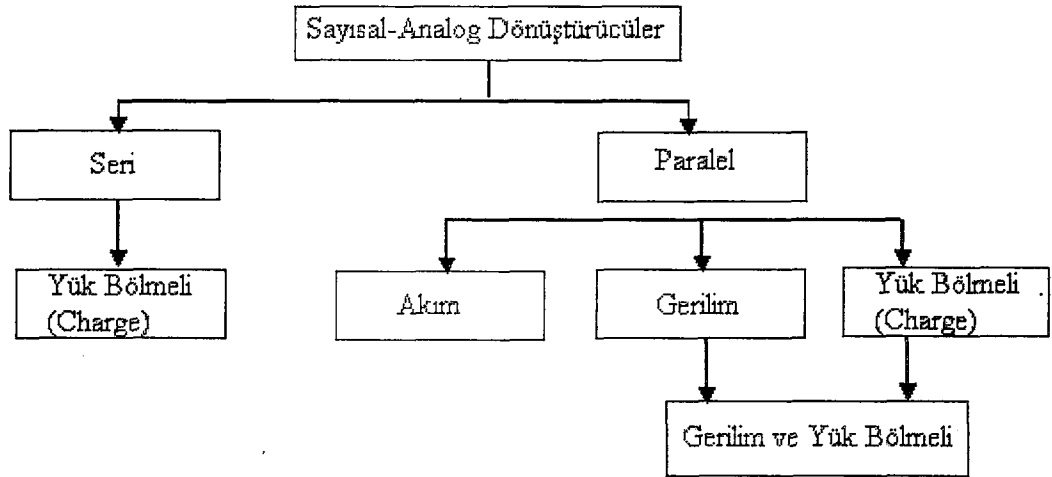
İdeal olmayan analog anahtarlardan dolayı şarj enjeksiyonu devredeki diğer hata kaynağı olabilir. Bununla birlikte, bunu gidermek için üç saat işareti fazlı iki bölümlü dinamik karşılaştırıcı geliştirilmiştir (Van de Plassche 1994). Bu yolla tek bölümlünün düşük kazancı iyileştirilmiş, yüksek çözünürlüklü tasarımlara uygun hale getirilmiştir.



BÖLÜM 3: SAYISAL-ANALOG DÖNÜŞTÜRÜCÜLER VE TIQ TEKNİĞİ

Sayısal-analog dönüştürücüler de analog-sayısal dönüştürücüler kadar önemlidir. Çünkü sayısalanalog dönüştürülen bilginin tekrar işlenebilir olması için analog bilgiye dönüştürülmesi gereklidir. Özellikle kablosuz haberleşme sistemleri ve video işaret işlemelerinde yüksek hızlı ve yüksek çözünürlüklü sayısal-analog dönüştürücülere ihtiyaç vardır(Van Den Bosch et all 2001). Bu yüzden çeşitli teknolojilerde ve çeşitli yapılarda sayısal-analog dönüştürücüler mevcuttur. Sayısal-Analog dönüştürücüler içinde çeşitli sınıflandırmalar mevcuttur(Allen and Holberg 2002)(Şekil 3.1).

Şekil 3.2’de işaret işleme tekniklerinde sayısal-analog dönüştürücülerin nasıl kullanıldığı gösterilmiştir(Gordon 1978). Sayısal işaret sistemleri tarafından üretilen sayısal bilgiler paralel olarak sayısal-analog dönüştürücülerin girişine uygulanır. Gelen bu sayısal işaretler referans gerilimine göre analog işarete dönüştürülür.



Şekil 3.1. Sayısal-Analog Dönüştürücünün Sınıflandırılması.

Analog işaret daha sonra süzgeç ya da yükselteçten geçirilerek gerilim ya da akım çıkışlı olarak elde edilir. Fakat çoğunlukla sayısal-analog dönüştürücü çıkışları gerilimdir. Burada önemli olan referans gerilimidir. Çünkü sayısal-analog dönüştürücünün çıkış gerilimi (3.1)'de gösterildiği gibidir.

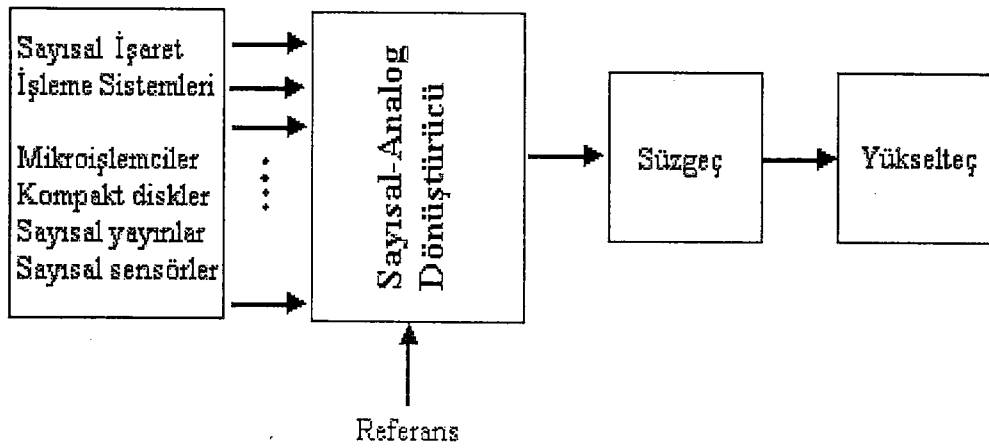
$$V_{out} = KV_{ref}D \quad (3.1)$$

Burada K yükselteç kazancını D ise (3.2)'de verildiği üzere sayısal bilgiyi göstermektedir.

$$D = \frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \dots + \frac{b_{N-1}}{2^N} \quad (3.2)$$

N sayısal bilgidaki toplam bit sayısıdır ve değeri 1 ya da 0'dır. Çıkış gerilimi de (3.3)'de ki bulunur.

$$V_{out} = KV_{ref}[b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \dots + b_{N-1} 2^{-N}] \quad (3.3)$$



Şekil 3.2. İşaret İşleme Uygulamalarında DAC Kullanımı.

3.1 Sayısal-Analog Dönüştürücülerin Statik Karakteristikleri

Sayısal-analog dönüştürücülerin karakteristikleri statik ve dinamik karakteristik olarak ikiye ayrılır. Sayısal-Analog dönüştürücünün çözünürlüğü, uygulanan sayısal işaretin bit sayısına bağlıdır. En değersiz bitin eşit olduğu analog çıkış gerilimi (3.4)'te gösterilmiştir.

$$LSB = \frac{V_{REF}}{2^N} \quad (3.4)$$

Sayısal analog dönüştürücüler de en değerli bitin V_{REF} 'e eşit olması gerekir. Fakat eşit olamamaktadır. Bu sonuç sayısal-analog dönüştürücünün tüm erim(full scale) değeri olarak isimlendirilir. En değerli bit ile en değersiz bit arasındaki fark olarak tanımlanır.

$$TümErim(FS) = V_{REF} - LSB = V_{REF} \left(1 - \frac{1}{2^N}\right) \quad (3.5)$$

Doğal analog işaret ile sonlu çözünürlükteki işaret arasındaki fark nicemleme gürültüsü olarak isimlendirilir. Sonlu bit sayısal-analog dönüştürücü çıkış ile sonsuz bit çıkışlı sayısal analog dönüştürücünün analog çıkışındaki farkdır.

Sayısal-analog dönüştürücünün işaret-gürültü oranı, nicemleme gürültüsünün etkin gerilim değerinin tüm erim değerinin oranına eşittir. Etkin değer (3.6)'da ki gibi bulunur. DAC'ın işaret-gürültü oranı da (3.7)'de ki ifade edilir.

$$rms(nicemlemegürültüsü) = \sqrt{\frac{1}{T} \int_0^T LSB^2 \left(\frac{t}{T} - 0.5\right)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{FSR}{2^N \sqrt{12}} \quad (3.6)$$

$$SNR = \frac{V_{outrms}}{(FSR / 2^N \sqrt{12})} \quad (3.7)$$

Sayısal-analog dönüştürücülerin statik karakteristiklerine offset hatası, kazanç hatası, doğrusal olmayan fark(DNL), doğrusal olmayan tümlev(INL) ve tekdüzelik gibi karakteristikleri vardır. Bunlardan ofset hatası, INL ve DNL özellikleri aynı analog-sayısal dönüştürücülerdeki gibidir.

Sayısal-analog dönüştürücüler üretilirken bütün şartlar düşünerek yapılmalıdır, özellikle de sıcaklık değişimlerinden etkilenmemesi gereklidir. Eğer sayısal bilginin değeri artarsa, analog çıkış geriliminin de artması gereklidir. Çıkış gerilimi kesinlikle düşmemelidir. Eğer bu gerilim değeri düşüyorsa sayısal-analog dönüştürücünün tekdüze olduğu belirtilir.

3.2 Sayısal-Analog Dönüştürücülerin Dinamik Karakteristikleri

Sayısal-analog dönüştürücülerin dinamik karakteristiklerinden olan yatışma süresi(settling time) analog gerilim ya da akım çıkışının en değersiz bit kodu ile en değerli bit kodu arasında kalan zaman olarak hesaplanır.

Maksimum D/A dönüştürme zamanı = $1 / (\text{yatışma süresi})$ olarak da verilebilir.

Dürtü (Glitch) hatası; sayısal giriş değerinin bir diğerinden bir başka değere geçerken analog çıkış işaretinde meydana getirmiş olduğu dürtü hatasıdır. Bu hata sayısal-analog dönüştürücülerde kullanılan analog anahtarların açılıp kapanması arasında meydana gelen gecikmelerden kaynaklanmaktadır. Yüksek hızlı, minimum eğim zamanlı ve dürtü hatasız sayısal-analog dönüştürücü elde etmek için analog anahtar tasarımı önemlidir. Dürtü hatasını yok etmek için de yonganın imal edileceği malzeme tipi önemlidir.

Eğer sayısal-analog dönüştürücünün çıkışında örnekle-tut devresi kullanılırsa, örnekleme durumundan tutma durumuna geçerken anahtarların ideal olmamasından kaynaklanan pedestal hatası meydana gelir.

Sistem uygulamalarında sayısal-analog dönüştürücünün girişine uygulanan işaret güç harcanımından veya topraklama gerilimlerinden dolayı gürültüler oluşabilir. Bunlar çıkışın yayılması ya da kapasitif yüklenmesi olabilir(Motchenbacher 1993).

Kazanç band genişliği ve yetiştirme hızı(slew rate) kullandığınız çıkış yükseltici için önemli değişkenlerdir. Bu yüzden kullanacağınız sayısal-analog dönüştürücünün önemli karakteristiklerinden biri olmaktadır.

3.3 Sayısal-Analog Dönüştürücü Türleri

Sayısal-Analog dönüştürücüler dönüştürme süresinin performansına veya uygulanan referans geriliminin ikili düzende nasıl bölündüğüne göre sınıflandırılabilir. Bu durum Şekil 3.1’de gösterilmiştir. Tipik bir sayısal-analog dönüştürücü başlıca dört elemandan oluşmaktadır : (1) Lojik devre (2) direnç ya da kapasite dizisi (3) Referans gerilimini, akımını ya da sayısal bilgiyi devrenin girişine aktaran analog anahtar dizisi (4) Referans gerilimi.

3.3.1 Paralel sayısal-analog dönüştürücüler

Paralel sayısal-analog dönüştürücüler bütün bitleri aynı anda analog bilgiye dönüştürürler. Bu şekilde üç metod vardır ; yük bölmeli, gerilim bölmeli ve akım bölmeli.

3.3.1.1 Akım bölmeli sayısal-analog dönüştürücüler

Akım bölmeli sayısal-analog dönüştürücüler gelen sayısal bilgiyi referans gerilimine göre ikili-ağırlıklı akıma dönüştürmektedir. Dönüştürülen akım değeri bir op-amp girişine uygulanarak analog çıkış gerilimi elde edilir. Akım bölmeli dac için önerilen çeşitli devreler vardır. Bunlardan bazıları tüm ikili(Bastiaansen et al 1991), tüm birli(Takakura et al 1991) ve bölütlü(Van den Bosch et al 1998) yapısıdır. Tabii bu

çeşit bir dac'ın en önemli dezavantajı dirençlerin yonga içerisinde çok yer tutabilecek olmasıdır.

3.3.1.2 Gerilim bölmeli sayısal-analog dönüştürücüler

Gelen sayısal bilgi yardımıyla uygulanan referans gerilimini 2^N gerilime ayarlayarak tek bir analog çıkış veren sayısal-analog dönüştürücülerdir. Gerilim bölmesi genel olarak V_{REF} ile toprak arasında birbirine seri bağlı dirençler yardımı ile bulunur. N bitlik bir dönüştürücü için en az 2^N adet direnç gerekmektedir. Gerilim bölmeli sayısal-analog dönüştürücü yapısı çok düzenlidir ve mos teknolojisine uyumludur. Bir diğer avantajı ise bu yapının kesinlikle tek düze olmasıdır. Fakat uygulayacağınız bit sayısı 3 veya daha fazlası olursa dac'ın yonga alanı oldukça büyümektedir. Aynı şekilde dönüştürme hızı her düğümde meydana gelen parazitik kapasitelere karşı oldukça duyarlıdır.

3.3.1.3 Yük bölmeli sayısal-analog dönüştürücüler

Yük bölmeli sayısal analog dönüştürücüler, toplam yükü kapasitör dizisi yardımı ile analog bilgiye dönüştürmektedir. Bu yapı oldukça basittir. Bu yapıda kullanılan kapasiteler aracılığı ile referans gerilimi de zayıflatılabilir. Bir diğer avantajı ise anahtar-kapasiteli devreler ile uyumlu olmasıdır. Paralel ikili ağırlıklı kapasitelerden oluşan bir sistemde ilk başta kapasiteler yüksüzdür. Daha sonra sayısal bilgi yardımı ile anahtarların açılıp kapanması ile kapasiteler V_{REF} ile toprak arasında gerilim ile dolar. Böylece bunların üzerindeki gerilim bir çıkış gerilimine neden olur ve gerilim kapasiteler arasında bölünür. Fakat bu yapıda da parazitik kapasitans etkileri ve kapasitenin yonga içinde kapsadığı alan bu türün en önemli dezavantajıdır. Daha önce de üç tür sayısal-analog dönüştürücü tipi inceledik. Bunların avantaj ve dezavantajı tablo 3.1'de gösterilmiştir.

Tablo 3.1. Paralel Sayısal-Analog Dönüştürücülerinin Performans Karşılaştırılması.

DAC Türleri	Avantajlar	Dezavantajlar
Akım Bölmeli	Hızlı, Anahtar kapasitelerine karşı duyarsız	Tek düze değil
Gerilim Bölmeli	Tek düze, eşit dirençler	Yonga alanı, Parazitik kapasitelere karşı duyarlı
Yük Bölmeli	Hızlı, Doğruluğu iyi	Tek düze değil

3.3.2 Seri sayısal-analog dönüştürücüler

Seri sayısal-analog dönüştürücülerde dönüştürme işlemi sıra ile yapılmaktadır. 1 bit dönüştürmek için bir saat darbesi gerekir. Dolayısıyla N-bit dac için N saat darbesi gerekir. Seri yük paylaşımli ve seri algoritmik sayısal dönüştürücü olmak üzere ikiye ayrılır. Seri yük paylaşımli da bitlerin dönüştürme işlemi en değersiz bittten başlayarak en değerli bite son bulur. Bu yapı oldukça basit olmasına rağmen parazitik kapasiteler, anahtarlama parazitik kapasiteleri ve referans geriliminin sınırlandırılması dezavantajlarıdır.

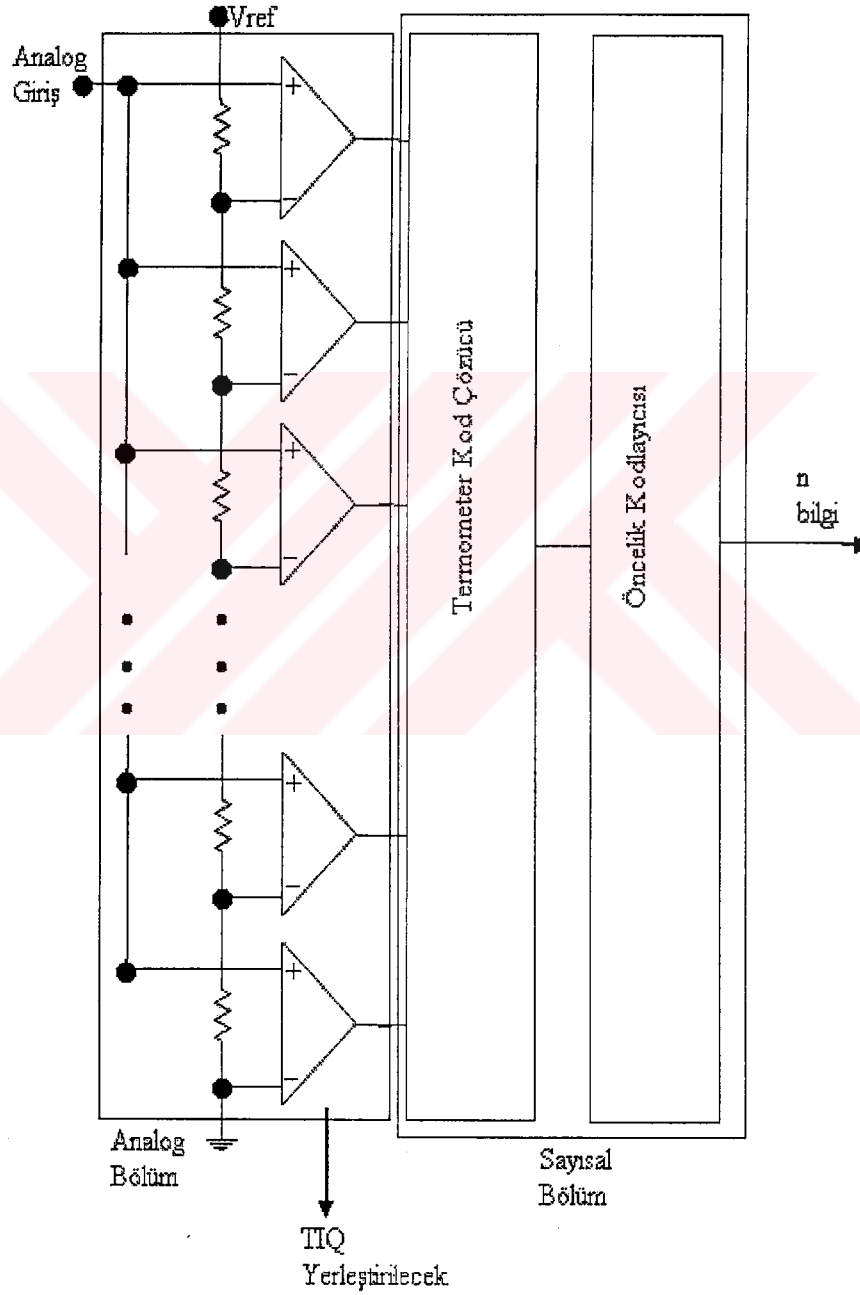
İkinci seri sayısal-analog dönüştürücü algoritmik olarak isimlendirilmiştir(Charles and Hodges 1978). Bu tekniğin birinci avantajı kapasite oranlarından bağımsız olmasıdır.En değersiz bit çözünürlüğünü $\pm 0.5LSb$ elde edebilmek için kazancı 0.5 olan bir yükselteç kullanmak gereklidir. Seri dac olarak verilen yöntemlerin avantaj-dezavantajları tablo 3..2’de verilmiştir.

Tablo 3.2. Seri Sayısal-Analog Dönüştürücülerin Performans Karşılaştırılması.

Seri DAC	Avantajı	Dezavantajı
Seri Yük Dağılımlı	Basit, Minimum yonga alanı	Yavaş, Dışarıda kompleks bir devreye ihtiyaç duyması, Hassas kapasite oranları
Seri algoritmik	Basit, Minimum yonga alanı	Yavaş, Dışarıda kompleks bir devreye ihtiyaç duyması, Hassas kapasite oranları

3.4 Threshold Inverter Quantization Tekniđi

Threshold inverter quantization(TIQ) tekniđi basit olarak řekil 3.3'de gsterilen geleneksel flash A/D dnřtrc yapısındaki analog blm yerine yeni bir yapı nerir(Tangel and Choi 2001, Yoo et all 2001, Yoo and Lee et all 2001).



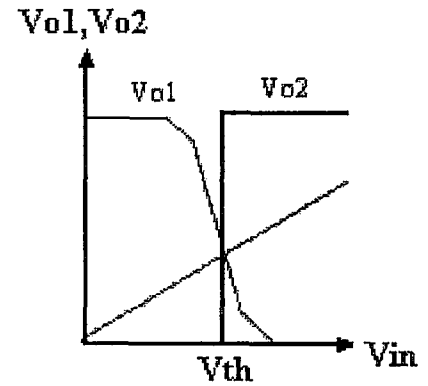
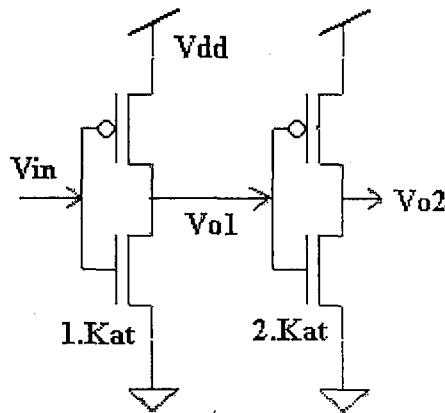
řekil 3.3. Flash A/D Dnřtrc Yapısının Analog ve Sayısal Blmleri.

TIQ metodu birbirine seri bağılı iki adet eviriciden oluşmaktadır. Burada transistör boyutları ayarlanarak eviricilerin eşik gerilimleri ayarlanır. Böylece direnç dizisinden kaynaklanan güç harcamasını ve yonga alanının boyutu küçülecektir.

3.4.1 TIQ tekniği ve çalışması

Threshold inverter quantization tekniği şekil 3.4'te gösterildiği üzere birbirine ardışık bağılı iki adet CMOS eviriciden oluşmaktadır. Analog giriş işaretinin nicemleme seviyeleri giriş katındaki transistör boyutlarının değişimi ve bunun sonucunda değişen gerilim transfer eğrileri ile ayarlanır. Transistörün performansının kontrolünde transistör kanal uzunluğu(L) , kanal genişliğinden(W) daha fazla etkilidir. Tasarım süresince “L” sabit tutulup “W” değiştirilmiştir.

İkinci evirici katı, kazancı yükseltmek ve içten ayarlanmış bir karşılaştırmacı katı gibi davranmak yani lojik seviye dönüşümü yapmak için kullanılmıştır. İkinci kat için, dc eşik seviyesini sabit kılmak ve yüksek frekanslı giriş işaretlerinin salınım aralıklarına karşı, doğrusallığı dengede tutmak için anahtar nokta, ikinci katın transistör boyutları ile birinci katın transistör boyutlarının aynı olmasıdır.



Şekil 3.4. (a) TIQ Devresi

(b) Gerilim Transfer Eğrisi

Cmos eviricinin gerilim transfer eğrisinde(şekil 3.4(b)) gösterilen eşik değeri yaklaşık olarak aşağıdaki gibi hesaplanabilir(Sedra and Smith 1998, Segura et all 1998).

$$V_{th} = \frac{V_{dd} - |V_{tp}| + V_{tn}\sqrt{K_n / K_p}}{1 + \sqrt{K_n / K_p}} \quad (3.8)$$

Buradaki V_{tn} ve V_{tp} , nmos ve pmos'un eşik gerilimlerini ifade etmektedir. Sırasıyla K_p ve K_n 'de aşağıdaki gibidir.

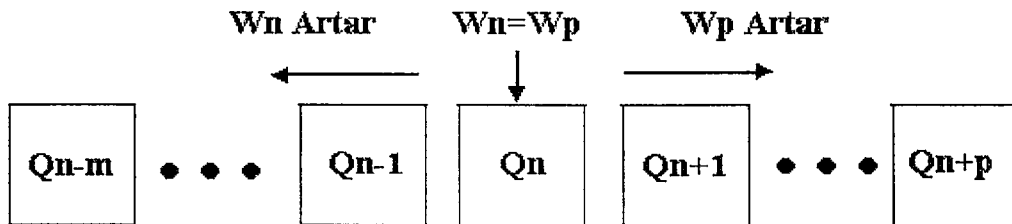
$$K_n = (W / L)_n \mu_n C_{ox} \quad (3.9)$$

$$K_p = (W / L)_p \mu_p C_{ox} \quad (3.10)$$

3.4.2. TIQ tasarım aşamaları

Genellikle TIQ tekniğinde kullanılacak olan transistörlerin boyutları bilgisayar aracılığı ile hesaplanır. Şekil 3.5'de de gösterildiği üzere tasarım aşamaları kısaca şöyle açıklanabilir;

1) T-spice devre simülatör programında model parametrelerini kullanarak minimum ölçülerde bir evirici tasarlanması ve kuantalayıcının orta noktası için gerekli eşik gerilimini elde ediniz. Tasarım aşamaları boyunca kanal genişliğinin minimum tutulmasına özenle dikkat ediniz.



Şekil 3.5. Tasarım Sürecinin Blok Halinde Gösterimi.

- 2) Aşağıdaki eşitliği kullanarak güvenli maksimum analog giriş gerilimi aralığını bulunuz. V_{tn} ve V_{tp} en büyük nmos ve pmos transistörlerin eşik gerilimidir.

$$\text{Maksimum Analog Aralık} = V_{dd} - (V_{TN} + |V_{TP}|)$$

- 3) LSB aralığını hesaplayınız.

$$\text{LSB} = \text{Analog Aralık} / 2^n - 1$$

- 4) T-spice simülatörünü kullanarak analog aralığın her bir seviyesini sağlayacak transistör boyutlarını belirleyiniz.

- 5) Tüm devrenin planını (layout) çiziniz.

- 6) Analog yapıyı oluşturacak olan kaskad yapıyı nicemleme seviyeleri arasındaki bağlantıları da tamamlayarak oluşturunuz.

3.4.3 TIQ tekniği performans karşılaştırılması

Yapılan simülasyon sonuçlarına göre TIQ tekniği geleneksel karşılaştırıcı dizisine göre güç harcanımı ve yonga alanı açısından çok daha verimlidir. TIQ tekniğinin avantajları şunlardır;

- 1) Analog giriş işaretini nicemlemek için durağan(statik) güç harcamasına gerek olmaması bu tekniği batarya ile çalışan mobil uygulamalar için uygun hale getirmiştir.
- 2) TIQ tekniği analog-sayısal dönüştürücülerde direnç veya kapasite dizilerine ihtiyaç duymaz.
- 3) Yonga alanı diğer uygulamalara göre oldukça küçüktür.
- 4) Eğer örnekle-tut devresi kullanılırsa güç harcanımında bir azalma meydana gelmektedir.
- 5) Tekdüze olması beklenir.

Bu tekniğin avantajları olduğu kadar dezavantajları da vardır;

- 1) Tek sonlu bir yapıdadır.(Single ended)
- 2) 2^{n-1} tane değişik boyutta nicemleyiciye gereksinim vardır.
- 3) Analog kısım için düşük güç kaynağı gürültülerini bastırma oranına sahip olduğundan ayrı bir 5V'luk referans dc güç kaynağına ihtiyaç vardır.
- 4) Maksimum analog giriş işaretine göre doğrusal olmayan fark ve doğrusal olmayan tümlev ölçümlerinde hafif değişiklikler gösterir.
- 5) Performansı artırmak ve kararsızlık bölgesindeki güç tüketimini azaltmak için örnekle-tut devresine ihtiyaç vardır.
- 6) Oda sıcaklığından daha yüksek sıcaklıkta tek düze olmaktan çıkabilmektedir.

TIQ tekniğinin statik analizleri, üretim parametrelerine olan bağımlılığını ve TIQ tekniğinin farklı teknolojilere göre simülasyon sonuçlarını Tangel 1999'da bulabilirsiniz.

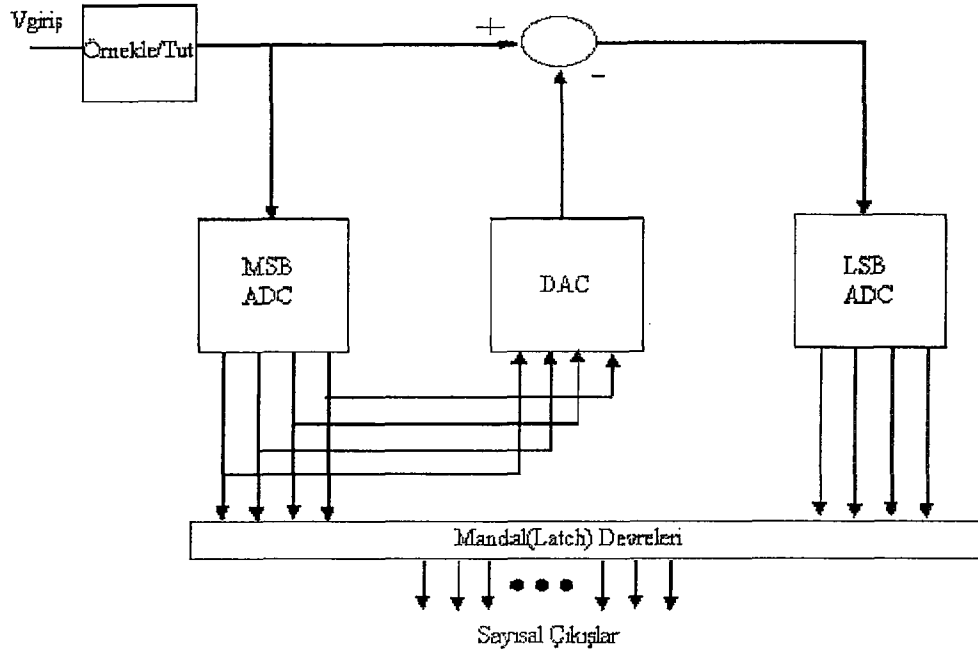
BÖLÜM 4 : İKİ AŞAMALI ANALOG-SAYISAL DÖNÜŞTÜRÜCÜ

Bu bölümde yapılan iki aşamalı hızlı analog-sayısal dönüştürücünün blok yapıları ve iki aşamalı hızlı analog-sayısal dönüştürücünün avantaj ve dezavantajları anlatılacaktır.

Hızlı veya paralel analog-sayısal dönüştürücü olarak isimlendirilen flash adc yapısı şekil 3.3'de gösterilmiştir. Şekilden de görüldüğü gibi nicemleme seviyesi başına bir karşılaştırıcı ve 2^N direnç gerekmektedir. Referans gerilimi 2^N gerilime bölünmektedir ve karşılaştırıcının girişine uygulanmaktadır. Giriş gerilimi ile referans gerilimi karşılaştırılarak, karşılaştırıcı çıkışı termometer kod çözücüye uygulanır. Termometer kod çözücü çıkışında da , eğer giriş geriliminiz direnç dizisi üzerine düşen geriliminizden küçük veya büyük olmasına göre sayısal çıkış vermektedir. Bu türün en önemli avantajının hız olduğu belirtilmişti, fakat bu hıza karşı en önemli dezavantajı da bit çözünürlüğü arttıkça analog-sayısal dönüştürücünün yonga alanının artmasıdır. Bunun nedeni n bitlik bir çözünürlük için 2^n-1 adet karşılaştırıcıya ihtiyaç duyulmasıdır. Örneğin 9 bitlik bir paralel adc için 511 adet karşılaştırıcıya ihtiyaç vardır. Bu hem yonga alanı hem de güç harcaması açısından dezavantajdır. Bu yüzden hem çözünürlüğü artırmak hem de yonga alanını küçültmek için iki aşamalı ya da paralel ileri yönlü olarak isimlendirilen analog-sayısal dönüştürücüler önerilmiştir(Razavi and Wooley 1992, Song et all 1990).

4.1. İki Aşamalı Hızlı Analog-Dönüştürücü Yapısı

İki aşamalı ya da paralel ileri yönlü analog-sayısal dönüştürücü genel blok yapısı Şekil 4.1'de gösterilmiştir. Şekilden de anlaşılacağı üzere iki-aşamalı hızlı adc 2 adet paralel adc, sayısal-analog dönüştürücü ve bir adet fark yükseltecinden oluşmaktadır. Bu dönüştürücüde işaret ileri yönlü olarak ikiye ayrılmaktadır.



Şekil 4.1. İki Aşamalı Hızlı Analog-Sayısal Dönüştürücü Blok Yapısı.

Burada birinci paralel analog dönüştürücü giriş gerilim değerinin kaba dönüştürmesini yapar, ikinci adc ise ince dönüştürme işlemini yapar. Bu yapının en önemli avantajı hızlı adc'ye göre karşılaştırıcı sayısındaki miktardır. Paralel adc için 2^N-1 adet karşılaştırıcıya ihtiyaç vardır.

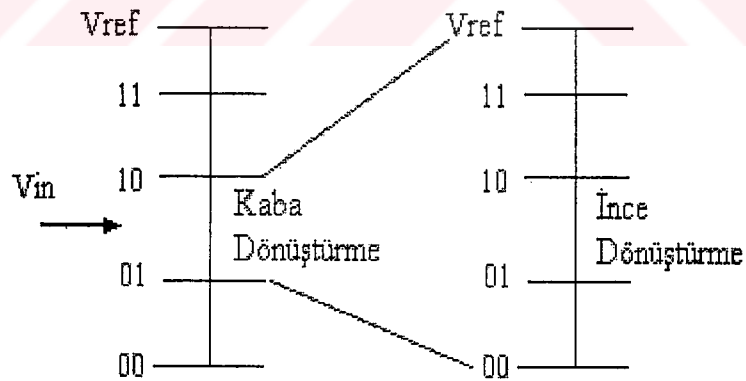
8 bit iki aşamalı paralel analog-sayısal dönüştürücü yapısında 2 adet 4 bitlik paralel adc, bir adet sayısal-analog dönüştürücü ve bir adet de birim kazançlı fark yükselteciden oluşmuştur. Burada dönüştürme işlemi tek aşamada değil iki aşamada gerçekleştirilmektedir. Bu dönüştürme işlemi gerçekleştirirken, dönüştürme hızı kullanılan fark yükselteci devresinin band genişliği ve yatışma süresine bağlı olarak değişmektedir. Dönüştürme işlemi şöyle gerçekleşmektedir;

- 1) Giriş gerilimi örneklendikten sonra, en değerli bitler(MSBs) birinci paralel analog-sayısal dönüştürücü tarafından dönüştürülür.
- 2) Sayısal işarete dönüştürülen gerilim sayısal-analog dönüştürücü yardımı ile tekrar analog işarete dönüştürülerek orijinal giriş geriliminden çıkarılır.

- 3) Çıkartma işleminden sonra kalan işaret olarak isimlendirilen analog işaret ikinci analog-sayısal dönüştürücü girişine uygulanır. Burada ikinci analog-sayısal dönüştürücü birinci adc'nin aynısı değildir. İkinci adc'nin nicemleme seviyeleri birinci adc'nin bir nicemleme aralığının 16'da biridir.
- 4) İkinci adc girişine uygulanan analog işaret aracılığıyla da en değersiz bitler(LSBs) elde edilir.

İki aşamalı analog-sayısal dönüştürücülerin doğruluğu, dönüştürme işlemi yapan birinci analog-sayısal dönüştürücünün lineerliğine ve sayısal analog dönüştürücünün doğruluğuna bağlıdır. Şekil 4.2'de iki basamaklı dönüştürme işlemindeki kaba ve ince dönüştürme gösterilmiştir.

Birinci analog-sayısal dönüştürücüde analog gerilimin oturduğu aralıklar en değerli bit veya kaba dönüştürme olarak adlandırılır. Kaba dönüştürmeden sonra tekrar giriş gerilimine dönüştürülen işaret, birinci işaretten çıkartılıp ikinci analog-sayısal dönüştürücüye uygulandığında bu dönüştürme işlemi de hassas dönüştürme olarak isimlendirilir. Buradan da LSB'ler bulunur.

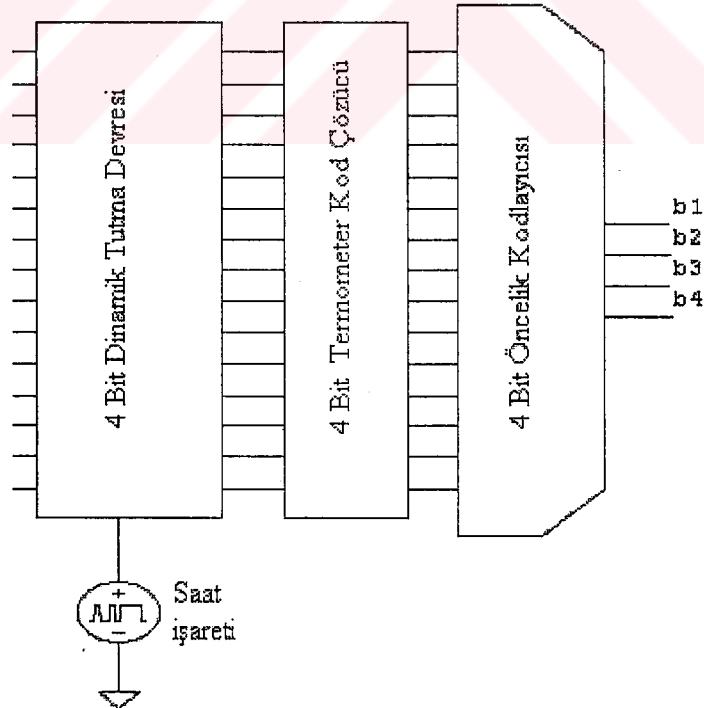


Şekil 4.2. İki Aşamalı Adc'lerde İnce ve Kaba Dönüştürme.

Burada yapılan adc'de 4-bitlik iki paralel adc, threshold inverter quantization tekniđi kullanarak yapılmıřtır. Bylece TIQ tekniđinin gc harcanımını azaltmasından yararlanılmıřtır. Sayısal-analog dnřtrc olarak da R-2R trnden bir yntem kullanılmıřtır.

4.2 4-Bit TIQ Temelli Analog-Sayısal Dnřtrc

Paralel analog-sayısal dnřtrcnn sayısal blm bařlıca  blmden oluřmaktadır ; Mandal(latch) birimi, termometer kod zc birimi ve ncelik kodlayıcısı blmdr. TIQ ıkıřı, geleneksel karřılařtırıc ıkıřının rettiđi gibi kararlı 1'ler ve 0'lar dizisi retir(Daugherty 1995). Her bir nicemleyici bir tutucu devresi ile srlr. Bylece ncelik kodlayıcısının ıkıřında uygun ikili kod elde edilene kadar sayısal bilgi tutulmuř olur. Sayısal kısmın blok gsterimi řekil 4.3'de gsterilmiřtir.

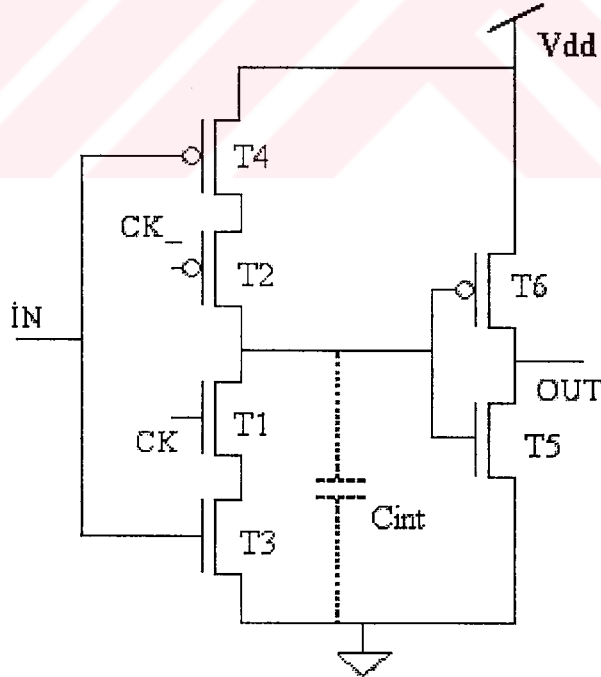


řekil 4.3. 4-Bit ADC'nin Sayısal Kısmının Blok Gsterimi.

4.2.1 Dinamik tutucu devresi

TIQ yapısı dinamik tutucu bölümü ile sürülür. Bu yapı bir dinamik evirici ve bunun arkasında bir statik evirici içerir. Bu yapı şekil 4.4’de gösterilmiştir. Aynı amaç için kullanılabilecek bir çok tutucu devresi bulunmaktadır. Bu tip tutucu devresinin kullanılmasının amacı yonga alanı içerisinde kaplayacağı alanın çok daha az olmasıdır. Çünkü 4 bit analog-sayısal dönüştürücü için 2^4-1 tane tutucu devresi kullanılmaktadır.

Tutucu devresinin çalışması saat darbeleriyle kontrol edilmektedir. Eğer T1 ve T2 transistörleri aktif durumda ise giriş bilgisi statik eviricinin girişinde tutulur. T1 ve T2 kesimde iken giriş bilgisi ortadaki düğümdeki iç kapasite (Cint) tarafından tutulur. Cmos eviricinin giriş direnci çok büyük olduğu için bilgiyi tutmak için dışarıdan herhangi bir kapasite eklemeye gerek yoktur. Statik tutucu devrelerinde bu işlem pozitif geri besleme ile yapılmaktadır.

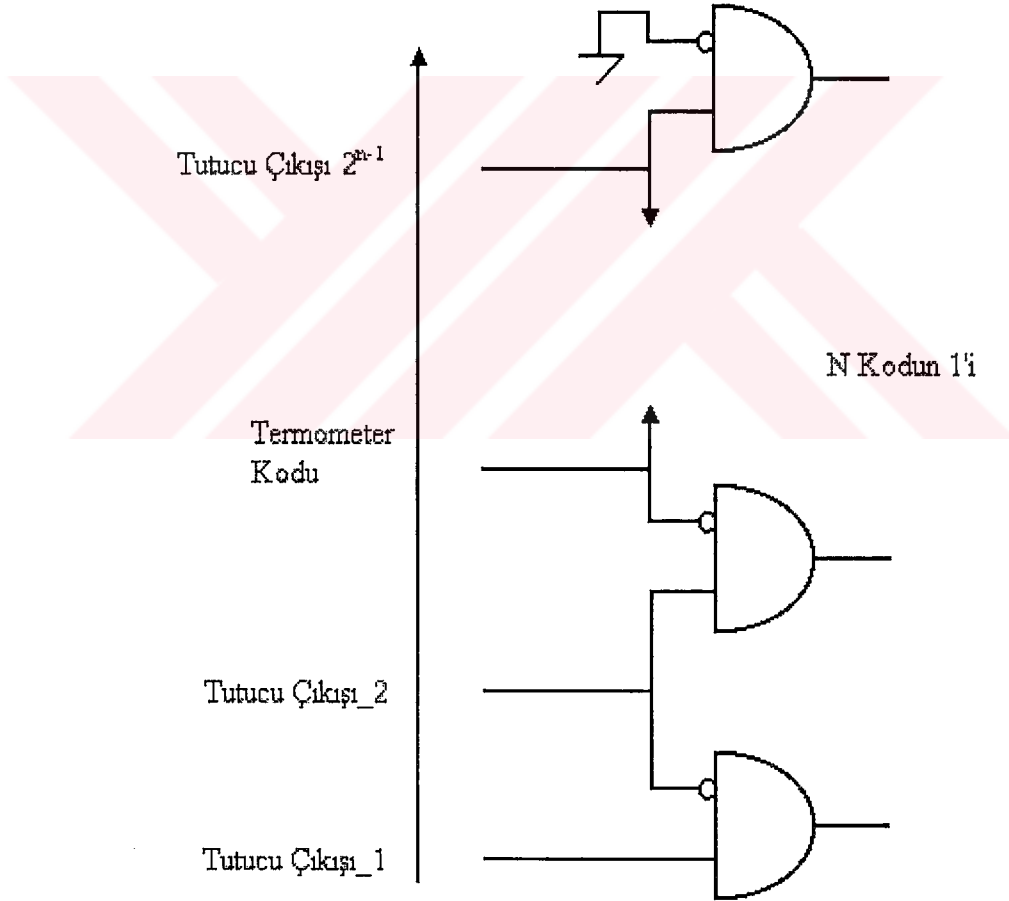


Şekil 4.4. Dinamik Tutucu Devresi.

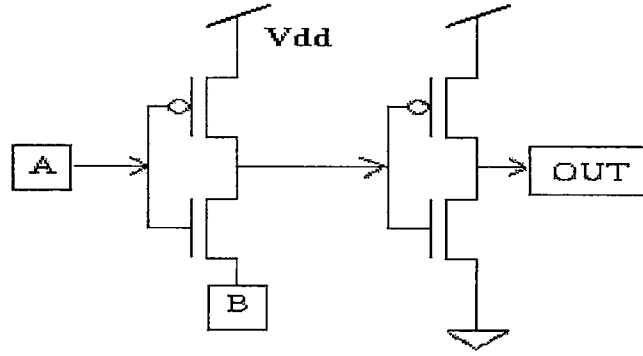
4.2.2 Termometre kod çözücü devresi

Termometre kod çözücü devresi, 1'ler ve 0'lar dizisinin sınırını belirlemek için kullanılır(Daugherty 1995). Bunun için en basit yol $\bar{A}B$ lojik devresinin ardıl dizilişiyile elde edilen kod çözücüdür(Yoo,Choi and Tangel, 2001). Bu yapı şekil 4.5'de ve 4.6'da gösterilmektedir.

Eğer dönüştürücü, nicemleyicinin referans seviyelerine yakın bir giriş sinyalinin örneklerse, nicemleyicinin çıkışları kararsız durumda olacaktır. Eğer bu durum yeterince var olursa ve/veya örnekleme frekansı tutucunun güvenilir çalışması için çok büyükse bir kararsızlık durumu meydana gelir(Daugherty 1995).



Şekil 4.5. Termometre Kod Çözücü Devresi.



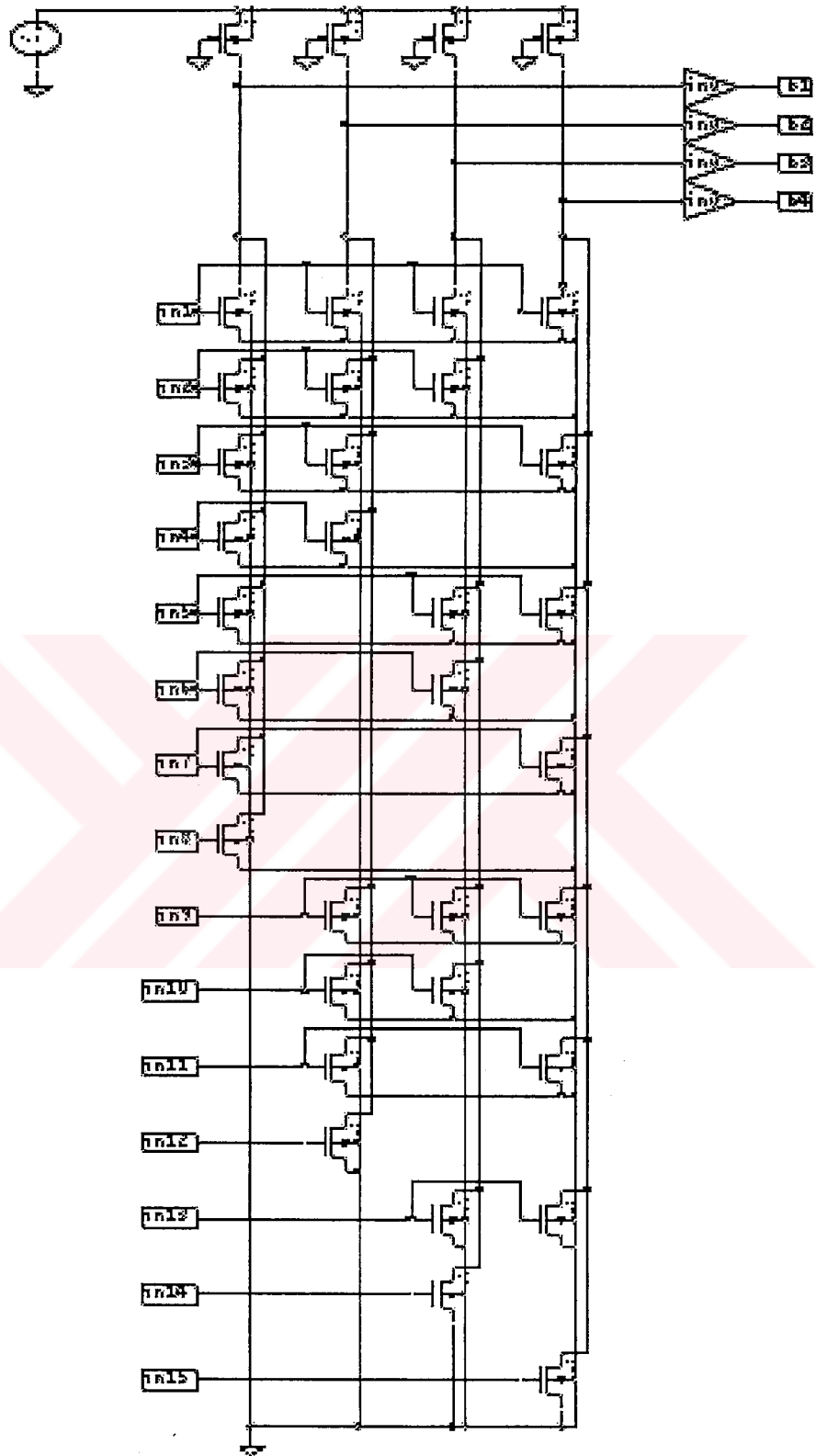
Şekil 4.6. $\bar{A}B$ Sayısal Devresi.

Tasarımcılar bu hatayı azaltmak için Gray kodu dönüşümünü kullanırlar. Bu da sadece önemsiz bitlerde hataya izin verir. Bununla birlikte bu yöntem, çıkışta ikili koda dönüştürmek için ek sayısal devreler gerektirdiği için tasarımı daha karışık bir hale sokar.

Termometre kod çözücünün çıkışı, girişindeki lojik (1)'lerin ya da lojik (0)'ların bittiği yerde lojik (1) olur.

4.2.3 Öncelik kodlama devresi

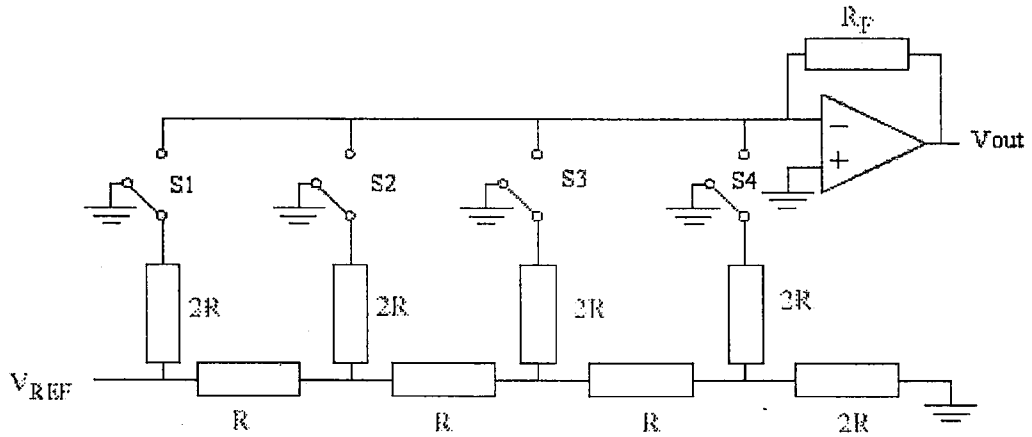
Öncelik kodlama devresi, termometre kod çözücü çıkışından ikili çıkış elde etmek için kullanılır. Bu tasarımda PLA(programmable lojik array) ROM öncelik kodlayıcısı kullanılmıştır. Bu yapıda Pseudo lojik yöntemi kullanılmıştır. Bu yapı Şekil 4.7'de gösterilmiştir. Termometre kod çözücüsünden sadece bir tane lojik(1) çıkışı gelecektir. Bu çıkışın bağlı olduğu kodlayıcı girişindeki N-mosfetler aktif olacak ve kodlayıcı çıkışındaki eviricilerin girişini toprağa çekecektir. Böylece girişleri toprağa çekilen eviricilerin çıkışları lojik (1) olur.



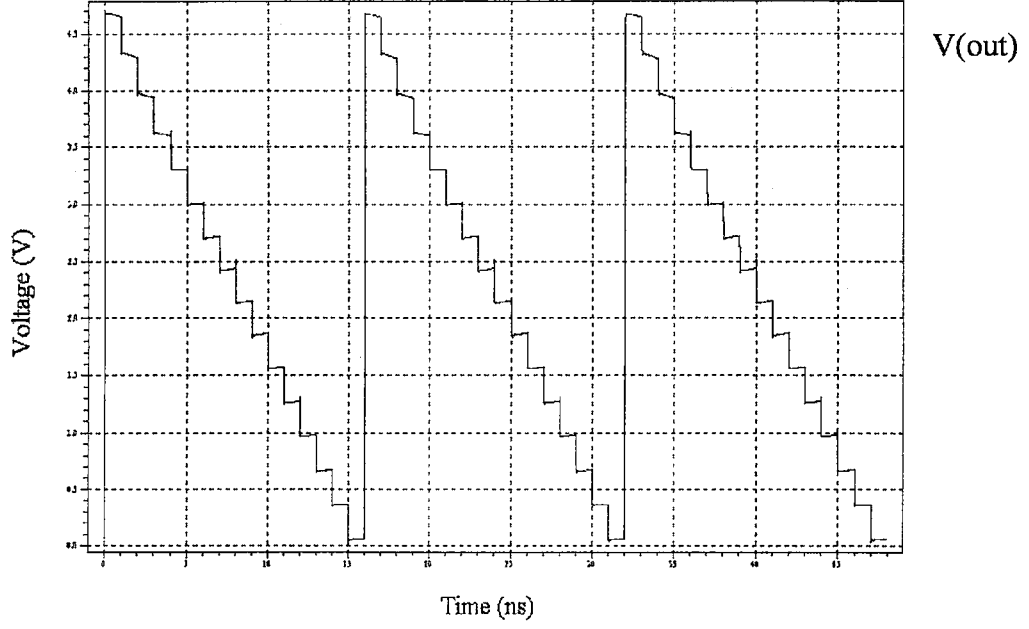
Şekil 4.7. 4 Bit PLA-ROM Öncelik Kodlayıcısı.

4.3 R-2R Sayısal-Analog Dönüştürücü

İki-aşamalı hızlı analog-sayısal dönüştürücünün en önemli bloklarından biridir. Bu ara birimin önemli olmasının nedeni, en değerli bitlerin elde edildikten sonra çıkışın sayısal-analog dönüştürücüye bağlanarak tekrar bir analog işaret elde edilmesidir. Sayısal-analog dönüştürücünün dönüştürme hızı, güç harcanımı, INL ve DNL özelliklerinin ilk kısımdaki adc ile uyumlu olması gerekmektedir. Şekil 4.8’de iki aşamalı paralel analog-sayısal dönüştürücüde kullanılan 4-bit sayısal-analog dönüştürücünün devre şeması verilmiştir. Şekilden de gösterildiği üzere direnç dizisinden sonra devrede olan op-amp’ın kazanç-frekans çarpımı sayısal-analog dönüştürücünün hızını etkilediği gibi, aynı zamanda glitch dediğimiz hatalara da neden olmaktadır. Bu hataları yok etmek için bile kullanılacak olan yöntemler başlı başına bir araştırma konusu olacak kadar geniştir. Fakat yapılan çalışmada kullanılan dac’ın glitch hataları yok denecek kadar azdır. Sayısal-analog dönüştürücünün çıkış grafiği de şekil 4.9’da gösterilmiştir. Buradan da anlaşılacağı üzere dac, lineer ve hızlı çalışmaktadır. İki aşamalı analog-sayısal dönüştürücü yapılarında direnç dizili Doernberg et all 1989), lineer kapasite dizili(Razavi and Wooley 1992), yük bölüşümlü(Kerth et all 1989) tipli sayısal-analog dönüştürücüler kullanılmıştır. Burada kullanılan dirençlerin değerleri yonga alanı ve güç harcanımı açısından önemlidir. Eğer direnç değeri yüksek olan bir dac kullanırsanız hem yonga alanında hem de güç harcanımında artma meydana gelir. Ayrıca lineerlik de bozulabilmektedir.

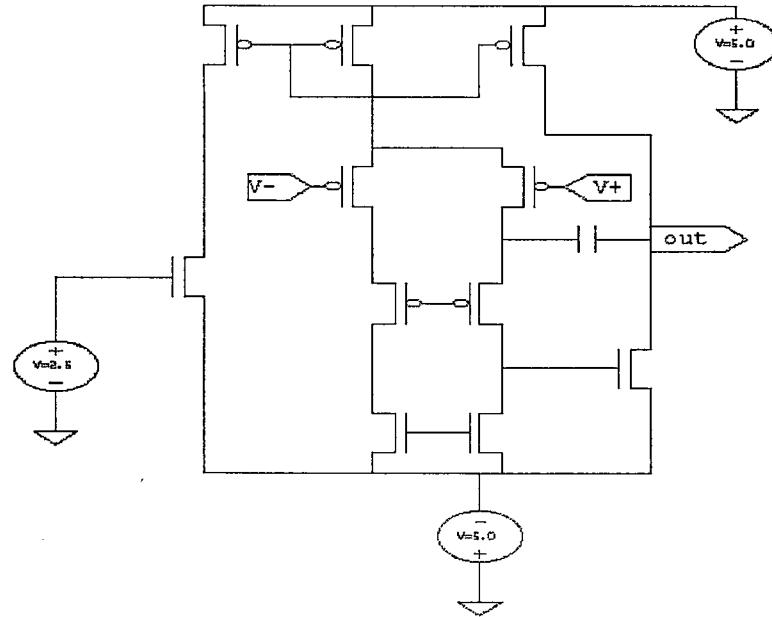


Şekil 4.8. R-2R Türünde Sayısal-Analog Dönüştürücü.



Şekil 4.9. 4 Bit Sayısal-Analog Dönüştürücü Çıkışı.

Şekil 4.8’de gösterilen R-2R türünden sayısal-analog dönüştürücünün çalışması şöyledir; Sayısal çıkışlar analog anahtarların girişine uygulanır. Gelen bu sayısal bilgiye göre anahtarlar dirençleri toprağa ya da op-amp’ın (-) girişine çeker. Bundan sonrada op-amp’ın kapalı çevrim kazancına göre analog çıkış verir. Burada kullanılan op-amp’ın devre şeması şekil 4.10’da gösterilmiştir.

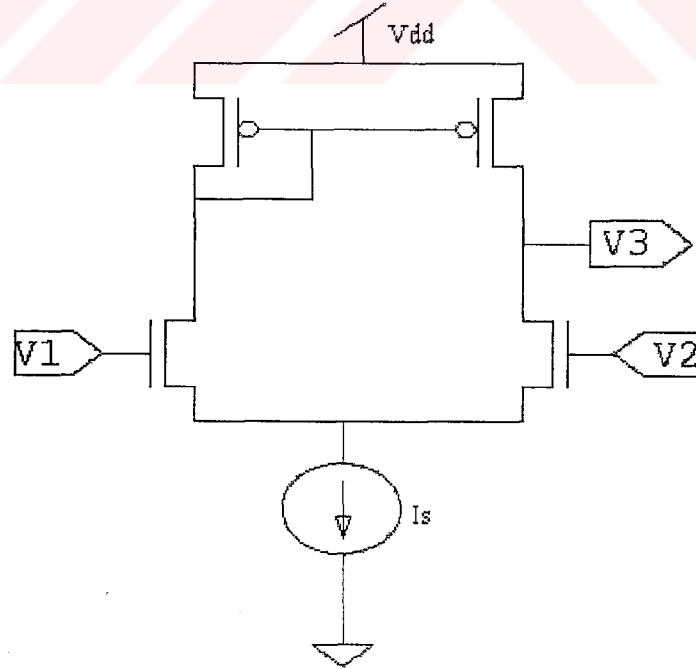


Şekil 4.10. Sayısal-Analog Dönüştürücüde Kullanılan Op-Amp.

Sayısal-analog dönüştürücülerin en büyük sorunlarından biri de sadece uyguladığınız V_{ref} gerilimine göre, analog gerilime dönüştürmesidir.. Eğer analog gerilimi sınırlandırmak isterseniz çeşitli farklı devreler kullanmanız gerekmektedir. Ayrıca bütün sayısal girişlerinizin (1) olduğu durumda, analog çıkış geriliminizin V_{ref} 'e eşit olması gerekmektedir. Fakat bu sağlanamamaktadır. Bu da genel sayısal-analog dönüştürücülerin bir dezavantajıdır.

4.4 Fark Yükselteci

İki aşamalı analog-sayısal dönüştürücülerde analog giriş ile sayısal-analog dönüştürücü çıkışındaki gerilimin birim kazançlı olarak farkını alarak en değersiz bitlerin bulunacağı analog-sayısal dönüştürücüye uygulayan devredir. Buradaki devrenin önemli zorluğu birim kazançlı bir fark yükselteci olmasıdır. Şekil 4.11'de gösterilen devrede birim kazancı elde edebilmek oldukça zordur. Özellikle milivoltlar seviyesinde bir giriş için yeterli kazanç sağlanamamaktadır. Burada kullanılan akım kaynağının değeri ve transistörlerin boyutları değiştikçe kazancımız da değişmektedir.



Şekil 4.11. Fark Yükselteci.

Bu tür iki aşamalı analog-sayısal dönüştürücülerde farklı türlerde fark yükselteçleri kullanılmıştır. Şekil 4.11’de önerilen devre dışında tamamen fark yükselteci olarak kullanılan folded-cascode yükselteçler de kullanılmıştır(Razavi and Wooley 1992). Fakat önerilen devrede hem kullanılan transistör sayısı hem de farklı genliklerde gereken kutuplama amaçlı gerilim kaynakları bir dezavantaj olarak görülmüştür. Çünkü yonga alanı olarak önerilen devre çok az yer kaplamaktadır.



BÖLÜM 5: SİMÜLASYON SONUÇLARI

Bu bölümde yapılan 8 bit iki aşamalı analog-sayısal dönüştürücü devresinin blok devresi ve devrelerin yonga planları verilmiştir. Tanner Eda programı yardımı ile yapılan simülasyon sonuçları verilmektedir. Simülasyonlar mosis 0.5μ cmos teknolojisi ile yapılmıştır. Bu teknolojinin kütüphane bileşenlerini de, yapılan devrenin spice dosyası ile birlikte ayrıntılı bir şekilde Ek-1'de görülmektedir.

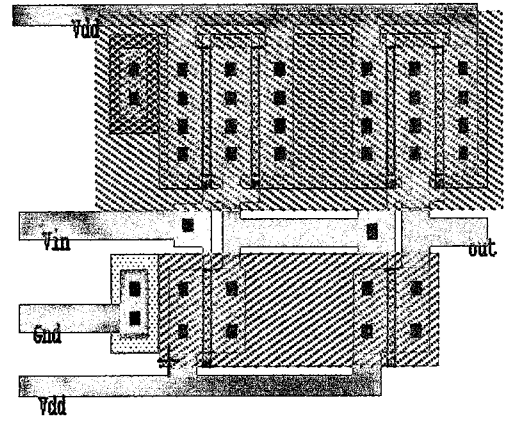
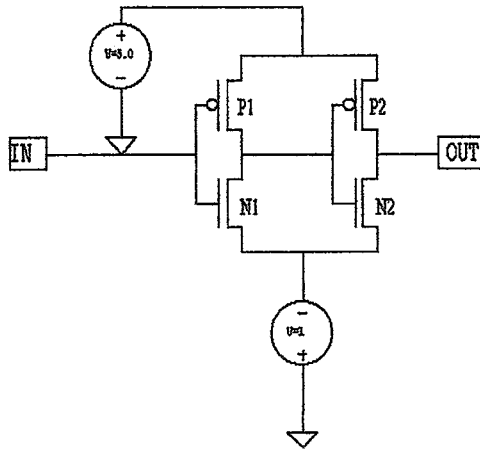
Yapılan 8-bit iki aşamalı paralel adc'nin iki adet 4-bit paralel adc, 4 bit dac ve bir adet birim kazançlı fark yükseltecinden oluştuğu daha önceden belirtilmiştir.

5.1. 4-Bit Kaba Analog-Sayısal Dönüştürücü

İki aşamalı analog-sayısal dönüştürücünün blok yapısında da belirtildiği üzere giriş geriliminin uygulanarak en değerli 4 bitin çıktığı adc'dir. Bu adc'nin çözünürlüğü ve dönüştürme hızı çok önemlidir. Çünkü yapılan iki aşamalı A/D dönüştürücünün kalitesini birinci adc belirler.

Kaba adc'de çözünürlük 4 bittir. Bu yüzden $2^4-1=15$ adet karşılaştırıcıya ihtiyaç vardır. Giriş gerilimi 0-3V arasında olduğu için TIQ katındaki karşılaştırıcılar 0,2V aralıklarla ilettime geçecek şekilde tasarlanması gerekmektedir. Bu tasarlama işlemi de kullanılan mos çiftlerin W/L oranları değiştirilerek sağlanmıştır.

Daha önceki bölümlerde bir adc'nin blok yapısı şekil olarak gösterilmiştir. Burada Şekil 5.1'de devrede kullanılan bir adet TIQ bileşeni ve onun serim şeması gösterilmiştir. Burada TIQ girişinin 1V ile 3V arasında iyi çalıştığını söyleyebiliriz. Fakat yapılan devrede giriş geriliminin 0V'dan başlayacak olması nedeniyle

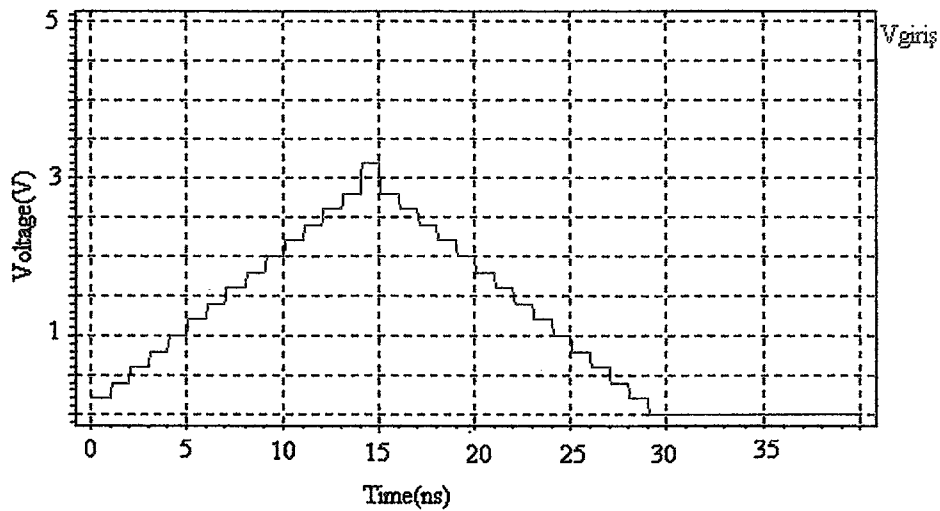


Şekil 5.1. (a) TIQ'nun devre şeması.

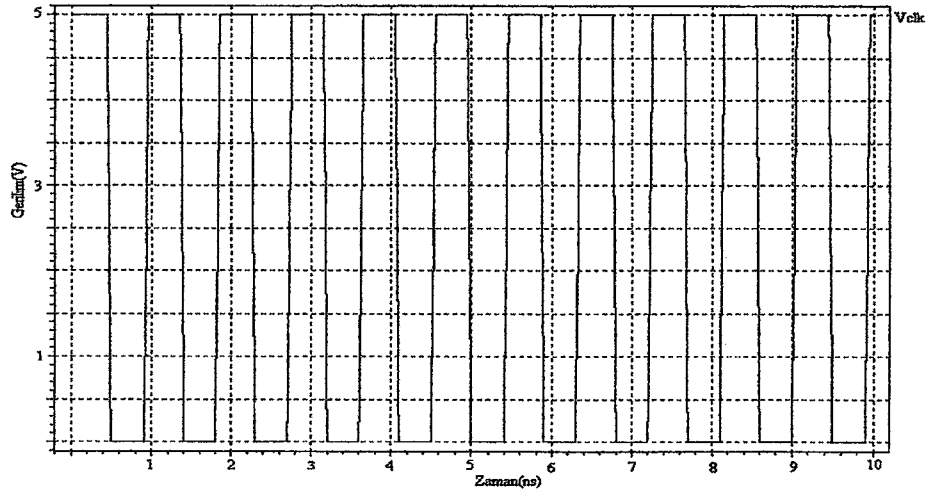
(b) TIQ'nun serim şeması.

nmos'ların akaç uçları -1V'luk bir kaynağa bağlanmıştır. Böylece TIQ girişlerinin 0V ile 1V arasında da devrilmesi sağlanmıştır.

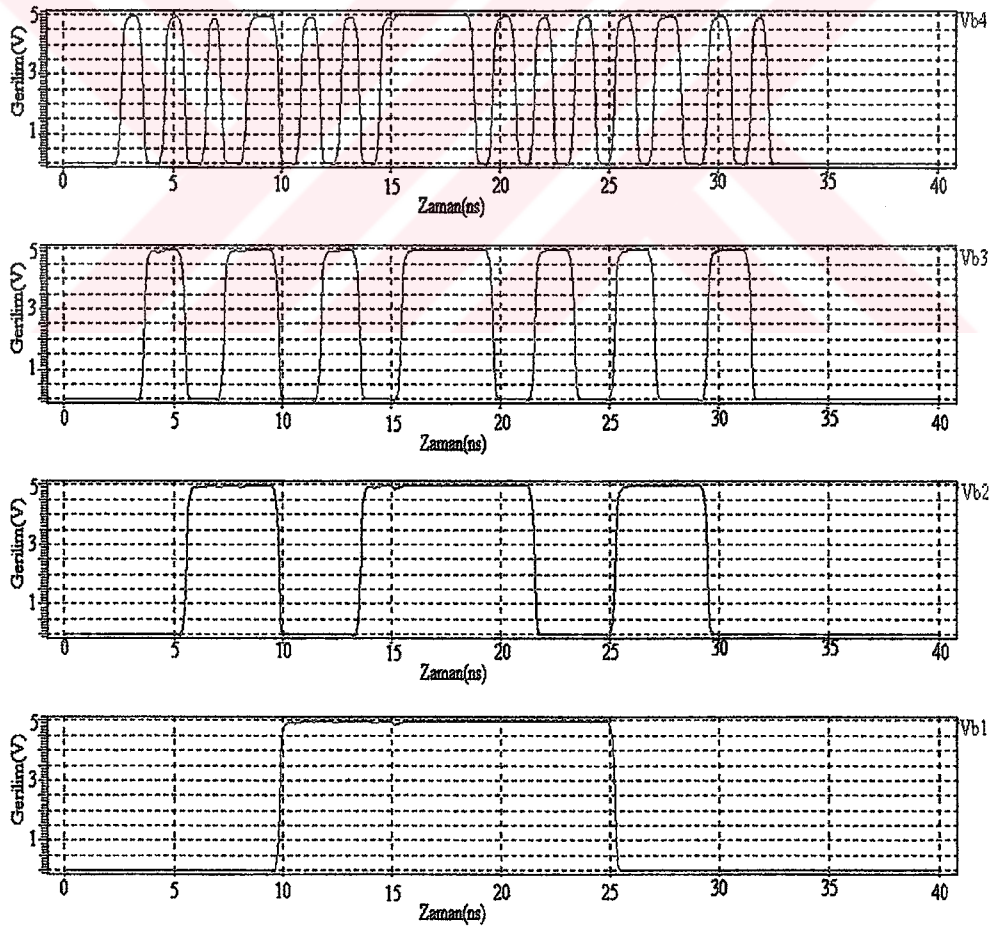
4 bitlik kaba adc'ye, 0-3V genliğinde 30MHz frekansında uygulanan giriş işaretine göre devrenin giriş işareti ve çıkış gerilimleri şekil 5.2'de gösterildiği gibidir. Burada örnekle-tut devresi kullanılmamıştır. Giriş işareti TIQ girişlerinin devrilmesi için gerekli olan gerilim değerleri için uygun olan merdiven dalga şeklinde verilmiştir.



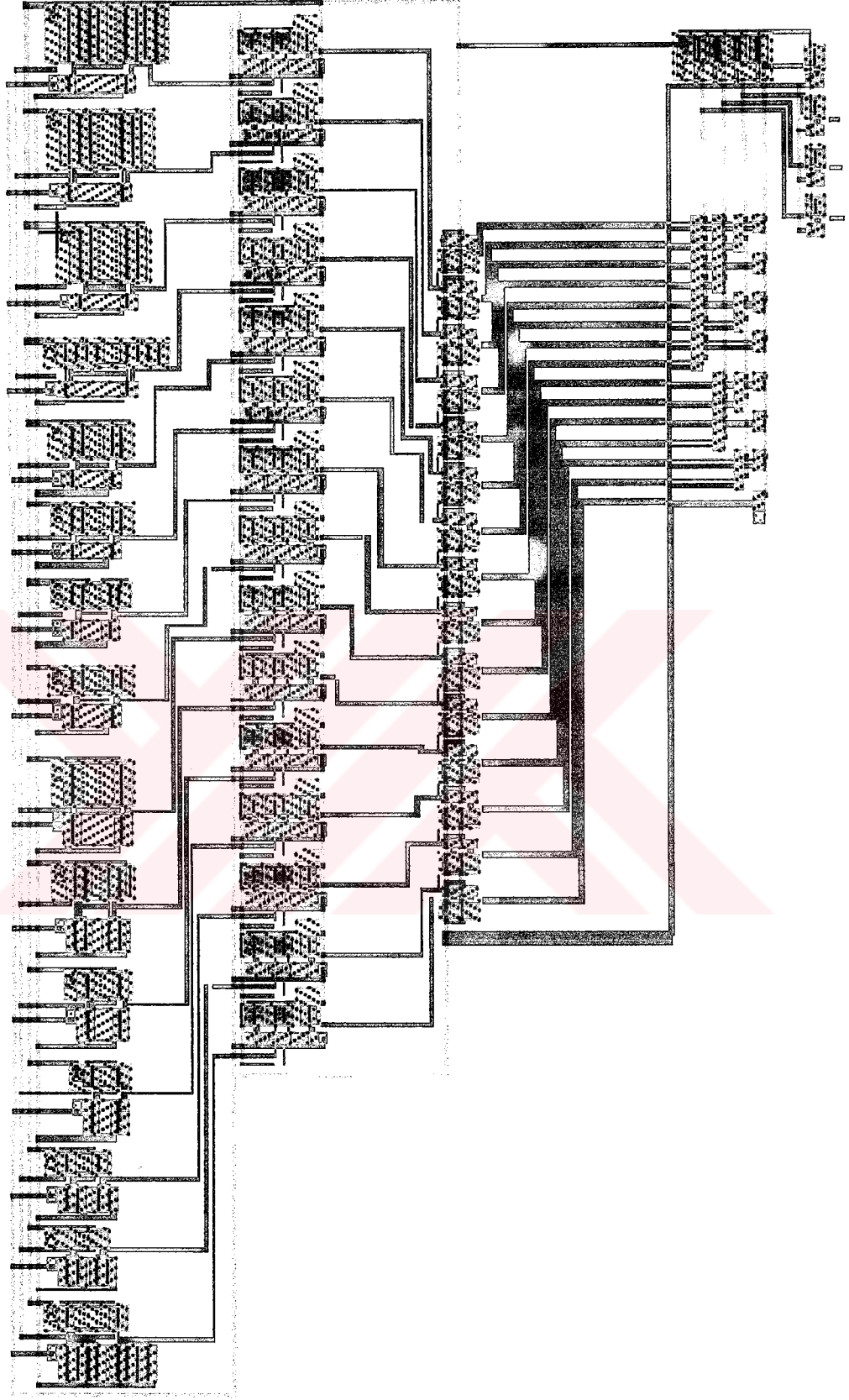
Şekil 5.2. Analog-Sayısal Dönüştürücünün Girişine Uygulanan İdeale Yakın Örneklenmiş Üçgen Dalga Gerilimi.



Şekil 5.3. Kullanılan Saat İşareti.



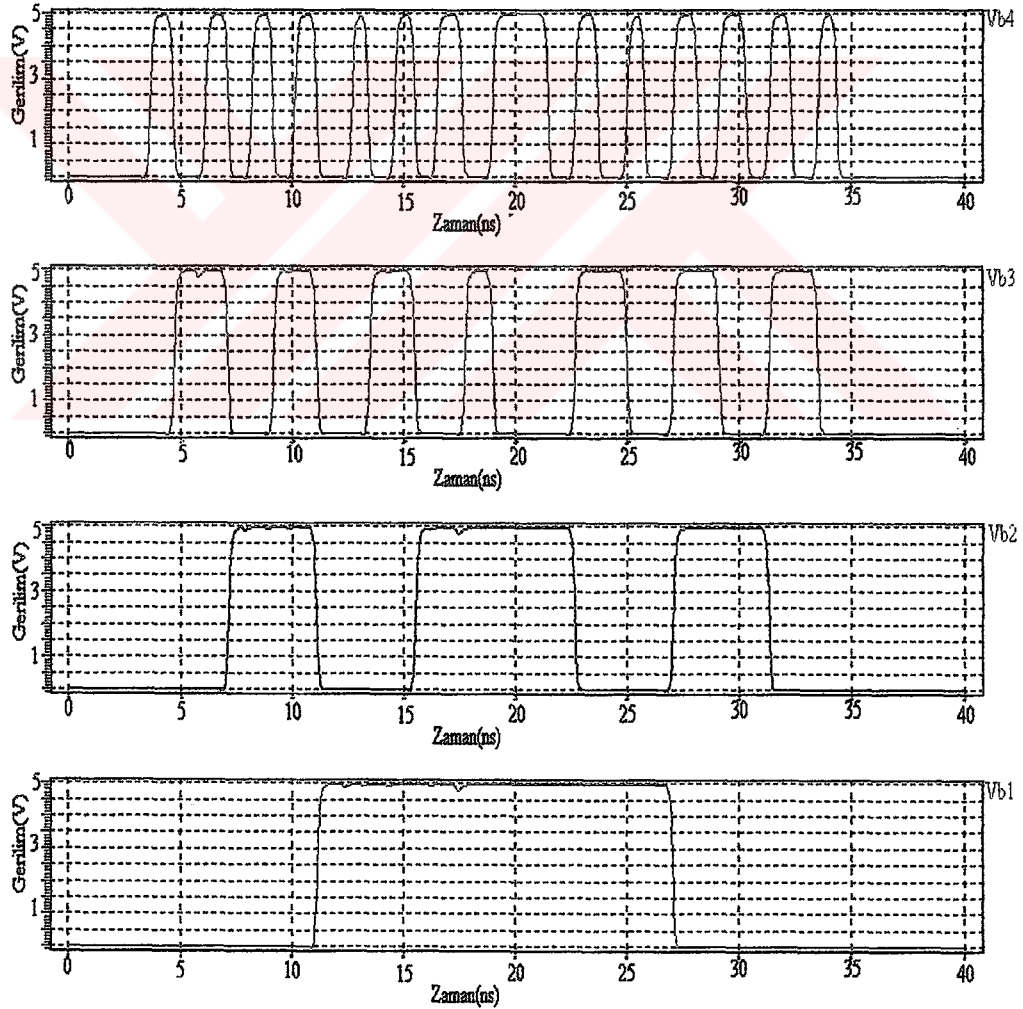
Şekil 5.4. Kaba ADC'nin 4-Bit Çıkışları.



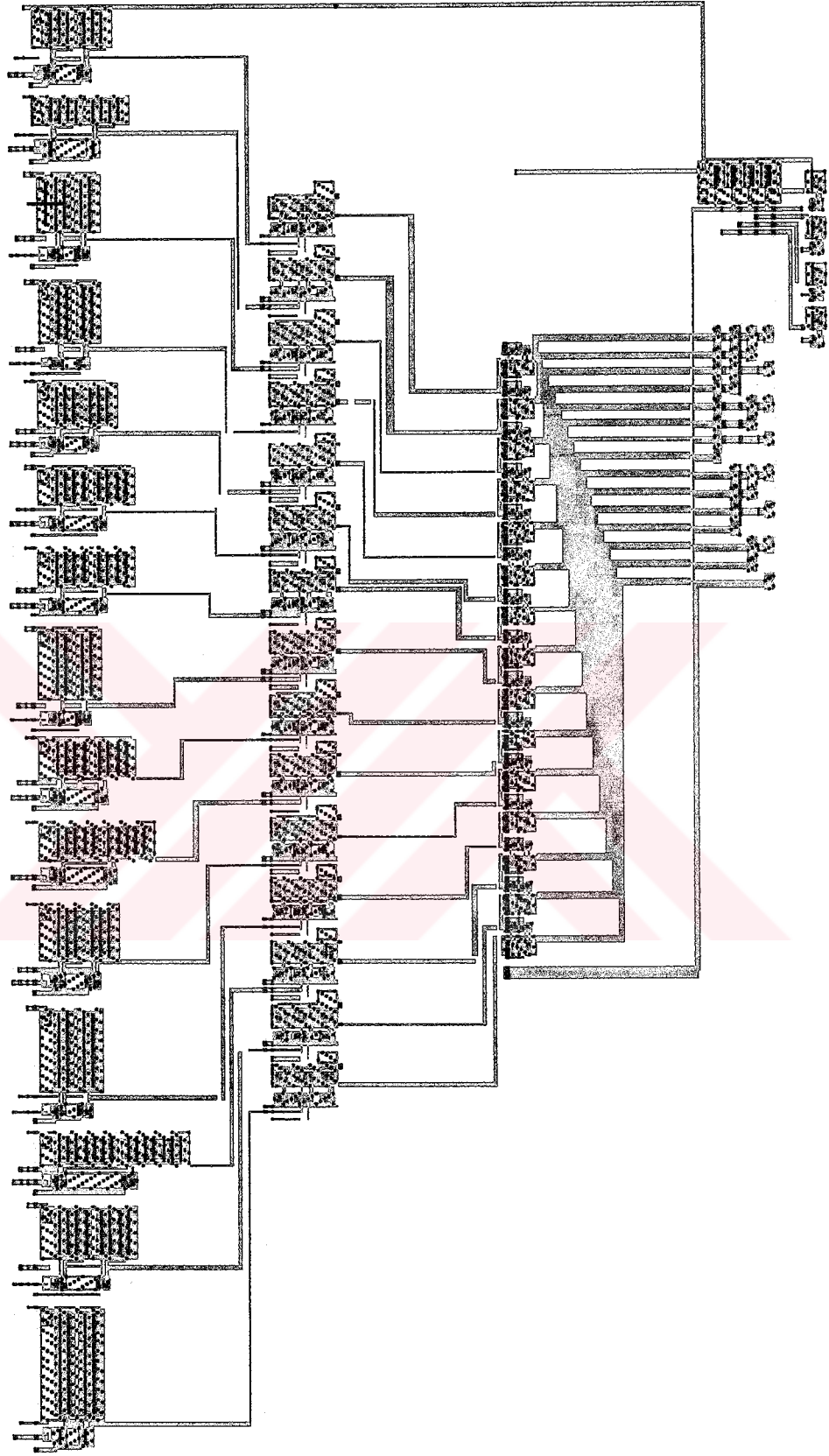
Şekil 5.5. 4 Bit Kaba ADC'nin Yonga Planı.

5.2. 4-Bit Hassas Analog-Sayısal Dönüştürücü

İkinci analog-sayısal dönüştürücü kaba adc tarafından sayısala dönüştürülen işaret ile giriş işaretinin farkı alındıktan sonra geriye kalan en değersiz 4 bitin çıkarılmasında kullanılır. Aynı şekilde burada da 2^4-1 adet TIQ devresine ihtiyaç vardır. Burada analog gerilim aralığımız 0 ile 0.2V arasındadır. Dolayısıyla TIQ tasarımlarımızı 0.0125V ile devrilecek şekilde ayarlamamız gerekmektedir. Burada en büyük zorluk kullanılan mos çiftlerin W/L oranlarının yüksek olmasıdır. Hassas adc olarak isimlendirilen devrenin blok şeması kaba adc'nin blok şeması ile aynıdır. Değişen sadece TIQ devresinin iletme geçebilmesi için gereken eşik gerilimleridir. Şekil 5.6 ve 5.7'de sırası ile devrenin çıkış gerilimlerini ve devrenin yonga planını görebilirsiniz.



Şekil 5.6. Hassas Adc'nin 4-Bit Çıkışları.

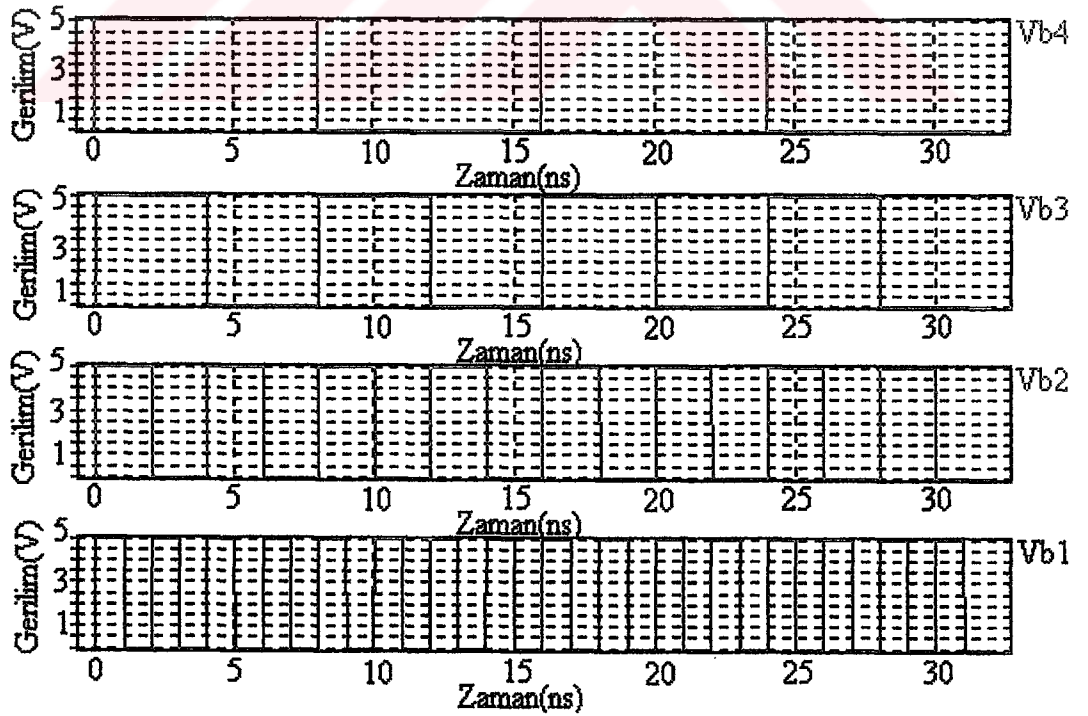


Şekil 5.7. 4-Bit Hassas Adc'nin Yonga Planı.

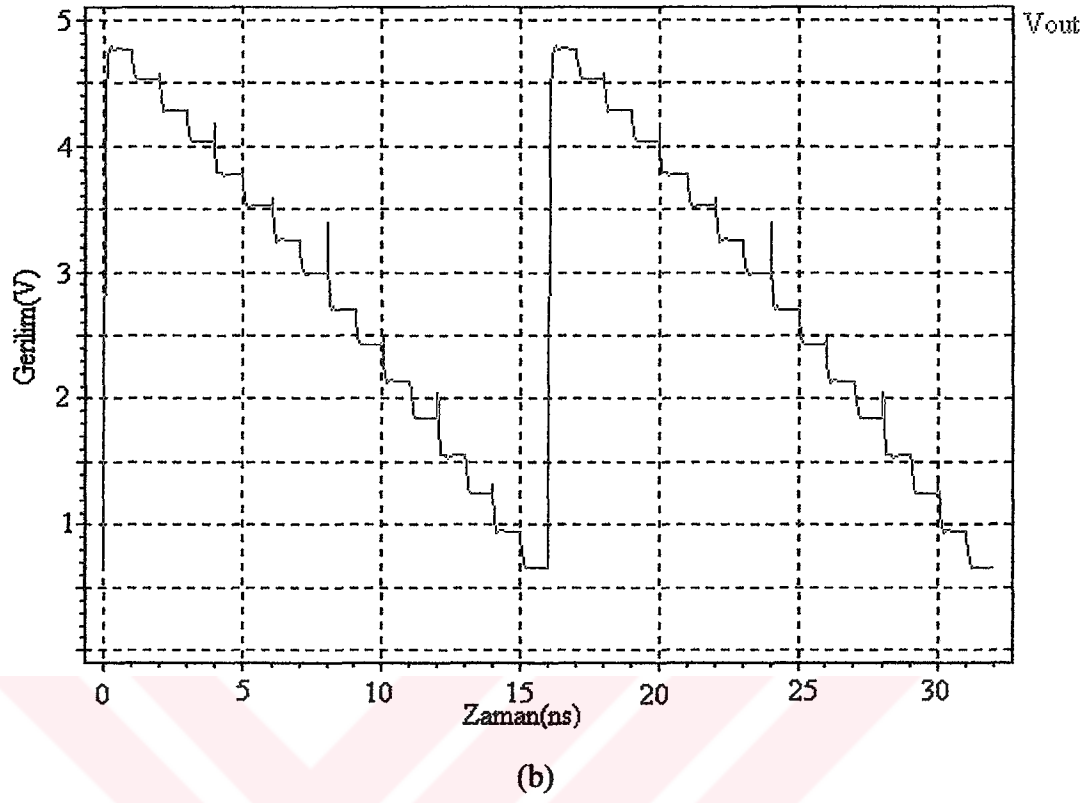
5.3. 4-Bit R-2R Sayısal-Analog Dönüştürücü

Daha önceki bölümde kullanılan bloklardan bahsedilirken R-2R türünde kullanmış olduğumuz dac'ın çıkış gerilim sonuçları verilmiştir. Burada dac'ın yonga planı ve dac'ın farklı referans gerilimlerine göre çıkış gerilimleri verilecektir. Bilindiği üzere dac'ın referans gerilimi önemlidir. Çünkü çıkışta elde edeceğiniz analog gerilim aralığı bu referans gerilimi ile sınırlıdır.

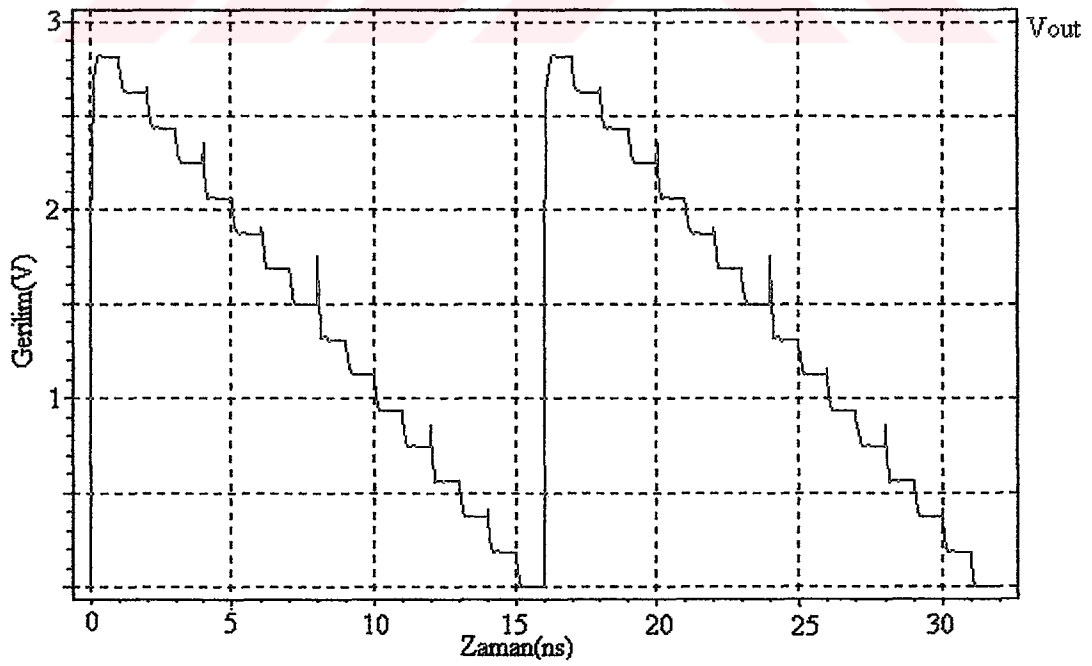
R-2R türünde bir dac tasarlarken en önemli sorun dirençlerin çekmiş olduğu güçtür. Harcanan gücü azaltmak ve dac'ın lineerliğinin bozulmaması için direnç değerleri önemlidir. Ayrıca R-2R türünde kullanılan dac'ın direnç dizisinden sonra kullanılan op-amp'ın kazanç-band genişliği çarpımı, değişim hızı parametreleri de dac'ın lineerliğini etkiler. Aynı zamanda dac'ın dönüştürme hızını ve çözünürlüğünü artırdığınız zaman glitch olarak bahsettiğimiz hatalar meydana gelmektedir. Bu hataları yok etmek için de kullanacağınız direnç değerleri ve op-amp'ın yapısı önemlidir. Şekil 5.8'de dac'a sayısal işaretler verilerek $V_{ref}=5V$ için dac çıkışı gösterilmiştir. Şekil 5.9'da ise $V_{ref}=3V$ için dac çıkışı gösterilmiştir.



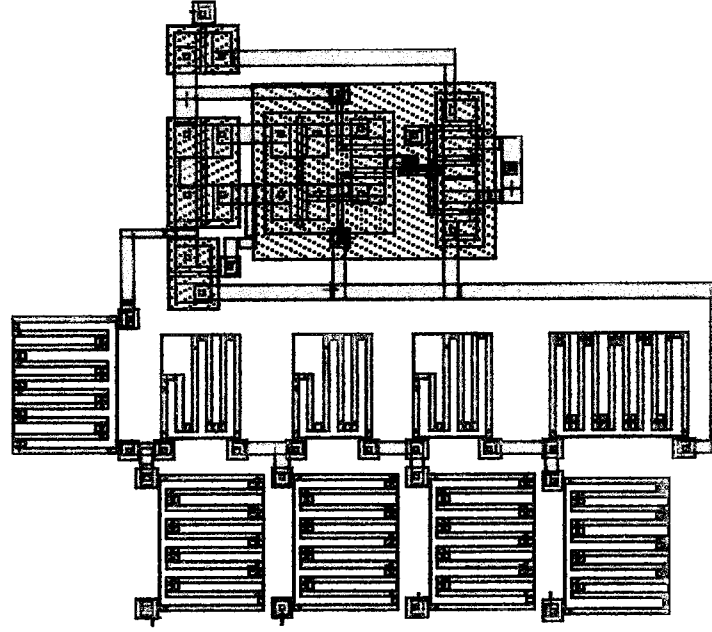
(a)



Şekil 5.8. (a) Sayısal-Analog Dönüştürücü Girişleri. (b) $V_{ref}=5$ için DAC Çıkışı.



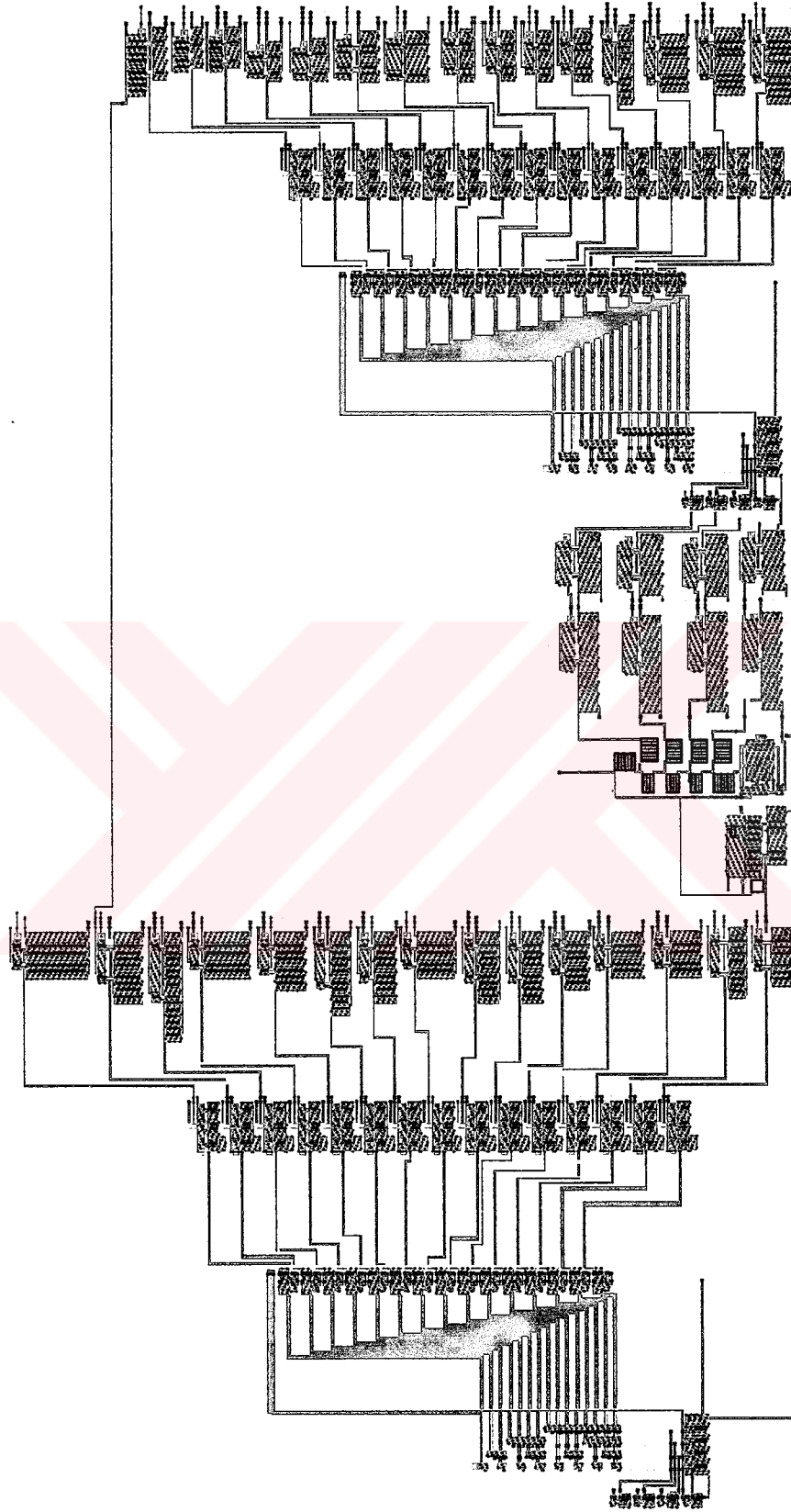
Şekil 5.9. $V_{ref}=3V$ için DAC Çıkışı.



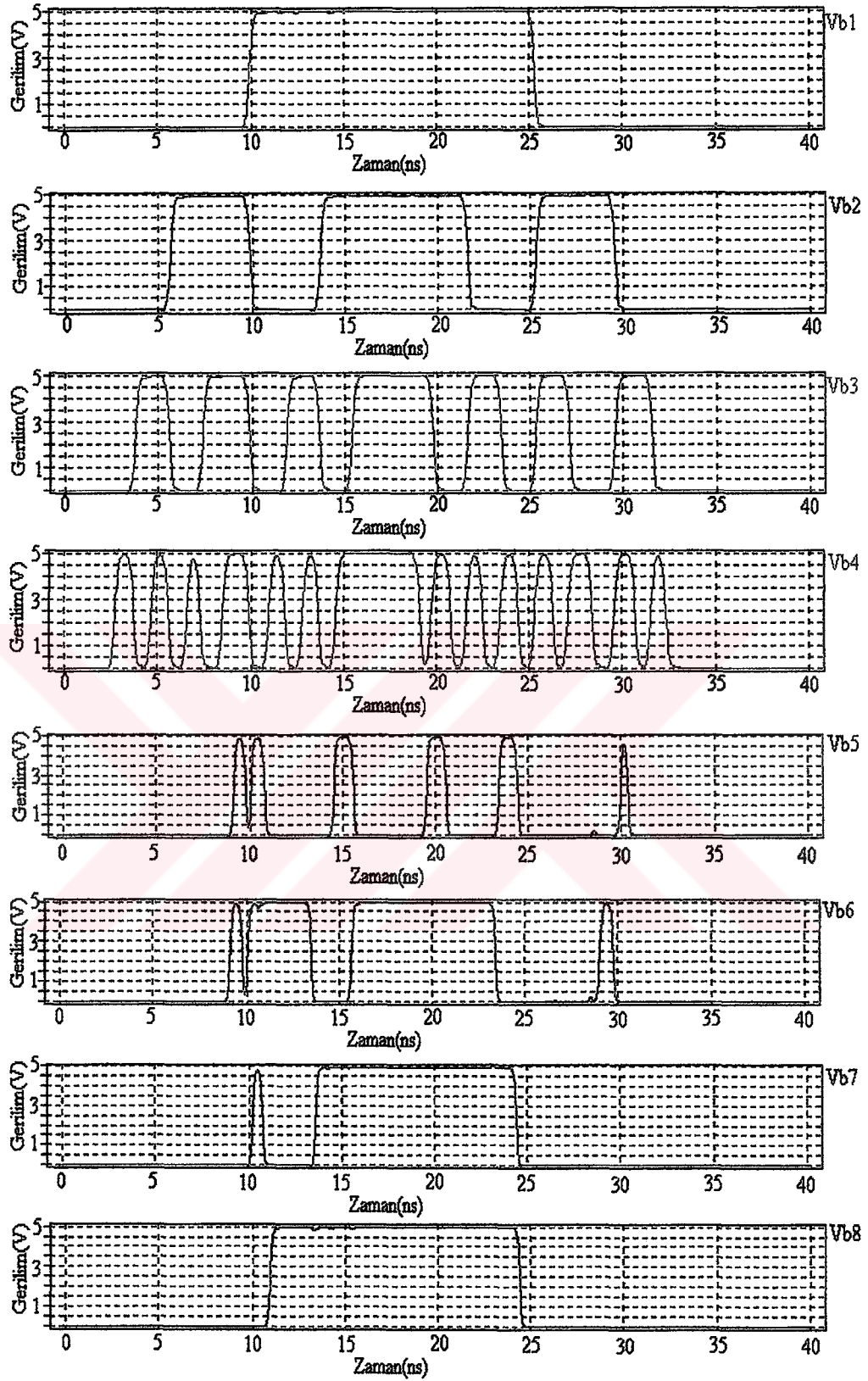
Şekil 5.10. Sayısal-Analog Dönüştürücü Yonga Planı.

5.4. İki Aşamalı Paralel ADC

Bütün bu verilen blokların birleştirilmesi sonucu oluşan 8 bit iki aşamalı adc 1Gs/s'de örneklenmiştir. Devrenin girişine şekil 5.2'deki analog gerilim uygulanarak Tanner Eda programı tspice'da simülasyon sonuçları elde edilmiştir. Burada Mosis 0.5µ cmos teknolojisi model parametreleri kullanılmıştır. Ayrıca daha düşük teknolojilerde yapılan simülasyon sonuçları da yapılan devrenin çalıştığını göstermiştir. Fakat analog olarak çalışmanın zorlukları ve yapılan blokların birbirlerine etkisi nedeniyle tam olarak istenen sonuçlar elde edilememiştir. En önemli problemlerden biri devrede kullanılan fark yükselteci devresidir. İki gerilim arasındaki farkı birim kazançlı olarak çıkıştan alarak ikinci adc'nin girişine uygulandığı bu blokta fark yükseltecinin çalışma noktası simülasyon için kullanılan teknolojiye göre dc çalışma noktası değişmektedir. Bu yüzden hassas adc'de kullanılan TIQ bloğu kısmındaki transistörler iletme geçememektedir. Bu yüzden de ikinci adc istendiği gibi çalışmamaktadır. Şekil 5.11'de devrenin yonga planı gösterilmiştir. Şekil 5.12'de 8 bit çıkışı gösterilmektedir. Aslında 8 bit adc'nin çıkışında 256 adet kodu görmemiz gerekmektedir. Fakat burada kod kayıplarımız vardır.



Şekil 5.11. 8 Bit İki Aşamalı A/D Dönüştürücü Yonga Planı.



Şekil 5.12. 8 Bit İki Aşamalı ADC'nin Bit Çıkışları.

Bu da adc'nin tekdüze olmadığını göstermektedir. Ayrıca kullanılan simülasyon programının sadece deneme versiyonu olduğunu göz önünde tutarsak, elde edilen sonuçların ve spice dosyasının bir başka simülatör programında da denenmesinde fayda vardır.

Ayrıca kaba adc çıkışının, DAC'a verildiği noktada ek devreler kullanmak gerekmiştir. Bunlar kaba adc çıkışında ki analog bilgiyi kuvvetlendirmek için kullanılmıştır. Buffer devreleri olarak birbirine seri iki adet inverter devresi kullanılarak sağlanmıştır. Kullanılan bir başka ek devre ise dac'ın referans gerilimini sınırlamak içindir. Çünkü dac, gelen sayısal bilgiyi referans gerilimine göre bölmektedir. Eğer burada referans gerilimi ayarlanmazsa çıkışta istenilen analog bölgede bir çıkış işareti elde edilemez.



SONUÇLAR ve ÖNERİLER

Yapılan bu çalışmada eşik gerilim nicemleyici yöntemi yardımı ile 8 bit iki aşamalı analog-sayısal dönüştürücü tasarımı anlatılmıştır. Analog-sayısal dönüştürücülerin günümüzde ne kadar önemli olduğunu ve yüksek çözünürlükte yüksek hıza ulaşmanın ne kadar zor olduğu aşıkardır. Burada göz önünde bulundurulan parametreler çözünürlük, hız, güç harcanımı ve yonga alanıdır. Daha önce bu alanda yapılan çalışmalardan, Kerth (1989)'a göre yapılan çalışmanın hem band genişliği hem de hızı oldukça iyidir. Fakat çözünürlüğü daha iyi değildir. Ayrıca şimdiye kadar yapılan iki aşamalı analog-sayısal dönüştürücülerde şimdiye kadar hiç 100Ms/s'nin üzerine çıkıldığı görülmemiştir. Fakat önerilen yapıda 1Gs/s'de örnekleme yapılmaktadır. Ayrıca analog-sayısal dönüştürücü kısmında TIQ tekniği kullanıldığı için güç harcanımı açısından daha iyi olduğu gözlenmiştir. Fakat bu çalışmada R-2R türü sayısal-analog dönüştürücü kullanıldığı için güç harcanımı artmıştır. Önerilen yapının giriş analog band genişliği yaklaşık 40MHz'dir. Bu yüzden video işaretlerinin sayısala dönüştürülmesinde rahatlıkla kullanılabilir.

Fakat yapılan bu çalışmanın en büyük zorluklarından biri daha öncede belirtildiği üzere, birim kazançlı fark yükselteci devresinin tasarımıdır. Farklı teknolojilerde yapılan simülasyon sonuçları göstermiştir ki, fark yükseltecinin dc çalışma noktası ve voltlar seviyesindeki kazancı ile milivoltlar seviyesindeki kazançları birim kazançtan oldukça farklıdır. Bu yüzden ince adc'de kod kayıbları hatta bit kayıpları meydana gelmektedir. İkinci dezavantaj birinci adc çıkışının dac'ın girişini yeterince sürememesi ve bu yüzden arada kuvvetlendirici kullanmanın gerekli olmasıdır. Bu da yonga alanının artmasına neden olmaktadır. Fakat bu yonga alanı Razavi(1992)'ye göre oldukça küçüktür. Bu yüzden bu tür bir tasarım yaparken bütün doğal şartlar göz önünde bulundurulmalıdır. Üçüncü dezavantaj

Tangel(1999)'a göre imal edilen yongalarda mos çiftlerin eşik gerilim seviyelerinin kaymasıdır. Bunun da etkili olacağı düşünülmektedir.

Bu aşamadan sonra bu çalışmada ki amaç daha az kod kayıplı, daha yüksek çözünürlüğe sahip bir adc tasarlamak olacaktır.



KAYNAKLAR

1. HOESCHELE, D.F., 1994. Analog-to-Digital and Digital-to-Analog Conversion, Second Edition, John Wiley and Sons Inc.Press, New York.
2. RAZAVI, B. and WOOLEY, A.B., 1992. A 12-b 5Msample/s Two-Step CMOS A/D Converter. IEEE Journal of Solid-State Circuits, Vol.27, No.12, 1667-1678.
3. TANGEL, A., 1999. VLSI Implementation of The Threshold Inverter Quantization(TIQ) Technique for CMOS A/D Converter Applications. Ph.D. Thesis, 1-128, Penstate University.
4. ALLEN, P.E. and HOLBERG, D.R., 2002. Cmos Analog Circuit Design. Second Edition, Oxford University Pres, 1-784, New York.
5. SONG, B.S., TOMPSETT, M.F. and LAKSHMIKUMAR, K.R., 1988. A 12 Bit, 1-MSample/s Capacitor Error-Averaging Pipelined A/D Converter. IEEE Journal of Solid State Circuits, Vol.23, No.6, 1324-1333.
6. YATSUYANAGI, M., ETOH, T. and HIRATA, K., 1993. A 10 Bit 50 MHz Pipelined CMOS A/D Converter with S/H. IEEE Journal of Solid State Circuits, Vol.28. No.3, 292-300.
7. SHINDLER, H.R., 1963. VHF Analog-Digital Converter. International Solid-State Circuits Conference of Technical Papers.
8. PELGROM et all. 1994. 25 MSample/s 8 bit CMOS A/D Converter for Embedded Application. IEEE Journal of Solid State Circuits, Vol.27, No.12, 879-886.
9. SHIWAKU, N. 1991. A Rail to Rail Video Band Full Nyquist 8 Bit A/D Converter. Proceedings of The 1991 Custom Integrated Circuits Conference.
10. FLYNN, M. and ALLSAT, D. 1997. CMOS Folding A/D Converters with Current Mode Interpolation. IEEE Journal of Solid State Circuits, Vol.32, No.12, 1876-1886.
11. NAUTA, B. and VENES, A. 1995. A 70 Ms/s 110 mW 8-Bit CMOS Folding and Interpolating A/D Converter. IEEE Journal of Solid State Circuits, Vol.30, No.12,1302-1308

12. VENES, A. and PLASSCHE, R.V. 1996. An 80 MHz, 80 mW, 8 Bit CMOS Folding A/D Converter with Distributed Track and Hold Preprocessing. *IEEE Journal Solid State Circuits*, Vol.31, No.12, 1846-1853.
13. BAKER, R.J, HARRY, W.L. and BOYCE, D.E. 1998. *CMOS Circuits Design, Layout and Simulation*. IEEE Pres, New York, 1-903.
14. PLASSCHE, R.V. 1994. *Integrated Analog to Digital and Digital to Analog Converters*. Kluwer Academic Publishers.
15. BRIANTI, F., MANSTRETTA, A. and TORELLI, G. 1998. High Speed Autozeroed CMOS Comparator for Multistep A/D Conversion. *Microelectronics Journal* 29, 845-853.
16. FUJITA, Y., MASUDA, E., SAKAMOTO, S., SAKAUE, T. and SATO, Y. 1984. A Bulk CMOS 20Ms/s 7b Flash ADC. *IEEE International Solid State Circuits Conference*, 56-57.
17. VAN DEN BOSCH, A., STEYAERT, M. and SANSEN, W. 2001. The Impact of Statistical Design on the Area of High Performance CMOS Current-Steering D/A Converters. *Analog Integrated Circuits and Signal Processing*, 28, 142-148.
18. GORDON, B.M. 1978. Linear Electronic Analog/Digital Conversion Architecture, Their Origins, Parameters, Limitations and Applications. *IEEE Trans. Circuits Systems*, Vol.Cas-25, No.7, 391-418
19. BASTIAANSEN, C. and GROENEVELD, D. 1991. A 10-b-40-MHz 0.8 μ m CMOS Current-Output D/A Converter. *IEEE Journal of Solid State Circuits*, Vol.26, No.7, 917-921.
20. TAKAKURA, H., YOKOYAMA, M. and YAMAGUCHI, A. 1991. A 10 bit 80 MHz Glitchless CMOS D/A Converter. *Proceeding of the IEEE Custom Integrated Circuits Conference*, 26.5.1-26.5.4.
21. CHARLES, R.H. and HODGES, D.A. 1978. Charge Circuits for Analog LSI. *IEEE Trans. Circuits Systems*, Vol.Cas-25, No.7, 490-497.
22. TANGEL, A. and CHOI, K. 2001. The CMOS Inverter as a Comparator in ADC Designs. 2nd. International Conference on Electrical and Electronics Engineering ELECO'2001, Vol.1, 1-5.
23. YOO, J., CHOI, K. and TANGEL, A. 2001. 1-GSPS CMOS Flash Analog-to-Digital Converter for System on Chip Applications. *Proc. IEEE Computer Society Workshop on VLSI*, 135-139.
24. YOO, J., LEE, D., CHOI, K. and TANGEL, A. 2001. Future Ready Ultrafast 8-Bit CMOS ADC for System on Chip Applications. 14th Annual IEEE International ASIC/SOC Conference, 789-793.

25. SEDRA, A.S. and SMITH, K.C. 1998. Microelectronics Circuits. Oxford University Pres, New York.
26. SEGURA, J., ROSSELLA, J.L., MORA, J. and SİGG, H. 1998. A Variable Threshold Voltage Inverter for Cmos Programmable Logic Circuits. IEEE Journal Solid State Circuits, Vol.33, 1262-1265.
27. SONG, B.S., LEE, S.H. and TOMPSET, M.F. 1990. A 10 bit 15 MHz CMOS recycling Two-Step A/D Converter. IEEE Journal Solid State Circuits, Vol.25, 1328-1338.
28. DAUGHERTY, K.M. 1995. Analog to Digital Conversion A practical Approach. McGraw-Hill Inc. New York, 1-213
29. DOERNBERG, J., GRAY, P.G., HODGES, D.A. 1989. A 10-bit 5-Msample/s CMOS Two Step Flash ADC. IEEE Journal Solid State Circuits, Vol.27, No.2, 241-248.
30. KERTH, D.A., SOOCH, N.S. and SWANSON, E.J. 1989. A 12 bit 1MHz Two Step Flash ADC. IEEE Journal Solid State Circuits, Vol.24, No.2, pp 250-255.
31. POULTON, K. et all. 1995. A 6-b 4-GSa/s GaAs HBT ADC. IEEE Journal Solid State Circuits, Vol.30, No.7, 1109-1118.

EK-1

Yapılan devrenin spice dosyası:

```
* Circuit Extracted by Tanner Research's L-Edit Version 8.21 / Extract Version 8.21 ;
* TDB File: C:\WINDOWS\Desktop\layout dosyası\8 bit semi flash.tdb
* Cell: Cell0      Version 1.15
* Extract Definition File: tech\mosis\mlhp_n05.ext
* Extract Date and Time: 06/18/2003 - 10:01
* Warning: Layers with Unassigned AREA Capacitance.
* <poly wire>
* <n well wire>
* <allsubs>
* <LPNP collector>
* <LPNP emitter>
* <subs>
* <N Well Resistor>
* <P Diff Resistor>
* <N Diff Resistor>
* <Poly Resistor>
* <Metal1>
* <Metal1-Tight>
* <Metal2>
* <Metal2-Tight>
* Warning: Layers with Unassigned FRINGE Capacitance.
* <pdiff>
* <poly wire>
* <n well wire>
* <Pad Comment>
* <AllMetal1>
* <allsubs>
* <LPNP collector>
* <LPNP emitter>
* <ndiff>
* <subs>
* <N Well Resistor>
* <P Diff Resistor>
* <N Diff Resistor>
* <Poly Resistor>
* <AllMetal2>
* <Metal3>
* <Metal1>
* <Metal1-Tight>
* <Metal2>
* <Metal2-Tight>
* Warning: Layers with Zero Resistance.
* <poly wire>
* <n well wire>
* <Pad Comment>
* <allsubs>
* <LPNP collector>
```

*<LPNPemitter>



```

* <subs>
* <PMOS Capacitor>
* <NMOS Capacitor>
* <cap using Cap-Well>
* <Metal1>
* <Metal1-Tight>
* <Metal2>
* <Metal2-Tight>
* NODE NAME ALIASES
* 16 = gnd (-2323.5,997)
* 24 = vbias (-1193,1027)
* 28 = b1 (-1512,1013)
* 32 = U11/U5/117 (-1905.5,826)
* 39 = Vdd (-2305.5,1053)
* 40 = b5 (64,878)
* 53 = b4 (-1507.5,883.5)
* 54 = b3 (-1509,927)
* 57 = b2 (-1510,970)
* 61 = U11/U5/119 (-1905.5,746)
* 68 = clk (-2089,1064)
* 69 = U11/U5/118 (-1905.5,786)
* 72 = b7 (64,792)
* 73 = b6 (63.5,834.5)
* 76 = U6/U5/117 (-321,691)
* 95 = U11/U5/in19 (-1682.5,847)
* 97 = U11/U5/in18 (-1682.5,864)
* 99 = U11/U5/in17 (-1682.5,880)
* 108 = U11/U5/120 (-1905.5,706)
* 117 = b8 (64,749)
* 119 = U6/U5/in18 (-98,729)
* 121 = U6/U5/in17 (-98,745)
* 137 = U11/U5/in21 (-1682.5,813)
* 139 = U11/U5/in20 (-1682.5,830)
* 153 = U6/U5/in20 (-98,695)
* 155 = U6/U5/in19 (-98,712)
* 159 = U6/U5/118 (-321,651)
* 160 = U6/U5/119 (-321,611)
* 161 = U6/U5/120 (-321,571)
* 177 = U11/U5/in24 (-1682.5,762)
* 179 = U11/U5/in23 (-1682.5,779)
* 181 = U11/U5/in22 (-1682.5,796)
* 199 = Vin (-2316,1043.5)
* 200 = vss (-2295.5,987)
* 202 = U6/U5/in28 (-98,558)
* 203 = U6/U5/in23 (-98,644)
* 205 = U6/U5/in22 (-98,661)
* 207 = U6/U5/in21 (-98,678)
* 224 = U11/U5/in26 (-1682.5,728)
* 226 = U11/U5/in25 (-1682.5,745)
* 242 = U6/U5/in25 (-98,610)
* 244 = U6/U5/in24 (-98,627)
* 260 = U11/U5/in29 (-1682.5,677)
* 262 = U11/U5/in28 (-1682.5,693)
* 264 = U11/U5/in27 (-1682.5,710)
* 278 = U6/U5/in27 (-98,575)
* 280 = U6/U5/in26 (-98,593)
* 293 = U11/U5/in31 (-1682.5,643)
* 295 = U11/U5/in30 (-1682.5,660)
* 310 = U6/U5/in30 (-98,525)

```

* 312 = U6/U5/in29 (-98,542)
 * 341 = U6/U5/in31 (-98,508)
 Cpar1 1 0 C=67.45095f
 Cpar2 2 0 C=59.7114f
 Cpar3 3 0 C=57.29913f
 Cpar4 4 0 C=46.07911f
 Cpar5 7 0 C=72.59742f
 Cpar6 8 0 C=13.700645f
 Cpar7 9 0 C=13.339025f
 Cpar8 12 0 C=14.538545f
 Cpar9 14 0 C=6.8061f
 Cpar10 15 0 C=14.74655f
 Cpar11 gnd 0 C=1.6087043p
 Cpar12 17 0 C=16.51594f
 Cpar13 19 0 C=16.5424f
 Cpar14 20 0 C=15.349985f
 Cpar15 21 0 C=6.8061f
 Cpar16 22 0 C=108.72389f
 Cpar17 vbias 0 C=733.8556f
 Cpar18 25 0 C=65.471595f
 Cpar19 26 0 C=57.05315f
 Cpar20 27 0 C=64.94019f
 Cpar21 b1 0 C=12.93453f
 Cpar22 31 0 C=11.97756f
 Cpar23 U11/U5/117 0 C=20.74905f
 Cpar24 33 0 C=11.94228f
 Cpar25 34 0 C=8.16732f
 Cpar26 35 0 C=8.16732f
 Cpar27 37 0 C=89.10797f
 Cpar28 38 0 C=87.41453f
 Cpar29 Vdd 0 C=5.8565158p
 Cpar30 b5 0 C=11.95992f
 Cpar31 42 0 C=8.16732f
 Cpar32 43 0 C=56.430605f
 Cpar33 44 0 C=49.409885f
 Cpar34 47 0 C=107.36782f
 Cpar35 49 0 C=65.23566f
 Cpar36 50 0 C=57.05315f
 Cpar37 52 0 C=64.94019f
 Cpar38 b4 0 C=15.60699f
 Cpar39 b3 0 C=14.762475f
 Cpar40 b2 0 C=13.858425f
 Cpar41 58 0 C=44.360741f
 Cpar42 59 0 C=45.508597f
 Cpar43 60 0 C=11.97756f
 Cpar44 U11/U5/119 0 C=19.32021f
 Cpar45 62 0 C=11.94228f
 Cpar46 63 0 C=8.16732f
 Cpar47 64 0 C=11.97756f
 Cpar48 67 0 C=11.94228f
 Cpar49 clk 0 C=43.391154f
 Cpar50 U11/U5/118 0 C=19.58481f
 Cpar51 70 0 C=84.96159f
 Cpar52 71 0 C=83.44014f
 Cpar53 b7 0 C=11.95992f
 Cpar54 b6 0 C=11.95992f
 Cpar55 U6/U5/117 0 C=25.56477f
 Cpar56 77 0 C=11.97756f
 Cpar57 78 0 C=11.94228f

Cpar58 79 0 C=11.94228f
Cpar59 80 0 C=11.97756f
Cpar60 81 0 C=8.16732f
Cpar61 84 0 C=56.58275f
Cpar62 85 0 C=50.42639f
Cpar63 88 0 C=107.21126f
Cpar64 90 0 C=65.224635f
Cpar65 91 0 C=57.05315f
Cpar66 93 0 C=64.94019f
Cpar67 94 0 C=45.787989f
Cpar68 U11/U5/in19 0 C=13.39758f
Cpar69 96 0 C=9.00522f
Cpar70 U11/U5/in18 0 C=12.99186f
Cpar71 98 0 C=9.00522f
Cpar72 U11/U5/in17 0 C=12.58614f
Cpar73 100 0 C=9.00522f
Cpar74 104 0 C=11.97756f
Cpar75 105 0 C=19.08648f
Cpar76 106 0 C=11.94228f
Cpar77 107 0 C=11.97756f
Cpar78 U11/U5/l20 0 C=19.69065f
Cpar79 109 0 C=11.94228f
Cpar80 110 0 C=8.16732f
Cpar81 111 0 C=8.16732f
Cpar82 114 0 C=49.2793f
Cpar83 115 0 C=47.08753f
Cpar84 b8 0 C=11.95992f
Cpar85 118 0 C=44.360741f
Cpar86 U6/U5/in18 0 C=12.99186f
Cpar87 120 0 C=9.00522f
Cpar88 U6/U5/in17 0 C=12.58614f
Cpar89 122 0 C=9.00522f
Cpar90 126 0 C=11.97756f
Cpar91 127 0 C=11.94228f
Cpar92 128 0 C=11.97756f
Cpar93 129 0 C=11.94228f
Cpar94 130 0 C=8.16732f
Cpar95 131 0 C=8.16732f
Cpar96 134 0 C=57.97876f
Cpar97 135 0 C=52.27663f
Cpar98 U11/U5/in21 0 C=14.20902f
Cpar99 138 0 C=9.00522f
Cpar100 U11/U5/in20 0 C=13.8033f
Cpar101 140 0 C=9.00522f
Cpar102 143 0 C=11.97756f
Cpar103 144 0 C=18.86157f
Cpar104 145 0 C=11.94228f
Cpar105 146 0 C=8.16732f
Cpar106 147 0 C=8.16732f
Cpar107 149 0 C=39.48224f
Cpar108 150 0 C=37.06997f
Cpar109 151 0 C=45.508597f
Cpar110 152 0 C=45.787989f
Cpar111 U6/U5/in20 0 C=13.8033f
Cpar112 154 0 C=9.00522f
Cpar113 U6/U5/in19 0 C=13.39758f
Cpar114 156 0 C=9.00522f
Cpar115 U6/U5/l18 0 C=24.09183f
Cpar116 U6/U5/l19 0 C=20.67849f

Cpar117 U6/U5/I20 0 C=19.845f
Cpar118 162 0 C=11.97756f
Cpar119 163 0 C=11.94228f
Cpar120 164 0 C=8.16732f
Cpar121 165 0 C=8.16732f
Cpar122 167 0 C=60.83595f
Cpar123 168 0 C=70.3542f
Cpar124 169 0 C=57.66957f
Cpar125 170 0 C=66.6057f
Cpar126 172 0 C=108.46811f
Cpar127 173 0 C=57.05315f
Cpar128 174 0 C=65.439622f
Cpar129 175 0 C=64.94019f
Cpar130 176 0 C=43.811635f
Cpar131 U11/U5/in24 0 C=15.42618f
Cpar132 178 0 C=9.00522f
Cpar133 U11/U5/in23 0 C=15.02046f
Cpar134 180 0 C=9.00522f
Cpar135 U11/U5/in22 0 C=14.61474f
Cpar136 182 0 C=9.00522f
Cpar137 186 0 C=19.00269f
Cpar138 187 0 C=11.97756f
Cpar139 188 0 C=19.1394f
Cpar140 189 0 C=11.94228f
Cpar141 190 0 C=8.16732f
Cpar142 191 0 C=11.97756f
Cpar143 194 0 C=11.94228f
Cpar144 195 0 C=27.30231f
Cpar145 196 0 C=32.07687f
Cpar146 197 0 C=23.39505f
Cpar147 198 0 C=29.05161f
Cpar148 Vin 0 C=49.263804f
Cpar149 vss 0 C=651.99816f
Cpar150 201 0 C=43.811635f
Cpar151 U6/U5/in28 0 C=17.04906f
Cpar152 U6/U5/in23 0 C=15.02046f
Cpar153 204 0 C=9.00522f
Cpar154 U6/U5/in22 0 C=14.61474f
Cpar155 206 0 C=9.00522f
Cpar156 U6/U5/in21 0 C=14.20902f
Cpar157 208 0 C=19.97289f
Cpar158 210 0 C=9.00522f
Cpar159 213 0 C=20.13165f
Cpar160 214 0 C=19.62009f
Cpar161 215 0 C=11.97756f
Cpar162 216 0 C=11.94228f
Cpar163 217 0 C=11.94228f
Cpar164 218 0 C=11.97756f
Cpar165 219 0 C=8.16732f
Cpar166 222 0 C=63.01253f
Cpar167 223 0 C=59.53745f
Cpar168 U11/U5/in26 0 C=16.23762f
Cpar169 225 0 C=9.00522f
Cpar170 U11/U5/in25 0 C=15.8319f
Cpar171 227 0 C=9.00522f
Cpar172 230 0 C=11.97756f
Cpar173 231 0 C=17.67969f
Cpar174 232 0 C=11.94228f
Cpar175 233 0 C=11.97756f

Cpar176 234 0 C=17.92665f
Cpar177 235 0 C=11.94228f
Cpar178 236 0 C=8.16732f
Cpar179 237 0 C=8.16732f
Cpar180 240 0 C=26.906635f
Cpar181 241 0 C=22.615705f
Cpar182 U6/U5/in25 0 C=15.8319f
Cpar183 243 0 C=9.00522f
Cpar184 U6/U5/in24 0 C=15.42618f
Cpar185 245 0 C=9.00522f
Cpar186 248 0 C=19.35549f
Cpar187 249 0 C=19.04238f
Cpar188 250 0 C=11.97756f
Cpar189 251 0 C=11.94228f
Cpar190 252 0 C=11.97756f
Cpar191 253 0 C=11.94228f
Cpar192 254 0 C=8.16732f
Cpar193 255 0 C=8.16732f
Cpar194 258 0 C=65.52329f
Cpar195 259 0 C=61.58075f
Cpar196 U11/U5/in29 0 C=17.45478f
Cpar197 261 0 C=9.00522f
Cpar198 U11/U5/in28 0 C=17.04906f
Cpar199 263 0 C=9.00522f
Cpar200 U11/U5/in27 0 C=16.64334f
Cpar201 265 0 C=9.00522f
Cpar202 269 0 C=11.97756f
Cpar203 270 0 C=17.23869f
Cpar204 271 0 C=11.94228f
Cpar205 272 0 C=8.16732f
Cpar206 273 0 C=8.16732f
Cpar207 275 0 C=27.401657f
Cpar208 276 0 C=24.129437f
Cpar209 277 0 C=9.00522f
Cpar210 U6/U5/in27 0 C=16.64334f
Cpar211 279 0 C=9.00522f
Cpar212 U6/U5/in26 0 C=16.23762f
Cpar213 281 0 C=18.59697f
Cpar214 283 0 C=9.00522f
Cpar215 286 0 C=11.97756f
Cpar216 287 0 C=11.94228f
Cpar217 288 0 C=8.16732f
Cpar218 289 0 C=8.16732f
Cpar219 291 0 C=68.45741f
Cpar220 292 0 C=64.87649f
Cpar221 U11/U5/in31 0 C=18.26622f
Cpar222 294 0 C=9.00522f
Cpar223 U11/U5/in30 0 C=17.8605f
Cpar224 296 0 C=9.00522f
Cpar225 299 0 C=11.97756f
Cpar226 300 0 C=17.78553f
Cpar227 301 0 C=11.94228f
Cpar228 302 0 C=8.16732f
Cpar229 303 0 C=11.97756f
Cpar230 306 0 C=11.94228f
Cpar231 307 0 C=17.64441f
Cpar232 308 0 C=42.55111f
Cpar233 309 0 C=38.9305f
Cpar234 U6/U5/in30 0 C=17.8605f

Cpar235 311 0 C=9.00522f
 Cpar236 U6/U5/in29 0 C=17.45478f
 Cpar237 313 0 C=9.00522f
 Cpar238 316 0 C=19.30257f
 Cpar239 317 0 C=18.94977f
 Cpar240 318 0 C=11.97756f
 Cpar241 319 0 C=11.94228f
 Cpar242 320 0 C=11.94228f
 Cpar243 321 0 C=11.97756f
 Cpar244 322 0 C=8.16732f
 Cpar245 325 0 C=80.92301f
 Cpar246 326 0 C=77.20538f
 Cpar247 327 0 C=11.97756f
 Cpar248 328 0 C=15.50997f
 Cpar249 329 0 C=11.94228f
 Cpar250 330 0 C=11.97756f
 Cpar251 331 0 C=17.89137f
 Cpar252 332 0 C=11.94228f
 Cpar253 333 0 C=8.16732f
 Cpar254 334 0 C=8.16732f
 Cpar255 337 0 C=32.075767f
 Cpar256 338 0 C=37.21158f
 Cpar257 339 0 C=41.76711f
 Cpar258 340 0 C=27.701047f
 Cpar259 U6/U5/in31 0 C=18.26622f
 Cpar260 342 0 C=18.4779f
 Cpar261 344 0 C=9.00522f
 Cpar262 345 0 C=20.81079f
 Cpar263 346 0 C=20.28159f
 Cpar264 347 0 C=11.97756f
 Cpar265 348 0 C=11.94228f
 Cpar266 349 0 C=11.97756f
 Cpar267 350 0 C=11.94228f
 Cpar268 351 0 C=8.16732f
 Cpar269 352 0 C=8.16732f
 Cpar270 355 0 C=92.52768f
 Cpar271 356 0 C=87.69432f
 Cpar272 357 0 C=29.642305f
 Cpar273 358 0 C=24.826585f
 Cpar274 359 0 C=11.97756f
 Cpar275 360 0 C=11.94228f
 Cpar276 361 0 C=8.16732f
 Cpar277 363 0 C=81.53551f
 Cpar278 365 0 C=74.67355f
 Cpar279 366 0 C=27.19157f
 Cpar280 367 0 C=23.29117f
 Cpar281 368 0 C=28.45969f
 Cpar282 369 0 C=93.3842f
 Cpar283 370 0 C=87.72176f
 Cpar284 371 0 C=51.2099f
 Cpar285 372 0 C=46.54412f
 Cpar286 373 0 C=90.82297f
 Cpar287 374 0 C=83.81989f
 Cpar288 375 0 C=110.19879f
 Cpar289 377 0 C=101.74482f
 M_U6/M3 1 2 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
 M_U6/M1 Vdd 2 1 Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
 M_U6/M7 Vdd 2 1 Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
 M_U6/M8 1 2 Vdd Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u

M_U6/M4 Vdd 3 2 Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M_U6/M2 2 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M5 2 3 Vdd Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M_U6/M6 2 3 Vdd Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
R_U9/R13 3 gnd R=55.9
M_U9/M14 7 5 3 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M_U9/M12 3 5 7 gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=9.8p PS=9.8u
M_U9/M11 7 5 3 gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=9.8p PS=9.8u
M_U9/M10 3 5 7 gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M_U9/M9 7 6 4 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M_U9/M8 4 6 7 gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=9.8p PS=9.8u
M_U9/M7 7 6 4 gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=9.8p PS=9.8u
M_U9/M4 Vdd Vdd 3 Vdd PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U9/M3 3 Vdd Vdd Vdd PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M_U9/M2 Vdd Vdd 4 Vdd PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U9/M6 7 6 4 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M_U10/M11 gnd vbias 12 gnd NMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U10/M1 20 8 gnd gnd NMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U10/M2 gnd 11 8 gnd NMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U10/M3 gnd 11 9 gnd NMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U9/M1 Vdd Vdd 4 Vdd PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U10/M6 8 10 19 18 PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U10/M7 9 10 17 18 PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M1 vbias 23 22 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M2 22 23 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M_U10/M4 19 20 21 18 PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=3.675p PS=5.6u
M_U10/M5 21 gnd 17 18 PMOS L=700n W=3.5u AD=3.675p PD=5.6u AS=8.575p PS=11.9u
M_U10/M8 20 13 15 18 PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=7.9625p PS=8.05u
M_U10/M9 15 13 14 18 PMOS L=700n W=3.5u AD=7.9625p PD=8.05u AS=3.675p PS=5.6u
M_U10/M10 14 13 12 18 PMOS L=700n W=3.5u AD=3.675p PD=5.6u AS=8.575p PS=11.9u
M3 gnd 23 22 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M4 22 23 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M5 vbias 23 22 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M6 22 23 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M7 vbias 23 22 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M8 22 23 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M9 vbias 23 22 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M10 22 23 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M11 vbias 25 26 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M12 26 25 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M13 26 25 gnd gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=17.15p PS=18.9u
M14 gnd 27 25 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M15 26 25 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M16 26 25 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M17 25 27 Vdd Vdd PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M18 Vdd 27 25 Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M19 gnd b1 27 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M20 27 b1 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M21 gnd 27 25 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M22 27 b1 Vdd Vdd PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M23 Vdd b1 27 Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M24 27 b1 Vdd Vdd PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M25 Vdd 27 25 Vdd PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M_U11/U5/M27 b1 176 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M28 b2 58 Vdd 30 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u

M_U11/U5/M29 b1 176 Vdd 29 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/M1 176 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U11/M2 58 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U11/M3 Vdd gnd 59 Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U11/M4 94 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U11/U0/M139 U11/U5/I17 31 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M140 33 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M143 31 clk 36 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M144 36 37 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M129 U11/U5/I18 64 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M130 67 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M131 U11/U5/I17 31 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M132 33 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M133 64 67 35 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M134 35 70 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M135 31 33 34 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M136 34 37 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U4/U2/M9 37 38 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U4/U2/M1 37 38 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U2/M2 37 38 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U2/M3 Vdd 38 37 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U2/M4 37 38 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U2/M10 38 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U4/U2/M5 38 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U2/M6 38 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U2/M7 Vdd Vin 38 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U2/M8 38 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U6/U5/M27 b5 201 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M29 b5 201 Vdd 41 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/M9 201 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U6/M10 Vdd gnd 118 Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U6/M11 151 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U6/M12 152 gnd Vdd Vdd PMOS L=1.75u W=7u AD=14.7p PD=18.2u AS=14.7p PS=18.2u
M_U6/U0/M131 U6/U5/I17 80 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M132 79 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M135 80 79 42 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M136 42 1 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M17 43 44 vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U6/M13 43 44 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U6/M14 43 44 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M15 Vdd 44 43 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M22 43 44 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U6/M18 44 3 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u

M_U6/M19 44 3 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M16 44 3 vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U6/M20 44 3 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M21 44 3 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U9/M5 gnd vbias 7 gnd NMOS L=3.5u W=7u AD=17.15p PD=18.9u AS=17.15p PS=18.9u
R1 45 20 R=400.4
R2 46 45 R=200.2
R3 22 45 R=400.4
R4 47 46 R=400.4
M26 vbias 48 47 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M27 47 48 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M28 gnd 48 47 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M29 47 48 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M30 vbias 48 47 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M31 47 48 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M32 vbias 48 47 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M33 47 48 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M34 vbias 48 47 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M35 47 48 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M36 vbias 49 50 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M37 50 49 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M38 50 49 gnd gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=17.15p PS=18.9u
M39 gnd 52 49 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M40 49 52 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M41 50 49 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M42 50 49 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M43 49 52 Vdd 51 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M44 Vdd 52 49 51 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M45 49 52 Vdd 51 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M46 gnd b2 52 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M47 52 b2 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M48 52 b2 Vdd 51 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M49 Vdd b2 52 51 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M50 52 b2 Vdd 51 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M_U11/U5/M45 b4 94 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M46 b3 59 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M47 b2 58 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M112 gnd U11/U5/in18 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M113 gnd U11/U5/in17 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M114 gnd U11/U5/in17 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M55 b4 94 Vdd 56 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U5/M56 b3 59 Vdd 55 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U5/M119 gnd U11/U5/in18 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M120 gnd U11/U5/in18 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M121 gnd U11/U5/in17 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M122 gnd U11/U5/in17 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M127 U11/U5/in17 100 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M128 100 U11/U5/i17 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U0/M153 U11/U5/i19 60 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u

M_U11/U0/M154 62 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M137 U11/U5/I18 64 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M138 67 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M155 60 clk 66 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M156 66 114 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M141 64 clk 65 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M142 65 70 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M147 U11/U5/I19 60 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M148 62 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M151 60 62 63 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M152 63 114 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U4/U1/M2 70 71 vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U4/U1/M6 Vdd 71 70 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U1/M7 Vdd 71 70 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U1/M8 70 71 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U1/M1 71 Vin vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U4/U1/M3 Vdd Vin 71 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U1/M4 Vdd Vin 71 Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=21.07p PS=17.85u
M_U11/U4/U1/M5 71 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U6/U5/M46 b7 151 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M47 b6 118 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M56 b7 151 Vdd 75 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U5/M28 b6 118 Vdd 74 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M137 U6/U5/I18 77 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M139 U6/U5/I17 80 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M129 U6/U5/I18 77 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M138 78 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M140 79 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M141 77 clk 83 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M142 83 43 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M143 80 clk 82 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M144 82 1 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M130 78 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M133 77 78 81 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M134 81 43 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M24 84 85 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M27 84 85 Vdd Vdd PMOS L=700n W=16.45u AD=23.03p PD=19.25u AS=40.3025p PS=37.8u
M_U6/M28 84 85 Vdd Vdd PMOS L=700n W=16.45u AD=23.03p PD=19.25u AS=40.3025p PS=37.8u
M_U6/M25 Vdd 3 85 Vdd PMOS L=700n W=16.45u AD=40.3025p PD=37.8u AS=23.03p PS=19.25u
M_U6/M23 85 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M26 85 3 Vdd Vdd PMOS L=700n W=16.45u AD=23.03p PD=19.25u AS=40.3025p PS=37.8u

R5 86 88 R=400.4
 R6 87 86 R=200.2
 R7 86 46 R=200.2
 R8 172 87 R=400.4
 M51 vbias 89 88 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
 M52 88 89 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M53 gnd 89 88 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
 M54 88 89 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
 M55 vbias 89 88 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M56 88 89 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M57 vbias 89 88 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M58 88 89 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M59 vbias 89 88 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M60 88 89 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
 M61 vbias 90 91 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
 M62 91 90 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M63 vbias 90 91 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
 M64 91 90 gnd gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=17.15p PS=18.9u
 M65 90 93 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
 M66 90 93 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
 M67 91 90 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
 M68 90 93 Vdd 92 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
 M69 Vdd 93 90 92 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
 M70 90 93 Vdd 92 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
 M71 93 b3 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
 M72 93 b3 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
 M73 93 b3 Vdd 92 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
 M74 Vdd b3 93 92 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
 M75 93 b3 Vdd 92 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
 M_U11/U5/M137 gnd U11/U5/in23 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M138 gnd U11/U5/in22 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M139 gnd U11/U5/in21 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M140 gnd U11/U5/in21 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M141 gnd U11/U5/in19 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M142 gnd U11/U5/in24 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M143 gnd U11/U5/in23 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M144 gnd U11/U5/in22 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M145 gnd U11/U5/in21 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M146 gnd U11/U5/in20 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M147 gnd U11/U5/in20 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M148 gnd U11/U5/in19 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M149 gnd U11/U5/in19 94 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
 M_U11/U5/M150 96 U11/U5/i19 U11/U5/i18 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
 M_U11/U5/M151 U11/U5/in19 96 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u

M_U11/U5/M152 98 U11/U5/I18 U11/U5/I17 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M153 U11/U5/in18 98 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M154 96 U11/U5/I19 Vdd 103 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M155 U11/U5/in19 96 Vdd 103 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M156 98 U11/U5/I18 Vdd 102 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M157 U11/U5/in18 98 Vdd 102 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M158 100 U11/U5/I17 Vdd 101 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M159 U11/U5/in17 100 Vdd 101 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M161 105 104 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M162 106 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M163 U11/U5/I20 107 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M164 109 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M165 104 clk 113 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M166 113 196 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M167 107 clk 112 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M168 112 149 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M157 105 104 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M158 106 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M145 U11/U5/I20 107 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M146 109 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M159 104 106 111 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M160 111 196 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M149 107 109 110 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M150 110 149 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U4/U0/M2 114 115 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U4/U3/M1 Vdd 150 149 Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=7.84p PS=8.4u
M_U11/U4/U3/M2 149 150 Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=7.84p PS=8.4u
M_U11/U4/U3/M9 Vdd 150 149 Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=7.84p PS=8.4u
M_U11/U4/U3/M10 149 150 Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U4/U0/M5 114 115 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U0/M6 114 115 Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U0/M1 115 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U4/U3/M5 Vdd Vin 150 Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=7.84p PS=8.4u

M_U11/U4/U3/M6 150 Vin Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=7.84p PS=8.4u
M_U11/U4/U3/M7 Vdd Vin 150 Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=7.84p PS=8.4u
M_U11/U4/U3/M8 150 Vin Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U4/U0/M3 115 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U11/U4/U0/M4 115 Vin Vdd Vdd PMOS L=700n W=15.05u AD=21.07p PD=17.85u AS=36.8725p PS=35u
M_U6/U5/M45 b8 152 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M139 gnd U6/U5/in21 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M141 gnd U6/U5/in19 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M113 gnd U6/U5/in17 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M55 b8 152 Vdd 116 PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U5/M138 gnd U6/U5/in22 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M144 gnd U6/U5/in22 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M140 gnd U6/U5/in21 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M145 gnd U6/U5/in21 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M146 gnd U6/U5/in20 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M147 gnd U6/U5/in20 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M148 gnd U6/U5/in19 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M149 gnd U6/U5/in19 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M112 gnd U6/U5/in18 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M119 gnd U6/U5/in18 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M120 gnd U6/U5/in18 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M114 gnd U6/U5/in17 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M121 gnd U6/U5/in17 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M122 gnd U6/U5/in17 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M152 120 U6/U5/i18 U6/U5/i17 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M153 U6/U5/in18 120 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M128 122 U6/U5/i17 123 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M127 U6/U5/in17 122 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M156 120 U6/U5/i18 Vdd 125 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M157 U6/U5/in18 120 Vdd 125 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u

M_U6/U5/M158 122 U6/U5/I17 Vdd 124 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M159 U6/U5/in17 122 Vdd 124 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M163 U6/U5/I20 126 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M153 U6/U5/I19 128 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M145 U6/U5/I20 126 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M147 U6/U5/I19 128 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M164 127 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M154 129 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M167 126 clk 133 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M168 133 134 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M155 128 clk 132 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M156 132 84 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M146 127 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M148 129 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M149 126 127 131 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M150 131 134 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U0/M151 128 129 130 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M152 130 84 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M32 134 135 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M29 168 170 Vdd Vdd PMOS L=700n W=11.9u AD=29.155p PD=28.7u AS=16.66p PS=14.7u
M_U6/M30 Vdd 170 168 Vdd PMOS L=700n W=11.9u AD=16.66p PD=14.7u AS=16.66p PS=14.7u
M_U6/M36 168 170 Vdd Vdd PMOS L=700n W=11.9u AD=16.66p PD=14.7u AS=29.155p PS=28.7u
M_U6/M33 170 3 Vdd Vdd PMOS L=700n W=11.9u AD=29.155p PD=28.7u AS=16.66p PS=14.7u
M_U6/M34 Vdd 3 170 Vdd PMOS L=700n W=11.9u AD=16.66p PD=14.7u AS=16.66p PS=14.7u
M_U6/M39 134 135 Vdd Vdd PMOS L=700n W=17.15u AD=24.01p PD=19.95u AS=42.0175p PS=39.2u
M_U6/M40 134 135 Vdd Vdd PMOS L=700n W=17.15u AD=24.01p PD=19.95u AS=42.0175p PS=39.2u
M_U6/M37 Vdd 3 135 Vdd PMOS L=700n W=17.15u AD=42.0175p PD=39.2u AS=24.01p PS=19.95u
M_U6/M31 135 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M35 170 3 Vdd Vdd PMOS L=700n W=11.9u AD=16.66p PD=14.7u AS=29.155p PS=28.7u
M_U6/M38 135 3 Vdd Vdd PMOS L=700n W=17.15u AD=24.01p PD=19.95u AS=42.0175p PS=39.2u
R9 gnd 87 R=400.4
M76 vbias 171 172 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M77 172 171 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M78 vbias 171 172 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M79 172 171 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M80 vbias 171 172 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M81 172 171 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M82 vbias 171 172 vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M83 172 171 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M84 vbias 174 173 vbias PMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M85 173 174 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M86 173 174 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=12.25p PS=11.55u
M87 173 174 vbias vbias PMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M88 174 175 Vdd 136 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M89 Vdd 175 174 136 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u

M90 174 175 Vdd 136 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M91 175 b4 Vdd 136 PMOS L=700n W=10.5u AD=25.725p PD=25.9u AS=14.7p PS=13.3u
M92 Vdd b4 175 136 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=14.7p PS=13.3u
M93 175 b4 Vdd 136 PMOS L=700n W=10.5u AD=14.7p PD=13.3u AS=25.725p PS=25.9u
M_U11/U5/M160 gnd U11/U5/in30 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M161 gnd U11/U5/in29 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M162 gnd U11/U5/in29 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M163 gnd U11/U5/in27 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M164 gnd U11/U5/in26 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M165 gnd U11/U5/in25 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M166 gnd U11/U5/in25 58 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M167 gnd U11/U5/in28 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M168 gnd U11/U5/in27 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M169 gnd U11/U5/in26 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M170 gnd U11/U5/in25 59 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M171 U11/U5/in22 182 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M172 182 144 105 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M173 138 105 U11/U5/I20 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M174 U11/U5/in21 138 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M175 140 U11/U5/I20 U11/U5/I19 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M176 U11/U5/in20 140 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M177 138 105 Vdd 142 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M178 U11/U5/in21 138 Vdd 142 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M179 140 U11/U5/I20 Vdd 141 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M180 U11/U5/in20 140 Vdd 141 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M179 144 143 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M180 145 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M183 143 clk 148 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M184 148 195 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M169 186 191 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M170 194 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M171 144 143 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M172 145 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M173 191 194 147 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u

M_U11/U0/M174 147 240 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M175 143 145 146 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M176 146 195 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U1/U3/M4 149 150 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U1/U2/M5 Vdd 198 196 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U11/U1/U2/M6 196 198 Vdd Vdd PMOS L=700n W=8.4u AD=11.76p PD=11.2u AS=20.58p PS=21.7u
M_U11/U4/U3/M3 150 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U1/U2/M3 Vdd Vin 198 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U11/U1/U2/M4 198 Vin Vdd Vdd PMOS L=700n W=8.4u AD=11.76p PD=11.2u AS=20.58p PS=21.7u
M_U6/U5/M163 gnd U6/U5/in27 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M165 gnd U6/U5/in25 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M137 gnd U6/U5/in23 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M167 gnd U6/U5/in28 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M168 gnd U6/U5/in27 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M164 gnd U6/U5/in26 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M169 gnd U6/U5/in26 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M166 gnd U6/U5/in25 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M170 gnd U6/U5/in25 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M142 gnd U6/U5/in24 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M143 gnd U6/U5/in23 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M173 210 208 U6/U5/120 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M174 U6/U5/in21 210 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M175 154 U6/U5/120 U6/U5/119 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M176 U6/U5/in20 154 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M150 156 U6/U5/119 U6/U5/118 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M151 U6/U5/in19 156 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M179 154 U6/U5/120 Vdd 158 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M180 U6/U5/in20 154 Vdd 158 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M154 156 U6/U5/119 Vdd 157 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u

M_U6/U5/M155 U6/U5/in19 156 Vdd 157 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M161 208 162 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M171 214 218 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M157 208 162 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M162 163 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M165 162 clk 166 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M166 166 168 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M172 217 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M158 163 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M175 218 217 165 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M176 165 167 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U0/M159 162 163 164 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M160 164 168 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M41 167 169 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M48 168 170 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M42 Vdd 169 167 Vdd PMOS L=700n W=9.45u AD=23.1525p PD=23.8u AS=13.23p PS=12.25u
M_U6/M43 167 169 Vdd Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=13.23p PS=12.25u
M_U6/M44 Vdd 169 167 Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=13.23p PS=12.25u
M_U6/M45 167 169 Vdd Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=23.1525p PS=23.8u
M_U6/M49 Vdd 3 169 Vdd PMOS L=700n W=9.45u AD=23.1525p PD=23.8u AS=13.23p PS=12.25u
M_U6/M50 169 3 Vdd Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=13.23p PS=12.25u
M_U6/M51 Vdd 3 169 Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=13.23p PS=12.25u
M_U6/M46 169 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M47 170 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M52 169 3 Vdd Vdd PMOS L=700n W=9.45u AD=13.23p PD=12.25u AS=23.1525p PS=23.8u
M94 gnd 171 172 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M95 172 171 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M96 173 174 gnd gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=17.15p PS=18.9u
M97 gnd 175 174 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M98 174 175 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M99 gnd b4 175 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M100 175 b4 gnd gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M_U11/U5/M181 gnd U11/U5/in31 176 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U5/M182 178 188 186 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M183 U11/U5/in24 178 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M184 180 186 144 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M185 U11/U5/in23 180 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M186 178 188 Vdd 185 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M187 U11/U5/in24 178 Vdd 185 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M188 180 186 Vdd 184 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M189 U11/U5/in23 180 Vdd 184 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u

M_U11/U5/M190 182 144 Vdd 183 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M191 U11/U5/in22 182 Vdd 183 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M193 188 187 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M194 189 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M177 186 191 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U4/U3/M3 150 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U1/U2/M3 Vdd Vin 198 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U11/U1/U2/M4 198 Vin Vdd Vdd PMOS L=700n W=8.4u AD=11.76p PD=11.2u AS=20.58p PS=21.7u
M_U6/U5/M163 gnd U6/U5/in27 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M165 gnd U6/U5/in25 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M137 gnd U6/U5/in23 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M167 gnd U6/U5/in28 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M168 gnd U6/U5/in27 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M164 gnd U6/U5/in26 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M169 gnd U6/U5/in26 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M166 gnd U6/U5/in25 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M170 gnd U6/U5/in25 151 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M142 gnd U6/U5/in24 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M143 gnd U6/U5/in23 152 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U1/U1/M1 197 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U1/U2/M1 198 Vin vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U11/U1/U1/M3 Vdd Vin 197 Vdd PMOS L=700n W=6.3u AD=15.435p PD=17.5u AS=8.82p PS=9.1u
M_U11/U1/U1/M4 197 Vin Vdd Vdd PMOS L=700n W=6.3u AD=8.82p PD=9.1u AS=15.435p PS=17.5u
M_U6/U5/M181 gnd U6/U5/in31 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M161 gnd U6/U5/in29 201 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M160 gnd U6/U5/in30 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M162 gnd U6/U5/in29 118 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U5/M184 204 213 214 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M185 U6/U5/in23 204 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M172 206 214 208 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M171 U6/U5/in22 206 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M188 204 213 Vdd 212 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u

M_U6/U5/M189 U6/U5/in23 204 Vdd 212 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M190 206 214 Vdd 211 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M191 U6/U5/in22 206 Vdd 211 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M178 U6/U5/in21 210 Vdd 209 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M177 210 208 Vdd 209 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M177 213 215 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M179 214 218 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M169 213 215 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M178 216 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M180 217 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M181 215 clk 221 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M182 221 222 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M183 218 clk 220 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M184 220 167 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M170 216 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M173 215 216 219 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M174 219 222 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M53 222 223 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M54 Vdd 223 222 Vdd PMOS L=700n W=9.8u AD=24.01p PD=24.5u AS=13.72p PS=12.6u
M_U6/M55 222 223 Vdd Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=13.72p PS=12.6u
M_U6/M56 Vdd 223 222 Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=13.72p PS=12.6u
M_U6/M57 222 223 Vdd Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=24.01p PS=24.5u
M_U6/M59 Vdd 3 223 Vdd PMOS L=700n W=9.8u AD=24.01p PD=24.5u AS=13.72p PS=12.6u
M_U6/M60 223 3 Vdd Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=13.72p PS=12.6u
M_U6/M61 Vdd 3 223 Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=13.72p PS=12.6u
M_U6/M58 223 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M62 223 3 Vdd Vdd PMOS L=700n W=9.8u AD=13.72p PD=12.6u AS=24.01p PS=24.5u
M_U11/U5/M192 U11/U5/in27 265 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M193 265 270 231 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M194 225 231 234 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M195 U11/U5/in26 225 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M196 227 234 188 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M197 U11/U5/in25 227 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M198 225 231 Vdd 229 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M199 U11/U5/in26 225 Vdd 229 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M200 227 234 Vdd 228 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M201 U11/U5/in25 227 Vdd 228 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M201 231 230 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M202 232 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M203 234 233 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M204 235 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M205 230 clk 239 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M206 239 339 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M207 233 clk 238 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M208 238 308 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u

M_U11/U0/M197 231 230 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M198 232 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M185 234 233 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M186 235 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M199 230 232 237 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M200 237 339 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M189 233 235 236 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M190 236 308 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U1/U0/M2 240 241 vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U1/U3/M5 Vdd 276 275 Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=7.84p PS=8.4u
M_U11/U1/U3/M6 275 276 Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U1/U0/M5 240 241 Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U1/U0/M6 240 241 Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U1/U0/M1 241 Vin vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U1/U3/M3 Vdd Vin 276 Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=7.84p PS=8.4u
M_U11/U1/U3/M4 276 Vin Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U1/U0/M3 241 Vin Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U11/U1/U0/M4 241 Vin Vdd Vdd PMOS L=700n W=5.6u AD=7.84p PD=8.4u AS=13.72p PS=16.1u
M_U6/U5/M194 283 281 248 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M195 U6/U5/in26 283 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M196 243 248 249 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M197 U6/U5/in25 243 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M182 245 249 213 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M183 U6/U5/in24 245 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M200 243 248 Vdd 247 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M201 U6/U5/in25 243 Vdd 247 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M186 245 249 Vdd 246 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M187 U6/U5/in24 245 Vdd 246 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M203 248 250 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M193 249 252 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M185 248 250 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M187 249 252 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u

M_U6/U0/M204 251 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M194 253 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M207 250 clk 257 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M208 257 291 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M195 252 clk 256 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M196 256 258 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M186 251 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M188 253 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M189 250 251 255 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M190 255 291 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U0/M191 252 253 254 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M192 254 258 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U3/U3/M2 258 259 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/U3/U3/M5 258 259 Vdd Vdd PMOS L=700n W=20.65u AD=28.91p PD=23.45u AS=50.5925p PS=46.2u
M_U6/U3/U3/M6 258 259 Vdd Vdd PMOS L=700n W=20.65u AD=28.91p PD=23.45u AS=50.5925p PS=46.2u
M_U6/U3/U3/M3 Vdd 3 259 Vdd PMOS L=700n W=20.65u AD=50.5925p PD=46.2u AS=28.91p PS=23.45u
M_U6/U3/U3/M1 259 3 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/U3/U3/M4 259 3 Vdd Vdd PMOS L=700n W=20.65u AD=28.91p PD=23.45u AS=50.5925p PS=46.2u
M_U11/U5/M202 261 300 307 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M203 U11/U5/in29 261 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M204 263 307 270 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M205 U11/U5/in28 263 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M206 261 300 Vdd 268 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M207 U11/U5/in29 261 Vdd 268 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M208 263 307 Vdd 267 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M209 U11/U5/in28 263 Vdd 267 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M210 265 270 Vdd 266 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M211 U11/U5/in27 265 Vdd 266 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M219 270 269 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M220 271 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M223 269 clk 274 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M224 274 337 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M209 307 303 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M210 306 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M211 270 269 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M212 271 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M213 303 306 273 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u

M_U11/U0/M214 273 357 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M215 269 271 272 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M216 272 337 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U1/U3/M2 275 276 vss gnd NMOS L=700n W=5.95u AD=14.5775p PD=16.8u AS=14.5775p PS=16.8u

M_U11/U3/U2/M2 308 309 Vdd Vdd PMOS L=700n W=11.2u AD=27.44p PD=27.3u AS=27.44p PS=27.3u
M_U11/U1/U3/M1 276 Vin vss gnd NMOS L=700n W=5.95u AD=14.5775p PD=16.8u AS=14.5775p PS=16.8u
M_U11/U3/U2/M1 309 Vin Vdd Vdd PMOS L=700n W=11.2u AD=27.44p PD=27.3u AS=27.44p PS=27.3u
M_U6/U5/M204 277 316 317 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M205 U6/U5/in28 277 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M193 279 317 281 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M192 U6/U5/in27 279 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M208 277 316 Vdd 285 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M209 U6/U5/in28 277 Vdd 285 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M210 279 317 Vdd 284 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M211 U6/U5/in27 279 Vdd 284 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M199 U6/U5/in26 283 Vdd 282 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M198 283 281 Vdd 282 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M201 281 286 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M211 317 321 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M197 281 286 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M202 287 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M205 286 clk 290 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M206 290 325 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M212 320 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M198 287 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M215 321 320 289 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M216 289 355 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U0/M199 286 287 288 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M200 288 325 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M63 291 292 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M64 Vdd 292 291 Vdd PMOS L=700n W=10.85u AD=26.5825p PD=26.6u AS=15.19p PS=13.65u
M_U6/M65 291 292 Vdd Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=15.19p PS=13.65u
M_U6/M66 Vdd 292 291 Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=15.19p PS=13.65u
M_U6/M67 291 292 Vdd Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=26.5825p PS=26.6u

M_U6/M69 Vdd 364 292 Vdd PMOS L=700n W=10.85u AD=26.5825p PD=26.6u AS=15.19p PS=13.65u
M_U6/M70 292 364 Vdd Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=15.19p PS=13.65u
M_U6/M71 Vdd 364 292 Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=15.19p PS=13.65u
M_U6/M68 292 364 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M72 292 364 Vdd Vdd PMOS L=700n W=10.85u AD=15.19p PD=13.65u AS=26.5825p PS=26.6u
M_U11/U5/M212 294 328 331 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M213 U11/U5/in31 294 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M214 296 331 300 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M215 U11/U5/in30 296 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U11/U5/M216 294 328 Vdd 298 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M217 U11/U5/in31 294 Vdd 298 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M218 296 331 Vdd 297 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U5/M219 U11/U5/in30 296 Vdd 297 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U11/U0/M233 300 299 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M234 301 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M217 307 303 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M218 306 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M235 299 clk 305 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M236 305 368 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M221 303 clk 304 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M222 304 357 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M227 300 299 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M228 301 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M231 299 301 302 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M232 302 368 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U3/U2/M4 308 309 vss gnd NMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=20.58p PS=21.7u
M_U11/U3/U1/M3 Vdd 338 339 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U11/U3/U2/M3 309 Vin vss gnd NMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=20.58p PS=21.7u
M_U11/U3/U1/M7 Vdd Vin 338 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U11/U3/U1/M8 338 Vin Vdd Vdd PMOS L=700n W=8.4u AD=11.76p PD=11.2u AS=20.58p PS=21.7u
M_U11/U3/U1/M4 Vdd 338 339 Vdd PMOS L=700n W=8.4u AD=20.58p PD=21.7u AS=11.76p PS=11.2u
M_U6/U5/M212 344 342 345 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M213 U6/U5/in31 344 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M214 311 345 346 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M215 U6/U5/in30 311 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M202 313 346 316 gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u

M_U6/U5/M203 U6/U5/in29 313 gnd gnd NMOS L=700n W=2.1u AD=4.41p PD=8.4u AS=4.41p PS=8.4u
M_U6/U5/M218 311 345 Vdd 315 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M219 U6/U5/in30 311 Vdd 315 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M206 313 346 Vdd 314 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M207 U6/U5/in29 313 Vdd 314 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M217 316 318 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M219 317 321 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M209 316 318 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M218 319 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M220 320 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M221 318 clk 324 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M222 324 363 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M223 321 clk 323 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M224 323 355 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M210 319 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M213 318 319 322 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M214 322 363 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U2/U1/M5 325 326 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/U2/U1/M1 Vdd 326 325 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=22.295p PS=23.1u
M_U6/U2/U1/M2 Vdd 326 325 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M3 325 326 Vdd Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M11 Vdd 326 325 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M12 325 326 Vdd Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=22.295p PS=23.1u
M_U6/U2/U1/M6 Vdd 364 326 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=22.295p PS=23.1u
M_U6/U2/U1/M7 Vdd 364 326 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M8 326 364 Vdd Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M9 Vdd 364 326 Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=12.74p PS=11.9u
M_U6/U2/U1/M4 326 364 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/U2/U1/M10 326 364 Vdd Vdd PMOS L=700n W=9.1u AD=12.74p PD=11.9u AS=22.295p PS=23.1u
M_U11/U0/M241 328 327 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M242 329 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M243 331 330 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M244 332 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U11/U0/M245 327 clk 336 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M246 336 371 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M247 330 clk 335 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U11/U0/M248 335 366 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U11/U0/M237 328 327 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u

M_U11/U0/M238 329 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M225 331 330 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M226 332 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U11/U0/M239 327 329 334 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M240 334 371 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U0/M229 330 332 333 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U11/U0/M230 333 366 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U11/U3/U0/M2 337 340 vss gnd NMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=21.4375p PS=22.4u
M_U11/U3/U1/M1 vss 338 339 gnd NMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U11/U3/U0/M4 337 340 Vdd Vdd PMOS L=700n W=6.3u AD=15.435p PD=17.5u AS=15.435p PS=17.5u
M_U11/U3/U0/M1 340 Vin vss gnd NMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=21.4375p PS=22.4u
M_U11/U3/U1/M2 vss 338 339 gnd NMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U11/U3/U1/M6 338 Vin vss gnd NMOS L=700n W=8.75u AD=12.25p PD=11.55u AS=21.4375p PS=22.4u
M_U11/U3/U1/M5 vss Vin 338 gnd NMOS L=700n W=8.75u AD=21.4375p PD=22.4u AS=12.25p PS=11.55u
M_U11/U3/U0/M3 340 Vin Vdd Vdd PMOS L=700n W=6.3u AD=15.435p PD=17.5u AS=15.435p PS=17.5u
M_U6/U5/M217 U6/U5/in31 344 Vdd 343 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U5/M216 344 342 Vdd 343 PMOS L=700n W=3.15u AD=6.615p PD=10.5u AS=6.615p PS=10.5u
M_U6/U0/M243 345 347 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M233 346 349 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M225 345 347 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M227 346 349 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M244 348 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M234 350 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M247 347 clk 354 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M248 354 373 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M235 349 clk 353 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M236 353 369 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M226 348 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M228 350 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M229 347 348 352 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M230 352 373 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/U0/M231 349 350 351 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M232 351 369 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M76 355 356 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M73 Vdd 356 355 Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=39.445p PS=37.1u
M_U6/M74 Vdd 356 355 Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=22.54p PS=18.9u

M_U6/M80 355 356 Vdd Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=39.445p PS=37.1u
M_U6/M77 Vdd 364 356 Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=39.445p PS=37.1u
M_U6/M78 Vdd 364 356 Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=22.54p PS=18.9u
M_U6/M75 356 364 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M79 356 364 Vdd Vdd PMOS L=700n W=16.1u AD=22.54p PD=18.9u AS=39.445p PS=37.1u
M_U11/U3/U3/M1 357 358 vss gnd NMOS L=700n W=9.1u AD=22.295p PD=23.1u AS=22.295p PS=23.1u
M_U11/U3/U3/M3 357 358 Vdd Vdd PMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u

M_U11/U3/U3/M2 358 Vin vss gnd NMOS L=700n W=9.1u AD=22.295p PD=23.1u AS=22.295p PS=23.1u
M_U11/U2/U1/M1 367 Vin Vdd Vdd PMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U2/U1/M2 368 367 Vdd Vdd PMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U11/U3/U3/M4 358 Vin Vdd Vdd PMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p PS=14.7u
M_U6/U0/M241 342 359 gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M237 342 359 Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M242 360 clk gnd gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=5.88p PS=9.8u
M_U6/U0/M245 359 clk 362 gnd NMOS L=700n W=2.8u AD=5.88p PD=9.8u AS=2.94p PS=4.9u
M_U6/U0/M246 362 375 gnd gnd NMOS L=700n W=2.8u AD=2.94p PD=4.9u AS=5.88p PS=9.8u
M_U6/U0/M238 360 clk Vdd Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=8.82p PS=12.6u
M_U6/U0/M239 359 360 361 Vdd PMOS L=700n W=4.2u AD=8.82p PD=12.6u AS=4.41p PS=6.3u
M_U6/U0/M240 361 375 Vdd Vdd PMOS L=700n W=4.2u AD=4.41p PD=6.3u AS=8.82p PS=12.6u
M_U6/M82 363 365 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M85 363 365 Vdd Vdd PMOS L=700n W=25.55u AD=35.77p PD=28.35u AS=62.5975p PS=56u
M_U6/M86 363 365 Vdd Vdd PMOS L=700n W=25.55u AD=35.77p PD=28.35u AS=62.5975p PS=56u
M_U6/M83 Vdd 364 365 Vdd PMOS L=700n W=25.55u AD=62.5975p PD=56u AS=35.77p PS=28.35u
M_U6/M81 365 364 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M84 365 364 Vdd Vdd PMOS L=700n W=25.55u AD=35.77p PD=28.35u AS=62.5975p PS=56u
M_U11/U2/U0/M1 vss Vin 366 gnd NMOS L=700n W=7.7u AD=18.865p PD=20.3u AS=10.78p PS=10.5u
M_U11/U2/U0/M2 366 Vin vss gnd NMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U11/U2/U0/M3 vss Vin Vin gnd NMOS L=700n W=7.7u AD=18.865p PD=20.3u AS=10.78p PS=10.5u
M_U11/U2/U0/M4 Vin Vin vss gnd NMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U11/U2/U1/M3 vss Vin 367 gnd NMOS L=700n W=7u AD=17.15p PD=18.9u AS=9.8p PS=9.8u
M_U11/U2/U1/M4 367 Vin vss gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M_U11/U2/U1/M5 368 367 vss gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M_U11/U2/U1/M6 368 367 vss gnd NMOS L=700n W=7u AD=9.8p PD=9.8u AS=17.15p PS=18.9u
M_U11/U2/U0/M5 366 Vin Vdd Vdd PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U11/U2/U0/M6 Vin Vin Vdd Vdd PMOS L=700n W=3.5u AD=8.575p PD=11.9u AS=8.575p PS=11.9u
M_U6/M92 Vdd 370 369 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U6/M93 Vdd 370 369 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u

M_U6/M94 369 370 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M95 Vdd 370 369 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M87 369 370 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M88 Vdd 374 373 Vdd PMOS L=700n W=14.35u AD=35.1575p PD=33.6u AS=20.09p
PS=17.15u
M_U6/M89 373 374 Vdd Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=20.09p
PS=17.15u
M_U6/M90 Vdd 374 373 Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=20.09p
PS=17.15u
M_U6/M91 373 374 Vdd Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=35.1575p
PS=33.6u
M_U6/M102 Vdd 376 374 Vdd PMOS L=700n W=14.35u AD=35.1575p PD=33.6u AS=20.09p
PS=17.15u
M_U6/M103 374 376 Vdd Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=20.09p
PS=17.15u
M_U6/M104 Vdd 376 374 Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=20.09p
PS=17.15u
M_U6/M96 369 370 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M97 Vdd 370 369 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M98 369 370 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U6/M99 Vdd 376 370 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p PS=20.3u
M_U6/M100 Vdd 376 370 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M106 370 376 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M107 Vdd 376 370 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M108 370 376 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M109 Vdd 376 370 Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=10.78p PS=10.5u
M_U6/M101 370 376 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M105 374 376 Vdd Vdd PMOS L=700n W=14.35u AD=20.09p PD=17.15u AS=35.1575p
PS=33.6u
M_U6/M110 370 376 Vdd Vdd PMOS L=700n W=7.7u AD=10.78p PD=10.5u AS=18.865p
PS=20.3u
M_U11/U2/U2/M1 vss 372 371 gnd NMOS L=700n W=10.15u AD=24.8675p PD=25.2u AS=14.21p
PS=12.95u
M_U11/U2/U2/M8 371 372 vss gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u AS=14.21p
PS=12.95u
M_U11/U2/U2/M9 vss 372 371 gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u AS=14.21p
PS=12.95u
M_U11/U2/U2/M10 371 372 vss gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u
AS=24.8675p PS=25.2u
M_U11/U2/U2/M3 371 372 Vdd Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=13.72p
PS=16.1u
M_U11/U2/U2/M4 vss Vin 372 gnd NMOS L=700n W=10.15u AD=24.8675p PD=25.2u AS=14.21p
PS=12.95u
M_U11/U2/U2/M5 372 Vin vss gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u AS=14.21p
PS=12.95u
M_U11/U2/U2/M6 vss Vin 372 gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u AS=14.21p
PS=12.95u
M_U11/U2/U2/M7 372 Vin vss gnd NMOS L=700n W=10.15u AD=14.21p PD=12.95u
AS=24.8675p PS=25.2u
M_U11/U2/U2/M2 372 Vin Vdd Vdd PMOS L=700n W=5.6u AD=13.72p PD=16.1u AS=13.72p
PS=16.1u
M_U6/M111 373 374 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M112 374 376 vss gnd NMOS L=700n W=4.2u AD=10.29p PD=13.3u AS=10.29p PS=13.3u
M_U6/M114 375 377 vss gnd NMOS L=700n W=4.9u AD=12.005p PD=14.7u AS=12.005p
PS=14.7u
M_U6/M117 375 377 Vdd Vdd PMOS L=700n W=35.35u AD=49.49p PD=38.15u AS=86.6075p
PS=75.6u
M_U6/M118 375 377 Vdd Vdd PMOS L=700n W=35.35u AD=49.49p PD=38.15u AS=86.6075p
PS=75.6u

*COMMENTS: Delta L varies with design technology as a result of the different mask biases applied for each technology. Please adjust the delta L in this report to reflect the actual design technology of your submission.

Design Technology	Delta L
SCN_SUBM (lambda=0.3).	CMOSH,
HP_CMOS14TB	no adjustment
SCN (lambda=0.35)	add 0.1 um

*FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
* Vth	Poly	>15.0	<-15.0	Volts

*PROCESS PARAMETERS	N+DIFF	P+DIFF	POLY	METAL1	METAL2	METAL3	UNITS
* Sheet Resistance	2.1	2.0	1.9	0.07	0.07	0.03	ohms/sq
* Width Variation	-0.36	-0.29	-0.04	0.16	-0.04	-0.30	microns
* (measured - drawn)							
* Contact Resistance	2.3	2.2	2.2	0.82	0.87		ohms
* Gate Oxide Thickness	94						angstroms

*CAPACITANCE PARAMETERS	N+DIFF	P+DIFF	POLY	METAL1	METAL2	METAL3	UNITS
* Area (substrate)	546	929	92	47	15	11	aF/um^2
* Area (poly)				59	18	11	aF/um^2
* Area (metal1)					37	14	aF/um^2
* Area (metal2)						33	aF/um^2
* Area (N+active)			3684				aF/um^2
* Area (P+active)			3500				aF/um^2
* Fringe (substrate)	195	234					aF/um
* Fringe (N+active)			105				aF/um

* N5BO SPICE LEVEL3 PARAMETERS

```
.MODEL NMOS NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1
+ VTO=0.6566 DELTA=6.9100E-01 LD=4.7290E-08 KP=1.9647E-04
+ UO=546.2 THETA=2.6840E-01 RSH=3.5120E+01 GAMMA=0.5976
+ NSUB=1.3920E+17 NFS=5.9090E+11 VMAX=2.0080E+05 ETA=3.7180E-02
+ KAPPA=2.8980E-02 CGDO=3.0515E-10 CGSO=3.0515E-10
+ CGBO=4.0239E-10 CJ=5.62E-04 MJ=0.559 CJSW=5.00E-11
+ MJSW=0.521 PB=0.99
```

* Weff = Wdrawn - Delta_W

* The suggested Delta_W is 4.1080E-07

```
.MODEL PMOS PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
+ VTO=-0.9213 DELTA=2.8750E-01 LD=3.5070E-08 KP=4.8740E-05
+ UO=135.5 THETA=1.8070E-01 RSH=1.1000E-01 GAMMA=0.4673
+ NSUB=8.5120E+16 NFS=6.5000E+11 VMAX=2.5420E+05 ETA=2.4500E-02
+ KAPPA=7.9580E+00 CGDO=2.3922E-10 CGSO=2.3922E-10
+ CGBO=3.7579E-10 CJ=9.35E-04 MJ=0.468 CJSW=2.89E-10
+ MJSW=0.505 PB=0.99
```

* Weff = Wdrawn - Delta_W

* The suggested Delta_W is 3.6220E-07.

ÖZGEÇMİŞ

1977’de Ankara’da doğdu. İlk,orta ve lise öğrenimini Ankara’da tamamladı. Lisans eğitimini Kocaeli Üniversitesi, Mühendislik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümünde tamamladı. 2000 yılında girmiş olduğu Kocaeli Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Yüksek Lisans Programından 2003 yılı itibariyle mezun olacak durumdadır.

Aynı zamanda 2000 yılından itibaren Kocaeli Üniversitesi, Mühendislik Fakültesi, Elektronik ve Haberleşme Bölümü, Devreler ve Sistemler A.B.D’de Arş.Gör. olarak çalışmaktadır.