

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YENİLENEBİLİR ENERJİ SİSTEMLERİ İÇİN
ÇOK SEVİYELİ BİR EVİRİCİNİN GERÇEKLEŞTİRİLMESİ**

YÜKSEK LİSANS TEZİ

Cem KÖSEOĞLU

Elektrik Mühendisliği Anabilim Dalı

Elektrik Mühendisliği Programı

OCAK 2014

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YENİLENEBİLİR ENERJİ SİSTEMLERİ İÇİN
ÇOK SEVİYELİ BİR EVİRİCİNİN GERÇEKLEŞTİRİLMESİ**

YÜKSEK LİSANS TEZİ

**Cem KÖSEOĞLU
504101008**

Elektrik Mühendisliği Anabilim Dalı

Elektrik Mühendisliği Programı

Tez Danışmanı: Yrd. Doç. Dr. Deniz YILDIRIM

Teslim Tarihi: 7 Şubat 2014

İTÜ, Fen Bilimleri Enstitüsü'nün 504101008 numaralı Yüksek Lisans Öğrencisi **Cem KÖSEOĞLU**, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı **“YENİLENEBİLİR ENERJİ SİSTEMLERİ İÇİN ÇOK SEVİYELİ BİR EVİRİCİ GERÇEKLEŞTİRİLMESİ”** başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Yrd. Doç. Dr. Deniz YILDIRIM**
İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Doç. Dr. Özgür ÜSTÜN**
İstanbul Teknik Üniversitesi

Doç. Dr. A. Faruk BAKAN
Yıldız Teknik Üniversitesi

Teslim Tarihi : **13 Aralık 2013**
Savunma Tarihi : **21 Ocak 2014**

Aileme,

ÖNSÖZ

Yüksek lisans eğitimim ve tez çalışmam süresince bana her türlü desteği vererek, gerek ders içi gerek ders dışı çalışmalarda bilgi birikimini benimle paylaşan danışmanım Yrd. Doç. Dr. Deniz YILDIRIM'a, tecrübe ve bilgilerinden yararlandığım, tez çalışmam süresince benden desteklerini esirgemeyen Baran Elektronik Sistemleri firmasından Ahmet ÇABRİ, Ertuğrul ERASLAN, Hüseyin KOCABAY beylere ve İTÜ Elektrik Mühendisliği Bölümü Araş. Gör. Furkan BAŞKURT'a teşekkürü borç bilirim. Ayrıca eğitim hayatım boyunca bana her türlü maddi ve manevi desteği sağlayan başta anne ve babam olmak üzere tüm aileme teşekkürlerimi sunuyorum.

Ocak 2014

Cem KÖSEOĞLU

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	vii
İÇİNDEKİLER	ix
KISALTMALAR	xi
ÇİZELGE LİSTESİ.....	xiii
ŞEKİL LİSTESİ.....	xv
SEMBOL LİSTESİ	xix
ÖZET.....	xxiii
SUMMARY	xxv
1. GİRİŞ	1
1.1 Yenilenebilir Enerji Sistemleri	1
1.2 Tez Çalışmasının Amacı ve Kapsamı	5
2. EVİRİCİ YAPILARI	7
2.1 Bir Fazlı ve Üç Fazlı Tam Köprü Eviriciler	8
2.2 Çok Seviyeli Eviriciler	13
2.3 Evirici Modülasyon Yöntemleri	23
3. ÜÇ FAZLI ÜÇ SEVİYELİ DİYOT KENETLEMELİ EVİRİCİ.....	31
3.1 Kontrol Algoritması	31
3.2 Üç Seviyeli Sinüzoidal Darbe Genişlik Modülasyonu	37
3.2.1 Ölü zaman ve modülasyon indeksi	40
3.3 Eviricinin Şebeke İle Etkileşimi	42
3.3.1 Adalanma	42
3.3.2 Güç kalitesi	44
3.4 Modelleme Ve Tasarım	45
3.4.1 Filtre elemanlarının boyutlandırılması	45
3.4.2 Matematiksel modelleme	48
3.5 Bilgisayar Benzetimi	53
3.5.1 Açık çevrim çalışma benzetimi	54
3.5.2 Şebeke bağlantılı çalışma benzetimi	61
4. GERÇEKLEME VE DENEYSEL ÇALIŞMALAR	69
4.1 Tasarlanan Sistemin Genel Çalışma Blokları	69
4.2 Donanım Tasarımı	73
4.2.1 Evirici güç devresi	74
4.2.2 Yardımcı güç kaynağı	75
4.2.3 Mosfet sürücü	79
4.2.4 Ölçüm devreleri	80
4.2.4.1 Şebeke gerilimi ölçüm devresi	80
4.2.4.2 Sıfır geçiş dedektörü	85
4.2.4.3 DA bara gerilimi ölçümü	86
4.2.4.4 Akım sensörü devresi	87
4.2.5 Kondansatör şarj/deşarj devresi	89
4.2.6 Koruma elemanları	91

4.2.7 İşlemci devresi.....	91
4.2.8 Baskı devre tasarımı	92
4.3 Yazılım Tasarımı	94
4.3.1 DSP çevre birimleri.....	94
4.3.2 Sayısal işlemler	99
4.3.2.1 Sayı formatı seçimi.....	101
4.3.2.2 İşaret ölçeklendirme	103
4.3.3 Üç seviyeli SDGM işaretlerinin gerçek zamanlı üretimi	108
4.3.4 Faz kilitlemeli döngü algoritması.....	111
4.3.5 PI kontrolör	115
4.3.6 Akış diyagramları.....	116
4.3.6.1 Ana program.....	119
4.3.6.2 Kontrol döngüsü.....	121
4.3.6.3 Diğer kesmeler	124
4.4 Deneysel Sonuçlar	126
4.4.1 Şebeke bağlantısız çalışma.....	126
4.4.2 Şebekeye senkron çalışma.....	130
5. SONUÇ VE ÖNERİLER.....	135
KAYNAKLAR.....	139
EKLER.....	141
ÖZGEÇMİŞ.....	179

KISALTMALAR

AA	: Alternatif Akım
ADC	: Analog to Digital Converter
AGK	: Anahtarlama Güç Kaynağı
DA	: Doğru Akım
DGM	: Darbe Genişlik Modülasyonu
DSP	: Digital Signal Processor
EMI	: Electromagnetic Interference
eCAP	: Enhanced Capture
ePWM	: Enhanced Pulse Width Modulation
FFT	: Fast Fourier Transformation
FKD	: Faz Kilitlemeli Döngü
GTO	: Gate Turn Off Thyristor
IGBT	: Insulated Gate Bipolar Transistor
IQ	: Integer Quotient
MOSFET	: Metal Oxide Semiconductor Field Effect Transistor
MPPT	: Maximum Power Point Tracking
NDZ	: Non-Detection Zone
PWM	: Pulse Width Modulation
PI	: Proportional Integral
PIE	: Peripheral Interrupt Expansion
SDGM	: Sinüzoidal Darbe Genişlik Modülasyonu
SGD	: Sıfır Geçiş Dedektörü
THD	: Total Harmonic Distortion
UVDGM	: Uzay Vektör Darbe Genişlik Modülasyonu

ÇİZELGE LİSTESİ

Sayfa

Çizelge 2.1 : Bir fazlı tam köprü evirici anahtarlama durumları ve çıkış gerilimi. ...	10
Çizelge 2.2 : Üç fazlı tam köprü evirici anahtarlama durumları ve çıkış gerilimi. ...	11
Çizelge 2.3 : Üç fazlı iki seviyeli evirici faz nötr ve faz arası gerilimi.	13
Çizelge 2.4 : Üç seviyeli diyot kenetlemeli evirici anahtarlama durumları ve çıkış gerilimleri.	18
Çizelge 2.5 : Beş seviyeli diyot kenetlemeli evirici anahtarlama durumları ve çıkış gerilimi.	20
Çizelge 2.6 : Üç seviyeli kondansatör tutmalı evirici anahtarlama durumları.	22
Çizelge 4.1 : Evirici çalışma parametreleri.....	69
Çizelge 4.2 : Sistemde kullanılan <i>DSP</i> çevre birimleri.	96
Çizelge 4.3 : <i>eCAP</i> modülü ayarları.	98
Çizelge 4.4 : <i>ADC</i> modülü ayarları.....	99
Çizelge 4.5 : İşaret kazançları.....	107
Çizelge 4.6 : <i>ePWM</i> modülü ayarları.....	109
Çizelge 4.7 : Kullanılan test ve ölçü aletleri.....	126
Çizelge 4.8 : Verim ölçümü.....	128

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1	: <i>DA-DA</i> çeviricili doğrudan tahrikli rüzgar türbini sistemi.	3
Şekil 1.2	: Sadece <i>DA-AA</i> çevirici içeren doğrudan tahrikli rüzgar türbini sistemi. .	4
Şekil 2.1	: Evirici topolojileri sınıflandırması (Singh ve diğ, 2012).	7
Şekil 2.2	: Bir fazlı tam köprü evirici yapısı.	8
Şekil 2.3	: Pozitif ve negatif çıkış gerilimi için anahtarlama durumları.	8
Şekil 2.4	: Sıfır gerilim için anahtarlama durumları.	9
Şekil 2.5	: Üç fazlı iki seviyeli tam köprü evirici.	10
Şekil 2.6	: Üç fazlı iki seviyeli tam köprü evirici anahtarlama durumları.	11
Şekil 2.7	: İki seviyeli üç fazlı evirici faz nötr ve faz arası gerilim ilişkisi.	12
Şekil 2.8	: Seri bağlı tam köprü eviriciler ile oluşturulmuş çok seviyeli evirici.	14
Şekil 2.9	: Seri bağlı tam köprü evirici dalga şekilleri.	15
Şekil 2.10	: Üç fazlı üç seviyeli diyot kenetlemeli evirici.	16
Şekil 2.11	: Üç fazlı üç seviyeli diyot kenetlemeli evirici anahtarlama durumları.	17
Şekil 2.12	: Üç seviyeli diyot kenetlemeli evirici faz nötr gerilimi.	18
Şekil 2.13	: Üç seviyeli diyot kenetlemeli evirici faz arası gerilimi.	19
Şekil 2.14	: Beş seviyeli diyot kenetlemeli evirici bir fazı.	20
Şekil 2.15	: Üç seviyeli kondansatör tutmalı evirici bir fazı.	21
Şekil 2.16	: Çok seviyeli evirici modülasyon yöntemleri sınıflandırması.	24
Şekil 2.17	: Üç seviyeli evirici <i>SDGM</i> dalga şekilleri.	26
Şekil 2.18	: Beş seviyeli <i>SDGM</i> dalga şekilleri.	28
Şekil 3.1	: Bir faz evirici çıkışı şebeke bağlantısı diyagramı.	31
Şekil 3.2	: Şebeke bağlantılı evirici fazör diyagramı (Khajehoddin, 2007).	32
Şekil 3.3	: $V_e < V_s$ iken evirici fazör diyagramı.	33
Şekil 3.4	: Güç faktörünün 1 yapılabilmesi için evirici çıkış akımı referansı.	34
Şekil 3.5	: Şebeke bağlantılı çalışma için kontrol blok diyagramı.	35
Şekil 3.6	: Diyot kenetlemeli evirici üç seviyeli <i>SDGM</i> alt devreleri.	39
Şekil 3.7	: Yerel yükler ve şebeke çıkış empedansı ile şebeke bağlantılı evirici.	44
Şekil 3.8	: Bir anahtarlama periyodu için çıkış akımı dalgalılığı.	46
Şekil 3.9	: Bir faz için evirici şebeke bağlantısı blok diyagramı.	48
Şekil 3.10	: <i>DGM</i> modülasyon işaretleri.	52
Şekil 3.11	: Kapalı çevrim sistem kontrol blok diyagramı.	53
Şekil 3.12	: Açık çevrim çalışma güç devresi.	54
Şekil 3.13	: Üç seviyeli <i>SDGM</i> üretimi.	55
Şekil 3.14	: Ölü zaman üretimi.	56
Şekil 3.15	: <i>SDGM</i> modülasyon kontrol işaretleri ($f_s = 1\text{kHz}$).	56
Şekil 3.16	: Üç seviyeli <i>SDGM</i> işaretleri ($f_s=1\text{kHz}$).	57
Şekil 3.17	: Seviye değişim anı <i>SDGM</i> işaretleri ($f_s =20\text{kHz}$).	57
Şekil 3.18	: Evirici çıkışı faz-nötr gerilimi.	58
Şekil 3.19	: Faz-nötr çıkış gerilimi alternans değişimi.	58
Şekil 3.20	: Evirici çıkış gerilimi $\pi/2$ noktası.	59
Şekil 3.21	: Evirici çıkışı faz arası gerilimi.	59

Şekil 3.22 : Filtrelenmiş faz nötr çıkış gerilimleri.....	59
Şekil 3.23 : Faz nötr çıkış gerilimi <i>FFT</i> analizi ($F = 0-80\text{kHz}$).....	60
Şekil 3.24 : Faz nötr çıkış gerilimi <i>FFT</i> analizi ($F = 0-1\text{kHz}$).....	60
Şekil 3.25 : Şebeke bağlantılı evirici güç devresi.....	61
Şekil 3.26 : Referans sinüs işareti üretimi için şebeke ölçümü.....	62
Şekil 3.27 : Şebeke bağlantılı çalışma kontrol algoritması.....	63
Şekil 3.28 : Şebeke bağlantılı çalışma <i>SDGM</i> blokları.....	64
Şekil 3.29 : Değişken <i>DA</i> giriş gerilimi ve üç faz evirici çıkış akımı.....	65
Şekil 3.30 : <i>DA</i> bara kondansatör gerilimi değişimi.....	65
Şekil 3.31 : <i>PI</i> kontrolör çıkışı, <i>SDGM</i> referans sinyali.....	66
Şekil 3.32 : R fazı faz-nötr gerilimi ve R fazı evirici çıkış akımı.....	66
Şekil 3.33 : <i>DA</i> bara gerilimi 850V iken üç faz çıkış akımı.....	67
Şekil 3.34 : <i>DA</i> bara gerilimi 850V iken R fazı gerilimi ve evirici çıkış akımı.....	67
Şekil 3.35 : Üç faza eşit güç aktarılması durumunda, evirici nötr akımı.....	68
Şekil 4.1 : Evirici sistem blok diyagramı.....	70
Şekil 4.2 : Yardımcı güç kaynağı <i>flyback</i> çevirici topolojisi.....	76
Şekil 4.3 : <i>Mosfet</i> sürücü devresi.....	79
Şekil 4.4 : Fark kuvvetlendirici ile şebeke gerilimi ölçümü.....	82
Şekil 4.5 : Şebeke gerilimi ölçümü opamp fark kuvvetlendiricisi çıkışı.....	84
Şekil 4.6 : Şebeke gerilimi ve fark kuvvetlendirici çıkışı.....	84
Şekil 4.7 : Şebeke sıfır geçiş dedektörü.....	85
Şekil 4.8 : Şebeke sıfır geçiş dedektörü çıkışı.....	85
Şekil 4.9 : Fark kuvvetlendirici ile <i>DA</i> bara gerilimi ölçümü.....	86
Şekil 4.10 : <i>ACS712 Hall</i> etkili izole akım sensörü.....	87
Şekil 4.11 : Akım sensörü ölçeklendirme devresi.....	88
Şekil 4.12 : Sistem yazılımı zamanlama diyagramı.....	97
Şekil 4.13 : <i>IIQ15</i> sayı formatı.....	101
Şekil 4.14 : <i>Q19</i> sayı formatı.....	102
Şekil 4.15 : <i>ADC</i> sonuç kaydedicisi formatı.....	103
Şekil 4.16 : İki yönlü işaretin analog olarak ölçeklendirilmesi.....	103
Şekil 4.17 : Örneklenen iki yönlü işaretin <i>Q</i> formatına dönüştürülmesi.....	103
Şekil 4.18 : Tek yönlü işaret örneklenmesi ve <i>Q</i> formatına dönüştürülmesi.....	104
Şekil 4.19 : İki yönlü giriş işaretleri için <i>ADC</i> giriş gerilimi ve <i>Q15</i> formatı ilişkisi.....	105
Şekil 4.20 : Evirici çıkış akımı ve <i>ADC</i> gerilimi ilişkisi.....	105
Şekil 4.21 : Şebeke gerilimi ölçümü ve <i>ADC</i> giriş gerilimi ilişkisi.....	106
Şekil 4.22 : Yazılımsal ölçeklendirmesi yapılan şebeke gerilimi ölçüm işareti.....	106
Şekil 4.23 : Tek yönlü giriş işareti ve <i>ADC</i> gerilim ilişkisi.....	107
Şekil 4.24 : <i>SDGM</i> üretiminde kullanılan sinüs tablosu.....	108
Şekil 4.25 : Çok seviyeli <i>SDGM</i> işaretleri.....	110
Şekil 4.26 : <i>SDGM</i> düşen kenar ölü zamanı.....	110
Şekil 4.27 : <i>SDGM</i> yükselen kenar ölü zamanı.....	111
Şekil 4.28 : <i>SDGM</i> evirici seviye değişim anı.....	111
Şekil 4.29 : Şebeke gerilimi ve sıfır geçiş dedektörü işaretleri.....	112
Şekil 4.30 : <i>FKD</i> algoritması sıfır geçişi.....	114
Şekil 4.31 : <i>FKD</i> çıkışı referans sinüs işareti.....	115
Şekil 4.32 : <i>PI</i> kontrolör blok diyagramı.....	115
Şekil 4.33 : Ana akış diyagramı.....	118
Şekil 4.34 : Arkaplan döngüsü akış diyagramı.....	120
Şekil 4.35 : Kontrol döngüsü akış diyagramı.....	122

Şekil 4.36 : <i>SDGM</i> akış diyagramı.	123
Şekil 4.37 : <i>eCAP</i> kesmesi akış diyagramı.	124
Şekil 4.38 : <i>CpuTimer0</i> kesmesi akış diyagramı.	125
Şekil 4.39 : Filtresiz faz nötr çıkış gerilimi.	127
Şekil 4.40 : Faz arası çıkış gerilimi.	127
Şekil 4.41 : Faz nötr çıkış gerilimi <i>FFT</i> analizi.	127
Şekil 4.42 : Filtrelenmiş faz nötr çıkış gerilimi.	128
Şekil 4.43 : Evirici verim grafiği.	129
Şekil 4.44 : Şebeke gerilimi ve evirici çıkış akımı.	130
Şekil 4.45 : Şebeke bağlantılı evirici anlık güç ve güç faktörü, 175W.	131
Şekil 4.46 : Şebeke bağlantılı evirici anlık güç ve güç faktörü, 300W.	131
Şekil 4.47 : Evirici çıkış akımı harmonik analizi.	132
Şekil 4.48 : Evirici çıkış akımı harmonik analizi.	132
Şekil 4.49 : Evirici çıkış akımı ve <i>DA</i> bara gerilimleri.	133
Şekil 4.50 : Senkronizasyonun şebeke sıfır geçiş noktasında başlatılmaması durumu.	133
Şekil A.1 : 6 Hz'den 12 Hz'e üç fazlı generatör çıkış gerilimi ve doğrultmuş hali	142
Şekil A.2 : <i>PSIM PI</i> kontrolör blok diyagramı	142
Şekil A.3 : <i>DA</i> bara gerilimi 850V iken evirici çıkış akımı ve şebeke gerilimi	142
Şekil A.4 : <i>DA</i> bara gerilimi 850V iken üç faz evirici çıkış akımı	143
Şekil A.5 : <i>DA</i> bara gerilimi 850V iken bara gerilimi paylaşımı	143
Şekil A.6 : <i>PI</i> akım kontrolörü çıkışı.....	143
Şekil B.1 : Akım referansı şebeke gerilimi 90° faz farklı iken evirici çıkış akımı ve şebeke gerilimi	144
Şekil B.2 : Şebeke bağlantılı evirici reaktif çalışma.....	144
Şekil B.3 : Şebeke bağlantılı evirici çıkış akımı ve <i>DA</i> bara gerilimleri.....	144
Şekil B.4 : Şebeke bağlantılı evirici anlık güç ve güç faktörü.....	145
Şekil B.5 : Evirici çıkış akımı harmonik analizi.....	145
Şekil E.1 : İşlemci ve besleme devresi şemaları.....	166
Şekil E.2 : Şebeke gerilimi, akım ölçeklendirme ve <i>DA</i> bara gerilimi ölçümü.....	167
Şekil E.3 : Mosfet sürücü devre şemaları.....	168
Şekil E.4 : Evirici güç devresi	169
Şekil E.5 : Evirici baskı devre çizimi	170
Şekil E.6 : <i>Flyback AGK</i> devre şeması.....	171
Şekil E.7 : <i>Flyback AGK</i> baskı devre çizimi	173
Şekil F.1 : Evirici ve yardımcı güç kaynağı devreleri.....	174
Şekil F.2 : Şebeke bağlantılı çalışma düzeneği	175
Şekil F.3 : Açık çevrim şebeke bağlantısız çalışma düzeneği.....	176
Şekil G.1 : Matlab sinüs tablosu oluşturma.....	177

SEMBOL LİSTESİ

$d(t)$	: Çalışma Oranı
m	: Modülasyon indeksi
m_{max}	: Modülasyon indeksi maksimum değeri
μs	: Mikro saniye
Hz	: Hertz
kHz	: Kilo Hertz
f_s	: Anahtarlama frekansı
$f_{köşe_RC}$	: Alçak geçiren RC filtre köşe frekansı
T_s	: Anahtarlama periyodu
V_{DA}	: Evirici girişi doğru bara gerilimi
V_{AA}	: Alternatif gerilim
V_{RS}	: R-S Faz arası gerilimi
V_{RN}, V_{SN}, V_{TN}	: R, S, T fazı faz nötr gerilimleri
V_o	: Evirici çıkış gerilimi
$V_{\bar{u}}$	: Taşıyıcı üçgen dalga genliği
V_m	: Modülasyon taşıyıcı işaret genliği
ω	: Açısal frekans
V_e	: Evirici çıkış gerilimi vektörü
V_S	: Şebeke gerilimi vektörü
V_L	: Bağlantı endüktansı gerilimi vektörü
I_S	: Evirici çıkış akımı vektörü
I_{S_tepe}	: Evirici çıkış akımı tepe değeri
α	: Şebeke gerilimi ile evirici çıkış gerilimi faz farkı
θ	: Şebeke gerilimi ile evirici çıkış akımı faz farkı
$\cos\theta$	: Güç faktörü
P	: Aktif güç
S	: Görünür güç
Q	: Reaktif güç
W	: Watt
Var	: Volt-Amper Reaktif

V_{DA_min}	: DA bara minimum gerilimi
V_{AA_tepe}	: Şebeke gerilimi tepe değeri
Z_s	: Kaynak empedansı
Z_L	: Yerel yüklerin eşdeğer empedansı
ΔI	: Bağlantı endüktans akımı dalgalılığı
L_f	: Bağlantı endüktansı
$H(j\omega)$	: Alçak geçiren filtre transfer fonksiyonu
$V_{çıkış}$	: Filtre çıkış gerilimi
$V_{giriş}$	: Filtre giriş gerilimi
$\hat{d}(s)$	: Çalışma oranındaki küçük değişimler
$\widehat{v}_{DA}(s)$	: DA giriş gerilimindeki küçük değişimler
$\hat{i}_L(s)$	: Evirici çıkış akımındaki küçük değişimler
A, C	: Durum uzay modeli durum değişkeni katsayı matrisleri
B, D	: Durum uzay modeli kaynak katsayı matrisleri
$X(s)$	: Transfer fonksiyonu
m_1, m_2	: Eğim
R_g	: Kapı sürücü çıkış direnci
I_{g_maks}	: Kapı akımı tepe değeri
$V_{sürücü}$	: Mosfet sürücü çıkışı pozitif beslemesi
V_{EE}	: Mosfet sürücü çıkışı negatif beslemesi
V_{OH}	: Mosfet sürücü lojik 1 çıkış gerilimi
V_{ac}	: Fark kuvventlendirici ile ölçülen şebeke gerilimi
V_{ref}	: Referans gerilim
E_{C_DA}	: Giriş kondansatörlerinde depolanan enerji
τ	: Kondansatör şarj/deşarj zaman sabiti
$R_{şarj}$	: Giriş kondansatörleri akım sınırlama direnci
V_{ADC}	: ADC giriş gerilimi
$sayı$	: Ölçeklendirilmiş ADC verisi
I	: Akım sensörü tarafından ölçülen evirici çıkış akımı
n_f	: IQ sayı formatı virgülden sonraki basamak sayısı
n_s	: IQ sayı formatı virgülden önceki basamak sayısı
$u_p(k)$	: PI kontrolör hata işareti
$r(k)$	: PI kontrolör referansı
$y(k)$	: PI kontrolör geribesleme işareti
$u_i(k)$	: PI kontrolör integratör çıkışı

$v_1(k)$	: PI kontrolör sınırlandırılmamış çıkış
$u(k)$	: PI kontrolör çıkışı
$w(k)$	: Taşma kontrolü çıkışı
U_{maks}	: PI kontrolör çıkışı maksimum değeri
U_{min}	: PI kontrolör minimum değeri
f_{saat}	: İşlemci saat frekansı
T_{saat}	: İşlemci saat darbesi periyodu
$f_{ADC_Kesmesi}$	: ADC kesmesi frekansı

YENİLENEBİLİR ENERJİ SİSTEMLERİ İÇİN ÇOK SEVİYELİ BİR EVİRİCİNİN GERÇEKLEŞTİRİLMESİ

ÖZET

Yenilenebilir enerji kaynaklarından daha etkin yararlanmak amacıyla türbin, generatör ve güneş panelleri gibi enerji dönüşümü bileşenleri üzerinde çeşitli çalışmalar yapılmaktadır. Bu çalışmalara ek olarak yenilenebilir enerji sistemlerinde kullanılan güç çeviricileri ve kontrol algoritmaları da geliştirilmeye çalışılarak enerji dönüşümünün en verimli şekilde gerçekleştirilmesi amaçlanmaktadır.

Rüzgar enerjisi sistemlerinde rüzgar türbini düşük hızla dönmektedir. Buna karşın geleneksel generatörlerle ancak yüksek hızlarda yeterli enerji dönüşümü gerçekleştirilebilir. Bu nedenle bu tür sistemlerde generatörün tahrik hızını arttırmak amacıyla türbin ile generatör arasında dişli sistemleri kullanılır. Büyük yer kaplayan dişli sistemlerini ortadan kaldırmak ve dişli kutusundan kaynaklanan kayıplardan kurtulmak amacıyla doğrudan tahrikli rüzgar türbini sistemleri ortaya çıkmıştır. Bu sistemlerde türbin ortak bir mil vasıtasıyla generatörü doğrudan tahrik eder. Doğrudan tahrikli rüzgar türbini sistemlerinde generatör değişken hızlarda işletilerek, sistem en yüksek gücün elde edildiği hızda çalışacak şekilde kontrol edilmekte, böylece enerji dönüşümünün daha verimli şekilde gerçekleştirilmesi mümkün olmaktadır. Bu tür rüzgar enerjisi sisteminde türbin ve generatör hızı değişken olduğu için generatör çıkış gerilimi genliği ve frekansı rüzgar hızı ile birlikte değişmektedir. Bu nedenle generatör çıkışı kontrolsüz doğrultucu ile doğrultulup filtrelendikten sonra elde edilen doğru bara gerilim genliği de rüzgar hızı ile birlikte değişken olacaktır. Dolayısıyla türbin sistemi ile şebeke arasında kullanılacak güç çeviricisinin bu değişken doğru gerilimden aldığı enerjiyi şebekeye aktarması gerekmektedir.

Güneş enerjisi sistemleri de rüzgar enerjisi sistemlerine benzer bir karakteristik sergilemektedir. Güneş panellerinden alınabilecek güç, panele düşen güneş ışığı miktarı ile birlikte değişmektedir. Bu tür sistemler de en yüksek güç noktasında çalışacak şekilde işletilmekte, bu nedenle panel çıkış gerilimi değişken olmaktadır.

Yenilenebilir enerji sistemlerinden elde edilen düzensiz enerjinin düzenli hale getirilmesi gerekmektedir. Bu amaçla çeşitli güç elektroniği sistemleri geliştirilmiş ve geliştirilmeye devam edilmektedir. Bu tez kapsamında yenilenebilir enerji sistemlerinde kullanılmak üzere değişken doğru giriş geriliminden sabit frekans ve genlikli alternatif akım şebekesine güç aktarımını sağlayacak evirici tasarlanmıştır.

Literatürde birçok evirici yapısı bulunmasına rağmen bir fazlı ve üç fazlı tam köprü eviriciler en popüler yapılarıdır. Bu tür eviricilerde her bir anahtarlama elemanı giriş gerilimi tepe değerine dayanmak zorundadır. Ayrıca çıkış gerilimi bir fazlı tam köprü eviricide en fazla üç farklı değer alabilir. Üç fazlı nötr noktası bağlı tam köprü eviricide ise çıkış gerilimi iki farklı değer alabilmektedir. Bu yapılara uygun

anahtarlama işaretleri uygulanarak çıkışta istenmeyen bileşenler zayıflatılmakta ve daha sonra uygun bir filtre yapısı ile filtrelenmektedirler.

Bahsedilen geleneksel topolojiler haricinde literatürde çok seviyeli evirici olarak adlandırılan evirici yapıları da mevcuttur. Bu tür eviricilerde çıkış gerilimi “n” farklı seviyede değer alabilmektedir. Daha düzgün çıkış gerilimi üretebilmesi, yüksek verim ve düşük anahtar zorlanması gibi özellikleri nedeniyle bu yapılar geleneksel evirici topolojilerden daha iyi performans sunmaktadır.

Bu çalışmada değişken gerilimli giriş kaynağından alınan güç çok seviyeli evirici topolojilerinden “Üç Fazlı Üç Seviyeli Diyot Kenetlemeli Evirici” yapısı kullanılarak şebekeye aktarılmaktadır. Bu topolojide her bir anahtarlama elemanının giriş geriliminin yarısına maruz kalması, özellikle yüksek giriş gerilimlerinde iki seviyeli eviricilere göre daha düşük yarıiletken anahtar zorlanması sağlamaktadır. Ayrıca çıkış geriliminin üç farklı seviyeden oluşması, çıkışın iki seviyeli eviriciye nazaran daha kolay filtrelenebilmesini mümkün kılmaktadır. Bununla beraber topolojinin modüler yapısı sayesinde eviricinin seviyeleri arzu edildiği kadar artırılarak sinüzoidal forma daha yakın çıkış gerilimi elde edilebilir. Bu durumda her bir anahtarlama elemanı üzerine düşen gerilim azalacağı için, anahtar zorlanmaları daha da azaltılmış olacaktır.

Çok seviyeli eviricilerin ilk ortaya çıkışı üzerinden oldukça zaman geçmiş olsa da, özellikle son yıllarda gelişen mikroişlemci teknolojisiyle beraber bu karmaşık topolojilerin kontrol algoritmalarını çok kısa sürede koşturabilecek işlem gücüne ve çevre birimlerine sahip işlemciler üretilmiştir. Tez çalışmasında evirici kontrolü sayısal işaret işleyici kullanılarak tamamen yazılımsal olarak gerçekleştirilmektedir.

Sistemde evirici çıkış gerilimi kontrolü çok seviyeli sinüzoidal darbe genişlik modülasyonu ile gerçekleştirilmiştir. Faz kilitlemeli döngü algoritması ve PI kontrolör kullanılarak evirici çıkış akımı şebekeye senkron edilmiştir. Kullanılan doğru bara gerilimi kontrol algoritmasıyla da evirici girişinde bulunan kondansatörlerin gerilimlerinin birbirine eşit olması sağlanmıştır. Ayrıca kullanılan algoritmanın yapısı sayesinde daha fazla seviye sayısına sahip diyot kenetlemeli eviricilerin ufak yazılımsal ilavelerle kontrol edilebilmesi mümkün kılınmıştır.

Tasarımda kullanılan kontrol algoritması ile evirici fazları birbirinden bağımsız olarak kontrol edilerek, fazlardan bir ya da ikisinin kesilmesi durumunda da eviricinin şebekeye güç aktarabilmesi sağlanmıştır. Fazların birbirinden bağımsız kontrol edilmesinin bir diğer avantajı ise fazlara farklı değerlerde güç aktarılabilme olanağıdır.

Sistemin tasarımı ve benzetimi yapıldıktan sonra bir laboratuvar prototipi üretilmiştir. Evirici kontrolü için TMS320F2808 DSP’si kullanılmış, gerilim, akım, frekans ölçüm devreleri ile beraber evirici güç devresi ve işlemciyi içeren tek bir devre kartı tasarlanarak evirici pratik olarak gerçekleştirilmiştir.

Şebeke senkronizasyonu haricinde devre şebeke bağlantısız çalıştırılarak eviricinin şebeke bağlantısız uygulamalar için de çalışma performansı incelenmiştir.

A MULTILEVEL INVERTER IMPLEMENTATION FOR RENEWABLE ENERGY SYSTEMS

SUMMARY

Many studies are carried out on renewable energy system components such as turbines, generators and photovoltaic panels to fully utilize energy obtained from these sources. Researches on power converters and their control algorithms are also carried out to achieve the most efficient power conversion.

In wind energy systems, wind turbine rotates at low speeds. However, traditional generators can only produce required power at high speeds which requires gearbox systems to be used between turbine and generator to increase the turbine speed.

Use of gearbox systems result in increase in cost and weight of the turbine system and reduces the conversion efficiency. Maximum power can be extracted from the wind turbine by allowing turbine speed to vary with changing wind speeds. In variable speed direct drive wind turbine systems where generator is directly coupled to turbine eliminating costly and bulky gearbox system, the magnitude and frequency of the voltage at the output of generator changes with changing wind speeds. The irregular energy obtained from generator has to be converted to regular form. A variable DC voltage where the voltage level changes with the wind speed is obtained by rectifying the generator output voltage using an uncontrolled rectifier. Therefore an inverter between the generator and AC utility must transfer power from variable DC voltage to the AC utility.

Photovoltaic systems exhibit similar characteristics with the variable speed wind energy systems. Output power of a solar panel depends on sunlight intensity and operation point changes with it. Therefore output voltage of solar panels become variable.

In this thesis, an inverter is designed to deliver power from variable amplitude DC source to a constant magnitude and frequency utility.

Although there are many different inverter structures exist in the literature, single phase and three phase full bridge topologies are the most common inverter structures. In these topologies, each switching element incurs peak input voltage and all semiconductors are chosen to operate with peak input voltage stresses. Output voltage of the single phase inverter consists of three different voltage levels and output phase to neutral voltage can take two different levels for three phase neutral point connected full bridge inverter. Undesired harmonics in the output voltage can be attenuated by incrementing the number of these voltage levels and using proper control techniques. Inverter output voltage must be filtered by a proper filter structure to produce sinusoidal output waveform at the load side.

In addition to conventional inverter structures, different class of power converters referred as multilevel inverters are also available in the literature where output voltage can take “n” different voltage levels.

Multilevel topologies feature better performance than conventional inverters by producing smoother output voltage, low semiconductor stresses and high efficiency. Most common traditional and multilevel inverter topologies are studied and compared in the second chapter.

In this study, the power taken from a variable DC source is transferred to utility using “Three Phase Three Level Diode Clamped Multilevel Inverter” topology where each switching element exposes to half of the input voltage. This feature causes to have less voltage stresses on semiconductors and advantage of the topology come forward especially for high input voltages. Phase to neutral output voltage consists of three levels which provides easy filtering with respect to two level three phase full bridge inverter. Additionally, thanks to modular structure of the topology, inverter levels can be increased to desired number to obtain better sinusoidal output waveform. In this case, voltage on the each switching element decreases, hence semiconductor switch voltage stresses can be reduced further.

Advances on microprocessor technology in recent years provided the opportunity to perform complex control algorithms in very short periods. Control of a multilevel converter requires large computing power and controller peripherals. As the level of inverter increases, the number of semiconductor switches also increases and control gets difficult. In this thesis, the control of inverter performed using a digital signal processor (DSP).

Control of inverter output voltage vector is made by three level sinusoidal pulse width modulation technique (SPWM). Third chapter discusses the implementation of three level SPWM, selection criteria of modulation index and deadtime effect.

In grid connected applications, grid voltage and frequency are determined by the grid and the inverter must regulate its output current to control the power delivered to the grid. Inverter output current is controlled and synchronized to the grid and a PI controller current reference is produced by a phase-locked loop algorithm.

Each phase of the inverter is controlled independently. Thus, system can deliver different amount of power to different phases with different power factors. The inverter can also operate on single, two or three phase utility thanks to independent control. Additionally, an anti-islanding implementation is made, so the inverter detects islanding conditions and stops supplying energy to the grid during a power outage.

In diode clamped multilevel inverters, it is important to have equal voltage on the input voltage divider capacitors. If voltage sharing of input capacitor is not equal then the output voltage levels change which causes distortion on the output waveform. To prevent this, a closed loop DC bus voltage control algorithm is used so that input capacitor voltages are controlled and equal voltage share is achieved.

The control algorithm is designed such that a higher level diode clamped multilevel inverters can be controlled by making small additions to the software.

In the third chapter mathematical modelling and simulations are performed and practical implementation and experimental results are discussed in chapter fourth.

All of the control algorithm is realized digitally using TI TMS320F2808 DSP. A complete printed circuit board is designed which includes DSP controller, current sensors, three phase grid and DC bus capacitor voltage measuring circuits, grid

voltage zero cross detectors, three phase three level diode clamped inverter power circuit and DC bus voltage soft charge/discharge circuits.

System measures three phase utility and input DC bus capacitor voltages with differential amplifier circuit. There are also three comparator circuits that detects the zero crossing of phase voltages. Output current of the inverter is measured using hall effect sensors. The analog circuits are discussed in the hardware design section in fourth chapter.

Since the input capacitors have large values, a soft charge/discharge circuit is implemented in the input section of the inverter. Before any operation, system charges the input capacitors with a reasonable current. During system shut down, the capacitors are discharged safely so that no harmful voltages are present in the power circuit.

Zero crossing signals are used in the phase locked loop algorithm where the inverter output current reference is produced. A PI current controller evaluates the error between the current reference and inverter output current. Three level sinusoidal pulse with modulator generates switching signals by modulating the control output of PI current controller. During the grid synchronization, inverter monitors the phases independently. The grid frequency/voltage, input capacitor voltages and inverter output currents are continuously monitored against abnormal conditions and the control system can take necessary action to overcome problems related with inverter or grid.

Since the F2808 DSP is a fixed point processor, all mathematical operations performed with integer quotient (IQ) number formats. The three phase mains voltage, two input DC bus capacitor voltages and three phase inverter output currents are sampled by analog to digital converter (ADC). The raw ADC sampling results are converted into a proper IQ number format. Number conversion, IQ number format selection and signal conditioning processes are discussed in the fourth chapter.

The PI controller which is used for output current and input voltage regulation employs an anti wind-up algorithm which mitigates instabilities and saturation problems.

Flow chart of the control system software is presented in the software design section of fourth chapter.

In the experimental part, validity of theoretical studies are verified. Grid synchronization and power transfer to the AC utility from a DC source is achieved. Reference current tracking, total harmonic distortion (THD) of output current and different power factor operation results are given along with efficiency of the inverter with different loads. The differences between experimental and simulation studies are discussed.

In addition to on grid operation, system is also operated as standalone and performance of the three level diode clamped inverter is given. For standalone operation a low pass filter is used at the output of inverter and related result are presented in the fourth chapter.

In the last chapter, the results are discussed. The ideas and aspects of the inverter that can be developed are presented as a future work.

1. GİRİŞ

Enerji ihtiyacının arttığı günümüzde yenilenebilir enerji sistemleri üzerinde yoğun çalışmalar yapılmaktadır. Bu sistemler ancak farklı disiplinlerin ortak çalışmaları ile hayata geçirilebilmektedir. Türbin ve generatör tasarımı, güneş paneli yapıları ve elektronik sistemler bunlardan bazılarıdır. Enerjinin en verimli şekilde dönüştürülebilmesi için sistemin her bir bileşenin birbiri ile uyum içinde çalışması gerekmektedir.

Yenilenebilir enerji sistemlerine çıkış gücü açısından bakıldığında sistemin düzensiz bir güç kaynağı karakteristiği sergilediği söylenebilir. Bu amaçla bu tür düzensiz enerji kaynaklarından düzgün ve sürekli bir güç kaynağı elde edebilmek amacıyla çeşitli sistemler geliştirilmektedir. Bir rüzgar ya da güneş enerjisi sistemi ele alındığında rüzgar ya da güneşin olmadığı durumda enerji üretimi yapılamayacaktır. Bu amaçla enerji depolama elemanları içeren yenilenebilir enerji sistemleri geliştirilmiştir. Depolama haricinde yenilenebilir enerji kaynağından elde edilen gücün elektrik şebekesine aktarılabilmesi için de uygun forma getirilmesi gerekmektedir. Bu amaçla yenilenebilir enerji sistemleri içerisinde çeşitli güç elektroniği çeviricileri kullanılmaktadır.

Enerji dönüşümünün en verimli şekilde gerçekleştirilebilmesi ve elde edilen gücün kaliteli olabilmesi için güç elektroniği çeviricilerinin yüksek verimli ve düzgün çıkış üretecek şekilde tasarlanması gerekmektedir.

1.1 Yenilenebilir Enerji Sistemleri

Bu bölümde yenilenebilir enerji kaynaklarından rüzgar ve güneş enerjisi sistemlerinin çıkış karakteristikleri ele alınacaktır.

Geleneksel olarak rüzgar enerjisi sistemleri, düşük hızla dönen rüzgar türbini, generatör, türbin ile generatör arasında bir dişli sistemi ve güç elektroniği çeviricilerinden oluşur. Burada kullanılan dişli sistemleri ile rüzgar hızına bağlı olarak 10-50 *d./dak.* hızla dönen rüzgar türbini, generatörü yaklaşık olarak

1000-1500 *d./dak.* hızlarında tahrik etmektedir. Böylece generatör uygun hızda tahrik edilerek, enerji dönüşümü doğru şekilde gerçekleştirilir. Ancak sözü edilen dişli sistemleri hantal ve ağır yapıda olduğu için, eğer generatör düşük hızlarda da çalışabilecek şekilde tasarlanırsa, dişli sistemleri ortadan kaldırılabilir. Bu ihtiyaçla doğrudan tahrikli sistemler ortaya çıkmışlardır.

Doğrudan tahrikli rüzgar türbinlerinde kullanılan generatörler düşük hızlarda yeterli çıkış gerilimini ve gücü üretebilmesi için çok kutuplu ve geniş çaplı olarak şekilde tasarlanırlar. Böylece geleneksel türbin sistemlerinde kullanılan dişli yapıları sistemden çıkarılabilir ve bu sistemlerden kaynaklanan mekanik güç kayıplarının yanında, kapladığı alandan da tasarruf edilir.

Geleneksel olarak kullanılan enerji dönüşümü sistemlerinde türbin hızı değişimine karşı generatör tahrik hızını sabit tutmak amacıyla çeşitli yöntemler uygulanmaktadır. Örneğin rüzgar enerjisi sistemlerinde kanat açısı kontrolü, hidroelektrik sistemlerde ise su debisi kontrolü ile generatör hızı ayarlanır. Rotor hızının sabit tutulmaya çalışıldığı bu tür yapılar sabit hızlı sistemler olarak adlandırılır.

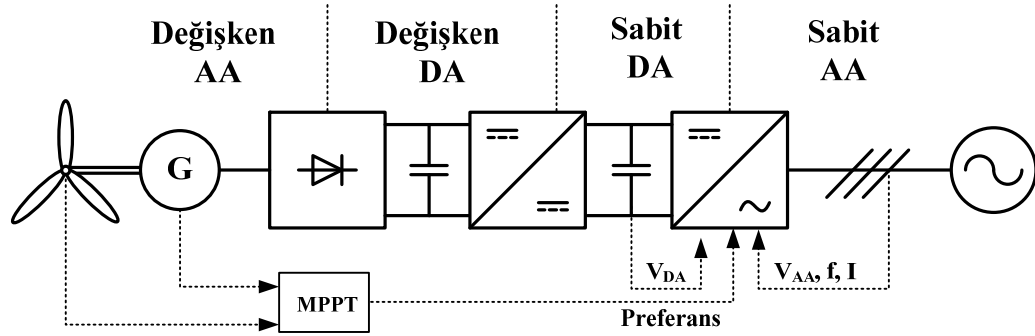
Doğrudan tahrikli rüzgar enerjisi sistemlerinde generatör, değişken hızlı olarak işletilmektedir. Bu bu tür sistemlerde rotor hızı en yüksek çıkış gücü üretilen şekilde ayarlanır. Bu sebeple bu sistemlere değişken hızlı sistemler denir. Dişli kutusu bulunmaması sayesinde mekanik kayıpların azaltılması ve sistemin maksimum güç noktasında çalışabilecek şekilde kontrol edilebilmesi bu sistemlerin daha verimli olarak çalışabilmesini sağlayan başlıca özelliklerdir.

Doğrudan tahrikli rüzgar türbini sistemlerinde generatör çıkış gerilimi frekansı ve genliği rüzgar hızı ile birlikte değişmektedir. Bu nedenle bu tür düzensiz enerji kaynağından düzgün ve kaliteli enerji sağlayabilmek için buna uygun güç dönüştürücüleri kullanılmalıdır.

Rüzgar enerjisi sistemlerine benzer şekilde güneş enerjisi sistemlerinde de panel çıkış gerilimleri panele düşen güneş ışığı ile orantılı olarak değişmektedir. Dolayısıyla fotovoltaik sistemlerde de güç dönüştürücüleri kullanılması gerekmektedir.

Literatürde çok çeşitli yenilenebilir enerji sistemleri olmasına rağmen burada Şekil 1.1 ve Şekil 1.2’de gösterilen temel doğrudan tahrikli rüzgar türbini sistemleri

incelenecektir. Burada gösterilen yapı haricinde enerji depolama sistemleri içeren veya sistemde birden fazla enerji kaynağının bulunduğu yenilenebilir enerji sistemleri de mevcuttur. Ancak bu tezin kapsamı *DA-AA* çevirici yapısı olduğu için Şekil 1.1 ve Şekil 1.2 temel enerji dönüşüm sistemini açıklamak için yeterlidir.

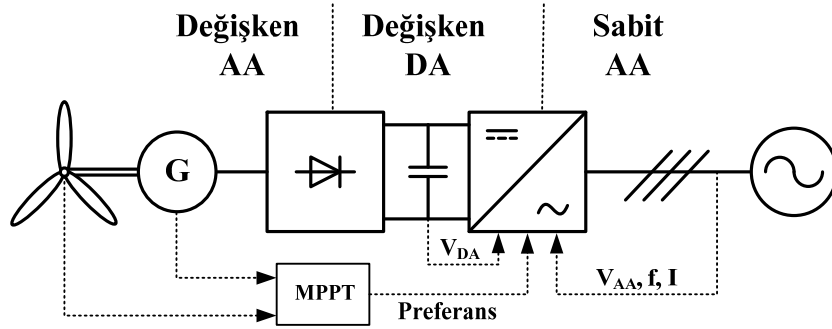


Şekil 1.1 : *DA-DA* çeviricili doğrudan tahrikli rüzgar türbini sistemi.

Şekil 1.1’de *DA-DA* çevirici içeren bir şebeke bağlantılı doğrudan tahrikli rüzgar türbini sisteminin blok diyagramı görülmektedir. Bu sistemde generatör çıkışında elde edilen değişken frekans ve genlikli *AA* gerilim kontrolsüz doğrultucu ile doğrultulduktan sonra kondansatör ile filtrelenerek değişken *DA* bara gerilimi elde edilir. Daha sonra bu değişken bara gerilimi bir *DA-DA* çevirici kullanılarak sabit hale getirilir. Eğer sistemdeki generatör çıkış gerilimi yeterli seviyede değilse *DA-DA* çevirici bu gerilimi yükselterek eviricinin çalışabileceği gerilim seviyesine getirecektir. *DA-DA* çeviriciden sonra gelen şebeke bağlantılı evirici bu doğru gerilimi alternatif akıma dönüştürüp, şebekeyle senkron çalışarak şebekeye güç aktarmaktadır.

Rüzgar ve güneş enerjisi sistemlerinde enerji dönüşümünü en verimli şekilde gerçekleştirebilmek için sistem maksimum güç noktasında çalıştırılmalıdır. Uygun bir Maksimum Güç Noktası İzleyici (*MPPT – Maximum Power Point Tracker*) algoritması sistemi izleyerek sistemi maksimum güç noktasında çalışacak şekilde kontrol eder. Generatörün hız ve moment karakteristiği gözönüne alındığında, sistemden alınan güç bu iki bileşenin çarpımı ile belirlenir. Bu durumda *MPPT* algoritması generatör hızını en yüksek gücün alındığı noktada çalışacak şekilde ayarlamalıdır. Güneş panelleri de lineer olmayan bir akım gerilim karakteristiğine sahiptir. Panel çıkış gerilimleri belirli bir akım değerine kadar gerilim kaynağı, bu akım değerinden sonra ise akım kaynağı karakteristiği sergilemektedir. Bu nedenle böyle bir karakteristiğe sahip bir elemanda en yüksek güç tek bir noktada elde

edilebilmektedir. Güneş enerjisi sistemlerinde maksimum güç noktası panele düşen güneş ışığına, rüzgar enerjisi sistemlerinde ise rüzgar hızına bağlı olarak değişmektedir. Bu nedenle *MPPT* algoritmaları bu değişimlere karşı sistemi sürekli olarak kontrol edecek şekilde tasarlanırlar.



Şekil 1.2 : Sadece *DA-AA* çevirici içeren doğrudan tahrikli rüzgar türbini sistemi.

Şekil 1.2’de gösterilen sistemde *DA-DA* çeviricisi bulunmamaktadır. Bu nedenle *DA* bara gerilimi de rüzgar hızı ile birlikte değişmektedir. Burada *DA* bara geriliminin eviricinin çalışabileceği sınırlar içerisinde olması gerekmektedir. Endüstride çıkış gerilimleri 690V-6600V arasında değişen doğrudan tahrikli rüzgar türbini sistemleri bulunmaktadır. Güneş enerjisi sistemlerinde ise güneş panellerinin birbirine seri bağlanması ile generatör çıkış gerilimlerine benzer şekilde yüksek gerilimler elde edilebilmektedir. Yeterli *DA* bara geriliminin elde edilemediği durumlarda Şekil 1.1’de görülen *DA-DA* çevirici yapısı kullanılarak *DA* bara gerilimi istenen seviyeye getirilmelidir.

Şekil 1.2’de *MPPT* sisteme aktarılan güce karar vermektedir. Örneğin rüzgar hızının artması durumunda, generatör de hızlanacak ve eğer generatör hızı maksimum güç noktasını aşarsa, *MPPT* eviricinin şebekeye daha fazla güç aktarmasını sağlayacaktır. Böylece generatörden çekilen güç arttığı için türbin yavaşlayacak ve generatör hızı maksimum güç verebileceği hıza düşürülecektir. Rüzgar hızının azalması durumunda ise generatör yavaşlayacak, eğer hız maksimum güç noktasındaki hızın altına düşerse, *MPPT* algoritması şebekeye aktarılan gücü azaltarak, türbinin hızlanmasını sağlayacak ve bu şekilde sistem maksimum güç noktasında tutulmaya çalışılacaktır. Bu noktada rüzgar türbini kanat açısı kontrolü, *DA* bara gerilimi kontrolü gibi parametreler de kontrol sistemine katılarak daha verimli bir çalışma şekli elde edilebilir. Türbin kanat açısı kontrolü ile, farklı rüzgar hızları için rotor hızı çıkışta en yüksek gücün üretildiği değerde tutulur.

Güneş enerjisi sistemlerinde, ışık şiddeti arttıkça panelden çekilecek maksimum güç artmakta ve panelin kısadevre akımı yükselmektedir. Bu noktada güneş ışığı değişimi ve gölgelenme durumları gözönünde bulundurularak panelden çekilebilecek en yüksek güç sürekli olarak izlenmektedir.

Şebeke bağlantılı eviricilerde, genelde kaynaktan alınan gücün tamamının şebekeye aktarılması istenir. Bu nedenle şebekeye aktarılan gücün güç faktörünün " $\cos\theta=1$ " yapılabilmesi için DA bara geriliminin şebeke gerilimi tepe değerinden büyük olması gerekmektedir. Örneğin bir fazlı şebeke bağlantılı tam köprü eviricide 220V AA gerilimli bir şebeke için, DA bara geriliminin 311V'dan büyük olması beklenir. Pratikte evirici ve sistemdeki diğer ideal olmayan bileşenlerde oluşacak gerilim düşümleri ve şebeke geriliminin de 220V'dan daha yüksek bir değer alabileceği düşünülerek bir fazlı tam köprü evirici girişi pratikte 400V DA gibi şebeke gerilimi tepe değerinden daha büyük gerilime ayarlanır. Bu sebeple $DA-DA$ çeviricinin kullanılmadığı sistemlerde eviricinin çalışabilmesi için gerekli en düşük DA bara gerilimi giriş kaynağı tarafından sağlanmalıdır. Bu konu üçüncü bölümde daha detaylı olarak tartışılacaktır.

1.2 Tez Çalışmasının Amacı ve Kapsamı

Bu tez çalışması kapsamında Şekil 1.2'de gösterilen örnek bir yenilenebilir enerji sistemindeki eviricinin tasarlanması amaçlanmaktadır.

Bu noktada evirici generatörden alınan gücü şebekeye aktaracak olan güç elektroniği çeviricisidir. Eviricinin şebekeye güç aktarabilmesi için şebekeyle senkron olması gerekmektedir. Bu tür $DA-AA$ çeviricilere şebeke bağlantılı evirici adı verilir. Şebeke gerilimi şebeke tarafından belirlenip sabit olduğu için güç kontrol işlemi akım kontrolü ile gerçekleştirilmelidir. Türbinden alınan tüm gücün şebekeye aktarılması için güç faktörü mümkün olduğunca 1'e yakın yapılmaya çalışılarak, evirici ile şebeke arasında reaktif güç alışverişinin en aza indirilmesi amaçlanmıştır.

Şebekeye aktarılacak gücün bir $MPPT$ algoritması tarafından belirlendiği varsayılmıştır. $MPPT$ konusu evirici dışında yer aldığı için $MPPT$ tasarımına değinilmeyecektir.

Sistemde generatör çıkış geriliminin doğrultulduğu ve türbin hızının değişken olması nedeniyle elde edilen DA bara gerilim genliğinin de değişken olduğu düşünülerek,

evirici çıkışının giriş gerilimindeki değişimlerden etkilenmemesi amaçlanmaktadır. Benzer şekilde fotovoltaik sistemlerde panel çıkış gerilimleri ışık şiddeti ve güç referansına bağlı olarak değiştiği için, evirici girişinde güneş paneli bulunması durumunda da eviricinin değişken DA giriş geriliminden etkilenmeden şebekeye güç aktarması beklenmektedir.

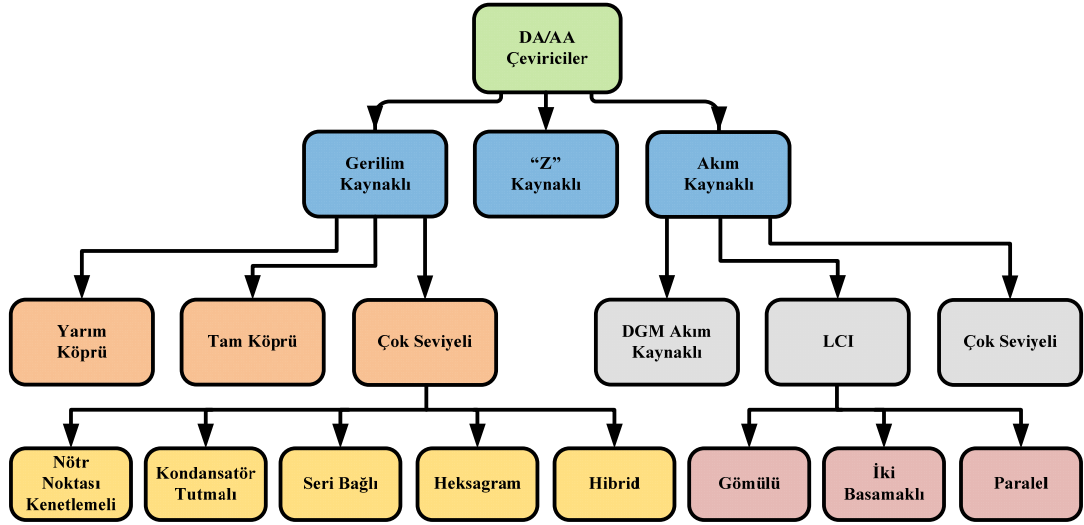
Sistemde kullanılan evirici topolojisi geleneksel eviricilerden farklı olarak üç fazlı üç seviyeli diyot kenetlemeli eviricidir. Bu topolojinin kullanımı ile özellikle yarıiletken güç anahtarlarının daha düşük gerilime maruz kalarak anahtar zorlanmalarının azaltılması ve daha düzgün çıkış geriliminin elde edilmesi sağlanmaktadır. İkinci bölümde iki seviyeli ve çok seviyeli eviricilerin karşılaştırması yapılarak avantaj ve dezavantajları tartışılacaktır.

Evirici çıkış gerilimi kontrolü çok seviyeli sinüzoidal darbe genişlik modülasyonu ($SDGM$) yöntemi ile gerçekleştirilecektir. $SDGM$ işaretleri DSP ile üretilerek eviriciye uygulanacak, öncelikle sistemin açık çevrim olarak şebeke bağlantısız çalışması incelenecektir. Sistemin çeşitli yük durumlarında verimi ve çıkış gerilimi kalitesi deneysel olarak araştırılacaktır.

Daha sonra evirici şebeke senkronizasyonunu gerçekleştirmek üzere sistemde bulunan işaret ölçüm devreleri ve işaretlerin yazılımsal olarak ölçeklendirilmesi, şebeke senkronizasyonu için kullanılan referans işaretin üretildiği faz kilitlemeli döngü (FKD) algoritması, evirici çıkış gerilim vektörünü kontrol eden PI kontrolör, mosfet sürücülerin beslemesinde kullanılan izole çıkışlı yardımcı güç kaynağı, kapı sürme devresi, kondansatör şarj devresi ve koruma devreleri gibi sistem bileşenleri tek tek incelenerek, tasarlanan sistemin pratik çalışması gösterilecek ve deneysel sonuçlar paylaşılacaktır.

2. EVİRİCİ YAPILARI

Evirici olarak adlandırılan *DA-AA* çeviriciler temel olarak gerilim kaynaklı, empedans kaynaklı ve akım kaynaklı olmak üzere üç ana başlıkta sınıflandırılır.



Şekil 2.1 : Evirici topolojileri sınıflandırması (Singh ve diğ, 2012).

Bu bölümde Şekil 2.1’de alt başlıkları ile sınıflandırılması görülen evirici yapılarından gerilim kaynaklı eviriciler ele alınacaktır. Gerilim kaynaklı eviriciler alçaltıcı çevirici yapısından türetilmiş olup, çıkış gerilimleri girişe eşit ya da daha düşük olabilir (Erickson, 1997, Bölüm 6).

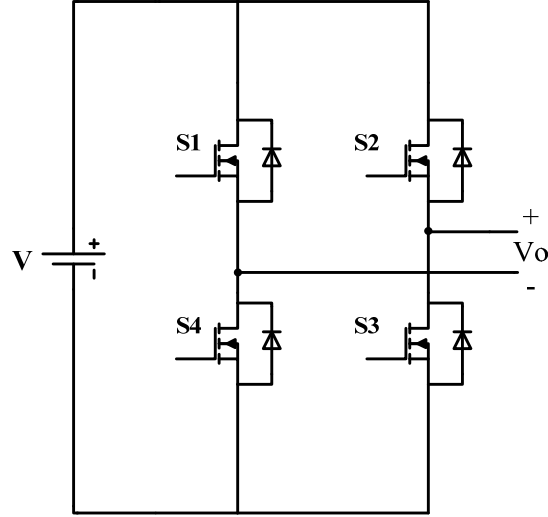
Yaygın olarak kullanılan geleneksel evirici yapılarından tam köprü evirici incelendikten sonra çok seviyeli evirici yapıları ile karşılaştırması yapılacaktır.

Tasarlanacak eviricinin yüksek giriş gerilimleri ve yüksek güçlerde kullanılması amaçlanmaktadır. Bu nedenle sistemde kullanılacak evirici topolojisinin yüksek giriş gerilimlerinde avantaj sağlaması gerekmektedir.

Genel olarak bakıldığında yarıiletken güç anahtarlarının anahtarlama frekansları güçleri ile ters orantılıdır. Sistemin gücü arttıkça güç devresinin anahtarlama frekansı düşeceği için, topolojinin düşük anahtarlama frekanslarında düzgün çıkış üretebilmesi ve çıkışın kolay filtrelenebilir olması avantaj sağlayacak diğer parametrelerdir.

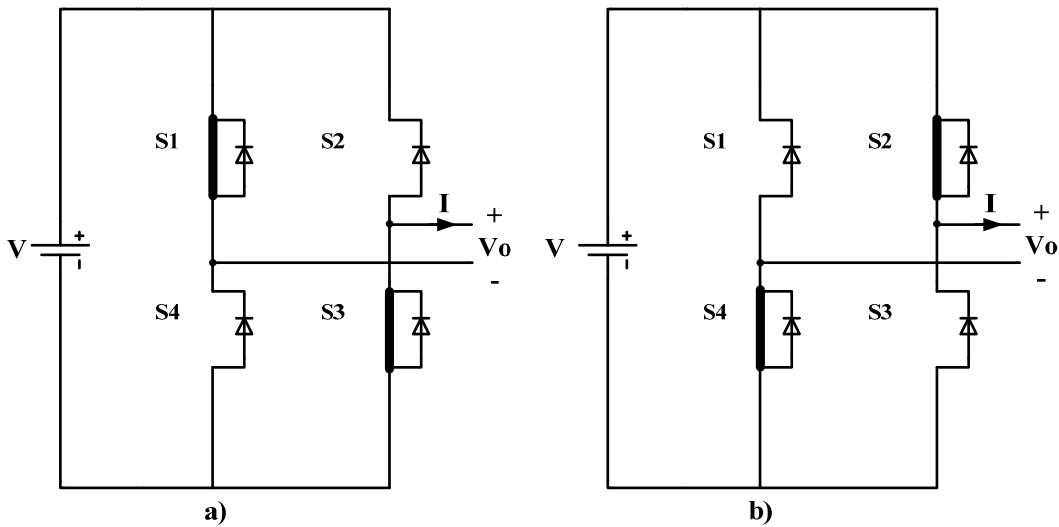
2.1 Bir Fazlı ve Üç Fazlı Tam Köprü Eviriciler

Şekil 2.2’de orta ve yüksek güçlerde kullanım alanı bulan bir fazlı tam köprü evirici devresi görülmektedir. Bu çevirici ile çıkışta üç farklı gerilim seviyesi elde edilebilmektedir.



Şekil 2.2 : Bir fazlı tam köprü evirici yapısı.

Şekil 2.3 a’da görüldüğü gibi S_1 ve S_3 anahtarları iletimde, S_2 ve S_4 anahtarlarının kesimde olduğu durumda çıkışta $-V$ gerilimi görülür. Bu durumda S_2 ve S_4 anahtarlarının üst uçlarına giriş gerilim kaynağının pozitif ucu, alt uçlarına ise negatif ucu bağlanmıştır. Bu sebeple kesimde olan bu iki anahtar giriş geriliminin tepe değerine maruz kalmaktadır. Bu durumda S_2 ve S_4 anahtarları giriş gerilimine dayanacak şekilde seçilmelidir.



Şekil 2.3 : Pozitif ve negatif çıkış gerilimi için anahtarlama durumları.

Şekil 2.3.b’de görülen S_1 ve S_3 kesimde, S_2 ve S_4 anahtarlarının iletimde olduğu durumda ise çıkışta $+V$ gerilimi görülür. Bir önceki anahtarlama durumunun tersine, bu sefer kesimde olan S_1 ve S_3 anahtarları giriş gerilimini tutmak zorundadırlar.

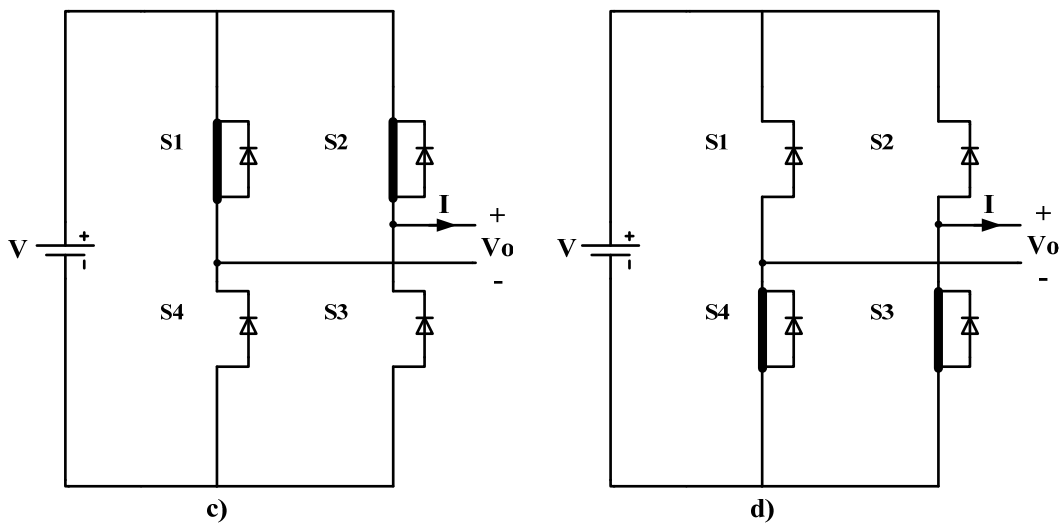
Bir fazlı tam köprü eviricide çıkışta sıfır gerilimi iki farklı şekilde elde edilebilir. Şekil 2.4’te görüldüğü üzere S_1 - S_2 ya da S_3 - S_4 ’ün aynı anda iletimde olduğu durumda çıkışta sıfır gerilim görülür.

Bu tür evirici yapılarında çıkış gerilimi, akım yönünden bağımsız olarak kontrol edilebilir. Endüktif veya kapasitif yük durumlarında akım ile gerilim aynı fazda olmayacağı için çıkış gerilimi pozitif iken akım negatif, ya da gerilim pozitif iken akım negatif olabilir. Bu çalışma aralıklarında akımın akabilmesi için gereken yol diyotlar tarafından sağlanır.

S_1 - S_3 iletim aralığında akım Şekil 2.3.a’da referans alınan ok yönünde ise S_1 ve S_3 anahtarlarının diyotlarından, tersi yönde ise anahtarlardan akar. Benzer şekilde S_2 - S_4 iletim durumunda akım ok yönünde ise anahtarlardan tersi yönde ise anahtarlara ters paralel bağlı diyotlardan akar.

Şekil 2.4’te çıkışta sıfır gerilim elde etmek amacıyla yük uçlarını kısa devre eden iki adet anahtarlama durumu görülmektedir. S_1 - S_2 aynı anda iletimde iken akım referans ok yönünde ise S_2 anahtarından ve S_1 ’in ters paralel bağlı diyotundan, akım referansa ters akıyor ise, S_2 anahtarı diyotundan ve S_1 anahtarından akarak çevrimi tamamlar.

S_3 - S_4 ’ün iletimde olduğu durumda ise benzer olay tekrarlanır.



Şekil 2.4 : Sıfır gerilim için anahtarlama durumları.

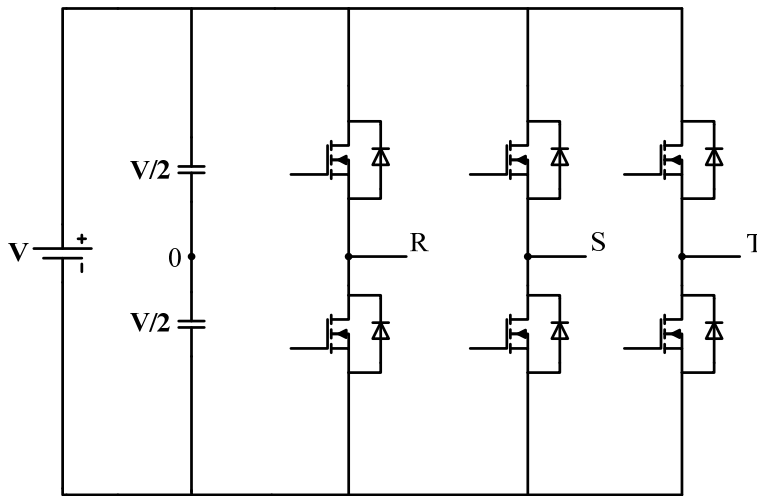
Anahtarlama elemanı olarak mosfet kullanılması durumunda mosfetlerde bulunan gövde diyotu sebebiyle, harici olarak diyot bağlanmasına gerek duyulmaz iken, *GTO*, *tristör*, *IGBT* ve *bjt* gibi elemanların anahtarlama elemanı olarak kullanılması halinde ters paralel bağlanması gerekmektedir. Bazı yarıiletken anahtarlar kılıflarında bu diyotlar anahtarla aynı kılıf içerisinde gelirken, bazılarında ise harici olarak dışarıdan bağlanırlar.

Görüldüğü gibi eviricide çıkış gerilimi akım yönünden bağımsız olarak üretilabilmekte ve yükün omik karakterli olmaması durumunda akım, anahtarların diyotları üzerinden de akabilmektedir.

Çizelge 2.1 : Bir fazlı tam köprü evirici anahtarlama durumları ve çıkış gerilimi.

Anahtarlama Durumu	İletimdeki Anahtarlar	Çıkış Gerilimi V_o
a	S_1 & S_3	$-V$
b	S_2 & S_4	$+V$
c	S_1 & S_2	0
d	S_3 & S_4	0

Çizelge 2.1’de görüldüğü üzere bir fazlı tam köprü evirici devresi dört farklı anahtarlama durumu ile üç seviyeli çıkış gerilimi üretebilmektedir.

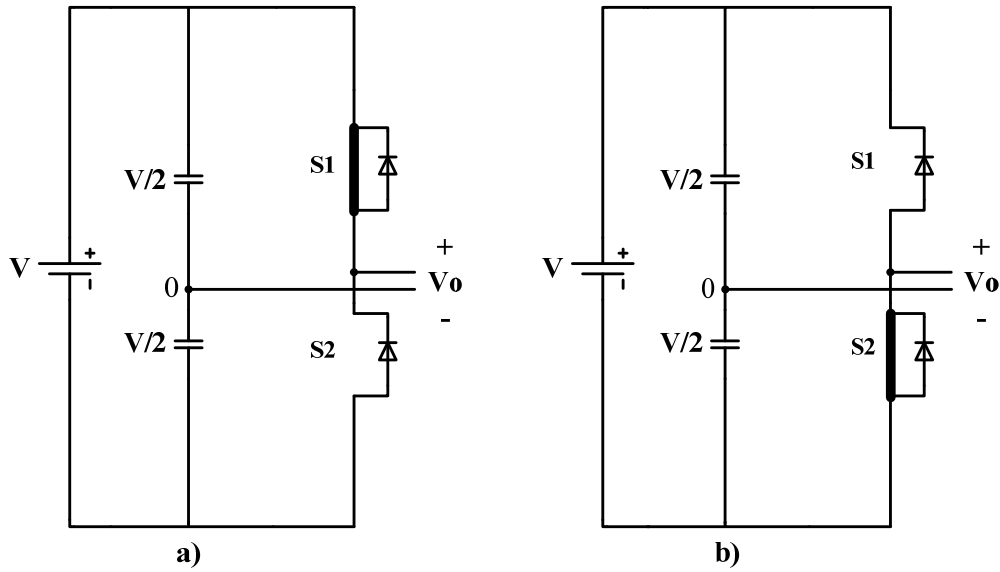


Şekil 2.5 : Üç fazlı iki seviyeli tam köprü evirici.

Şekil 2.5’te iki seviyeli üç fazlı evirici görülmektedir. Bu evirici üç fazlı uygulamalarda en fazla kullanım alanı bulan evirici yapısıdır. Üç fazlı tam köprü

evirici topolojisi üç adet yarım köprü eviricinin birleştirilmesiyle elde edilmiştir. Girişte bulunan gerilim bölücü kondansatörlerle devrenin referans noktası oluşturulmuştur. Eğer topolojinin kullanılacağı uygulamada yük ve evirici çıkış gerilimleri dengeli ise nötr hattından akım akmayacağı için, referans noktanın yük bağlantısı yapılmadan devre çalıştırılabilir.

Bu evirici yapısında da bir fazlı tam dalga eviricide olduğu gibi her bir anahtar giriş gerilimi tepe değerine maruz kalmaktadır. Ayrıca çıkış faz-nötr gerilimi kondansatör orta noktası referans alınarak, iki farklı seviyede olabilir.



Şekil 2.6 : Üç fazlı iki seviyeli tam köprü evirici anahtarlama durumları.

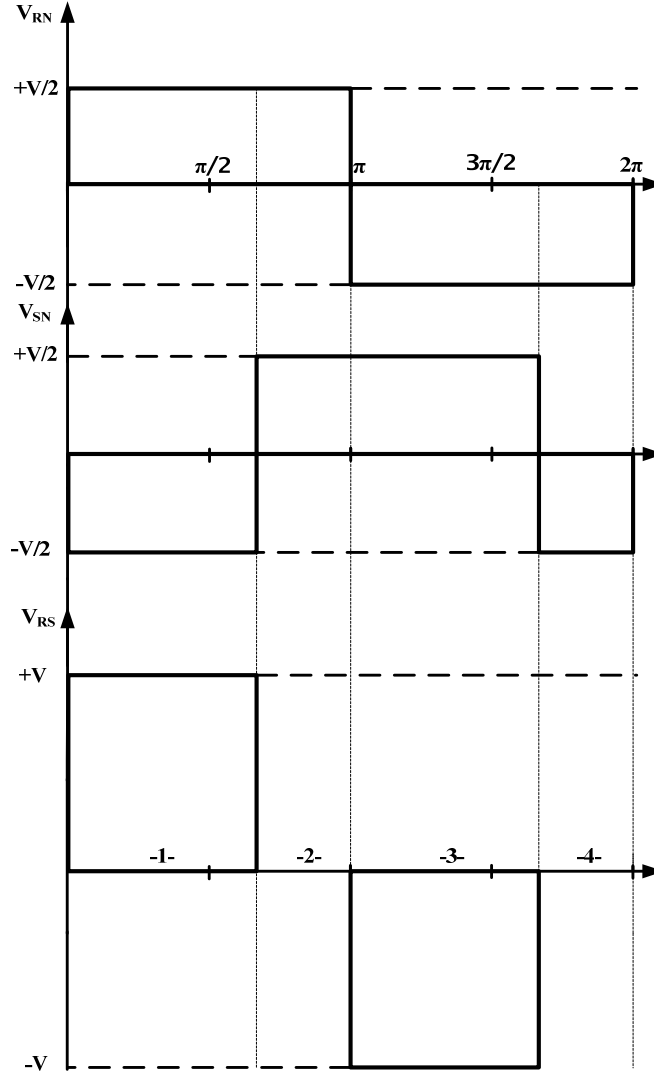
Anahtarlama durumları ve çıkış gerilimi ilişkisini açıklamak için Şekil 2.6'da görülen eviricinin bir faz bacağı incelenecektir.

S_1 anahtarı iletimde ve S_2 kesimde iken çıkış gerilimi $+V/2$ ve S_1 kesimde S_2 iletimde iken $-V/2$ değerlerini almaktadır. S_1 anahtarı iletimde iken S_2 anahtarının üst ucu giriş gerilim kaynağının pozitif ucuna alt ucu ise negatif ucuna bağlanmaktadır. Bu durumda S_2 anahtarı giriş gerilimi tepe değerine maruz kalır. Benzer durum S_1 için de geçerlidir.

Çizelge 2.2 : Üç fazlı tam köprü evirici anahtarlama durumları ve çıkış gerilimi.

Anahtarlama Durumu	İletimdeki Anahtarlar	Çıkış Gerilimi
a	S_1	$+V/2$
b	S_2	$-V/2$

Çizelge 2.2’de eviricinin anahtarlama durumları ve çıkış gerilimleri ilişkisi özetlenmiştir. Bu eviricinin faz-nötr gerilimi iki seviyeli olmasına rağmen, faz-arası gerilimde üç farklı seviye görülür. Şekil 2.7’de 180° iletimli evirici çıkışı faz-nötr gerilimleri ve faz-arası gerilimleri görülmektedir.



Şekil 2.7 : İki seviyeli üç fazlı evirici faz nötr ve faz arası gerilim ilişkisi.

Evirici faz gerilimleri arasında 120° derece faz farkı olduğu için, fazların vektörel toplamı nedeniyle faz-arası gerilim seviyesi faz nötr geriliminden daha yüksek genlikli ve seviyeli hale gelmiştir. Faz nötr gerilimi iki seviyeli olan eviricide faz arası gerilimi üç seviyeli olarak görülmektedir. Faz arası gerilimi denklem (2.1) ile hesaplanır.

$$V_{RS} = V_{RN} - V_{SN} \quad (2.1)$$

Şekil 2.7’de 1. aralık incelendiğinde V_{RN} pozitif, V_{SN} ise negatif ve eşit genliktedir. 1. aralık için V_{RS} çıkış gerilimi denklem (2.2) ile hesaplanır.

$$V_{RS} = +\frac{V}{2} - \left(-\frac{V}{2}\right)$$

$$V_{RS} = V \quad (2.2)$$

ile hesaplanır. Diğer aralıklar için hesaplamalar Çizelge 2.3’te verilmiştir.

Çizelge 2.3 : Üç fazlı iki seviyeli evirici faz nötr ve faz arası gerilimi.

Aralık	V_{RN}	V_{SN}	İfade	V_{RS}
1	$+V/2$	$-V/2$	$+V/2 - (-V/2)$	$+V$
2	$+V/2$	$+V/2$	$+V/2 - (+V/2)$	0
3	$-V/2$	$+V/2$	$-V/2 - (+V/2)$	$-V$
4	$-V/2$	$-V/2$	$-V/2 - (-V/2)$	0

Burada anlatılan yaklaşım darbe genişlik modülasyonu ile kontrol edilen eviricilerde de geçerlidir. Evirici kontrolü doğru şekilde yapıldığı takdirde faz arası gerilimde ek seviyeler görülecektir.

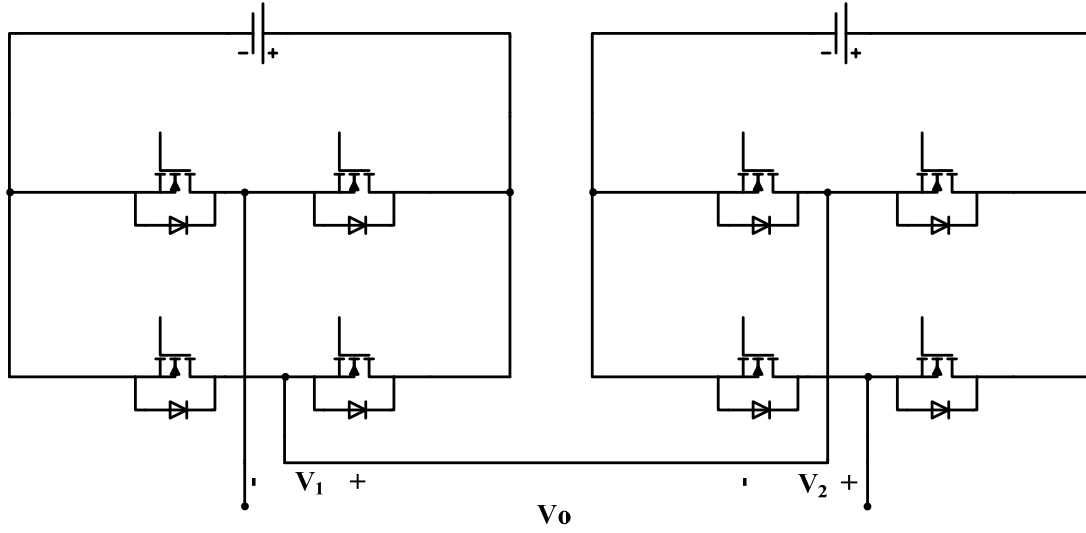
2.2 Çok Seviyeli Eviriciler

Çok seviyeli eviriciler çıkışlarında n farklı seviyede gerilim oluşturabilirler. En yaygın çok seviyeli eviriciler diyot kenetlemeli çok seviyeli evirici, seri bağlı tam köprü evirici ve kondansatör tutmalı çok seviyeli eviricilerdir. Çıkışta ikiden fazla gerilim seviyesi elde edebilmeleri sayesinde, çok seviyeli eviricilerin çıkış dalga şekilleri sinüzoidal forma daha yakındır.

Şekil 2.8’de iki adet bir fazlı tam köprü evirici devresi seri bağlanarak çok seviyeli evirici devresi oluşturulmuştur. Bu yapıda çıkışta her bir evirici çıkış geriliminin toplamı görülür. Her bir evirici uygun açılarda tetiklenerek çıkışta oluşacak toplam dalga şeklinin sinüzoidal forma yaklaştırılması sağlanabilir.

Seri bağlı tam köprü evirici sayısı istenildiği kadar arttırılarak, çıkış gerilim seviyeleri arttırılabilir. Ancak bu yapıda her bir evirici giriş kaynağı birbiri ile izole olmalıdır. Bu gereklilik ise genelde transformatör kullanımı ile ya da fotovoltaiik

panel gibi birbirinden izole kaynakların kullanılması ile sağlanır (Khajehoddin ve diğ, 2007).



Şekil 2.8 : Seri bağlı tam köprü eviriciler ile oluşturulmuş çok seviyeli evirici.

Birinci evirici çıkış gerilimi V_1 , ikinci evirici çıkışı ise V_2 olarak adlandırılırsa toplam çıkış (2.3) ifadesine göre hesaplanır.

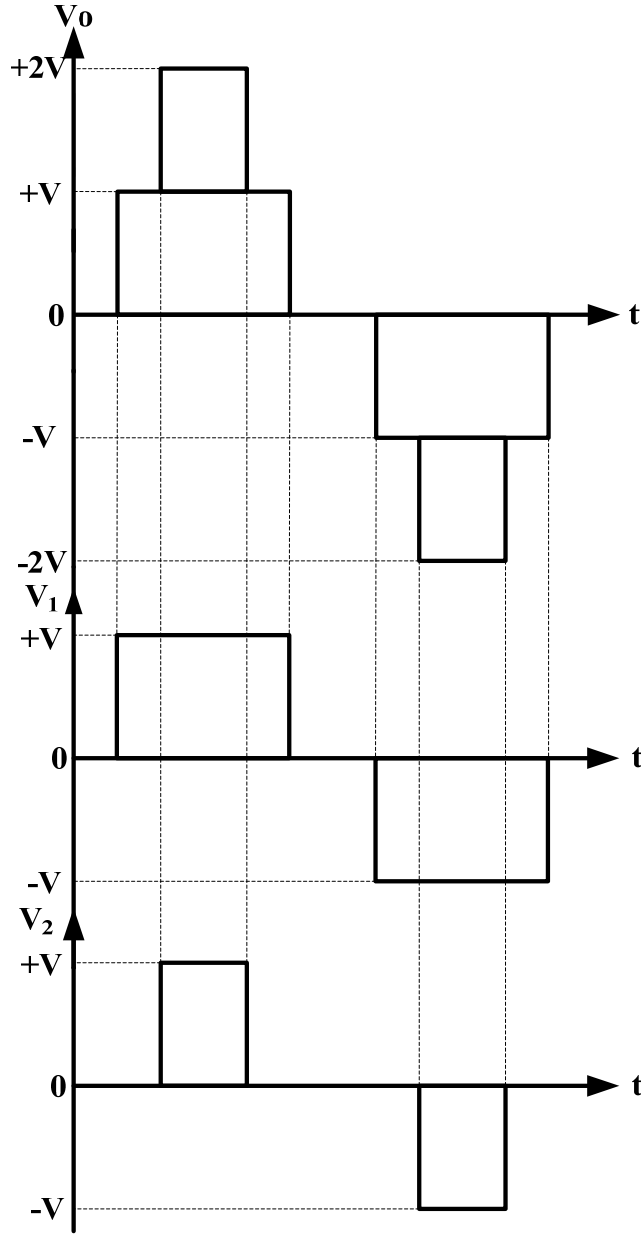
$$V_o = V_1 + V_2 \quad (2.3)$$

Bu yapıda her bir anahtar giriş gerilimi tepe değerine maruz kalmaktadır. Dolayısıyla seri bağlı çok seviyeli evirici topolojisi özellikle yüksek giriş gerilimlerinde anahtar zorlanması bakımından avantaj sağlamamaktadır.

Şekil 2.9’da seri bağlı çok seviyeli eviriciye ilişkin dalga şekilleri görülmektedir. Burada çıkış gerilimi V_1 olarak adlandırılmış olan üç seviyeli birinci evirici çıkış gerilimi ile V_2 olarak adlandırılan üç seviyeli ikinci evirici çıkışı toplanarak beş seviyeli V_o toplam çıkış gerilimi elde edilmiştir. Evirici uygun açılarda tetiklenerek V_o gerilimi içerisindeki harmonik genlikleri kontrol edilebilir.

Bu tür çok seviyeli gerilimin bir diğer avantajı da filtrelemenin kolaylaşmasıdır. Dalga şekli sinüs formuna yaklaştıkça, dalga şekli içerisindeki temel bileşen haricindeki harmoniklerin genlikleri düşecek, böylece evirici çıkışında kullanılacak olan filtre boyutları da küçülecektir.

Çok seviyeli eviricilere yüksek frekanslı anahtarlama açısından bakılacak olursa, iki seviyeli eviricilerle elde edilen çıkış gerilimi *THD* değeri çok seviyeli eviriciler ile daha düşük anahtarlama frekanslarında elde edilebilir.

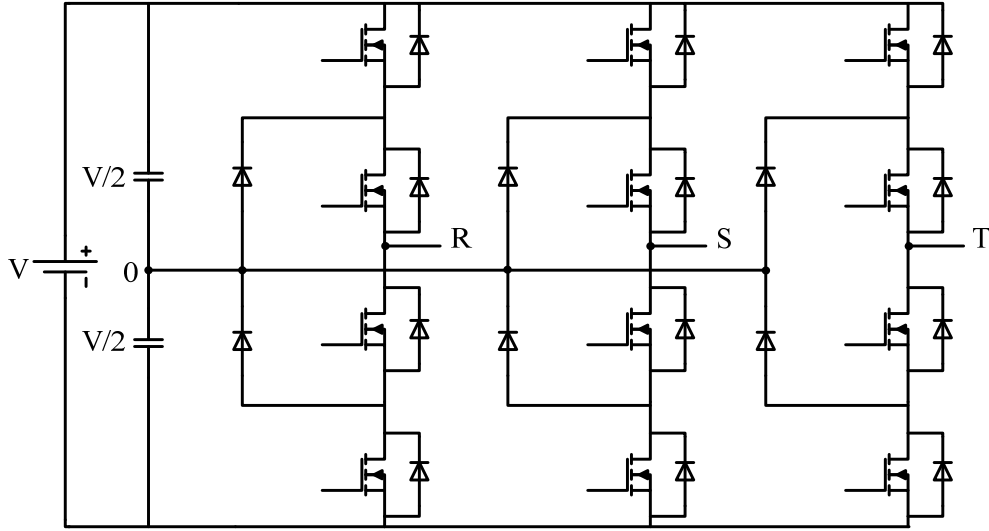


Şekil 2.9 : Seri bağlı tam köprü evirici dalga şekilleri.

Daha düşük frekanslarda anahtarlama yapılabilmesi ise daha az anahtarlama kaybı, daha düşük elektromanyetik yayılım gibi avantajlar sağlar.

Yarıiletken elemanların dayanma gerilimi ve güç seviyeleri arttıkça anahtarlama hızları düşmektedir. Özellikle *tristör*, *GTO* gibi yüksek güçlü uygulamalarda kullanılan anahtarlar birkaç *kHz* civarlarında anahtarlama yapabilmektedirler.

Bu tür anahtarların kullanıldığı yüksek güçlü gerektiren uygulamalarda çok seviyeli evirici yapılarının kullanılması avantaj sağlayacaktır.



Şekil 2.10 : Üç fazlı üç seviyeli diyot kenetlemeli evirici.

Şekil 2.10’da üç fazlı üç seviyeli diyot kenetlemeli evirici topolojisi görülmektedir. Bu devrede her bir fazda ters diyotları ile birlikte dört adet kontrollü yarıiletken anahtar ve ilave olarak iki adet kenetleme diyodu kullanılmaktadır. Giriş gerilimi iki adet kondansatör ile ikiye bölünerek, kondansatörlerin orta noktasında nötr noktası oluşturulmuştur.

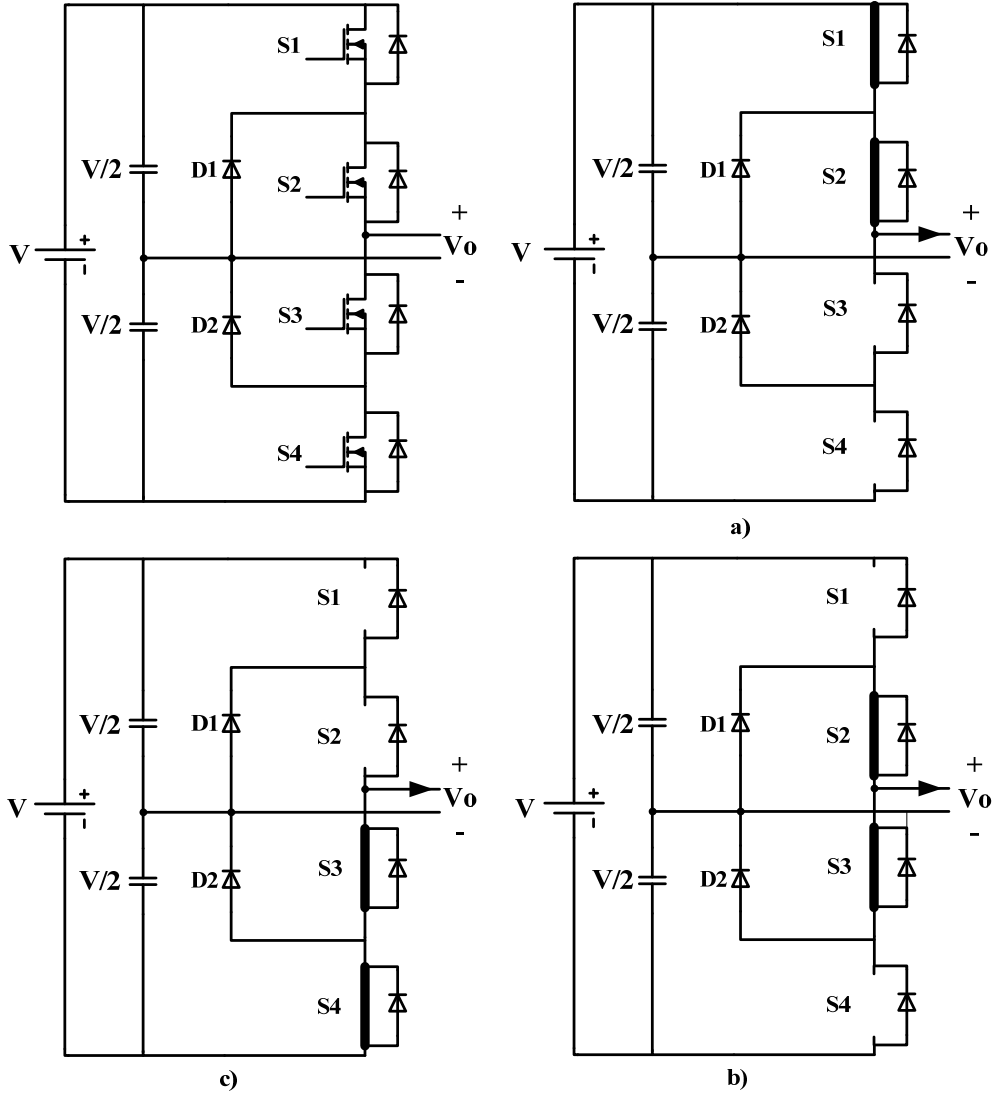
Bu devre üç farklı anahtarlama durumu ile $+V/2$, $-V/2$, ve 0 olmak üzere üç farklı çıkış gerilimi üretebilmektedir. Ayrıca her bir anahtar ve diyot giriş geriliminin yarısına maruz kalmaktadır.

Şekil 2.11’de eviricinin anahtarlama durumlarında oluşan alt devreler gösterilmektedir. S_1 ve S_2 iletimde iken çıkışta $+V/2$ gerilimi görülmektedir. Akım ok ile gösterilen referans yönünde akıyorsa anahtarlardan, ters yönde ise anahtarların diyotlarından akar. S_3 ve S_4 iletimde iken çıkışta $-V/2$ görülür.

Çıkışta sıfır gerilim oluşturmak için S_2 ve S_3 anahtarları birlikte iletime sokulmalıdır. Bu durumunda akım referans yönde akıyorsa D_1 kenetleme diyodu ve S_2 anahtarından, referansa ters yönde akıyorsa D_2 diyodu ve S_3 anahtarından akacaktır.

Bu eviricide her bir anahtarlama elemanı üzerine düşen gerilim giriş geriliminin yarısı kadar değişmektedir. İki seviyeli eviricide ise giriş gerilimi kadar değişim göstermekteydi. Bu sebeple anahtarlama sürelerinin iki topolojide aynı olduğu varsayılırsa üç seviyeli eviricide dv/dt değeri, iki seviyeli eviricinin yarısı kadar

olacaktır. Böylece çok seviyeli diyot kenetlemeli eviricinin daha düşük anahtarlama gürültüsü oluşturduğu söylenebilir.



Şekil 2.11 : Üç fazlı üç seviyeli diyot kenetlemeli evirici anahtarlama durumları.

Diyot kenetlemeli evirici topolojisinin modüler yapısı sayesinde evirici seviyesi istenildiği kadar arttırılabilir. Ancak seviye sayısı arttıkça, giriş kondansatörleri, kenetleme diyotları ve yarıiletken anahtar sayılarının da artacağı göz önünde bulundurulmalıdır.

Diyot kenetlemeli eviricide her bir anahtar giriş geriliminin yarısına maruz kaldığı için için topoloji yüksek giriş gerilimlerinde avantaj sağlamaktadır. Seviye sayısı artırılarak anahtar zorlanmaları daha da düşürülebilir. Seviye artışının getirdiği bir problem iletim kayıplarının artmasıdır. Bu topolojide çıkış akımı, ilgili çıkış seviyesini oluşturan anahtarlardan akmaktadır. Bu nedenle çıkışta yüksek seviyelerin görüldüğü anahtarlama durumlarında akım bu seviyeleri oluşturan anahtarların

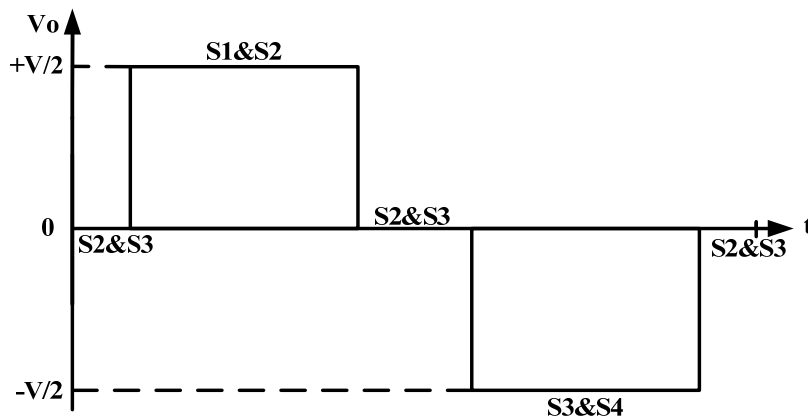
tümünden akacağı için, bu anahtarlar üzerinde iletim kaybı oluşturacaktır. Dolayısıyla evirici seviye sayısı iletim kayıpları gözönünde bulundurularak belirlenmelidir. Ancak iletim kayıpları çıkış ana harmoniği periyodunun tamamına yayılmadığı ve sadece çıkış seviyelerinin iletim sürelerinde olduğu için geleneksel çeviricilerden farklı şekilde oluşmaktadır.

Çok seviyeli diyot kenetlemeli eviriciler daha önce bahsedilen gerilim kaynaklı eviricilerde olduğu gibi alçaltıcı yapıdadırlar. Uygulanan kontrol algoritmasına göre evirici çıkış gerilimi girişe eşit ya da daha düşük seviyede değerler alabilir.

Çizelge 2.4 : Üç seviyeli diyot kenetlemeli evirici anahtarlama durumları ve çıkış gerilimleri.

Anahtarlama Durumu	İletimdeki Anahtarlar	Çıkış Gerilimi
a	$S_1 \& S_2$	$+V/2$
b	$S_2 \& D_1$	0
	veya $S_3 \& D_2$	
c	$S_3 \& S_4$	$-V/2$

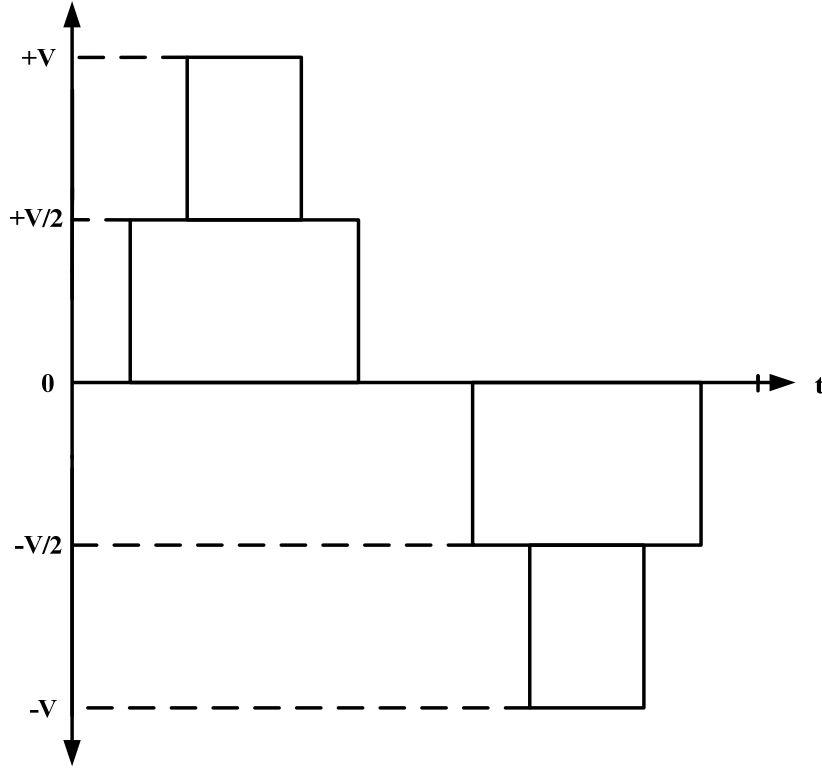
Çizelge 2.4’te anahtarlama durumlarına ilişkin çıkış gerilimleri verilen üç seviyeli diyot kenetlemeli eviriciye ilişkin faz-nötr çıkış gerilimi Şekil 2.12’de görülmektedir.



Şekil 2.12 : Üç seviyeli diyot kenetlemeli evirici faz nötr gerilimi.

Şekil 2.13’te üç seviyeli diyot kenetlemeli eviricinin faz arası gerilimi görülmektedir. Daha önce bahsedilen iki seviyeli eviriciye benzer şekilde üç seviyeli evirici faz arası

gerilimi tepe değeri giriş gerilimi tepe değerine eşittir. Ayrıca faz nötr gerilimi üç seviyeli iken, faz arası gerilimi beş seviyelidir. Eğer evirici doğru şekilde kontrol edilirse faz arası gerilimde Şekil 2.13'te görüldüğü gibi seviye artışı sağlanabilir.

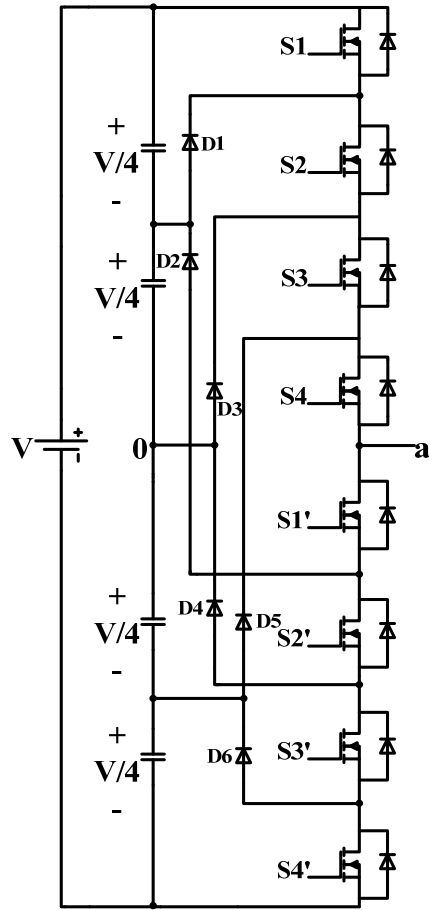


Şekil 2.13 : Üç seviyeli diyot kenetlemeli evirici faz arası gerilimi.

Şekil 2.13'te görülen beş seviyeli çıkış gerilimi beş seviyeli diyot kenetlemeli evirici topolojisi ile faz nötr gerilimi olarak da üretilebilir. Şekil 2.14'de bir faz bacağı görülen beş seviyeli diyot kenetlemeli eviricide her bir faz bacağı için sekiz adet kontrollü anahtar ve altı adet kenetleme diyodunun kullanılması gerekmektedir. Ayrıca girişte gerilim seviyelerini oluşturmak üzere kullanılan dört adet gerilim bölücü kondansatör bulunmalıdır.

Çizelge 2.5'te görüldüğü üzere bu evirici $+V/2$, $-V/2$, $+V/4$, $-V/4$ ve 0 gerilim seviyeleri olmak üzere çıkışta beş farklı gerilim seviyesi üretebilir. Akım yüküne bağlı olarak üç seviyeli diyot kenetlemeli eviricide açıklandığı gibi anahtarlardan ya da kenetleme diyotlarından akarak yolunu tamamlar.

Diyot kenetlemeli çok seviyeli eviricilerin en büyük dezavantajlarından biri Şekil 2.14'te de görüldüğü üzere seviye sayısı arttıkça devrenin karmaşılaşması ve kullanılan yarıiletken ve kondansatör sayısının artmasıdır.

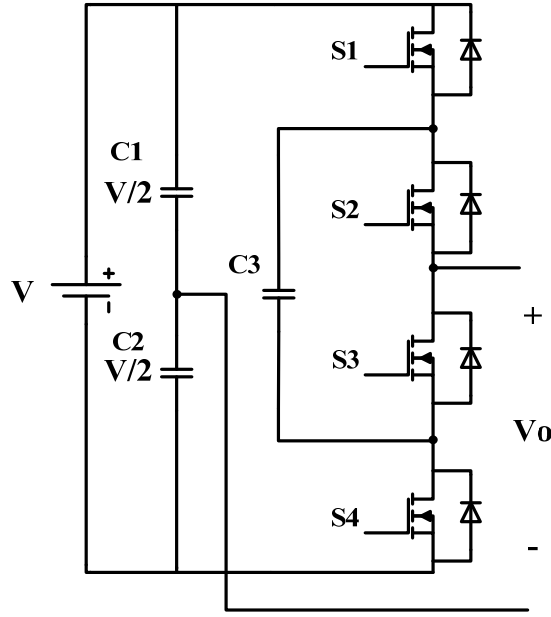


Şekil 2.14 : Beş seviyeli diyot kenetlemeli evirici bir fazı.

Çizelge 2.5 : Beş seviyeli diyot kenetlemeli evirici anahtarlama durumları ve çıkış gerilimi.

Anahtarlama Durumu	İletimdeki Anahtarlar	Çıkış Gerilimi V_{a0}
1	$S_1 \& S_2 \& S_3 \& S_4$	$+V/2$
2	$S_1' \& S_2' \& S_3' \& S_4'$	$-V/2$
3	$S_3 \& S_4 \& S_1' \& S_2'$	0
4	$S_4 \& S_1' \& S_2' \& S_3'$	$-V/4$
5	$S_2 \& S_3 \& S_4 \& S_1'$	$+V/4$

Topolojinin bir diğer dezavantajı ise giriş gerilimi dengesizliğidir. Girişte bulunan gerilim bölücü kondansatörlerde gerilimin eşit olarak paylaşılması gerekmektedir. Eğer giriş kondansatörlerindeki gerilim dengeli olarak paylaşırılamazsa eviricinin çıkış gerilim seviyeleri de eşit olmayacak ve dalga şekli bozulacaktır. Giriş gerilim kondansatörlerindeki gerilimin paylaşımı devrenin kullanılacağı uygulamaya bağlı olarak farklı yöntemler ile kontrol edilir.



Şekil 2.15 : Üç seviyeli kondansatör tutmalı evirici bir fazı.

Şekil 2.15'te popüler çok seviyeli evirici yapılarından üç seviyeli kondansatör tutmalı çevirici görülmektedir. Diyot kenetlemeli eviricide sıfır gerilim seviyesini oluşturmak amacıyla kenetleme diyotları kullanılırken, Şekil 2.15'teki eviricide bu amaçla kondansatör kullanılmaktadır.

Şekil 2.15'te üç seviyeli kondansatör tutmalı evirici, diyot kenetlemeli eviricide olduğu gibi modüler yapısı sayesinde istenilen seviyede çıkış gerilimi verebilecek şekilde türetilir. Çıkış seviyeleri arttıkça anahtar ve kondansatör sayısı da artmaktadır.

Üç seviyeli kondansatör tutmalı evirici çıkışta $+V/2$, $-V/2$ ve 0 gerilim seviyelerini üretebilmektedir. Çıkışta S_1 ve S_2 anahtarları iletimde iken $+V/2$, S_3 ve S_4 iletimde iken ise $-V/2$ gerilimleri görülmektedir. Çıkışta sıfır gerilim iki farklı anahtarlama kombinasyonu ile üretilir. S_1 - S_3 veya S_2 - S_4 anahtarı iletimde iken çıkışta 0 gerilim görülür. Ancak sıfır gerilimin elde edilebilmesi için C_3 tutma kapasitesinin geriliminin kontrol edilerek $+V/2$ değerinde olması sağlanmalıdır.

C_3 tutma kapasitesi S_1 - S_3 iletimde iken şarj, S_2 - S_4 iletimde iken isedeşarj durumundadır. C_3 kondansatörünün şarj dengesi 0 seviye anahtarlama kombinasyonlarının uygun şekilde seçilmesiyle sağlanmalıdır (Rodríguez ve diğ, 2002).

Çizelge 2.6’da üç seviyeli kondansatör tutmalı çeviricinin anahtarlama durumlarına ilişkin çıkış gerilimi ifadeleri gösterilmiştir.

Çizelge 2.6 : Üç seviyeli kondansatör tutmalı evirici anahtarlama durumları.

Anahtarlama Durumu	İletimdeki Anahtarlar	Çıkış Gerilimi
1	S_1 & S_2	$+V/2$
2	S_1 & S_3 veya S_2 & S_4	0
3	S_3 & S_4	$-V/2$

Özetle çok seviyeli eviricilerin avantajları aşağıdaki gibi sıralanabilir (Khajehoddin ve diğ, 2007).

- Kaliteli çıkış gerilimi.
- Aynı boyutlardaki filtreye sahip iki seviyeli evirici ile aynı kalitedeki çıkış geriliminin daha düşük anahtarlama frekanslarında elde edilebilmesi.
- Düşük anahtarlama kaybı ve yüksek verim.
- Anahtarların daha düşük gerilime maruz kalması ile düşük anahtar zorlanması.
- Özellikle yüksek güçlü uygulamalarda düşük maliyet.
- Yeterli sayıda çıkış seviyesi ile çıkış filtresinin ortadan kaldırılabilmesi.

Bütün bu avantajların yanında, seviye arttıkça kontrolün zorlaşması, sayısı artan yarıiletken anahtarları sürme zorluğu, kondansatör gerilimi dengesizliği ve kompleks kontrol algoritmaları çok seviyeli eviricilerin dezavantajları olarak sayılabilir.

Önceki kısımlarda seri bağlı tam köprü çok seviyeli eviricilerin yüksek giriş gerilimli uygulamalarda avantaj sağlamadığı ve izoleli giriş kaynağına ihtiyaç duyduğu tartışılmıştı. Bu sebeple bu evirici yapısının yüksek giriş gerilimli sistemlerde kullanımının anahtar zorlanması bakımından avantaj sağlamayacağı açıktır.

Kondansatör tutmalı eviricilerde ise özellikle tutma kondansatörünün boyutu ve gerilim dengesizliği problemi kontrolü zorlaştırmaktadır.

Günümüzde yarıiletken üreticileri yaygın olarak kullanılan belirli güç elektroniği topolojileri için hazır güç modülleri üretmektedirler. Bu modüller aynı kılıf içerisinde bütün bir evirici devresini ya da belirli kısımlarını barındırabilmektedirler. Yüksek güvenilirlik, montaj kolaylığı ve kapladıkları alan bakımından tasarruf sağlaması modül kullanımını cazip hale getiren unsurlardandır. Üç fazlı tam köprü doğrultucu, üç fazlı ve bir fazlı tam köprü evirici gibi yaygın kullanılan güç elektroniği topolojileri yanında diyot kenetlemeli çok seviyeli eviricilere ait güç modüller de üretilmeye başlanmıştır. Ek C’de örnek bir üç fazlı üç seviyeli diyot kenetlemeli evirici modülü bilgi sayfası yer almaktadır. Bahsedilen nedenlerle bu çalışmada üç fazlı üç seviyeli diyot kenetlemeli evirici yapısı kullanılacaktır.

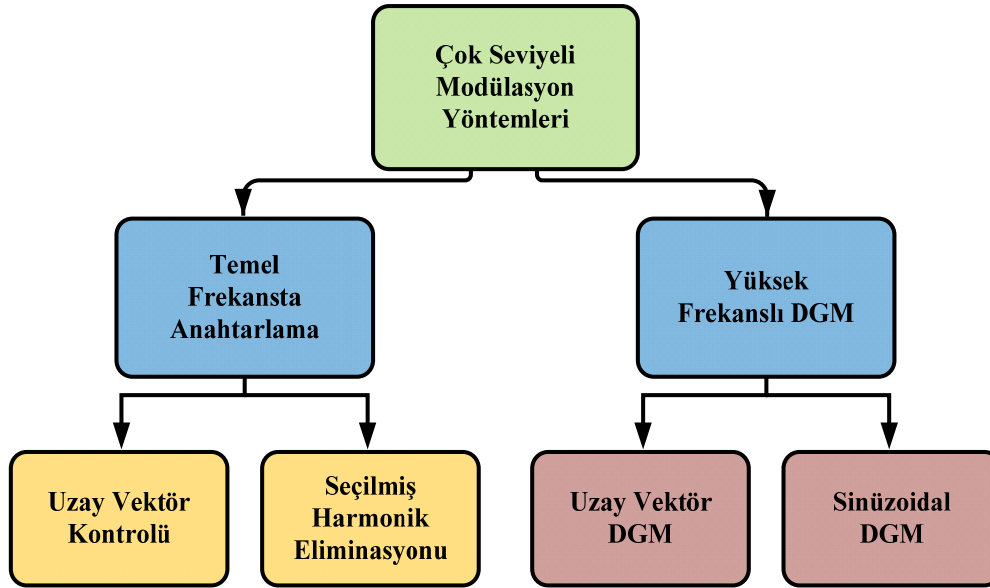
2.3 Evirici Modülasyon Yöntemleri

Bu kısımda evirici çıkış geriliminin kontrolüne yönelik modülasyon yöntemleri ele alınacaktır.

Şekil 2.16’da evirici kontrolünde kullanılan modülasyon metotları ana başlıkları ile sınıflandırılmıştır (Rodríguez ve diğ, 2002). Bu metotlarda amaç evirici çıkışını sinüzoidal forma yaklaştırmak ve ana harmonik dışındaki istenmeyen bileşenleri zayıflatmaktır.

Seçilmiş harmonik eliminasyonu yönteminde evirici çıkış gerilimi tetikleme açıları en uygun şekilde seçilerek arzu edilen harmoniklerin genlikleri düşürülmekte ve oluşan çıkış geriliminin kolay filtrelenebilirliği amaçlanmaktadır (Rashid, 2001, Bölüm 25,6). İstenen çıkış gerilimi darbe sayısı belirlenerek bu dalga şekli fourier serisine açılır. Açılım sonucunda elde edilen denklemler çözülerek eviricinin tetikleme açıları hesaplanır. Elde edilen denklemlerdeki bilinmeyen sayısı seçilen tetikleme açısı ile doğru orantılıdır. Dolayısı ile bilinmeyen sayısı kadar denklem kullanılarak denklem sistemi birlikte çözülmelidir. Denklemler çözülürken bir adet denklem ana

harmonik genliği kontrolü için diğerleri ise yüksek genlikli harmonikleri yok etmek için kullanılır. Genel olarak harmonik genlikleri frekans arttıkça azalacağı için yok edilecek harmonikler düşük frekanslı bileşenlerden seçilirler.



Şekil 2.16 : Çok seviyeli evirici modülasyon yöntemleri sınıflandırması.

Evirici kontrolünde en yaygın kullanılan yöntemler darbe genişlik modülasyonlarıdır (*DGM*). Sinüzoidal DGM ve Uzay Vektör Darbe Genişlik Modülasyonu (*UVDGM*) yöntemleri üzerinde en çok çalışılan kontrol yaklaşımlarıdır.

UVDGM yönteminde eviricinin üç fazı tek bir vektör ile kontrol edilir. Bu vektör uzay vektörü olarak adlandırılır. *UVDGM* yönteminde eviricinin tüm anahtarlama durumları için çıkış gerilimi vektörleri hesaplanır. Bu vektörler biraraya getirilerek oluşturulan vektör diyagramı, anahtarlama durumları ve bu anahtarlama durumlarına ilişkin çıkış gerilimlerini içermektedir. Daha sonra uzay vektörü, vektör diyagramı boyunca döndürülerek içerisinde bulunduğu sektöre göre evirici anahtarlama işaretleri oluşturulur. Uzay vektörü herhangi bir sektörün içerisinde iken eviriciye uygulanacak anahtarlama işaretleri, uzay vektörünün içinde bulunduğu sektörün komşu vektörleri ve sıfır gerilim vektörünün belli zamanlarda uygulanmasıyla elde edilir. Bu vektörlere ilişkin anahtarlama işaretleri eviriciye uygulanarak, evirici çıkış gerilimi uzay vektörüne yaklaştırılır. Bu yöntemde çıkış gerilimi uzay vektör genliği ve dönüş hızı kontrol edilerek gerçekleştirilir. *UVDGM* yönteminin pratik uygulaması oldukça yüksek hesaplama gücü gerektirmektedir. Özellikle çok seviyeli

eviriciler için seviye sayısı arttıkça, sektör sayısı da artış göstermekte ve kontrol algoritması daha da kompleks hale gelmektedir.

UVDGM yönteminin geniş kullanım alanları bulması sebebiyle günümüzde bazı gelişmiş mikrodenetleyicilerin *DGM* modülleri uzay vektörü yöntemini donanımsal olarak desteklemektedirler. Böylece periyodik olarak hesaplanması gereken bazı işlemler donanım tarafından otomatik olarak yapılmaktadır. Böylece kazanılan işlem gücü sistemdeki diğer işlerde kullanılabilir. Ancak her durumda *DGM* modülü yazılımsal olarak desteklenerek *UVDGM* işaretleri üretilir.

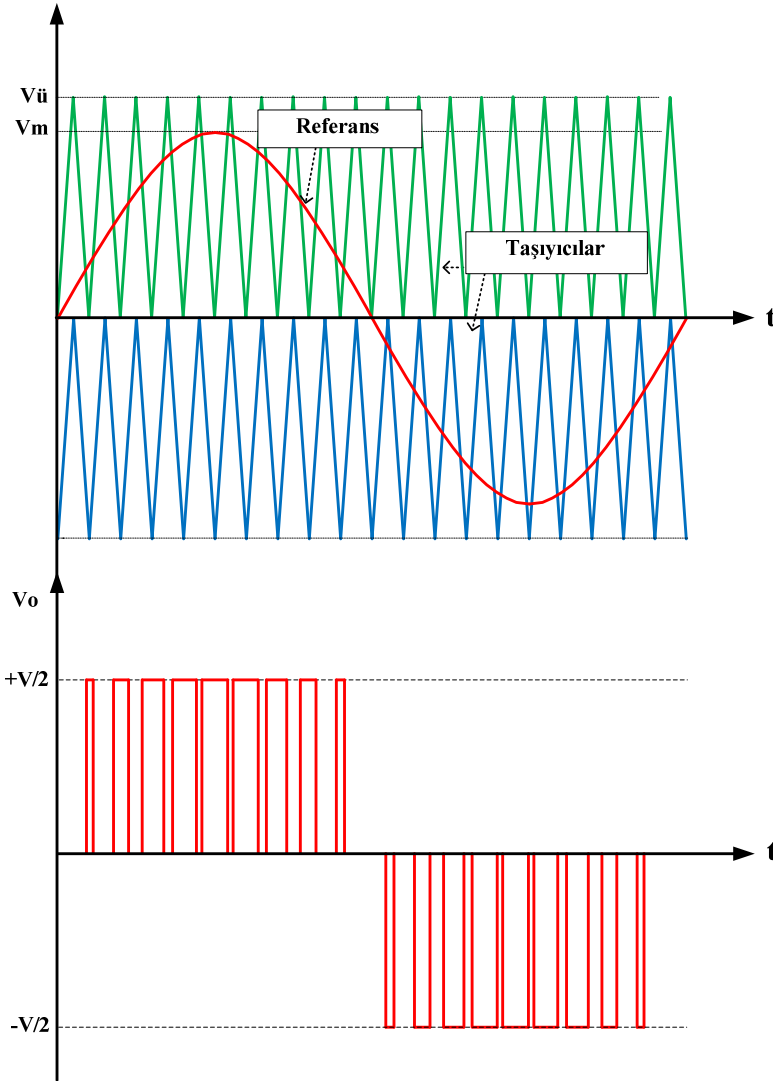
UVDGM yöntemi üç fazı bir adet vektörle kontrol ettiği için, tek bir anda sadece bir fazda anahtarlama yapılmasına izin verir. Bu nedenle devrede anahtarlama gürültüsü fazların bağımsız kontrolüne kıyasla üçte bir oranına kadar azaltılabilir.

Motor sürücüsü ya da güç kaynağı uygulamaları için *UVDGM* yöntemi cazip olsa da şebeke bağlantılı uygulamalar için bu yöntemin bir dezavantajı mevcuttur. Üç fazlı şebeke gerilimi her zaman dengeli olmayabilir. Dolayısıyla eviricinin dengesiz şebekelere tek bir uzay vektörü kullanılarak senkron yapılmaya çalışılması birtakım sorunları beraberinde getirmektedir. *UVDGM* yönteminin şebeke bağlantılı uygulamalarda kullanılabilmesi için vektör ayrıştırma gibi değişik yaklaşımlar geliştirilmektedir. Bu teknikler kontrol algoritmasını ve hesap yükünü daha da artırmaktadır.

Eviricilerde yaygın olarak kullanılan bir diğer *DGM* yöntemi sinüzoidal darbe genişlik modülasyonu (*SDGM*) olarak adlandırılır. Bu yöntemde referans ve taşıyıcı olarak adlandırılan iki işaret karşılaştırılarak anahtarlama işaretleri elde edilir. Amaç çıkış geriliminde ana harmonik dışındaki bileşenleri yüksek frekans bandına öteleyerek düşük frekanslı ana harmonik genliğini kontrol etmektir. Böylece elde edilen yüksek frekanslı kıyılmış dalga şekli alçak geçiren filtre ile filtrelenerek sinüzoidal dalga şekli üretilir.

Şekil 2.17’de üç seviyeli *SDGM* dalga şekilleri görülmektedir. Üç seviyeli *SDGM*’da iki adet taşıyıcı ve bir adet referans olmak üzere üç adet kontrol işareti bulunmaktadır. Her bir taşıyıcı işaret eviricinin bir seviyesini kontrol etmektedir. Anahtarlama frekansı taşıyıcı işaretlerin frekansı tarafından belirlenir. Pozitif alternansta sinüzoidal referans işaret üçgen dalgadan büyük olduğu takdirde eviriciye

çıkışta $+V/2$ üretecek, küçük olduğunda ise 0 gerilimi üretecek anahtarlama işaretleri uygulanır. Negatif alternansta ise bu işlemin tersi yapılır.



Şekil 2.17 : Üç seviyeli evirici *SDGM* dalga şekilleri.

Şekil 2.17’de görüldüğü üzere darbe genişlikleri sinüzoidal referansı takip ederek artmaktadır. Bu açıdan referans dalga şekli anahtarların çalışma oranını belirler. Sonuç olarak bu kontrol tekniğinde çalışma oranı $d(t)$ sinüzoidal şekilde değişmektedir.

$$d(t) = \sin(\omega t) \quad (2.4)$$

Eviricinin çıkış gerilimi ana harmonik frekansı referans işaretin frekansı ile kontrol edilmektedir. Referans sinüs işaretin frekansı değiştirilerek evirici çıkış gerilimi ana harmonik frekansı da değiştirilebilir.

Evirici çıkış gerilim genliği ise referans sinüsün genliği ile kontrol edilir. Referans sinüs işaretin genliği değiştiğinde buna paralel olarak çıkış gerilimindeki darbe genişlikleri de değişecektir. Referans sinüsün genliği azaldığında darbe genişlikleri azalacak, referans sinüs genliği arttığında ise darbe genişlikleri artacaktır.

Çıkış gerilimi integrali alınır, oluşan işaretin referansa yakınsadığı görülür. Kısacası çıkış gerilimi darbe genişlikleri referans ile aynı enerjiyi üretecek şekilde ayarlanmaktadır. Sinüsün genliğinin azaldığı noktalarda darbe genişlikleri daralmakta, sinüsün arttığı noktalarda ise genişlemektedir. Çıkış geriliminin referans sinüse yakınsayabilmesi için sinüs genliği ile taşıyıcı genliği arasında bir ilişki bulunmaktadır. Buna göre referans sinüs genliği taşıyıcı üçgen dalga genliğine eşit ya da taşıyıcıdan daha düşük olmalıdır.

Taşıyıcı ve referans işaret genlikleri **(2.5)** ifadesindeki gibi oranlanarak modülasyon indeksi adı verilen parametre tanımlanır.

$$m = \frac{V_m}{V_{\bar{u}}} \quad (2.5)$$

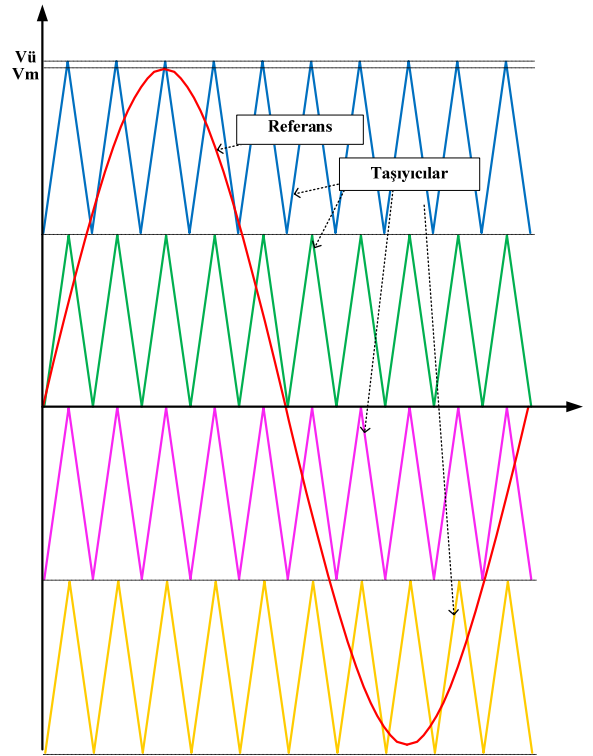
$m \leq 1$ durumu için çıkış gerilimi, referansa yakınsayacaktır. Ancak $m > 1$ durumunda referans sinüsün tepe noktalarında çıkış gerilimi darbeleri sürekli hale gelecek ve harmonik kontrolü kaybolacaktır. Bu durumda çıkışta istenmeyen bileşenler oluşarak dalga şeklinin filtrelenmesini zorlaştırabilir. Dolayısıyla m modülasyon indeksi birden küçük olarak seçilmelidir.

Modülasyon indeksinin olması gereken değerden düşük seçilmesi halinde ise çıkış gerilimi ana harmonik genliği düşük seviyede olacaktır. Bu durumda giriş DA bara geriliminden yararlanma oranı düşecektir.

SDGM yönteminde her bir faz kontrolü için ayrı ayrı taşıyıcı ve referans işaretlere ihtiyaç duyulur. Eviricinin farklı çıkışları için faz farkı, referans işaretler ile üretilir. Referans işaretler arasında 120° faz farkı üretilerek, evirici çıkışlarında üç fazlı gerilim üretilir.

Fazların bağımsız olarak kontrol edilebilmesi bu yöntemin getirdiği önemli bir avantajdır. Fazların bağımsız kontrol edilmesi doğal bir sonucu olarak *SDGM*'de *SVDGM* yönteminde olduğu gibi, bir anda sadece bir fazda anahtarlama yapılmasını temin edecek bir özellik yoktur.

SDGM'de evirici seviye sayısı arttıkça her bir seviyeye ait darbe genişliklerini kontrol etmek amacıyla ayrı taşıyıcılar kullanılabilir.



Şekil 2.18 : Beş seviyeli *SDGM* dalga şekilleri.

Şekil 2.18'de beş seviyeli *SDGM* dalga şekilleri görülmektedir. Benzer yaklaşımla n seviyeli *SDGM* üretmek için bir adet referans ve n adet taşıyıcı kullanılarak eviricinin anahtarlama işaretleri üretilebilir.

UVDGM'nin *SDGM*'na göre bir avantajı giriş *DA* bara geriliminden daha iyi yararlanılmasıdır. Yani aynı *DA* bara geriliminden *SVDGM* ile çıkışta daha yüksek ana harmonik genlikli gerilim üretilmektedir. Buna karşın *SDGM* yönteminde üçüncü harmonik ilavesi metoduyla bu açık kapatılmaktadır. Üçüncü harmonik ilaveli *SDGM* yönteminde referans sinüsün üç katı frekanstaki bileşen referans sinüse ilave edilerek elde edilen sinyal modülasyon işleminde referans olarak kullanılır. İlave edilen üçüncü harmoniğin genliği özel bir katsayı ile belirlenir. Bu şekilde elde edilen referans sinüs, çıkış geriliminin tepe değerlerinde daha iyi optimizasyon sağlayarak aynı *DA* bara geriliminden daha yüksek ana harmonik gerilim genliğini elde edilmesini sağlamaktadır.

SDGM yönteminin kullanımı, *SVDGM* yöntemine göre fazların bağımsız kontrolünde sağladığı kolaylık ve uygulanabilirliği açısından daha cazip görülmüştür.

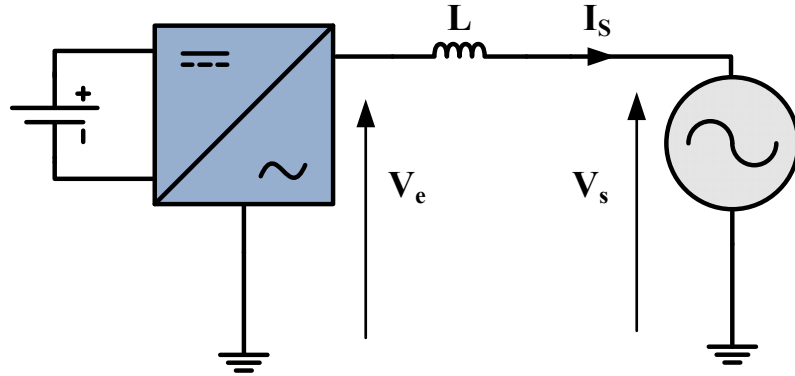
Bu çalışmada eviricinin üç fazına ilişkin çıkış gerilim vektörleri birbirinden bağımsız olarak çok seviyeli *SDGM* yöntemi kullanılarak kontrol edilecektir.

3. ÜÇ FAZLI ÜÇ SEVİYELİ DİYOT KENETLEMELİ EVİRİCİ

Bu bölümde üç fazlı üç seviyeli diyot kenetlemeli eviricinin şebeke senkronizasyonunu gerçekleştirmek amacıyla kullanılan kontrol algoritması incelenecek, evirici çıkışında kullanılan filtre boyutlandırıldıktan sonra, eviricinin matematik modellemesi yapılarak sistemin bilgisayarla benzetimi gerçekleştirilecektir.

3.1 Kontrol Algoritması

Şebeke bağlantılı evirici sistemlerinde amaç DA giriş tarafından alınan gücün şebekeye aktarılmasıdır. Bu amaçla literatürde üç fazı birlikte değerlendirerek güç kontrolünü gerçekleştiren algoritmalar bulunsa da, özellikle şebekenin dengesiz olması durumunda bu algoritmaların uygulanmasında birtakım zorluklar ortaya çıkmaktadır. Bu nedenle bu çalışmada eviricinin her bir fazını diğerinden bağımsız olarak kontrol edebilecek, uygulanabilirliği yüksek bir kontrol algoritması kullanılacaktır.



Şekil 3.1 : Bir faz evirici çıkışı şebeke bağlantısı diyagramı.

Şekil 3.1’de eviricinin bir faz çıkışına ilişkin şebeke bağlantısı blok diyagramı görülmektedir. Burada gösterilen akım ve gerilimler şebeke ana harmoniği olan 50Hz bileşenleridir. Evirici çıkış gerilimi anahtarlama dolayısı ile oluşan yüksek frekanslı harmonikleri içerse de, evirici ile şebeke arasında bulunan endüktans ile bu bileşenler filtrelenerek düzgün bir güç işareti elde edilmektedir.

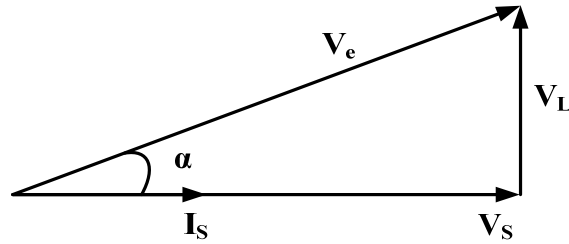
Şekil 3.1’de görülen L endüktansının filtreleme haricinde bir diğer görevi de şebeke ile evirici arasında bir izolasyon elemanı gibi çalışarak güç kontrolüne imkan vermesidir. Şebeke tarafında gerilimin frekansı ve genliği sabit olup şebeke

tarafından belirlenir. Bu nedenle böyle bir sistemde güç kontrolü yapabilmek için, şebekeye aktarılan akımın kontrol edilmesi gerekmektedir. Sisteme evirici açısından bakıldığında kontrol parametresi olarak evirici çıkış gerilimi vektörü V_e kullanılacaktır.

Sistemdeki kayıplar ihmal edilerek Şekil 3.1’de görülen sisteme ilişkin çevre denklemi (3.1)’de ifade edilmiştir.

$$\begin{aligned} V_e &= V_L + V_S \\ V_e &= j \cdot \omega \cdot L \cdot I_S + V_S \\ I_S &= \frac{V_e - V_S}{j \cdot \omega \cdot L} \end{aligned} \quad (3.1)$$

(3.1) ifadesinde görüldüğü gibi ω, L gibi parametreler sabit olup, şebeke gerilimi ise sonsuz güçlü bara kabulü ile eviriciden bağımsızdır. Yani eviricinin şebeke frekansı ve gerilimini etkileyecek güçte olmadığı kabulüyle V_S ’nin de bağımsız bir parametre olduğu düşünülebilir. Bu noktadan yola çıkarak (3.1) ifadesinde geri kalan tek parametre olan evirici çıkış gerilimi vektörü V_e ’nin genliği ve fazı kontrol edilerek, bağlantı endüktansının da yardımıyla eviriciden şebekeye aktarılan akımın genliği ve fazı kontrol edilebilir. Bu çalışma şeklinin fazör diyagramı Şekil 3.2’de görülmektedir.



Şekil 3.2 : Şebeke bağlantılı evirici fazör diyagramı (Khajehoddin, 2007).

Şekil 3.2’de V_e evirici çıkış gerilimi, V_S şebeke gerilimi, V_L endüktans gerilimi ve şebekeye aktarılan I_S akımına ilişkin fazör diyagramı, güç faktörü 1 olacak şekilde çizdirilmiştir. Fazör diyagramı çizilirken şebekeye yük olarak bakılmıştır. α açısı ve evirici çıkış gerilimi vektörünün genliği kontrol edilerek, şebekeye aktarılan gücün tamamının aktif güçten oluşması ve şebeke ile evirici arasında reaktif güç akışının önlenmesi sağlanabilir. Bunun için eviriciden şebekeye aktarılan akım ile şebeke geriliminin aynı fazda olması gerekmektedir. Ayrıca eğer istenirse, evirici çıkış

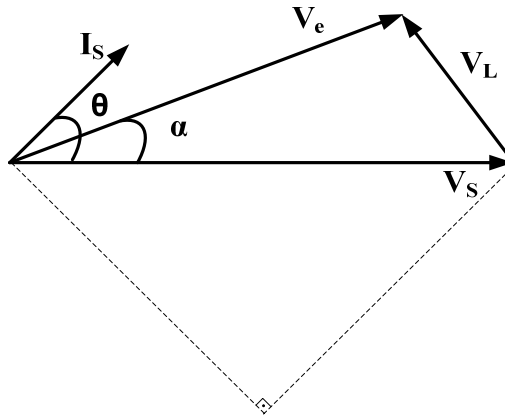
akımı ile şebeke gerilimi arasında faz farkı oluşturularak, eviricinin şebekeye reaktif güç aktarması da sağlanabilir (Khajehoddin, 2007).

(3.2)'de ifade edildiği üzere görünür güç aktif ve reaktif bileşenlerden oluşmaktadır.

$$\begin{aligned}
 S &= \sqrt{P^2 + Q^2} \\
 S &= V_S \cdot I_S \\
 P &= S \cdot \cos\theta \\
 P &= V_S \cdot I_S \cdot \cos\theta
 \end{aligned}
 \tag{3.2}$$

Eviriciden şebekeye güç aktarımı konusuna şebeke açısından bakıldığında ise, şebeke gerilimi ile akımı arasında 180° faz farkı yapıldığı takdirde güç faktörü 1'e getirilmiş olur. Böylece denklem (3.2)'den P aktif güç negatif değer alarak, güç akışının eviriciden şebekeye olduğu anlaşılabilir. Ancak tasarımda eviriciden çıkan akım yönü pozitif olarak alınarak şebekeye yük olarak bakılmıştır.

Akım ile gerilim arasındaki faz farkı θ kontrol edilerek şebeke bağlantılı evirici reaktif güç kompanzasyonu amacı ile de kullanılabilir. Bunun için sistemin ihtiyacı olan kapasitif ya da endüktif reaktif güç bilgisine ihtiyaç duyulmaktadır. Bu şekilde gerekli reaktif güç kompanzasyonu için θ 'nın pozitif ya da negatif değerleri hesaplanarak evirici çıkış akımı uygun faza getirilir.



Şekil 3.3 : $V_e < V_S$ iken evirici fazör diyagramı.

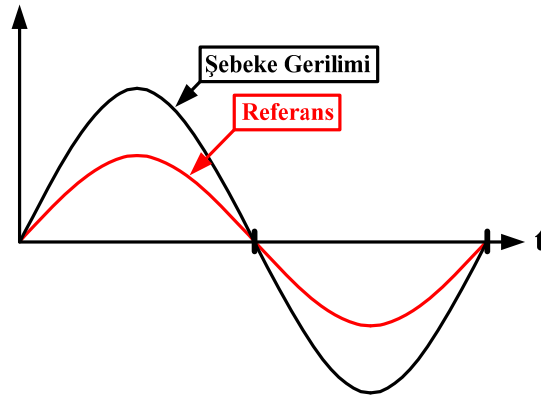
Eviricinin şebekeye aktif güç aktarmasındaki bir sınırlama evirici çıkış gerilimi genliğidir. Evirici çıkış gerilimi vektörünün şebeke gerilimi vektöründen daha küçük olması durumunda sistemin fazör diyagramı Şekil 3.3'te yeniden çizdirilmiştir. Fazör diyagramda da görüldüğü üzere bu durumda evirici çıkış akımı şebeke ile aynı faza

getirilemediği için güç faktörü 1 yapılamamaktadır. Bu nedenle evirici DA bara gerilim genliği şebeke gerilim genliğinden büyük olmak zorundadır.

Üç fazlı üç seviyeli evirici yapısı gözönüne alındığında evirici faz nötr çıkış geriliminin DA girişin yarısı değerinde olduğu ikinci bölümde tartışılmıştı. Şekil 3.1’de V_e evirici çıkış gerilimi vektörünün 50Hz’deki ana harmonik genliği olduğu ve modülasyon indeksi ile DA bara gerilimine bağlı olarak değiştiği hatırlanmalıdır. Dolayısıyla 220V AA gerilimine sahip bir şebekede şebeke gerilimi tepe değerinin 311V olduğu gözönüne alınarak eviricinin şebekeye güç faktörü 1 olacak şekilde güç aktarabilmesi için gerekli en düşük DA giriş gerilimi (3.3) ifadesine göre hesaplanır.

$$V_{DA_min} = \frac{2 \cdot V_{AA_tepe}}{m_{max}} \quad (3.3)$$

Modülasyon indeksi m ’nin en büyük m_{max} değeri 1’e mümkün olduğunca yakın seçilmelidir. Böylece evirici çıkış gerilimi vektörü genliğinin mümkün olduğunca büyük olması sağlanarak V_{DA_min} değeri mümkün olduğunca küçültülebilir. m ’nin seçimi Bölüm 3.2’de tartışılmaktadır.



Şekil 3.4 : Güç faktörünün 1 yapılabilmesi için evirici çıkış akımı referansı.

Şekil 3.4’te elde edilmek istenen evirici çıkış akımı ve şebeke gerilimi dalga şekilleri görülmektedir. Evirici çıkışı bu referans akımı takip edecek şekilde kontrol edileceği için, bu işaretin düzgün bir şekilde üretilmesi sistemin çalışma performansı açısından en kritik konulardan bir tanesidir.

Bu referans işaretlerin üretilmesi faz kilitlemeli döngü olarak adlandırılan kontrol sistemleri ile gerçekleştirilmektedir. Bu çalışmada akım referansının üretilmesi bir

kontrolünü gerçekleştiren *PI* kontrolün referansı 0 olarak girilmektedir. *PI* kontrolün geribesleme kısmına ise kondansatör gerilimlerinin farkı girilmekte, böylece *PI* kontrolörün kondansatör gerilimlerini eşitleyecek şekilde çıkış işareti üretmesi sağlanmaktadır. *PI* kontrolör çıkışı *FKD* çıkışında elde edilen referans işareten çıkartıldıktan sonra elde edilen akım referansı işareti, şebekeye aktarılacak gücü belirleyen *MPPT* devresi çıkışı ile çarpılarak, akım kontrolünü gerçekleştiren *PI* kontrolörün referansı işareti elde edilmektedir. Akım kontrolüne geribesleme işareti olarak ise ilgili evirici çıkışı faz akımı kullanılmaktadır.

PI akım kontrolü çıkışı evirici çıkış gerilim vektörünü kontrol etmektedir. Bu işaret üç seviyeli *SDGM*'nde referans olarak işlem görür. *SDGM* sonucu elde edilen işaretler ise eviriciye uygulanarak kontrol işaretlerinin güç işaretine dönüştürülmesi sağlanır.

Bu kontrol yapısı her faz için aynı şekilde ve bağımsız olarak uygulanmaktadır. Kontrol işlemi her bir fazda birbirinden bağımsız olarak yapıldığı için farklı fazlara farklı seviyelerde güç aktarımı mümkün kılınmıştır. Ayrıca sistemin bir ya da iki fazda da çalışabilmesi sağlanmıştır. Böylece fazlardan birinde oluşan bir problem sonucunda sağlıklı fazlara güç aktarımının devam edebilmektedir. Bu yaklaşım her bir faza aktarılan gücün güç faktörünün de birbirinden bağımsız olarak kontrol edilebilmesine imkan sağlamaktadır. *FKD* ile elde edilen akım referansının fazı aktarılacak gücün güç faktörünü, *MPPT* çıkışı ile çarpılan referans akım işaretinin genliği ise gücün genliğini kontrol eder.

Sistemin anahtarlama frekansı 20kHz olarak seçilmiştir. Anahtarlama elemanı olarak *mosfet* kullanılması sebebiyle daha yüksek frekanslara çıkılabilmesi mümkün olmakla beraber anahtarlama kayıplarının artacağı göz önünde bulundurulmuştur. Özellikle sistemde yumuşak anahtarlama yapılmaması anahtarlama frekansını sınırlayan önemli bir faktördür. Anahtarlama frekansının artışı ile birlikte anahtarlama kayıpları artacak ve sistem verimini düşecektir. Ayrıca yüksek güçlü uygulamalar için *IGBT* veya *GTO* gibi elemanların kullanılması durumunda anahtarlama frekansının daha düşük değerlerde olması, sistemin çok yüksek frekanslarda gerçekleştirilmesini anlamlı kılmamaktadır. Çünkü çok seviyeli eviricilerin kullanımı özellikle yüksek güçlerde cazip hale gelmektedir.

Bahsedilen kontrol algoritması 20kHz örnekleme frekansı ile anahtarlama işlemine senkron bir şekilde periyodik olarak koşturulmaktadır. Sistem bant genişliğinin yüksek olmasını temin etmek için kontrol algoritması örnekleme frekansı anahtarlama frekansında yapılmaktadır. Kullanılan işlemcinin *DGM* modülünün yeteneği sayesinde kontrol döngüsü anahtarlama işlemi ile senkron çalışmaktadır. Sistemde işaretlerin örneklenmesi işlemcinin *DGM* modülü ile donanımsal olarak tetiklenerek başlatılmakta, örnekleme işlemi sonunda işlemci otomatik olarak kesme üreterek kontrol algoritmasının koşturulacağı kesme alt programına dallanmaktadır. Alt programda koşturulan kontrol algoritması sonucunda elde edilen kontrol işareti, *DGM* modülü karşılaştırıcısına yazılarak döngü tamamlanmaktadır. Kontrol algoritmasının uygulanması dördüncü bölümde daha detaylı olarak ele alınacaktır.

3.2 Üç Seviyeli Sinüzoidal Darbe Genişlik Modülasyonu

İkinci bölümde genel hatlarıyla ele alınan üç seviyeli *SDGM* yöntemi bu bölümde daha detaylı olarak tartışılarak, *SDGM* işareti üretimi için kullanılan *F2808* işlemcisi *DGM* modülünün evirici ile olan bağlantısı incelenecektir.

Çok seviyeli *SDGM* işaretlerinin üretilmesinde her bir seviyenin ayrı bir taşıyıcı üçgen dalganın kullanıldığı ikinci bölümde anlatılmıştı. Üç seviyeli *SDGM* üretimi için iki adet taşıyıcı üçgen dalgaya ihtiyaç vardır. Ancak bu işaretlerin üretiminde kullanılacak *TMS320F2808* işlemcisinin *DGM* modülü sayıcısı pozitif sayılarla işlem yapmaktadır. Dolayısıyla *DGM* modülü donanımsal olarak pozitif değerlerle çalıştığı için, algoritmanın bu çalışma şekline uyarlanması gerekmektedir.

F2808 işlemcisi *ePWM* olarak adlandırılan birbiri ile eş altı adet *DGM* modülü içerir. *ePWM1*'den *ePWM6*'ya kadar olan her bir modülde ise *ePWMx_A* ve *ePWMx_B* olarak adlandırılan iki adet donanımsal çıkışı bulunmaktadır. Toplam oniki adet *ePWM* çıkışı eviricideki oniki adet anahtar kontrol etmek için kullanılmaktadır.

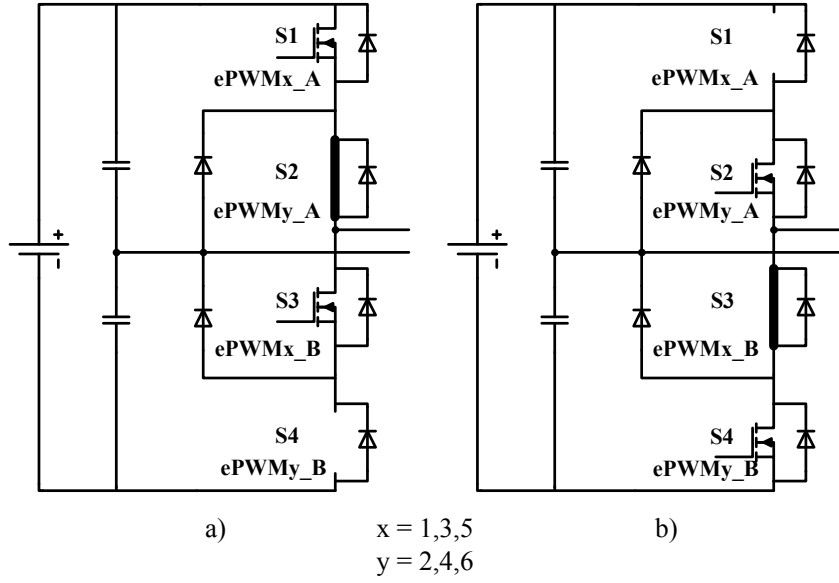
Modülde donanımsal olarak bulunan sayıcı ve karşılaştırıcı sonucu elde edilen anahtarlama işaretleri, istenildiği takdirde donanımsal olarak ölü zaman da eklenerek ilgili pinlerden dışarıya aktarılır. *ePWM* modülü ayarları yazılımsal olarak yapıldıktan sonra, *SDGM* işaretleri yazılım destekli olarak üretilecektir.

Bu amaçla modülde bulunan karşılaştırıcı kaydedicisi her bir anahtarlama periyodunda yazılımsal olarak güncellenerek, çıkış darbe genişliklerinin sinüzoidal

olarak ayarlanması sağlanacaktır. Sistem şebeke bağlantılı çalışırken karşılaştırma kaydedicisi değeri Şekil 3.5'te görülen *PI* akım kontrolü tarafından hesaplanır. Şebeke bağlantısız çalışmada ise karşılaştırma kaydedicisine yazılmak üzere bir referans sinüs işaretine ihtiyaç vardır. Şebeke bağlantısız çalışmada *FKD* düzgün çalışmadığı için akım referansı düzgün olmamakta bu nedenle *PI* akım kontrolü çıkışı referans sinüs olarak kullanılamamaktadır. Şebeke bağlantısız çalışma için sinüs değeri işlemcide yazılımsal olarak hesaplanabilir. Ancak böyle bir yaklaşım pratikte işlem gücünün gereksiz yere kullanılmasına sebep olacaktır. Çünkü periyodik bir fonksiyon olan sinüs, sürekli olarak işlemci tarafından hesaplanarak elde edilen aynı sinüs serisi karşılaştırma kaydedicisine yazılacaktır. Periyodik olarak aynı sinüs değerlerini gerçek zamanlı hesaplamak yerine tablodan okuma yöntemi kullanılabilir. Bir kez hesaplanan tablo işlemciye yüklenerek ilgili değer tablodan okunarak karşılaştırma kaydedicisine yüklenir. Tablodan okuma yöntemi gerçek zamanlı sinüs hesaplamaya göre daha kısa sürede gerçekleştirilse de bu yöntem işlemciye tablo yüklenmesini gerektirdiği için hafıza kullanımı arttırır. Özellikle yüksek çözünürlük istendiğinde tablo boyutları artmaktadır. Eğer anahtarlama frekansı çok yüksek ve üretilecek çıkış gerilimi ana harmoniği düşük frekansta ise büyük boyutlu tabloya ihtiyaç duyulur. *F2808* işlemcisi ise yüksek hızı ve geniş hafızası ile her iki yöntemin de kullanılabilmesini mümkün kılmaktadır. Ayrıca işlemci içerisinde 512 adet elemandan oluşan hazır bir sinüs tablosu *Q30* sayı formatında yüklü olarak gelmektedir. Tasarımda daha yüksek çözünürlüklü *SDGM* sinyali üretmek için 2048 elemandan oluşan bir tablo oluşturularak işlemciye yüklenmiş ve şebeke bağlantısız uygulamalar için gerekli olan karşılaştırma değerleri bu tablodan okunarak elde edilmiştir. *F2808* işlemcisi *ePWM* modülü ayarları ve sinüs tablosunun üretilmesi Bölüm 4.3.3'te incelenecektir.

ePWM modülünün istenilen kanallarında üçgen dalga senkron olarak konfigüre edilebildiği için her bir fazda bağımsız *SDGM* işaretleri kolaylıkla üretilebilmektedir. Bu amaçla *ePWM1* ve *ePWM2* modülü *T* fazı, *ePWM3* ve *ePWM4* modülü *S* fazı, *ePWM5* ve *ePWM6* modülü ise *R* fazını kontrol etmek üzere kullanılmaktadır. *ePWM* modülünün faz kaydırma özelliği kullanılarak, tüm *ePWM* modüllerinin sayıcıları senkron hale getirilmiştir.

Şekil 3.6'da eviricinin tek bir faz bacağına ilişkin *ePWM* modülü bağlantıları ve anahtarlama durumları görülmektedir.



Şekil 3.6 : Diyot kenetlemeli evirici üç seviyeli *SDGM* alt devreleri.

Burada $ePWMx_A$ ve $ePWMx_B$ olarak adlandırılan çıkışlar birbirleri ile eşlenik olarak çalışmaktadırlar. $ePWMx_A$ “1” iken $ePWMx_B$ “0”, $ePWMx_A$ “0” iken ise $ePWMx_B$ “1” değerini almaktadır. Benzer şekilde $ePWMy_A$ ve $ePWMy_B$ modülleri de kendi aralarında eşlenik olarak çalışacak şekilde konfigüre edilmiştir.

Referans sinüsün pozitif alternansında, Şekil 3.6.a’da görülen alt devre oluşur. Burada $ePWMy_A$ sürekli olarak “1” ve $ePWMy_B$ ise sürekli olarak “0” değerini almakta dolayısıyla, pozitif alternans boyunca S_2 anahtarı sürekli iletimde, S_4 ise kesimdedir. Karşılaştırma sonucu elde edilen sinüzoidal *DGM* işaretleri ise $ePWMx_A$ ve $ePWMx_B$ ile S_1 ve S_3 anahtarlarına uygulanır. Bu durumda Şekil 2.17’de görülen evirici çıkış geriliminin pozitif alternansı elde edilir. Yani evirici çıkışında sıfır ve pozitif gerilim seviyelerini üretilerek, darbe genişlikleri sinüzoidal şekilde değiştirilir.

Referans işaretin negatif alternansında ise *ePWM* modülü pozitif kısımlarda karşılaştırma yapabildiği için, karşılaştırma değerinin pozitif alternansa ötelenmesi gerekmektedir. Yani referansın negatif alternansında referans ile taşıyıcı dalga genliği toplanarak karşılaştırma işlemine tabii tutulur. Bu alternansta $ePWMx_A$ sürekli olarak “0” ve $ePWMx_B$ ise sürekli olarak “1” değerini alır. *SDGM* işaretleri ise $ePWMy_A$ ve $ePWMy_B$ ile eviriciye uygulanarak Şekil 2.17’de görülen negatif alternanstaki çıkış gerilimi elde edilir.

Anahtarlama şeklinden de görüleceği üzere eviricinin bir alternans süresince bir faz bacağında bulunan dört anahtardan aynı anda sadece ikisi yüksek frekansla anahtarlanmaktadır. Yüksek frekanslı *DGM* işareti pozitif çıkış alternansında S_1 - S_3 , negatif alternansta ise S_2 - S_4 anahtarlarına uygulanır. Bu yüzden çok seviyeli eviricilerde fazlarda fazla sayıda anahtar bulunmasına rağmen bunlardan bir anda sadece iki tanesi anahtarlama kaybı yapmaktadır. Diğer anahtarlar şebeke frekansında anahtarlandığı için anahtarlama kayıpları ihmal edilebilir. Böylece farklı seviyeleri kontrol eden ve o an *SDGM* işareti uygulanmayan anahtarlar dinlenmiş olur. Şebeke frekansı ile anahtarlanan yarıiletkenlerde öne çıkan kayıp iletim kayıplarıdır. Yüksek frekanslı *DGM* ile çalışan çeviricilerde oluşan kayıpların en önemlisinin anahtarlama kaybı olduğu gözönüne alındığında, çok seviyeli *SDGM* ile kontrol edilen diyot kenetlemeli eviricinin bir fazının sadece iki adet anahtarında anahtarlama kaybı oluşması verim açısından iyi bir karakteristiktir. Ancak kullanılacak seviye sayısı belirlenirken iletim kayıpları gözönünde bulundurulmalıdır. Çünkü seviye sayısı arttıkça anahtar sayısı da artacak, bununla doğru orantılı olarak iletim kayıpları da artış gösterecektir.

3.2.1 Ölü zaman ve modülasyon indeksi

SDGM işaretleri güç devresine uygulanırken önemli bir parametre de ölü zamandır. Yarıiletken anahtarlara kapı sinyalleri uygulandığında ya da kesildiğinde anahtarın ilettime geçme ve kesime gitmesi belli bir zaman almaktadır. Topoloji, sürme devresi ve kullanılan anahtar tipine bağlı olarak değişen bu zaman *DGM* işaretleri oluşturulurken gözönüne alınmalıdır. Şekil 3.6.a'daki devre ele alındığında, S_1 anahtarının kesime götüren işaret ile S_2 anahtarını ilettime geçiren işaret arasında belirli bir boş süre konmalıdır. Aksi halde eğer S_1 kesime gitmeden S_2 anahtarı ilettime sokulursa, girişte üst tarafta bulunan kondansatör S_1 , S_2 , S_3 ve kenetleme diyodu üzerinden kısa devre edilmiş olacaktır. Bu kısadevre süresi çok kısa olsa da kısadevre anında parazitik elemanlar ve yarıiletkenlerin gövde dirençleri haricinde akımı sınırlayacak bir eleman bulunmadığından anahtarlar zarar görecektir. Bu nedenle eşlenik çalışan *DGM* işaretleri arasında ölü zaman olarak adlandırılan boşluklar kullanılır. Şekil 3.6'daki bağlantı için $ePWMx_A$ ve $ePWMx_B$ 'nin kendi aralarında, $ePWMy_A$ ve $ePWMy_B$ 'nin de kendi aralarında ölü zamana sahip olmaları gerekmektedir.

Ölü zaman üretimi analog ve lojik devreler ile harici olarak gerçekleştirilebilse de günümüzde güç elektroniğine dönük *DGM* modülleri içeren işlemciler donanımsal olarak ölü zaman üretimini gerçekleştirmektedir. *F2808* işlemcisinin *ePWM* modülü de ölü zaman lojiği devresini barındıran gelişmiş bir *DGM* modülüdür. Yazılımsal olarak konfigüre edilebilen bu modül ile eşlenik, pozitif veya negatif lojik ölü zaman işaretleri üretilerek, yükselen ve düşen kenar ölü zamanları bağımsız olarak programlanabilmektedir. Bir kez programlanan ölü zaman değerleri sistemin çalışması süresinde donanımsal olarak üretilmektedir.

Şekil 3.6’da görülen bağlantı ile işlemcinin *ePWM* modülü ve evirici en uygun entegre edilmeye çalışılmıştır. Özellikle seviye değişim anı kritik bir nokta olarak görülebilir. *ePWM* modülünün evirici ile bağlantısı bu şekilde yapılarak, özellikle seviye değişim anında dört adet anahtarın aynı anda ilettime geçmesi önlenmiş ve ölü zaman lojiğinden en etkin şekilde yararlanılmıştır.

Modülasyon indeksi değerinin $m \leq 1$ olması gerektiği ikinci bölümde tartışılmıştı. Ölü zaman değeri m ’nin yüksek değerlerini sınırlamaktadır. $m = 1$ durumu için ölü zamanlı bir *SDGM* işaretleri incelendiğinde özellikle çalışma oranının en yüksek değerler aldığı sinüsün tepe noktalarında çıkış geriliminin sürekli hale geldiği görülecektir. Ölü zaman lojiğinin doğası gereği, çalışma oranı ölü zaman değerine yaklaşan *DGM* işareti sürekli olarak lojik 0’da kalmakta, eşleniği olan işaret ise sürekli olarak lojik 1’de değer almaktadır. Bunun sonucunda referansın tepe noktalarında harmonik kontrolünün kaybolması nedeniyle çıkış geriliminde istenmeyen harmoniklerin oluşması mümkündür. Bu sebeple kullanılan ölü zaman değerine göre uygun bir modülasyon indeksi seçilmelidir.

Pratikte ölü zaman değerleri *mosfet*ler için birkaçyüz *ns*, *IGBT*’ler için ise birkaç μsn civarlarında yeterli olmaktadır. Özellikle *IGBT*’lerin kesime giderken akım kuyruğu adı verilen ve kesim süresini oldukça uzatan karakteristiği, anahtarlama hızlarını düşürmektedir. Bu nedenle *IGBT*’ler bir miktar daha fazla ölü zamana ihtiyaç duymaktadırlar. Tabi ki bu parametreler anahtarın sürme akımı ve giriş kapasitesi, arzu edilen drain-source gerilimi yükselme zamanları ve güç devresi topolojisine bağlı olarak değişiklik gösterecektir.

Dördüncü kısımda bahsedileceği üzere tasarlanan sistemde $1\mu s$ ’lik ölü zaman yeterli gelmektedir. Ayrıca *SDGM* işaretlerinin üretiminde kullanılan *ePWM* sayıcısı 20kHz

anahtarlama frekansını elde etmek için 2500'e kadar sayan bir simetrik üçgen dalga sayıcı kullanacak şekilde konfigüre edilmiştir. Buna göre en uygun modülasyon indeksinin ölü zaman dikkate alınarak hesaplanması yapılacaktır.

Çıkış gerilimi ana harmonik frekansı 50Hz olan bir işaret üretebilmek için bir periyot boyunca 400 kere anahtarlama yapılmalıdır. Anahtarlama frekansı ve örnekleme frekansı aynı alındığı için, karşılaştırma kaydedicisinin 50µs'de bir tablodan okunarak güncellenmesi gerekmektedir.

$$\text{Anahtarlama sayısı} = \frac{1/50\text{Hz}}{1/20\text{kHz}} \rightarrow \frac{20\text{ms}}{50\mu\text{sn}} \rightarrow 400 \quad (3.4)$$

Bir anahtarlama düşen kenar ve yükselen kenar olmak üzere iki adet ölü zaman kaybı olduğu gözönüne alındığında toplam kayıp zaman 800µs olarak bulunur. Buna göre modülasyon indeksinin alabileceği en büyük değer (3.5) ifadesi ile hesaplanır.

$$m = \frac{20\text{msn} - 800\mu\text{sn}}{20\text{msn}} \rightarrow \frac{19,2}{20} \rightarrow 0,96 \quad (3.5)$$

1µs ölü zaman için modülasyon indeksi 0,96 seçilerek referans sinüsün yüksek değerlerinde çıkış geriliminin sürekli olarak 1'de kalması önlenmiş olur.

Sinüs tablosu oluşturulurken tablonun en büyük ve en düşük değerleri modülasyon indeksine göre belirlenir. Buna göre *ePWM* modülündeki sayıcı tepe değeri 2500 olduğu için modülasyon indeksini 0,96 yapacak değer (2.5) ifadesinden 2400 olarak hesaplanır. $m = 0,96$ için sinüs tablosu değeri ± 2400 arasında değişecek şekilde oluşturulmalıdır.

3.3 Eviricinin Şebeke İle Etkileşimi

3.3.1 Adalanma

Şebeke enerjisi kesildiğinde eviricinin şebekeyi beslemesi durumu adalanma (*islanding*) olarak adlandırılır. Şebeke bir arıza durumu ya da başka bir nedenle kesilmiş olabilir. Bu durumda evirici çıkışa güç aktarmaya devam ederse, yerel olarak gördüğü yükleri besler ve yerel bir şebeke adacığı meydana gelmiş olur. Bu özellikle elektrik tesislerinde çalışanlar için tehlikeli bir durumdur. Dolayısıyla şebeke bağlantılı eviricilerin adalanma durumlarını tesbit ederek, şebeke kesintisi durumunda şebekeye güç aktarımını durdurmaları gerekmektedir. Bu amaçla şebeke

kesintilerini algılayarak, adalanma durumlarında evirici çıkışlarını kesmek amacıyla adalanma önleyici (*anti-islanding*) adı verilen yöntemler kullanılmaktadır.

Adalanma önleme yöntemleri temel olarak aktif ve pasif olmak üzere ikiye ayrılmaktadır. Pasif yöntemlerde evirici şebeke frekansı ve gerilimini sürekli olarak izleyerek, bu parametrelerin belirlenen sınırlar dışına çıkması durumunda şebekeye güç aktarımını durdurur. Şebeke kesildiğinde evirici çıkışı tarafından görülen yerel yüklerin eşdeğer gücü, eviricinin kesinti anında şebekeye aktardığı güce eşit değilse, evirici çıkış gerilimi değişecektir. Şebeke kesintisi oluşuktan sonra oluşan yük adasında yerel yüklerin gücünün evirici çıkış gücünden büyük olması durumunda, evirici çıkış akımını azaltmak üzere çıkış gerilimini düşüreceklerdir. Ayrıca eviriciden şebekeye bakıldığında görülen yüklerin eşdeğer empedansının reaktif olması durumunda evirici çıkış güç faktörünü 1 yapmak isterse, faz kilitleme döngüsü frekansı şebeke frekansı nominal değerleri dışına çıkacaktır. Böylece şebeke frekansı ve gerilimi izlenerek adalanma durumları tesbit edilebilmektedir.

Ancak pasif yöntemlerle algılanamayan özel adalanma durumları da mevcuttur. Eğer eviricinin şebeke kesintisi olduğu andaki çıkış gücü, şebeke kesintisi olduktan sonra evirici tarafından görülen yerel yüklerin eşdeğer gücüne eşit veya yakınsa ve eviricinin gördüğü bu yüklerin rezonans frekansı şebeke frekansına yakınsa pasif yöntemlerle bu durum algılanamamaktadır. Bu durumda yerel yüklerin eşdeğer empedansı evirici tarafından omik karakterde görülmektedir. Böylece şebeke kesintisi olsa dahi evirici çıkış gerilimi ve frekansı belirlenen sınırlar içerisinde kalmaktadır. Bu durum algılanamayan bölge (*NDZ - Non-Detection Zone*) olarak adlandırılır.

Bu problemi aşmak amacıyla aktif yöntemler geliştirilmiştir. Aktif yöntemlerde sisteme bozucu etki ilave edilerek, sistem sürekli olarak kapatılmaya zorlanır. Ancak şebekenin mevcut olması durumunda bu bozucu etki sistemi kapatamayacak şekilde ayarlanır. Eğer şebeke kesilirse, evirici çıkış frekansı ve gerilimi bozularak adalanma durumu algılanmaktadır. Aktif frekans sürüklemesi, Sandia frekans sürüklemesi, Sandia gerilim sürüklemesi, empedans ölçümü, frekans atlama ve kayma modlu frekans öteleme gibi farklı aktif adalanma önleyici metotlar bulunmaktadır. Aktif metotların dezavantajı güç kalitesini olumsuz etkilemeleridir. Bu yöntemler sisteme bozucu etki ilave etmeleri sebebiyle, evirici çıkış akımı dalga şeklini bozarak, çıkış

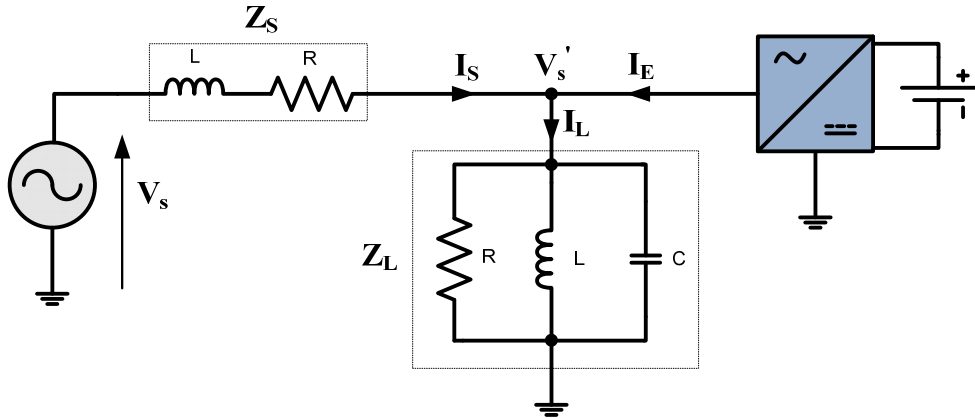
akımı THD değerini arttırmaktadırlar. Aktif metotlar kullanılarak algılanamayan bölge daraltılsa da tamamen yok edilememektedir.

Bu çalışmada pasif adalanma önleyici yöntemi kullanılmaktadır. Şebeke gerilimi ve frekansı anlık olarak izlenerek, bu parametrelerin belirlenen sınırlar dışına çıkması durumunda evirici çıkışı otomatik olarak kesilir. Ayrıca evirici çıkış akımının sürekli olarak izlenerek, aşırı akım koruması yapılması da adalanma durumunun algılanmasını kolaylaştırmaktadır.

3.3.2 Güç kalitesi

Evirici çıkış akımının düşük THD değerine sahip olması istenir. Çıkış akımı kalitesi kullanılan kontrol algoritması, filtre ve evirici yapısı ile doğrudan ilişkilidir. Şebeke bağlantılı eviriciler şebeke güç kalitesini etkiledikleri için, evirici çıkış akımlarının şebekte bozulma oluşturmayacak şekilde üretilmesi gerekmektedir.

Evirici çıkış akımında bulunan harmonikler yük tarafında şebeke geriliminin bozulmasına neden olarak, lineer yüklerin dahi harmonikli akım çekmesine sebep olabilmektedir. Bu etki harmonikli akım çeken güç elektroniği devrelerine benzer şekilde oluşmaktadır.



Şekil 3.7 : Yerel yükler ve şebeke çıkış empedansı ile şebeke bağlantılı evirici.

Şekil 3.7’de Z_s kaynak empedansına sahip bir şebeke, lineer yük grubu ve şebeke bağlantılı evirici blok diyagramı görülmektedir.

Şekil 3.7’de I_E evirici akımının harmonikli, V_s şebeke geriliminin ise ideal sinüzoidal formda olduğu varsayılın. Z_s kaynak empedansı besleme trafonsunun sekondere indirgenmiş devresindeki kaçak reaktans, sargı direnci ve bağlantı elemanlarının empedanslarının toplamı olarak düşünülebilir. Z_L ise yerel yükleri modellemektedir.

(3.6) denklemi ile ifade edildiği gibi, evirici çıkış akımı I_L , kaynaktan çekilen I_S akımını etkilemektedir. Eğer evirici akımı harmonikli ise, kaynak akımı da harmonikli olacaktır. Dolayısıyla bu harmonikli akım Z_s empedansında harmonikli bir gerilim düşümü oluşturacaktır. Harmoniksiz olan V_s geriliminden harmonikli bir gerilim düşümü dalga şekli çıkarıldığında ise yerel yükler üzerinde görülen şebeke gerilimi V_s' de harmonikli olacaktır. Yerel yükler üzerindeki gerilim dalga şeklinin bozulması sonucu güç kalitesi düşerek, güç harmoniklerinden kaynaklanan çeşitli problemlerin oluşmasına yol açabilir. Reaktif güç kompanzasyon sistemlerinde kullanılan kondansatörlerin arızalanması ya da ömürlerinin kısılması, elektrik makinelerinde harmoniklerden kaynaklanan ek kayıplar ya da elektronik devrelerin besleme devrelerinde oluşan problemler bunlardan bazılarıdır.

$$\begin{aligned} I_S &= I_L - I_E \\ V_s' &= V_s - Z_s I_S \end{aligned} \quad (3.6)$$

Bu harmonikler ile ilgili sınırlamalar *IEEE-519* standartları ile belirlenmiştir. Örneğin 69kV'dan düşük gerilimler için *THD* değerinin %5'ten küçük olması gerekmektedir (Rashid, 2001, Bölüm 32.4).

3.4 Modelleme Ve Tasarım

3.4.1 Filtre elemanlarının boyutlandırılması

Şekil 3.1'de görülen L bağlantı endüktansı, evirici ile şebeke arasında izolasyon elemanı gibi çalışarak evirici çıkış akımının kontrol edilebilmesini sağladığı gibi aynı zamanda çıkış akımının filtrelemesi görevini de gerçekleştirmektedir. Böylece evirici gerilimindeki anahtarlama harmoniklerinin zayıflatılması sağlanarak çıkış akımı düzgün hale getirilir.

Belirli bir anahtarlama periyodu için endüktans akımı denklem (3.7) ile ifade edilebilir.

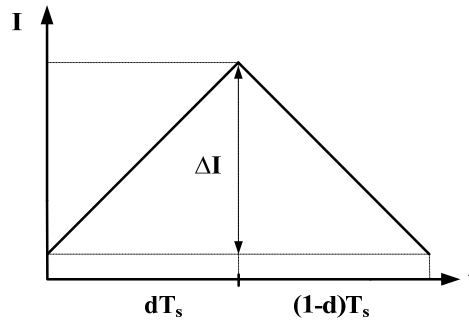
$$V_L = L_f \frac{\Delta I}{\Delta T} \quad (3.7)$$

Üç seviyeli evirici çıkışında 0, $+V_{DA}/2$ ve $-V_{DA}/2$ gerilimlerini üretebilmekteydi. Dolayısıyla denklem (3.1)'deki V_e evirici çıkış gerilimi bir anahtarlama periyodu

süresince bu üç farklı değerden yalnızca birini alabilir. Evirici çıkış akımı pozitif alternans tepe civarı için Şekil 3.8’de görüldüğü gibi sabit bir anahtarlama periyodunda akımın yükselme ve düşme zamanlarının eşit olduğundan hareketle şebeke bağlantılı eviriciye ilişkin akım ifadesi denklem (3.1) ve (3.7) kullanılarak tekrar yazılırsa;

$$L_f \frac{\Delta I}{dT_s} = \frac{V_{DA}}{2} - V_S \quad (3.8)$$

$$L_f \frac{\Delta I}{(1-d)T_s} = 0 - V_S \quad (3.9)$$



Şekil 3.8 : Bir anahtarlama periyodu için çıkış akımı dalgalılığı.

Denklem (3.8) evirici çıkışında pozitif gerilim, (3.9) ise sıfır gerilim durumu için yazılmıştır. (3.8) ve (3.9) birlikte çözüldüğünde V_S şebeke gerilimi ifadesi sadeleşerek denklem (3.10) elde edilir.

$$\Delta I = \frac{V_{DA}}{2L_f f_s} d(1-d) \quad (3.10)$$

Denklem (3.10)’daki d çalışma oranı sinüzoidal olarak değişmektedir. (3.10) ifadesinin d ’ye göre türevi alınıp sıfıra eşitlenirse en yüksek akım dalgalılığının “ $d= 0,5$ ” durumunda oluştuğu görülür. Buna göre maksimum akım dalgalılığı (3.11) ile ifade edilir.

$$\Delta I_{maks} = \frac{V_{DA}}{8L_f f_s} \quad (3.11)$$

L bağlantı endüktansı seçilen akım dalgalanması, DA bara gerilimi anahtarlama frekansı bağlı olarak denklem (3.11) ile hesaplanır.

IEEE-519 harmonik standartlarından hareketle nominal akımın %15-20'i arasında akım dalgalılığına izin verilebilir (Ahmed ve diğ, 2007). *IEE-519* standardında verilen değerler şebekenin kısa devre gücüne bağlı olarak değişmektedir.

Endüktans değeri en kötü durum olan 850V maksimum giriş gerilimi için hesaplanacaktır. Devrenin anahtarlama frekansı ise 20kHz olarak belirlenmişti. 600W bir faz çıkış gücü, güç faktörü 1 olacak şekilde 220V'luk şebekeye aktarıldığında, evirici çıkış akımı tepe değeri **(3.12)** denklemi ile hesaplanır.

$$I_{s_tepe} = \frac{P}{V_s \cdot \cos\theta} \cdot \sqrt{2} \quad (3.12)$$

Akım dalgalılığı, akımın tepe değerinin %10'u seçilerek endüktans değeri denklem **(3.11)**'den 13,72mH olarak hesaplanmıştır. Sistemde hesaplanan değere yakın olarak pratikte 15mH değerinde endüktans kullanılmıştır. Böylece akım dalgalılığının bir miktar daha düşük olması amaçlanmıştır.

Şebeke bağlantılı çalışmada, evirici ile şebeke arasında sadece endüktans bulunması sistemin çalışması için yeterli iken, şebeke bağlantısız uygulamalar için çıkışta bir *LC* alçak geçiren filtre kullanılması çıkış kalitesinin artmasını sağlamaktadır. Evirici çıkışında filtre olarak sadece seri endüktans bulunması durumunda, filtreleme kabiliyeti yüke bağlı olarak değişmektedir. Eviriciden akım çekildikçe, çıkış gerilimi sinüzoidale yaklaşmakta, ancak düşük yük durumlarında ise çıkışta anahtarlama harmonikleri görülmektedir. *LC* filtre ile evirici boşa iken dahi düzgün çıkış gerilimi elde edilebilmektedir. Bu amaçla filtrenin anahtarlama harmoniklerini zayıflatması gerekmektedir. Bu amaçla Bölüm 3.5'deki benzetim çalışmalarından 20kHz'deki evirici çıkış gerilimi harmoniği genliği 120V olarak bulunmuştur. Filtre kazancı 20kHz'de bu gerilimi %3'e düşürecek şekilde ayarlanırsa anahtarlama harmonikleri çıkışa yansımayacaktır.

$$H(j\omega) = \frac{V_{\text{çıkış}}}{V_{\text{giriş}}} \quad (3.13)$$

$$H(j\omega) = \frac{1}{LC(j\omega)^2 + j\omega\left(\frac{L}{R}\right) + 1}$$

Denklem **(3.13)**'de bir *LC* alçak geçiren filtreye ilişkin transfer fonksiyonu verilmiştir (Clayton, 1989).

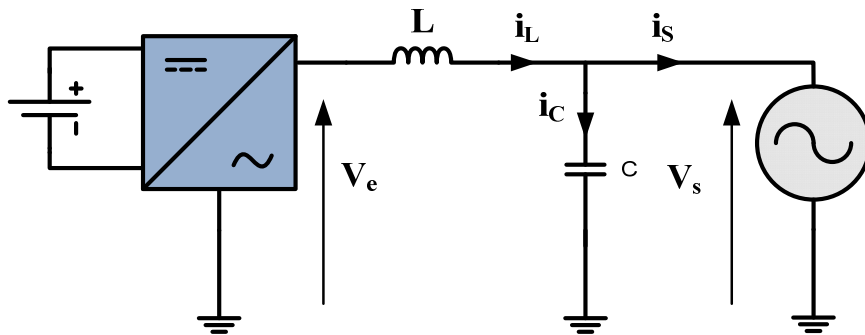
Denklem (3.13)'de 20kHz'lik bileşen için istenilen zayıflatma ve hesaplanan endüktans değeri kullanılarak filtre kondansatörü hesaplanır. Hesaplanan 2,2μf filtre kondansatörü ve 15mH endüktansına ait rezonans frekansı değerinin denklem (3.14)'den 17. harmonik civarında olduğu görülür.

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad (3.14)$$

Alçak geçiren filtre devresinin 50Hz'deki reaktansı nedeniyle, eviriciden çıkışında yük yokken dahi akım çekilecektir. Bu akım özellikle anahtarlarda gereksiz yere kayıba sebep olarak, düşük yüklerde evirici verimini düşürebilir. Bu nedenle filtre elemanları seçilirken, boşa çalışma akımı dikkate alınmalıdır. Özellikle filtre kondansatörünün büyük değerde olması bu akımı artırmaktadır. Kullanılan filtre değerleri için 220V çıkış geriliminde boşa evirici akımı 150mA'dır. Bu durumda evirici çıkışı 33var ile yüklenmiş olur. Bu yük maksimum yükün %5'ine karşılık gelmektedir ve makul kabul edilebilir.

3.4.2 Matematiksel modelleme

Eviricilerin matematiksel modellemeleri için çeşitli yöntemler mevcuttur. Özellikle üç fazlı eviricilerde koordinat dönüşümü kullanılarak gerçekleştirilen modelleme yaklaşımları kullanılmaktadır. Ancak burada evirici fazları birbirinden bağımsız olarak kontrol edildiği için, modelleme tek faz için ele alınacaktır. Bu durumda elde edilen model fazların bağımsız kontrolünde kullanılabilir.



Şekil 3.9 : Bir faz için evirici şebeke bağlantısı blok diyagramı.

Eviricide çıkış akımı kontrol edilmek istenmektedir. Şekil 3.9'da görülen V_e , evirici çıkış geriliminin bir anahtarlama periyodu boyunca ortalamasının alınmasıyla elde edilmektedir. $d(t)$ anahtar çalışma oranı $(-1,1)$ aralığında değişmektedir.

$$V_e = d(t) \cdot V_{DA}(t) \quad (3.15)$$

Evirici ile şebekeye ilişkin çevre denklemi (3.16)'da ifade edilmiştir.

$$L \frac{di_L(t)}{dt} = V_e - V_s \quad (3.16)$$

(3.16) ifadesine *laplace* dönüşümü uygulanarak (3.17) elde edilir. Çalışma oranı ve giriş gerilimine ilişkin DA ve küçük işaret değişimleri bileşenleri ayrı ayrı ifade edildikten sonra (3.15) ve (3.16) denklemlerinde yerlerine konur.

$$\begin{aligned} d(s) &= d_o + \hat{d}(s) \\ V_{DA}(s) &= V_{DA} + \widehat{v_{DA}}(s) \\ sL\widehat{i_L}(s) &= (d_o + \hat{d}(s))(V_{DA} + \widehat{v_{DA}}(s)) - \widehat{v_s}(s) \\ \widehat{i_L}(s) &= \frac{V_{DA}\hat{d}(s)}{sL} + \frac{d_o\widehat{v_{DA}}(s)}{sL} - \frac{\widehat{v_s}(s)}{sL} \end{aligned} \quad (3.17)$$

(3.17) ifadesinde d_o çalışma oranı ortalama değerini ve şapkalı ($\hat{X}$) büyüklükler ise parametrenin sürekli halinden küçük sapmaları/değişimleri göstermektedir. İki adet küçük değişimin çarpımı daha küçük bir sayıyı ifade edeceği için ihmal edilmiştir. İki adet DA bileşenin çarpımı ise büyük işaret modelini ve sürekli hal büyüklüklerini göstermektedir. Sistemin küçük işaret modeli ile ilgilenildiği için DA bileşenler de ihmal edilmelidir.

(3.17) ifadesi evirici akımı $\widehat{i_L}(s)$ 'in kontrol değişkeni $d(t)$, şebeke gerilimi değişimi ve giriş DA baradaki değişimler tarafından belirlendiğini gösterir. Şebeke gerilimi ve DA baradaki küçük değişimler sistemin bozucu etkileri olarak düşünülebilir. Dolayısıyla kontrolör bu etkileri yok edecek şekilde çıkış işareti üretmelidir. Sistemin transfer fonksiyonu elde edilirken, bozucu girişler sıfır olarak alınır. Böylece elde edilen (3.18) ifadesi PI akım kontrolörü tasarımında kullanılabilir.

$$\frac{\widehat{i_L}(s)}{\hat{d}(s)} = \frac{V_{DA}}{sL} \quad (3.18)$$

(3.18)'den görüleceği gibi, evirici dinamiği giriş gerilimi ve çıkış endüktansı tarafından belirlenmektedir. Bu noktada evirici anahtarlama ağının, anahtarlama frekansında çalışan bir örnekleyici gibi davrandığı söylenebilir. Burada evirici

kazancı giriş gerilimi tarafından belirlenmektedir. Endüktans ise doğası gereği çıkış akımının integralini alarak, alçak geçiren filtre görevi görmektedir. DA bara kontrolünde sistemde ileri besleme kullanılması, akım kontrolörünün evirici çıkış akımını daha rahat kontrol etmesi sağlamaktadır. Böylece giriş geriliminde oluşan salınımlara karşı kontrolör daha dayanıklı hale getirilmektedir.

Sistem dinamiği durum uzay modeli yaklaşımı ile de incelenebilir. Burada sisteme ilişkin dinamik denklemlerin (3.19) formunda yazılması gerekmektedir.

$$\begin{aligned}\frac{dx}{dt} &= Ax + Bu \\ y &= Cx + Du\end{aligned}\tag{3.19}$$

Şekil 3.9'a ilişkin çevre denklemlerinden (3.20) ifadesi elde edilir.

$$L \frac{di_L(t)}{dt} = V_e - V_s\tag{3.20}$$

(3.15) ifadesi (3.20)'de yerine konarak (3.21) denklemi elde edilmiştir. Bu denklem sisteme ilişkin birinci dinamik denklemdir.

$$\begin{aligned}L \frac{di_L(t)}{dt} &= d(t) \cdot V_{DA} - V_s \\ \frac{di_L(t)}{dt} &= \frac{d(t) \cdot V_{DA}}{L} - \frac{V_s}{L}\end{aligned}\tag{3.21}$$

İkinci dinamik denklem ise Şekil 3.9'da görülen düğüm noktasının akım eşitliğinden elde edilir.

$$\begin{aligned}i_C &= i_L - i_s \\ \frac{dV_s(t)}{dt} &= \frac{i_L}{C} - \frac{i_s}{C}\end{aligned}\tag{3.22}$$

Denklem (3.21) ve (3.22) kullanılarak (3.23) ifadesindeki durum uzay modeli elde edilir.

$$\frac{d}{dt} \begin{bmatrix} i_L(t) \\ V_s(t) \end{bmatrix} = \overbrace{\begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & 0 \end{bmatrix}}^A \begin{bmatrix} i_L(t) \\ V_s(t) \end{bmatrix} + \overbrace{\begin{bmatrix} \frac{V_{DA}}{L} & 0 \\ 0 & -\frac{1}{C} \end{bmatrix}}^B \begin{bmatrix} d(t) \\ i_s(t) \end{bmatrix} \quad (3.23)$$

Durum uzay modelinden transfer fonksiyonuna (3.24) ifadesi kullanılarak dönüşüm gerçekleştirilerek (3.25) ifadesindeki transfer fonksiyonu elde edilmiştir.

$$X_{(s)} = [C(sI - A)^{-1}B + D] \quad (3.24)$$

$$\frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{sC}{1 + s^2LC} V_{DA} \quad (3.25)$$

(3.25) ve (3.18) ifadelerinin birbirinden farklı olduğu görülmektedir. Ancak *DGM* anahtarlama periyodu (3.25) ifadesininin zaman sabitinden en az on kat daha kısa süreli olduğu için, çalışma oranındaki I/s şeklindeki bir basamak fonksiyonuna karşı sistem cevabında (3.25) ifadesininin di/dt eğimleri cinsinden lineer yakınsaklığı araştırılabilir (Vandoorn ve diğ, 2009).

$$\mathcal{L}\left(\frac{di_L(t)}{dt}\right) = si_L = s\left(\frac{sC}{1 + s^2LC} V_{DA}\right) \frac{1}{s} \quad (3.26)$$

Lineer yakınsamanın eğimi (3.27) denklemi ile elde edilir.

$$\lim_{t \rightarrow 0} \frac{di_L(t)}{dt} = s \cdot \lim_{s \rightarrow \infty} \mathcal{L}\left(\frac{di_L(t)}{dt}\right) = \lim_{s \rightarrow \infty} \frac{s^2C}{1 + s^2LC} dV_{DA} \quad (3.27)$$

$$\lim_{t \rightarrow 0} \frac{di_L(t)}{dt} = \frac{dV_{DA}}{L}$$

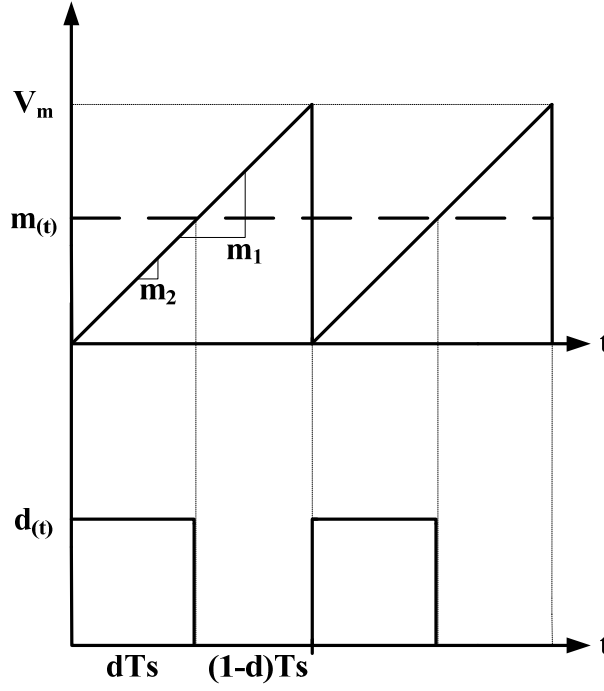
Yakınsama sonucunda elde edilen (3.28) denklemi ile (3.18) ifadesi uyushmaktadır.

$$\frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{V_{DA}}{sL} \quad (3.28)$$

Evirici sayısal olarak kontrol edileceği için denklem (3.28) z domenine çevirilmelidir. 800V giriş geriliminde V_{DA} 400V değerini alacaktır. 15mH çıkış filtresi ve 400V V_{DA} değerleri için sistemin ayrık zaman transfer fonksiyonu denklem (3.29) ‘daki gibi elde edilir.

$$\frac{\hat{t}_L(z)}{\hat{d}(z)} = \frac{1,333}{z-1} \quad (3.29)$$

Şekil 3.10'da *DGM* işaretinin üretiminde kullanılan sayıcı ve çıkış işareti görülmektedir. Sistemde *DGM* modülatörünün modellenmesi Şekil 3.10'da görülen m_1 ve m_2 eğimlerinden yararlanılarak gerçekleştirilebilir.



Şekil 3.10 : *DGM* modülasyon işaretleri.

Taşıyıcı işaret genliği V_m ve kontrol işareti $m(t)$ olmak üzere eğim ifadeleri (3.30)'daki gibi elde edilir.

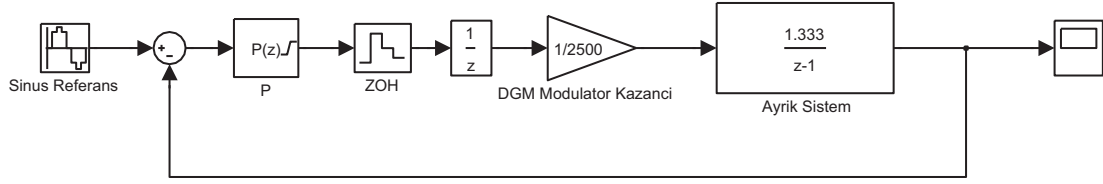
$$m_1 = \frac{V_m}{T_s} \quad m_2 = \frac{m(t)}{dT_s} \quad (3.30)$$

Eğim ifadelerinin eşitliğinden *DGM* modülatörü transfer fonksiyonu denklem (3.31) ile ifade edilir.

$$m_1 = m_2$$

$$\frac{d(t)}{m(t)} = \frac{1}{V_m} \quad (3.31)$$

Sistemde kullanılan *DGM* sayıcısı tepe değeri 2500 olduğu için, *DGM* modülatörü Şekil 3.11’de görüldüğü üzere $1/2500$ şeklinde modellenmektedir.



Şekil 3.11 : Kapalı çevrim sistem kontrol blok diyagramı.

Şekil 3.11’de görülen kapalı çevrim ayrık zaman kontrol sisteminde sisteminde kontrolör çıkışı sıfıncı mertebeden tutucu (*ZOH – Zero Order Hold*) ile $50\mu s$ periyodun örneklenerek kontrol işareti *DGM* modülatörü üzerinden sisteme uygulanmaktadır. Sistemde kontrol algoritması bir örnekleme periyodu içerisinde tamamlanıp, kontrol işareti örnekleme periyodu sonunda çıkışa aktarıldığı için sisteme hesaplama gecikmesini modellemek üzere $1/z$ şeklinde birim gecikme bloğu ilave edilmiştir.

Sistemde başlangıç kontrol katsayısı için *Simulink*’in kontrolör ayarlama özelliğinden faydalanılarak oransal kontrol katsayısı elde edilmiştir. Daha sonra pratik çalışmalarla oransal katsayı değeri yavaş yavaş azaltılıp, integral katsayısı artırılarak sistem cevabı optimize edilmektedir.

Sistem cevabı süresi şebeke periyodunun 100’de 1’i olarak seçildiğinde *Simulink* 924,2 oransal katsayısını vermektedir. Deneysel çalışmalarla elle ayar yapılarak gerçek zamanlı uygulamada kullanılan pratik katsayılar oransal K_p 800 ve integratör K_i 0,3 değerlerindedir. Kontrol katsayılarının ilk değerinin bulunması açısından sistem modelinin iyi bir yakınsama yaptığı söylenebilir. Ancak sistemin ideal olmayan parametreler ve özellikle giriş gerilimi ile şebekedeki dalgalanmalar gibi bozucu etkilere dayanıklılığı için katsayıların deneysel çalışmalarla da ayarlanması gerekmektedir.

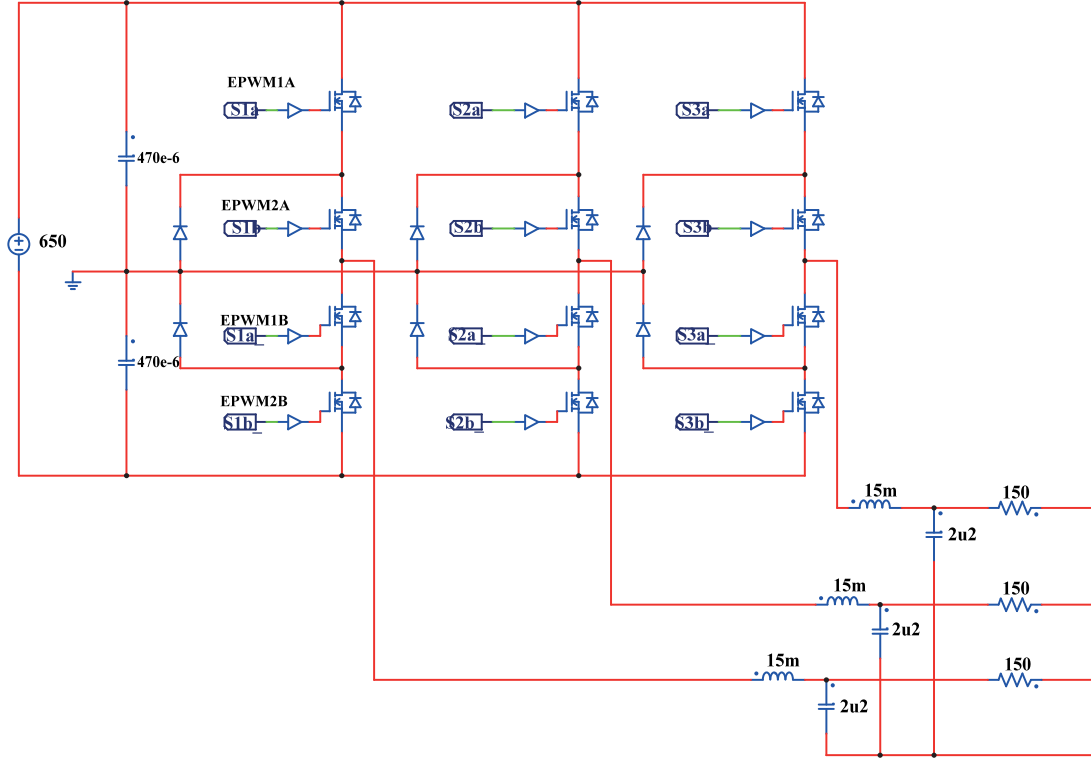
Bölüm 3.5’deki benzetim çalışmalarında ve Bölüm 4.4’deki deneysel sonuçlar bu katsayılar kullanılarak elde edilmiştir.

3.5 Bilgisayar Benzetimi

Sistemin bilgisayar benzetimi *PSIM* kullanılarak gerçekleştirilmiştir. Benzetimde ilk aşamada eviricinin şebeke bağlantısız açık çevrim çalışması modellenerek üç seviyeli

SDGM'nu uygulaması yapılmıştır. Daha sonra modele şebeke senkronizasyonu algoritması ilave edilerek, sistemin şebeke bağlantılı çalışması incelenmiştir.

3.5.1 Açık çevrim çalışma benzetimi

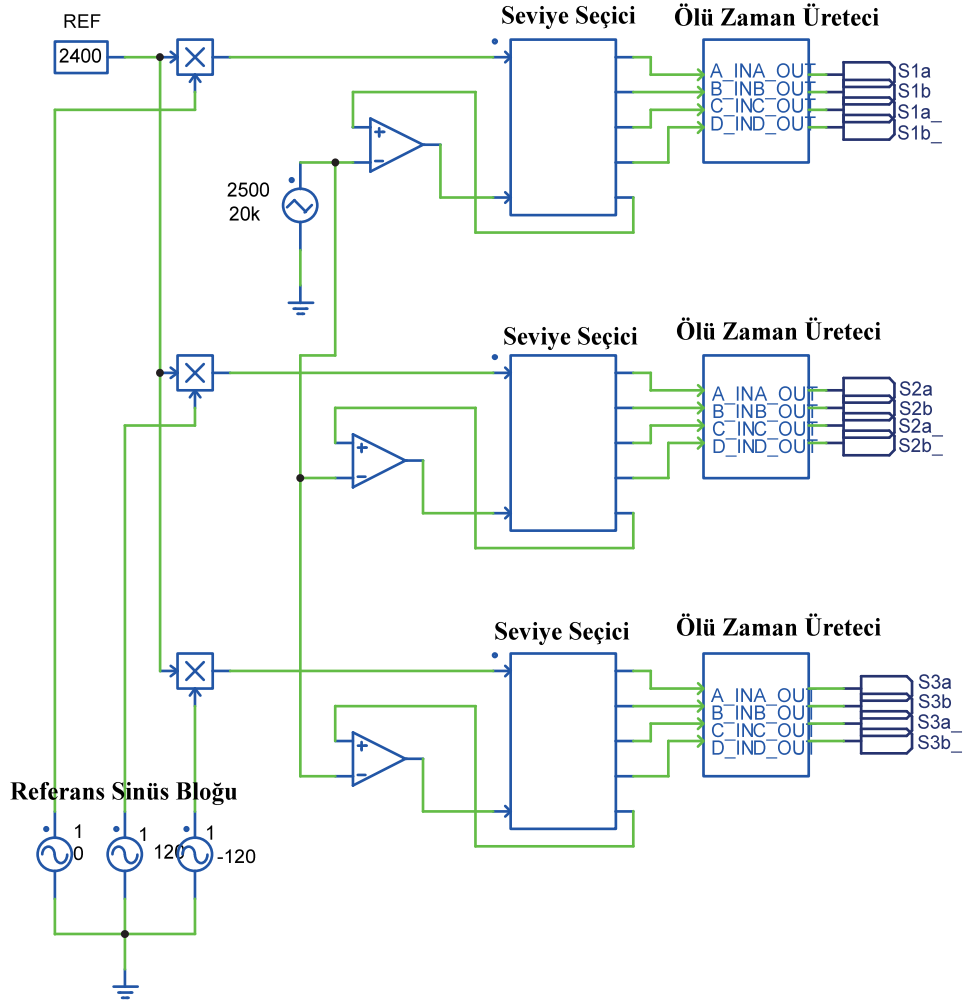


Şekil 3.12 : Açık çevrim çalışma güç devresi.

Şekil 3.12’de evirici devresi çıkışında bir alçak geçiren filtre ile bir direnç yükünü besleyecek şekilde kurulmuştur. Burada üç seviyeli *SDGM* yöntemi ile anahtarlama işaretleri üretilerek sistemin açık çevrim çalışması incelenecektir.

Benzetim çalışmalarında 650V *DA* giriş gerilimi ve 15mH, 2.2µF değerlerinde *LC* alçak geçiren çıkış filtresi kullanılmaktadır.

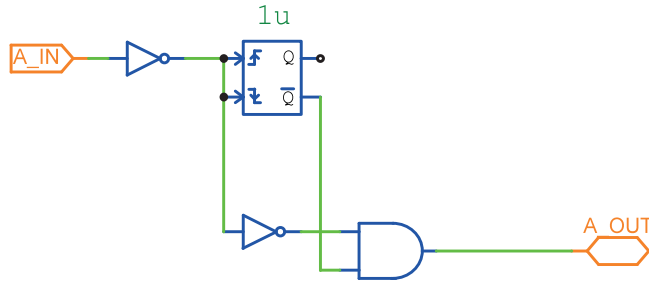
Modülasyonda kullanılacak referans sinüs işaretleri Şekil 3.13’de görülen üç adet sinüs işaret üretici ile üretilmektedir. Her bir fazın referans sinüsü arasında 120° faz farkı bulunmaktadır. Böylece çıkışta elde edilen gerilimlerin ana harmoniği arasında da 120° faz farkı olması sağlanır. Şekil 3.13’deki seviye seçici bloğu, içerisine yazılan *C* kodu ile *SDGM* işaretinin hangi anahtarlar çiftine uygulanacağına karar vermektedir. Önceki bölümlerde anlatıldığı üzere bir çıkış seviyesi iki adet eşlenik çalışan anahtar ile kontrol edilmektedir.



Şekil 3.13 : Üç seviyeli *SDGM* üretimi.

Seviye seçici bloğu referans sinüsün pozitif anlarında *SDGM* işaretini S_{1a} ve $S_{1a_}$ anahtarlarına göndererek, pozitif alternans süresince S_{1b} 'yi iletimde $S_{1b_}$ 'yi ise kesimde tutar. Referansın negatif alternansında ise *SDGM* işaretleri S_{1b} ve $S_{1b_}$ anahtarlarına uygulanarak, S_{1a} kesimde $S_{1a_}$ ise iletimde tutulur. Ayrıca referansın negatif alternansında referansı taşıyıcı dalga genliği olan 2500 ile toplayarak karşılaştırıcıya gönderir. Karşılaştırıcının diğer girişinde bulunan taşıyıcı üçgen dalga simetrik olup, işlemcinin *DGM* modülündeki 0'dan 2500'e kadar sayan aşağı-yukarı sayıcıyı modellemektedir. Seviye seçici bloğa ait *C* kodu Ek G'de verilmiştir.

Eviricide kullanılan ölü zaman değeri çıkış gerilimi dalga şeklini etkilemektedir. Ölü zaman anlarında çıkış gerilimi, eviriciden akan akımın yönüne bağlı olarak değişmektedir. Bu nedenle ölü zaman etkisi de evirici modeline ilave edilmiştir.

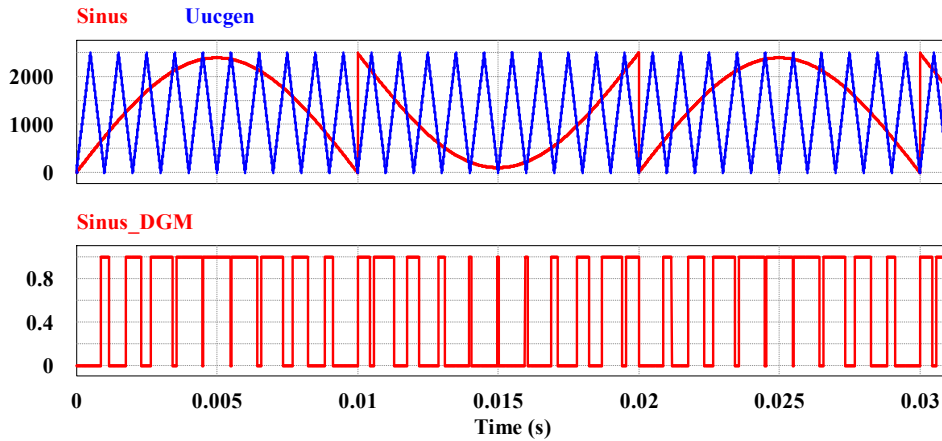


Şekil 3.14 : Ölü zaman üretimi.

Şekil 3.14’de lojik devre blokları ile yükselen ve düşen kenar için $1\mu s$ sabit ölü zaman işareti elde edilir. Ölü zaman değeri devredeki *monostable* bloğu tarafından belirlenir. Ölü zaman bloğu Şekil 3.13’de *DGM* çıkışına uygulanarak, tüm anahtarlara yükselen kenar ve düşen kenar için ölü zaman ilavesi yapılmıştır.

Şekil 3.15’de üç seviyeli *SDGM* üretimine ilişkin dalga şekilleri görülmektedir. Burada iki adet üçgen dalga taşıyıcı kullanımı yerine, işlemci ile üretilecek *SDGM* işaretindeki gibi bir adet pozitif taşıyıcı dalga kullanılmıştır. Bu nedenle referans sinüs negatif alternansta iken pozitif ötelenerek karşılaştırma işlemi gerçekleştirilir.

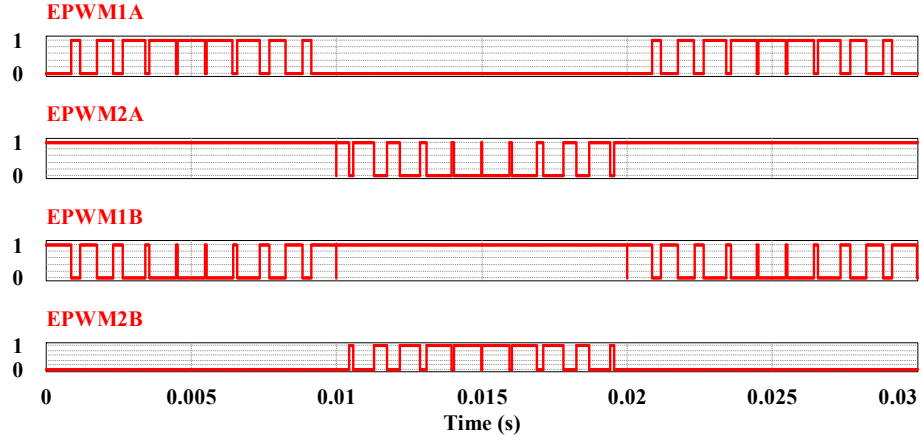
Şekil 3.15’de dalga şekillerinin rahat görülebilmesi için anahtarlama frekansı 1kHz olacak şekilde seçilmiştir.



Şekil 3.15 : *SDGM* modülasyon kontrol işaretleri ($f_s = 1kHz$).

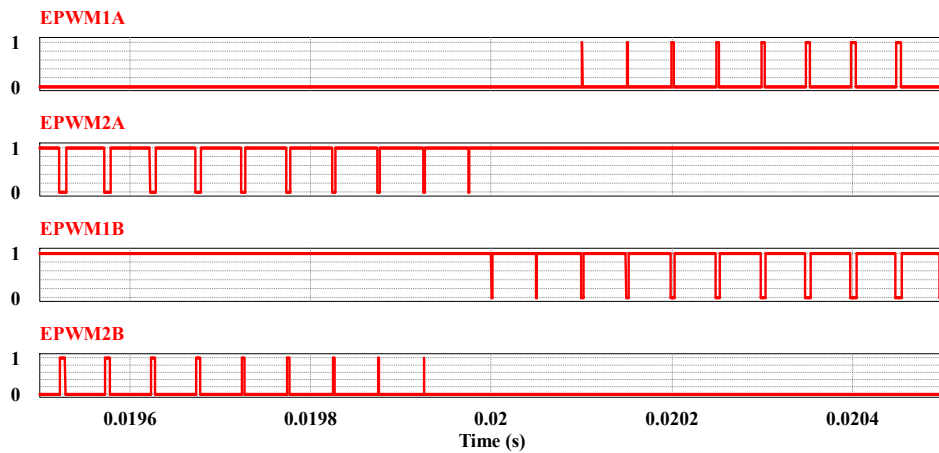
Şekil 3.15’deki *SDGM* işareti Şekil 3.13’deki seviye seçici bloğu tarafından ilgili anahtarlara yönlendirilerek evirici bir fazı için Şekil 3.16’da görülen anahtarlama işaretleri elde edilir. Şekil 3.15’de görülen *SDGM* işareti pozitif alternans için eşlenik olarak *ePWM1A-ePWM1B*, negatif alternans için ise *ePWM2A-ePWM2B* olarak üretilmektedir. Anahtarlama işaretlerinin düzgün üretilmesi için farklı seviyeleri kontrol eden taşıyıcı üçgen dalgaların senkron olması gerekmektedir. Bu amaçla

Şekil 3.15’de görüldüğü gibi, evirici seviyeleri aynı üçgen dalga ile modüle edilerek kontrol edilmektedir. Pratik uygulamada ise taşıyıcılar senkron yapılarak her bir seviye farklı taşıyıcılar ile kontrol edilmiştir.

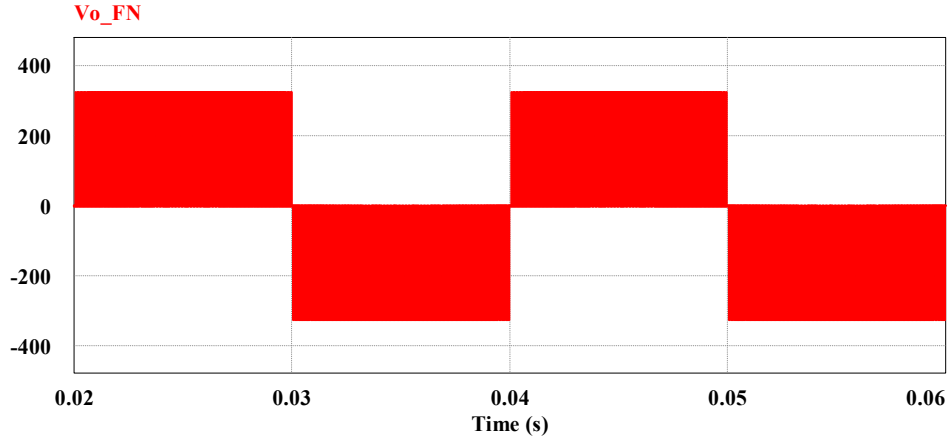


Şekil 3.16 : Üç seviyeli *SDGM* işaretleri ($f_s=1\text{kHz}$).

Şekil 3.17’de, Şekil 3.16’da görülen anahtarlama işaretlerinin seviye değişim anındaki durumları görülmektedir. Bu kritik anda ölü zaman lojiği ile birlikte *SDGM* işaretleri doğru üretilemezse giriş *DA* bara kondansatörlerinin kısadevre olma ihtimali mevcuttur. Şekil 3.17’de 0,02. sn’de görüldüğü gibi seviye değişim anında hiçbir durumda aynı anda üç anahtar iletimde olmamaktadır. Bu anda *S1a* ve *S1b* aynı anda iletimde olmasına rağmen *S1a* ve *S1b* anahtarları kesimdedir. Böylece girişteki her iki kondansatörün kısa devre olması engellenmiş olur. Algoritmanın yazılımsal olarak uygulanmasında da benzer yaklaşım kullanılarak anahtarlama işaretleri benzer şekilde gerçek zamanlı olarak üretilmiştir.

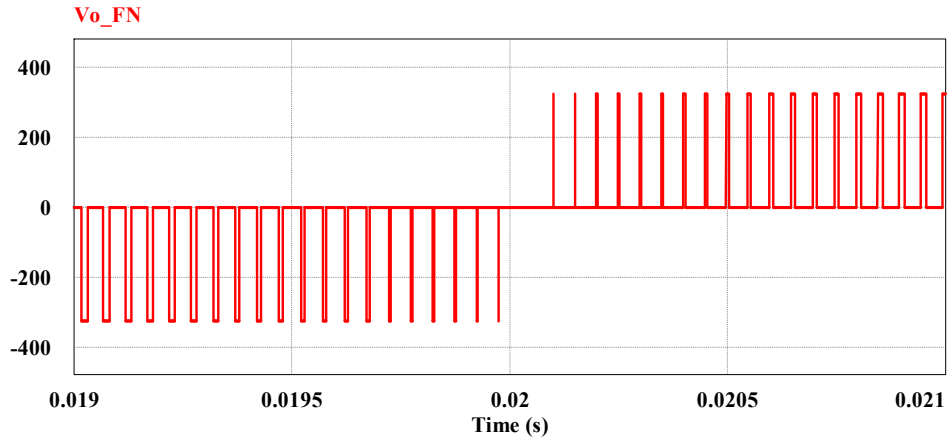


Şekil 3.17 : Seviye değişim anı *SDGM* işaretleri ($f_s=20\text{kHz}$).



Şekil 3.18 : Evirici çıkışı faz-nötr gerilimi.

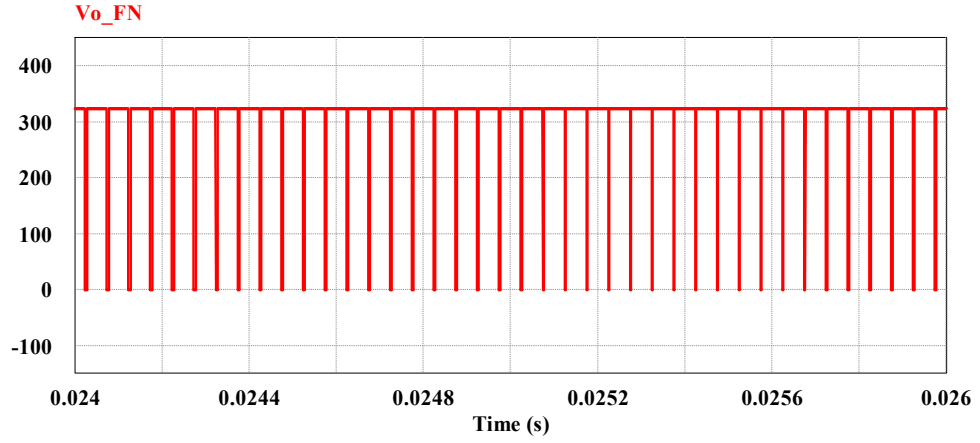
Şekil 3.17’de görülen anahtarlama işaretlerinin eviriciye uygulanması ile Şekil 3.18’de görülen faz-nötr çıkış gerilimi elde edilmiştir. Evirici çıkış gerilimi darbe genişlikleri, Şekil 3.19’da görüldüğü gibi, alternans değişiminden itibaren artarak $\pi/2$ açısında en büyük değerine ulaşır.



Şekil 3.19 : Faz-nötr çıkış gerilimi alternans değişimi.

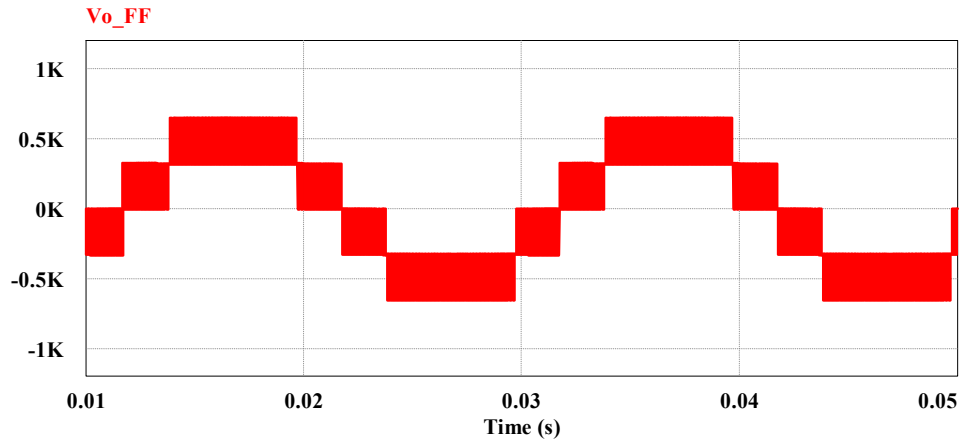
Şekil 3.13’de referans dalga genliği 2400’e ayarlanarak önceki kısımlarda anlatıldığı şekilde modülasyon indeksi 0,96 yapılmıştır. Böylece Şekil 3.20’de tepe noktası görülen evirici çıkış geriliminde darbelerin sürekli olarak $V_{DA}/2$ değerinde kalması önlenmiştir.

Ana harmonik gerilimi 50Hz olmak üzere Şekil 3.18’de görülen evirici faz nötr çıkış gerilimine ilişkin THD değeri %59,51 ve Şekil 3.21’de görülen faz arası gerilimi THD değeri %37,3’dir. Görüldüğü gibi seviye sayısının artması ile birlikte filtrelenmemiş çıkış gerilimine ait THD değerleri azalmaktadır.

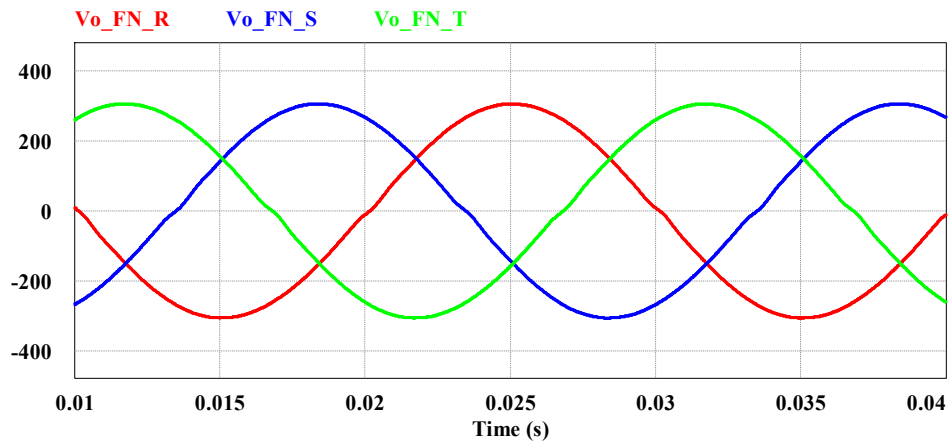


Şekil 3.20 : Evirici çıkış gerilimi $\pi/2$ noktası.

Evirici faz arası gerilimi Şekil 3.21’deki gibi beş seviyeli olarak görülmektedir.

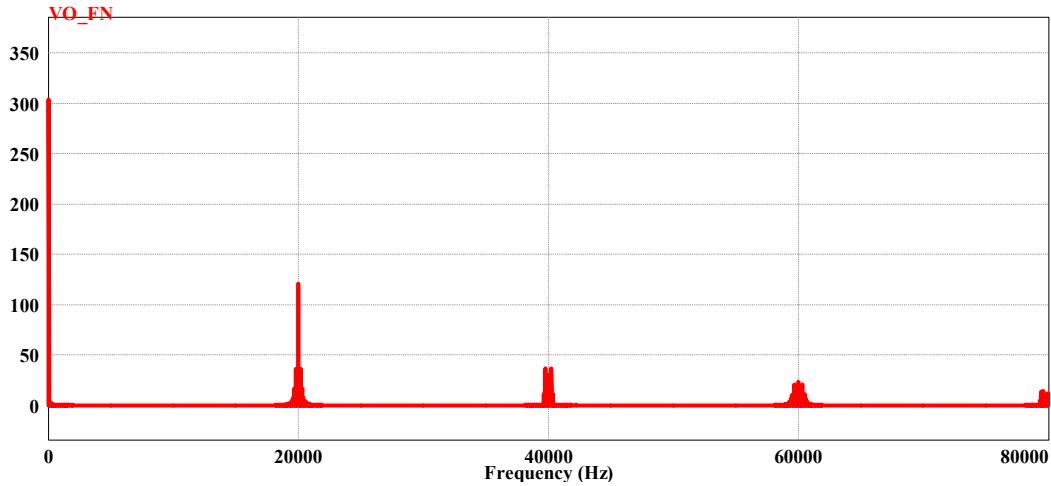


Şekil 3.21 : Evirici çıkışı faz arası gerilimi.

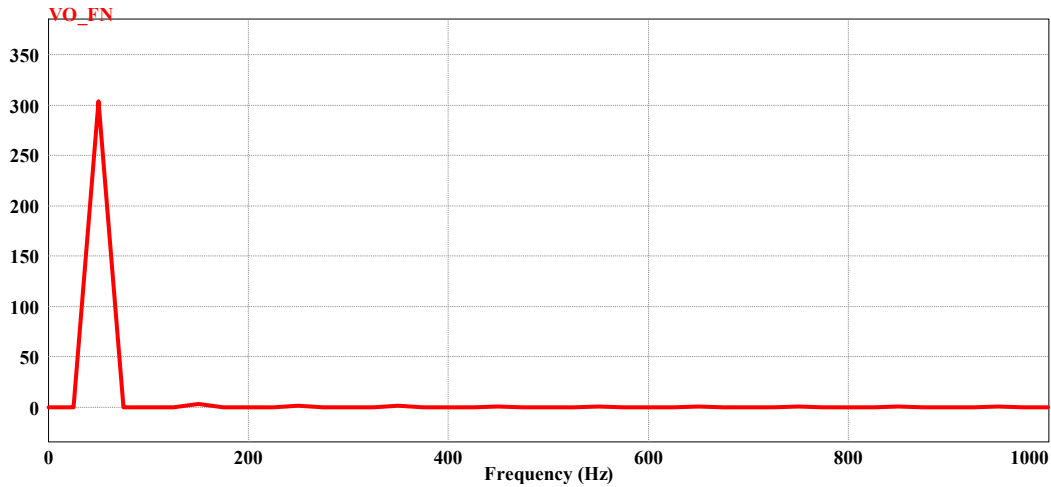


Şekil 3.22 : Filtrelenmiş faz nötr çıkış gerilimleri.

Şekil 3.22’de alçak geçiren filtre çıkışı faz nötr gerilimleri görülmektedir. Alçak geçiren filtre ile evirici çıkış gerilimindeki yüksek frekanslı bileşenler filtrelenerek THD %1.35’e düşürülmüştür. Şekil 3.18’deki evirici faz nötr çıkış geriliminin FFT analizi Şekil 3.23’de görülmektedir. Burada harmonik genlikleri 20kHz’lik anahtarlama frekansı katlarında yükselmektedir. Kullanılan anahtarlama tekniği ile harmonikler yüksek frekansa ötelenerek, daha kolay filtrelenebilmeleri sağlanmıştır.



Şekil 3.23 : Faz nötr çıkış gerilimi FFT analizi ($F = 0-80\text{kHz}$).



Şekil 3.24 : Faz nötr çıkış gerilimi FFT analizi ($F = 0-1\text{kHz}$).

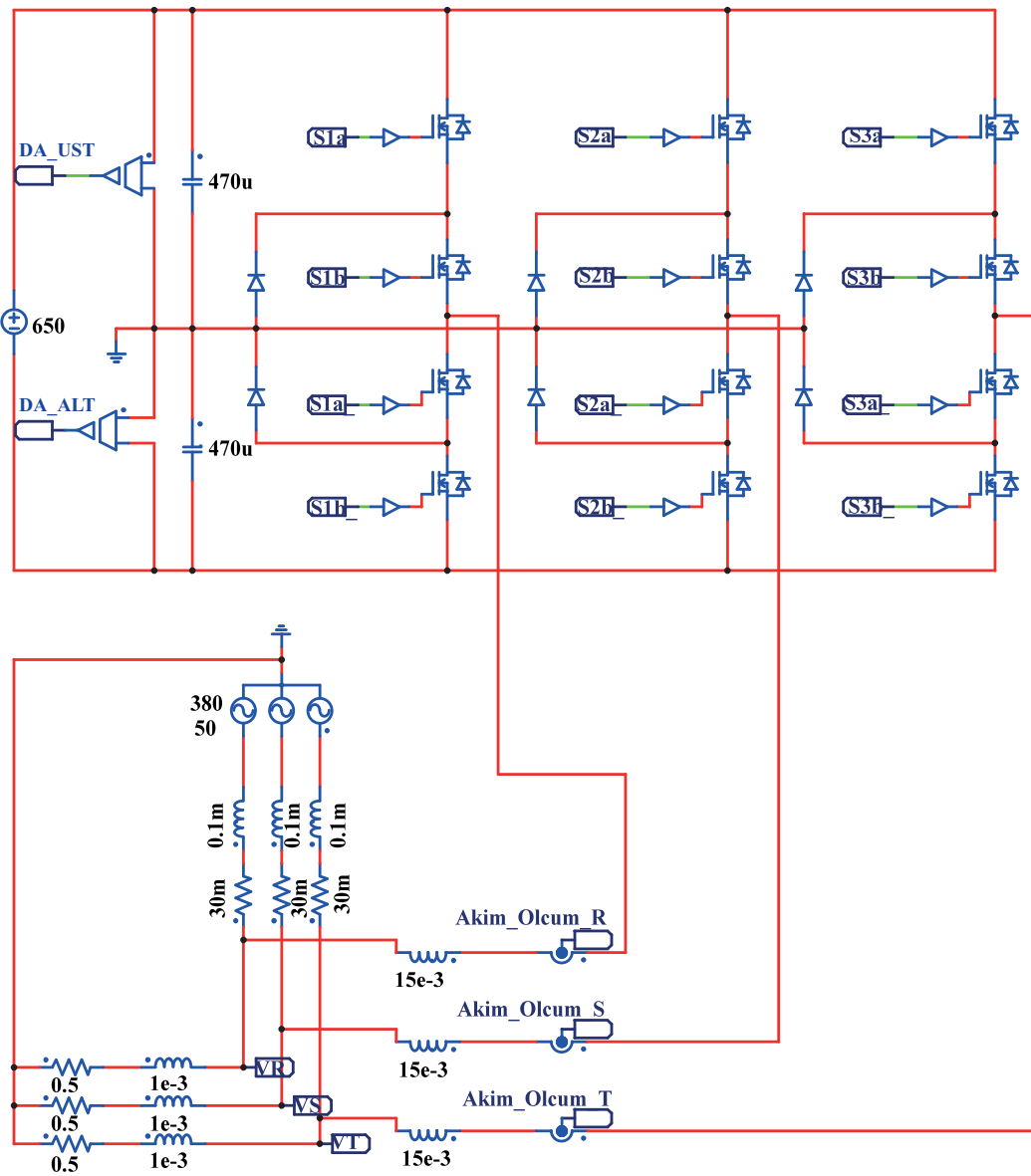
Şekil 3.24’de evirici faz-nötr çıkış gerilimi harmonikleri 0-1kHz arasında gösterilmiştir. Burada 3, 5, 7, 9, 11, 13 gibi tek numaralı harmonikler mevcuttur. 50Hz frekansındaki harmonik genliği 300V iken, 3. harmonik genliği 2,64V değerindedir. Harmonik frekansı arttıkça genliklerinin azaldığı düşünüldüğünde 1kHz’den düşük frekanslarda çıkış gerilimini etkileyecek önemli bir harmonik mevcut değildir. Genliği yüksek olan harmoniklerin Şekil 3.23’den, anahtarlama frekansı civarındaki yoğunlaştığı görülebilir. Burada 20kHz’lik bileşenin genliği

120,6 V'dur. Çıkış filtresi ile bu bileşen zayıflatılarak Şekil 3.22'de görülen çıkış gerilimi elde edilmektedir.

3.5.2 Şebeke bağlantılı çalışma benzetimi

Şekil 3.25'de şebeke eviricinin bağlantılı çalışması için kurulan güç devresi bulunmaktadır. Burada açık çevrim çalışmadan farklı olarak giriş gerilim bölücü kondansatörlerinin gerilimi, şebeke gerilimi ve evirici çıkış akımı da ölçülmektedir.

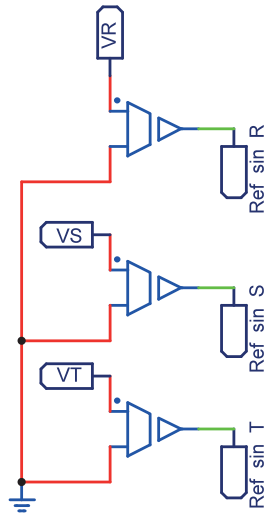
Sistem hem sabit DA giriş gerilimi değerleri hem de değişken gerilimler için çalıştırılacaktır.



Şekil 3.25 : Şebeke bağlantılı evirici güç devresi.

Evirici çıkış akımlarının referans yönü eviriciden şebekeye doğru pozitif olarak seçilmiştir. Bu nedenle referans akım şebekenin pozitif alternansı için pozitif, negatif alternansı için de negatif değerde olmalıdır.

Pratik uygulamada referans işaretin üretimi *FKD* algoritması ile yapılacaktır. Ancak bu modelde *FKD* modellenmeden şebeke gerilimi ölçümü ile akım kontrolörü referansı elde edilmiştir. Bu amaçla şebeke faz-nötr gerilimleri ölçülerek şebeke gerilimi tepe değerine bölünmüştür. Böylece şebeke gerilimi ile aynı fazda, birim genlikli referans sinüs işareti elde edilmiştir. Bu işleme ait blok diyagram Şekil 3.26’da görülmektedir.



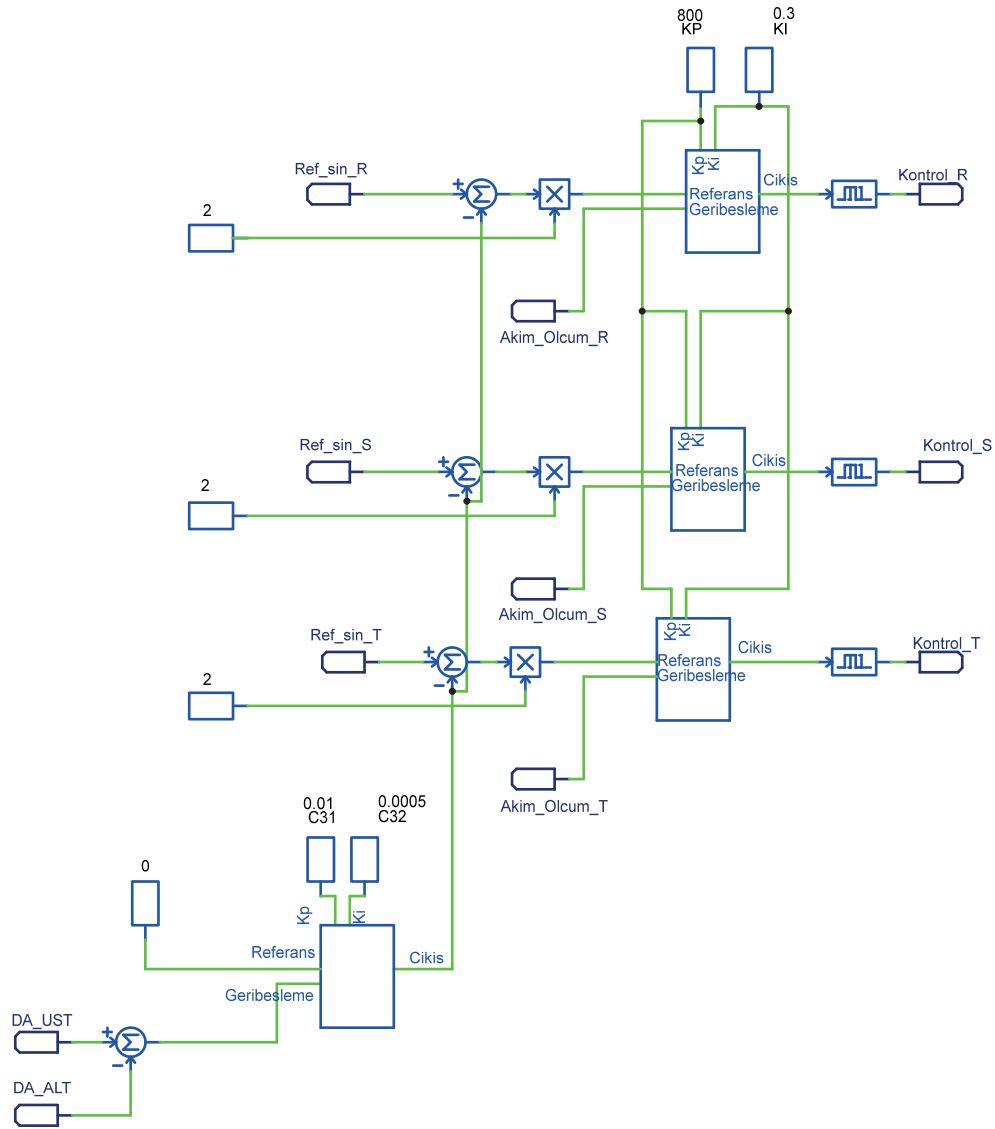
Şekil 3.26 : Referans sinüs işareti üretimi için şebeke ölçümü.

Şekil 3.26’daki devrede görülen gerilim sensörlerinin kazançları şebeke gerilimi tepe değerinin tersi olarak ayarlanarak ölçüm sonucu akım referansında kullanılmıştır. Pratikte referans sinüsün şebeke geriliminden örneklenerek elde edilmesi sakıncalıdır. Çünkü şebeke gerilimi genliğinin değişebileceği, ayrıca harmonikli olup dalga şeklinin bozulabileceği gözönüne alınırsa, elde edilen akım referansının da kararlı ve düzgün olamayacağı söylenebilir. Ancak benzetim ortamında şebeke gerilimi saf sinüs ve sabit genlikli olarak üretilerek düzgün bir akım referans işareti basit bir şekilde elde edilmiştir. Pratik uygulamada elde edilecek olan referans sinüs, şebeke gerilimi genlik/frekans değişimi ve harmoniklerden etkilenmeyen bir yapıya sahip olmalıdır. Referans işaretin *FKD* algoritması ile üretilmesi Bölüm 4.3.4’de tartışılmaktadır.

Evirici kontrol algoritması Şekil 3.27’de modellenmiştir. Burada üç adet *PI* akım kontrolörü ve bir adet *PI DA* bara gerilimi kontrolörü bulunmaktadır. Sistemde

ölçüm kazançları pratik uygulamada yapılacağı gibi 1 olarak alınmaktadır. Böylece sistem gerçek akım ve gerilim değerleriyle çalışacak, kontrolör katsayıları da buna göre ayarlanacaktır.

Her bir akım kontrolörü çıkışında 50µs gecikme bloğu kullanılmaktadır. Bu bloklar ile kontrol algoritmasının örnekleme gecikmesi modele ilave edilmiştir. Çünkü pratik uygulama sistem işaretleri örnekleyip, algoritmayı koşturduktan sonra sonucu karşılaştırma kaydedisine yazmakta, karşılaştırma kaydedicisi ise, 50µslik kontrol döngüsü sonunda işlemci donanımı tarafından otomatik olarak güncellenmektedir.

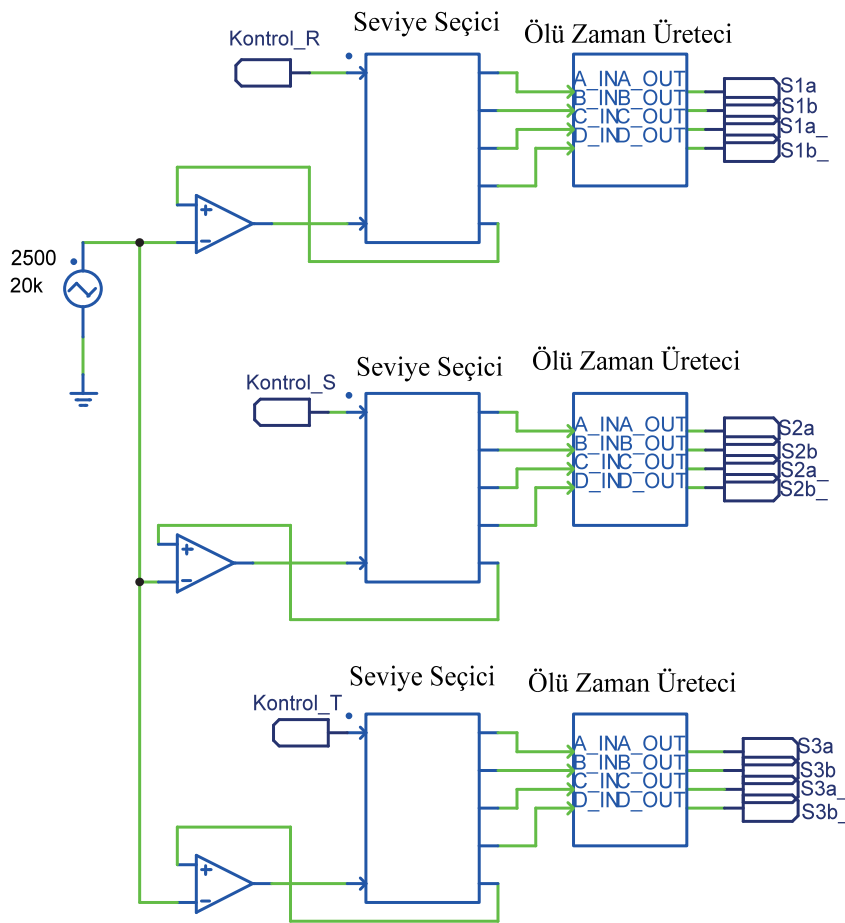


Şekil 3.27 : Şebeke bağlantılı çalışma kontrol algoritması.

Şekil 3.27’de görülen evirici kontrol bloğu çıkışında elde edilen işaret, üç seviyeli *SDGM* tarafından referans olarak kullanılmaktadır. Açık çevrim çalışmada sinüs işaret üreteçleri ile üretilen referans işaret, kapalı çevrim çalışmada kontrol

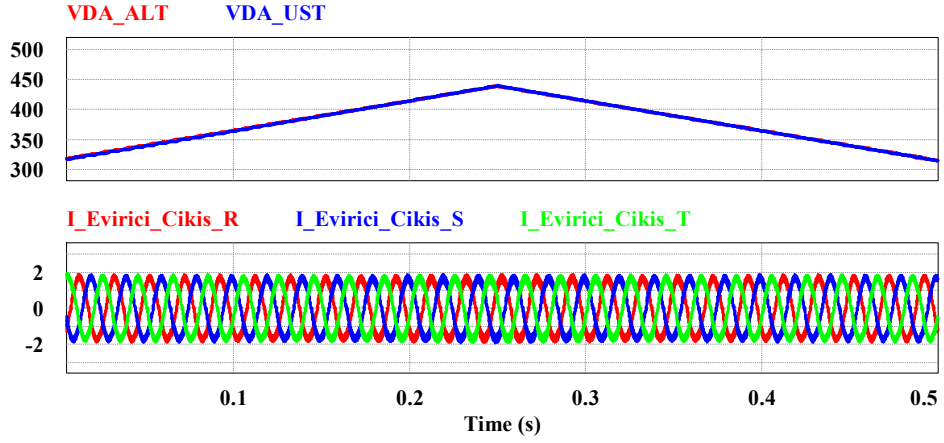
algoritması sonucunda üretilerek *SDGM* modülatör tarafından kullanılmaktadır. Şebeke bağlantılı çalışma için gerekli değişiklikler yapılan *SDGM* blokları Şekil 3.28’de gösterilmiştir.

Kapalı çevrim benzetimde girişteki gerilim bölücü kondansatörler yerine öncelikle iki adet bağımsız gerilim kaynağı kullanılarak, akım kontrolörü katsayıları ayarlanmıştır. Bu durumda bara kontrolörü sistemden çıkarılmıştır. Sistem kararlı çalışarak, uygun akım dalga şekli elde edildikten sonra giriş kondansatörleri ve bara kontrolörü sisteme ilave edilerek, bara kontrolör sayılarının elle ayarı gerçekleştirilmiştir.

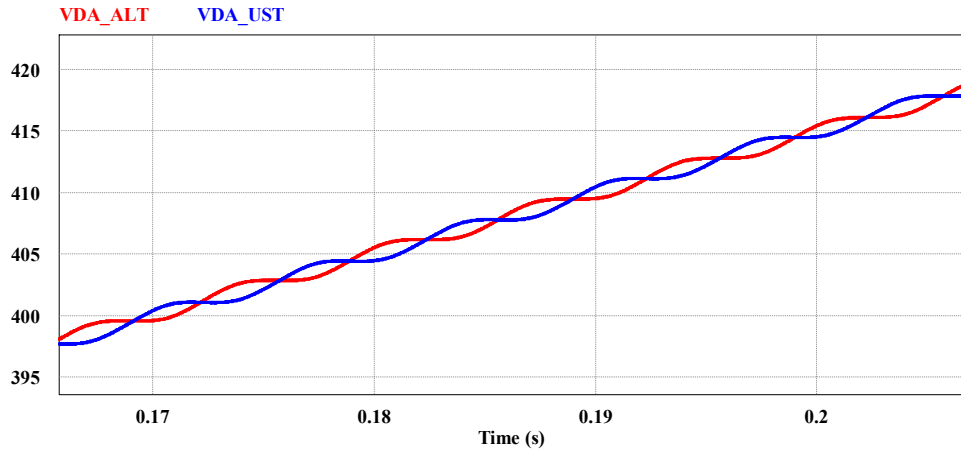


Şekil 3.28 : Şebeke bağlantılı çalışma *SDGM* blokları.

Şekil 3.29’da *DA* bara gerilimi 630V-880V arasında değişirken eviriciden şebekeye aktarılan üç faz akım dalga şekilleri görülmektedir. Görüldüğü gibi giriş gerilimi değişirken çıkış akımı sabit kalmaktadır. Burada şebeke gerilimi sabit olup 220V, 50Hz değerindedir.



Şekil 3.29 : Değişken DA giriş gerilimi ve üç faz evirici çıkış akımı.

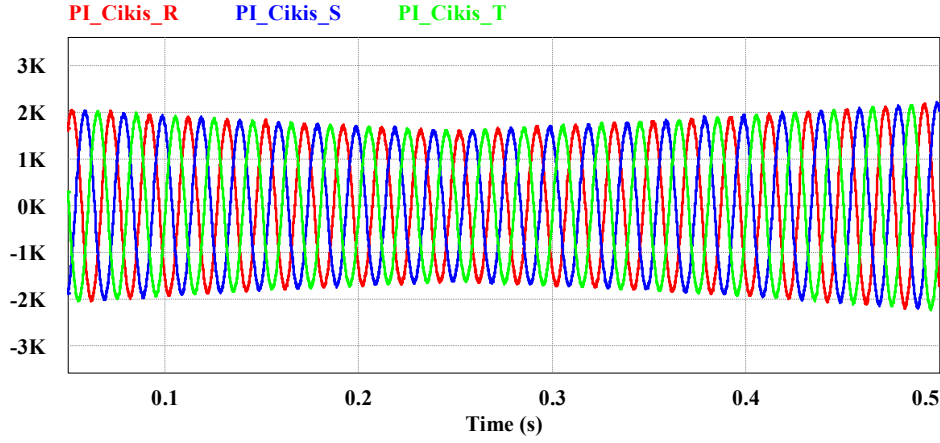


Şekil 3.30 : DA bara kondansatör gerilimi değişimi.

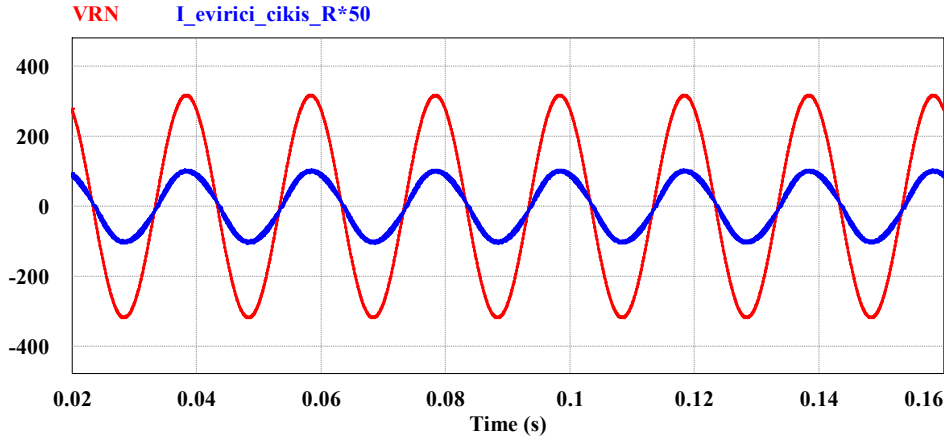
Şekil 3.30’da evirici girişinde bulunan *DA* bara kondansatör gerilimlerinin değişimi görülmektedir. Bara kontrolörü kondansatör gerilimlerinin eşit olarak paylaşılmasını sağlamaktadır.

Şekil 3.31’de, Şekil 3.27’de elde edilen kontrol işaretlerinin değişimi görülmektedir. Bu işaretler aynı zamanda *SDGM* referansıdır. Değişken *DA* giriş gerilimi için sabit akım üretmek üzere, kontrol işareti genlikleri değişmektedir. Giriş geriliminin artış gösterdiği 0-0,25sn aralığında kontrol işareti küçülmekte, girişin azaldığı 0,25-0,5sn aralığında ise artarak çıkış akımını 2A tepe değerinde sabit tutmaya çalışmaktadır.

Evirici referansı üretilirken şebekeye yük olarak bakılmış, dolayısıyla akımın yönü eviriciden dışarıya doğru pozitif olarak belirlenmiştir. Bu nedenle üretilen referans akım işareti de şebeke ile aynı yönlü olacak şekilde ayarlanmıştır. Bu durumda şebeke gerilimi ile evirici çıkış akımı birlikte çizdirilerek Şekil 3.32 elde edilmiştir.



Şekil 3.31 : *PI* kontrolör çıkışı, *SDGM* referans sinyali.



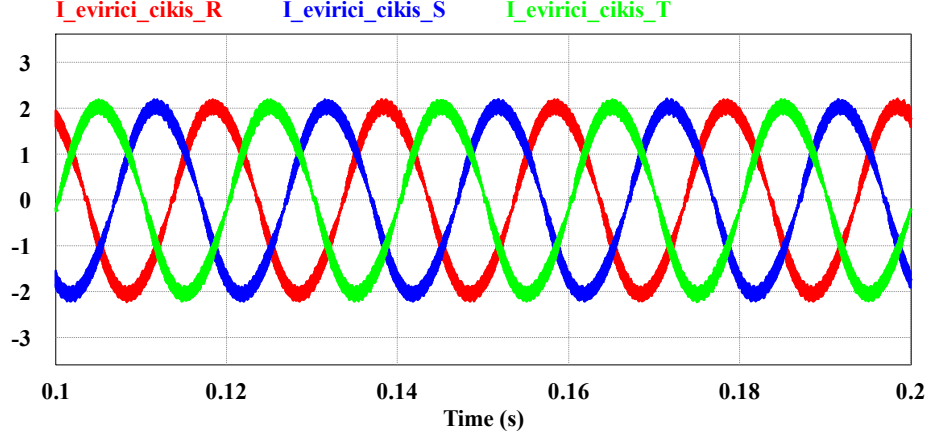
Şekil 3.32 : R fazı faz-nötr gerilimi ve R fazı evirici çıkış akımı.

Şekil 3.32’de tepe değeri 2A olan evirici çıkış akımı 50 kat büyütülerek, dalga şekli ölçeklendirilmiştir.

Burada akım yönü eviriciye doğru alınarak akımın 180° yön değiştirmiş hali elde edilebilir. Bu durumda aktif gücün negatif değer alması güç akışının eviriciden şebekeye doğru olduğunu gösterecektir.

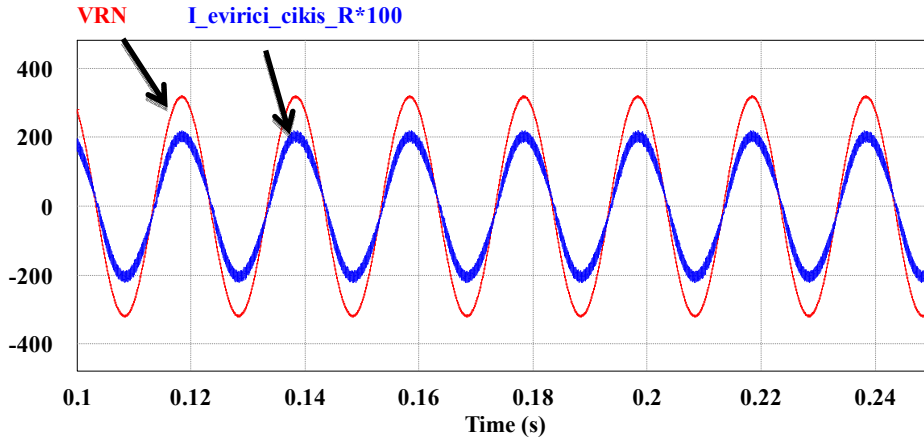
Şekil 3.32’ye ilişkin güç faktörü *PSIM* tarafından %99,6 olarak hesaplanmıştır. Sistemin transfer fonksiyonunda orjinde bir adet sıfır bulunmakta, *PI* kontrolörden gelen bir diğer integratör etkisi ile sistemin tipi 2 olmaktadır. Bu nedenle sistem parabol referans girişi belli bir hata oranıyla takip edebilmektedir.

Şekil 3.33 *DA* bara gerilimi sabit 850V iken elde edilen çıkış akımı dalga şeklini göstermektedir.



Şekil 3.33 : *DA* bara gerilimi 850V iken üç faz çıkış akımı.

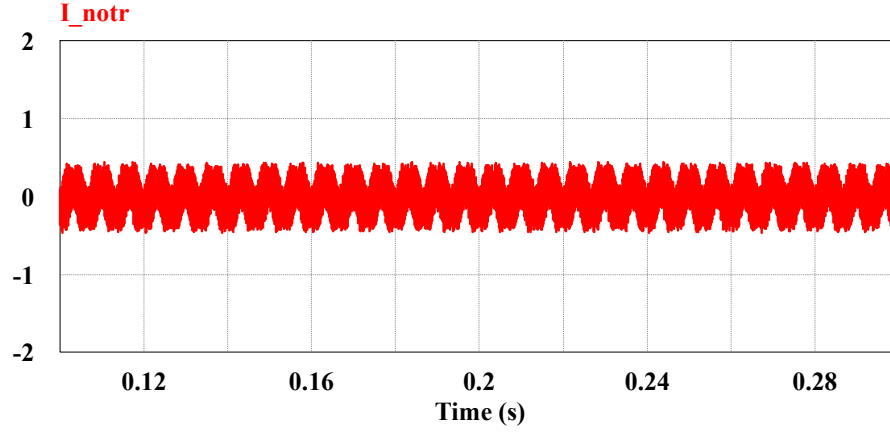
Şebeke bağlantı endüktansı seçiminde *DA* bara geriliminin akım dalgalılığını etkilediği gösterilmişti. Şekil 3.33'ten görüleceği üzere yüksek giriş geriliminde çıkış akımı dalgalılığı artmıştır. Şekil 3.34'te şebeke gerilimi ve evirici akımı 850V giriş gerilimi için elde edilmiştir.



Şekil 3.34 : *DA* bara gerilimi 850V iken R fazı gerilimi ve evirici çıkış akımı.

Farklı giriş ve şebeke gerilimi değerleri için evirici çıkış akımı *THD*'si %4-8 arasında değişmektedir.

Şekil 3.35'te üç faza eşit güç aktarılırken, evirici çıkış akımı görülmektedir. Üç faza eşit akım aktarıldığı için nötr hattından sadece akımın dalgalı bileşenleri akmaktadır. Eviricinin bir ya da iki fazı beslemesi durumunda akım vektörlerinin toplamı sıfır olmayacağından, bu durumda faz akımları nötr hattından akabilecektir. Benzer yaklaşımla evirici fazlara farklı değerlerde ya da farklı güç faktörlerinde akım akıttığı zaman da nötr hattından akım akacaktır.



Şekil 3.35 : Üç faza eşit güç aktarılması durumunda, evirici nötr akımı.

Bu nedenlerle sistemin bir ya da iki fazda da çalışabilmesi için eviricinin nötr hattı şebekeye bağlanmıştır.

4. GERÇEKLEME VE DENEYSEL ÇALIŞMALAR

Bu bölümde çalışma prensibi ve kontrol algoritması açıklanan şebeke bağlantılı üç fazlı üç seviyeli diyot kenetlemeli eviricinin pratik olarak gerçekleştirilmesi incelenecektir. Sistemde kullanılacak olan akım ve gerilim ölçüm devreleri, *mosfet* sürücü, yardımcı güç kaynağı devreleri ayrı ayrı incelendikten sonra, kontrol algoritmasının yazılımsal olarak gerçekleştirilme aşamaları açıklanacaktır. Tasarlanan eviriciye ait şema ve baskı devreler Ek E’de verilmiştir. Eviricinin çalışma parametreleri Çizelge 4.1’de belirtilmiştir.

Çizelge 4.1 : Evirici çalışma parametreleri.

Parametre	Minimum	Nominal	Maksimum	Yorum
Giriş Gerilimi	630V DA	-	850V DA	Minimum değeri şebeke gerilimine bağlı.
Bir Faz Çıkış Gücü	60W	-	600W	Üç fazda toplam çıkış gücü 1,8 kW.
Anahtarlama Frekansı	-	20kHz	-	Anahtarlama frekansı sabit.
Çıkış Çalışma Gerilimi	190V AA	220V AA	250V AA	Maksimum değeri, giriş gerilimine bağlı.
Çalışma Frekansı	47Hz	50Hz	53Hz	Belirlenen sınırlar dışında çıkış kapatılır.
Verim	% 93	-	% 97	-
Korumalar	Çıkış aşırı akım, şebeke aşırı gerilim, DA bara aşırı/düşük gerilim, adalanma önleyici.			

4.1 Tasarlanan Sistemin Genel Çalışma Blokları

Şekil 4.1’de görülen üç fazlı seviyeli şebeke bağlantılı evirici blok diyagramında görülen sistem değişken DA giriş, kondansatör yumuşak şarj/deşarj devresi, şebeke gerilimi ölçümü için üç adet opamp fark kuvvetlendirici devresi, üç adet opamp karşılaştırmalı şebeke gerilimi sıfır geçiş dedektörü, izoleli optokuplör *mosfet* sürücü, *mosfet* sürücü beslemesi için on adet izoleli çıkış gerilimi üreten *flyback* çevirici, giriş DA bara kondansatör gerilimleri ölçümü için iki adet opamp fark

çıkışta pozitif gerilim üretmesi sağlanmıştır. Bu nedenle opamp simetrik besleme yerine sadece pozitif gerilim kaynağı ile beslenmektedir. Şebeke gerilimi “0” noktası *ADC* gerilim skalasının tam ortası olan 1,5V’a göre ölçeklendirilmektedir.

Fark kuvvetlendiricinin çıkışında yine opamp ile gerçekleştirilen sıfır geçiş dedektörü bulunmaktadır. Bu devre şebeke gerilimi pozitif alternansta iken 3,3V, negatifte iken ise 0 V çıkış işareti üretmektedir. Üretilen şebeke gerilimi sıfır geçiş işareti işlemcinin *eCAP* modülü ile okunmaktadır. *eCAP* modülü şebeke sıfır geçişlerinde kesme üreterek, *FKD* algoritması için kullanılmaktadır. Ayrıca *eCAP* modülü ile şebeke periyodu modül içerisindeki sayıcı ile donanımsal olarak ölçülerek, kesme sinyali oluştuğunda şebeke frekansı yazılım tarafından değerlendirilmektedir. Şebeke frekansı belirlenen değerler dışında ise sistem kapatılır.

Giriş kondansatör gerilimleri şebeke gerilimi ölçümünde kullanılan fark kuvvetlendirici ile aynı yaklaşım kullanılarak ölçülmektedir. Ancak giriş kondansatör gerilimleri elektrolitik olup, sadece tek yönde değer aldığı için bu fark kuvvetlendiricide sanal toprak tekniği uygulanmamaktadır. Kondansatör gerilimi 0-450V aralığı için kuvvetlendirici çıkışı 0-3V olacak şekilde tasarım yapılmıştır.

Akım ölçümü *ACS712* hall etkili akım sensörü ile yapılmaktadır. Bu sensör -5/+5A arasındaki akımı ölçebilmektedir. Ancak sensör 5V ile çalışıp, sensör çıkışı 1,5-3,5V aralığında olduğu için, sensör çıkışında opampli bir sinyal ölçeklendirme devresi kullanılmıştır. Bu devre ile -5A/+5A için 0,5V-2,5V gerilim elde edilerek akım sinyali *ADC* ile örneklenebilecek aralığa ölçeklendirilmiştir.

Eviriciyi kontrol eden *DGM* işaretleri *F2808 ePWM* modülü ile yazılımsal olarak üretilerek, *FOD3180* yüksek frekanslı ve yüksek çıkış akımı kapasiteli kapı sürme devresinin girişine uygulanmaktadır. *F2808* işlemcisinin bir adet pini en fazla 4mA akım sağlayabildiği için işlemci *FOD3180* entegresinin girişini doğrudan sürememektedir. Bu nedenle *ePWM* sinyali transistörlü bir kuvvetlendirici ile kuvvetlendirilerek, *FOD3180* entegresinin bilgi sayfasında önerildiği şekilde entegre girişindeki *led*in 10mA akım ile sürülmesi sağlanmıştır.

Güç anahtarı olarak *mosfet* kullanılmıştır. *Mosfet* maliyet, anahtarlama hızı, kolay temin edilebilirliği ve sürme kolaylığı sebebiyle tercih edilmiştir. Ancak özellikle çok seviyeli eviricilerin yüksek güçteki çalışmalara uygun olması sebebiyle daha

yüksek güçler için *IGBT* yada *GTO/Tristör* anahtarları da tercih edilebilir. Laboratuvar prototipindeki güç gereksinimleri *mosfet* tarafından karşılanabildiği için *mosfet* kullanımında karar kılınmıştır.

FOD3180 Mosfet/IGBT sürücünün besleme geriliminde tek yönlü olarak 15V kullanılmaktadır. Sürme devresi beslemesinde negatif gerilim kullanılmamaktadır. Özellikle *IGBT*'lerde kesime giderken oluşan akım kuyruğu (*current tail*) olayı sebebiyle sürme geriliminde negatif gerilim kullanılması pratikte sıklıkla tercih edilen bir uygulamadır. Ancak burada *mosfet* kullanılması sebebiyle, anahtarın kesime götürülmesinde 0V kapı sinyali uygulanmaktadır.

Üç seviyeli diyot kenetlemeli evirici devresinde bulunan oniki adet *mosfetten* sadece üç tanesinin *source* uçları ortaktır. Bu nedenle bu üç anahtar aynı besleme gerilimiyle sürülebilir. Geri kalan dokuz anahtar ise birbirinden izoleli kaynaklar ile beslenmiş kapı sürme devreleri tarafından sürülemelidir. Bu amaçla birbirinden izoleli on adet 15V,100mA çıkış verebilen bir *flyback* çevirici tasarlanmıştır. Bu amaçla içerisinde kontrol devresi ve güç anahtarını da barındıran *TNY280* entegresi kullanılmıştır. Bu entegre kullanılarak aynı baskı devre içerisinde iki adet beş çıkışlı anahtarlama mod güç kaynağı tasarlanmıştır. Tasarlanan *flyback* çeviriciye ait devre şeması ve baskı devresi Ek E'de verilmektedir.

Diyot kenetlemeli eviricide kenetleme diyodu olarak *ultra-fast* tipi doğrultucu kullanılmıştır. Kesime giderken düşük ters toparlanma zamanına ve yüküne sahip olması nedeniyle bu tip diyaodun kullanımı uygun görülmüştür.

Evirici güç devresi girişinde girişinde gerilim bölücü olarak iki adet 450V/470µF elektrolitik kondansatör bulunmaktadır. Giriş geriliminde oluşan dalgalanmanın düşük olması sistemin düzgün çalışabilmesi açısından son derece önemlidir. Bu nedenle giriş kondansatörlerinin değerinin büyümesi giriş gerilim dalgalanmasını azaltacak, böylece gerilim seviyelerinin de düzgün olmasını sağlayacaktır. Eğer giriş gerilimi dalgalılığı yüksek olursa, bu dalgalanma evirici çıkışına da yansiyarak çıkış kalitesini düşürebilir. Buradaki dalgalanma ifadesi şebeke ve anahtarlama frekansında olan dalgalanmaları kapsamaktadır. *DA* giriş geriliminin değişken olmasından kaynaklanan gerilim dalgalanması çok daha düşük frekanslı olup sistem bu değişken geriliminden etkilenmeyecek şekilde kontrol edilmektedir. Giriş kondansatörü değerinin büyümesi sistem dinamiğini yavaşlatacağından *DA* bara

gerilimi kontrolünü de kolaylaştırmaktadır. *DA* bara kondansatörleri büyük değerde olduğu için bu kondansatörlerin yumuşak bir şekilde şarj/deşarj işlemlerini gerçekleştiren bir devre kullanılmıştır.

Evirici çıkış filtrelerinden sonra dört adet röle ile evirici şebekenin bağlantısı kontrol edilmektedir. Bu rölelerin görevi gerekli durumlarda evirici ile şebekenin ayrılmasını sağlamaktır. Rölelerin kapalı olduğu durumda eğer *DA* bara kondansatörleri boş ise ya da *DA* bara gerilimi şebeke gerilimi tepe değerinden düşük ise, evirici hiç tetiklenmese dahi evirici güç devresindeki ters diyotlar nedeniyle şebekeden eviriciye akım akarak *DA* bara kondansatörleri kontrolsüz şekilde şarj olacaktır. Bu durum çıkış röleleri ile önlenmektedir. Çıkış röleleri normalde kapalı kontak formundadır. Bu nedenle evirici şebeke bağlantısı yapılsa bile röle kontakları açık olduğu için şebeke ile evirici izolelidir. Sistem *DA* bara kondansatörlerini şarj ederek, kondansatör geriliminin şebeke tepe değerinden büyük olduğuna karar verdikten sonra şebeke rölelerini kapatarak şebeke senkronizasyonu sürecini başlatır. *DA* bara gerilimi şebeke tepe geriliminden büyük iken röleler kapatıldığında eğer evirici tetiklenmezse şebekeden *DA* baraya akım akışı olmamaktadır.

Sistem, şebeke geriliminin artması, frekansın belirlenen sınırlar dışına çıkması ya da aşırı akım gibi hatalarda *DGM* sinyallerini kesmenin yanında, çıkış rölelerini açarak eviriciyi şebekeden ayırmaktadır. Daha sonra ise giriş tarafında bulunan *DA* bara kontrol devresi ile kondansatörleri yumuşak bir şekildedeşarj ederek sistemi güvenli bir hale getirir.

Anahtarlamalı regülatörlere göre daha gürültüsüz çalışmaları ve basit yapıları sebebiyle eviricinin kontrol katının beslenmesinde lineer regülatörler kullanılmıştır.

12V giriş gerilimi rölelerin giriş bobinlerini beslemektedir. 5V ise *mosfet* sürücü girişi, opamp ve akım sensörü beslemesinde kullanılmaktadır. 3,3V ise işlemci ve bazı opamp devrelerinde kullanılmıştır. 1,8V gerilim kaynağı ise işlemci çekirdeğini beslemektedir.

4.2 Donanım Tasarımı

Bu bölümde elektronik elemanların seçimi, analog ve sayısal devrelerin tasarımı anlatılacaktır. Açıklanan devrelere ilişkin toplu şema Ek E’de verilmiştir.

4.2.1 Evirici güç devresi

Evirici güç devresi *mosfet*, kenetleme diyodu, filtre ve giriş kondansatörlerinden oluşmaktadır.

Üç seviyeli diyot kenetlemeli eviricinin analizinde anlatıldığı gibi her bir *mosfet* üzerinde giriş *DA* bara geriliminin yarısı görülmektedir. Bu nedenle maksimum giriş gerilimi 850V için her bir *mosfet* teorik olarak 425V gerilime maruz kalmaktadır. Ancak pratikte devredeki parazitik elemanlar ve şebekede ya da girişte oluşabilecek geçici durumlar nedeniyle *mosfet* V_{ds} geriliminin daha yüksek değerler alması mümkündür. Bu nedenle pratikte teorik değerin 1,5–2 katı dayanma gerilimine sahip bir *mosfet* kullanılması uygundur. *IXYS* firmasının *13N80* kodlu *mosfeti* 13A, 800V anma değerlerine sahip ve yaklaşık olarak 6V $V_{gs(th)}$ kapı geriliminde ilettime geçmektedir. Ayrıca 4.2nF giriş kapasitesi değeri ile çok yüksek kapı akımına ihtiyaç duymadan rahatlıkla sürülebilmektedir. Eviricinin normal çalışma durumunda her bir *mosfet* en fazla 4A tepe akımı geçirmektedir. Bu nedenle *mosfet* belirtilen akım değerinde çalışmaya uygundur. Ancak *mosfeti*n 0.8Ω gövde direnci değeri biraz büyük olduğu için, iletim kayıpları yüksek olabilir. Bu nedenle V_{ds} dayanma gerilimi 600V olan aynı maliyette başka bir *mosfet* kullanılarak iletim kayıplarının bir miktar daha düşürülmesi mümkündür. *Mosfet*lerde dayanma gerilimi ve iletim direnci ters orantılıdır. Bu nedenle aynı teknolojiye sahip ve yakın fiyat aralığındaki iki adet *mosfet* arasında dayanma gerilimi ve iletim kayıpları açısından bir tercih yapılarak eleman seçimi gerçekleştirilebilir. Ancak genel özelliklerine bakıldığında *13N80* fiyat/performans için uygun gözükmektedir.

Kenetleme diyodu olarak *ultra-fast* tipi hızlı diyot kullanılacaktır. *SFA1608G* diyodu 35ns ters toparlanma süresine sahip olup, kılıf sıcaklığı 100 °C'ye kadar 16A/600V değerlerinde çalışabilmektedir. Ayrıca kısa süreli olarak 200A akıma dayanabilmesi oluşabilecek arıza durumlarında, devre kapatılana kadar geçen sürede elemanın zarar görmesini engelleyecektir. Aynı parametre *13N80 mosfeti* için jonksiyon sıcaklığına bağlı olarak 52A civarında değişmektedir. Anahtarlama elemanı olarak *mosfet* yerine *IGBT* kullanılarak sistemin kısa süreli oluşabilecek aşırı akımlara karşı dayanıklılığı artırılabilir. *IGBT*'ler daha yüksek kısa süreli darbe akımı dayanma kapasitesine sahiptir. Ancak tasarlanan güçteki bir sisteme hız, maliyet ve sürme kolaylığı açısından bakılırsa *mosfet* biraz daha öne çıkmaktadır.

SFA1608G diyodunun 4A'de yaklaşık 1.2V ileri gerilim düşümü bu çalışma için yeterli bir değerdir. Çünkü ters toparlanma süreleri düşük olan bu tip diyotların daha yüksek dayanma gerilimi ile beraber düşük ileri yön gerilim düşümüne sahip olan çeşitleri maliyetlerini artırmaktadır.

Evirici çıkışında *LC* alçak geçiren filtre bulunmaktadır. Kullanılan endüktans değeri şebeke bağlantılı ve şebeke bağlantısız çalışma için aynı iken kondansatör değeri şebeke bağlantılı uygulamada 15nf, şebeke bağlantısız açık çevrim çalışmada ise 2.2µf değerindedir. Filtre devresinde yüksek hızlı *X* tipi *MKP275VAC* metal film kondansatörler kullanılmıştır. Bu kondansatörler yüksek *dv/dt* kapasitesi ve düşük eşdeğer seri direnç/endüktans değerlerine sahip olduğu için tercih edilmiştir. Ayrıca bu tip kondansatörlerde bulunan özyenilenme (*self-healing*) özelliği özellikle şebekeden gelebilecek yüksek darbe gerilimlerinin kondansatör üzerinde oluşturacağı etkileri en aza indirerek, kondansatörlerin uzun ömürlü olmasını sağlamaktadır.

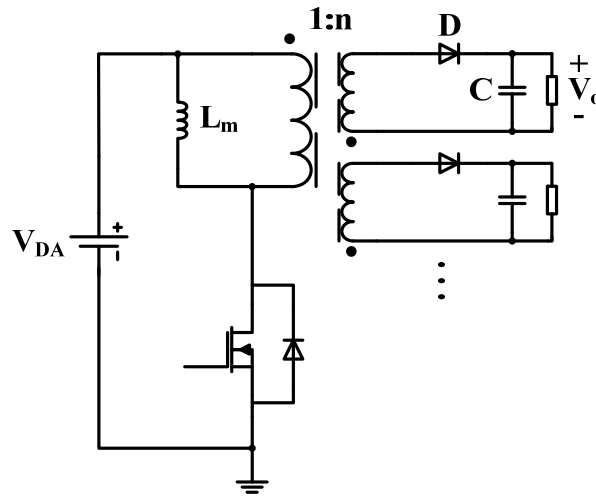
Filtre endüktansı *E* tipi ferrit nüveye sarılarak, yüksek frekanslı akım dalgalanmasından (*ripple*) kaynaklanan demir kaybı etkisi azaltılmaya çalışılmıştır. Nüvede uygun hava aralığı ayarlanarak endüktansın doyma akımının, maksimum evirici çıkış akımı olan 4A'den büyük olması sağlanmıştır. Hava aralığı ve endüktans optimizasyonu yapılarak, 4A/15mH endüktans elde edilmiştir. Tasarlanan endüktansların sargı direnci 1,35Ω değerindedir.

4.2.2 Yardımcı güç kaynağı

Mosfet sürücülerin beslemesinde kullanılmak üzere izoleli çıkış gerilimi üreten bir yardımcı güç kaynağına ihtiyaç duyulmaktadır. Bu amaçla *flyback* çevirici topolojisi kullanılarak birbirinden izoleli 10 adet 15V/100mA çıkış verebilen bir anahtarlamalı mod güç kaynağı (AGK) tasarlanmıştır.

Şekil 4.2'de görülen *flyback* topolojisi en yaygın kullanılan *AGK* çeşitlerindendir. Çevirici bir adet transformatör, kontrollü bir yarıiletken anahtar ve çıkış filtresinden oluşmaktadır. Düşük güçlerde anahtar olarak genellikle *mosfet* ya da *bjt* tercih edilmektedir. Devrede giriş anahtarının konumuna bağlı olarak, sürekli akım iletimi durumunda iki, süreksiz akım iletimi durumunda ise üç adet alt devre oluşur. Genel çalışma prensibi olarak devre, enerjinin transformatör mıknatıslanma endüktansında depolaması ve bu enerjinin çıkışa aktarılması mantığı ile çalışır. Şekil 4.2'de görülen

L_m mıknatıslanma endüktansı devrenin fiziksel bir parçası olmayıp transformatörün mıknatıslanma endüktansını temsil etmektedir.



Şekil 4.2 : Yardımcı güç kaynağı *flyback* çevirici topolojisi.

Primer anahtarı kapatıldığında akım, transformatörün primerinde noktadan girerek L_m endüktansı ve giriş gerilimi tarafından belirlenen bir eğim ile artar. Bu durumda sekonderde akımın noktadan çıkması gerekmekte, ancak sekonderde bulunan diyotların yönü nedeniyle bu mümkün olmamaktadır. Bu yüzden primerdeki anahtar iletimde iken sekonder diyotları kesimdedir.

Primerdeki anahtar kesime gidince ise L_m endüktansının akımı endüktansın karakteristiği gereği aniden kesilemeyeceği için devam etmek isteyecektir. Bu durumda L_m akımı trafo primerinin noktasından çıkarak döngüsünü tamamlar. Dolayısıyla trafonun sekonderinde akım noktadan girmek isteyecek ve böylece sekonder diyotları ilettime geçecektir. Yani anahtar kapalıyken trafo nüvesinde depolanan enerji, anahtar açıldığında sekondere aktarılır. Sekonderde diyotlar üzerinden şarj olan çıkış kapasiteleri ile gerilim düzgün hale getirilerek, diyotların kesim anında yükün kapasitelerde depolanan enerji ile beslenmesi sağlanır. Çıkış diyotları iletimde iken çıkış geriliminin transformatör çevirme oranı ile dönüştürülmüş değeri mıknatıslanma endüktansı üzerinde görülür.

Devrenin çevirme oranı L_m mıknatıslanma endüktansı üzerindeki volt-saniye dengesi eşitliği ile bulunur. L_m üzerinde anahtar iletimde iken pozitif giriş gerilimi, kesimde iken ise çıkış geriliminin çevirme oranı ile çarpılmış hali trafo polaritesi sebebiyle negatif olarak görülür. Böylece volt-saniye dengesi sağlanarak D anahtar çalışma

oranı ve n transformatör çevirme oranı olmak üzere, gerilim çevirme oranı denklem (4.1)'deki şekilde elde edilir.

$$\frac{V_o}{V_{DA}} = n \frac{D}{(1 - D)} \quad (4.1)$$

Denklem (4.1)'den de görüleceği gibi devre alçaltıcı-yükseltici karakteristiğe sahiptir. *Flyback* çeviricisi giriş-çıkış arasında izolasyon sağlaması, transformatör sekonder sayısının artırılarak birden fazla birbirinden izole çıkış elde edilebilmesi, basit yapısı ve düşük maliyeti sebebiyle, orta ve düşük güçlü uygulamalarda sıkça kullanılan bir topolojidir.

Mosfet sürme devrelerinde biri *source* uçları ortak olan üç adet *mosfet* sürücüsünde, dokuz adeti ise diğer *mosfet* sürücülerde kullanılmak üzere toplam on adet birbirinden izoleli gerilim kaynağına ihtiyaç duyulmaktadır. Çoğu *mosfet*in maksimum V_{gs} değeri 20V olduğu için sürme gerilimi olarak 15V seçilmiştir. Genel olarak çoğu *mosfet* 10V'tan sonra iletme geçmektedir. Ayrıca kullanılan *mosfet* sürücü *FOD3180* beslemesinde 10-20V arası $V_{CC}-V_{EE}$ önerildiği için 15V sürme gerilimi *mosfet* sürücü açısından da uygundur. *Mosfet* sürme devresinde *mosfet* kapı akımı darbeli bir yapıda olduğu için bu darbeli akımın AA bileşeni sürücü *bypass* kapasitesinden, ortalama değeri ise *flyback* yardımcı güç kaynağından çekilecektir. *Mosfet* sürücünün kaynaktan çektiği ortalama akım değeri simülasyon ve pratik çalışmalarla 20kHz/1A-2A tepe kapı akımları için 30-50mA olarak elde edilmiştir. Bu nedenle her bir çıkış için 100mA verebilecek güç kaynağı yeterli olacaktır. Eviricideki alt üç anahtar sürücüleri için ise 200mA ortalama çıkış akımı yeterli olmaktadır.

Devrede kullanılan transformatör normal bir transformatör çalışmasından ziyade bir ortak endüktans gibi davranmaktadır. Bu nedenle *flyback* çeviricide farklı kontrol yöntemleri de kullanılmaktadır.

Flyback yardımcı güç kaynağı *TNY280* entegresi kullanılarak gerçekleştirilmiştir. *TNY280* entegresi kontrolör ve güç anahtarını birlikte barındıran bir yapıda olup, minimum harici eleman ile devrenin gerçekleşmesini sağlamaktadır.

TNY280 entegresi akım sınırlama mantığıyla çalışarak, çıkış gerilimini *on/off* kontrol mantığı ile regüle etmektedir. Bu amaçla tasarlanan devre Ek E'de verilmiştir. Açıkladığı üzere *flyback* çeviricisinde güç kontrolü transformatörün L_m

mıknatıslanma endüktansında depolanan enerjinin kontrolü ile yapılmaktadır. *TNY280* entegresi de L_m akımını ölçerek bir sonraki anahtarlama periyodunda anahtarın iletimde ya da kesimde olmasına karar vermektedir. L_m akımı aynı zamanda *mosfet* anahtarı akımı olduğu için anahtar kapalı iken artan *mosfet* akımının tepe değeri sınırlandırılarak anahtarlama işaretleri oluşturulur. Dolayısıyla çıkışa aktarılan enerji giriş akımı sınırlandırılarak kontrol edilmektedir. Geribesleme işareti çıkıştan bir optokuplör ve zener diyot devresi ile izoleli olarak alınmaktadır. Çıkış gerilimi ölçüm devresindeki zener diodu iletime geçirecek değere ulaştığında, optokuplör iletime geçerek, *TNY280* entegresine çıkışa aktarılan enerjinin azaltılması gerektiği belirtir. Böylece entegre ilerleyen birkaç anahtarlama periyodu boyunca *mosfeti* kesimde tutar. Devredeki anahtarlama işaretlerinin üretiminde kullanılan osilatör frekansı sabit olmasına rağmen, akım sınırlama tekniği nedeniyle anahtarlama frekansı yüke bağlı olarak 124-140kHz arasında değişmektedir.

Devrenin kapalı çevrim kontrolü gerçekleştirilirken sadece bir adet çıkıştan geribesleme alınarak çalışma oranının ayarlanması sekonder gerilimlerinde dengesizliğe sebep olabilmektedir. Örneğin sekonderde geribesleme alınan çıkıştan fazla, diğerlerinden ise düşük yük çekilmesi sonucunda, anahtarın çalışma oranı yüksek yüke göre ayarlandığı için düşük yük çekilen çıkışların gerilimleri yükselebilir. Eğer geribesleme alınan çıkış yüksüz, diğer çıkışlar ise yüklü durumda ise, yüklü çıkış gerilimlerinde yüke bağlı olarak dalgalanmalar görülecektir. Bu sebeple regülasyon istenen her bir sekonder çıkışında ayrı lineer regülatörler kullanılarak bu sorun çözülebilir. Ancak *mosfet* sürücülerin çektiği ortalama akım değeri çok düşük olduğu için, *flyback* çevirici çıkış gerilimlerinde regülatör kullanılmadan kararlı bir gerilim elde edilmiştir. Bu nedenle devrede lineer regülatör kullanılmamıştır. Ancak transformatör sarılırken sekonder sargılarının düzgün şekilde sarılması *mosfet* sürücü gerilim seviyelerinin eşit seviyede olması için son derece önemlidir. Bu nedenle devrede transformatör sarımını kolaylaştırmak amacıyla bir adet on çıkışlı çevirici yerine iki adet beş çıkışlı *flyback* çeviricisi kullanılmıştır.

Devrede her bir çıkışa ilave *LC* filtreler bağlanarak çıkış gerilimlerinin daha düzgün hale gelmesi sağlanmıştır.

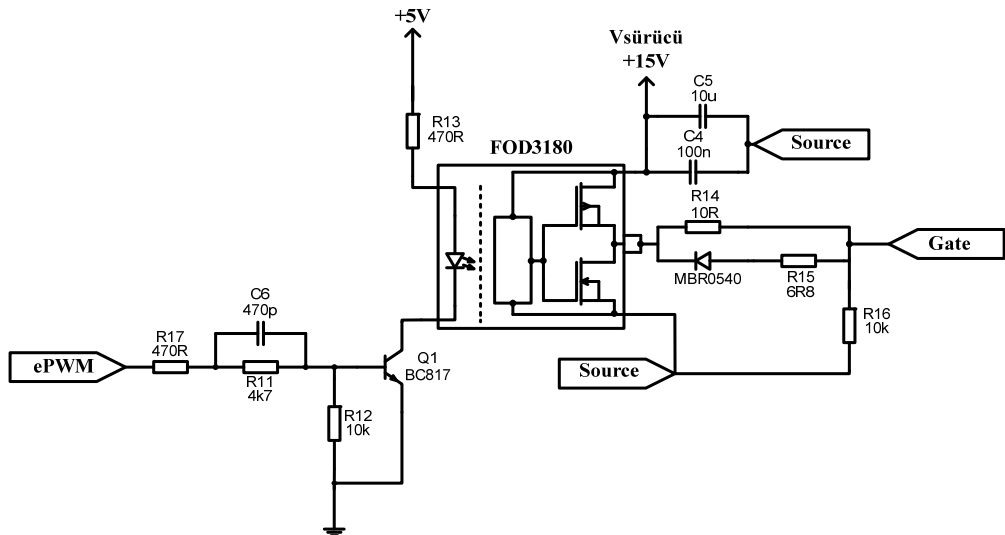
TNY280 içerisindeki *mosfet* 700V dayanma gerilimine sahiptir. Ancak transformatör girişinde bulunan seri kaçak endüktans ve anahtarın çıkış kapasitesi, *mosfetin* kesim

anında bir rezonans devresi oluşturularak, *mosfet* üzerinde büyük bir gerilim salınımına sebep olur. Bu nedenle transformatör primerinde *RCD* bastırma devresi (*snubber*) kullanılmaktadır. Böylece rezonans sonucu oluşan ve yüksek bir değerden başlayarak sönümlü olarak salınan gerilim değeri bastırılmıştır. Aynı şekilde sekonder kaçak endüktansı ve diyot çıkış kapasitelerinin oluşturacağı rezonans devresi, sekonder diyotların maruz kaldığı tepe gerilimini artırmaktadır. Benzer şekilde sekonder diyotlarında paralel *RC* bastırma hücresi kullanılmaktadır. Bastırma hücreleri ile *mosfet* ve diyotların zorlanmaları azaltılmaktadır.

Devre girişinde köprü doğrultucu ve filtre kondansatörü kullanılmış, devre *AA* ve *DA* giriş ile çalışabilecek şekilde tasarlanmıştır. Girişte koruma/filtre elemanları olarak sigorta, varistör ve ortak mod filtresi elemanları kullanılmıştır. Ayrıca her bir izole çıkışta sigorta kullanılarak, *mosfet*lerin arızalanması durumunda *mosfet*lerin *gate-source* uçlarının kısa devre olmasına karşı önlem alınmıştır.

4.2.3 Mosfet sürücü

*Mosfet*ler Şekil 4.3'te görülen *FOD3180* optokuplör sürücü ile sürülmektedir. Sürücü beslemesi $V_{sürücü}$ izoleli çıkış gerilimi üreten *flyback* çeviricisi tarafından karşılanmaktadır. İşlemci *ePWM* çıkışı *mosfet* sürücü girişinde bulunan transistörlü kuvvetlendirici ile kuvvetlendirilmiştir.



Şekil 4.3 : *Mosfet* sürücü devresi.

Bilgi sayfasında *FOD3180* giriş *led*'inin 10-20mA ile sürülmesi önerilmektedir. Ancak her bir işlemci çıkışı en fazla 4mA verdiği için Şekil 4.3'te görülen transistörlü kuvvetlendirme devresi pozitif lojik (*active high*) çalışacak şekilde

tasarlanmıştır. Burada transistör bir anahtar olarak doyma bölgesinde çalıştırılmaktadır. *Mosfet* sürücü çıkış besleme gerilimi 10μf'lık hızlı tantal kondansatörler ile bypass edilerek, darbeli kapı akımının düzgün bir şekilde karşılanması sağlanmaktadır.

Darbeli kapı akımının *AA* bileşeni *bypass* kondansatöründen akacağı için bu kondansatörlerin yüksek frekanslı akımları hızlı bir şekilde vermesi gerekmektedir. Böylece sürme gerilimindeki bozulmalar azaltılabilir.

Entegre bilgi sayfasında 20kHz anahtarlama frekansında entegrenin 2A tepe çıkış akımı üretebildiği bilgisi yer almaktadır. Bu nedenle *mosfet* kapı şarj akımı tepe değerinin 1,5A civarında olması için kapı direnci (4.2)'e göre hesaplanmıştır.

$$R_g = \frac{V_{OH} - V_{EE}}{I_{g_maks}} \quad (4.2)$$

Sistemde negatif sürme gerilimi kullanılmadığı için V_{EE} 0V değerindedir. V_{OH} *mosfet* sürücü lojik 1 çıkış gerilimi ise bilgi sayfasında " $V_{sürücü} - 0,5V$ " olarak verildiği için R_g direnci 10Ω olarak hesaplanır. Daha sonra evirici deneysel olarak 15 Ω ve 10 Ω sürme dirençleriyle çalıştırılmış, V_{ds} gerilimi yükselme zamanları incelenerek optimizasyon gerçekleştirilmiştir.

Ayrıca *mosfet* kesime giderken miller kapasitesinin boşalması esnasında akan akımın V_{gs} gerilimini yükseltmesinin önüne geçilerek, daha düzgün sürme işareti üretilebilmesi amacıyla *mosfet* giriş kapasitesinin daha hızlı deşarj edilmesi gerekmektedir. Bu amaçla şarj direncine paralel bağlı diyot ve 6,8Ω'luk direnç kullanılarak *mosfet* giriş kapasitesi deşarj işlemi hızlandırılmıştır. Böylece miller kapasitesi etkisi nedeniyle sürme geriliminin bozulması önlenmektedir.

4.2.4 Ölçüm devreleri

Bu bölümde Şekil 4.1'deki sistem blok diyagramında görülen ölçme devreleri incelenecektir.

4.2.4.1 Şebeke gerilimi ölçüm devresi

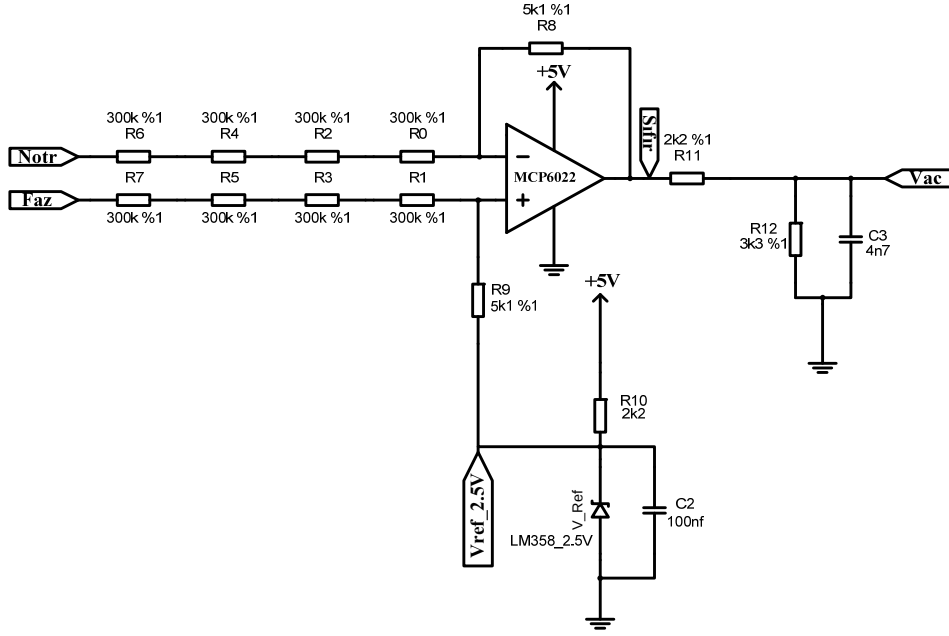
Şebeke gerilimi ölçümü opamp fark kuvventlendirici devresi gerçekleştirilmiştir. İşlemcinin *ADC*'si 0-3V gerilim aralığında çevrim işlemi yapabildiği için şebeke gerilimi bu aralığa ölçeklendirilmelidir.

Fark kuvvetlendirici devresi, giriş işaretleri arasındaki farkı belli bir kazançla çarparak çıkış işareti üretir. Şebeke işaretinin ölçeklenmesi durumunda her bir alternansın simetrik olarak kuvvetlendirilebilmesi için fark kuvvetlendirici simetrik kazançla sahip olacak şekilde kurulmuştur. Bu durumda Şekil 4.4’de $(R_0+R_2+R_4+R_6)$ ve R_8 dirençlerinin oranı ile $(R_1+R_3+R_5+R_7)$ ve R_9 dirençlerinin oranı eşit yapılarak devrenin her alternansı simetrik olarak kuvvetlendirmesi sağlanmıştır.

Fark kuvvetlendirici giriş dirençleri Şekil 4.4’de görüldüğü gibi seri bağlı dört adet dirençten oluşmaktadır. Dirençlerin bu şekilde seri bağlanması ile girişte ölçülen yüksek gerilimin kontrol devresine ulaşması engellenmiştir. İdeal opamp karakteristiğinde eviren ve evirmeyen giriş gerilimlerinin birbirine eşit ve giriş empedansının sonsuz olması kabulüyle, Şekil 4.4’de görülen R_0, R_2, R_4, R_6 ve R_1, R_3, R_5, R_7 giriş dirençlerinin gerilim bölücü olarak çalıştığı söylenebilir. Böylece girişteki yüksek gerilim entegre ucunda güvenli bir seviyeye düşürülerek, şebekeden kontrol devresine yüksek gerilim atlamasının önüne geçilebilir. Burada her bir direnç *1206 smd* kılıfındadır ve özellikle yüksek gerilim için üretilen yeşil renkli *smd* dirençler 200V’a kadar gerilime dayanabilmektedir. Ayrıca devrenin fiziksel yapısı düşünüldüğünde, baskı devre çizimi aşamasında her bir direncin üzerindeki bulunan yalıtkan boşluk güç devresine yüksek gerilimin ulaşmasını zorlaştıracaktır. Eğer *1206* kılıflı $1,2M\Omega$ değerinde bir adet direnç kullanılsaydı, direncin iletken uçları arasındaki mesafe çok kısa olduğu için, yüksek gerilimin direnç üzerinden atlayarak opamp devresine ulaşması mümkün olabilirdi. Giriş dirençlerinin eşdeğer empedanslarının $M\Omega$ seviyesinde yapılması ile de şebeke ve kontrol devresi arasındaki elektriksel bağlantı mümkün olduğunca zayıflatılmıştır. Şebekede hatta yıldırım düşmesi, ani kapasitif yüklenme ya da generatörün yükünün kalkması gibi sebeplerle oluşabilecek kısa süreli yüksek gerilim darbeleri ise devrede bulunan varistör ve filtre kapasitesi gibi elemanlar ile bastırılmaktadır.

Şebeke geriliminin ölçülmesi ile ilgili bir diğer önemli konu devre referansıdır. Bu uygulamada opamp bir adet pozitif besleme kaynağı ile beslenmektedir. İşlemcinin *ADC*’si sadece pozitif gerilim değerlerinde çalıştığı için, şebeke gerilimi negatif alternansına ilişkin ölçüm sinyali kuvvetlendirici çıkışında pozitif alternansa ötelenmelidir. Dolayısıyla opamp sadece pozitif gerilim işaretleri ile çalışacağı için simetrik besleme kullanılmamıştır. Çıkış işaretini pozitif alternansa ötelemenin en kolay yolu sanal toprak (*virtual ground*) tekniğidir. Bu yöntemde kuvvetlendiricinin

evirmeyen ucuna kaydırılmak istenen gerilim seviyesi kadar düzgün bir *DA* referans gerilim işareti uygulanmalıdır. Bu durumda fark kuvventlendirici girişleri arasındaki gerilim eşit iken opamp çıkışında uygulanan referans gerilim görülür. Böylece giriş işareti pozitif alternansta iken opamp çıkışında kuvventlendirme kazancı ile çarpılmış giriş geriliminin referans gerilimi kadar fazlası görülür.



Şekil 4.4 : Fark kuvventlendirici ile şebeke gerilimi ölçümü.

Şekil 4.4'te tasarlanan fark kuvventlendirici devresi görülmektedir. Bu devrede çıkış işareti denklem (4.3)'ye göre hesaplanır.

$$V_{ac} = \left[(V_{faz} - V_{nötr}) \frac{R_8}{(R_0 + R_2 + R_4 + R_6)} + V_{ref} \right] \cdot \frac{R_{12}}{(R_{11} + R_{12})} \quad (4.3)$$

Opamlarda çıkış işareti özellikle besleme gerilimi sınırlarına yaklaştıkça, lineerliği bozulan opamp karakteristiği nedeniyle, işaretin minimum ve maksimum değerlerinde bozulma ve kırılmalar görülebilmektedir. Bu nedenle kuvventlendirici kazancı ayarlanırken çıkış işaretinin besleme sınırlarına fazla yaklaştırılmaması doğru bir yaklaşımdır. Kuvventlendirici kazancı ayarlanırken şebeke geriliminin 220V nominal değerinin üzerine çıkabileceği göz önünde bulundurulmalıdır. Ayrıca devrede %1 toleranslı kazanç dirençlerinin kullanılması ile kazancın hassas bir şekilde ayarlanarak ölçüm hassasiyetinin artırılması amaçlanmıştır.

Opamp devresi 5V ile beslenmektedir. Ancak işlemci devresi 3,3V ile beslendiği için opampın arızalanması durumunda opamp çıkışının 5V değerini almasını önlemek

için opamp çıkışında R_{11} ve R_{12} gerilim bölücüsü ile ikinci bir kazanç ilavesi yapılmıştır. Gerilim bölücü kazancı 0,6 olduğu için opamp 5V dahi üretse, gerilim bölücü çıkışı 3V'da kalarak, ADC pinine zarar vermeyecektir. Ayrıca çıkışta bulunan C_3 kapasitörü ile gerilim bölücü devresinin oluşturduğu RC alçak geçiren filtre ile şebekede ve ölçüm devresinden kaynaklanabilecek yüksek frekanslı bileşenler süzölmüştür. Ancak filtre çıkışında faz kaymasını engellemek için filtre köşe frekansı çok düşük seçilmemiştir. Aksi durumda filtrenin integratör etkisi nedeniyle opamp çıkış işareti yavaşlayarak ölçümde faz hatası oluşabilir. Bu durumda şebeke gerilimi ölçüm sinyalinin kullanan SGD devresi de hatalı çalışacaktır.

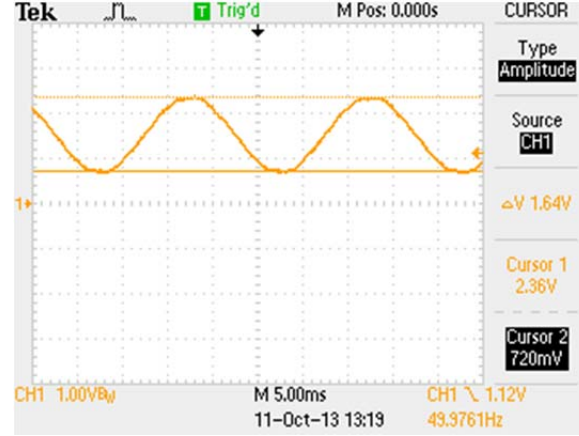
ADC devresi girişi kapasitif yük özelliği göstermektedir. Buna ilaveten opamp çıkışında C_3 filtre kapasitesinin de bulunması sebebiyle opampın yükü kapasitif karakterdedir. Genel olarak opamplar kapasitif yükleri sürerken kararsız olabilmektedir. Bu nedenle R_{11} direncinin bir diğer görevi, opampı kararlı hale getirmektir. Opampların bilgi sayfalarında çeşitli kapasitif yük değerleri için kullanılması önerilen seri çıkış direnç değerlerine ait grafikler bulunmaktadır.

Devrede MCP6022 kodlu opamp kullanılmıştır. Bu opamp *rail to rail input-output* özelliği sayesinde besleme gerilimi sınırlarına kadar lineer çalışabilmektedir. Ayrıca 10MHz bant genişliği, düşük gürültülü çalışma, düşük ofset gerilimi ve birim kazançta kararlı çalışması özellikleri sebebiyle bu opampın kullanımında karar kılınmıştır.

Devrenin sanal toprağı opamp besleme gerilimi orta noktası olan 2,5V'a göre ayarlanmıştır. 2,5V üretimi için LM385-2,5V gerilim referansı entegresi kullanılmaktadır. Bu entegre ile besleme gerilimi dalgalansa dahi, devre referansının stabil kalması sağlanmıştır. Ayrıca gerilim referansı düşük çıkış empedansına sahip olduğu için kuvvetlendirici kazancı etkilememektedir. Eğer gerilim referansı yüksek çıkış empedanslı bir kaynak üzerinden kuvvetlendiriciye uygulanırsa, bu empedans devrenin kazancını etkileyerek çıkış işaretinde bozulmaya yol açacaktır. 2,5V referans gerilimi kuvvetlendirici çıkışındaki 0,6 kazancına sahip R_{11} - R_{12} gerilim bölücüsü ile 1,5V'a düşürülür. Böylece şebeke işareti, ADC çalışma gerilimi olan 0-3V'un orta noktasına göre ölçeklendirilmektedir. Bölüm 4.3.2.2'de detaylı olarak ele alınacağı üzere iki kutuplu işaretlerin 1,5V değeri referans alınarak ölçeklendirilmesi yazılımsal olarak işaret dönüşümünü kolaylaştırmaktadır.

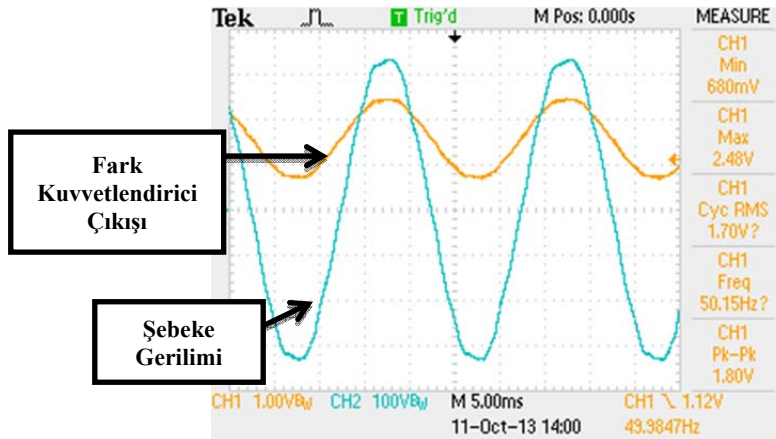
Opamp çıkışı (4.3) ifadesi ve Şekil 4.4'teki direnç değerleri kullanılarak 311V şebeke tepe gerilimi için 2,293V ve -311V şebeke gerilimi minimum değeri için ise 0,707V olarak hesaplanır.

Şekil 4.5'te kuvvetlendirici çıkışı osiloskop çıktısı görülmektedir. Ölçüm alındığında şebeke gerilimi yaklaşık olarak 240V AA ve 340V_{tepe} gerilimi değerlerine sahiptir.



Şekil 4.5 : Şebeke gerilimi ölçümü opamp fark kuvvetlendiricisi çıkışı.

Şekil 4.5'de görüldüğü gibi tasarlanan devre başarılı bir şekilde çalışmaktadır. Hesaplanan değerler ve elde edilen osiloskop çıktıları birbiri ile örtüşmektedir. Ayrıca Şekil 4.6'da görüldüğü gibi ölçülen gerilimi, şebeke gerilimi ile aynı fazdadır. Ölçülen işarette faz farkının minimum seviyede olması fark kuvvetlendiricisi çıkış işaretini kullanan sıfır geçiş dedektörü (SGD) devresinin düzgün çalışabilmesi için önemlidir. Çünkü Şekil 4.4'de görülen *sıfır* isimli devre noktası SGD devresinde kullanılmaktadır.

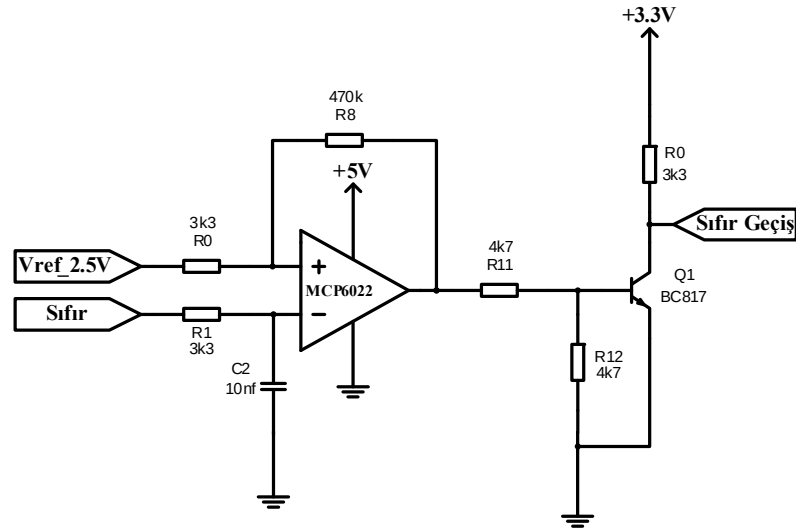


Şekil 4.6 : Şebeke gerilimi ve fark kuvvetlendirici çıkışı.

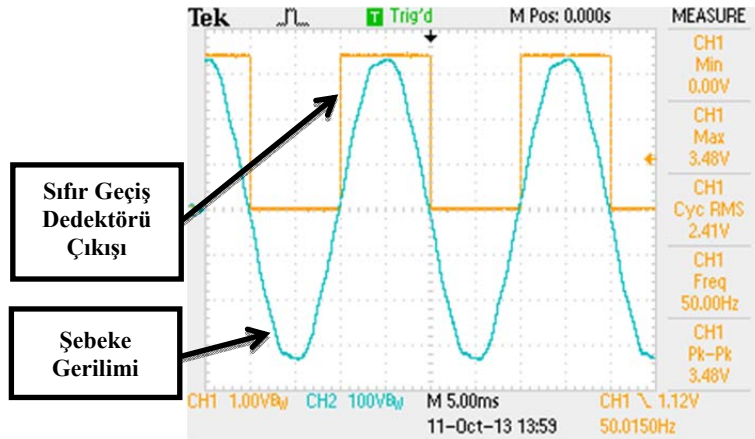
Fark kuvvetlendirici devresi kullanılarak büyük boyutlu gerilim trafoları kullanılmadan, düşük maliyetli ve az yer kaplayan bir şebeke gerilimi ölçüm işlemi yeterli çözünürlükte gerçekleştirilmektedir.

4.2.4.2 Sıfır geçiş dedektörü

Devre şeması Şekil 4.7’de görülen sıfır geçiş dedektörü (*SGD*) devresi opampın karşılaştırıcı olarak kullanılması ile gerçekleştirilmiştir. Karşılaştırıcıda pozitif geribesleme kullanılarak devreye histerisiz ilavesi yapılmıştır. Böylece *SGD* çıkışında şebeke alternansı değişim anlarında yükselen ve düşen kenarlar için farklı gerilim değerlerinde anahtarlama yapılarak, çıkışta istenmeyen konum değişimlerinin önlenmesi sağlanmıştır.



Şekil 4.7 : Şebeke sıfır geçiş dedektörü.



Şekil 4.8 : Şebeke sıfır geçiş dedektörü çıkışı.

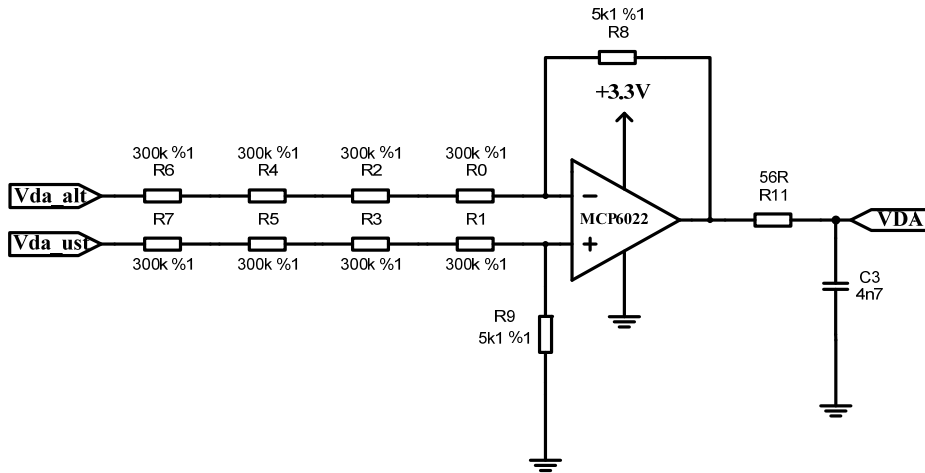
Devrenin sıfır isimli ölçüm işareti Bölüm 4.2.4.1'deki fark kuvvetlendirici çıkışından gelmektedir. Fark kuvvetlendirici referansı önceki bölümde açıklandığı üzere 2,5V olduğu için karşılaştırma değeri olarak da 2,5V gerilim referansı kullanılmaktadır.

Şekil 4.8'de şebeke gerilimi ve karşılaştırıcı çıkışı görülmektedir. Karşılaştırıcı şebeke sıfır geçişlerini düzgün bir şekilde yakalayarak, şebeke sıfır geçiş anları sadece bir adet yükselen ya da düşen kenardan oluşmaktadır.

Sıfır geçiş dedektörü çıkışı işlemcinin *eCAP* modülü tarafından okunarak *FKD* ve şebeke frekansı ölçümünde kullanılmaktadır.

4.2.4.3 DA bara gerilimi ölçümü

DA bara kondansatörü gerilimi ölçümünde şebeke gerilimi ölçümü ile benzer yaklaşımla fark kuvvetlendirici devresi kullanılmıştır.



Şekil 4.9 : Fark kuvvetlendirici ile *DA* bara gerilimi ölçümü.

Şekil 4.9'da görülen fark kuvvetlendirici devresinin çıkışı (4.4) denklemi ile hesaplanır.

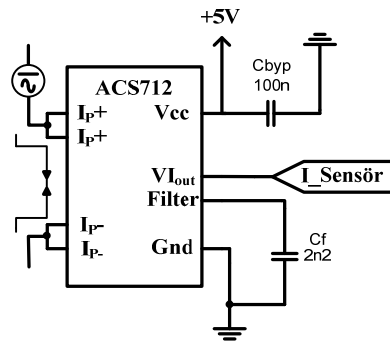
$$V_{DA} = (V_{da_ust} - V_{da_alt}) \frac{R_8}{(R_0 + R_2 + R_4 + R_6)} \quad (4.4)$$

DA bara gerilimi tek kutuplu bir işaret olup, negatif değerler almadığı için bu devrede referans kaydırma işlemi uygulanmamıştır. Opamp çıkışında kullanılan *RC* alçak geçiren filtre ile *DA* bara gerilimi ve devreden kaynaklanabilecek yüksek frekanslı gürültü işaretleri süzölmektedir.

Devre beslemesinde 3,3V kullanıldığı için kuvvetlendirici çıkışında ilave bir kazanç kullanılmamıştır. Kondansatör gerilimi 450V iken ölçüm devresi çıkışında 1,9125 V görülmektedir.

4.2.4.4 Akım sensörü devresi

Evirici çıkış akımı ölçümü için hall etkili izoleli *ACS712-5A* akım sensörü kullanılmıştır. Sensörün izoleli olması, akım ölçüm hassasiyeti, *SOIC8* kılıf yapısı ve akım ölçüm aralığı sensör seçiminde esas alınan temel parametrelerdir. Ayrıca aynı sensörün 20A ve 30A ölçüm aralığına sahip çeşitleri de mevcuttur.



Şekil 4.10 : *ACS712* Hall etkili izole akım sensörü.

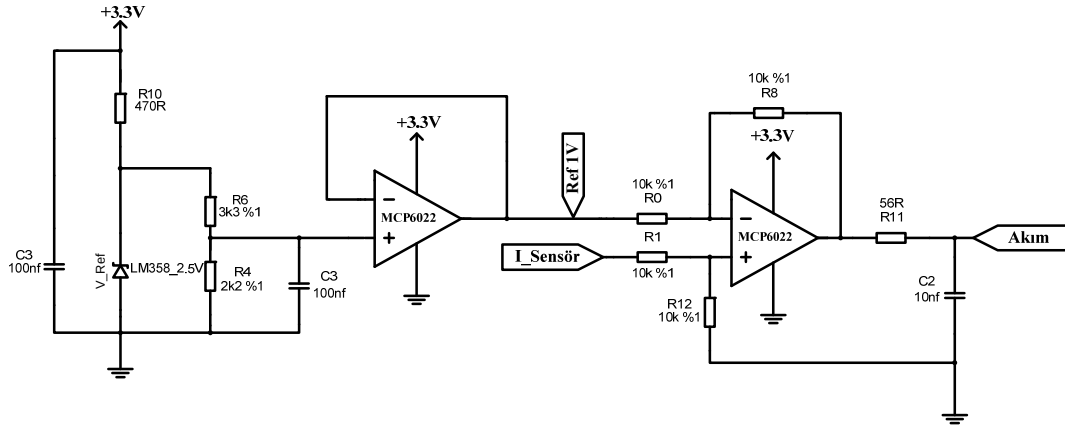
Şekil 4.10’da görülen *ACS712* sensörü iki kutuplu akım işaretini ölçerek, akımla orantılı olarak çıkışta tek kutuplu işaret üretir. Sensör girişindeki I_p+ pini, ölçülen akımın referans yönüdür. Akım bu noktadan girdiğinde akımın işareti pozitiftir. Sensör devresinde standart olarak kullanılan besleme *bypass* kapasitörü haricinde, entegrenin *Filter* ucunda bir adet kapasite daha bulunmaktadır. Bu kapasite sensör iç yapısında akım ölçeklendirmede kullanılan bir kuvvetlendiricinin çıkış *RC* filtresine aittir. Bu nedenle arzu edilen filtreleme değerine bağlı olarak kapasite değeri seçilmelidir. Kapasitenin gereğinden büyük değerde olması durumunda ölçülen akım işareti çok fazla yavaşlayacağından, ölçüm hatalarına sebep olabilir. Dolayısıyla 20kHz anahtarlama frekansı kullanılan bir evirici sistemi için, akımın anlık değerlerinin 20kHz’lik bileşenler için doğru bir şekilde ölçülmesi gerekmektedir. *RC* alçak geçiren filtrenin direnci entegre içerisinde bulunup değeri bilgi sayfasında 1.7k Ω olarak verilmiştir.

Filtrenin 20kHz’de zayıflatma yapmaması için filtre köşe frekansı bu değerden daha büyük seçilerek, yaklaşık olarak 40kHz köşe frekansı için C_f kondansatörü denklem

(4.5) ile 2.2nF olarak hesaplanmıştır. Entegrenin bilgi sayfasında önerilen C_f değeri ise 1nF'tır.

$$f_{k\ddot{o}\ddot{s}e_RC} = \frac{1}{2\pi RC} \quad (4.5)$$

Akım sensörü bilgi sayfasında verilen ölçülen akım ile çıkış gerilimi ilişkisinde entegre -5A/0A arasında 1,5V-2,5V ve 0A/5A arasında ise 2,5V-3,5V çıkış gerilimi üretmektedir. Ancak sistemde kullanılan işlemcinin *ADC*'si 0-3V aralığında ölçüm yapabildiği için, akımın sıfır değerinde entegre çıkışı 2,5V yerine 1,5V'a getirilmelidir. Bu amaçla Şekil 4.11'de akım sensörü çıkışından 1V gerilimi çıkaran bir devre tasarlanmıştır. Böylece akım 0A/5A arasında iken 1,5V- 2,5V ve akım -5A/0A arasında iken ise 0,5V-1,5V çıkış gerilimi elde edilecektir.



Şekil 4.11 : Akım sensörü ölçeklendirme devresi.

Şekil 4.11'deki devre 1V referans gerilimi üretici ve fark kuvvetlendiricisi olmak üzere iki kısımdan oluşmaktadır.

1V referans gerilimini üretmek amacıyla, *LM358-2,5V* gerilim referansı çıkış gerilimi, kazancı 0,6 olan R_4 - R_6 gerilim bölücüsü ile bölünerek 1V seviyesine indirilmektedir. Daha sonra bu işaret 10kΩ dirençler kullanılarak kazancı 1 olarak ayarlanmış bir fark kuvvetlendiricisi yardımıyla sensörü çıkışından çıkarılmaktadır. Ancak R_4 - R_6 gerilim bölücüsünün eşdeğer empedansı nedeniyle elde edilen 1V gerilim değeri fark kuvvetlendiriciye doğrudan uygulanmamaktadır. 1V referans işaretin fark kuvvetlendiriciye doğrudan uygulanması halinde gerilim bölücü empedansı fark kuvvetlendirici kazancını etkileyerek, çıkış işaretinin doğru bir şekilde üretilmesini engelleyecektir. Bu nedenle gerilim bölücü ile elde edilen 1V'luk referans gerilim, opamp ile yapılan bir gerilim izleyici devresinden

geçirilerek düşük empedanslı hale getirilmiştir. Daha sonra gerilim izleyicisi çıkışında elde edilmiş olan 1V referans sinyal fark kuvvetlendiricisine uygulanarak çıkarma işleminin doğru bir şekilde gerçekleştirilmesi sağlanmıştır.

Kullanılan *MCP6022* kodlu opampın birim kazançta kararlı olması bu devrenin düzgün çalışmasını sağlayan bir diğer önemli parametredir.

4.2.5 Kondansatör şarj/deşarj devresi

DA bara kondansatör değerinin büyük olması beraberinde geçici zamanda oluşan bir problemi getirmektedir. Sistem ilk çalışmaya başladığı anda, giriş kondansatörleri boş olduğu için ilk şarj anında kaynaktan büyük akım çekilmektedir. Bu durumda kondansatörlerin boş olması sebebiyle, kondansatörün üst ve alt noktasındaki potansiyeller eşit olup 0'dır. Dolayısıyla sistemde ilk anda kondansatör akımını sınırlayacak bir eleman bulunmazsa, boş kondansatörlerin kısadevre özelliği göstermesi sebebiyle giriş akımı istenmeyen büyük değerlere ulaşır. Bu nedenle DA bara kondansatörleri için yumuşak şarj/deşarj devresi tasarlanmıştır. Şekil 4.1'de görüldüğü gibi giriş DA kaynağından sonra iki adet röle ve direnç bulunmaktadır. İlk anda rölelerin pozisyonları Şekil 4.1'de görüldüğü gibidir. Bu durumda girişte tarafında gerilim olsa dahi kondansatörlerdeşarj durumundandır. İşlemci birinci rölenin konum değiştirmesini sağlayarak giriş gerilim kaynağını kondansatörlere bağlar. Kondansatörler direnç üzerinden yavaş bir şekilde şarj olduktan sonra ikinci röle kapatılarak şarj direnci kısa devre edilir ve şarj işlemi tamamlanmış olur. Sistemin normal çalışma süresi boyunca direnç kısa devre durumundadır. Sistem durduğunda ise kondansatörde biriken enerjinin tehlike oluşturmaması için boşaltılması gerekmektedir. Bu nedenle önce direnci kısa devre eden röle açılarak direnç devreye alınır. Sonra giriş rölesi, DA giriş kaynağı ile şarj/deşarj direncini birbirinden ayırır. Böylece devre tekrar Şekil 4.1'deki pozisyona dönerek DA bara kondansatörleri direnç ve giriş rölesi üzerinden yumuşak bir şekilde boşaltılır.

Deşarj anında kondansatörlerde depolanan oldukça büyük miktardaki enerji dirençte harcanır. Şarj anında da benzer şekilde aynı güç bu dirençler üzerinde harcanacaktır.

Dirençlerde harcanacak gücü bulmak üzere kondansatörde depolanacak enerjiden yola çıkılırsa, en kötü durum olan maksimum giriş gerilimi için kondansatörde depolanan enerji denklem (4.6) ile hesaplanır. Evirici girişinde iki adet seri bağlı

470 μ F deęerinde kondansatör bulunduęu için eşdeęer kapasitans 235 μ F olarak hesaba katılır.

$$E_{C_DA} = \frac{1}{2} C V_{maks}^2 \rightarrow 0,5 \cdot 235\mu F \cdot (850V)^2 \rightarrow 84,89J \quad (4.6)$$

Giriş tepe akımını 1A'den daha küçük bir deęerde sınırlandırmak için minimum direnç deęeri (4.7) ile hesaplanmıştır.

$$R_{şarj} = \frac{V_{maks}}{I_{giriş}} \rightarrow \frac{850V}{1A} \rightarrow R \geq 850\Omega \quad (4.7)$$

Direnç olarak piyasada bulunabilen yüksek güçlü tel sarımlı (*wirewound*) 1,2 k Ω direnç kullanılmıştır.

Şarj/deşarj zaman sabiti τ olmak üzere denklem(4.8) ile hesaplanır.

$$\tau = R \cdot C \rightarrow 1,2k\Omega \cdot 235\mu F \rightarrow 0,282sn \quad (4.8)$$

Kondansatörün tamamen şarj/deşarj süresinin 4-5 τ arasında olduęu varsayılarak toplam şarj süresi (4.9) ifadesinden 1,27sn olarak bulunur.

$$\Delta t = 4,5\tau \rightarrow 4,5 \cdot 0,282 \rightarrow 1,27sn \quad (4.9)$$

Gücün enerjinin zamanda ortalaması olması bağıntısından dirençte harcanan güç denklem (4.10) ile bulunmuştur.

$$P_{R_şarj} = \frac{E_{C_DA}}{\Delta t} \rightarrow \frac{84,89J}{1,27sn} \rightarrow 66,8W \quad (4.10)$$

Dolayısıyla 1,2 k Ω direnç üzerinde 66,8W güç harcanması gerekmektedir. Buna göre dört adet 1,2 k Ω direncin ikisi paralel ve bunlardan da iki adeti seri bağlanarak 1,2 k Ω direnç elde edilmiş ve güç bu dört adet direnç arasında paylaştırılmıştır. Ayrıca dirençlerin seri bağlanması ile kondansatör boş iken ilk şarj/deşarj anında dirençlerin üzerinden yüksek gerilim atlaması engellenmiş olmaktadır. Dirençlerin sürekli hal eşdeęer gücü 32W olsa da bu tip dirençler üzerinde kısa süreli olarak daha fazla güç harcanabilmektedir.

4.2.6 Koruma elemanları

Sistemde yazılımsal ve donanımsal olarak birçok koruma yapısı kullanılmıştır. *DA* bara gerilimleri, şebeke frekansı, şebeke gerilimi, her faza ait çıkış akımı yazılımsal olarak sürekli izlenerek bunların belirlenen sınırlar dışına çıkması durumunda sistem durdurulmaktadır.

Bunlara ilave olarak, her bir fazda şebeke ya da evirici kaynaklı oluşabilecek gerilim yükselmesi durumlarına karşı varistör kullanılmaktadır. Ayrıca her bir giriş *DA* kondansatörüne paralel varistör konularak kondansatör geriliminin artması durumunda kondansatörler korunmuştur. Eğer *DA* bara kontrolünde veya gerilim dağılımında bir problem oluşursa, sistem analog ve yazılımsal olarak kondansatörlerin zarar görmesini önlemektedir.

Eviricinin her bir faz çıkışında ve *DA* bara girişinde hızlı cam sigortalar konarak, eviricinin aşırı akım durumlarına karşı korunması sağlanmıştır.

Devredeki her bir röle kontağına paralel *RC* bastırma devresi kullanılmış, röle kontaklarının özellikle endüktif açmalarda oluşan yüksek gerilimlerden korunması amaçlanmıştır. Böylece kontakların yapışmasının önüne geçilerek, rölelerin ömrü uzatılmıştır.

4.2.7 İşlemci devresi

Tasarlanan eviricide kontrol ve güç devresi aynı kartta bulunduğu için zayıf akım devrelerinin gürültü bağışıklığı yüksek bir şekilde tasarlanması önemlidir. Özellikle düşük akımla çalışan mikrodenetleyici, *DSP* gibi hassas devreler, sistemde oluşan bir röle açma ya da devrenin anahtarlama gürültüsü nedeniyle hatalı çalışabilir.

İşlemci devresi 3,3V analog, 3,3V dijital ve 1,8V gerilim kaynakları ile beslenmektedir. İşlemcinin her bir besleme ucunda ayrı *LC* alçak geçiren filtre ve *bypass* kondansatörleri kullanılmıştır.

Kontrol katı ayrıca iki adet buton ve üç adet *led* içermektedir. Butonlardan biri eviriciyi çalıştırmak için kullanılan başlat, diğeri ise durdurma butonudur. Durdurma butonu ayrıca arıza durumunda sistemin arıza modundan normal çalışma moduna döndürülmesi için de kullanılmaktadır. Devrede bulunan *led*'lerden biri işlemcinin çalıştığını göstermek üzere *CpuTimer0* kesmesinde periyodik olarak 1sn'de bir yanıp

söndürülmektedir. İkinci *led* sistemin çalışıp çalışmadığını, üçüncü *led* ise arıza durumlarını bildirir.

Boot isimli *jumper*'lar işlemci *reset*'inden sonra programın başlayacağı yeri belirtmek için kullanılır. *Jumper*'ların hiçbirisi takılı değilken işlemci program *flash* hafızadan koşturulur. Sistemin normal çalışması esnasında *jumper* takılmasına gerek yoktur. Ancak program geliştirme aşamasında program *RAM*'den de çalıştırılarak hata ayıklama işlemleri daha kolay gerçekleştirilmiştir.

İşlemci şemasında ayrıca pin bağlantıları, *RC* işlemci reset devresi ve emulatrör bağlantıları mevcuttur. Sistemin işlemci bölümüne ilişkin şema Ek E'de verilmiştir.

4.2.8 Baskı devre tasarımı

Evirici baskı devresi güç ve kontrol katını birlikte barındırmaktadır. Bu nedenle aynı kart üzerinde yüksek gerilim ile beraber işlemci, opamp gibi hassas zayıf akım devrelerinin bulunması baskı devre tasarımının daha dikkatli yapılmasını gerektirmektedir.

Baskı devre tasarımına ilişkin standartlar *IPC (Institute of Printed Circuits)* tarafından belirlenmektedir. *IPC2221A* standardına göre 500V *DA* gerilim için minimum hat açıklığı 2,5mm, *IPC9592B* standardına göre ise 3.1mm değerindedir. Ayrıca bu mesafetler devrenin çalışacağı yüksekliğe göre değişmektedir. Yükseklik arttıkça hat açıklıklarının daha geniş yapılması gerekmektedir.

Baskı devre *mosfet drain* ve *source/gate* hat aralıkları 3.8mm olacak şekilde çizilerek, kontrol sinyallerine ait hatlar ile yüksek gerilim hatları arası da en fazla 3.5 mm olacak şekilde tasarım yapılmıştır. Devredeki *DA* bara, şebeke, evirici güç devresi ve röleler yüksek gerilim bulunan noktalardır. Bu nedenle bu noktalar ile kontrol hatları birbirinden uzaklaştırılarak kontrol devresi korunmuştur. Kontrol devresi ve güç devresi beslemeleri birbirinden izoleli olsa da kontrol devresine yüksek gerilim atlamasını önlemek amacıyla bu mesafelere dikkat edilmesi gerekmektedir.

Devre yerleşiminde kontrol katı, besleme katı, evirici katı, *DA* bara katı, ölçüm katı gibi ayrımlar yapılarak eleman yerleşimi bu bloklar çerçevesinde yapılmıştır.

Baskı devre çiziminde standart olarak uygulanan bağlantılarda 90° dönüşlerden kaçınma, hatların en kısa yoldan tamamlanması, *bypass* kapasitelerinin elemana

yakın olacak şekilde konumlandırılması, kristal gibi yüksek frekanslı işaret içeren hatlarda hattın anten gibi çalışmasını önlemek amacıyla kısa tutulması, toprak hattının genişletilmesi gibi çalışmalara dikkat edilmiştir. Ayrıca yüksek akım taşıyan hatların kalınlığı da zayıf akım taşıyan hatlardan farklı yapılmıştır. Ancak devrede akımın tepe değerinin 4A olması sebebiyle, akım yoğunluğu çok fazla ön plana çıkmamaktadır.

Çizimde yüksek gerilim atlamasından sonra en fazla dikkat edilmesi gereken nokta tüm işaretlerin dönüş hattı olan topraktır. Devrenin besleme kısmında işlemci analog ve dijital toprak olmak üzere iki adet dönüş hattına sahiptir. Ayrıca sistemde 3,3V analog ve 3,3V dijital olmak üzere iki adet besleme kullanılmıştır. 3,3V analog gerilim beslemesi, 3,3V dijital beslemenin bir *LC* alçak geçiren filtreden geçirilmiş halidir. Bu iki adet 3,3V gerilim aynı kaynaktan elde edilip, aynı toprak referansına sahip olsa da işaretlerin dönüşleri devre çiziminde farklı hatlarla birleştirilmişlerdir. Dijital besleme röle sürme işlemleri, işlemcinin dijital beslemesi, *DGM* sinyalleri gibi işlemler için kullanılırken, analog besleme ise akım/gerilim ölçüm devreleri ve *ADC* gibi daha düşük gürültü gerektiren devrelerde kullanılmaktadır.

Baskı devre tasarımı iki referans toprak noktasının birbirini etkilenmesi önlenerek şekilde yapılmıştır. Özellikle *DGM* ya da röle bobini gibi yüksek gürültülü olabilecek sinyallerin dönüşü analog topraktan ayrılarak dijital toprak hattından tamamlanmıştır. Böylece analog toprak hattındaki gerilim düşümü mümkün olduğunca azaltılarak ölçüm sinyallerindeki bozulma en aza indirilmiştir. Her ne kadar analog ve dijital topraklar ayrı çizilse de bir noktada birleştirilmeleri gerekmektedir. Bu birleşim işlemcinin hemen altında gerçekleştirilerek ölçüm işaretlerinin en düşük gürültü seviyesinde örneklenmesi sağlanmaktadır.

Baskı devrelere ait görüntüler Ek E'de verilmiştir. Bahsedilen çalışmalara dikkat edilerek tasarlanan baskı devrede yüksek gerilim atlaması, işlemcinin istemsiz *reset*'lenmesi ya da ölçüm devrelerinde yüksek gürültü bulunması gibi sorunlar yaşanmamıştır.

4.3 Yazılım Tasarımı

4.3.1 DSP çevre birimleri

Bu bölümde *TMS320F2808* işlemcisinin genel özellikleri ve sistemde kullanılan çevre birimleri incelenecektir.

F2808, *DSP (Digital Signal Processor)* çekirdeğine sahip bir *DSC (Digital Signal Controller)* entegre devresidir. Bu işlemci *TI C2000* ailesi altında özellikle güç elektroniği ve endüstriyel elektronik uygulamalarında kullanılmak üzere üretilmiştir. 100 MHz' e kadar çalışabilmesi, barındırdığı çevre birimleri ve geliştirme ortamıyla özellikle karmaşık güç elektroniği sistemlerinin kontrolünü kolaylaştırmaktadır. 64K x 16 *Flash* ve 18K x 16 *SARAM* özellikleriyle oldukça büyük kalıcı ve rasgele erişimli hafıza sahip olduğu söylenebilir. İşlemci mimarisinde 16 adet *DGM* çıkışına sahip *ePWM (Enhanced Pulse Width Modulator)* modülü, 6 adet 32-Bit, 6 adet 16-Bit zamanlayıcı, üç adet istenilen pine bağlanabilen harici kesme oluşturma, 16 kanal 12-Bit 160ns çevrim süresine sahip *ADC*, özellikle motor hız kontrolünde motor hızı ve pozisyonunu donanımsal olarak ölçmede kullanılmak üzere tasarlanmış *QEI (Quadrature Encoder Interface)* ve 4 adet darbe genişliklerini ölçmekte kullanılan *eCAP (Enhanced Capture)* modülü bulunmaktadır. Ayrıca işlemcide *SPI*, *SCI*, *I2C*, *CAN* seri port haberleşme modülleri ve *WDT*, kod şifreleme gibi yazılım güvenliğine yönelik bileşenler de mevcuttur. İşlemci matematiksel işlemlerde kullanılmak üzere kullanılan bazı tabloları kalıcı hafızasında hazır olarak barındırmaktadır. Barındırdığı bu çevre birimlere ilişkin 43 adet farklı kesme kaynağı *PIE (Peripheral Interrupt Expansion)* ile kontrol edilmektedir.

Sistemde *ADC* ile üç faza ait faz-nötr gerilimleri, üç adet evirici çıkış akımı ve iki adet giriş kondansatörü gerilimi olmak üzere sekiz adet parametre örneklenmektedir. *ADC*'nin çevrime başlama işareti *ePWM* modülü tarafından donanımsal olarak üretilmektedir. *ePWM* modülü, sayıcısı sıfır olduğu anda *ADC* çevrimini başlatacak şekilde konfigüre edilmiştir. *F2808 ADC*'si sıralı (*sequential*) ve eşzamanlı (*simultaneous*) olmak üzere temel olarak iki farklı çalışma moduna sahiptir. Sistemde sıralı çevrim modu kullanılarak örneklenerek olan sekiz adet kanal sırasıyla örneklenerek çevrim sonunda *ADC* kesmesi üretilir. Burada *ADC* ayarları sekiz adet kanalı ard arda çevrim yapacak şekilde ayarlanmıştır. Böylece *ePWM* modülünden çevrime başlama tetiklemesi alan *ADC* modülü sekiz adet kanalı örnekledikten sonra,

çevrim bitiminde *ADC* kesmesini oluşturmaktadır. Sistemde en yüksek önceliğe sahip olan bu kesmede eviricinin 20kHz’de çalışan kontrol algoritması koşturulmaktadır. Böylece program *ADC* kesmesine geldiğinde tüm giriş işaretleri örneklenmiş olarak *ADCRESULT0-ADCRESULT7* kaydedicilerinde hazır bulunmakta ve yazılım tarafından kaydedicilerinden okunarak kontrol algoritmasında kullanılmaktadır. *ADC* çevrime başlama işareti 20kHz ile çalışan *ePWM* modülünden alındığı için *ADC* kesmesi de 20kHz frekansında çalışmaktadır. Yani program 50µs’de bir *ADC* kesmesine dallanarak kontrol algoritmasını periyodik olarak koşturmaktadır. Bu çalışma yaklaşımında *ADC* modülünün sıra tabanlı çalışabilmesi sayesinde, örnekleme işlemine yazılım ile müdahale edilmediği için ilave zaman kazanılmaktadır. Aksi durumda her bir kanalın çevrimi için program *ADC* çevriminin bitmesini bekleyerek, *ADC* modülü bir sonraki *ADC* kanalını okuyacak şekilde konfigüre edilseydi, sistemde ek süre kaybı olması kaçınılmazdı.

İşlemcinin saat darbeleri dışarıdan 20MHz kristal ile sağlanarak iç yapısındaki *PLL* ile saat hızı 100MHz olacak şekilde artırılmaktadır. *PLL* konfigürasyonu dışarıdan alınan saat darbelerini 5 ile çarpacak şekilde gerçekleştirilmiştir. Böylece bir saat darbesi 10ns sürmektedir. Dolayısıyla 20kHz (50µs) süresindeki kontrol döngüsü 5000 adet saat darbesinde içerisinde tamamlanmalıdır.

Sistemde kullanılan bir diğer işlemci çevre birimi *eCAP* modülüdür. Bu modül sıfır geçiş dedektörü çıkışını donanımsal olarak değerlendirerek, iki adet yükselen kenar arasındaki işlemci saat darbelerini kaydedicisinde saklamakta ve yükselen kenarda kesme oluşturmaktadır. Program *eCAP* kesmesine dallandığında, *CAPx* kaydedicisindeki değeri okuyarak ilgili faza ait şebeke frekansını elde etmektedir. Eğer şebeke frekansı belirlenen değerler dışında ise sistem kapatılır. Ayrıca *eCAP* kesmesi şebeke sıfır geçişlerinde oluşturulduğu için bu kesmede *FKD* algoritması da koşturulmaktadır. Ayrıca eviricinin şebekeye senkronlanması şebeke sıfır geçişlerinde başlatıldığı için, *eCAP* kesmesi içerisinde ilgili faza ait sıfır geçiş bayrağı 1 yapılarak, şebeke sıfır geçişinin oluştuğu anlaşılır. Bu bayrak ana programda sürekli olarak yoklanarak sistemin sadece şebekenin sıfır geçişlerinde senkronizasyona başlaması sağlanır. Böylece sistemin herhangi bir anda senkronizasyona başlayarak *PI* kontrolün kararsız olması ve ilk anda sistem kararlı olana kadar evirici akımının salınımlar yaparak büyük değerler almasının önüne geçilmektedir.

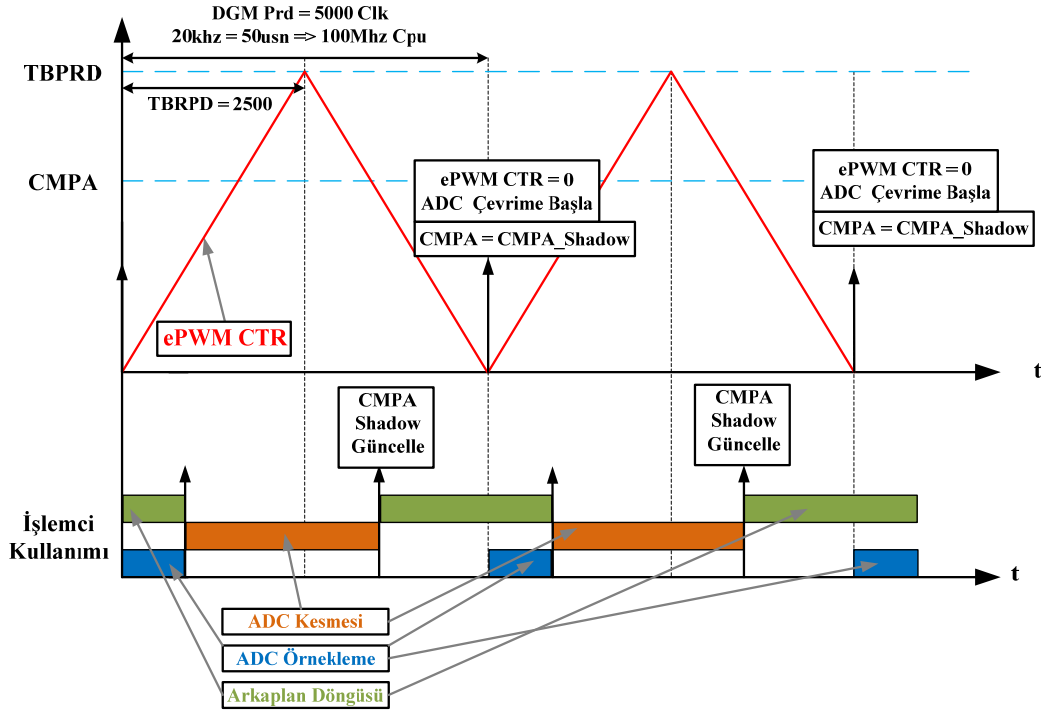
Sistemde kullanılan çevre birimler Çizelge 4.2’de özetlenmiştir. Sistemde faz ve giriş röleleri, *led*’ler ve butonlar *GPIO* (*General Purpose Input-Output*) ile kontrol edilmektedir. İşlemci donanımı tarafından R, S ve T fazları için *eCAP1*, *eCAP2*, *eCAP3* olmak üzere 50Hz’de bir üç adet, genel kullanım amaçlı bir adet 100ms’lik zamanlayıcı ve 50µs’lik kontrol döngüsü kesmesi olmak üzere toplam beş adet kesme üretilmektedir.

Çizelge 4.2 : Sistemde kullanılan *DSP* çevre birimleri.

Çevre Birim	Kullanım Amacı
ADC	• V_{RN}, V_{SN}, V_{TN}, I_R, I_S, I_T, $V_{DA_ÜST}$, V_{DA_ALT} ölçümü. • Kontrol döngüsünün koşturulacağı ADC kesimesini oluşturma.
ePWM	• DGM işaretlerinin üretilmesi. • ADC çevrime başla tetiklemesi.
eCAP	• f_R, f_S, f_T şebeke frekansı ölçümü. • FKD algoritmasında kullanılmak üzere R, S ve T fazlarının sıfır geçiş noktalarında kesme oluşturma.
GPIO	• Buton okuması, led ve rölelerin kontrolü.
PIE	• Kesmeler :CpuTimer0, ADC, eCAP1, eCAP2, eCAP3.

Sisteme ilişkin zamanlama diyagramı Şekil 4.12’de görülmektedir. Burada görülen üçgen dalga *DGM* işaretlerini üretmekte kullanılan *ePWM* modülü sayıcısıdır. *ePWM* modülü *CMPA* kaydedicisi ile sayıcıyı karşılaştırarak, elde ettiği işarete ölü zaman da ekleyerek *ePWMxA* ve *ePWMxB* pinleri ile dışarıya aktarır. Kontrol döngüsünün periyodik olarak koşturulabilmesi için gerekli olan zamanlama *ePWM* sayıcısından yararlanarak gerçekleştirilmiştir.

Şekil 4.12’den görüldüğü gibi *ePWM* sayıcısı sıfır değerinde iken otomatik olarak *ADC* çevrimini başlatılır. *ADC* kesmesi dışında veya *ADC* modülü çevrimi süresince, sistemde arkaplan döngüsü olarak adlandırılan ana program, *eCAP* veya *CpuTimer0* kesmelerinden biri koşturulmaktadır. *ADC* çevrimi tamamlandıktan sonra *ADC* modülü kesme üreterek, programın kontrol döngüsünün koşturulduğu *ADC* kesmesine dallanması sağlanır. Kontrol döngüsü tamamlandıktan sonra ana programa dönülmektedir.



Şekil 4.12 : Sistem yazılımı zamanlama diyagramı.

Kontrol döngüsü sonucu elde edilen kontrol işareti *CMPA_Shadow* kaydedicisine yazılmıştır. Bu kaydediciye yazılan değer *ePWM* modülü *shadow* özelliği sayesinde hemen karşılaştırma işleminde kullanılmaz. Sayıcı sıfır değerine ulaştığında karşılaştırma kaydedicisi donanım tarafından otomatik olarak güncellenir. Bu noktada *CMPA_Shadow* içeriği *CMPA*'ya yazılarak darbe genişliklerinin sabit bir örnekleme periyodu ile güncellenmesi sağlanır. Böylece *DGM* işaretleri düzgün bir şekilde üretilebilmektedir.

Çizelge 4.3'te *eCAP* modülü konfigürasyonu verilmiştir. *eCAP* modülü istenildiği takdirde *DGM* üretimi için de kullanılabilir. Ancak bu uygulamada modül yakalama modunda çalışacak şekilde konfigüre edilmiştir.

Yakalama modunda kullanılan *eCAP* modülü sayıcısı fark (*delta*) veya mutlak (*abs*) değer modunda çalıştırılarak farklı şekillerde sıfırlanabilir. Burada fark modu ile çalışma tercih edilmiştir.

eCAP modülü yükselen kenarlarda kesme oluşturacak şekilde ayarlandığı için, şebeke geriliminin negatif alternanstan pozitif'e geçtiği anda program *eCAP* kesmesine dallasacaktır. *eCAP* modülü *SGD* devresi ile tetiklendiği için aynı anda sadece bir adet *eCAP* kesmesi oluşabilmektedir. Diğer bir deyişle, şebeke fazları arasında 120° faz farkı olması sebebiyle bir anda *eCAP1*, *eCAP2* veya *eCAP3* kesmelerinden sadece biri oluşabilmektedir. Dolayısıyla işlemci zaman paylaşımı açısından sistemde bir adet *eCAP* kesmesinin koşturulduğu düşünülebilir.

Çizelge 4.3 : eCAP modülü ayarları.

Kaydedici	Ayar	Kaydedici	Ayar
CTRRST1 CTRRST2 CTRRST3 CTRRST4	Fark Modu.	CAPLDEN	Yetkili.
		PRESCALE	Frekans bölücü = 1.
		CAP_APWM	Yakalama modu.
		CONT_ONESHT	Sürekli.
		STOP_WRAP	Birinci olayda.
CAP1POL CAP2POL CAP3POL CAP4POL	Yükselen kenarda.	SYNCO_SEL	Devre dışı.
		SYNCL_EN	Devre dışı.
		CEVT1	Yetkili.

Çizelge 4.4’te *ADC* modülü ayarları görülmektedir. *F2808 ADC*’si her bir kanal için minimum 160ns’de çevrim yapabilmektedir. Ancak *ADC* modülünde bulunan frekans bölücüler ile bu değer ayarlanabilmektedir. Özellikle ölçülen işaretin kaynak empdansı büyük ise, doğru bir şekilde çevrim yapılabilmesi için örnekleme pencerelerinin artırılması gerekmektedir. Ancak örneklenen tüm işaretler opamp kullanılarak *ADC*’ye bağlandığı için kaynak empedansı istenen değere ayarlanabilmektedir. İdeal opampın çıkış empedansının sıfır olduğu gözönüne alındığında, opamp ile tamponlanmış bir işaret opamp çıkışında kullanılan alçak geçiren filtreye bağlı olarak düşük bir empedans ile *ADC* girişine uygulanır. Bu şekilde *ADC* modülü ayarlarında kısa çevrim süreleri kullanılarak doğru ölçümler yapılması mümkün olmaktadır.

ADC modülü 2x8 kanal, iki adet bağımsız *ADC* gibi çalışacak ya da bir adet 1x16 sıralı çevrim yapabilecek şekilde ayarlanabilmektedir. Burada 1x16 tipi sıralı çevrim

modu kullanılmıştır. Sekiz adet işaretin çevrimi tamamlandıktan sonra ham çevrim sonuçları *ADC* kesmesinde uygun sayı formatına dönüştürülerek kullanılmaktadır.

Çizelge 4.4 : *ADC* modülü ayarları.

Kaydedici	Ayar	Kaydedici	Ayar
ACQ_PS	Örnekleme anahtarı 2 adet <i>ADC</i> saat darbesi boyunca kapalı.	CONT_RUN	Sürekli çalışma/durma devre dışı.
CPS	<u>ADC Saati</u> =>Fclock/1 => 25MHz	EXT_SOC_SEQ1	Harici pin ile çevrime başlama devre dışı.
ADCCLKPS	<u>Fadc</u> =>12,5 MHz	EPWM_SOCB_SEQ2	EPWM SOCB işareti ile SEQ2 tetiklemesi devre dışı.
SEQ_CASC	Kaskat örnekleme çalışması.	EPWM_SOCB_SEQ	EPWM SOCB işareti ile SEQ tetiklemesi devre dışı.
SMODE_SEL	Ardışıl örnekleme modu yetkili.	EPWM_SOCA_SEQ1	Sıralı çevrimin ePWMx SOCA işareti ile başlatılması yetkili.
MAX_CONV1	Maksimum 8 adet çevrim.	INT_MOD_SEQ1	INT_SEQ1 kesme isteği her bir çevrim sonunda.
REF_SEL	Dahili gerilim referansı.	INT_ENA_SEQ1	SEQ1 kesmesi yetkili.
SUSMOD	Emulatr etkileşimi, mevcut örnekleme bitince durakla.	INT_ENA_SEQ2	INT_SEQ2 kesme tetiklemesi devre dışı.

4.3.2 Sayısal işlemler

Bu bölümde örneklenen işaretlerin uygun sayı formatına dönüştürülmesi ve ölçeklendirilmesi incelenecektir.

İşlemciler mimarisindeki *ALU* (*Arithmetic Logic Unit*) donanımına bağlı olarak kayan noktalı (*floating point*) ve sabit noktalı (*fixed point*) olmak üzere iki kısma ayrılmaktadır. Kayan noktalı *ALU* birimi bulundurmeyen işlemcilerde kesirli sayılarla işlem yapılması durumunda standart *C* kütüphaneleri kullanılabilir. Fakat bu kütüphanelerin kullanımı işlem hızını düşürmektedir. Bu nedenle sabit noktalı *ALU*

birimi barındıran işlemcilerde kayan noktalı gösterime alternatif olarak sabit noktalı *IQ* (integer quotient) sayı formatı sıkça kullanılmaktadır.

Özellikle kapalı çevrim sayısal kontrolörlerin gerçek zamanlı koşturulması oldukça işlem gücü gerektirmektedir. Ayrıca bu kontrolörlerin gerçekleştirilmesinde sabit bir örnekleme periyodu ile sürekli olarak hesaplama yapıldığı için sistem bant genişliğinin önemli bir bölümü kontrolör tarafından kullanılır. Sayısal filtre yapıları ya da *PI*, *PID* gibi yapılar gerçekleştirilecek diferans denklemin derecesine göre birçok çarpım ve toplamdan oluşabilmektedir.

Endüstriyel işlemcilerin büyük çoğunluğu sabit noktalı sayılarla işlem yapan *ALU* birimlerine sahiptir. Kayan noktalı mimariye sahip kontrolörler mevcut olsa da fiyatlarının yüksek olması nedeniyle endüstriyel kontrolde daha az kullanım alanı bulmaktadır.

Sistemde kullanılan *F2808* işlemcisi sabit noktalı sayılarla işlem yapan donanıma sahiptir. Bu nedenle örneklenen işaretler uygun bir sabit noktalı sayı formatına çevirilmelidir.

Sabit noktalı sayı gösterimlerinde sayının virgülden önceki ve sonraki kısımları sayının ayrı bölümleri ile temsil edilir. Tam ve kesirli kısmı ayıran noktanın yeri sabittir ve sayının büyümesi ya da küçülmesi ile değişmez. Bu nedenle sabit noktalı sayılarda sayı çözünürlüğü, sayının her değeri için sabittir. Sabit noktalı sayılar bu açıdan kayan noktalı sayılardan üstündür. Çünkü kayan noktalı sayılarda sayının çözünürlüğü sayının eksponenti ile değişmektedir. Kayan noktalı sayılarda sayı 0'dan uzaklaştıkça sayı çözünürlüğü azalmaktadır. Bu durumda kayan noktalı sayılarla yapılan işlemlerde, aynı işlem içerisinde çok büyük ve çok küçük sayıların birlikte kullanılması hesaplama hatalarına sebep olacaktır. Örneğin çok büyük ve çok küçük iki adet sayının toplanması durumunda büyük sayının çözünürlüğü düşük olduğu için toplamda virgülden sonrası yuvarlanmaktadır. Bu durumda eğer sayılar arasında fark yeterli büyüklükte ise toplam sonucu büyük olan sayıya eşit olabilir.

Bu amaçla sayısal işlemler yapılırken, kullanılan değişkene uygun bir baz değeri alınarak normalizasyon işlemi yapılır. Dolayısıyla sistemdeki tüm sayılar ± 1 arasına normalize edildikten sonra, sayı çözünürlükleri birbirine yakın hale getirilerek sayısal işlemler gerçekleştirilir. Sabit noktalı sayılarda ise böyle bir problem

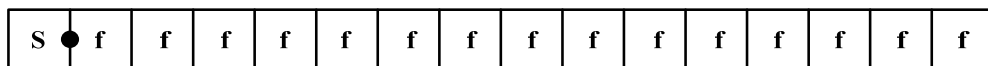
olmadığı için, sayının maksimum ve minimum değerleri taşmaya sebep olmadığı sürece sayılar arasındaki fark önemli değildir.

F2808 işlemcisinde sabit noktalı sayılarla kesirli işlemlerin yapılması için *IQMath* kütüphanesi kullanılacaktır. Bu kütüphane standart *C* kütüphanelerinden farklı olup, kütüphanenin fonksiyonları içerisinde hesaplama döngüleri mevcut değildir. Bunun yerine kullanılan *IQMath* fonksiyonu, işlemcinin *ALU* birimine ilişkin *assembly* komutlarını çağırarak, hesaplamaların çok hızlı bir şekilde gerçekleştirilmesini sağlamaktadır. *IQMath* fonksiyonlarında standart fonksiyonlardan farklı olarak fonksiyonu çağırarak programın durup alt programa dallanılması ve sonuçların çağırarak programa gönderilmesi gibi işlemler olmadığı için vakit kaybı yaşanmamaktadır. Bu kütüphane işlemci yapısındaki *ALU* birimine ait komutları ve işlemcide yüklü olan hazır tabloları kullanarak kesirli işlemleri çok hızlı bir şekilde gerçekleştirmektedir. Örneğin sinüs, kosinüs gibi fonksiyonların kaba değerleri bu tablolardan okunmakta, ara değerler ise donanımsal olarak hızlı bir şekilde hesaplanmaktadır. Bu şekilde işlemci sanal olarak kayan noktalı gibi çalışmaktadır.

4.3.2.1 Sayı formatı seçimi

Sabit noktalı sayılarda, noktanın sol tarafındaki basamak sayısı ile sağındaki basamak sayısı arasında bir seçim yapılmalıdır. Noktanın sol tarafındaki basamak sayısı sayının maksimum ve minimum değerini, sağ tarafındaki basamak sayısı ise çözünürlüğünü belirler. Bu yüzden sistemde kullanılan sayının genliği ve çözünürlüğü arasında bir seçim yapılmak zorundadır. Sistemde uygun sayı formatı seçildikten sonra işlemler bu formata göre yapılır.

Şekil 4.13’de *IIQ15* sayı formatı görülmektedir. Özellikle 16 bit işlemcilerde *IIQ15* en çok tercih edilen sayı formattır. *II* ifadesi sayının tam kısmının bir bit, *Q15* ifadesi kesirli kısmın 15 bit ile ifade edildiğini belirtmektedir. Bu sayı formatı kısaca *Q15* olarak da adlandırılmaktadır. Şekil 4.13’te 16 adet basamak görülmektedir. Noktanın solundaki tek basamak aynı zamanda işaret biti olarak kullanılmaktadır.



Şekil 4.13 : *IIQ15* sayı formatı.

Şekil 4.13’teki *IIQ15* formatının çözünürlüğü virgülden sonraki basamak sayısı n_f olmak üzere denklem (4.11) ile 0,00003 olarak hesaplanır.

$$\text{Çözünürlük} = 2^{-nf} \quad (4.11)$$

Sayı genliği ise noktanın solundaki basamak sayısı n_s kullanılarak $[-1, \sim(+1)]$ olarak bulunur.

$$\text{Genlik} = \pm \frac{2^{ns}}{2} \quad (4.12)$$

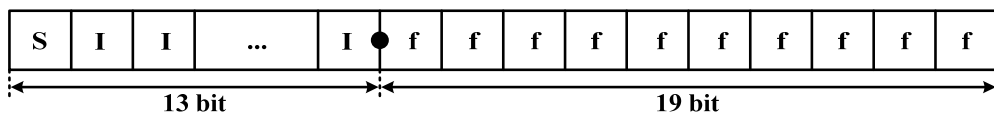
(4.12) ifadesinde sayının pozitif değeri yaklaşık olarak bulunur. Çünkü ifade edilebilecek en büyük pozitif sayı 0.11111111111111 olduğu için *I/Q15* formatında en büyük pozitif sayı denklem (4.13) daha hassas bir şekilde elde edilmiştir.

$$IQ_{15_maks} = 2^{-1} + 2^{-2} + \dots + 2^{-15} \rightarrow 0.999969482421875 \quad (4.13)$$

32 bitlik *IQ* formatlı sayılarda benzer mantıkla işlem yapılır. Sayı çözünürlüğü ve genliği arasında bir tercih yapılarak, 32 bitten oluşan sabit noktalı bir sayı formatı belirlenmelidir.

Tasarlanan sistemde tüm ölçüm işlemleri kazanç 1 olacak şekilde gerçekleştirilecektir. Bu nedenle işlemci içerisinde dışarıdan okunan işaretin gerçek değerlerinin görülerek, ölçüm devreleri ve yazılımın kalibrasyonunun daha rahat yapılması amaçlanmıştır. Bu durumda okunacak akım değeri $\pm 4A$ iken, şebeke gerilimi $\pm 350V$, kondansatör gerilimi ise $\pm 450V$ civarına kadar çıkabilmektedir. Sayı formatına sistemdeki en büyük genlikli parametreye göre karar verilmesi gerektiği için, *PI* kontrolör çıkışı esas alınmıştır. *PI* kontrolör çıkışı genliği 2500 olan *ePWM* taşıyıcısı ile karşılaştırıldığı için sistemdeki en büyük sayı değişimi ± 2500 'dür. Bu nedenle *I/Q19* formatı tercih edilmiştir.

Q19 formatında sayı ± 4096 arasında değişirken, sayı çözünürlüğü 10^{-6} 'dır. Bu sayı formatı kullanılarak tasarlanan sistemde *PI* kontrolörler kararlı olarak çalışmış ve çözünürlük kaynaklı herhangi bir sorunla karşılaşılmamıştır.

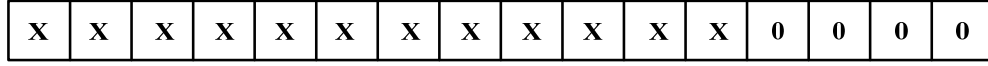


Şekil 4.14 : *Q19* sayı formatı.

Bu yaklaşıma ek olarak sabit noktalı sayılarla da normalizasyon yapılarak daha yüksek çözünürlüklü sayı formatlarının kullanılması mümkündür.

4.3.2.2 İşaret ölçeklendirme

F2808 işlemcisinin 12 bit *ADC*'si 0-3V giriş işaretleri için 0-4095 arasında bir sayı üretmektedir. Ayrıca bu sayı *ADC* ölçüm sonucu kaydedicilerinde (*ADCRESULT*) Şekil 4.15'te görüldüğü gibi dört bit sola kaydırılmış olarak saklanmaktadır.



Şekil 4.15 : *ADC* sonuç kaydedicisi formatı.

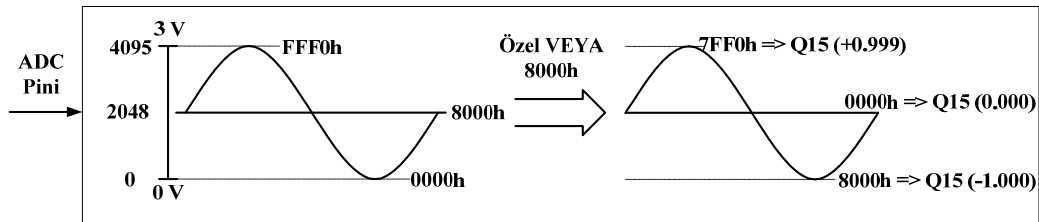
Örneklenen işaretlerin *ADC* sonuç kaydedicilerindeki ham formattan, uygun bir *Q* sayı formatına dönüştürülmesi gerekmektedir. Dönüşüm işlemi gerçekleştirildikten sonra elde edilen sayılar uygun bir kazançla çarpılarak, harici işaret ölçüm kazancı 1 olacak şekilde kontrol algoritmasında kullanılacaktır.

Sistemde temel sayı formatı olarak *Q15* seçilmiştir. Sayı bir kez *Q15* formatına dönüştürüldükten sonra bit bazında sağa ya da sola kaydırılarak arzu edilen diğer sabit noktalı sayı formatlarına kolay bir şekilde dönüştürülebilir.



Şekil 4.16 : İki yönlü işaretin analog olarak ölçeklendirilmesi.

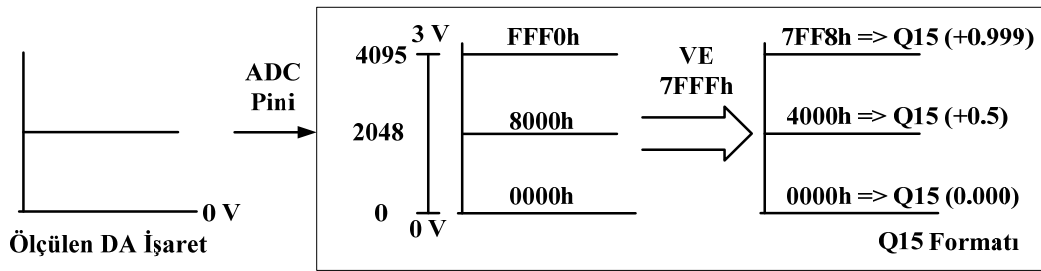
Şekil 4.16'da iki yönlü bir işaret ve bu işaretin analog ölçeklendirme devresi ile *ADC*'nin okuyabileceği şekle getirilmiş hali olan tek yönlü işaret görülmektedir. Bu dönüşümler Bölüm 4.2.4'te bahsedilen şebeke gerilimi ve evirici çıkış akımı ölçme devreleri ile gerçekleştirilmiş olup işaretler uygun gerilim aralığına getirilmiştir.



Şekil 4.17 : Örneklenen iki yönlü işaretin *Q* formatına dönüştürülmesi.

Şekil 4.17'de sol tarafta bu işaretlerin örneklendikten sonra elde edilmiş ham formatları görülmektedir. Sonuçlar *ADC* kaydedicilerinde 4 bit sola kaydırıldıkları

için sayılar 16'lık sayı tabanında FFF0h ve 0000h arasında değişmektedir. Bu durumdaki örneklenen sayılar 8000h sayısı ile bit tabanlı *Özel-VEYA* işlemine sokulursa, sonuçlar *Q15* formatına çevirilmiş olacaktır. Şekil 4.17'de sağ tarafta sayının maksimum ve minimum değerleri için bu işlemin sonucu gösterilmiştir. Dolayısıyla ölçülen işaretin 1,5V değeri için *Q15* formatında sayı 0, 3V için 1 ve 0V için ise sayı -1 değerini almaktadır. Burada sayının tepe noktasında 7FFFh değeri yerine 7FF0h elde edilmiştir. Bu bozulma değeri düşük olduğu için ihmal edilebilir. Ayrıca Bölüm 4.2.4'de analog işaretlerin ölçeklendirilmesinde besleme sınırlarına yaklaşmanın sakıncalarından bahsedilmiştir.



Şekil 4.18 : Tek yönlü işaret örneklenmesi ve *Q* formatına dönüştürülmesi.

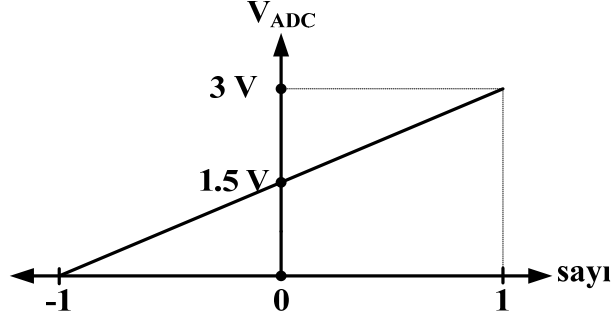
Evirici giriş *DA* bara kondansatörleri gerilimleri Şekil 4.18'de görülen tek yönlü işarete örnek olarak verilebilir. Kondansatör gerilimi tek yönlü olduğu için bu tür işaretlerin çift yönlü işaretlerden farklı şekilde dönüştürülmesi gerekmektedir.

Şekil 4.18'de görüldüğü gibi ölçülen ham işaret 7FFFh ile bit tabanlı *VE* işlemine sokulursa işaret basit bir şekilde *Q15* formatına dönüştürülmüş olur.

Örneklenen işaretler *Q15* formatına dönüştürüldükten sonra, 4 bit sola kaydırılarak *Q19* formatına çevrilir. Daha sonra *IQMath* çarpma fonksiyonu kullanılarak sayı ölçüm kazancı ile çarpılır ve işaretin gerçek değeri elde edilmiş olur.

Ölçüm kazançlarının hesaplanması için *ADC* giriş gerilimi ve *Q15* sayı formatı arasında bir lineer ilişkiye ihtiyaç duyulmaktadır.

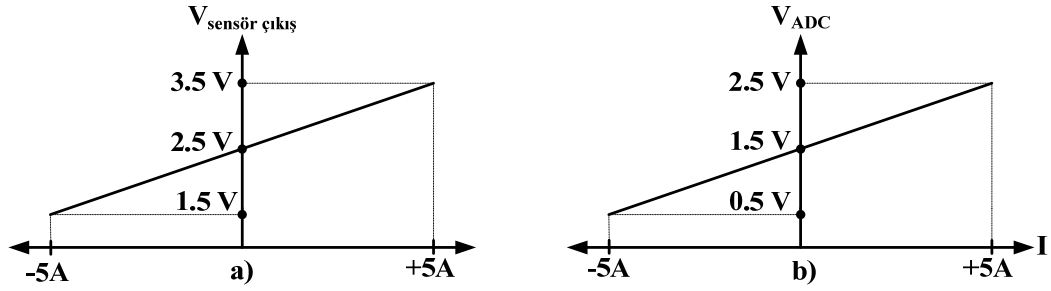
Şekil 4.19'da Şekil 4.17'de yapılan dönüşüm sonrası elde edilen sayı çıktısı ve *ADC* giriş gerilimi arasındaki ilişki görülmektedir. Şebeke gerilimi ve evirici çıkış akımı ölçümü devreleri 1,5V referans olacak şekilde Şekil. 4.19'a uygun şekilde ölçeklendirilmişlerdir. Şekil 4.19'a ilişkin doğru denklemi kullanılarak denklem (4.14) elde edilmiştir.



Şekil 4.19 : İki yönlü giriş işaretleri için ADC giriş gerilimi ve Q15 formatı ilişkisi.

$$V_{ADC} = 1,5 \cdot \text{sayı} + 1,5 \quad (4.14)$$

Akım sensörü giriş çıkış ilişkisi ve sensör ölçeklendirme devresi çıkışı Şekil 4.20’de görülmektedir. Sensör çıkış gerilimi ADC giriş çalışma aralığı olan 0-3V’u aştığı için sensör çıkışından 1V çıkarılmıştır.



Şekil 4.20 : Evirici çıkış akımı ve ADC gerilimi ilişkisi.

Şekil 4.20.b’deki ADC gerilimi ilişkisi görülen doğruya ilişkin ifade (4.15)’de verilen iki noktası bilinen doğru denklemi kullanılarak elde edilebilir.

$$\frac{y_2 - y_1}{x_2 - x_1} = \frac{y - y_2}{x - x_2} \quad (4.15)$$

(4.15) ifadesi Şekil 4.20.b için uygulanarak (4.16) denklemi elde edilmiştir.

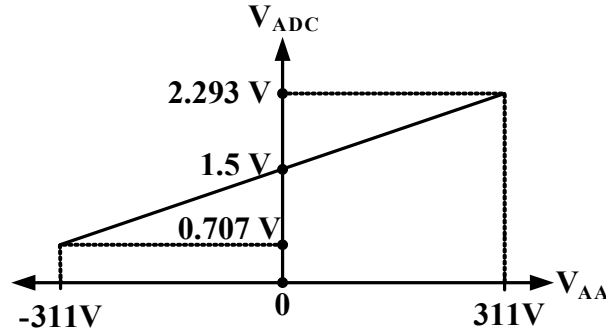
$$V_{ADC} = \frac{I + 7,5}{5} \quad (4.16)$$

(4.14) ve (4.16) ifadeleri birlikte çözülerek (4.17) ifadesi elde edilir.

$$I = \text{sayı} \cdot 7,5 \quad (4.17)$$

(4.17) ifadesinde görüldüğü gibi akım kazancı 7,5 olarak elde edilmiştir. İşaret Q19 formatına dönüştürüldükten sonra 7,5 ile çarpılarak akımın gerçek değeri elde edilir.

Şebeke gerilimi ölçümü devresi Bölüm 4.2.4.1’de tartışıldığı gibi Şekil 4.21’de görülen şebeke gerilimi ve ADC girişi ilişkisine sahiptir.



Şekil 4.21 : Şebeke gerilimi ölçümü ve ADC giriş gerilimi ilişkisi.

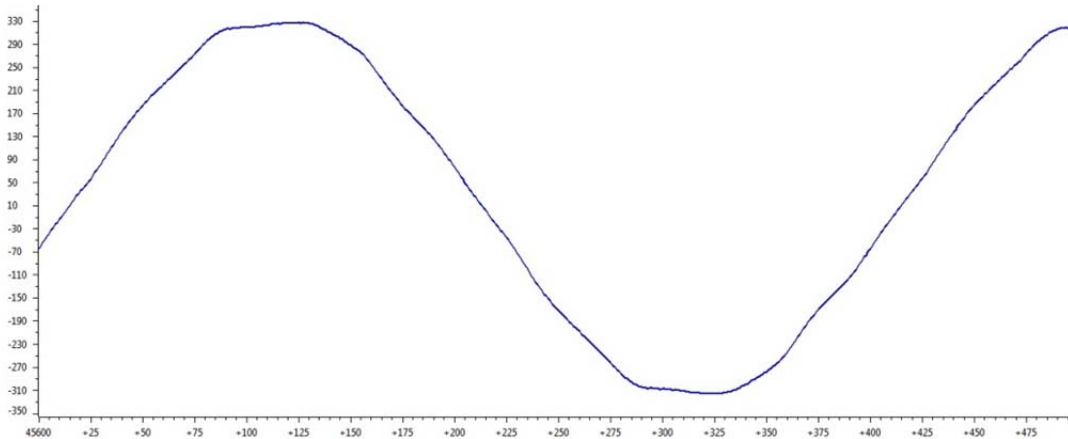
(4.15) denklemi Şekil 4.21 için kullanılarak (4.18) ifadesi elde edilir.

$$\frac{1,586}{622} = \frac{V_{ADC} - 2,293}{V_{AA} - 311} \quad (4.18)$$

(4.18) ve (4.14) birlikte çözülerek denklem (4.19) elde edilmiştir.

$$V_{AC} = sayı \cdot 588,272 \quad (4.19)$$

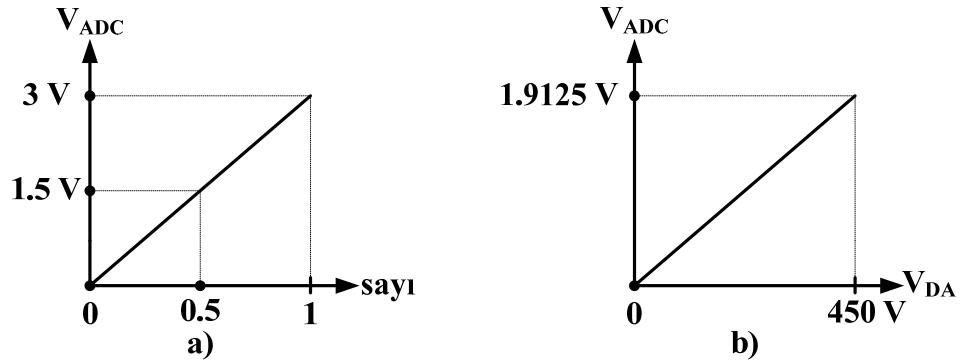
$Q19$ formatına dönüştürülen şebeke ölçüm işareti 588,272 ile çarpılarak şebeke gerilimi kazancı 1 olacak şekilde ölçülür.



Şekil 4.22 : Yazılımsal ölçeklendirmesi yapılan şebeke gerilimi ölçüm işareti.

Şekil 4.22’de $Q19$ formatına dönüştürüldükten sonra denklem (4.19)’daki kazançla çarpılarak elde edilen örneklenmiş şebeke gerilimi işareti görülmektedir. Görüldüğü gibi işaret düzgün bir şekilde ölçeklendirilerek elde edilmektedir. Ölçümün yapıldığı

andaki şebeke gerilimi 235V *AA* seviyesinde olduğu için, ölçülen işaretin tepe değeri 330V civarlarına kadar yükselmektedir.



Şekil 4.23 : Tek yönlü giriş işareti ve *ADC* gerilim ilişkisi.

Şekil 4.18’de görülen tek yönlü işaret ölçeklendirmesine ait *ADC* giriş gerilimi ve elde edilen sayı arasındaki ilişki Şekil 4.23.a’daki eğrinin denklemi ile (4.20)’de ifade edilmiştir.

$$V_{ADC} = 3 \cdot \text{sayı} \quad (4.20)$$

Şekil 4.23.b’de ise Bölüm 4.2.4.3’de tartışılan giriş *DA* bara kondansatör gerilimi ölçüm devresi ilişkisi gösterilmektedir. Şekil 4.23.b’deki eğrinin denklemi ile (4.21) elde edilir.

$$V_{ADC} = 0,00425 \cdot V_{DA} \quad (4.21)$$

(4.20) ve (4.21) denklemleri birlikte çözülerek (4.22) denkleminde görülen *DA* bara ölçüm devresi kazancı 705,882 olarak hesaplanmıştır.

$$V_{DA} = \text{sayı} \cdot 705,882 \quad (4.22)$$

Hesaplanan kazançlar Çizelge 4.5’de özetlenmiştir.

Çizelge 4.5 : İşaret kazançları.

İşaret	Kazanç
Şebeke Gerilimi	588,272
DA Bara Gerilimi	705,882
Akım	7,5

4.3.3 Üç seviyeli SDGM işaretlerinin gerçek zamanlı üretimi

SDM işaretlerinde referans işaret sistemin şebeke bağlantılı kapalı çevrim çalışmasında *PI* kontrolü ile üretilmektedir. Ancak şebeke bağlantısız açık çevrim çalışmada referans sinüs değerleri tablodan okunarak elde edilmektedir. Her iki durumda da kullanılan *ePWM* konfigürasyonu ve *SDGM* algoritması aynıdır.

Sinüs tablosu Ek G.a'da verilen *Matlab* kodlarıyla üretilmiştir. Sinüs tablosu 2048 adet elemandan oluşmakta ve tablo elemanları modülasyon indeksi 0,96 olacak şekilde ± 2400 arasında değer almaktadır. Elde edilen tablo *C* programında karakter dizisi içerisinde *const* olarak tanımlanarak Şekil 4.24'deki gibi saklanmaktadır.

<code>const int16 tablo[2048] = { 0, 7, 15, 22, ... -29, -22, -15, -7 };</code>
<code>indeks → 0 1 2 3 ... 2044 2045 2046 2047</code>

Şekil 4.24 : *SDGM* üretiminde kullanılan sinüs tablosu.

Sinüs değerleri Şekil 4.12'deki zamanlama diyagramındaki kontrol döngüsü içerisinde tablodan okunarak *CMPA* kaydedicisine yazılmaktadır. Böylece her anahtarlama periyodunda karşılaştırmacı değeri güncellenerek darbe genişliklerinin sinüzoidal olarak değiştirilmesi sağlanır.

Çıkış geriliminin ana harmonik frekansı tablo boyutu, örnekleme periyodu ve tablodaki ilerleme adımı ile belirlenir.

$$\text{Ana harmonik periyodu} = \text{Güncelleme periyodu} \cdot \text{Eleman sayısı} \quad (4.23)$$

Sistemde örnekleme periyodu anahtarlama frekansına eşit olduğu için ve sinüs değeri her kontrol döngüsünde güncellendiği için güncelleme periyodu 50 μ s'dir.

Çıkış gerilimi ana harmonik frekansını 50Hz yapabilmek için eleman sayısı (4.23) denklemi ile 400 olarak hesaplanır. Böylece sinüs tablosunun başından sonuna kadar 400 adımda gidilerek, çıkış gerilimi ana harmonik frekansı 50Hz değerine getirilebilir. Bu işlem 400 elemandan oluşan bir sinüs tablosu kullanılarak tablo indeksinin her örnekleme periyodunda 1 artırılması ile gerçekleştirilebileceği gibi Şekil 4.24'deki gibi 2048 elemandan oluşan bir tabloda indeks artışı 5,12 yapılarak da gerçekleştirilebilir. Böylece 5,12 indeks artışı ile 400 adımda tablo sonuna ulaşılabilir. Çıkış gerilimi frekansı tablo indeks adımı değiştirilerek değişken hale getirilebilir.

Çizelge 4.6 : *ePWM* modülü ayarları.

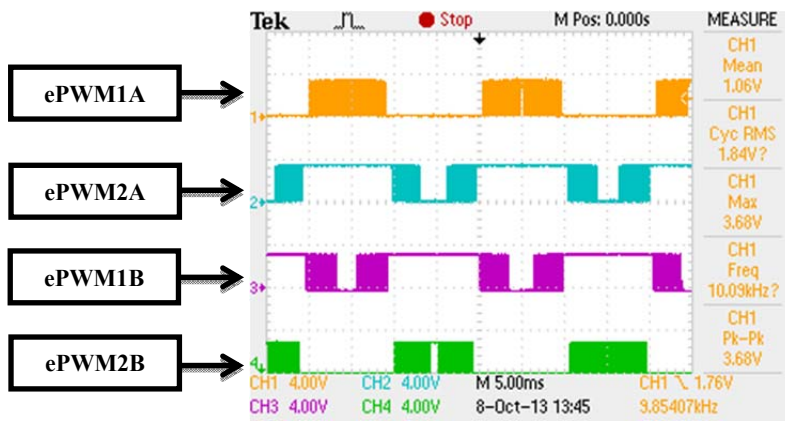
Kaydedici	Ayar	Kaydedici	Ayar
CLKDIV	TB_DIV1, saat bölücü 1.	TBPHS	Faz kaydedicisi değeri 0.
HSPCLKDIV	TB_DIV1, saat bölücü 1.	SHDWAMODE/ SHDWBMODE	SHADOW modu etkin.
CTRMODE	Yukarı aşağı sayıcı.	LOADAMODE/ LOADBMODE	Karşılaştırmacıyı, sayıcı sıfır iken güncelle.
PHSDIR	Senkronizasyondan sonra yukarı say.	AQCTLA/CAU	Çıkış Lojik 0.
PHSEN	ePWM1 devre dışı. ePWM2-ePWM6 etkin.	AQCTLA/CAD	Çıkış Lojik 1.
PRDL	TB_SHADOW	IN_MODE/ OUT_MODE	ePWMA/ePWMB Aktif high eşlenik.
SYNCOSEL	Sayıcı sıfır iken senkronizasyon işareti üret.	POLSEL	ePWMB, ePWMA'nın tersi.
TBPRD	Sayıcı periyodu 2500.	DBFED/DBRED	100 =>1µs ölü zaman.
CHPEN	PWM kıyıcı devre dışı.	SOCBEN	SOCA üretimi devre dışı.
TZSEL/OSHT1	Yetkili.	SOCAEN	ePWM modülü ADC çevrime başlama işareti SOCA üretmesi yetkili.
TZA/TZB	Trip Zone Durumunda ePWM çıkışları lojik "0".	SOCASEL	TBCTR=0 iken ADC çevrimine başla.
OST/CBC	Devre dışı.	INTEN	ePWM kesmesi devre dışı bırak.
SOCAPRD	İlk olayda ADC çevrime başlama işareti üret.	SysCtrlRegs/ TBCLKSYNC	ePWM modülü saat işaretini çalıştır.

Sinüs tablosunun negatif değerlerinde, tabloda okunan değer sayıcı tepe değeri olan 2500 ile toplanarak ilgili *ePWM* modülüne ait *CMPA* kaydedicisine yazılır.

Şebeke bağlantılı çalışmada sinüs tablosu kullanılmaksızın, *PI* kontrolör çıkışında üretilen sinüzoidal işaret modülasyon işleminin düzgün bir şekilde gerçekleşmesini sağlar.

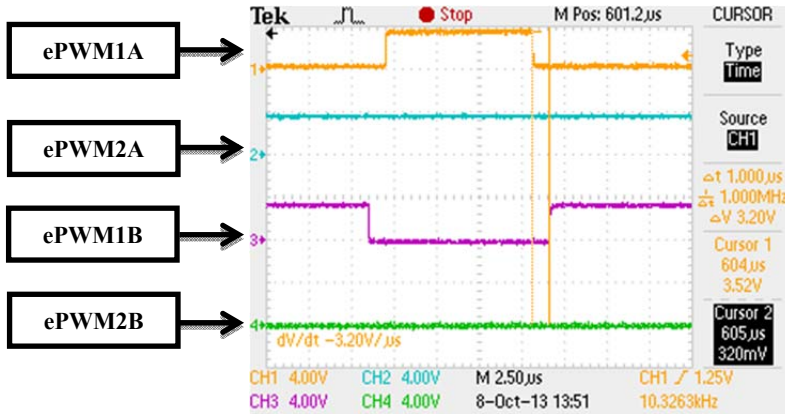
Çizelge 4.6'da *ePWM* modülü ayarları görülmektedir. Modül ayarları yapılırken farklı seviyeleri kontrol eden yukarı aşağı sayıcıların tek bir sayıcı gibi

davranabilmesi için, sayıcılar senkron edilmiştir. Bu amaçla modülün faz kaydırma özelliği kullanılmaktadır. Modül konfigürasyonunda faz kaydedicisine 0 değeri yazılmış ve her anahtarlama periyodunda sayıcı sıfır değerini aldığı anda, faz kaydedicisi içeriğinin sayıcıya yazılması sağlanmıştır. Böylece 6 adet *ePWM* modülüne ait taşıyıcı üçgen işaret senkron olarak çalışmaktadır. *DGM* işaretlerinin düzgün olarak üretilebilmesi için en azından aynı faz bacağını kontrol eden *ePWM* modülleri sayıcılarının senkron olması gerekmektedir. Ayrıca *ePWMA* ve *ePWMB* çıkışları aktif high eşlenik çalışacak şekilde konfigüre edilmiştir. *ePWM* modülü ölü zaman lojisi eşlenik çalışan anahtarlarda donanımsal olarak 1µs ölü zaman oluşturacak şekilde ayarlanmıştır.



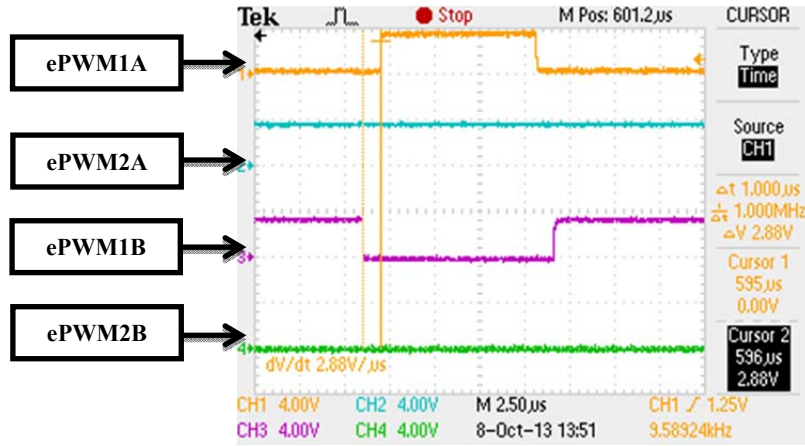
Şekil 4.25 : Çok seviyeli *SDGM* işaretleri.

Şekil 4.25’de işlemci ile sayısal olarak üretilen *SDGM* işaretleri görülmektedir. Üretilen işaretler Bölüm 3.5.1’de görülen benzetim sonuçları ile örtüşmektedir. Şekil 4.25’de eşlenik çalışan anahtarlarda sinüsün tepe noktaları sürekli olarak gözükse de görüntü yakınılaştırıldığında, darbelerin sürekli olarak kalmadığı görülerek, modülasyon indeksinin seçiminin doğru yapıldığı teyit edilmiştir.

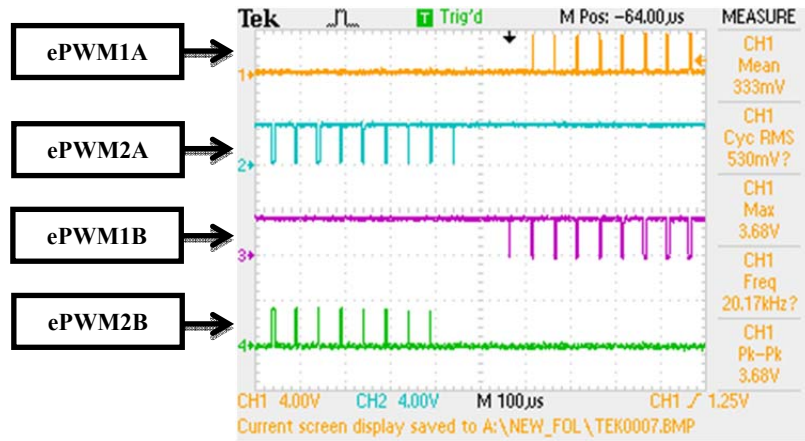


Şekil 4.26 : *SDGM* düşen kenar ölü zamanı.

Şekil 4.26 ve Şekil 4.27’de ölü zaman işaretlerinin hassas bir şekilde üretildiği görülmektedir.



Şekil 4.27 : SDGM yükselen kenar ölü zamanı.



Şekil 4.28 : SDGM evirici seviye değişim anı.

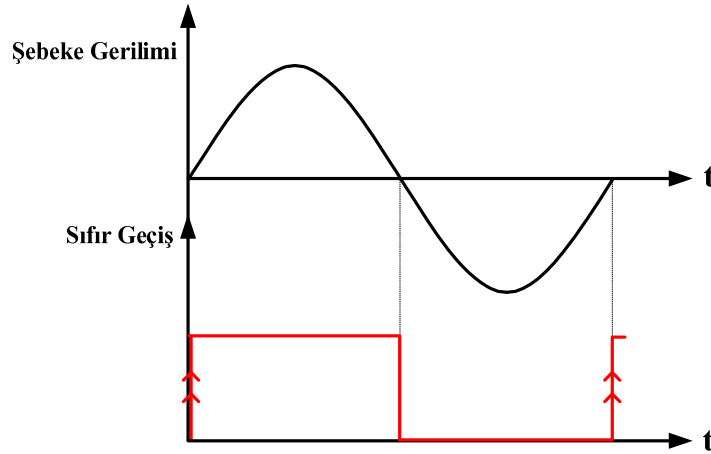
Şekil 4.28’de eviricinin seviye değişme anı görülmektedir. Bu anda *ePWM1A-ePWM2A-ePWM1B*’nin aynı anda lojik 1 değerini alması giriş *DA* baradaki üstteki kondansatörü, *ePWM2A-ePWM1B-ePWM2B*’nin aynı anda lojik 1 olması ise *DA* bara alt kondansatörün kısadevre olmasına sebep olur. Şekil 4.28’de görüldüğü gibi seviye değişme anında bu iki durum oluşmamakta, eviricinin seviye geçisi yumuşak bir şekilde gerçekleşmektedir.

4.3.4 Faz kilitlemeli döngü algoritması

Üçüncü bölümde Şekil 3.4’te evirici akımının takip edeceği şebeke ile kilitlenmiş referans sinüs işareti gösterilmişti. Bu işaretin doğru üretilmesi sistemin başarımı açısından son derece önemlidir. İyi tasarlanmış bir *FKD* hızlı cevap verme ve bozucu etkilerden etkilenmeme gibi özelliklere sahip olmalıdır.

FKD şebeke frekansı değiştiği takdirde hızlı bir şekilde bu değişimi algılayıp çıkışında oluşturduğu sinüs işaretinin fazını şebeke ile kitleyen kapalı çevrim bir sistemdir. Ayrıca *FKD*'nin çıkışının şebeke gerilimindeki değişimlerden etkilenmemesi istenir. *FKD* çıkışında birim genlikli sinüzoidal işaret üretilmektedir. Eğer şebeke gerilimi değişimleri *FKD* çıkış işareti genliğini değiştirirse, eviricinin şebekeye aktardığı güç de değişecektir.

Geleneksel *FKD* yapısında faz dedektörü, alçak geçiren filtre, bant durduran filtre ve gerilim kontrollü osilatör gibi yapılar olsa da bu yapıdaki *FKD*'lerin sayısal olarak gerçek zamanlı hesaplanması oldukça zaman almaktadır. Ayrıca bu yaklaşımlarda kullanılan sayısal filtreler iyi tasarlanmaz ise *FKD* çıkışı şebekedeki bozulmalardan oldukça etkilenmektedir. Bu nedenle bu çalışmada *FKD*, şebeke faz-nötr geriliminin sıfır geçiş noktalarından yararlanan bir algoritma kullanılarak gerçekleştirilecektir.



Şekil 4.29 : Şebeke gerilimi ve sıfır geçiş dedektörü işaretleri.

Şekil 4.29'da görüldüğü üzere *SGD* şebeke gerilimi pozitif alternansta iken lojik 1, negatif alternansta iken ise lojik 0 işaretlerini üretmektedir. *SGD* işaretinin yükselen kenarları ile şebekenin frekans ve faz bilgileri elde edilebilir.

FKD algoritmasında kullanılmak üzere bir sinüs fonksiyonuna ihtiyaç vardır. Bu sinüsün değerleri $0 - 2\pi$ arasında hesaplanarak bir tablo oluşturulduktan sonra işlemciye yüklenir. Amaç bu tablodaki değerleri şebeke sıfır geçiş noktalarına arasına yaymaktır.

Hemen hemen tüm işlemcilerde yükselen ya da düşen kenarda kesme üretme özelliği bulunmaktadır. Bu özellik ile harici bir pinden gelen sinyal düşen ya da yükselen kenarda ise işlemcide o an koşturulan program durmakta ve ilgili kesme alt

programına dallanılmaktadır. Programın kesme alt programında bulunduğu an, şebekenin sıfır geçiş anıdır. Bu şekilde şebekenin sıfır geçişi yoklama yöntemi kullanılmadan donanımsal olarak yakalanabilir. Yani işlemci sıfır geçiş noktaları haricinde sürekli olarak pini yoklamadan, diğer işlerine devam edebilir, kesme işareti geldiğinde ise kesme alt programında *FKD* ile ilgili işlemleri tamamladıktan sonra ana programa döner.

Şebeke sıfır geçişlerini yakalamak amacıyla *F2808* işlemcisinin *eCAP* modülü kullanılmıştır. Bu modül asıl olarak darbe genişliklerini donanımsal olarak ölçmek için kullanılmakla beraber, aynı zamanda düşen ya da yükselen kenarları da yakalayarak kesme üretebilmektedir. Sistemde *eCAP* modülünün bir diğer kullanım alanı ilgili faza ait periyot değerinin donanımsal olarak ölçülerek, şebeke frekansının sürekli izlenmesidir.

Burada önerilen *FKD* algoritmasının uygulanması için iki adet kesme kullanılması gerekmektedir. Bunlardan biri yüksek örnekleme frekanslı kontrol döngüsü kesmesidir. Bu kesme önceki bölümlerde de bahsedildiği gibi 20kHz’lik anahtarlama frekansında çalışmaktadır. Sistem 50µs’de bir periyodik olarak bu kontrol döngüsü kesmesine dallanmaktadır. *FKD* çıkışında elde edilen referans işaret de 50µs’de bir tablodan okunarak bu kesmede kullanılmaktadır.

Şebeke sıfır geçişi yakalandığında *eCAP* kesme alt programında sinüs tablosunun indeksi sıfırlanır. Dolayısıyla bu noktadan sonra sinüs tablosundaki ilk eleman işlem görecektir ve sinüs değeri 0’dan itibaren artmaya başlayacaktır. *eCAP* kesme programında hesaplanması gereken bir diğer parametre tablodaki ilerleme adımıdır. Şebeke frekansına uygun *tablo artış adımı* hesaplanarak şebeke periyodunun sonuna gelindiğinde sinüs tablosunun da sonuna gelinmiş olması sağlanmaktadır. Örneğin 50Hz şebekede 20kHz’lik örnekleme yapılsa tablodan 400 kere okuma yapılacaktır. Bu nedenle 400 okuma sonunda tablonun sonuna gelinmesini sağlayacak tablo indeksi artış adımı hesaplanmalıdır. Denklem (4.24) kullanılarak bu hesaplama her periyot başında *eCAP* kesmesi içinde tekrarlanır.

$$tablo\ artış\ adımı = \frac{tablo\ eleman\ sayısı}{faz\ sayıcısı} \quad (4.24)$$

Denklem (4.24)’de *faz sayıcısı* olarak adlandırılan terim de *tablo artış adımı* gibi periyodik olarak kullanılan bir değişkendir. 20 kHz’lik kontrol döngüsüne her gidişte

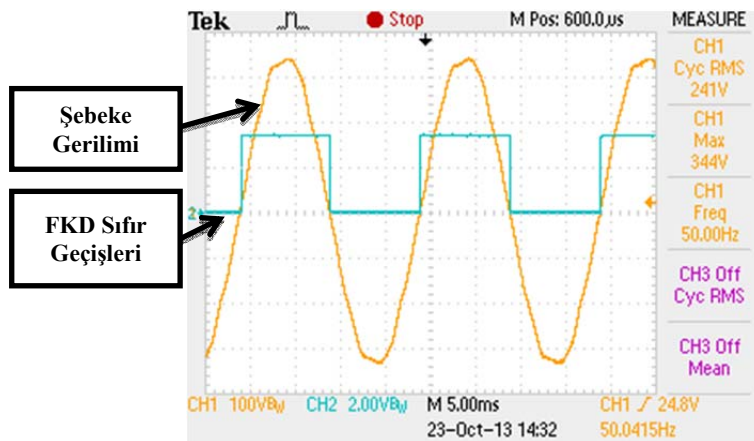
değeri bir artırılan *faz sayıcısı* değişkeni şebeke sıfır geçişi yakalandığında *tablo artış adımı* hesaplandıktan sonra sıfırlanır. *eCap* kesmesine gelindiği zaman *faz sayıcısı* değişkeni denklem (4.25)'e göre değer alacaktır.

$$faz\ sayıcısı = \frac{\text{şebeke periyodu}}{\text{örnekleme periyodu}} \quad (4.25)$$

Denklem (4.24) ve (4.25) kullanılarak 50Hz şebeke gerilimi, 20kHz örnekleme frekansı ve 2048 eleman içeren bir sinüs tablosu için *tablo artış adımı* 5,12 olarak hesaplanır. Bütün bu işlemler gerçek zamanlı olarak tekrarlanarak *FKD* algoritmasının şebeke frekansı değişimlerine karşı tabloyu şebeke periyodu boyunca yayması sağlanır. Böylece referans işaret ile şebeke gerilimi fazı kilitlenmiş olur. Ayrıca sinüs değerleri tablodan okunduğu için *FKD*, şebeke gerilimindeki bozulmalardan etkilenmez.

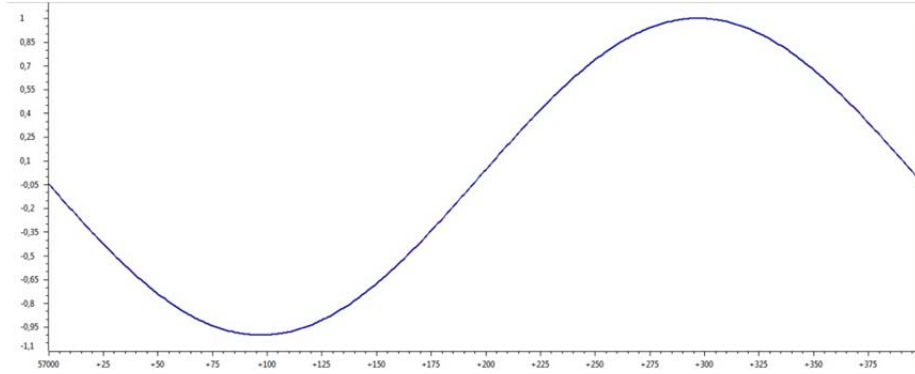
Önceki bölümlerde bahsedildiği gibi eviricinin şebekeye reaktif güç aktarması *FKD* çıkış işaretinin fazının değiştirilmesi ile sağlanabilir. Bu durumda *FKD*, çıkış işareti ile şebeke gerilimi arasındaki faz farkını sabit tutacak şekilde çalışır. *FKD* algortması ile bu iş basit bir şekilde gerçekleştirilebilir. Şebeke sıfır geçişi algılandığından tablonun indeksi 0 yerine istenilen faz farkı kadar ileriki bir elemana kaydırılır. Böylece arzu edilen faz farkı oluşturulmuş olur.

Şekil 4.30'da *FKD* çıkışı ile şebeke gerilimi karşılaştırma sonucu görülmektedir. *FKD* sonucunda elde edilen sinüsün değeri pozitif alternansta iken bir işlemci pini lojik 1 yapılmakta, negatif alternansta iken ise sıfır yapılarak elde edilen işaret şebeke gerilimi ile karşılaştırılmaktadır. Şekil 4.30'dan görüldüğü üzere *FKD* algoritması şebeke sıfır geçişlerini oldukça iyi bir şekilde yakalamaktadır.



Şekil 4.30 : *FKD* algoritması sıfır geçişi.

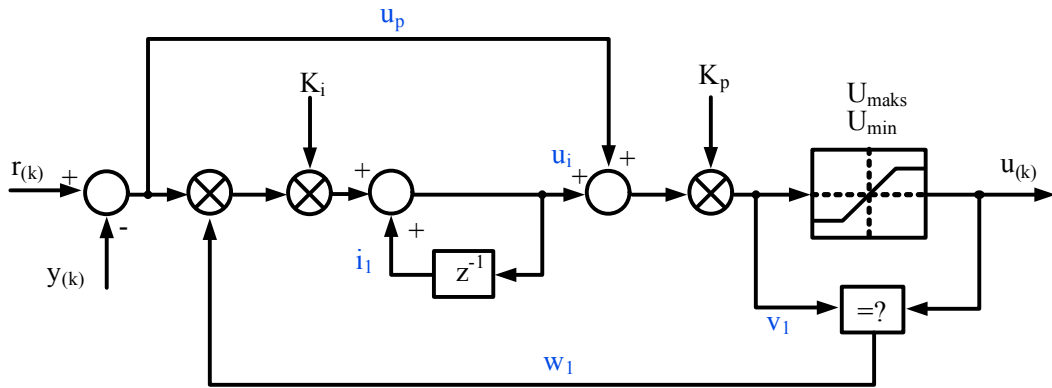
Şekil 4.31’de ise *FKD* sonucu üretilen yazılımsal sinüs işareti görülmektedir. Şekil 4.31’de görüldüğü üzere *FKD* çıkışı düzgün bir sinüs formundadır.



Şekil 4.31 : *FKD* çıkışı referans sinüs işareti.

4.3.5 PI kontrolör

Sistemde *DA* bara ve akım kontrolü için Şekil 4.32’de görülen sayısal *PI* kontrolör yapısı kullanılmaktadır.



Şekil 4.32 : *PI* kontrolör blok diyagramı.

Şekil 4.32’deki yapıda geleneksel *PI* kontrolör uygulamasına ek olarak, çıkış işaretinde doyma oluşması durumunda integral teriminin şişmesini önleyen bir algoritma kullanılmaktadır.

$$u_p(k) = r(k) - y(k)$$

$$u_i(k) = u_i(k - 1) + K_i \cdot u_p(k) \quad (4.26)$$

$$v_1(k) = K_p \cdot [u_p(k) + u_i(k)]$$

u_p hata terimi referansın geribesleme işaretinden çıkarılması ile elde edilmektedir. Hata terimi integral katsayısı K_i ile çarpılarak mevcut örnekleme periyoduna ait

integral terimi elde edilir. (4.26) ifadesinde görüldüğü üzere integral terim u_i , mevcut ve bir önceki örnekleme periyodundaki integral terimlerinin toplanması ile elde edilmektedir. Ancak integratörün hata işaretini toplayarak gitmesi sebebiyle sistemin çalışma süresince şişmesi ve sistemi kararsız hale getirmesi mümkün olabilmektedir. Bu nedenle eğer kontrolör çıkış işareti belirlenen sınırların dışında ise, entegrasyon işlemi durdurularak, integral değerinin şişmesi önlenabilir. Buna göre Şekil 4.32'deki w_I (4.27) ifadesine göre değer alacaktır.

$$w_1(k) = \begin{cases} 0: v_1(k) \neq u(k) \\ 1: v_1(k) = u(k) \end{cases} \quad (4.27)$$

Çıkış işaretinin sınırlandırılması ile kontrolör çıkışı (4.28) ifadesine göre değer almaktadır.

$$u(k) = \begin{cases} U_{maks} & : v_1(k) > U_{maks} \\ U_{min} & : v_1(k) < U_{min} \\ v_1(k) & : U_{min} < v_1(k) < U_{maks} \end{cases} \quad (4.28)$$

Sistemde *PI* akım kontrolörü çıkışı *ePWM* modülü tarafından kullanıldığı için, kontrolör çıkış işareti modülasyon indeksini 0,96 yapan ± 2400 değerleri arasında sınırlandırılmalıdır. *DA* bara kontrolörü ise birim genlikli referans sinüs işareti ile işleme girdiği için kontrolör çıkışı ± 1 ile sınırlandırılmıştır.

4.3.6 Akış diyagramları

İşlemci devresi *reset* ucundaki yükselen kenar darbe ile uyandırma işaretini alır. *Reset* işaretini alan işlemci her *C* programında zorunlu olarak bulunan *main()* fonksiyonuna dallanarak, programın koşturulmasına başlanır. Sistem yazılımına ilişkin ana akış diyagramı Şekil 4.33'te gösterilmiştir.

Yazılımda ilk olarak saat modül ayarları yapılmaktadır. Böylece işlemciye dışarıdan bağlanan 20MHz kristal ile işlemci içerisinde 100MHz frekansında saat darbeleri üretilebilmektedir. Daha sonra kullanılan *ADC*, *eCAP* ve *ePWM* modüllerine ait saat işaretleri aktif edilir. Giriş/çıkış olarak veya çevre birimleri tarafından kullanılan pinlere ilişkin port ayarları yapıldıktan sonra, kesme vektörlerin haritalaması yapılır. *F2808* işlemcisi *CPU* bazında 12 adet kesme alabilmektedir. Ancak işlemcide çevresel birimlerle birlikte toplam 43 adet kesme kaynağı olduğu için, bu kesmeler ilgili yerlere yönlendirilmelidir. İşlemcinin *PIE* bloğu kullanılarak kullanılan kesme

kaynakları haritalanır ve ilgili kesme alt programlarına yönlendirilirler. Daha sonra *eCAP*, *ePWM* ve *ADC* modül ayarları önceki kısımda bahsedilen şekilde gerçekleştirilir.

PI kontrolör katsayıları, kontrolör fonksiyonuna gönderildikten sonra, sayıcılar çalıştırılarak sistem sonsuz döngü fonksiyonu olan arkaplan döngüsüne ulaşır. İşlemci herhangi bir reset almadığı sürece arkaplan döngüsünden çıkamayacaktır. Sistem ana programı arkaplan döngüsü içerisinde bulunmaktadır. Bununla beraber program kesme işaretleri oluştuğunda ilgili beş adet kesme alt programından birine dallanarak, kesme fonksiyonunu tamamladıktan arkaplan döngüsüne geri döner.

Kesme altprogramları arasında en yüksek öncelikli olan *ADC* kesmesidir. Bu kesmede evirici kontrol döngüsüne ilişkin işlemler gerçekleştirilerek, program 20kHz frekansında arkaplan döngüsü ve *ADC* kesmesi arasında gidip gelmektedir.

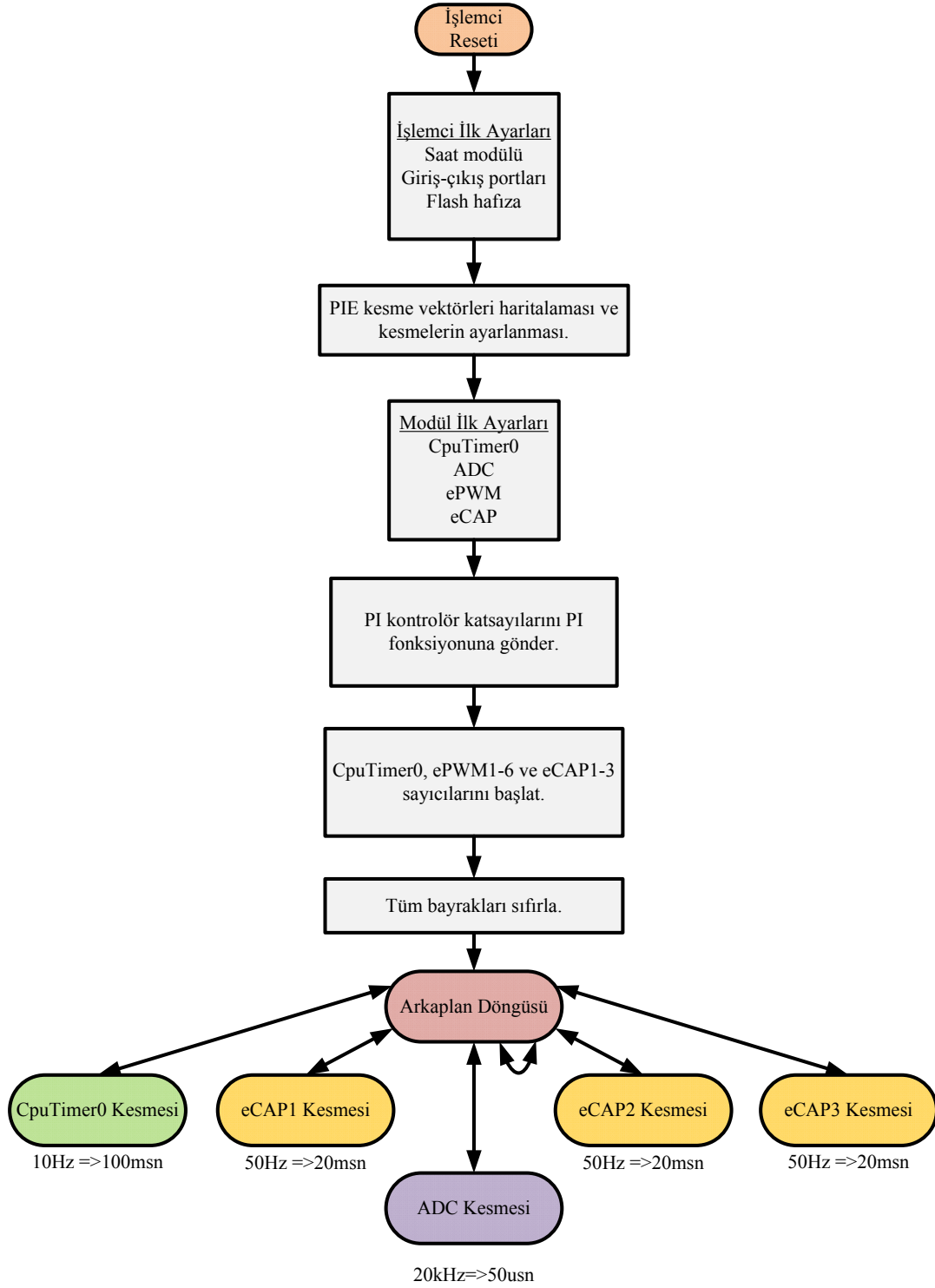
Yazılımda ikinci öncelikli kesme alt programı 50Hz frekansında koşturulan ve şebeke sıfır noktalarında tetiklenen *eCAP1*, *eCAP2* ve *eCAP3* kesmeleridir. Bu kesmeler 120° faz farklı şebeke gerilimi ile tetiklendikleri için aynı anda oluşmaları söz konusu değildir. Bu nedenle *eCAP* kesmeleri, işlemci hesap yükü açısından tek bir kesme olarak düşünülebilir. Bu kesmeler içerisinde şebeke frekansı ölçümü ve *FKD* algoritmasının bir kısmı koşturulmaktadır. *FKD* algoritması *ADC* ve *eCAP* kesmelerinin birlikte çalışmasıyla gerçekleştirilmektedir.

Sistemdeki en düşük öncelikli kesme *CpuTimer0* kesmesidir. 100msn'de bir koşturulan bu kesmenin temel amacı yazılımsal sayıcılar için zaman tabanı oluşturmastır. Ayrıca bu kesmede başlat ve durdur tuşları da okunmaktadır.

Yazılıma sistem performansı açısından bakıldığında en fazla bant genişliğinin *ADC* kesmesi tarafından tüketildiği görülür. Bu kesmede yüksek örnekleme frekansı ile birçok işlemi barındıran kontrol döngüsü koşturulduğu için hesaplama gücünün büyük bir kısmı *ADC* kesmesi tarafından kullanılmaktadır.

100MHz çalışma frekansı için bir adet saat darbesi denklem (4.29)'dan 10ns olarak hesaplanır.

$$\begin{aligned} f_{saat} &= 100MHz \\ T_{saat} &= \frac{1}{f_{saat}} \rightarrow 10ns \end{aligned} \tag{4.29}$$



Şekil 4.33 : Ana akış diyagramı.

Bu durumda 20kHz ile koşturulan kontrol döngüsü, (4.30) ile hesaplanan 5000 adet işlemci saat darbesi içerisinde tamamlanmalıdır. CCS derleyicisi ile iki adet farklı kod noktası arasında kaç saat darbesinin geçtiği ölçülebilmektedir. Buna göre ADC kesmesi 1160 saat darbesinde koşturulmaktadır. Ayrıca ADC kesmesi başında bir pin

lojik 1 yapılarak, kesme sonunda tekrar lojik 0 yapılmış ve oluşan işaret osiloskop ile izlenerek *ADC* kesmesinin koşturulma süresi 12µs olarak belirlenmiştir.

$$f_{ADC_Kesmesi} = 20kHz$$

$$T_{ADC_Kesmesi} = \frac{1}{f_{ADC_Kesmesi}} \rightarrow 50\mu s \quad (4.30)$$

$$\text{Saat Darbe Sayısı} = \frac{T_{ADC_Kesmesi}}{T_{saat}} \rightarrow 5000 \text{ darbe}$$

ADC kesmesinin koşturulma süresi, 50µs'lik kontrol döngüsü süresiyle oranlanarak *ADC* kesmesinin toplam işlem işlem gücünün %24'ünü kullandığı görülebilir. Arta kalan işlem gücü ise *eCAP*, *CpuTimer0* kesmeleri ve arkaplan döngüsü tarafından kullanılmaktadır.

Yazılımda kullanılan tablolar da dahil olmak üzere, toplam *flash* hafıza kullanımı %20 olarak ölçülmüştür.

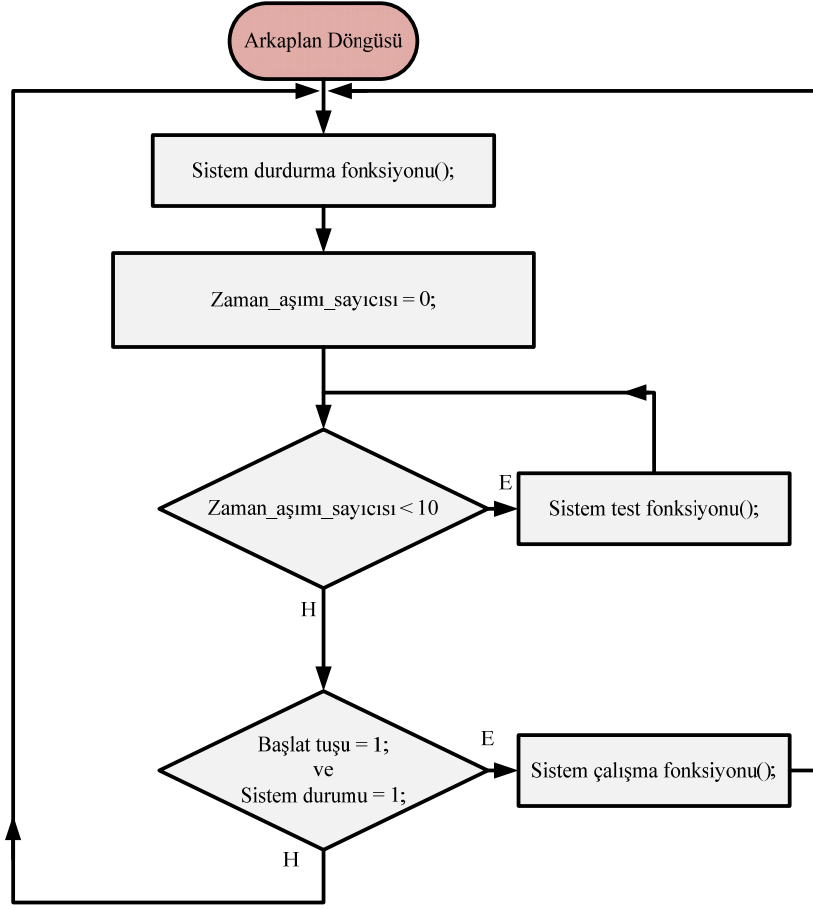
4.3.6.1 Ana program

Şekil 4.34'de arkaplan döngüsüne ait akış diyagramı görülmektedir. Sistem çalışması süresince program *Sistem test fonksiyonu()*'nu kullanarak şebekeyi sürekli olarak izler. Üç faza ait şebeke gerilimleri, üç faz evirici çıkış akımları ve *DA* bara gerilimleri kontrol döngüsü içerisinde değerlendirilerek, bu parametrelerin belirlenen değerler dışına çıkması durumunda ilgili parametreye ait hata bayrağı lojik 1 yapılır. Bu bayrak değişkenleri *Sistem test fonksiyonu()* içerisinde izlenmektedir.

Şekil 4.34'ten görüldüğü üzere, sistem şebekeye senkron olmadan önce en az bir saniye boyunca sistemi izler. *Zaman aşımı sayıcısı* değeri *CpuTimer0* kesmesi içerisinde 100ms'de bir arttırılmaktadır.

Sistem test fonksiyonu(), her faza ait hata *sistem durumu* değişkeninin değerini belirlemektedir. Faz gerilimi düşüklüğü veya yüksekliği, aşırı akım ya da şebeke frekansının nominal değerler içerisinde olması durumunda *sistem durumu* lojik 1 değerini alır. Böylece 1 sn sistem izleme süresi sonunda hata oluşmamışsa ve başlat tuşuna basılmışsa, program *Sistem çalışma fonksiyonu()*'na dallanarak şebeke senkronizasyonu başlar. Eğer başlat tuşuna basılmamışsa ya da herhangi bir hata bayrağı kalkmışsa, program *Sistem durdurma fonksiyonu()*'na dallanır.

Sistem durdurma fonksiyonu() *ePWM* çıkışlarını lojik 0 durumuna çeker. Ayrıca *DA* bara gerilimi deşarj hatası varsa, *DA* bara gerilimi deşarj işlemini başlatır.



Şekil 4.34 : Arkaplan döngüsü akış diyagramı.

Program *Sistem çalışma fonksiyonu()*’na dallandığında şebekeye senkronizasyon işlemi başlatılır. Bu amaçla önce *DA* bara kondansatörü yumuşak şarj işlemi gerçekleştirilir. Kondansatörler şarj olduktan sonra sistem 400ms daha *Sistem test fonksiyonu()*’na dallanır. Böylece kondansatör gerilimleri değerinin uygun sınırlar arasında olması ve kondansatör şarjı sırasında şebekede oluşabilecek bir problemin algılanması da sağlanmış olur. Daha sonra sistem yazılımı değeri *eCAP* kesmelerinde belirlenen şebeke sıfır geçişi bayrağını yoklayarak, her bir evirici fazının şebeke geriliminin sıfır geçişinde senkronizasyona başlamasını temin eder. Eğer şebeke sıfır geçiş bayrağı 1 değilse, program *Sistem test fonksiyonu()*’nu çağırılmaktadır. Herhangi bir faza ait sıfır geçiş noktası yakalandığında o faza ait *PI* kontrolör değişkenleri sıfırlanır ve o faza ait *ePWM* çıkışları serbest bırakılarak eviricinin senkronizasyona başlaması sağlanır. Her senkronizasyondan önce *PI* kontrolör değişkenleri temizlenerek, evirici çıkış geriliminin sıfırdan başlaması

sağlanmaktadır. Aksi durumda kontrolör integratöründe biriken değer nedeniyle, ilk anda evirici çıkış gerilimi rasgele bir değer olarak senkronizasyonun başarısız olmasına sebep olabilmektedir. Bu durumda *PI* kontrolör sistemi hemen toparlayamaz ise büyük geçici durum akımları nedeniyle sistem akım koruma durumuna geçebilmektedir. *PI* kontrolör değerlerinin temizlenmesi ile ise ilk senkronizasyon anı için evirici çıkış gerilimi 0 yapılarak, şebeke ve eviricinin yumuşak bir şekilde kenetlenmesi sağlanmış olur.

4.3.6.2 Kontrol döngüsü

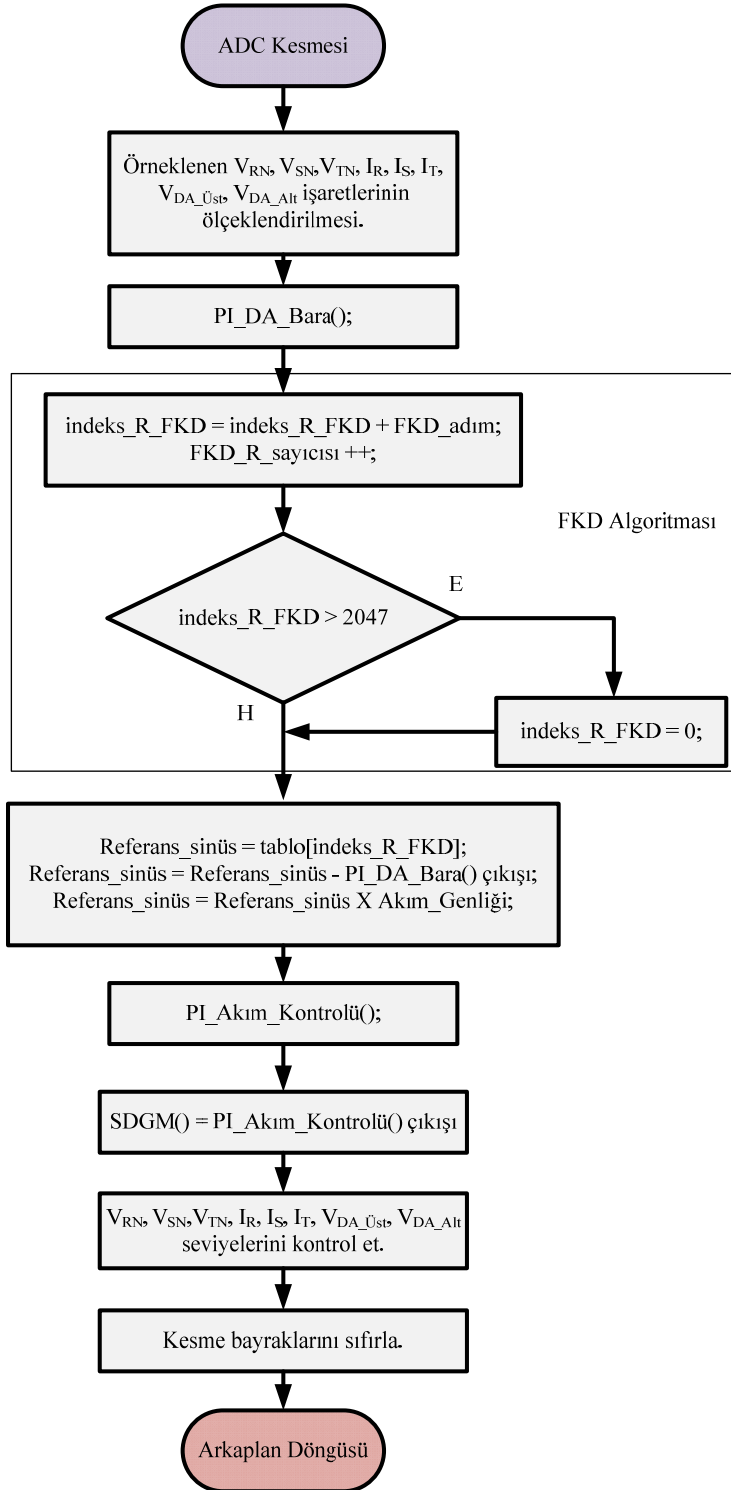
Kontrol döngüsü *ADC* kesmesinde koşturulmaktadır. *ADC* kesmesi *ADC* çevirimi bittiğinde donanımsal olarak oluşturulmaktadır. Bu nedenle program *ADC* kesmesine dallandığında kontrol algoritmasında kullanılacak tüm değişkenler örneklenmiş olarak hazır bir şekilde *ADC Result* kaydedicilerinde bulunmaktadır. *ePWM* modülü, *ADC* çevrime başlama tetiklemesini ürettiği için *ADC* kesmesi *ePWM* modülü ile aynı frekansta yani 20kHz ile çalışmaktadır. Program Şekil 4.35'te görülen *ADC* kesmesine geldiğinde ilk olarak Bölüm 4.3.2.2'de anlatılan işaret ölçeklendirme işlemleri gerçekleştirilir.

Üçüncü bölümde Şekil 3.5'de görülen kontrol algoritması Şekil 4.35'te görülen sırada koşturularak evirici kontrolü gerçekleştirilmektedir.

FKD algoritmasında *eCAP* kesmesinde hesaplanan tablo indeksi artış adımı kullanılarak sinüs tablosunun şebeke boyunca yayılması sağlanır. Daha sonra *PI_DA_Bara()* fonksiyonu çıkışı, *FKD* ile elde edilen birim genlikli sinüs değerinden çıkartılarak *Akım_Genliği* ile çarpılmaktadır. *Akım_Genliği* değeri *MPPT* ile belirlenen ve şebekeye aktarılacak gücü ayarlayan değişkendir. Böylece eviricinin şebekeye aktaracağı akımın genliği de ayarlanarak elde edilen referans işaret *PI_Akım_Kontrolü()* fonksiyonuna referans olarak girilir. *PI_Akım_Kontrolü()* geribesleme işareti ise örneklenen evirici çıkış akımıdır. *PI_Akım_Kontrolü()* çıkışı *SDGM* algoritmasına uygulanarak kontrol işaretlerinin *DGM* işaretlerine dönüşümü tamamlanmış olur.

ADC kesmesinde son olarak örneklenen işaretlerin değerlendirmesi yapılmaktadır. Burada şebeke gerilimleri, evirici faz akımları ya da *DA* bara gerilimlerinde bir hata varsa ilgili hata bayrağı lojik 1 olarak ayarlanır ve hata oluşan faza ait *ePWM* çıkışı kapatılır. *ADC* kesmesi 20kHz frekansında çalıştığı için özellikle aşırı akım gibi

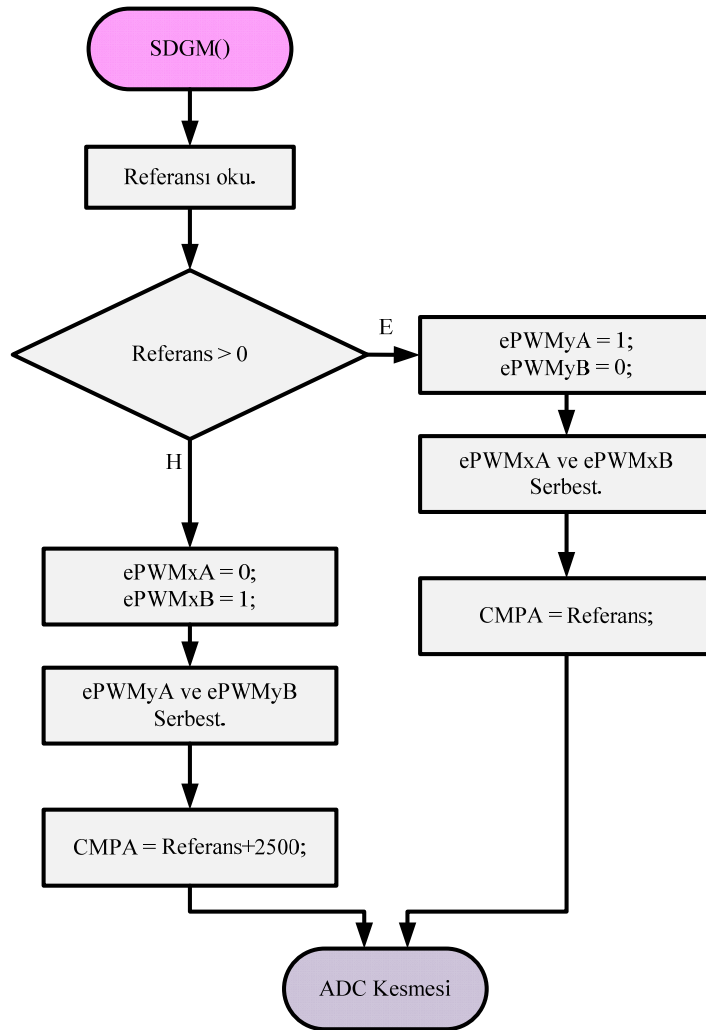
durumlarda *ePWM* çıkışlarının hızlı bir şekilde kapatılmasını sağlamaktadır. Burada ayarlanan bayraklar ise arkaplan döngüsünde sürekli olarak yoklanarak değerlendirilmektedir. Sistemin kapatılması durumunda, çıkış faz rölelerinin açılması, *DA* bara deşarjı gibi daha yavaş işlemler arkaplan döngüsünde gerçekleştirilmektedir.



Şekil 4.35 : Kontrol döngüsü akış diyagramı.

Her kesme altprogramı sonunda, kesmenin doğru bir şekilde alındığını bildirmek üzere *PIE* ve ilgili kesme kaynağına ait kesme bayrakları temizlenmektedir.

Şekil 4.35'te görülen *SDGM()* fonksiyonuna ait akış diyagramı Şekil 4.36'da görülmektedir. *SDGM()* fonksiyonu giriş olarak *Referans* isimli değişkeni kapalı çevrim çalışmada *PI* kontrolör çıkışından, açık çevrim şebeke bağlantısız çalışmada ise tablodan almaktadır. Açık çevrim çalışmada *Referans* değeri tablodan okunduğu için her *ADC* kesmesinde, tablo indeksi artırılmalıdır.

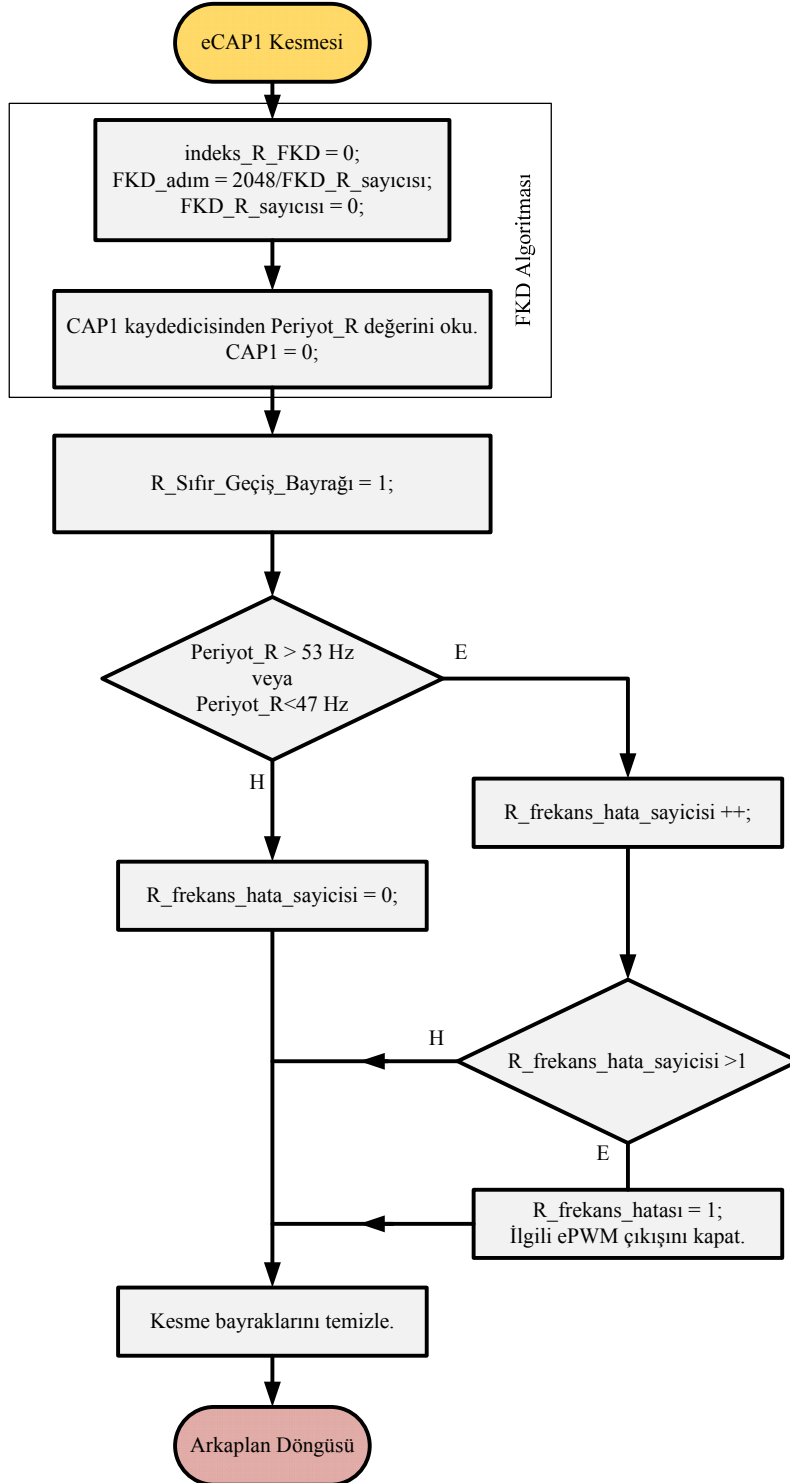


Şekil 4.36 : *SDGM* akış diyagramı.

Şekil 4.36'da *Referans*'ın negatif alternansında *Referans* değeri, *DGM* sayıcısı tepe değeri olan 2500 kadar artırılarak *CMPA* karşılaştırma kaydedicisine yazılmaktadır. *ePWM* modülü donanımsal sayıcısı sadece pozitif değerlerde saydığı için alternans değişiminde *Referans*'ın pozitive ötelenmesi gerekmektedir.

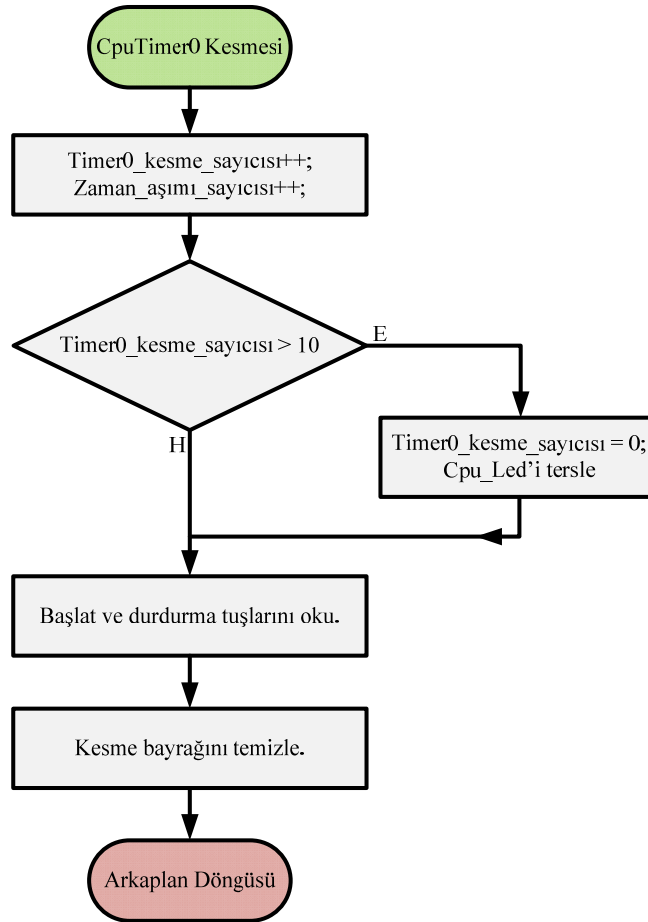
4.3.6.3 Diğer kesmeler

Sistemde R, S ve T fazlarının sıfır geçiş noktalarının yakalanması, *FKD* algoritması ve şebeke frekansının ölçülmesi *eCAP* kesmelerinde gerçekleştirilmektedir. Şekil 4.37’de R fazına ait *eCAP* kesmesi akış diyagramı görülmektedir.



Şekil 4.37 : *eCAP* kesmesi akış diyagramı.

Sistemde hata bayraklarının yanlışlıkla kaldırılmasını önlemek için hata sayıcıları kullanılmaktadır. Böylece ölçümlerde oluşabilecek bir hata neticesinde sistemin yanlışlıkla kapatılması önlenmektedir. Şekil 4.37’de görülen hata sayıcısı yaklaşımı, *ADC* kesmesinde şebeke gerilimi, *DA* bara gerilimi gibi parametreler için de uygulanmaktadır. Çünkü şebekede kapasitif yüklenme gibi oluşabilecek çok kısa süreli gerilim artışları evirici tarafından yanlış algılanarak sistemin kapatılması mümkün olabilir. Bu nedenle ölçülen parametrelerde oluşan hata belli bir süre için değerini koruyorsa hata durumu olarak algılanmaktadır.



Şekil 4.38 : *CpuTimer0* kesmesi akış diyagramı.

Zamanlayıcı kesmesinde tuş durumları 100msn’de bir okunarak bir değişkene yazılmaktadır. Böylece sistemin başlatma/durdurma ve hata bayraklarının temizlenmesi işlemleri arkaplan döngüsünde tuş durumları değerlendirilerek gerçekleştirilmektedir. Bu kesmede *Zaman_aşımı_sayicisi* arkaplan döngüsünde zamanlama işlemlerinde kullanılmaktadır. Böylece şebeke geriliminin senkronizasyondan önce 50 periyot boyunca izlenmesi mümkün olmaktadır.

4.4 Deneysel Sonuçlar

Bu bölümde tasarlanan sisteme ait deneysel çalışma sonuçları açık çevrim ve şebeke bağlantılı çalışma için ayrı ayrı verilecektir.

Deneysel çalışmalarda yeterli giriş gerilimini elde edebilmek için 600V *DA* güç kaynağı kullanılmıştır. Bu güç kaynağı rüzgar türbin sistemi çıkışının doğrultulmuş hali veya güneş paneli çıkış gerilimini temsil etmek üzere kullanılmıştır.

Güç kaynağı 628V'a kadar ayarlı *DA* gerilimi verebilmektedir. Ayrıca bu kaynak ile 60V'luk başka bir *DA* gerilim kaynağı seri bağlanarak evirici şebeke bağlantılı uygulamalarda daha yüksek giriş gerilimleri ile de test edilmiştir.

Deneysel çalışmalarda kullanılan test ve ölçü aletleri Çizelge 4.7'de belirtilmiştir.

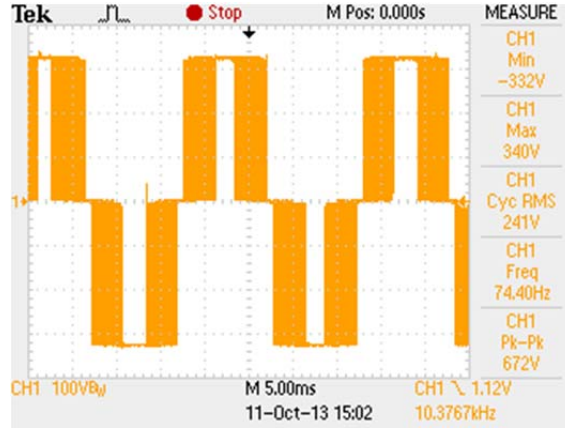
Çizelge 4.7 : Kullanılan test ve ölçü aletleri.

Ölçü Aleti	Model
Osiloskop	• Tektronix TPS2024.
Akım Probu	• Tektronix TCPA300 AA/DA.
Güç Kaynakları	• Sorensen XTR600-1,4 (Ayarlı 600V DA - 1,4A). • TT-Technic MCH-3050-2 (Ayarlı 30V X 2 -3A).
AA Watt Metre	• GW-INSTEK GPM-8212.
Multimetre	• Fluke179 True RMS.

4.4.1 Şebeke bağlantısız çalışma

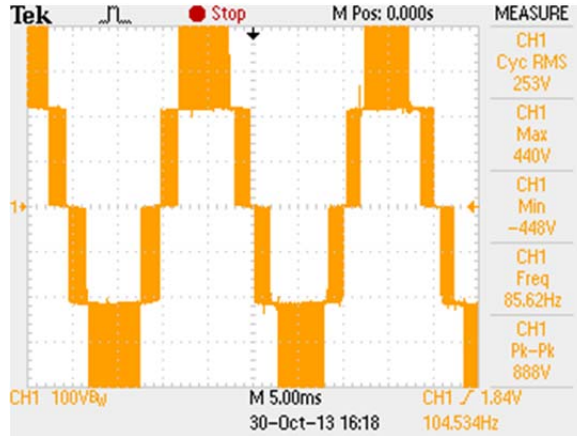
Şebeke bağlantısız çalışmada evirici *SDGM* yöntemi ile kontrol edilmektedir. Sistem şebeke bağlantısız olduğu için *SDGM* referansı tablodan okuma yöntemi kullanılarak elde edilmiştir. Çünkü şebeke bağlantısız çalışmada *FKD* düzgün çalışmayacağı için akım referansı, *PI* akım kontrolörü tarafından düzgün bir şekilde üretilmemektedir.

Şekil 4.39'da benzetim çalışmalarında elde edildiği gibi evirici çıkışı faz nötr geriliminin üç seviyeden oluştuğu görülmektedir.

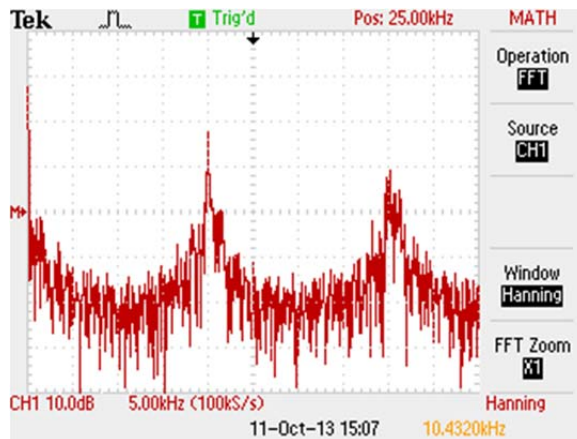


Şekil 4.39 : Filtresiz faz nötr çıkış gerilimi.

Şekil 4.39’da kullanılan osiloskobun ekran çözünürlüğü nedeniyle dalga şekli 90° ve 270° ’de yani sinüsün tepe noktalarında sürekli olarak görülmektedir. Ancak dalga şekli yaklaştırıldığında sinüsün tepe noktalarında darbeler arasında boşluklar izlenebilmektedir. Böylece kullanılan modülasyon indeksi ve ölü zaman değerlerinin uyumlu olduğu ortaya çıkmaktadır. Sinüsün tepe noktalarında gerilim dalga şeklinin sürekli hale gelmesi önlenerek, bu noktalarda harmonik optimizasyonu sağlanmıştır.



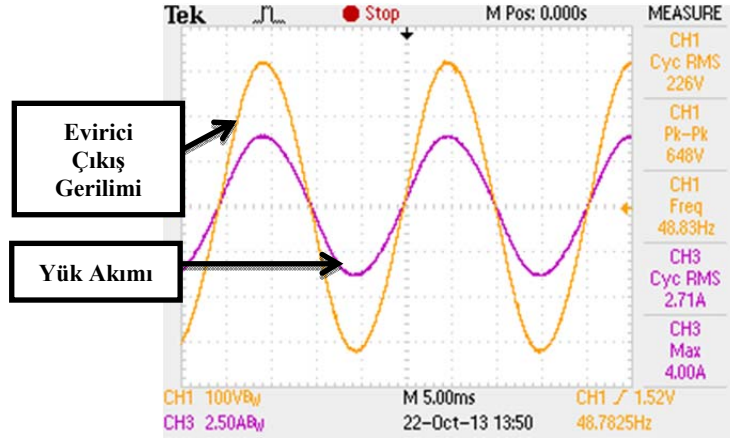
Şekil 4.40 : Faz arası çıkış gerilimi.



Şekil 4.41 : Faz nötr çıkış gerilimi FFT analizi.

Eviricinin faz nötr çıkış gerilimleri aralarında 120° faz farkı olacak şekilde üretilmektedir. Şekil 4.40’da görülen evirici faz arası çıkış geriliminin beş seviyeden oluştuğu görülmektedir.

Şekil 4.41’de görülen çıkış gerilimi *FFT* analizinde, harmonik genlikleri eviricinin anahtarlama frekansı olan 20kHz ve katlarında artmaktadır.



Şekil 4.42 : Filtrelenmiş faz nötr çıkış gerilimi.

Şekil 4.39’da görülen faz nötr çıkış gerilimi 15mH ve 2,2µF değerindeki *LC* alçak geçiren filtre ile filtrelenerek Şekil 4.42’de faz nötr çıkış gerilimi dalga şekilleri elde edilmiştir. Burada evirici 600W direnç yükü ile yüklenmiştir. Çıkış gerilimi *THD* değeri %1-2 arasında değişmektedir.

Evirici verimine ilişkin ölçüm sonuçları Çizelge 4.8’de görülmektedir.

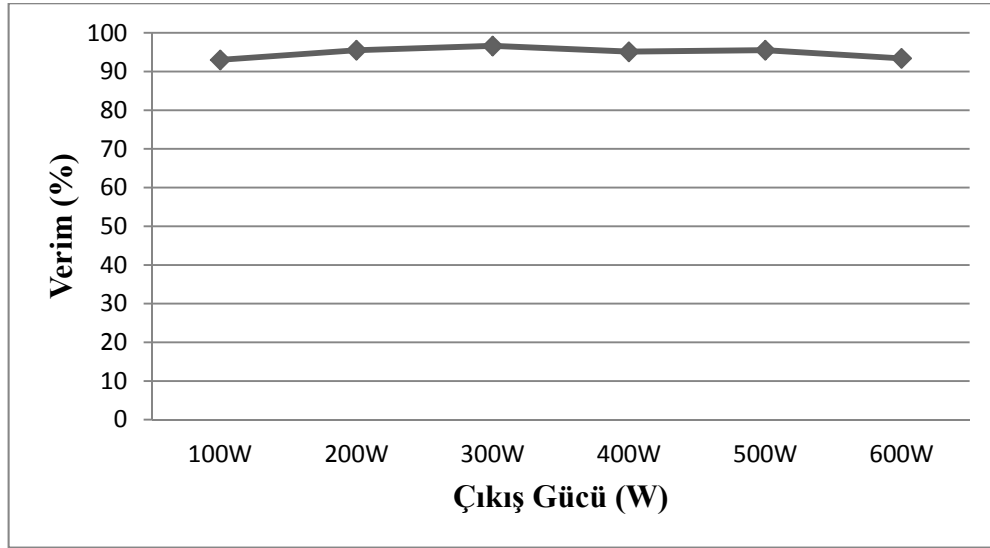
Çizelge 4.8 : Verim ölçümü.

Ölçüm	DA Giriş Gerilimi (V)	Giriş Akımı (A)	Giriş Gücü (W)	Çıkış Gerilimi (V)	Çıkış Gücü (W)	Verim
1	691V	0,155A	107,1W	230V	99,5W	0,93
2	691V	0,300A	207,3W	229V	198W	0,955
3	691V	0,440A	304,1W	227V	294W	0,966
4	691V	0,590A	407,69W	226V	388W	0,951
5	691V	0,730A	504,43W	224V	482W	0,955
6	691V	0,860A	594,26W	218V	555W	0,934

Eviricinin verim ölçümü esnasında yük olarak 6 adet 220V AA, 100W akkor ampul kullanılmıştır. Ölçümler evirici çıkışında alçak geçiren filtre mevcut iken yapılmıştır. Böylece elde edilen verime filtre endüktansından kaynaklanan kayıpların dahil edilmesi amaçlanmıştır.

Giriş gerilimi 628V ve 63V'luk iki adet DA kaynağın seri bağlanmasıyla elde edilmektedir. Giriş gerilimi ve akımı ortalama değerleri *Fluke179* ölçü aleti ve ayarlı gerilim kaynaklarının üzerinde bulunan voltmetre ve ampermetre ile ölçülmüştür. Her iki ölçüm sonuçları da birbiriyle uyushmaktadır. Evirici çıkış gücü ise *GW-INSTEK GPM-8212 AA* watt metre ile ölçülmüştür.

Şekil 4.43'te Çizelge 4.8'deki değerlere göre çizdirilmiş verim eğrisi görülmektedir.



Şekil 4.43 : Evirici verim grafiği.

Evirici veriminin %93-96 arasında değiştiği gözlenmektedir. Özellikle yüksek yüklerde *mosfet*lerin ısınması sebebiyle verimde düşüş yaşanmaktadır. *Mosfet*ler soğuk iken $0,8\Omega$ civarında olan iletim direncinin, jonksiyon sıcaklığı 75°C - 100°C aralığında iken $1,4\Omega$ - $1,7\Omega$ değerlerine yükselmesi iletim kayıplarını artırmaktadır. Özellikle çok seviyeli eviricilerde yüksek akımda iletim kayıpları önem kazanmaktadır. Çıkışta üretilen gerilim seviyesi arttıkça, akım o seviyeyi oluşturan tüm anahtarlardan akmaktadır. Bu nedenle çok seviyeli eviricilerde düşük iletim direncine sahip elemanların kullanımı iyi bir verim elde edilmesi açısından önemlidir.

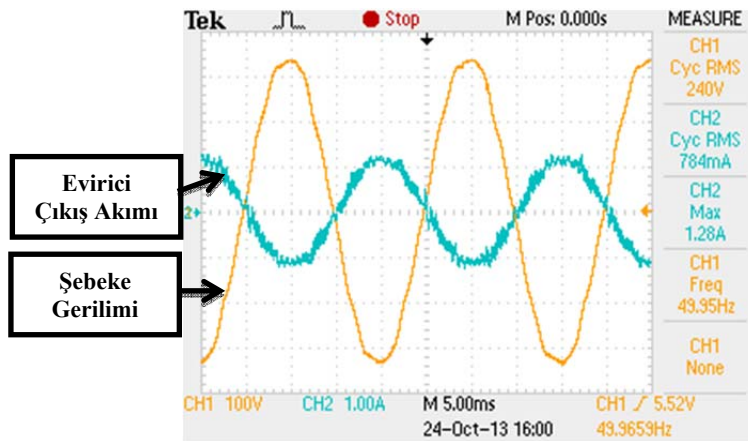
4.4.2 Şebekeye senkron çalışma

Şebeke bağlantılı çalışmada evirici çıkışı ile şebeke arasında 15mH ve 15nF değerinde bir *LC* alçak geçiren filtre bulunmaktadır. Filtre ayrıca şebekeden eviriciye gelebilecek yüksek frekanslı bileşenlerin veya ani gerilim değişimlerinin eviriciye zarar vermesini önlemektedir.

Evirici tasarımı yapılırken akım referansı şebeke ile aynı fazda olacak şekilde oluşturularak, tüm sistem buna göre kurgulanmıştır. Yani, eviriciden dışarı çıkan akımın yönü pozitif olarak alındığı için eviriciden şebekeye yük olarak bakılmaktaydı. Bu nedenle eviriciden şebekeye güç aktarabilmek için, şebeke gerilimi pozitif iken akım referansı da pozitif olarak üretilmiştir.

Ancak sisteme şebeke açısından bakıldığında bu durum tersine dönmektedir. Şebekeye bağlı bir omik yükte, şebeke gerilimi pozitif iken, akım pozitif ise aktif güç pozitif olmakta, böylece şebekeden güç çekildiği anlaşılmaktadır. Dolayısıyla şebekeye güç verilen bir sisteme şebeke açısından bakılırsa, şebeke gerilimi pozitif iken akım negatif olmalıdır. Bu durumda aktif gücün negatif değer alması, güç akışının şebekeye doğru olduğunu gösterecektir.

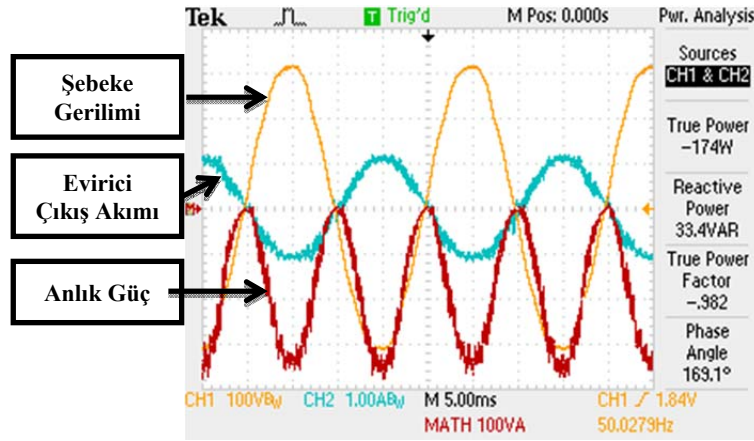
Burada elde edilen osiloskop görüntülerinde, sisteme şebeke açısından bakılmaktadır. Bu durumda şebeke gerilimi ile evirici çıkış akımı arasında Şekil 4.44'te görüldüğü gibi 180° faz farkı olması beklenir.



Şekil 4.44 : Şebeke gerilimi ve evirici çıkış akımı.

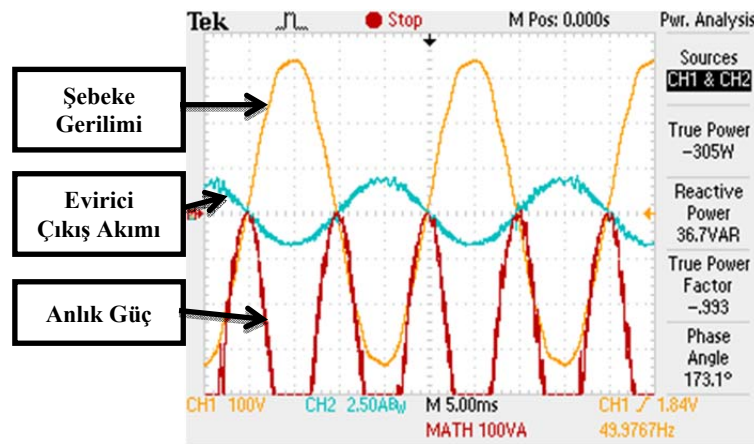
Şekil 4.44’de evirici çıkış akımı ve şebeke gerilimin düzgün bir şekilde kilitlendiği görülmektedir. *PI* akım kontrolörü *FKD* ile elde edilen referans işareti doğru bir şekilde takip edebilmektedir.

Evirici çıkışında ampul yükü varken evirici şebeke bağlantılı olarak çalıştırılmıştır. Bu durumda evirici çıkış sigortası açılarak, şebeke kesintisi durumunda eviricinin adalanma durumlarındaki davranışı test edilmiştir. Sistem adalanma durumlarını algılayarak, şebeke kesintisi durumunda yerel yükleri beslemeyi kesmektedir.



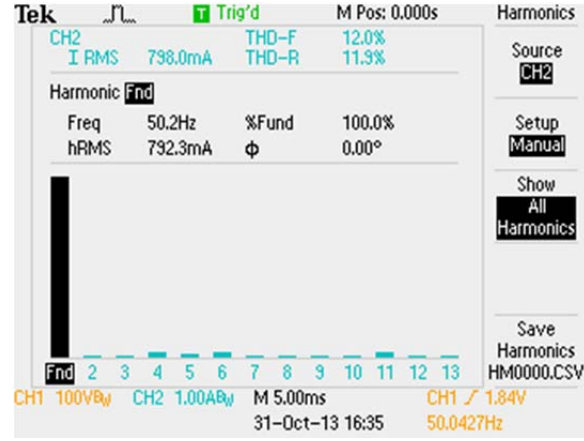
Şekil 4.45 : Şebeke bağlantılı evirici anlık güç ve güç faktörü, 175W.

Şekil 4.45 ve Şekil 4.46’da iki farklı yük durumu için evirici güç ve güç faktörü değerleri görülmektedir. Görüldüğü gibi güç akış yönü eviriciden şebekeye olduğu için aktif güç değerleri negatif olmaktadır. Ayrıca yüksek güç faktörü sayesinde aktarılan gücün büyük çoğunluğu aktif güçten oluşmaktadır. Sistemde çeşitli akım referansı değerleri ve *DA* bara gerilimleri için güç faktörünün %97-99,5 arasında değiştiği tesbit edilmiştir.



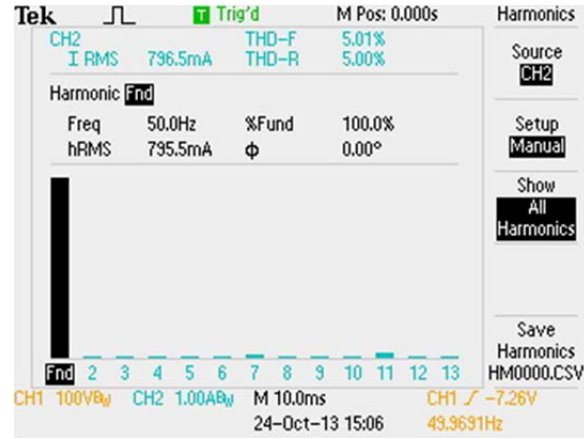
Şekil 4.46 : Şebeke bağlantılı evirici anlık güç ve güç faktörü, 300W.

Evirici çıkış akımında anahtarlama frekansında harmonikler bulunmaktadır. Çıkış akımı arttıkça akım dalgalılığı azaldığı için akım *THD* değeri iyileşmektedir. *DA* bara geriliminin artması ise akım dalgalılığını artırdığı için *THD* değerini olumsuz yönde etkilemektedir.



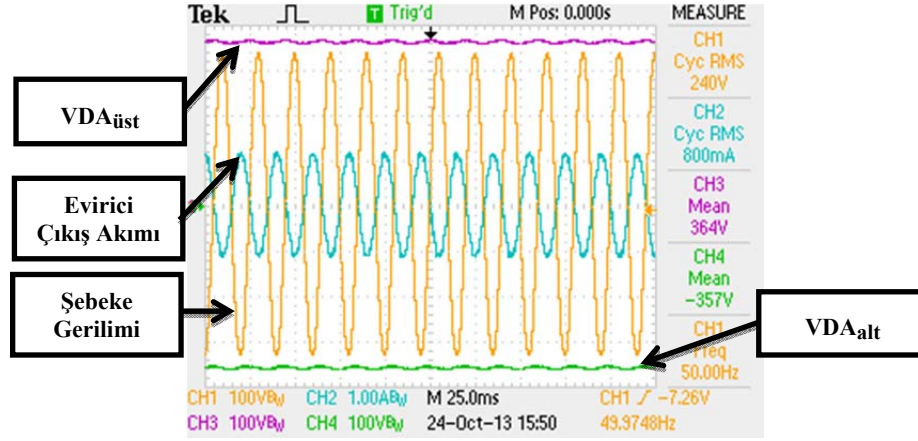
Şekil 4.47 : Evirici çıkış akımı harmonik analizi.

Şebeke geriliminin yükselmesi ve *DA* bara gerilimine yaklaşması da evirici çıkış akımını bozmaktadır. Modülasyon indeksi değeri, yarıiletken, filtre ve bağlantı elemanlarında gerilim düşümleri nedeniyle evirici çıkış gerilimi vektörü tepe değeri, şebeke gerilimi tepe değerine yaklaşılarak çıkış akımının kontrolünü zorlaştırmaktadır. Çıkış akımı daha büyük filtre endüktansı ile ya da *LCL* tipi filtre kullanılarak daha iyi hale getirilebilmektedir. Burada evirici çıkış akımı *THD* değerinin bahsedilen parametrelere bağlı olarak %4,5-13 arasında değiştiği gözlenmiştir. Şekil 4.47 ve Şekil 4.48’de görülen evirici çıkış akımı harmonik analizlerinde akımda bulunan düşük frekanslı harmonik bileşenleri görülmektedir.



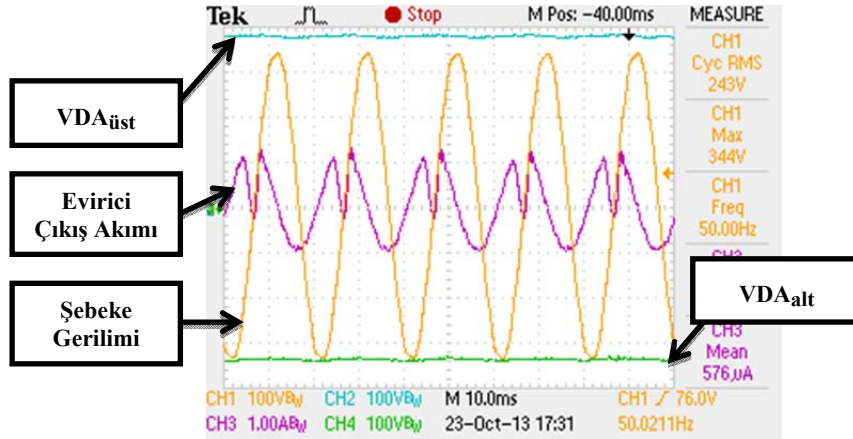
Şekil 4.48 : Evirici çıkış akımı harmonik analizi.

Şekil 4.49’da şebeke gerilimi, evirici çıkış akımı, alt ve üst *DA* bara kondansatörlerine ait gerilimler görülmektedir. Burada ayarlı güç kaynağı kullanılarak giriş gerilimi şebeke gerilimi tepe değerinden büyük olacak şekilde ayarlanmıştır.



Şekil 4.49 : Evirici çıkış akımı ve DA bara gerilimleri.

Giriş kondansatörleri gerilim paylaşımı, DA bara kontrolü algoritmasıyla Şekil 4.49'da görüldüğü üzere başarılı bir şekilde gerçekleştirilmektedir. Kondansatör geriliminde görülen dalgalanma düşük frekanslı olup, şebekeye aktarılan 50Hz'lik güçten kaynaklanmaktadır.



Şekil 4.50 : Senkronizasyonun şebeke sıfır geçiş noktasında başlatılmaması durumu.

Şekil 4.50'de şebeke senkronizasyonunun, şebeke gerilimi sıfır geçiş noktalarına bakılmaksızın herhangi bir anda başlatılması durumunda şebeke gerilimi, evirici çıkış akımı ve giriş kondansatörleri gerilimi değişimi görülmektedir. Sistemin benzetim aşamasında senkronizasyon herhangi bir anda başlatıldığında, PI kontrolör kararlı davranmakta ve evirici çıkış akımı kısa süreli bir geçici hal sonrasında şebeke gerilimi ile senkron olmaktadır. Ancak pratik çalışmalarda senkronizasyonun rastgele bir anda başlatılması durumunda akım dalga şekli Şekil 4.50'de görüldüğü gibi sinüzoidal formdan uzak bir hal almakta ve sistem bir süre sonra kararsız olmaktadır. Giriş kondansatörleri gerilim dağılımı bozularak, çıkış akımı sürekli artma eğilimine girmekte ve sistem aşırı akım koruma durumuna geçmektedir. Bu sorun kontrol

algoritması bölümünde anlatıldığı üzere senkronizasyon işleminin şebeke sıfır geçiş noktalarında başlatılması ile çözülmüştür. Şebeke gerilimi sıfır noktasından geçerken, evirici çıkış gerilimi sıfır yapıldıktan sonra senkronizasyon işlemi başlatılarak evirici çıkış akımının yumuşak bir şekilde başlatılması sağlanmış ve kontrolörün kararsız olması önlenmiştir.

5. SONUÇ VE ÖNERİLER

Bu çalışmada yenilenebilir enerji sistemlerinde kullanılmak üzere üç fazlı üç seviyeli diyot kenetlemeli evirici topolojisi kullanılarak değişken genlikli *DA* bara geriliminden, sabit genlik ve frekanslı şebekeye güç aktarımı yapılmıştır. Birinci bölümde şebeke bağlantılı temel yenilenebilir enerji sisteminin yapısı incelenerek evirici ile yenilenebilir enerji sisteminin ilişkisi açıklanmıştır. İkinci bölümde popüler çok seviyeli evirici topolojileri incelenerek, yenilenebilir enerji sistemlerinde avantaj sağlayacak, uygulanabilir bir çok seviyeli evirici topolojisi seçilmiştir. Seçilen diyot kenetlemeli çok seviyeli evirici topolojisi ile özellikle güç kalitesi ve verim artışının sağlanması amaçlanmıştır. Ayrıca yüksek giriş gerilimlerinde daha düşük yarıiletken zorlanmasına sahip olması ve piyasada bu topolojiye yönelik üretilen hazır güç modülleri bulunması ile sistemin pratikte uygulanabilir olması hedeflenmiştir. Kullanılan kontrol algoritması ile evirici fazları birbirinden bağımsız kontrol edilerek, sistemin esnek bir şekilde farklı koşullarda çalıştırılabilmesi mümkün kılınmıştır. Fazlara farklı seviyelerde güç aktarılabilmesi, fazların kesilmesi gibi durumlarda sadece bir ya da iki faza senkron olarak çalışabilme, farklı fazlarda istenilen güç faktörünün elde edilebilmesi gibi özellikler bu bağımsız kontrol ile sağlanmıştır. Deneysel çalışmalarda akım referansı şebeke gerilimi ile 90° faz farkı olacak şekilde üretilerek, şebekeye reaktif güç aktarılabilirdiği görülmüştür. Bunun haricinde evirici şebekeye güç faktörü 1 olacak şekilde güç aktarımı yapmaktadır.

SDGM yöntemi *UVDGM* yöntemine göre *DA* baradan daha düşük oranda yararlanmaktadır. Bu nedenle sistem *DA* baradan daha iyi yararlanacak şekilde geliştirilebilir. Üçüncü bölümde bahsedilen üç seviyeli *SDGM* algoritmasında bir adet referans sinüs kullanılmaktadır. Bu referans sinüs işaretine 150Hz frekansında 3. harmonik ilave edilip, harmoniğin genliği uygun bir şekilde kontrol edilerek *UVDGM* ile aynı *DA* bara yararlanma oranı elde edilebilir. Bu şekilde harmonik optimizasyonu ile aynı *DA* bara geriliminden daha yüksek çıkış gerilimi etkin değeri elde edilebilecektir.

Üçüncü bölümde adalanma konusunda açıklandığı üzere, sistemde pasif adalanma önleyici yöntemi kullanılmaktadır. Bu nedenle sistem nispeten geniş bir algılanamayan adalanma bölgesine sahiptir. İleriki çalışmalarda sistemde aktif adalanma algılama yöntemleri kullanılarak bu bölgenin daraltılması mümkündür.

Dördüncü bölümde sistemin düşük güçlü bir prototipi üretilmiştir. Deneysel çalışmalarda sistemin iyi performans verdiği görülmüştür. Evirici çıkışında *LC* filtre kullanılarak sistemin şebeke bağlantısız çalışması incelenmiştir. Bu testlerde eviricinin motor sürüş ve kesintisiz güç kaynağı gibi şebeke bağlantısız uygulamalarda da iyi performans vereceği anlaşılmıştır. Açık çevrim çalışmada, kullanılan çıkış filtresi ile çıkış gerilimi *THD* değerinin %1-2 seviyelerine kadar düşürülebildiği görülmüştür. Ayrıca çıkış filtresi de dahil olmak üzere eviricinin toplam verimi %93-97 olarak ölçülmüştür.

Topolojinin kullanılacağı uygulamaya bağlı olarak evirici seviye sayısının doğru olarak seçilmesi önemlidir. Bu topolojide bir anda bir faz bacağında sadece iki adet anahtar yüksek frekansla anahtarlандığı için sistem anahtarlama kaybı açısından iyi performans vermektedir. Ayrıca farklı çıkış gerilimi seviyeleri süresince bu seviyeleri kontrol eden anahtarlar yüksek frekansla anahtarlanmakta, böylece anahtarlama kaybı, fazdaki tüm anahtarlar arasında paylaştırılmaktadır. Yüksek frekanslı çeviricilerde en baskın kaybın anahtarlama kaybı olduğu düşünüldüğünde bu önemli bir özelliktir. Ancak diyot kenetlemeli çok seviyeli eviricide, seviye sayısı arttıkça iletim kaybı önem kazanmaktadır. Evirici çıkış gerilimi en yüksek seviyede iken evirici çıkış akımı, anahtarların yarısından akmaktadır. Bu nedenle evirici seviye sayısı belirlenirken iletim kayıpları da gözönünde bulundurulmalıdır. İletim kayıpları açısından bakıldığında evirici seviye sayısının artışı yüksek giriş gerilimlerinde sistemi pozitif olarak etkilerken, yüksek akım açısından bakıldığında sistemi negatif olarak etkilemektedir.

Şebeke bağlantılı deneysel çalışmalarda, eviricinin şebekeye düzgün bir şekilde senkron olarak %97-99 güç faktörü ile şebekeye güç aktarabildiği ölçülmüştür. Güç faktörünün ve sistem cevabının daha iyi hale getirilebilmesi için *PI* akım kontrolörü yerine farklı tip kontrolörler kullanılabilir.

Sisteme güç kalitesi açısından bakıldığında evirici çıkış akımı *THD* değerinin tasarlanan prototip sistemde %4-12 aralığında olduğu görülmektedir. Şebeke gerilimi

genliği, DA bara gerilimi, çıkış filtresi, anahtarlama frekansı, evirici seviye sayısı ve kontrol yöntemi akım THD değerini belirleyen unsurlardandır. Evirici çıkış akımı arttıkça akımın THD değeri düşmektedir. Evirici çıkışında LCL ya da başka tür filtre yapıları kullanılarak, daha düzgün çıkış akımı elde edilebilir.

Özellikle çok seviyeli evirici yapısı gözönüne alındığında, topolojinin yüksek güçlerde kullanımının cazip olduğu görülmektedir. Kullanılan anahtar sayısı, sürme devreleri gibi elemanlar sistemin maliyetini artıran başlıca parametrelerdir. Dolayısıyla topolojinin pratik uygulamalarında, tasarlanan laboratuvar prototipindeki gibi birkaç kW 'lık güç seviyelerinde kullanımı maliyet açısından cazip görülmemektedir. Ancak yüksek güçlerde sağladığı güç kalitesi ve düşük anahtar zorlanması avantajlarıyla diyot kenetlemeli çok seviyeli evirici yapısının yüksek güçlerde uygulanması cazip hale gelmektedir. Ayrıca yüksek güçlerde kullanılan $IGBT$, GTO vb. gibi elemanların daha düşük frekansta anahtarlama yapabilmesi sebebiyle sistemdeki filtrelerin büyümesi, evirici çıkış seviyelerinin artırılması ile telafi edilebilmektedir.

Çok seviyeli eviricilerin önemli dezavantajlarından biri olan DA bara gerilimi dengesizliği, kondansatör gerilimlerinin kapalı çevrim kontrolü ile giderilmeye çalışılmıştır. Kondansatör gerilimleri farkı PI kontrolör ile azaltılarak, giriş geriliminin kondansatörlerde eşit olarak paylaştırılması sağlanmıştır. Deneysel çalışmalarda kontrolörün doğru çalıştığı ve kondansatör gerilimlerinin birbirine çok yakın olduğu görülmektedir. Evirici seviye sayısı arttıkça girişteki gerilim bölücü kondansatör sayısı da artacağı için, pozitif ve negatif alternans seviyelerine ait kondansatörlerin kendi içinde gerilim paylaşımı sağlayan ek bir kontrol yaklaşımı kullanılması gerekebilir.

Tasarlanan sistemde kullanılan üç seviyeli $SDGM$ yöntemi, n seviyeli diyot kenetlemeli eviriciye dönüştürülebilecek formdadır. Böylece bu çalışma ile elde edilen kaynak kodu, yeterli sayıda DGM çıkışı barındıran bir işlemci kullanılarak farklı seviye sayısına eviricilerin kontrolü için de kullanılabilecektir.

KAYNAKLAR

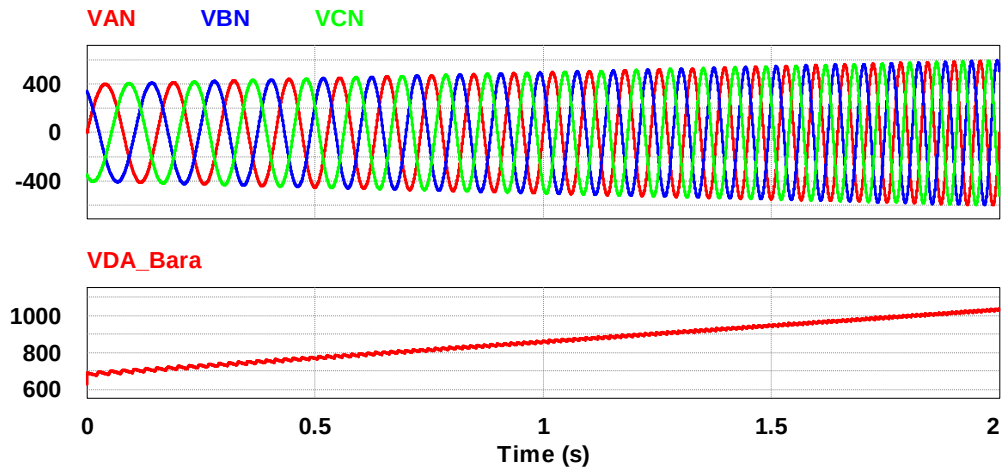
- Ahmed, K. H., Finney S. J. ve Williams, B.W.** (2007). Passive Filter Design for Three-Phase Inverter Interfacing in Distributed Generation, *Electrical Power Quality and Utilization, Journal* Vol. XIII, No. 2, doi:10.1109/CPE.2007.4296511.
- Bormann, F.** (2010). Digital Signal Controller TMS320F28335 Texas Instruments Implementation Tutorial, Incorporated European Customer Training Centre & University of Applied Sciences Zwickau.
- Carter, B.** (2000). Texas Instruments A Single-Supply Op-Amp Circuit Collection, Op-Amp Applications, High Performance Linear Products, Application Report, SLOA058 - November.
- Chattopadhyay, S. K. ve Chakraborty, C.** (2011). Third Harmonic Injected Binary Hybrid Multilevel Inverter for Grid Connected Photovoltaic System, *Industrial Electronics (ISIE)*, 2011 IEEE International Symposium, doi: 10.1109/ISIE.2011.5984207.
- Clayton, R.P.** (1989). Analysis of Linear Circuits, McGraw-Hill International Editions, Electrical Engineering Series.
- Erickson, R. W. ve Maksimovic, D.** (2001). Fundamentals of Power Electronics, 2nd ed., Kluwer Academic Publishers.
- Gong, B., Cheng, S. ve Qin, Y.** (2013). Simple three-level neutral point voltage balance control strategy based on SVPWM, *Archives of Electrical Engineering* VOL. 62(1), pp. 15-23, DOI 10.2478/aee-2013-0002.
- Khajehoddin, S. A., Bakhshai, A., ve Jain, P.** (2007). The Application of the Cascaded Multilevel Converters in Grid Connected Photovoltaic Systems, *IEEE Canada Electrical Power Conference*, 1-4244-1445-8/07/\$25.00 2007 © IEEE, doi: 10.1109/EPC.2007.4520346.
- Kim S-H., Kim Y-H., Seo K-M., Bang S-S. ve Kim K-S.** (2006). Harmonic analysis and output filter design of NPC multi-level inverters, *Power Electronics Specialists Conference, PESC '06. 37th IEEE*, doi:10.1109/PESC.2006.1711867.
- Mancini, R.** (2002). Op Amps For Everyone, Texas Instruments Design Reference, Advanced Analog Products, SLOD006B.
- Mattavelli, P. ve Buso, S.** (2006). Digital Control in Power Electronics, A lecture in the Morgan & Claypool Synthesis Series, Lecture #2, doi:10.2200/S00047ED1V01Y200609PEL002.
- Nandurkar, R. S. ve Rajeev, M.** (2012). Design and Simulation of three phase Inverter for grid connected Photovoltaic systems, *Proceedings of Third Biennial National Conference, NCNTE - 2012*, Feb 24-25.
- Rashid, M. H.** (2001). *Power Electronics Handbook*, Academic Press (A Harcourt Science and Technology Company), Library of Congress Catalog Card Number: 00-2001088199, International Standard Book Number: 0-12-581650-2.

- Rodríguez, J., Lai, J. S., ve Peng, F. Z.** (2002). Multilevel Inverters: A Survey of Topologies, Controls, and Applications, IEEE Transactions On Industrial Electronics, Vol. 49, No. 4. Publisher Item Identifier 10.1109/TIE.2002.801052.
- Sankerram., B.V. ve Dasam, S.** (2012). Modeling of Dc Link Capacitor Voltage Balance in 3-Level Inverter Using Space Vector Modulation Technique, Global Journal of Researches in Engineering, Electrical and Electronics Engineering, Volume 12 Issue 5 Version 1.0 April, Type: Double Blind Peer Reviewed International Research Journal, Online ISSN: 2249-4596, Print ISSN: 0975-5861.
- Selvaraj, J. ve Rahim, N. A.** (2009). Multilevel Inverter For Grid-Connected PV System Employing Digital PI Controller, IEEE Transactions On Industrial Electronics, Vol. 56, No. 1. doi: 10.1109/TIE.2008.928116.
- Shuju, H., Jianlin, L., ve Honghua, X.** (2008). Research on a Kind of Diode-Clamped Cascade Topology in Direct-driven Wind Power System, Electric Utility Deregulation and Restructuring and Power Technologies, Third International Conference, doi: 10.1109/DRPT.2008.4523833.
- Singh, B., Mittal, N., Verma, K. S., Singh, D., Singh, S. P., Dixit, R., Singh, M. ve Baranwal, A.** (2012). Multi-Level Inverter: A Literature Survey On Topologies And Control Strategies, International Journal of Reviews in Computing. Vol. 10. ISSN: 2076-3328, E-ISSN: 2076-3336, doi: 10.1109/ICPCES.2012.6508041.
- Texas Instruments** (2007). TMS320x280x, 2801x, 2804x Enhanced Capture (eCAP) Module Reference Guide, Literature Number: SPRU807B. Retrieved from <http://www.ti.com/product/tms320f2808>.
- Texas Instruments** (2009). TMS320x280x, 2801x, 2804x Enhanced Pulse Width Modulator (ePWM) Module Reference Guide, Literature Number: SPRU791F. Retrieved from <http://www.ti.com/product/tms320f2808>
- Texas Instruments** (2010). TMS320x280x, 2801x, 2804x DSP Analog-to-Digital Converter (ADC) Reference Guide, Literature Number: SPRU716D. Retrieved from <http://www.ti.com/product/tms320f2808>.
- Texas Instruments** (2011). C28x IQmath Library A Virtual Floating Point Engine V1.6.0, Module User's Guide, C28x Foundation Software. Retrieved from <http://www.ti.com/tool/SPRC087>.
- Texas Instruments** (2012). Digital Motor Control Software Library, Target Independent Math Blocks, Texas Instruments, Inc. C2000 Systems and Applications. Retrieved from <http://www.ti.com/tool/SPRC215>.
- Vandoorn, T., Renders, B., Belie, F., Meersman B., ve Vandevelde, L.** (2009). A Voltage-Source Inverter for Microgrid Applications with an Inner Current Control Loop and an Outer Voltage Control Loop, International Conference on Renewable Energies, and Power Quality (ICREPQ09) Valencia.
- Vázquez, N., López, H., Hernández, C., Vázquez, E., Osorio, R., ve Arau, J.** (2010). A Different Multilevel Current-Source Inverter, IEEE Transactions On Industrial Electronics, Vol. 57, No. 8. doi: 10.1109/TIE.2009.2030814.

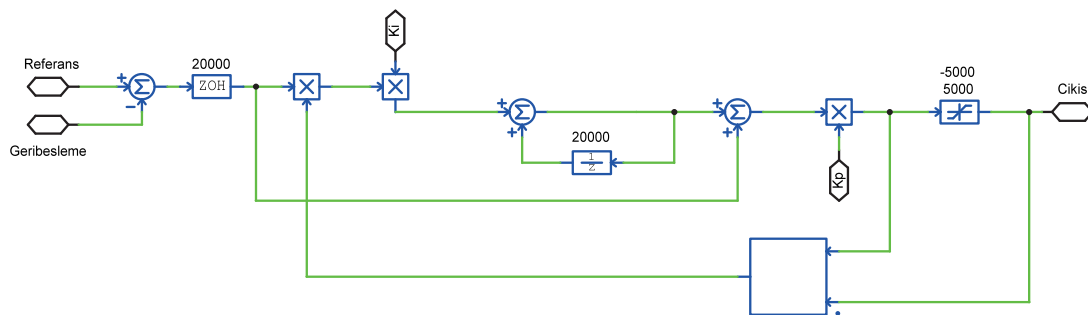
EKLER

- EK A** : Benzetim Görüntüleri.
- EK B** : Osiloskop Görüntüleri.
- EK C** : Komponent Bilgi Sayfaları (*Datasheet*).
- EK D** : Doğrudan Tahrikli Rüzgar Türbini Bilgi Sayfaları.
- EK E** : Şemalar ve Baskı Devreler.
- EK F** : Laboratuvar Düzeneği Fotoğrafları.
- EK G** : Kısa Program Kodları.
- EK H** : DSP Gömülü Yazılımı CD'si.

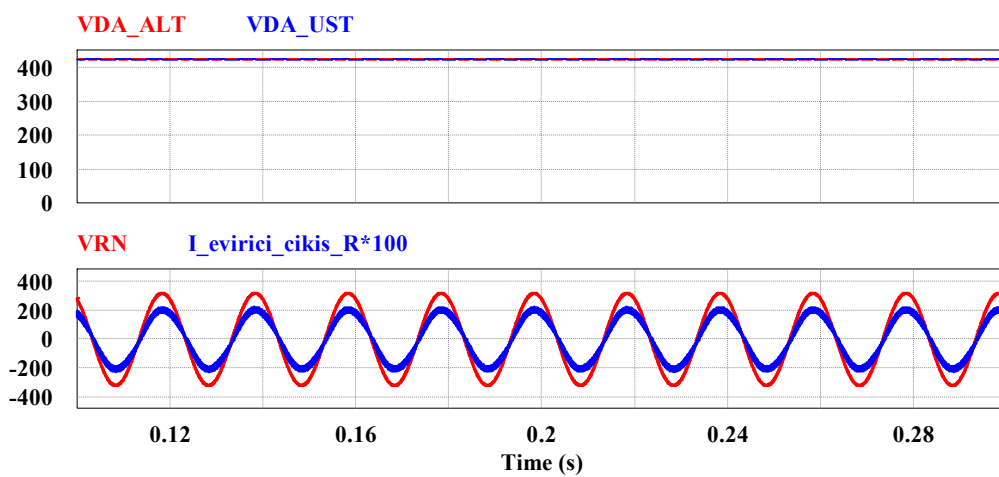
EK A : Benzetim Görüntüleri.



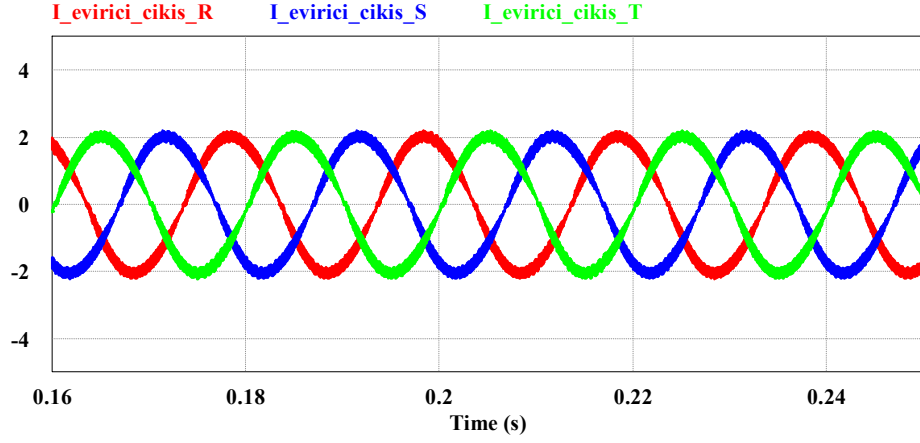
Şekil A.1 : 6 Hz'den 12 Hz'e üç fazlı generatör çıkış gerilimi ve doğrultmuş hali.



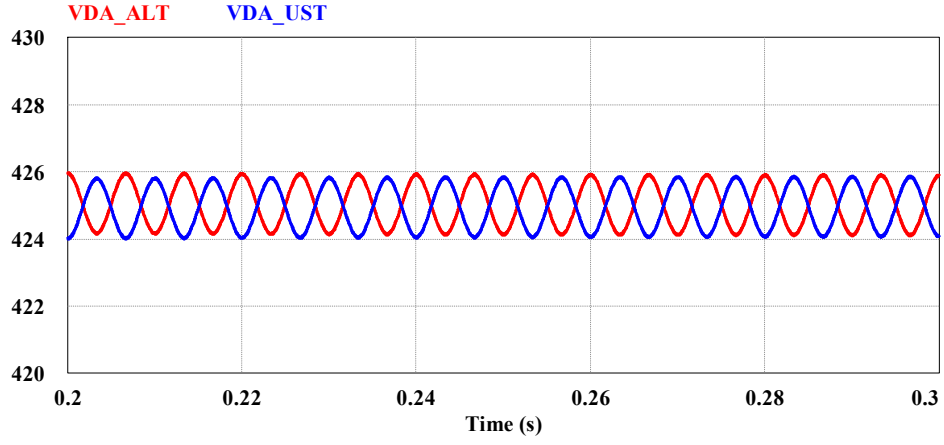
Şekil A.2 : *PSIM* *PI* kontrolör blok diyagramı.



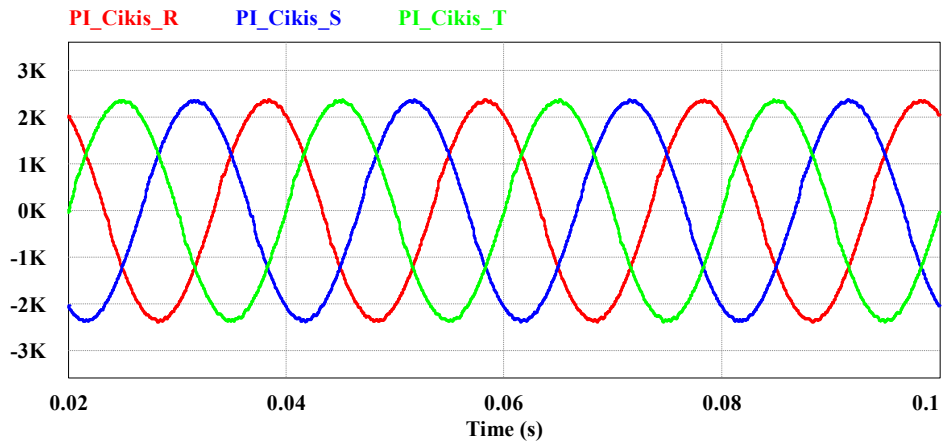
Şekil A.3 : *DA* bara gerilimi 850V iken evirici çıkış akımı ve şebeke gerilimi.



Şekil A.4 : DA bara gerilimi 850V iken üç faz evirici çıkış akımı.

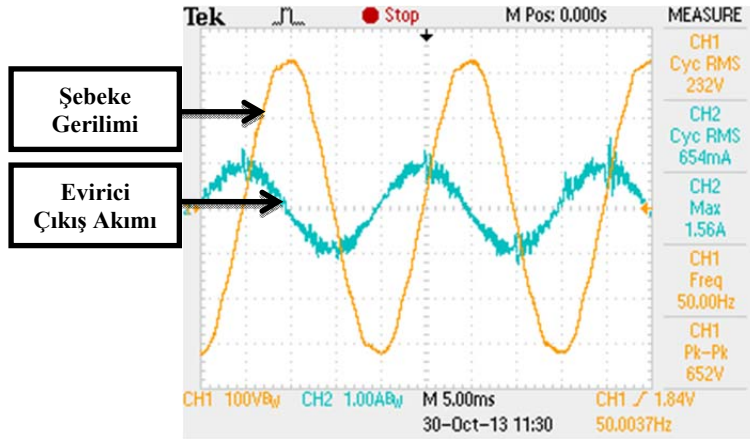


Şekil A.5 : DA bara gerilimi 850V iken bara gerilimi paylaşımı.

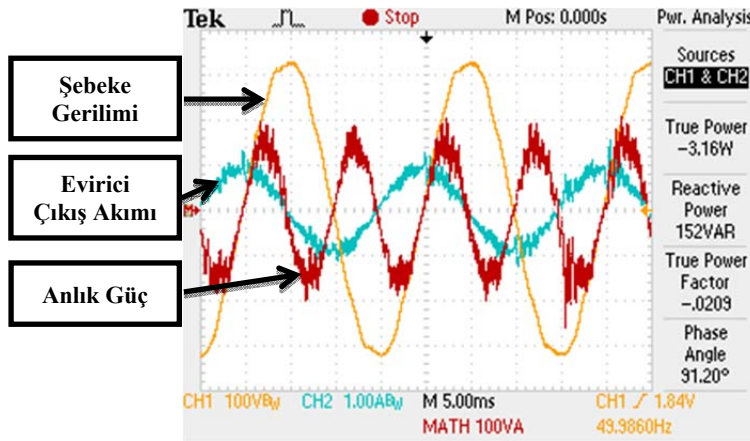


Şekil A.6 : PI akım kontrolörü çıkışı.

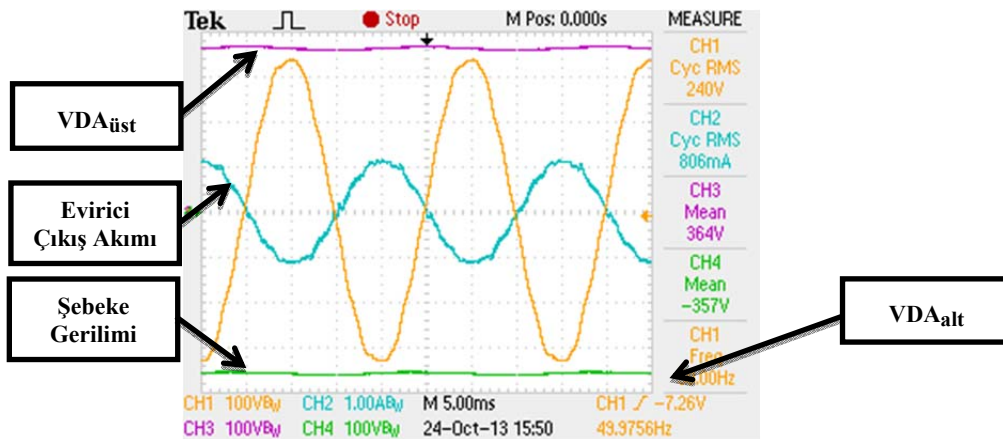
EK B : Osiloskop Görüntüleri.



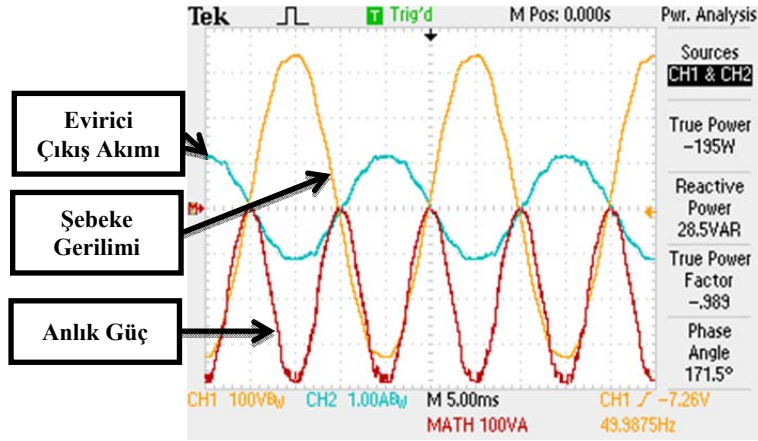
Şekil B.1 : Akım referansı şebeke gerilimi ile 90° faz farklı iken evirici çıkış akımı ve şebeke gerilimi.



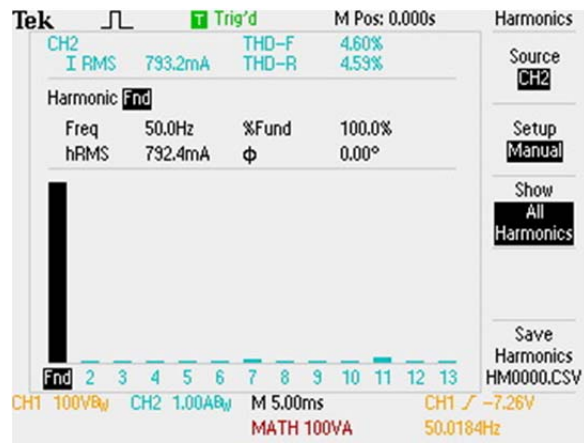
Şekil B.2 : Şebeke bağlantılı evirici reaktif çalışma.



Şekil B.3 : Şebeke bağlantılı evirici çıkış akımı ve DA bara gerilimleri.



Şekil B.4 : Şebeke bağlantılı evirici anlık güç ve güç faktörü.



Şekil B.5 : Şebeke bağlantılı evirici çıkış akımı harmonik analizi.

TMS320F2809, TMS320F2808, TMS320F2806
TMS320F2802, TMS320F2801, TMS320C2802
TMS320C2801, TMS320F28016, TMS320F28015



SPRS230N—OCTOBER 2003—REVISED MAY 2012

www.ti.com

Digital Signal Processors

Check for Samples: [TMS320F2809](#), [TMS320F2808](#), [TMS320F2806](#), [TMS320F2802](#), [TMS320F2801](#), [TMS320C2802](#),
[TMS320C2801](#), [TMS320F28016](#), [TMS320F28015](#)

1 F280x, F2801x, C280x DSPs

1.1 Features

- High-Performance Static CMOS Technology
 - 100 MHz (10-ns Cycle Time)
 - 60 MHz (16.67-ns Cycle Time)
 - Low-Power (1.8-V Core, 3.3-V I/O) Design
- JTAG Boundary Scan Support ⁽¹⁾
- High-Performance 32-Bit CPU (TMS320C28x™)
 - 16 x 16 and 32 x 32 MAC Operations
 - 16 x 16 Dual MAC
 - Harvard Bus Architecture
 - Atomic Operations
 - Fast Interrupt Response and Processing
 - Unified Memory Programming Model
 - Code-Efficient (in C/C++ and Assembly)
- On-Chip Memory
 - F2809: 128K x 16 Flash, 18K x 16 SARAM
 - F2808: 64K x 16 Flash, 18K x 16 SARAM
 - F2806: 32K x 16 Flash, 10K x 16 SARAM
 - F2802: 32K x 16 Flash, 6K x 16 SARAM
 - F2801: 16K x 16 Flash, 6K x 16 SARAM
 - F2801x: 16K x 16 Flash, 6K x 16 SARAM
 - 1K x 16 OTP ROM (Flash Devices Only)
 - C2802: 32K x 16 ROM, 6K x 16 SARAM
 - C2801: 16K x 16 ROM, 6K x 16 SARAM
- Boot ROM (4K x 16)
 - With Software Boot Modes (via SCI, SPI, CAN, I2C, and Parallel I/O)
 - Standard Math Tables
- Clock and System Control
 - Dynamic PLL Ratio Changes Supported
 - On-Chip Oscillator
 - Watchdog Timer Module
- Any GPIO A Pin Can Be Connected to One of the Three External Core Interrupts
- Peripheral Interrupt Expansion (PIE) Block That Supports All 43 Peripheral Interrupts
- Endianness: Little Endian
- 128-Bit Security Key/Lock
 - Protects Flash/OTP/L0/L1 Blocks
 - Prevents Firmware Reverse Engineering
- Three 32-Bit CPU Timers
- Enhanced Control Peripherals
 - Up to 16 PWM Outputs
 - Up to 6 HRPWM Outputs With 150-ps MEP Resolution
 - Up to Four Capture Inputs
 - Up to Two Quadrature Encoder Interfaces
 - Up to Six 32-bit/Six 16-bit Timers
- Serial Port Peripherals
 - Up to 4 SPI Modules
 - Up to 2 SCI (UART) Modules
 - Up to 2 CAN Modules
 - One Inter-Integrated-Circuit (I2C) Bus
- 12-Bit ADC, 16 Channels
 - 2 x 8 Channel Input Multiplexer
 - Two Sample-and-Hold
 - Single/Simultaneous Conversions
 - Fast Conversion Rate:
 - 80 ns - 12.5 MSPS (F2809 only)
 - 160 ns - 6.25 MSPS (280x)
 - 267 ns - 3.75 MSPS (F2801x)
 - Internal or External Reference
- Up to 35 Individually Programmable, Multiplexed GPIO Pins With Input Filtering
- Advanced Emulation Features
 - Analysis and Breakpoint Functions
 - Real-Time Debug via Hardware
- Development Support Includes
 - ANSI C/C++ Compiler/Assembler/Linker
 - Code Composer Studio™ IDE
 - DSP/BIOS™
 - Digital Motor Control and Digital Power Software Libraries
- Low-Power Modes and Power Savings
 - IDLE, STANDBY, HALT Modes Supported
 - Disable Individual Peripheral Clocks

(1) IEEE Standard 1149.1-1990 Standard Test Access Port and Boundary Scan Architecture



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.
TMS320C28x, Code Composer Studio, DSP/BIOS, MicroStar BGA, C28x, TI, TMS320C2000 are trademarks of Texas Instruments.
eZdsp is a trademark of Spectrum Digital.
All other trademarks are the property of their respective owners.

Table 2-1. Hardware Features (100-MHz Devices)

FEATURE		TYPE ⁽¹⁾	F2809	F2808	F2806	F2802	F2801	C2802	C2801
Instruction cycle (at 100 MHz)		–	10 ns	10 ns	10 ns	10 ns	10 ns	10 ns	10 ns
Single-access RAM (SARAM) (16-bit word)		–	18K (L0, L1, M0, M1, H0)	18K (L0, L1, M0, M1, H0)	10K (L0, L1, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)
3.3-V on-chip flash (16-bit word)		–	128K	64K	32K	32K	16K	–	–
On-chip ROM (16-bit word)		–	–	–	–	–	–	32K	16K
Code security for on-chip flash/SARAM/OTP blocks		–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Boot ROM (4K x 16)		–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
One-time programmable (OTP) ROM (16-bit word)		–	1K	1K	1K	1K	1K	–	–
PWM outputs		0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3	ePWM1/2/3	ePWM1/2/3	ePWM1/2/3
HRPWM channels		0	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A	ePWM1A/2A/3A/4A	ePWM1A/2A/3A	ePWM1A/2A/3A	ePWM1A/2A/3A	ePWM1A/2A/3A
32-bit CAPTURE inputs or auxiliary PWM outputs		0	eCAP1/2/3/4	eCAP1/2/3/4	eCAP1/2/3/4	eCAP1/2	eCAP1/2	eCAP1/2	eCAP1/2
32-bit QEP channels (four inputs/channel)		0	eQEP1/2	eQEP1/2	eQEP1/2	eQEP1	eQEP1	eQEP1	eQEP1
Watchdog timer		–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
12-Bit, 16-channel ADC conversion time		1	80 ns	160 ns	160 ns	160 ns	160 ns	160 ns	160 ns
32-Bit CPU timers		–	3	3	3	3	3	3	3
Serial Peripheral Interface (SPI)		0	SPI-A/B/C/D	SPI-A/B/C/D	SPI-A/B/C/D	SPI-A/B	SPI-A/B	SPI-A/B	SPI-A/B
Serial Communications Interface (SCI)		0	SCI-A/B	SCI-A/B	SCI-A/B	SCI-A	SCI-A	SCI-A	SCI-A
Enhanced Controller Area Network (eCAN)		0	eCAN-A/B	eCAN-A/B	eCAN-A	eCAN-A	eCAN-A	eCAN-A	eCAN-A
Inter-Integrated Circuit (I2C)		0	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A
Digital I/O pins (shared)		–	35	35	35	35	35	35	35
External interrupts		–	3	3	3	3	3	3	3
Supply voltage	1.8-V Core, 3.3-V I/O	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Packaging	100-Pin PZ	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	100-Ball GGM, ZGM	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Temperature options	A: –40°C to 85°C	–	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	S: –40°C to 125°C	–	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	Q: –40°C to 125°C	–	(PZ)	(PZ)	(PZ)	(PZ)	(PZ)	(PZ)	(PZ)
Product status ⁽²⁾		–	TMS	TMS	TMS	TMS	TMS	TMS	TMS

(1) A type change represents a major functional feature difference in a peripheral module. Within a peripheral type, there may be minor differences between devices that do not affect the basic functionality of the module. These device-specific differences are listed in the *TMS320x28xx, 28xxx DSP Peripheral Reference Guide* (literature number [SPRU566](#)) and in the peripheral reference guides.

(2) See [Section 5.1](#), Device and Development Support Tool Nomenclature, for descriptions of device stages.

FOD3180

2A Output Current, High Speed MOSFET Gate Driver Optocoupler

Features

- Guaranteed operating temperature range of -40°C to +100°C
- 2A minimum peak output current
- High speed response: 200ns max propagation delay over temperature range
- 250kHz maximum switching speed
- 30ns typ pulse width distortion
- Wide V_{CC} operating range: 10V to 20V
- 5000Vrms, 1 minute isolation
- Under voltage lockout protection (UVLO) with hysteresis
- Minimum creepage distance of 7.0mm
- Minimum clearance distance of 7.0mm
- C-UL, UL and VDE* approved
- $R_{DS(ON)}$ of 1.5Ω (typ.) offers lower power dissipation
- 15kV/μs minimum common mode rejection

Applications

- Plasma Display Panel
- High performance DC/DC convertor
- High performance switch mode power supply
- High performance uninterruptible power supply
- Isolated Power MOSFET gate drive

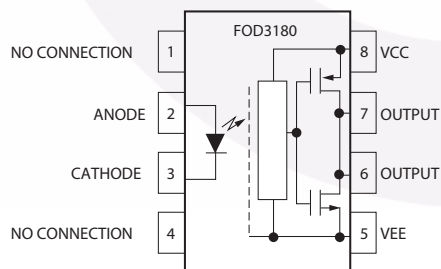
*Requires 'V' ordering option

Description

The FOD3180 is a 2A Output Current, High Speed MOSFET Gate Drive Optocoupler. It consists of a aluminium gallium arsenide (AlGaAs) light emitting diode optically coupled to a CMOS detector with PMOS and NMOS output power transistors integrated circuit power stage. It is ideally suited for high frequency driving of power MOSFETs used in Plasma Display Panels (PDPs), motor control inverter applications and high performance DC/DC converters.

The device is packaged in an 8-pin dual in-line housing compatible with 260°C reflow processes for lead free solder compliance.

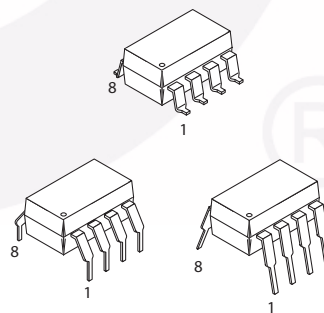
Functional Block Diagram



Note:

A 0.1μF bypass capacitor must be connected between pins 5 and 8.

Package Outlines



Absolute Maximum Ratings ($T_A = 25^\circ\text{C}$ unless otherwise specified)

Stresses exceeding the absolute maximum ratings may damage the device. The device may not function or be operable above the recommended operating conditions and stressing the parts to these levels is not recommended. In addition, extended exposure to stresses above the recommended operating conditions may affect device reliability. The absolute maximum ratings are stress ratings only.

Symbol	Parameter	Value	Units
T_{STG}	Storage Temperature	-40 to +125	$^\circ\text{C}$
T_{OPR}	Operating Temperature	-40 to +100	$^\circ\text{C}$
T_J	Junction Temperature	-40 to +125	$^\circ\text{C}$
T_{SOL}	Lead Solder Temperature	260 for 10 sec.	$^\circ\text{C}$
$I_{F(AVG)}$	Average Input Current ⁽¹⁾	25	mA
$I_{F(tr,tf)}$	LED Current Minimum Rate of Rise/Fall	250	ns
$I_{F(TRAN)}$	Peak Transient Input Current (<1 μs pulse width, 300pps)	1.0	A
V_R	Reverse Input Voltage	5	V
$I_{OH(PEAK)}$	"High" Peak Output Current ⁽²⁾	2.5	A
$I_{OL(PEAK)}$	"Low" Peak Output Current ⁽²⁾	2.5	A
$V_{CC} - V_{EE}$	Supply Voltage	-0.5 to 25	V
$V_{O(PEAK)}$	Output Voltage	0 to V_{CC}	V
P_O	Output Power Dissipation ⁽⁴⁾	250	mW
P_D	Total Power Dissipation ⁽⁵⁾	295	mW

Recommended Operating Conditions

The Recommended Operating Conditions table defines the conditions for actual device operation. Recommended operating conditions are specified to ensure optimal performance to the datasheet specifications. Fairchild does not recommend exceeding them or designing to absolute maximum ratings.

Symbol	Parameter	Value	Units
$V_{CC} - V_{EE}$	Power Supply	10 to 20	V
$I_{F(ON)}$	Input Current (ON)	10 to 16	mA
$V_{F(OFF)}$	Input Voltage (OFF)	-3.0 to 0.8	V

Typical Performance Curves

Fig. 1 Input Forward Current vs. Forward Voltage

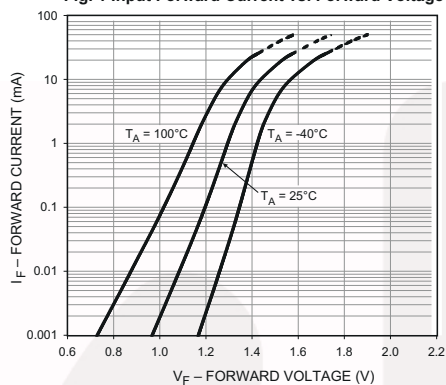


Fig. 2 Low To High Input Current Threshold vs. Ambient Temperature

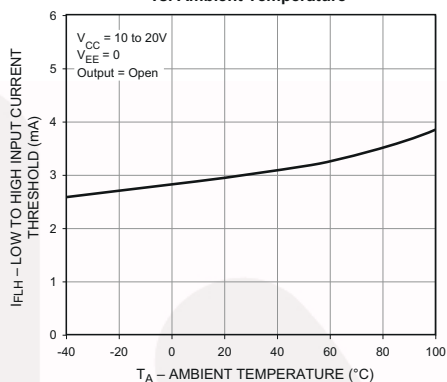


Fig. 3 Output Low Voltage vs. Ambient Temperature

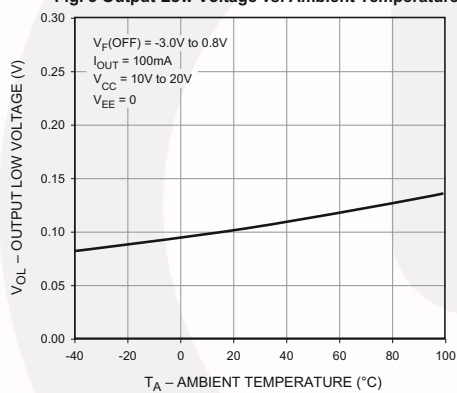


Fig. 4 High Output Voltage Drop vs. Ambient Temperature

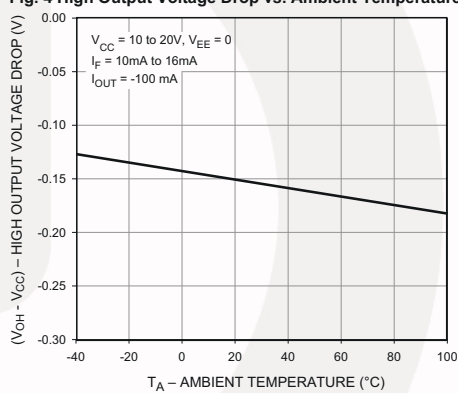


Fig. 5 Supply Current vs. Ambient Temperature

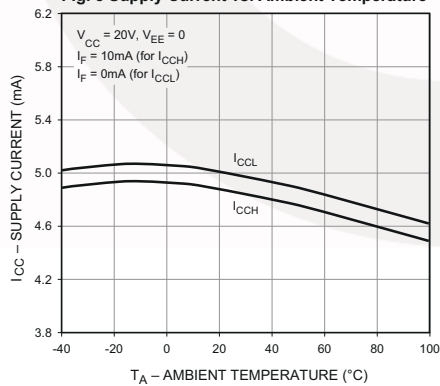
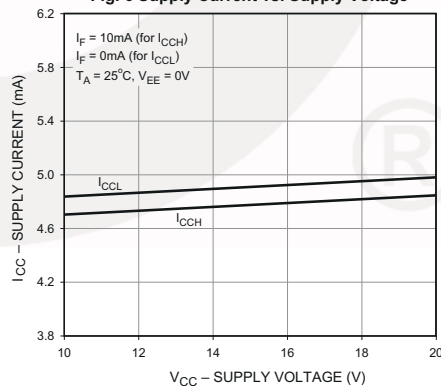


Fig. 6 Supply Current vs. Supply Voltage



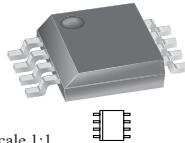
Fully Integrated, Hall Effect-Based Linear Current Sensor IC with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor

Features and Benefits

- Low-noise analog signal path
- Device bandwidth is set via the new FILTER pin
- 5 μ s output rise time in response to step input current
- 80 kHz bandwidth
- Total output error 1.5% at $T_A = 25^\circ\text{C}$
- Small footprint, low-profile SOIC8 package
- 1.2 m Ω internal conductor resistance
- 2.1 kVRMS minimum isolation voltage from pins 1-4 to pins 5-8
- 5.0 V, single supply operation
- 66 to 185 mV/A output sensitivity
- Output voltage proportional to AC or DC currents
- Factory-trimmed for accuracy
- Extremely stable output offset voltage
- Nearly zero magnetic hysteresis
- Ratiometric output from supply voltage



Package: 8 Lead SOIC (suffix LC)



Approximate Scale 1:1

Description

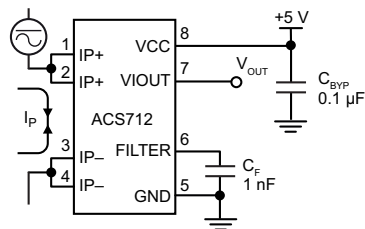
The Allegro® ACS712 provides economical and precise solutions for AC or DC current sensing in industrial, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, switch-mode power supplies, and overcurrent fault protection. The device is not intended for automotive applications.

The device consists of a precise, low-offset, linear Hall circuit with a copper conduction path located near the surface of the die. Applied current flowing through this copper conduction path generates a magnetic field which the Hall IC converts into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy after packaging.

The output of the device has a positive slope ($>V_{IOUT(Q)}$) when an increasing current flows through the primary copper conduction path (from pins 1 and 2, to pins 3 and 4), which is the path used for current sampling. The internal resistance of this conductive path is 1.2 m Ω typical, providing low power loss. The thickness of the copper conductor allows survival of

Continued on the next page...

Typical Application

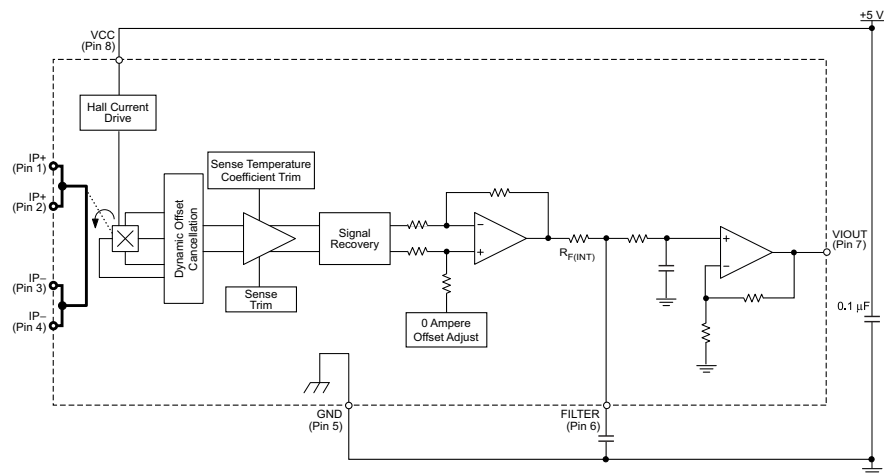


Application 1. The ACS712 outputs an analog signal, V_{OUT} , that varies linearly with the uni- or bi-directional AC or DC primary sampled current, I_P , within the range specified. C_F is recommended for noise management, with values that depend on the application.

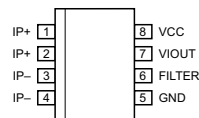
ACS712

Fully Integrated, Hall Effect-Based Linear Current Sensor IC
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor

Functional Block Diagram



Pin-out Diagram



Terminal List Table

Number	Name	Description
1 and 2	IP+	Terminals for current being sampled; fused internally
3 and 4	IP-	Terminals for current being sampled; fused internally
5	GND	Signal ground terminal
6	FILTER	Terminal for external capacitor that sets bandwidth
7	VIOU	Analog output signal
8	VCC	Device power supply terminal

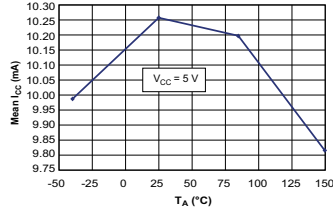


Allegro MicroSystems, Inc.
115 Northeast Cutoff
Worcester, Massachusetts 01615-0036 U.S.A.
1.508.853.5000; www.allegromicro.com

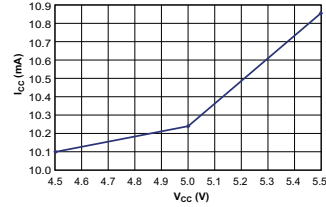
Characteristic Performance

$I_P = 5$ A, unless otherwise specified

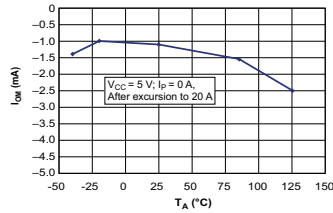
Mean Supply Current versus Ambient Temperature



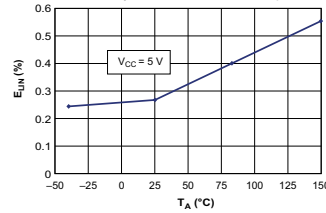
Supply Current versus Supply Voltage



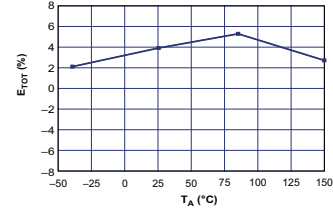
Magnetic Offset versus Ambient Temperature



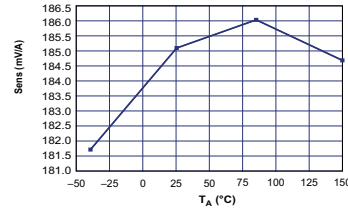
Nonlinearity versus Ambient Temperature



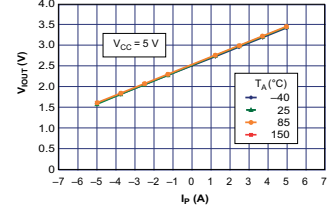
Mean Total Output Error versus Ambient Temperature



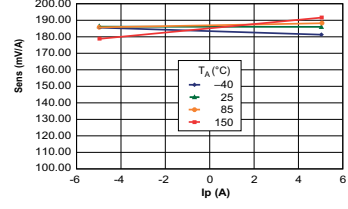
Sensitivity versus Ambient Temperature



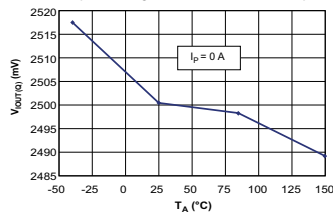
Output Voltage versus Sensed Current



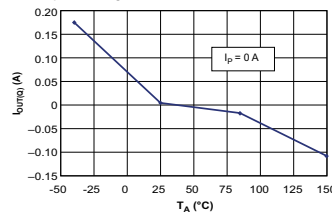
Sensitivity versus Sensed Current



0 A Output Voltage versus Ambient Temperature



0 A Output Voltage Current versus Ambient Temperature



Allegro MicroSystems, Inc.
115 Northeast Cutoff
Worcester, Massachusetts 01615-0036 U.S.A.
1.508.853.5000; www.allegromicro.com

Rail-to-Rail Input/Output, 10 MHz Op Amps

Features

- Rail-to-Rail Input/Output
- Wide Bandwidth: 10 MHz (typical)
- Low Noise: 8.7 nV/√Hz, at 10 kHz (typical)
- Low Offset Voltage:
 - Industrial Temperature: ±500 μV (maximum)
 - Extended Temperature: ±250 μV (maximum)
- Mid-Supply V_{REF}: MCP6021 and MCP6023
- Low Supply Current: 1 mA (typical)
- Total Harmonic Distortion:
 - 0.00053% (typical, G = 1 V/V)
- Unity Gain Stable
- Power Supply Range: 2.5V to 5.5V
- Temperature Range:
 - Industrial: -40°C to +85°C
 - Extended: -40°C to +125°C

Applications

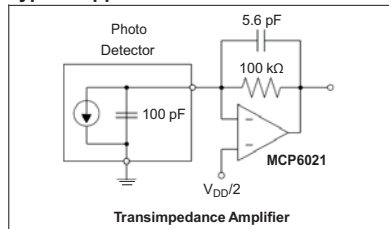
- Automotive
- Multi-Pole Active Filters
- Audio Processing
- DAC Buffer
- Test Equipment
- Medical Instrumentation

Design Aids

- SPICE Macro Models
- FilterLab® Software
- Mindi™ Circuit Designer & Simulator
- Microchip Advanced Part Selector (MAPS)
- Analog Demonstration and Evaluation Boards

- Application Notes

Typical Application



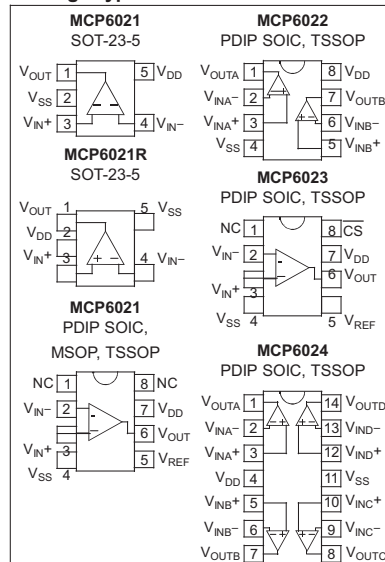
Description

The MCP6021, MCP6021R, MCP6022, MCP6023 and MCP6024 from Microchip Technology Inc. are rail-to-rail input and output op amps with high performance. Key specifications include: wide bandwidth (10 MHz), low noise (8.7 nV/√Hz), low input offset voltage and low distortion (0.00053% THD+N). The MCP6023 also offers a Chip Select pin (CS) that gives power savings when the part is not in use.

The single MCP6021 and MCP6021R are available in SOT-23-5. The single MCP6021, single MCP6023 and dual MCP6022 are available in 8-lead PDIP, SOIC and TSSOP. The Extended Temperature single MCP6021 is available in 8-lead MSOP. The quad MCP6024 is offered in 14-lead PDIP, SOIC and TSSOP packages.

The MCP6021/1R/2/3/4 family is available in Industrial and Extended temperature ranges. It has a power supply range of 2.5V to 5.5V.

Package Types



TNY274-280 TinySwitch-III Family



Energy-Efficient, Off-Line Switcher With
Enhanced Flexibility and Extended Power Range

Product Highlights

- Lowest System Cost with Enhanced Flexibility
 - Simple ON/OFF control, no loop compensation needed
 - Selectable current limit through BP/M capacitor value
 - Higher current limit extends peak power or, in open frame applications, maximum continuous power
 - Lower current limit improves efficiency in enclosed adapters/chargers
 - Allows optimum TinySwitch-III choice by swapping devices with no other circuit redesign
- Tight I_Pf parameter tolerance reduces system cost
 - Maximizes MOSFET and magnetics power delivery
 - Minimizes max overload power, reducing cost of transformer, primary clamp & secondary components
- ON-time extension – extends low line regulation range/hold-up time to reduce input bulk capacitance
- Self-biased: no bias winding or bias components
- Frequency jittering reduces EMI filter costs
- Pin-out simplifies heatsinking to the PCB
- SOURCE pins are electrically quiet for low EMI

Enhanced Safety and Reliability Features

- Accurate hysteretic thermal shutdown protection with automatic recovery eliminates need for manual reset
- Improved auto-restart delivers <3% of maximum power in short circuit and open loop fault conditions
- Output overvoltage shutdown with optional Zener
- Line undervoltage detect threshold set using a single optional resistor
- Very low component count enhances reliability and enables single-sided printed circuit board layout
- High bandwidth provides fast turn on with no overshoot and excellent transient load response
- Extended creepage between DRAIN and all other pins improves field reliability

EcoSmart – Extremely Energy Efficient

- Easily meets all global energy efficiency regulations
- No-load <150 mW at 265 VAC without bias winding, <50 mW with bias winding
- ON/OFF control provides constant efficiency down to very light loads – ideal for mandatory CEC regulations and 1 W PC standby requirements

Applications

- Chargers/adapters for cell/cordless phones, PDAs, digital cameras, MP3/portable audio, shavers, etc.
- PC Standby and other auxiliary supplies
- DVD/PVR and other low power set top decoders
- Supplies for appliances, industrial systems, metering, etc.

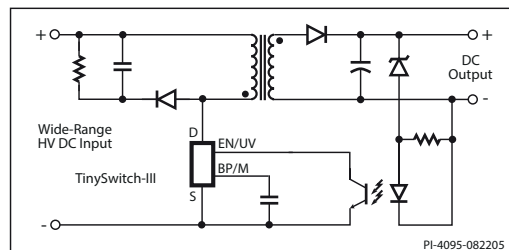


Figure 1. Typical Standby Application.

Output Power Table

Product ³	230 VAC ± 15%		85-265 VAC	
	Adapter ¹	Peak or Open Frame ²	Adapter ¹	Peak or Open Frame ²
TNY274P/G	6 W	11 W	5 W	8.5 W
TNY275P/G	8.5 W	15 W	6 W	11.5 W
TNY276P/G	10 W	19 W	7 W	15 W
TNY277P/G	13 W	23.5 W	8 W	18 W
TNY278P/G	16 W	28 W	10 W	21.5 W
TNY279P/G	18 W	32 W	12 W	25 W
TNY280P/G	20 W	36.5 W	14 W	28.5 W

Table 1. Output Power Table.

Notes:

- Minimum continuous power in a typical non-ventilated enclosed adapter measured at +50 °C ambient. Use of an external heatsink will increase power capability.
- Minimum peak power capability in any design or minimum continuous power in an open frame design (see Key Applications Considerations).
- Packages: P: DIP-8C, G: SMD-8C. See Part Ordering Information.

Description

TinySwitch-III incorporates a 700 V power MOSFET, oscillator, high voltage switched current source, current limit (user selectable) and thermal shutdown circuitry. The IC family uses an ON/OFF control scheme and offers a design flexible solution with a low system cost and extended power capability.

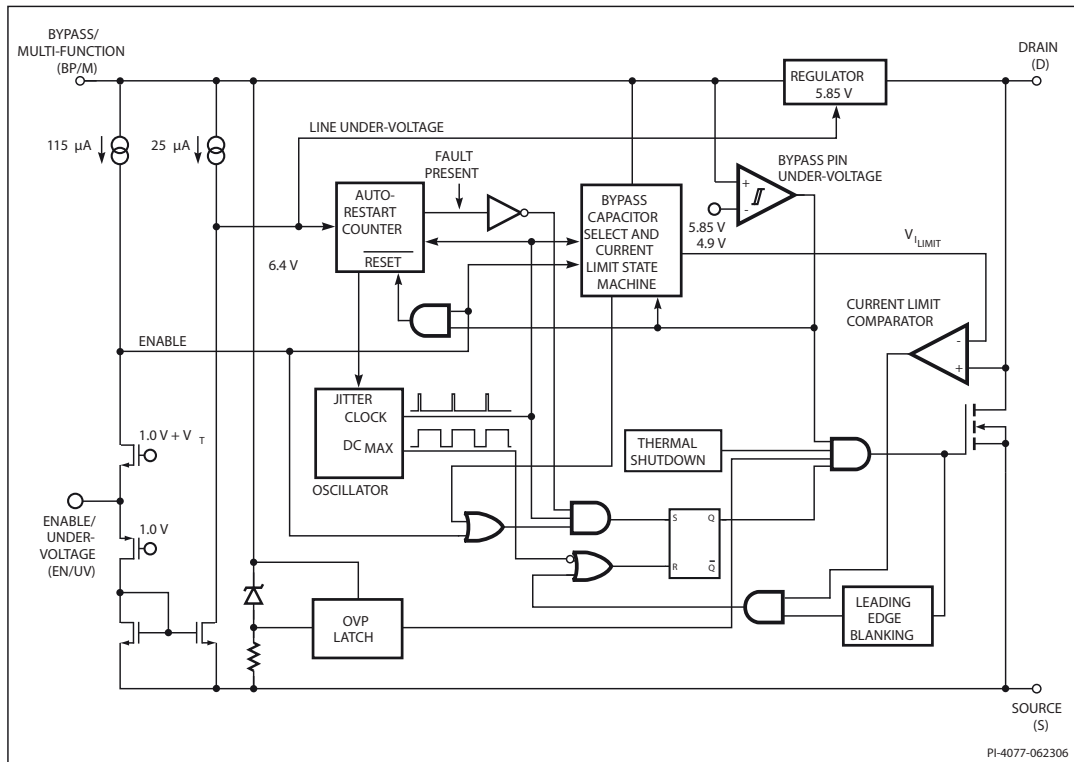


Figure 2. Functional Block Diagram.

Pin Functional Description

DRAIN (D) Pin:

This pin is the power MOSFET drain connection. It provides internal operating current for both startup and steady-state operation.

BYPASS/MULTI-FUNCTION (BP/M) Pin:

This pin has multiple functions:

1. It is the connection point for an external bypass capacitor for the internally generated 5.85 V supply.
2. It is a mode selector for the current limit value, depending on the value of the capacitance added. Use of a 0.1 μF capacitor results in the standard current limit value. Use of a 1 μF capacitor results in the current limit being reduced to that of the next smaller device size. Use of a 10 μF capacitor results in the current limit being increased to that of the next larger device size for TNY275-280.
3. It provides a shutdown function. When the current into the bypass pin exceeds I_{SD} , the device latches off until the BP/M voltage drops below 4.9 V, during a power down. This can be used to provide an output overvoltage function with a Zener connected from the BP/M pin to a bias winding supply.

P Package (DIP-8C) G Package (SMD-8C)

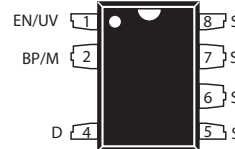


Figure 3. Pin Configuration.

ENABLE/UNDERVOLTAGE (EN/UV) Pin:

This pin has dual functions: enable input and line undervoltage sense. During normal operation, switching of the power MOSFET is controlled by this pin. MOSFET switching is terminated when a current greater than a threshold current is drawn from this pin. Switching resumes when the current being

TNY274-280

Absolute Maximum Ratings ^(1,4)

DRAIN Voltage	-0.3 V to 700 V	Lead Temperature ⁽⁴⁾	260 °C
DRAIN Peak Current: TNY274	400 (750) mA ⁽²⁾	Notes: 1. All voltages referenced to SOURCE, $T_A = 25\text{ °C}$. 2. The higher peak DRAIN current is allowed while the DRAIN voltage is simultaneously less than 400 V. 3. Normally limited by internal circuitry. 4. 1/16 in. from case for 5 seconds. 5. Maximum ratings specified may be applied one at a time, without causing permanent damage to the product. Exposure to Absolute Rating conditions for extended periods of time may affect product reliability.	
TNY275	560 (1050) mA ⁽²⁾		
TNY276	720 (1350) mA ⁽²⁾		
TNY277	880 (1650) mA ⁽²⁾		
TNY278	1040 (1950) mA ⁽²⁾		
TNY279	1200 (2250) mA ⁽²⁾		
TNY280	1360 (2550) mA ⁽²⁾		
EN/UV Voltage	-0.3 V to 9 V		
EN/UV Current	100 mA		
BP/M Voltage	-0.3 V to 9 V		
Storage Temperature	-65 °C to 150 °C		
Operating Junction Temperature ⁽³⁾	-40 °C to 150 °C		

Thermal Impedance

Thermal Impedance: P or G Package:

(θ_{JA})	70 °C/W; 60 °C/W ⁽³⁾
$(\theta_{JC})^{(1)}$	11 °C/W

- Notes:**
1. Measured on the SOURCE pin close to plastic interface.
 2. Soldered to 0.36 sq. in. (232 mm²), 2 oz. (610 g/m²) copper clad.
 3. Soldered to 1 sq. in. (645 mm²), 2 oz. (610 g/m²) copper clad.

Parameter	Symbol	Conditions SOURCE = 0 V; $T_J = -40$ to 125 °C See Figure 16 (Unless Otherwise Specified)	Min	Typ	Max	Units
Control Functions						
Output Frequency in Standard Mode	f_{OSC}	$T_J = 25\text{ °C}$ See Figure 4	Average	124	132	140
			Peak-to-peak Jitter		8	
Maximum Duty Cycle	DC_{MAX}	S1 Open	62	65		%
EN/UV Pin Upper Turnoff Threshold Current	I_{DIS}		-150	-115	-90	μA
EN/UV Pin Voltage	V_{EN}	$I_{EN/UV} = 25\text{ μA}$	1.8	2.2	2.6	V
		$I_{EN/UV} = -25\text{ μA}$	0.8	1.2	1.6	
DRAIN Supply Current	I_{S1}	EN/UV Current > I_{DIS} (MOSFET Not Switching) See Note A		290		μA
	I_{S2}	EN/UV Open (MOSFET Switching at f_{OSC}) See Note B	TNY274	275	360	μA
			TNY275	295	400	
			TNY276	310	430	
			TNY277	365	460	
			TNY278	445	540	
			TNY279	510	640	
			TNY280	630	760	

HiPerFET™ Power MOSFETs

IXFH/IXFM11N80
IXFH/IXFM13N80

N-Channel Enhancement Mode
High dv/dt, Low t_{rr} , HDMOS™ Family

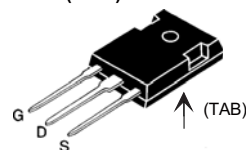
V_{DSS}	I_{D25}	$R_{DS(on)}$
800 V	11 A	0.95 Ω
800 V	13 A	0.80 Ω

$t_{rr} \leq 250$ ns

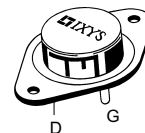


Symbol	Test Conditions	Maximum Ratings	
V_{DSS}	$T_J = 25^\circ\text{C}$ to 150°C	800	V
V_{DGR}	$T_J = 25^\circ\text{C}$ to 150°C ; $R_{GS} = 1$ M Ω	800	V
V_{GS}	Continuous	± 20	V
V_{GSM}	Transient	± 30	V
I_{D25}	$T_C = 25^\circ\text{C}$	11N80 13N80	11 13 A
I_{DM}	$T_C = 25^\circ\text{C}$, pulse width limited by T_{JM}	11N80 13N80	44 52 A
I_{AR}	$T_C = 25^\circ\text{C}$	11N80 13N80	11 13 A
E_{AR}	$T_C = 25^\circ\text{C}$	30	mJ
dv/dt	$I_S \leq I_{DM}$, $di/dt \leq 100$ A/ μs , $V_{DD} \leq V_{DSS}$, $T_J \leq 150^\circ\text{C}$, $R_G = 2$ Ω	5	V/ns
P_D	$T_C = 25^\circ\text{C}$	300	W
T_J		-55 ... +150	$^\circ\text{C}$
T_{JM}		150	$^\circ\text{C}$
T_{stg}		-55 ... +150	$^\circ\text{C}$
T_L	1.6 mm (0.062 in.) from case for 10 s	300	$^\circ\text{C}$
M_d	Mounting torque	1.13/10	Nm/lb.in.
Weight		TO-204 = 18 g, TO-247 = 6 g	

TO-247 AD (IXFH)



TO-204 AA (IXFM)



G = Gate, D = Drain,
S = Source, TAB = Drain

Features

- International standard packages
- Low $R_{DS(on)}$ HDMOS™ process
- Rugged polysilicon gate cell structure
- Unclamped Inductive Switching (UIS) rated
- Low package inductance
 - easy to drive and to protect
- Fast intrinsic Rectifier

Applications

- DC-DC converters
- Synchronous rectification
- Battery chargers
- Switched-mode and resonant-mode power supplies
- DC choppers
- AC motor control
- Temperature and lighting controls
- Low voltage relays

Advantages

- Easy to mount with 1 screw (TO-247) (isolated mounting screw hole)
- Space savings
- High power density

Symbol	Test Conditions	Characteristic Values ($T_J = 25^\circ\text{C}$, unless otherwise specified)		
		min.	typ.	max.
V_{DSS}	$V_{GS} = 0$ V, $I_D = 3$ mA	800		V
$V_{GS(th)}$	$V_{DS} = V_{GS}$, $I_D = 4$ mA	2.0		4.5 V
I_{GSS}	$V_{GS} = \pm 20$ V, $V_{DS} = 0$			± 100 nA
I_{DSS}	$V_{DS} = 0.8 \cdot V_{DSS}$, $T_J = 25^\circ\text{C}$ $V_{GS} = 0$ V, $T_J = 125^\circ\text{C}$			250 μA 1 mA
$R_{DS(on)}$	$V_{GS} = 10$ V, $I_D = 0.5 \cdot I_{D25}$ Pulse test, $t \leq 300$ μs , duty cycle $d \leq 2$ %	11N80 13N80		0.95 Ω 0.80 Ω

IXYS reserves the right to change limits, test conditions, and dimensions.

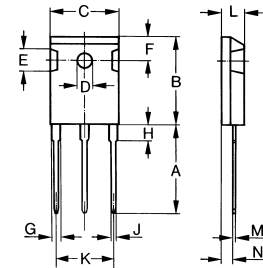
91528F(7/97)

© 2000 IXYS All rights reserved

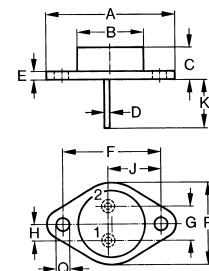
1 - 4

Symbol	Test Conditions	Characteristic Values ($T_J = 25^\circ\text{C}$, unless otherwise specified)		
		min.	typ.	max.
g_{fs}	$V_{DS} = 10\text{ V}; I_D = 0.5 \cdot I_{D25}$, pulse test	8	14	S
C_{iss}	$V_{GS} = 0\text{ V}, V_{DS} = 25\text{ V}, f = 1\text{ MHz}$		4200	pF
C_{oss}			360	pF
C_{rss}			100	pF
$t_{d(on)}$	$V_{GS} = 10\text{ V}, V_{DS} = 0.5 \cdot V_{DSS}, I_D = 0.5 \cdot I_{D25}$ $R_G = 2\ \Omega$ (External)		20	50 ns
t_r			33	50 ns
$t_{d(off)}$			63	100 ns
t_f			32	50 ns
$Q_{g(on)}$	$V_{GS} = 10\text{ V}, V_{DS} = 0.5 \cdot V_{DSS}, I_D = 0.5 \cdot I_{D25}$		128	155 nC
Q_{gs}			30	45 nC
Q_{gd}			55	80 nC
R_{thJC}			0.42	K/W
R_{thCK}			0.25	K/W

Source-Drain Diode		Characteristic Values ($T_J = 25^\circ\text{C}$, unless otherwise specified)		
Symbol	Test Conditions	min.	typ.	max.
I_S	$V_{GS} = 0\text{ V}$	11N80 13N80		11 A 13 A
I_{SM}	Repetitive; pulse width limited by T_{JM}	11N80 13N80		44 A 52 A
V_{SD}	$I_F = I_S, V_{GS} = 0\text{ V}$, Pulse test, $t \leq 300\ \mu\text{s}$, duty cycle $d \leq 2\%$			1.5 V
t_{rr}	$I_F = I_S, V_{GS} = 0\text{ V}$, $-di/dt = 100\text{ A}/\mu\text{s}$, $V_R = 100\text{ V}$	$T_J = 25^\circ\text{C}$		250 ns
		$T_J = 125^\circ\text{C}$		400 ns
Q_{RM}			1	μC
I_{RM}			8.5	A

TO-247 AD (IXFH) Outline


Dim.	Millimeter		Inches	
	Min.	Max.	Min.	Max.
A	19.81	20.32	0.780	0.800
B	20.80	21.46	0.819	0.845
C	15.75	16.26	0.610	0.640
D	3.55	3.65	0.140	0.144
E	4.32	5.49	0.170	0.216
F	5.4	6.2	0.212	0.244
G	1.65	2.13	0.065	0.084
H	-	4.5	-	0.177
J	1.0	1.4	0.040	0.055
K	10.8	11.0	0.426	0.433
L	4.7	5.3	0.185	0.209
M	0.4	0.8	0.016	0.031
N	1.5	2.49	0.087	0.102

TO-204 AA (IXFM) Outline


Dim.	Millimeter		Inches	
	Min.	Max.	Min.	Max.
A	38.61	39.12	1.520	1.540
B	19.43	19.94	-	0.785
C	6.40	9.14	0.252	0.360
D	0.97	1.09	0.038	0.043
E	1.53	2.92	0.060	0.115
F	30.15	BSC	1.187	BSC
G	10.67	11.17	0.420	0.440
H	5.21	5.71	0.205	0.225
J	16.64	17.14	0.655	0.675
K	11.18	12.19	0.440	0.480
Q	3.84	4.19	0.151	0.165
R	25.16	25.90	0.991	1.020

SFA1601G - SFA1608G

16.0 AMPS. Glass Passivated Super Fast Rectifiers
TO-220AC

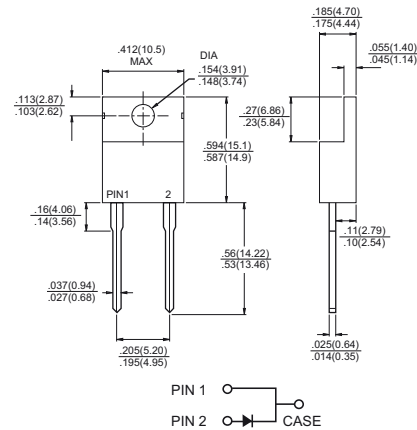


Features

- High efficiency, low VF
- High current capability
- High reliability
- High surge current capability
- Low power loss.
- For use in low voltage, high frequency inverter, free wheeling, and polarity protection application

Mechanical Data

- Cases: TO-220AC Molded plastic
- Epoxy: UL 94V-0 rate flame retardant
- Terminals: Pure tin plated, lead free, solderable per MIL-STD-202, Method 208 guaranteed
- Polarity: As marked
- High temperature soldering guaranteed: 260°C/10 seconds .16", (4.06mm) from case.
- Weight: 2.24 grams



Dimensions in inches and (millimeters)

Maximum Ratings and Electrical Characteristics

Rating at 25 °C ambient temperature unless otherwise specified.

Single phase, half wave, 60 Hz, resistive or inductive load.

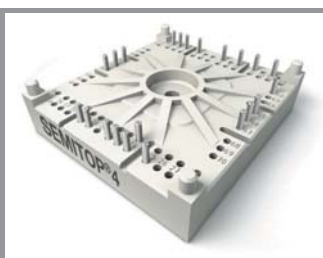
For capacitive load, derate current by 20%

Type Number	Symbol	SFA 1601G	SFA 1602G	SFA 1603G	SFA 1604G	SFA 1605G	SFA 1606G	SFA 1607G	SFA 1608G	Units
Maximum Recurrent Peak Reverse Voltage	V _{RRM}	50	100	150	200	300	400	500	600	V
Maximum RMS Voltage	V _{RMS}	35	70	105	140	210	280	350	420	V
Maximum DC Blocking Voltage	V _{DC}	50	100	150	200	300	400	500	600	V
Maximum Average Forward Rectified Current @T _C = 100 °C	I _(AV)	16.0								A
Peak Forward Surge Current, 8.3 ms Single Half Sine-wave Superimposed on Rated Load (JEDEC method)	I _{FSM}	200								A
Maximum Instantaneous Forward Voltage @ 16.0A	V _F	0.975				1.3		1.7		V
Maximum DC Reverse Current @T _A =25 °C at Rated DC Blocking Voltage @ T _A =100 °C	I _R	10 400								uA uA
Maximum Reverse Recovery Time (Note 1)	T _{rr}	35								nS
Typical Junction Capacitance (Note 2)	C _j	130				100				pF
Typical Thermal Resistance (Note 3)	R _{θJC}	1.0								°C/W
Operating Temperature Range	T _J	-65 to +150								°C
Storage Temperature Range	T _{STG}	-65 to +150								°C

- Notes:
- Reverse Recovery Test Conditions: $I_F = 0.5A$, $I_R = 1.0A$, $I_{RR} = 0.25A$
 - Measured at 1 MHz and Applied Reverse Voltage of 4.0 V D.C.
 - Mounted on Heatsink. Size of 3" x 5" x 0.25" Al-Plate.

Version: A06

SK100MLI066T



SEMIPOT[®] 4

IGBT Module

SK100MLI066T

Preliminary Data

Features

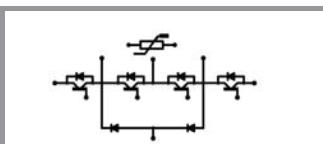
- Compact design
- One screw mounting
- Heat transfer and isolation through direct copper bonded aluminium oxide ceramic (DCB)
- Trench IGBT technology
- CAL technology FWD
- Integrated NTC temperature sensor

Typical Applications*

- Multi level inverter

Remarks

- $V_{isol} = 3000V$ AC, 1s, 50Hz
- Dynamic measure: DUT= IGBT (Gate pin 55) and Neutral Clamp Diode (Kathode pin 56) as free-wheeling diode



MLI-T

Absolute Maximum Ratings				$T_s = 25^\circ C$, unless otherwise specified	
Symbol	Conditions		Values	Units	
IGBT					
V_{CES}	$T_j = 25^\circ C$		600	V	
I_C	$T_j = 175^\circ C$	$T_s = 25^\circ C$	105	A	
		$T_s = 70^\circ C$	80	A	
I_{CRM}	$I_{CRM} = 2 \times I_{Cnom}$		200	A	
V_{GES}			± 20	V	
t_{psc}	$V_{CC} = 360 V$; $V_{GE} \leq 20 V$; $T_j = 125^\circ C$ $V_{CES} < 600 V$		6	μs	
Inverse Diode					
I_F	$T_j = 175^\circ C$	$T_s = 25^\circ C$	110	A	
		$T_s = 70^\circ C$	85	A	
I_{FRM}	$I_{FRM} = 2 \times I_{Fnom}$		200	A	
Freewheeling Diode					
I_F	$T_j = 175^\circ C$	$T_s = 25^\circ C$	110	A	
		$T_s = 70^\circ C$	85	A	
I_{FRM}	$I_{FRM} = 2 \times I_{Fnom}$		200	A	
Module					
$I_{t(RMS)}$				A	
T_{vj}			-40 ... +175	$^\circ C$	
T_{slg}			-40 ... +125	$^\circ C$	
V_{isol}	AC, 1 min.		2500	V	

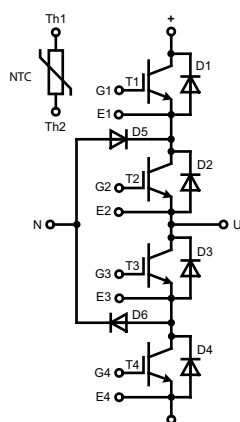
Characteristics				$T_s = 25^\circ C$, unless otherwise specified	
Symbol	Conditions	min.	typ.	max.	Units
IGBT					
$V_{GE(th)}$	$V_{GE} = V_{CE}$, $I_C = 1,6 mA$	5	5,8	6,5	V
I_{CES}	$V_{GE} = 0 V$, $V_{CE} = V_{CES}$			0,0052	$T_j = 25^\circ C$ mA
					$T_j = 125^\circ C$ mA
I_{GES}	$V_{CE} = 0 V$, $V_{GE} = 20 V$			1200	nA
V_{CE0}				0,8	$T_j = 25^\circ C$ V
					$T_j = 150^\circ C$ V
r_{CE}	$V_{GE} = 15 V$			6,5	$T_j = 25^\circ C$ m Ω
					$T_j = 150^\circ C$ m Ω
$V_{CE(sat)}$	$I_{Cnom} = 100 A$, $V_{GE} = 15 V$			1,45	$T_j = 25^\circ C_{chiplev.}$ V
					$T_j = 150^\circ C_{chiplev.}$ V
C_{ies}	$V_{CE} = 25$, $V_{GE} = 0 V$	$f = 1 MHz$		6,28	nF
C_{oes}					0,4
C_{res}					0,19
Q_G	$V_{GE} = -7V \dots +15V$			1000	nC
$t_{d(on)}$	$R_{Gon} = 4 \Omega$ $di/dt = 3100 A/\mu s$	$V_{CC} = 300V$ $I_C = 100A$		136	$T_j = 25^\circ C$ ns
t_r					48
t_{on}	$R_{Goff} = 4 \Omega$ $di/dt = 3100 A/\mu s$	$T_j = 150^\circ C$ $V_{GE} = -7/+15V$		2,5	$T_j = 25^\circ C$ mJ
$t_{d(off)}$					457
t_t				50	$T_j = 25^\circ C$ ns
E_{off}					4,2
$R_{th(j-s)}$	per IGBT			0,65	K/W

IGBT Modules Multi Level XPT IGBT Technology

$$\begin{aligned} I_{C80} (T1/T4) &= 82 \text{ A} \\ I_{C80} (T2/T3) &= 110 \text{ A} \\ V_{CES} &= 650 \text{ V} \\ V_{CE(sat) \text{ typ.}} &= 1.5 \text{ V} \end{aligned}$$

Part name (Marking on product)

MIXD80PM650TMI



 pending

Features:

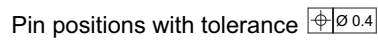
- Easy paralleling due to the positive temperature coefficient of the on-state voltage
- Rugged XPT design (Xtreme light Punch Through) results in:
 - short circuit rated for 10 μ sec.
 - very low gate charge
 - square RBSOA @ 2x I_c
 - low EMI
- Thin wafer technology combined with the XPT design results in a competitive low $V_{CE(sat)}$
- SONIC™ diode
 - fast and soft reverse recovery
 - low operating forward voltage
- Optimized for solar applications
 - T2/T3 re-inforced

Application:

- AC motor control
- AC servo and robot drives
- UPS
- Solar

Package:

- Compatible to EASY2B package
- Pins for pressfit connection
- With DCB base



Ordering	Part Name	Marking on Product	Delivering Mode	Base Qty	Ordering Code
Standard	MIXD80PM650TMI	MIXD80PM650TMI	Box	20	tbd

20130208

5 - 5

EK D : Doğrudan Tahrikli Rüzgar Türbini Bilgi Sayfaları.



Converteam's understanding of the whole power conversion chain, supported by a full range of power converters, enables us to optimize the complete electrical drive train, with a "full system" integrated approach.

Converteam Customized Solutions

Converteam can customize its standard product platforms to design and build any rating of Direct Drive PMG from 1 to 10 MW. Converteam solutions can be rapidly tailored into many different mechanical arrangements, to adapt its solutions for customer turbine requirements.



Converteam Direct Drive PMG Range:			
Features (examples)	DD-3000	DD-6000	DD-8000
Power (MW)	3	6	8
Speed (rpm)	15	12.5	12
Voltage (V)	690 900	690 900 3300	900 3300 6600
Weight (tons)	44 to 55	70 to 80	85 to 95
Diameter (m)	5	5.5	7
Full load efficiency (%)	94 to 95	94 to 95	94 to 95
Thermal class	F or B	F or B	F or B
Insulation class	F	F	F
Cooling	CACW ACA	CACW ACA	CACW ACA



For more information please contact Converteam

Tel: +44 (0)1788 563 563 Fax: +44 (0)1788 560 767 or Email: sales@converteam.com

Worldwide Converteam Rotating Machine Facilities:

Converteam - Rotating
Machines Rugby, UK
Tel: +44 (0) 1788 563563

Converteam - Electric
Machinery Minneapolis, USA
Tel: +1 (612) 378-8000

Converteam - Rotating
Machines Nancy, France
Tel: +33 3 83 38 40 00

Converteam - Rotating
Machines Yantai, China
Tel: +86 21 6442 1666

Worldwide Converteam Facilities:

Headquarters: +33 (0)1 64 53 83 00

Brazil: +55 31 3330-5800

Canada: +1 (905) 333 3667

Germany: +49 30 7622-0

India: +91 124 4220 300

Norway: +47 67 83 82 50

Russia: +7(499) 270 27 11

Singapore: +65 6332 0940

South Korea: +65 6332 0940

United Arab Emirates: +971 2 639 0846

www.converteam.com

© Converteam - 2011. Publication GB71469031101. The Converteam logo and any alternative version thereof are trademarks and service marks of Converteam. The other names mentioned, registered or not, are the property of their respective companies. This information is given as a guideline only and may be changed without prior notice.

GOLDWIND'S PERMANENT MAGNET DIRECT-DRIVE 2.5 MW WIND TURBINE

OUR 2.5MW PMDD TURBINES OFFER:

HIGH POWER GENERATING EFFICIENCY

- Permanent magnet generator (PMG) eliminates the need for electrical field excitation and resulting electrical losses.
- PMG is more efficient at partial load (outputs less than rated capacity) than induction generators.
- Variety of rotor diameters to maximize efficiency in various wind regimes.

COMPACT, LIGHT & EASY TO TRANSPORT

- Goldwind's 2.5MW wind turbine was designed as a smaller and lighter successor per MW to conventional geared 1.5MW machines.
- The marriage of a PMG and Direct-drive technology results in lowest-in-class top-head-mass.
- Crane requirements for the 2.5 MW are the same class as our competitors' 1.5 MW offerings.

SUPERIOR POWER QUALITY AND GRID CODE COMPLIANCE

- Full power converter provides flexibility to meet the most stringent grid requirements.
- Advanced control systems provide curtailment and ramp-rate control.
- The Goldwind 2.5MW wind turbine provides increased reactive power as well as low-voltage and zero-voltage ride through capabilities.

SIGNIFICANTLY REDUCED MAINTENANCE COSTS AND TOTAL OPERATING EXPENDITURES

- The design philosophy of the 2.5MW PMDD wind turbine eliminates the sources of expensive faults that require crane mobilization.
- The absence of slip rings and carbon brushes in the generator eliminates maintenance activity and reduces operating expenditure, faults and downtime.
- Only one moving part in the drive-train compared to an average of 13+ gears and hundreds of total parts in a conventional gearbox. There is also no need in the Goldwind 2.5MW wind turbine drivetrain for high-speed bearings, couplings, and high speed brake parts.
- Only one bearing is required in the drivetrain compared with 20+ in conventional high speed turbine gearboxes. The slow rotational speed of the Goldwind 2.5MW turbine also extends bearing service life.
- Automatic lubricating system on the yaw bearing reduces the frequency of unplanned maintenance.
- Drive belts are used in place of bull and pinion gears in the pitch control system to improve overall performance, eliminate replacement of expensive parts, and effectively eliminate backlash and reduce vibration (fatigue).
- Goldwind's advanced pitch system eliminates localized wear experienced by gear-driven pitch systems.
- Ultra capacitors are used in place of lead acid or gel batteries for energy storage in Goldwind's advanced pitch control system. They provide faster and more efficient charge/discharge capabilities than batteries and are ideal for pitch systems, which requires quick bursts of power.
- Ultra capacitors are smaller and lighter for their power (capacity) than batteries, have a wider operating temperature range provide decreased maintenance interval.
- Robust generator cooling system using air-to-air heat exchangers – no fluids required.

GENERAL TECHNICAL SPECIFICATIONS

GW 2.5MW 90, 100, 106 & 109M WIND TURBINES

PARAMETER		GW 90	GW 100	GW 106	GW 109
Operational Data	Rated power	2.5 MW			
	Cut-in wind speed	approx. 3 m/s			
	Cut-out wind speed	25 m/s		22 m/s	
	Survival wind speed	59.5 m/s	52.5 m/s		
Rotor	Nominal diameter	90 m	100 m	106m	109m
	Swept area	6,362 m ²	7,823 m ²	8,824 m ²	9,399 m ²
	Number of blades	3			
	Type	LM 43.8P	LM 48.8P	Various	LM 53.2 or similar
	Speed range	8.5 - 16 rpm	7.6 - 14.5 rpm	7.2 - 14 rpm	7 - 13.5 rpm
	Speed control	Pitch control			
	Tower	Hub height	80 m	100 m	
Material		Steel tube			
Design		Direct-drive (DD) multi-pole synchronous generator with permanent magnet excitation			
Generator	Rated voltage	Y 690 V			
	Insulation class	F			
Converter	Type	Frequency converter			
Electrical Output	Voltage	Y 620 V			
Yaw System	Design	4 Induction electric motors			
Brake System	Primary brake system	Individual, redundant, blade pitch control system			
	Holding brake	Hydraulic bolt lock			
Control System	Operating mode	Micro-processor controlled with remote monitoring			

*SPECIFICATIONS SUBJECT TO CHANGE



GOLDWINDS 2.5MW PMDD FAMILY

TURBINE	POWER (KW)	HUB HEIGHT (M)	IEC CLASS
GW 90/2500	2500	80m	IIA
GW 100/2500	2500	100m	IIIA
GW 106/2500	2500	100m	IIIA
GW 109/2500	2500	100m	IIIB

TUV NORD CERTIFICATIONS OBTAINED OR IN PROGRESS

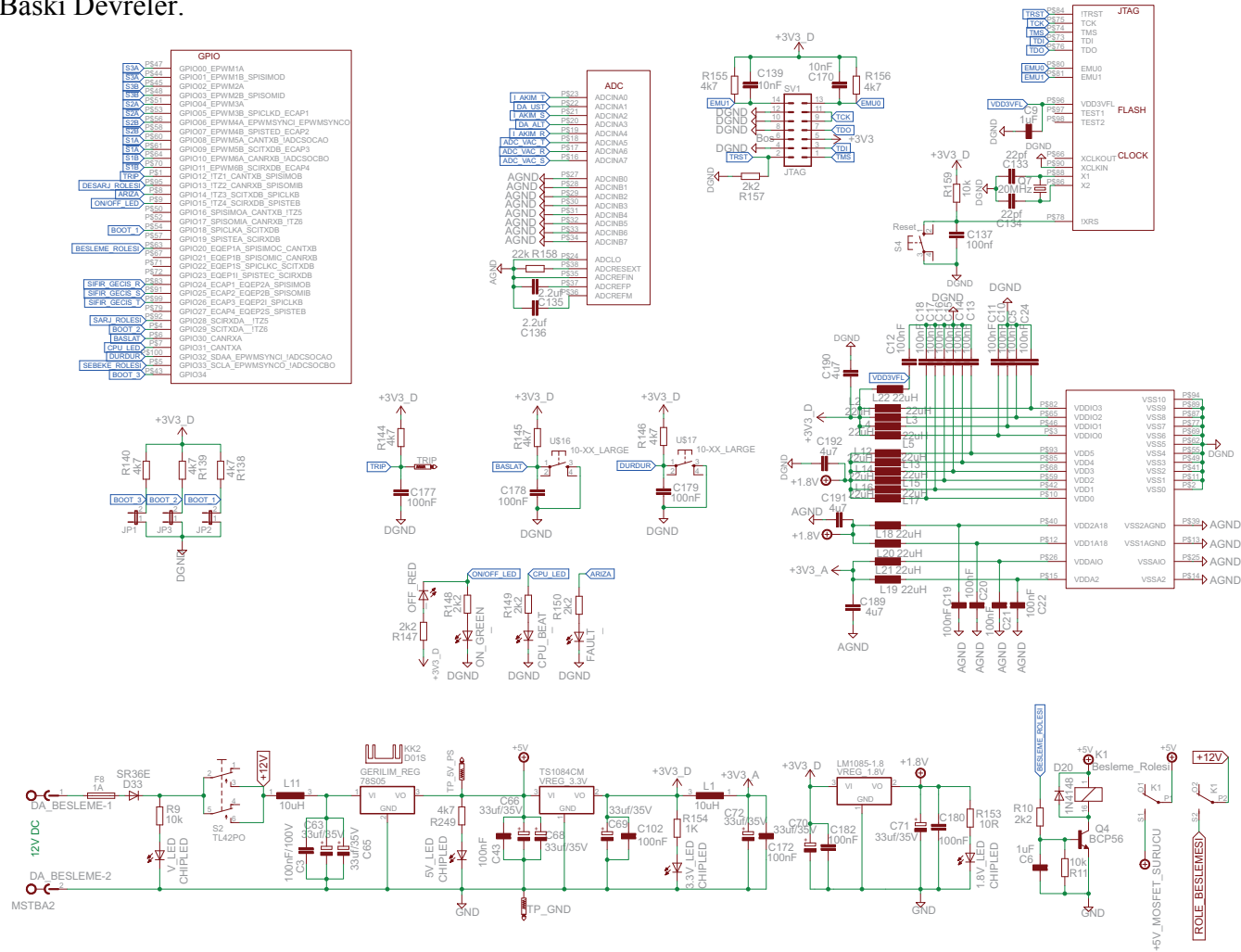
PMDD technology, simple drive-train construction, high reliability

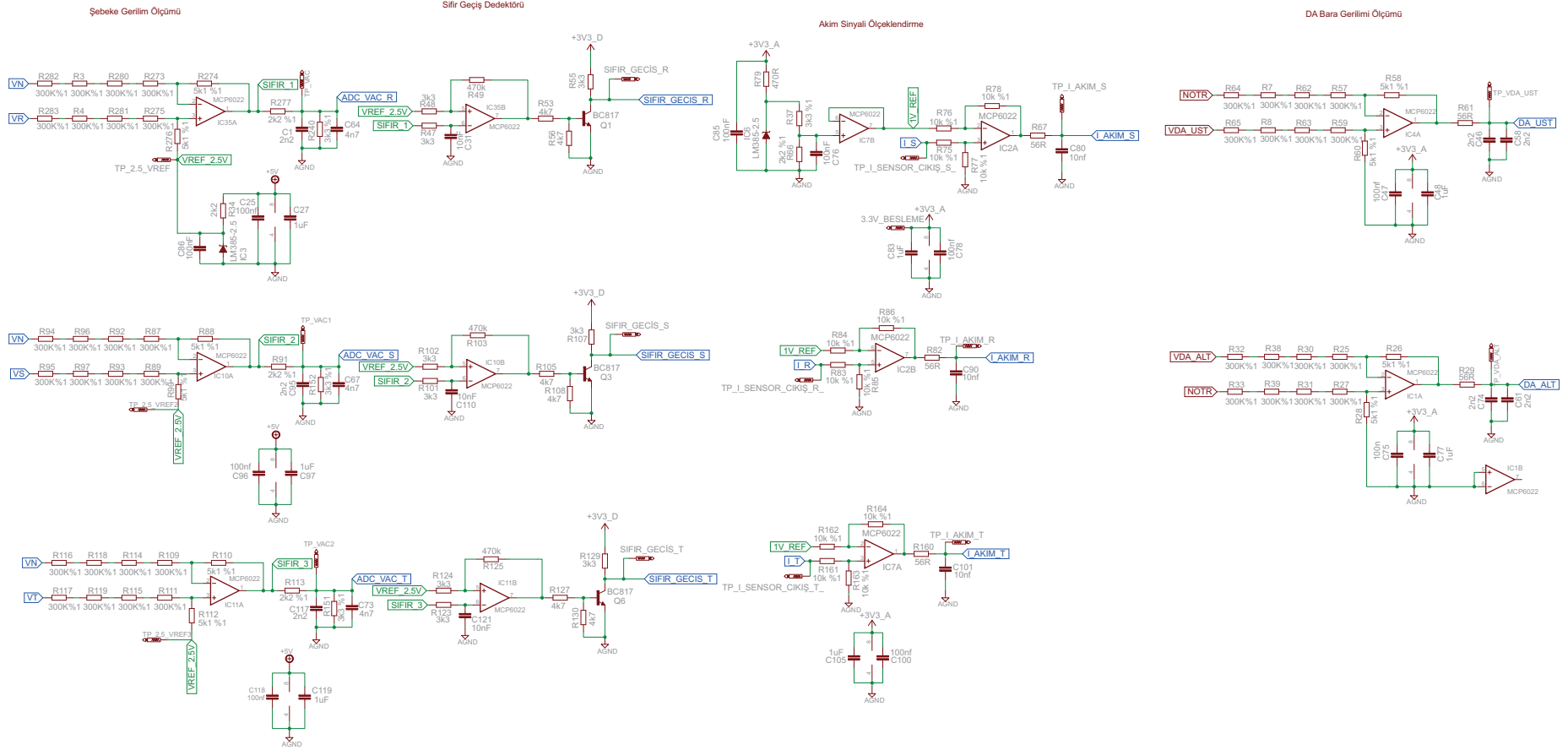
- Light and compact design compared to other turbines in its class
- Sealed insulation design for excellent dust resistance
- Full power converter, low-voltage and zero-voltage ride-through capabilities for excellent grid connection characteristics

2.5MW PMDD WIND TURBINE INSTALLATIONS

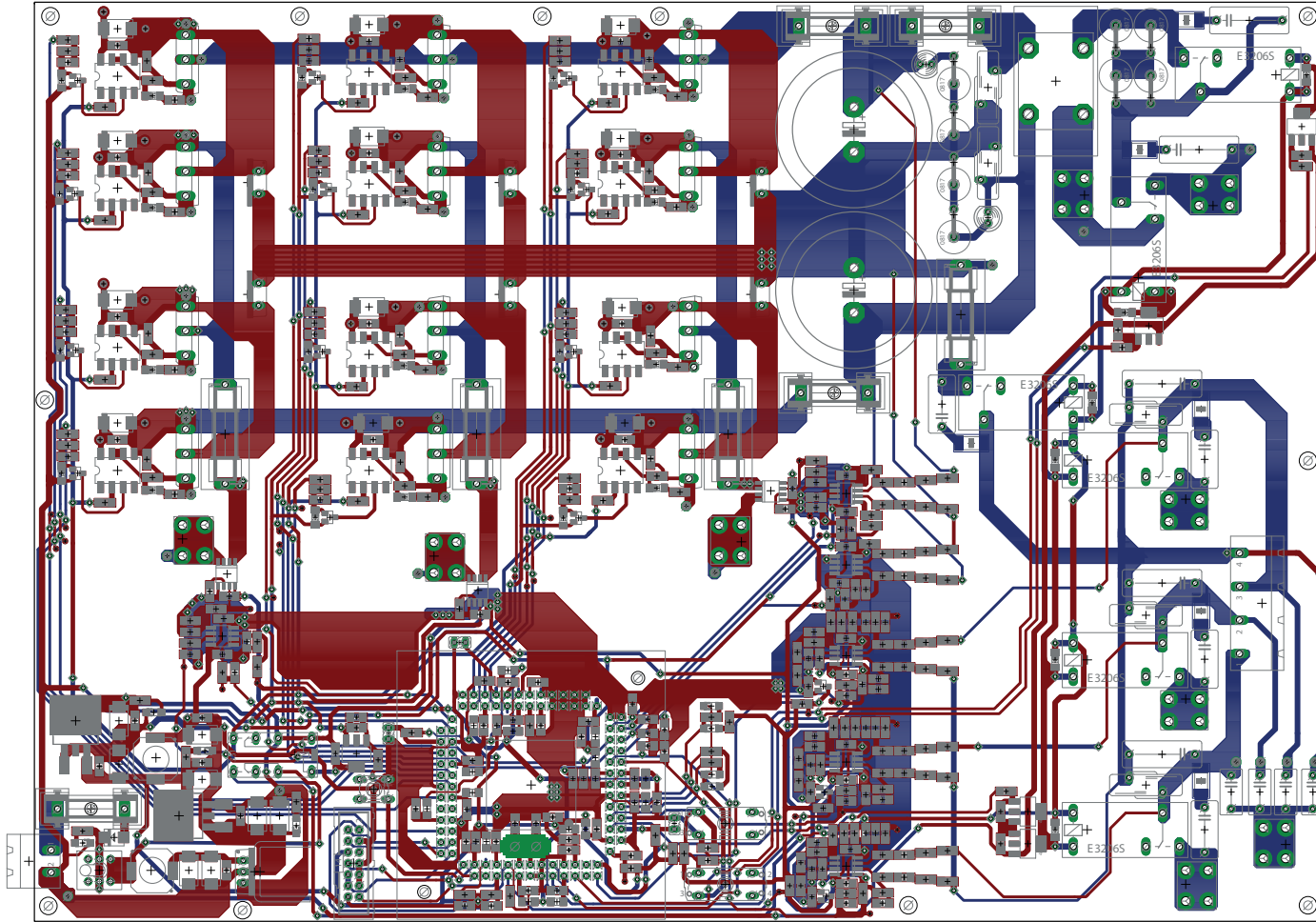
	WINDFARM NAME	COUNTRY	WINDFARM TYPE	ROTOR DIAMETER	YEAR OF INSTALLATION
1	Guanting	China	Onshore	100m	2009
2	Xiangshui	China	Offshore	100m	2010
3	Wagenfeld	Germany	Onshore	100m	2010
4	Dabancheng	China	Onshore	90m	2010
5	Rudong	China	Offshore	100m	2010

EK E : Şemalar ve Baskı Devreler.

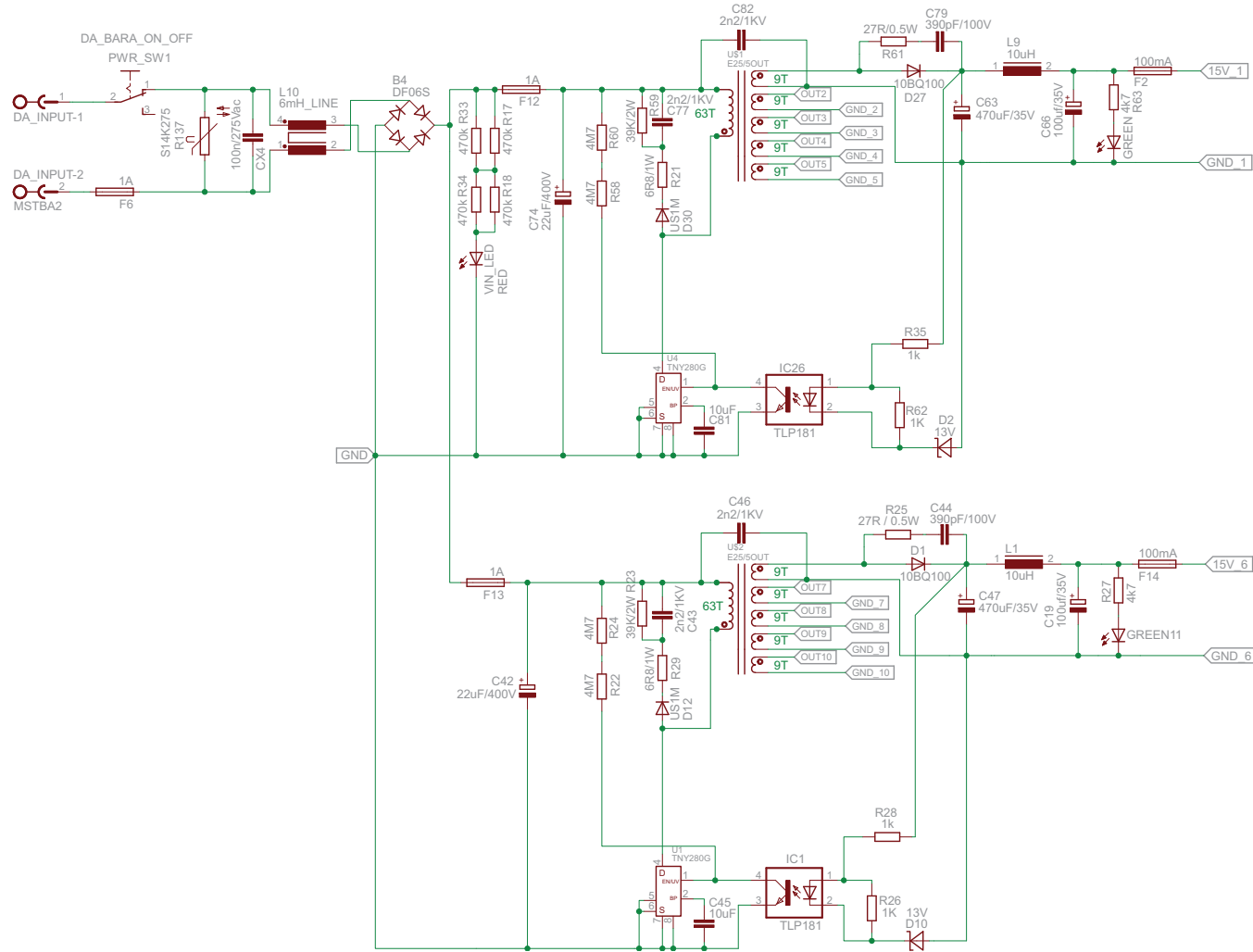




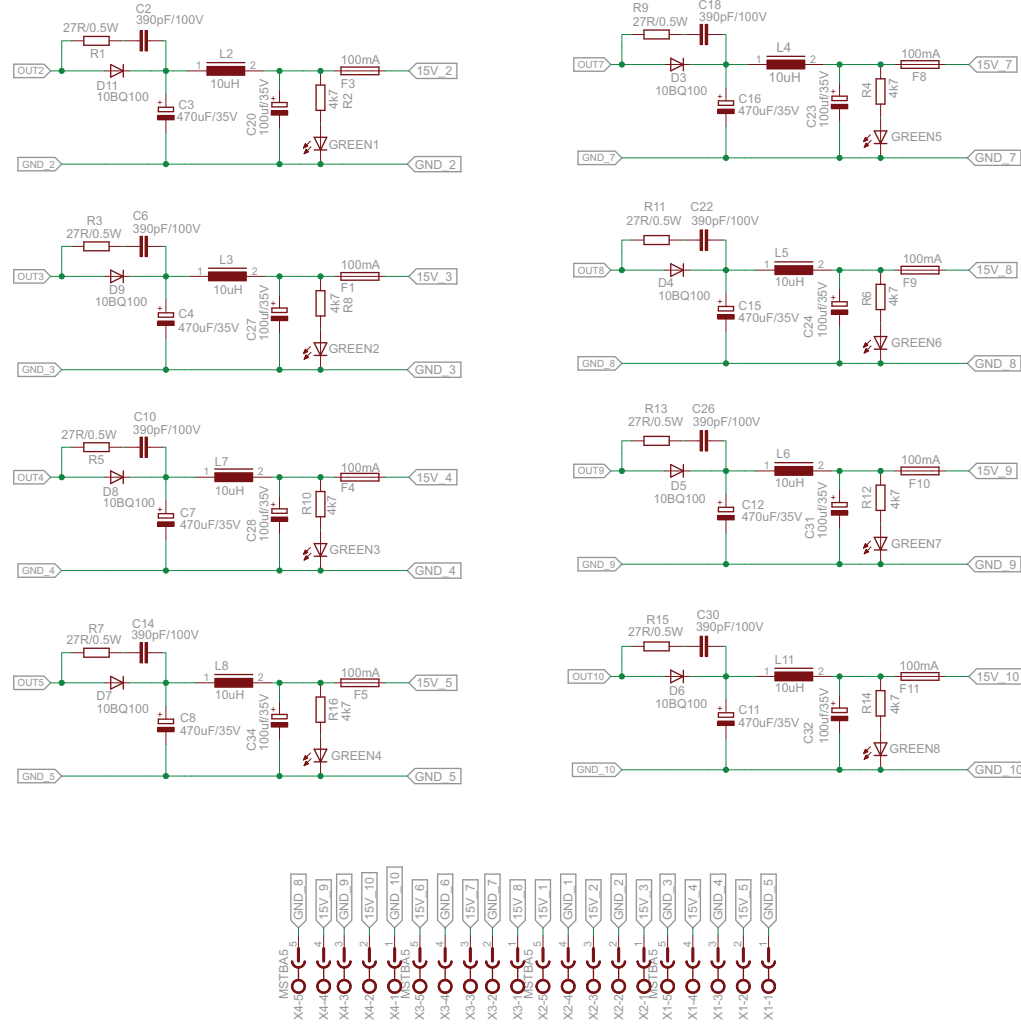
Şekil E.2 : Şebeke gerilimi, akım ölçeklendirme ve DA bara gerilimi ölçüm devreleri.



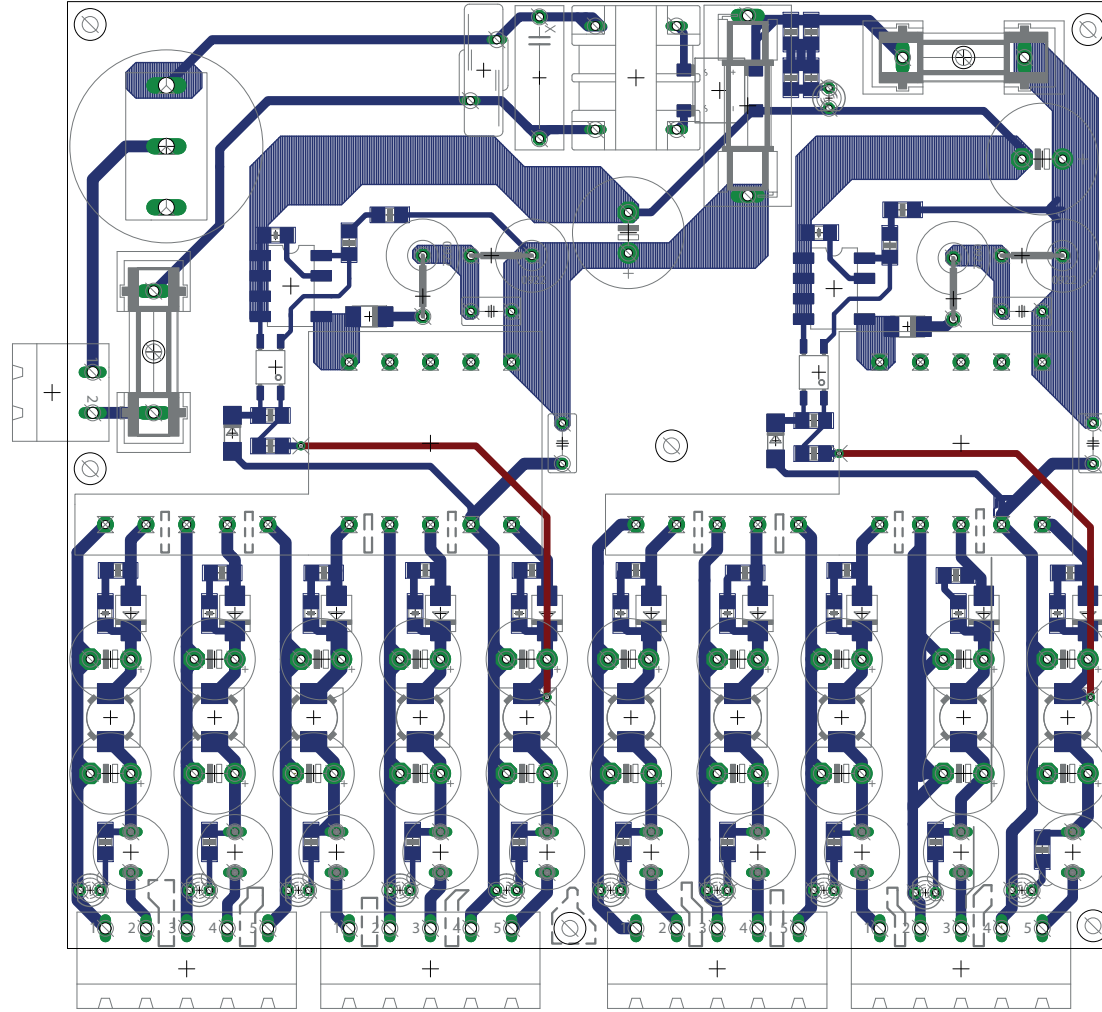
Şekil E.5 : Evirici baskı devre çizimi.



Şekil E.6 : Flyback AGK devre şeması.

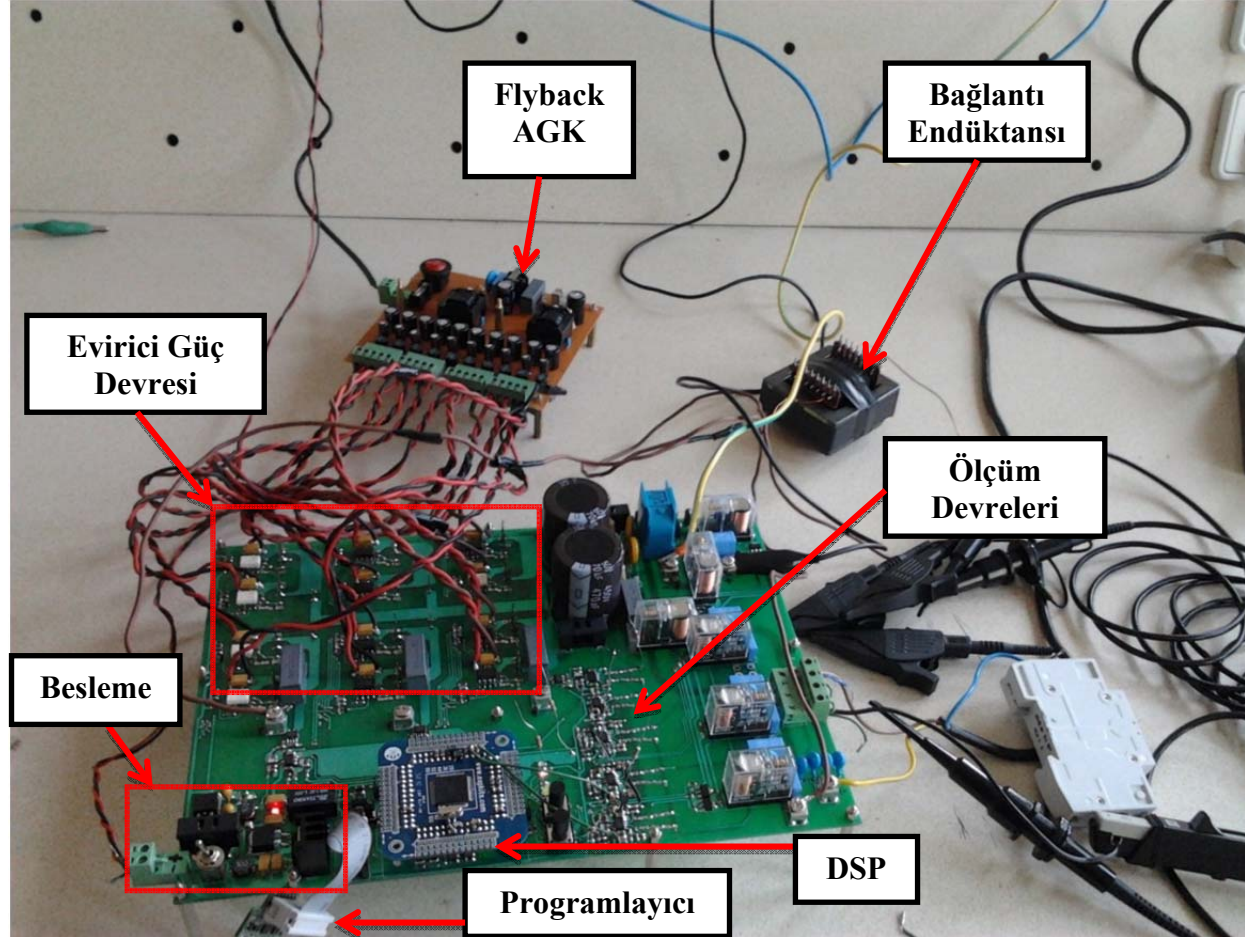


Şekil E.6 (devam): Flyback AGK devre şeması.

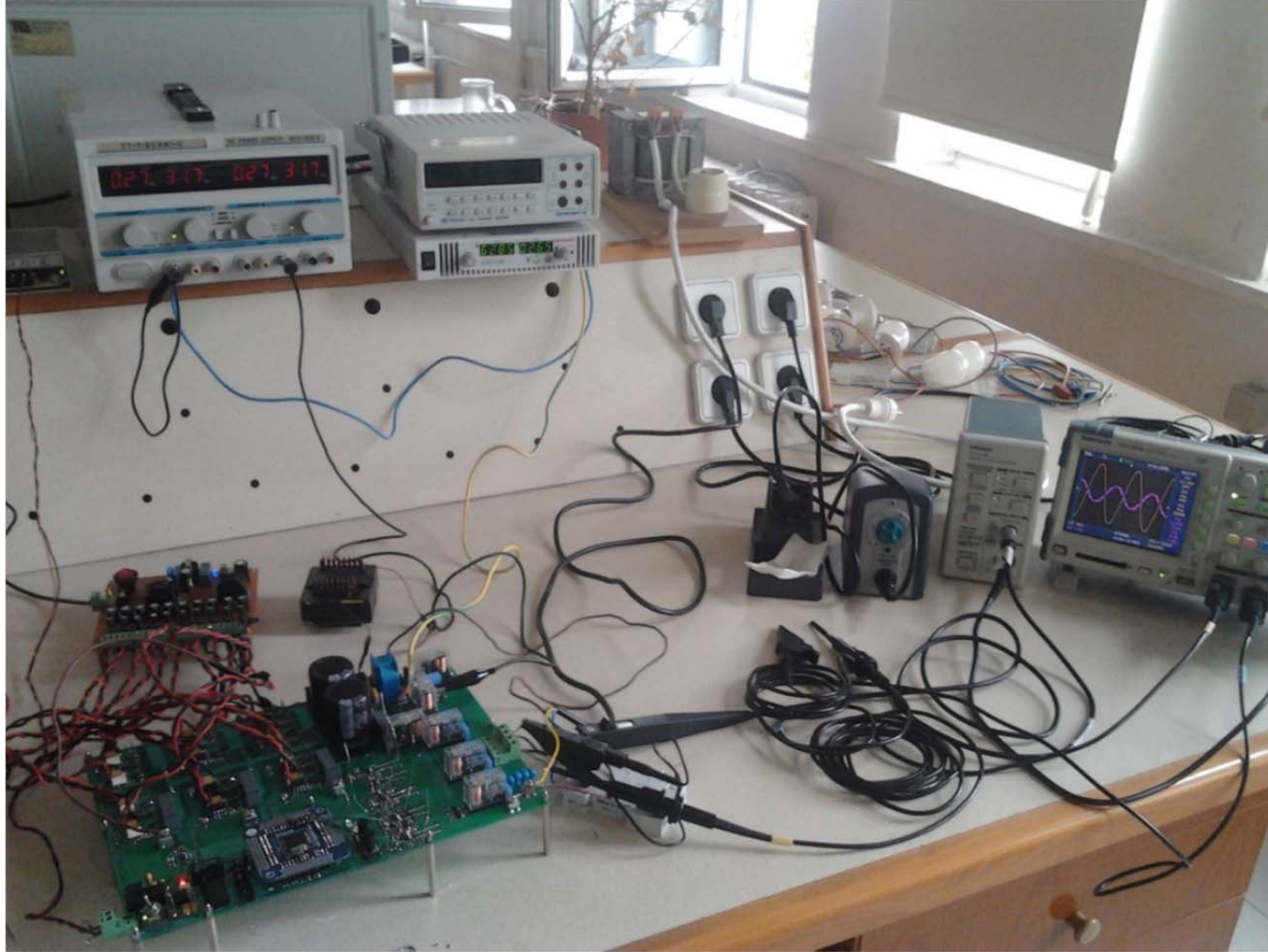


Şekil E.7 : Flyback AGK baskı devre çizimi.

EK F : Laboratuvar Düzeneği Fotoğrafları.



Şekil F.1 : Evirici ve yardımcı güç kaynağı devreleri.



Şekil F.2 : Şebeke bağlantılı çalışma düzeneği.

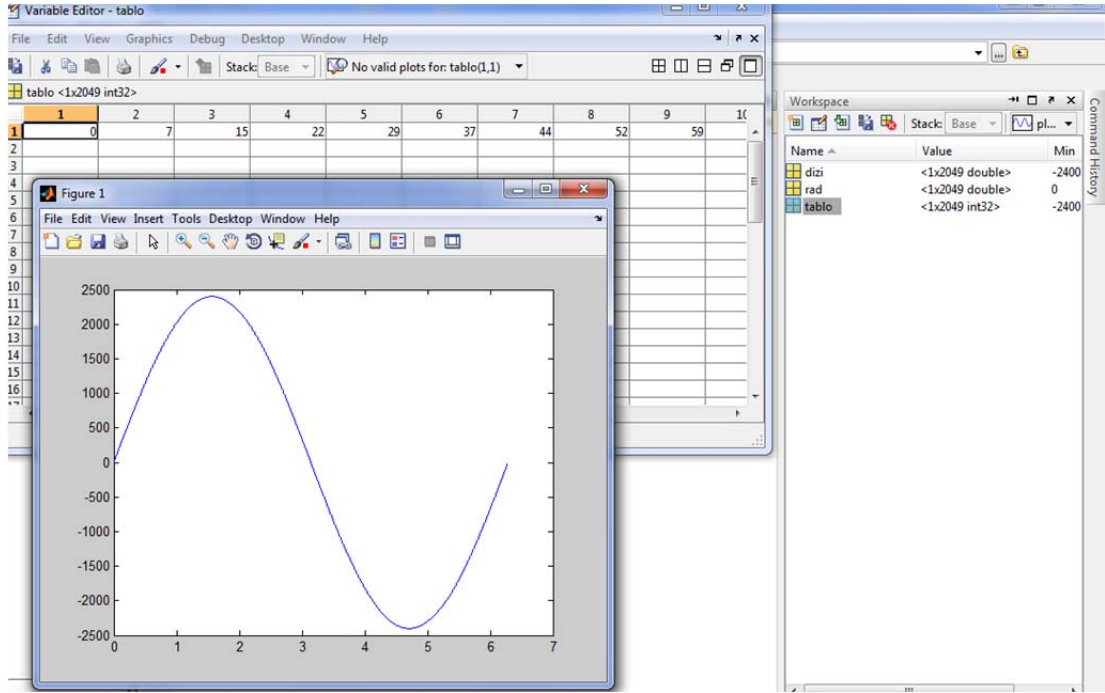


Şekil F.3 : Açık çevrim şebeke bağlantısız çalışma düzeneği.

EK G : Kısa Program Kodları.

(a) Matlab ile sinüs tablosu oluşturma.

```
Rad =0:(2*pi)/2048:2*pi;  
Dizi =2400*sin(rad);  
Tablo =int32(dizi);  
plot(rad, tablo)
```



Şekil G.1 : Matlab sinüs tablosu oluşturma.

(b) PSIM seviye seçici bloğu kodu.

```
if(x1>0)  
{  
y1=x2;  
y2=1;  
y3=!x2;  
y4=0;  
y5=x1;  
}  
else  
{  
y1=0;  
y2=x2;  
y3=1;  
y4=!x2;  
y5=x1+2500;  
}
```


ÖZGEÇMİŞ

Ad Soyad:

Cem KÖSEOĞLU

Doğum Tarihi:

13 Nisan 1988

E-Posta:

cemkoose@gmail.com

Lisans:

Sakarya Üniversitesi

Elektrik Elektronik Mühendisliği - 2010



