

**T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**



**MEMRİSTÖR TABANLI KAOTİK SİSTEMLERİN TASARIMI VE
KAOTİK HABERLEŞME SİSTEMLERİNE UYGULANMASI**

Muhammet Emin ŞAHİN

Doktora Tezi

ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Elektronik Bilim Dalı

EYLÜL 2020

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Elektrik Elektronik Mühendisliği Anabilim Dalı

Doktora Tezi

MEMRİSTÖR TABANLI KAOTİK SİSTEMLERİN TASARIMI VE KAOTİK HABERLEŞME SİSTEMLERİNE UYGULANMASI

Tez Yazarı

Muhammet Emin ŞAHİN

Danışman

Doç. Dr. Hasan GÜLER

İkinci Danışman

Prof. Dr. Serdar Ethem HAMAMCI

EYLÜL 2020

ELAZIĞ

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Elektrik Elektronik Mühendisliği Anabilim Dalı

Doktora Tezi

Başlığı:	Memristör Tabanlı Kaotik Sistemlerin Tasarımı ve Kaotik Haberleşme Sistemlerine Uygulanması
Yazarı:	Muhammet Emin ŞAHİN
İlk Teslim Tarihi:	12.8.2020
Savunma Tarihi:	8.9.2020

TEZ ONAYI

Fırat Üniversitesi Fen Bilimleri Enstitüsü tez yazım kurallarına göre hazırlanan bu tez aşağıda imzaları bulunan jüri üyeleri tarafından değerlendirilmiş ve akademik dinleyicilere açık yapılan savunma sonucunda OYBİRLİĞİ ile kabul edilmiştir.

Danışman:	Doç. Dr. Hasan GÜLER Fırat Üniversitesi, Mühendislik Fakültesi	İmza Onayladım
İkinci Danışman:	Prof. Dr. Serdar Ethem HAMAMCI İnönü Üniversitesi, Mühendislik Fakültesi	Onayladım
Başkan:	Prof. Dr. İbrahim TÜRKOĞLU Fırat Üniversitesi, Teknoloji Fakültesi	Onayladım
Üye:	Prof. Dr. Mustafa TÜRK Fırat Üniversitesi, Mühendislik Fakültesi	Onayladım
Üye:	Prof. Dr. Arif GÜLTEN Fırat Üniversitesi, Mühendislik Fakültesi	Onayladım
Üye:	Dr. Öğr. Üyesi Ayhan AKBAL Fırat Üniversitesi, Mühendislik Fakültesi	Onayladım
Üye:	Dr. Öğr. Üyesi Mehmet ÜSTÜNDAĞ Malatya Turgut Özal Üniversitesi, Mühendislik ve Doğa Bilimleri Fakültesi	Onayladım

Bu tez, Enstitü Yönetim Kurulunun/...../20..... tarihli toplantısında tescillenmiştir.

İmza

Doç. Dr. Kürşat Esat ALYAMAÇ
Enstitü Müdürü

BEYAN

Fırat Üniversitesi Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırladığım “Memristör Tabanlı Kaotik Sistemlerin Tasarımı ve Kaotik Haberleşme Sistemlerine Uygulanması” Başlıklı Doktora Tezimin içindeki bütün bilgilerin doğru olduğunu, bilgilerin üretilmesi ve sunulmasında bilimsel etik kurallarına uygun davrandığımı, kullandığım bütün kaynakları atıf yaparak belirttiğimi, maddi ve manevi desteği olan tüm kurum/kuruluş ve kişileri belirttiğimi, burada sunduğum veri ve bilgileri unvan almak amacıyla daha önce hiçbir şekilde kullanmadığımı beyan ederim.

8/9/2020

Muhammet Emin ŞAHİN



ÖNSÖZ

Dördüncü temel eleman olarak bilinen memristör, 1971’de Kaliforniya Berkeley Üniversitesi’nden Profesör Leon O. Chua tarafından keşfedilerek literatüre sunulmuştur. Memristörün geniş bir uygulama alanına sahip olması özellikle de lineer olmayan sistemlerde yaygın olarak kullanılması tez konusunu şekillendirmemde bana yardımcı olmuştur. Tez çalışmasında memristör elemanı kullanılarak memristör tabanlı kaotik ve hiperkaotik haberleşme sistemlerinin tasarımı gerçekleştirilmiştir. Bununla birlikte, henüz tam anlamıyla fiziksel olarak üretilmemiş olmasından dolayı kaotik sistemlerin incelenmesinde memristör yerine aynı özellikleri sağlayan memristör emülatörü kullanılmıştır. Tasarlanan devrelerin dinamik analizleri sunulurken, elektronik devre gerçeklemeleri yapılmış ve bu devreler FPGA platformunda donanımsal olarak gerçekleştirilmiştir. Son olarak tasarlanan devrelerin haberleşme sistemlerine uygulaması yapılarak, bu uygulamalara ait sonuçlar sunulmaktadır.

Doktora eğitimim boyunca bilgi, birikim ve yardımlarını esirgemeyen; akademik kariyerim boyunca beni daima doğruya yönlendiren çok değerli danışman hocam Doç. Dr. Hasan GÜLER’e ve ikinci danışmanım olarak bilgi ve tecrübesiyle bana yön veren Prof. Dr. Serdar Ethem HAMAMCI’ya en içten saygı ve teşekkürlerimi sunarım. Ayrıca lisans eğitimimden beri bana güvenen, başarılı olmama büyük katkıları olan ve hiçbir yardımı benden esirgemeyen aileme teşekkür ederim. Doktora tez çalışmamda sağladığı her türlü bilgi ve yardımlarından ötürü Dr. Öğr. Üyesi Zehra Gülrü Çam Taşkiran’a teşekkürlerimi borç bilirim. Ayıca doktora tez çalışmamın başlangıcında araştırma yapmak üzere bulunduğum Dresden Üniversitesi (Technische Universität Dresden)’ndeki 6 aylık süre kapsamında bana güvenen ve hiçbir yardımını esirgemeyen Dr. Ahmet Şamil Demirkol’a teşekkürlerimi sunarım. Doktora tez çalışmalarımın 6 aylık bir periyodu, Pazmany Peter Catholic University’de tamamlanmıştır. Bundan dolayı, sağladıkları burs desteği için TÜBİTAK BİDEB’e ve beni davet eden Prof. Dr. Geza KOLUMBAN’a teşekkürlerimi sunarım. Son olarak, doktora tezime FBA-2018-1582 proje numarasıyla sağladıkları destek için İnönü Üniversitesi Bilimsel Araştırma Projeleri Birimine teşekkürlerimi borç bilirim.

Muhammet Emin ŞAHİN
ELAZIĞ, 2020

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	iv
İÇİNDEKİLER	v
ÖZET	vii
ABSTRACT	viii
ŞEKİLLER LİSTESİ	ix
TABLolar LİSTESİ	xv
SİMGELER VE KISALTMALAR	xvi
1. GİRİŞ	1
1.1. Tezin Amacı	5
1.2. Tez İçeriği.....	6
1.3. Tez Yapısı.....	7
2. MEMRİSTÖR VE KAOTİK SİSTEMLERİN TEMELLERİ.....	8
2.1. Memristörün Tanımı.....	8
2.2. Memristörün Özellikleri	11
2.3. Memristör Modelleri.....	12
2.3.1. Lineer Sürüklenme Modeli.....	12
2.3.2. Nonlineer Sürüklenme Modeli	15
2.3.3. Simmons Tünel Bariyer Modeli	18
2.3.4. Eşik Uyarlamalı Memristör (TEAM) Modeli.....	19
2.4. Memristörün Makro Modelleri	23
2.5. Memristörün Fabrikasyonu.....	23
2.5.1. Moleküler ve İyonik İnce Film Memristör	23
2.5.2. Spintronik Memristör	25
2.6. Memristör ve Memristif Sistem Uygulamaları	26
2.7. Kaotik Sistemler ve Kaos	27
2.7.1. Kaotik Sistem Analiz Metotları.....	27
2.7.2. Kaotik Sistem Analiz Uygulaması	30
3. MATERYAL VE METOT	35
3.1. Memristör Emülatörü	35
3.2. Kübik Memristör Emülatörü	36
3.3. Memristör Tabanlı Kaotik ve Hiperkaotik Devreler (MTKD)	41
3.3.1. MTKD Model II.....	42
3.3.2. MTKD Model III.....	46
3.3.3. MTKD Model IV	49
3.3.4. MTKD Model V.....	53
4. MTKD MODELLERİNİN FPGA PLATFORMUNDA TASARIMI VE ELEKTRONİK DEVRE GERÇEKLEMELERİ	57
4.1. FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizileri)	57
4.2. MTKD Modellerinin Elektronik Devre Gerçeklemesi	58
4.2.1. MTKD Model II Sistemi Elektronik Devre Tasarımı	58
4.2.2. MTKD Model III Sistemi Elektronik Devre Tasarımı	63

4.2.3. MTKD Model IV Sistemi Elektronik Devre Tasarımı	67
4.2.4. MTKD Model V Sistemi Elektronik Devre Tasarımı	70
4.3. MTKD Modellerinin FPGA Platformunda Modellenmesi	73
4.3.1. MTKD Model II Sisteminin FPGA Platformunda Modellenmesi.....	74
4.3.2. MTKD Model III Sisteminin FPGA Platformunda Modellenmesi	76
5. KAOTİK SENKRONİZASYON VE KAOTİK HABERLEŞME SİSTEMLERİ.....	79
5.1. Kaotik Senkronizasyon.....	79
5.1.1. Kaotik Senkronizasyon için Optimizasyon	81
5.2. Kaotik Haberleşme	90
5.2.1. Sinyaller ve Spektra	90
5.2.2. Evreuyumlu ve Evreuyumsuz Alıcılar	92
5.2.3. Kanal Modelleri.....	92
5.2.4. Kaotik Haberleşme Yöntemleri.....	92
5.2.5. AM-DCSK ve FM-DCSK Simülatör Tasarımı ve Gürültü Performans Analizi	98
6. MTKD MODELLERİNİN HABERLEŞME SİSTEMLERİNE UYGULANMASI.....	102
6.1. MTKD Model I Sisteminin Haberleşme Sistemlerine Uygulanması.....	102
6.2. MTKD Model II Sisteminin Haberleşme Sistemlerine Uygulanması	108
6.3. MTKD Model III Sisteminin Haberleşme Sistemlerine Uygulanması	110
6.4. MTKD Model III Sisteminin FPGA Platformunda Haberleşme Sistemlerine Uygulanması	114
6.5. MTKD Model IV ve V Sistemlerinin Haberleşme Sistemlerine Uygulanması ve Gürültü Performans Analizi	123
6.5.1. AM-DCSK Simülatörü.....	123
6.5.2. FM-DCSK Simülatörü	127
6.5.3. BER Analizi	132
7. SONUÇLAR.....	137
ÖNERİLER	140
KAYNAKLAR.....	141
ÖZGEÇMİŞ	

ÖZET

Memristör Tabanlı Kaotik Sistemlerin Tasarımı ve Kaotik Haberleşme Sistemlerine Uygulanması

Muhammet Emin ŞAHİN

Doktora Tezi

FIRAT ÜNİVERSİTESİ
Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilim Dalı

Eylül 2020, Sayfa: xviii + 150

Leon O. Chua tarafından literatüre dördüncü temel devre elemanı olarak sunulan *memristör* elemanı, ismini MEMory ve ResISTOR kelimelerinin birleşiminden almaktadır. Temel olarak akı ile yük arasındaki ilişkiyi temsil eden bu eleman, üzerindeki akım-gerilim arasında doğrusal olmayan bir ilişkiye sahiptir. Memristör, direnci içinden geçen gerilimin veya akımın bir fonksiyonu olarak değişen, kalıcı, nano ölçekli ve programlanabilir bir elemandır. Bu eleman henüz tam anlamıyla ticari bir ürün olarak üretilmediğinden, memristör özelliği gösteren taklitçi devreler literatüre sunularak bu devreler yardımıyla incelemeler yapılmaktadır. Bu tez çalışmasında, sürekli kübik doğrusal olmayan aktif akı kontrollü bir memristör emülatörü kullanılarak, literatürden seçilen farklı memristör tabanlı kaotik ve hiperkaotik devrelerde uygulamaları yapılmıştır. Bu şekilde modifiye edilen devrelerin durum denklemleri, faz portreleri, Lyapunov üstelleri ve çatallanma diyagramları ayrıntılı olarak incelenmiştir. Elde edilen modifiye kaotik devrelerin elektronik devre modelleri ve tasarımı PSpice, Multisim ve LTSpice programlarında yapılmış olup ayrıca gerçek zamanlı olarak laboratuvar ortamında da elde edilmiştir. Tasarlanan kaotik ve hiperkaotik sistemler FPGA (Alanda Programlanabilir Kapı Dizisi) platformunda modellenerek donanımsal olarak gerçeklemeleri yapılmıştır. Teorik, benzetim ve gerçek zamanlı analizler, sunulan kaotik ve hiperkaotik devrelerin zengin kaotik dinamik özelliklere sahip olduğunu açıkça göstermektedir.

Kaotik sinyaller geniş bantlı olması, periyodik olmaması ve gürültü benzeri olup zor tahmin edildiğinden dolayı özellikle bilgi taşıyan dalga biçimlerini maskeleyerek için haberleşme sistemlerinde yaygın olarak kullanılmaktadır. Tez kapsamında, tasarlanan memristör tabanlı kaotik ve hiperkaotik sistemlerin hem analog ve hem de sayısal haberleşme sistemlerinde çeşitli uygulamaları yapılmıştır. Analog haberleşme uygulamasında kaotik senkronizasyonun gerçekleştirilmesi için Ateşböceği Algoritması (FA) ve Genetik Algoritma (GA) gibi farklı optimizasyon algoritmaları kullanılarak oransal-integral-türev (PID) kontrolör tasarımı gerçekleştirilmiştir. Elde edilen sinyaller analog modülasyonda kullanılarak haberleşmesi gerçekleştirilmiştir. Sayısal haberleşme uygulamasında diferansiyel kaos kaydırmalı anahtarlama (DCSK) ve FPGA tabanlı kaotik açma-kapama anahtarlama (COOK) modülasyonu gibi çeşitli uygulamalar yapılmıştır. Ayrıca AM-DCSK ve FM-DCSK simülatörleri MATLAB ortamında tasarlanarak memristör tabanlı kaotik ve hiperkaotik sistemler için uygulamaları gerçekleştirilmiştir. Bu simülatörlerin gürültü performans analizi AWGN kanalı altında elde edilerek sunulmaktadır.

Anahtar Kelimeler: Kaos, Kaotik Senkronizasyon, Kaotik Haberleşme, Memristör, Memristör Emülatörü

ABSTRACT

Design of Memristor Based Chaotic Systems and Application to Chaotic Communication Systems

Muhammet Emin ŞAHİN

Ph.D. Thesis

FIRAT UNIVERSITY

Graduate School of Natural and Applied Sciences

Department of Electrical and Electronics Engineering

September 2020, Pages: xviii + 150

Memristor, which was presented as the fourth basic circuit element after resistor, inductor and capacitor to the literature by Leon O. Chua, takes its name from the combination of the words MEMory and ResISTOR. This element, which basically links a relationship between flux and charge, has a dynamic, and, generally a nonlinear relationship between the current and voltage of it. The memristor is a volatile/non-volatile, nanoscale and programmable component, whose resistance changes as a function of its inherent dynamic variable, voltage across and/or the current through it. Since this element is not yet fully manufactured as a commercial product, emulator circuits that exhibit a memristor feature are introduced to the literature and further investigations are conducted with the help of these circuits. In this study, a smooth, continuous and nonlinear flux-controlled memristor emulator is used and utilized in five different memristor based chaotic and hyperchaotic circuits selected from the literature. State equations, phase portraits, Lyapunov exponents and bifurcation diagrams of the modified circuits employing the proposed memristor emulator have been examined in detail. The electronic circuit models and design of the modified chaotic circuits obtained are implemented in PSpice, Multisim and LTspice programs, and have been also obtained in real time in a laboratory environment. The proposed chaotic and hyperchaotic systems have been designed on the FPGA (Field Programmable Gate Array) platform and implemented as hardware. Theoretical, simulation, and real-time analyses clearly show that the chaotic and hyperchaotic circuits presented are capable of demonstrating rich chaotic dynamic properties.

Chaotic signals are widely used in communication systems, especially for masking information-carrying waveforms, because they have a wide band frequency spectrum, a non-periodic time series characteristics, and therefore similar to noise in terms of unpredictability. Within the scope of the thesis, various applications of designed memristor based chaotic and hyperchaotic systems have been implemented in both analog and digital communication systems. In order to realize chaotic synchronization in an analog communication application, a proportional-integral-derivative (PID) controller design has been carried out using different optimization algorithms such as Firefly (FA) and Genetic Algorithm (GA). The analog communication application has been performed by using the signals obtained via analog modulation. In the digital communication application, various implementations have been realized based on differential chaos shift keying (DCSK) and FPGA based chaotic on-off keying (COOK) modulation. After designing AM-DCSK and FM-DCSK simulators in MATLAB, application of memristor based chaotic and hyperchaotic systems has been realized employing these simulators. The noise performance analysis of these simulators is obtained and presented under the AWGN channel.

Keywords: Chaos, Chaotic Synchronization, Chaotic Communication, Memristor, Memristor Emulator

ŞEKİLLER LİSTESİ

	Sayfa
Şekil 2.1. Temel devre elemanlarının birbirleri arasındaki ilişki.....	8
Şekil 2.2. Temel devre elemanlarının akım-gerilim ilişkisi.....	9
Şekil 2.3. Memristör elemanı modeli ve memristör elemanına ait yük-akı ilişkisi	10
Şekil 2.4. Chua ve Kang tarafından sunulan memristörün histerezis (lissajous) eğrisi	12
Şekil 2.5. HP'ye ait memristör modeli	13
Şekil 2.6. Farklı frekans değerleri için memristöre ait akım-gerilim grafiği	15
Şekil 2.7. Lineer olmayan modele ait akım gerilim grafiği	15
Şekil 2.8. Strukov vd. tarafından önerilen pencere fonksiyonu modeli.....	16
Şekil 2.9. Joglekar ve Wolf tarafından önerilen pencere fonksiyonun grafiği.....	17
Şekil 2.10. $p=2$ için Biolek vd. tarafından önerilen pencere fonksiyonu.....	18
Şekil 2.11. Simmons memristör modeli	18
Şekil 2.12. Memristör çeşitlerinin sınıflandırılması	23
Şekil 2.13. HP tarafından sunulan memristör modeli.....	24
Şekil 2.14. Ag/TiO ₂ /ITO memristörün katmanlara göre kısımları	24
Şekil 2.15. Spintronik manyetik model	25
Şekil 2.16. Memristör ve memristif sistem uygulamalarının sınıflandırılması.....	26
Şekil 2.17. Lorenz çekicisi	27
Şekil 2.18. Kaotik faz portreleri	29
Şekil 2.19. Kaotik bir devreye ait Lyapunov üstelleri grafiği.....	29
Şekil 2.20. Kaotik bir devreye ait çatallanma diyagramı.....	30
Şekil 2.21. MTKD Model I devresi	31
Şekil 2.22. LabVIEW platformunda tasarlanmış MTKD Model I sistemi	32
Şekil 2.23. MTKD Model I sistemi faz portreleri	32
Şekil 2.24. MTKD Model I sistemi faz portrelerinin üç boyutlu x - y - z düzlemi	33
Şekil 2.25. MTKD Model I sistemi Lyapunov üstelleri grafiği.....	33
Şekil 2.26. MTKD Model I sistemi Lyapunov üstellerinin parametreye bağlı değişimi	34
Şekil 2.27. MTKD Model I sistemi çatallanma diyagramı.....	34
Şekil 3.1. CCII+ devresi blok diyagramı.....	36
Şekil 3.2. Analog çarpıcı devresi blok diyagram.....	37
Şekil 3.3. Kübik lineer olmayan model	37
Şekil 3.4. Memristör emülatörü kübik modeli.....	38

Şekil 3.5. Multisim platformunda tasarlanmış memristör emülatör devresi	40
Şekil 3.6. (a) Memristör emülatörüne ait akım-gerilim grafiği (b) Memristör emülatörüne ait devre tasarımı ve osiloskop görüntüsü	40
Şekil 3.7. Memristör elemanına ait farklı frekanslarda akım-gerilim grafiği	41
Şekil 3.8. MTKD Model II devresi.....	42
Şekil 3.9. MTKD Model II sistemi Lyapunov üstellerinin parametreye bağlı değişimi.....	43
Şekil 3.10. MTKD Model II sistemi Lyapunov üstelleri grafiği	43
Şekil 3.11. MTKD Model II sistemi çatallanma diyagramı	44
Şekil 3.12. MTKD Model II faz portreleri	45
Şekil 3.13. MTKD Model II sistemi faz portrelerinin üç boyutlu gösterimi	46
Şekil 3.14. MTKD Model III devresi	46
Şekil 3.15. MTKD Model III sistemi için Lyapunov üstellerinin parametreye bağlı değişimi	47
Şekil 3.16. MTKD Model III sistemi Lyapunov üstelleri grafiği	47
Şekil 3.17. MTKD Model III sistemi çatallanma diyagramı	48
Şekil 3.18. MTKD Model III sistemi faz portreleri.....	49
Şekil 3.19. MTKD Model III sistemi faz portreleri üç boyutlu gösterimi	49
Şekil 3.20. MTKD Model IV devresi.....	49
Şekil 3.21. MTKD Model IV sistemi Lyapunov üstellerinin parametreye bağlı değişimi	51
Şekil 3.22. MTKD Model IV sistemi Lyapunov üstelleri grafiği.....	51
Şekil 3.23. MTKD Model IV sistemi çatallanma diyagramı	51
Şekil 3.24. MTKD Model IV sistemi faz portreleri.....	52
Şekil 3.25. MTKD Model IV sistemi faz portrelerinin üç boyutlu x - y - z düzlemi	53
Şekil 3.26. MTKD Model V devresi	53
Şekil 3.27. MTKD Model V sistemi Lyapunov üstellerinin parametreye bağlı değişimi	54
Şekil 3.28. MTKD Model V sistemi Lyapunov üstelleri grafiği	55
Şekil 3.29. MTKD Model V sistemi çatallanma diyagramı	55
Şekil 3.30. MTKD Model V sistemi faz portreleri	56
Şekil 3.31. MTKD Model V sistemi faz portrelerinin üç boyutlu gösterimi x - y - z düzlem.....	56
Şekil 4.1. Basitleştirilmiş FPGA yapısı	57
Şekil 4.2. MTKD Model II devresi.....	59
Şekil 4.3. MTKD Model II sistemi elektronik devre modeli	60
Şekil 4.4. MTKD Model II sistemi faz portreleri	61
Şekil 4.5. MTKD Model II sistemi faz portreleri osiloskop çıktıları.....	62
Şekil 4.6. MTKD Model II sistemi deneysel uygulaması.....	62

Şekil 4.7. MTKD Model III devresi	63
Şekil 4.8. MTKD Model III sistemi elektronik devre modeli.....	64
Şekil 4.9. MTKD Model III sistemi faz portreleri.....	65
Şekil 4.10. MTKD Model III sistemi faz portreleri osiloskop çıktıları	66
Şekil 4.11. MTKD Model III sistemi deneysel uygulaması	66
Şekil 4.12. MTKD Model IV devresi.....	67
Şekil 4.13. MTKD Model IV sistemi elektronik devre modeli	68
Şekil 4.14. Endüktans simülatör yapısı	68
Şekil 4.15. MTKD Model IV sistemi faz portreleri.....	69
Şekil 4.16. MTKD Model IV sistemi faz portreleri osiloskop çıktıları	70
Şekil 4.17. MTKD Model IV sistemi deneysel uygulaması	70
Şekil 4.18. MTKD Model V devresi	70
Şekil 4.19. MTKD Model V sistemi elektronik devre modeli.....	71
Şekil 4.20. MTKD Model V sistemi faz portreleri	72
Şekil 4.21. MTKD Model V sistemi faz portreleri osiloskop çıktıları.....	73
Şekil 4.22. MTKD Model V sistemi deneysel uygulaması	73
Şekil 4.23. Xilinx Spartan-3E ailesine ait XC3S500E kartı	74
Şekil 4.24. XSG platformunda tasarlanan Model II kaotik devre bloğu.....	75
Şekil 4.25. FPGA ortamında donanımsal olarak gerçekleştirilen MTKD Model II sistemi faz portreleri	76
Şekil 4.26. XSG platformunda tasarlanan Model III kaotik devre bloğu	77
Şekil 4.27. FPGA ortamında donanımsal olarak gerçekleştirilen MTKD Model III sistemi faz portreleri ..	78
Şekil 5.1. Pecora ve Carroll kaotik senkronizasyon yöntemi	80
Şekil 5.2. Kaotik senkronizasyon blok diyagramı	80
Şekil 5.3. Haberleşme sistemi blok diyagramı	81
Şekil 5.4. Sürücü ve cevaplayıcı sistem FA senkronize dalga formları.....	84
Şekil 5.5. FA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları	84
Şekil 5.6. FA kullanarak senkronize sürücü ve cevaplayıcı sistemi dalga formları	84
Şekil 5.7. Sürücü ve cevaplayıcı sistem GA ile senkronize dalga formları	85
Şekil 5.8. GA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları	85
Şekil 5.9. GA kullanarak senkronize sürücü ve cevaplayıcı sistemi dalga formları.....	86
Şekil 5.10. Sürücü ve cevaplayıcı sistem FA ile senkronize dalga formları.....	88
Şekil 5.11. FA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları	88
Şekil 5.12. Sürücü ve cevaplayıcı sistem GA ile senkronize dalga formları	89
Şekil 5.13. GA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları	89

Şekil 5.14. (a) Zaman domeninde kaotik bir sinyal (b) Kaotik sinyalin spektrumu	90
Şekil 5.15. Kaotik bir sinyalin güç spektrumu yoğunluğu	92
Şekil 5.16. Kaotik maskeleye tabanlı kaotik haberleşme blok diyagramı	93
Şekil 5.17. Kaotik parametrik modülasyona dayalı kaotik haberleşme blok diyagramı.....	94
Şekil 5.18. CSK modülatörü blok diyagramı.....	95
Şekil 5.19. CSK demodülatörü blok diyagramı	95
Şekil 5.20. COOK modülatörü blok diyagramı	95
Şekil 5.21. COOK demodülatörü blok diyagramı	96
Şekil 5.22. DCSK modülasyonu bilgi iletimi	97
Şekil 5.23. DCSK modülatörü blok diyagramı.....	97
Şekil 5.24. DCSK demodülatörü blok diyagramı	97
Şekil 5.25. FM-DCSK modülatör şeması	98
Şekil 5.26. Bant geçişli sinyal kazanım blok diyagramı	99
Şekil 5.27. RF DCSK+AM modülasyon şeması blok diyagramı	99
Şekil 5.28. RF DCSK+AM modülasyonu alçak geçişli eşdeğeri	99
Şekil 5.29. RF FM-DCSK modülasyon şeması blok diyagramı	100
Şekil 5.30. RF FM-DCSK modülasyonu alçak geçişli eşdeğeri.....	100
Şekil 5.31. RF FM-DCSK haberleşme sistemi.....	101
Şekil 5.32. RF FM-DCSK haberleşme sistemi alçak geçişli eşdeğeri	101
Şekil 6.1. Kaotik sinyal maskeleye şeması.....	102
Şekil 6.2. Sürücü ve cevaplayıcı sistem şeması.....	103
Şekil 6.3. Memristif kaotik üreticinin kullanılmasıyla tasarlanan kaotik maskeleye ‘Sistem 1’	104
Şekil 6.4. Memristif kaotik üreticinin kullanılmasıyla tasarlanan kaotik maskeleye ‘Sistem 2’	105
Şekil 6.5. Bilgi sinyali $i(t)$	105
Şekil 6.6. İletilen kaotik sinyal (a) $z_D(t)$ Sistem 1 için (b) $x_D(t)$ Sistem 2 için.....	106
Şekil 6.7. Modüle edilmiş $S(t)$ sinyali (a) Sistem 1 için (b) Sistem 2 için.....	106
Şekil 6.8. Kaotik sinyaller (a) $z_C(t)$ Sistem 1 için (b) $x_C(t)$ Sistem 2 için	106
Şekil 6.9. Elde edilen bilgi sinyali (a) Sistem 1 için (b) Sistem 2 için	106
Şekil 6.10. Gönderilen bilgi sinyali $i(t)$ ile elde edilen bilgi sinyali $i_C(t)$ arasında tekrar senkronizasyonun grafiği (a) Sistem 1 için (b) Sistem 2 için.....	107
Şekil 6.11. Gürültü eklenmiş kaotik maskeleye sistemi	107
Şekil 6.12. (a) Modüle edilmiş gürültülü sinyal $S(t)$ (b) Elde edilen bilgi sinyali.....	108
Şekil 6.13. Filtrelemeden sonra elde edilen bilgi sinyali $i(t)$	108
Şekil 6.14. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları	109

Şekil 6.15. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları.....	109
Şekil 6.16. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları.....	109
Şekil 6.17. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları	110
Şekil 6.18. (a) Kanal 1: Bilgi sinyali; Kanal 2: Maskelenmiş bilgi sinyali (b) Kanal 1: Bilgi sinyali; Kanal 2: Elde edilen sinyal.....	110
Şekil 6.19. Simulink ortamında tasarlanan haberleşme sistemi.....	111
Şekil 6.20. Simulink ortamında tasarlanan MTKD Model III	111
Şekil 6.21. COOK modülasyonlu haberleşme sistemine ait benzetim sonuçları	113
Şekil 6.22. COOK modülasyonu BER analizi.....	113
Şekil 6.23. Tasarlanan sisteme ait haberleşme blok diyagramı	114
Şekil 6.24. FPGA ortamında tasarlanan haberleşme sisteminin blok şeması	115
Şekil 6.25. Memristör tabanlı hiperkaotik sistemi sürücü devre alt sistemi blok şeması	116
Şekil 6.26. Memristör tabanlı hiperkaotik cevaplayıcı devre alt sistemi blok şeması	116
Şekil 6.27. PID kontrolör alt sistemi blok şeması	117
Şekil 6.28. FPGA’da memristör tabanlı hiperkaotik devre (a) x - y (b) y - z faz portreleri	117
Şekil 6.29. PID kontrolör kullanılmadan sürücü ve cevaplayıcı devre kaotik sinyalleri ($um[n]$, $us[n]$ -Örnek sayısı (n))	118
Şekil 6.30. PID kontrolör ile senkronize edilmiş sürücü ve cevaplayıcı devre kaotik sinyalleri ($um[n]$, $us[n]$ -Örnek sayısı (n)).....	118
Şekil 6.31. Senkronize sürücü ve cevaplayıcı sistem arasındaki hata dalga formları.....	118
Şekil 6.32. (a) Bilgi sinyali $i[n]$ (b) İletilen sinyal $s[n]$	119
Şekil 6.33. (a) Elde edilen sinyal $i[n]$ (b) Hiperkaotik sinyal $u_s[n]$ (c) Gönderilen bilgi sinyali ve elde edilen bilgi sinyali	120
Şekil 6.34. FPGA üzerinde COOK modülasyonunun blok şeması	121
Şekil 6.35. FPGA platformunda tasarlanan MTKD Model III blok şeması	121
Şekil 6.36. (a) Bilgi sinyali (a) COOK modülasyonundan elde edilen geri kazanılmış sinyal.....	122
Şekil 6.37. COOK modülasyonu BER grafiği.....	123
Şekil 6.38. (a) MTKD Model IV devresine ait güç spektrum yoğunluğu (b) Alçak geçiren filtreden sonra MTKD Model IV devresine ait güç spektrum yoğunluğu	124
Şekil 6.39. (a) AM-DCSK sinyalinin RF spektrumu (b) Gürültülü AM-DCSK sinyalinin RF spektrumu.....	125
Şekil 6.40. Kanal filtrelemeden sonra gürültülü AM-DCSK sinyalinin RF spektrumu	125
Şekil 6.41. (a) MTKD Model V devresine ait güç spektrum yoğunluğu (b) Alçak geçiren filtreden sonra MTKD Model V devresine ait güç spektrum yoğunluğu.....	126
Şekil 6.42. (a) AM-DCSK sinyalinin RF spektrumu (b) Gürültülü AM-DCSK sinyalinin RF spektrumu.....	126
Şekil 6.43. Kanal filtrelemeden sonra gürültülü AM-DCSK sinyalinin RF spektrumu	126

Şekil 6.44. (a) MTKD Model IV devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu	127
Şekil 6.45. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu	128
Şekil 6.46. (a) MTKD Model V devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu	129
Şekil 6.47. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu	129
Şekil 6.48. (a) Chua devresi devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu	130
Şekil 6.49. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu	130
Şekil 6.50. (a) Chua devresi tabanlı Wien osilatörü üreticine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu	131
Şekil 6.51. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu	132
Şekil 6.52. (a) Bit süresinin DCSK'nın gürültü performansına etkisi (b) RF kanal bant genişliğinin DCSK'nın gürültü performansına etkisi	132
Şekil 6.53. (a) MTKD Model IV devresi için AM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model IV devresi için AM-DCSK'nın gürültü performansına etkisi.....	133
Şekil 6.54. (a) MTKD Model V devresi için AM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model V devresi için AM-DCSK'nın gürültü performansına etkisi	133
Şekil 6.55. (a) MTKD Model IV devresi için FM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model IV devresi için FM-DCSK'nın gürültü performansına etkisi	134
Şekil 6.56. (a) MTKD Model V devresi için FM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model V devresi için FM-DCSK'nın gürültü performansına etkisi.....	134
Şekil 6.57. (a) Chua devresi için FM-DCSK'nın gürültü performansı (b) Bit süresinin Chua devresi için FM-DCSK'nın gürültü performansına etkisi	135
Şekil 6.58. (a) Wien osilatörü üretici için FM-DCSK'nın gürültü performansı (b) Bit süresinin Wien osilatörü üretici için FM-DCSK'nın gürültü performansına etkisi.....	135
Şekil 6.59. FM-DCSK modülasyonu BER analizi	136

TABLÖLAR LİSTESİ

	Sayfa
Tablo 2.1. Mevcut memristör modelleri	20
Tablo 2.2. Farklı pencere fonksiyonlarının karşılaştırılması	21
Tablo 2.3. Memristör modellerinin matematiksel özelliklerini	22
Tablo 3.1. Memristör emülatör devre tasarımı için kullanılan elemanlar	41
Tablo 4.1. MTKD Model II elektronik devre modeli için kullanılan eleman değerleri	59
Tablo 4.2. MTKD Model III elektronik devre modeli için kullanılan eleman değerleri	63
Tablo 4.3. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı	76
Tablo 4.4. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı	78
Tablo 5.1. Ateşböceği ve Genetik algoritmanın parametre değerleri	86
Tablo 5.2. Ateşböceği ve Genetik algoritmanın parametre değerleri	89
Tablo 6.1. MTKD Model III sistemi için kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı	120
Tablo 6.2. MTKD Model III sistemi için kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı	122
Tablo 6.3. MTKD Model IV sistemi için AM-DCSK modülasyonu parametre detayları	124
Tablo 6.4. MTKD Model V sistemi için AM-DCSK modülasyonu parametre detayları	125
Tablo 6.5. MTKD Model IV sistemi için FM-DCSK modülasyonu parametre detayları	127
Tablo 6.6. MTKD Model V sistemi için FM-DCSK modülasyonu parametre detayları	128
Tablo 6.7. Chua devresi için FM-DCSK modülasyonu parametre detayları	130
Tablo 6.8. Chua devresi Wien osilatörü için FM-DCSK modülasyonu parametre detayları	131

SİMGELER VE KISALTMALAR

Simgeler

R_{on}	: Hücre gerilimi
R_{off}	: Açık devre hücre gerilimi
q_C	: Kondansatör yükü
M	: Memristör veya memristans
V_M	: Memristör gerilimi
i_M	: Memristör akımı
μ_D	: Ortalama sürüklenme hızı
$F(\xi)$	: Pencere fonksiyonu
L_N	: Lyapunov üstelleri
J	: Jacobian matrisi
λ_i	: Özdeğerler
D_{KY}	: Kaplan-Yorke boyutu
$i(t)$	: Bilgi işareti
$S(t)$	: İletilen işareti
τ	: Hesaplama zamanı
t	: Zaman
T	: Periyot
q	: Yük
k_f	: Frekans ölçekleme katsayısı
x_D	: Sürücü alt sistemi
x_R	: Cevaplayıcı alt sistemi
e	: Hata
K_p	: Orantısal kazanç sabiti
K_d	: Türevsel kazanç sabiti
K_i	: İntegral kazanç sabiti
T_i	: İntegral zaman sabiti
T_d	: Türev zaman sabiti
u	: Gauss gürültü analizi değişkenlerin ortalama değer
σ^2	: Gauss gürültü analizi değişkenlerin ortalama değişimi
x	: Kaotik durum değişkeni
y	: Kaotik durum değişkeni
z	: Kaotik durum değişkeni
u	: Kaotik durum değişkeni
x_0	: Durum değişkeninin başlangıç değeri
y_0	: Durum değişkeninin başlangıç değeri
z_0	: Durum değişkeninin başlangıç değeri
u_0	: Durum değişkeninin başlangıç değeri
$\dot{x}$	: Durum değişkeninin türevi
$\dot{y}$	: Durum değişkeninin türevi
$\dot{z}$	: Durum değişkeninin türevi
$\dot{u}$	: Durum değişkeninin türevi
a	: Parametre

b	: Parametre
c	: Parametre
d	: Parametre
e	: Parametre
f	: Parametre
K	: Parametre
m_0	: Parametre
m_1	: Parametre
n	: Parametre
V	: Gerilim
I	: Akım
C	: Kondansatör veya kapasitans
L	: Bobin veya indüktans



Kısaltmalar

ADALINE	: ADaptive LInear NEuron
IEEE	: Institute of Electrical and Electronics Engineers
HP	: Hewlett Packard
VHDL	: VHSIC Hardware Description Language
ANN	: Artificial Neural Network (Yapay Sinir Ağı)
FPGA	: Field Programmable Gate Array (Alanda Programlanabilir Kapı Dizileri)
GA	: Genetic Algorithm (Genetik Algoritma)
EP	: Evolutionary Programming (Evrimsel Algoritma)
FA	: Firefly Algorithm (Ateşböceği Algoritması)
PID	: Proportional Integral Derivative
COOK	: Chaotic On-Off Keying
CSK	: Chaos Shift Keying
DCSK	: Differential Chaos Shift Keying
FM-DCSK	: Frequency Modulation- Differential Chaos Shift Keying
AM-DCSK	: Amplitude Modulation- Differential Chaos Shift Keying
AWGN	: Additive White Gaussian Noise
BER	: Bit Hata Oranı (Bit Error Rate)
CMOS	: Complementary Metal Oxide Semiconductor
VCCS	: Voltage-Controlled Current Sources
ITO	: İndiyum İnce Oksit
MTKD	: Memristör Tabanlı Kaotik Devre
TEAM	: ThrEshold ADaptive Memristor model
AM	: Analog Multiplier
CCII+	: Positive Second-Generation Current Conveyor
LE	: Lyapunov Exponent
ASIC	: Application Specific Integrated Circuit
IOB	: Input Output Block (Giriş Çıkış Bloğu)
DSP	: Digital Signal Processing
XSG	: Xilinx System Generator
CDMA	: Code Division Multiple Access
LUT	: Look Up Table (Doğruluk Tablosu)
SNR	: Signal Noise Ratio
ADC	: Analog-Digital Convertor
FFT	: Fast Fourier Transform
MATLAB	: Matrix Laboratory
SPICE	: Simulation Program with Integrated Circuit Emphasis

1. GİRİŞ

Prof. Leon O. Chua, 1971 yılında yayınladığı makalesiyle dört temel devre değişkeni olan akım, gerilim, elektriksel yük ve manyetik akı arasındaki ilişkilerden elde edilen temel pasif devre elemanlarının sadece direnç, bobin ve kondansatör olmadığını bildirmiş ve klasik devre teorisi algısı için yeni bir iddiada bulunmuştur [1]. Prof. Chua basit simetri argümanlarına dayanarak, dördüncü bir temel pasif devre elemanının diğer üç elemanı tamamlamak için gerekli olduğunu savunmuştur. Bu nedenle matematiksel olarak dördüncü temel devre elemanı olarak tanımladığı memristörü yük ve akı ilişkisini tamamlayan bir devre elemanı olarak rapor etmiştir [2]. Adından da anlaşılacağı gibi memristör (*Memory Resistor*), akım-gerilim karakteristiği doğrusal olmayan bir dirence benzer şekilde davranmaktadır. Aslında basit bir şekilde memristör bir direnç olarak görülebilir ancak geleneksel omik elemanların aksine, hafızalı bir elemandır [1].

Memristör elemanı 2008 yılında Williams ve arkadaşlarından oluşan HP grubu tarafından deneysel olarak gerçekleştirilmesiyle beraber [3] hem bilim dünyasının hem de elektronik endüstrisinin çok fazla ilgisini çekmeye başlamıştır [4,5]. Bu yeni devre elemanına duyulan ilgi memristörün küçük boyutlu olması [6], düşük güç tüketimi sağlaması [7,8], yüksek hızlı olması [8,9], kalıcı bir yapıya sahip olması [10], çok kademeli olması [9,11], anahtarlama hafızasına sahip olması [10] ve sinaps benzeri davranışa sahip olması [9,12] gibi birçok önemli özelliğe sahip olmasından kaynaklanmaktadır. Memristör elemanı yukarıda sayılan bu özelliklerin etkisiyle birçok uygulama alanında yaygın olarak kullanılabilme potansiyeline sahiptir. Ayrıca daha önceden gerçekleştirilmesi henüz mümkün görülmeyen yeni uygulamaların önünü açmak için, örneğin nöromorfik devreler, öğrenme/adaptif devreler, yenilenebilir analog devreler gibi birçok alanda memristörlü çalışmalar yoğun bir şekilde başlamış ve devam etmektedir [13].

Hafızalı direnç kavramı üzerine yapılan araştırmalar aslında Chua'nın çalışmalarının öncesine dayanmaktadır. Bernard Widrow, 1960 yılında "Memistör" elemanını geliştirmiş; hafızalı direncin yük tarafından kontrol edildiği üç terminal bir devre elemanı olduğunu iddia etmiştir. Widrow, bu elemanın aynı zamanda bir sinir ağı mimarisi olan ADALINE'in (ADaptive LInear NEuron) temel yapı taşı olduğunu ileri sürmüştür [14]. 1967 yılına gelindiğinde F. Argall tarafından "Titanyum oksit ince filmlerde anahtarlama olayları" başlıklı bir makale yayınlanmıştır. Elde ettiği sonuçlar, Williams ve ekibinin 2008 yılında HP Laboratuvarlarında aldığı sonuçlarla benzer olmasından dolayı dikkat çekmiştir [15]. 1971 yılında Leon O. Chua tarafından yapılan çalışmalar ile hafızalı direnç literatürdeki yerini almaya başlamıştır. Chua dört temel devre değişkeninin simetri ilişkilerine dayanarak, matematiksel olarak yük ve akıyı ilişkilendiren başka bir devre elemanının olması gerektiğini öne sürmüştür [1]. Beş yıl sonra Chua ve Kang, "Memristif cihazlar ve sistemler" başlıklı makalesinde memristör ve memristif devre teorisini geliştirmişler [16].

1994 yılında Buot ve Rajagopal “Kuantum-çukurlu diyotlarda sıfır yalnlıkta ikili bilgi depolaması” başlıklı makaleyi yayınlamışlar ve AlAs/GaAs/AlAs kuantum çukuru diyotlarında memristör akım-gerilim karakteristiğine benzer sonuçlar rapor etmişlerdir [17]. 2000 yılında Zürih’deki IBM Research Lab. araştırmacıları Applied Physics Letters’deki “Bellek uygulamaları için ince oksit filmlerde tekrarlanabilir anahtarlama etkisi” başlıklı bir makale yayınlayarak ince oksitli filmlerde tekrarlanabilir direnç değıştirme davranışını rapor etmişler ancak elde edilen histerezis karakteristiğinin memristörün karakteristiğine oldukça benzediği çok daha sonra fark edilmiştir [18]. 2000-2007 yılları arasında memristör ile ilgili araştırmalar fazla dikkat çekmeyen bir tempoda devam etmiştir [19–22].

2008 yılında Williams ve HP laboratuvar ekibi, Nature dergisinde yayınladıkları bir makalede nano ölçekli sistemlerde iki direncin değışme karakteristiği arasında bir ilişki ortaya koymuş ve ilk memristör prototipini fiziksel olarak üretmiştir [3]. HP ekibinin memristörü üretmesinden sonra bu alanda yapılan çalışmalar hız kazanmaya başlamıştır. 2009 yılında ABD Ulusal Standartlar ve Teknoloji Enstitüsü’ndeki (NIST) araştırmacılar, geçen akımı “hafızalı direnç” özelliği sayesinde hatırlayabilen düşük güçte bir bellek oluşturmayı başarmıştır. Bu memristörler tek kullanımlık sensörler ve tıbbi uygulamalar gibi hem uzun hem de kısa süreli hafızalarda potansiyel uygulamalara sahip olmaktadır [23].

Memristör elemanı prototip manasında fiziksel olarak üretilmesine rağmen, ticari olarak tam anlamıyla henüz piyasada tam anlamıyla mevcut değildir. Pratikte karşılaşılan sınırlamalar ve yüksek maliyeti nedeniyle memristörün fiziksel olarak imal edilmesinde hala zorluklar bulunmaktadır. Bu durum, araştırmacıları memristör elemanı yerine kullanılabilecek emülatör devrelerinin tasarımına yönlendirmiştir. Emülatör devreler memristör davranışı gösteren taklitçi devrelerdir. Literatürde elektronik devrelerde memristör dinamiklerini deneysel olarak keşfetmek için memristör yerine geliştirilen çok sayıda emülatör devresi rapor edilmiştir [24–30]. Bununla birlikte, önerilen her bir emülatörün diğerlerine göre avantajları ve dezavantajları bulunmaktadır. Bunlardan birkaçı incelenecek olunursa [31–33]’de verilen çalışmalarda karşılaşılan en büyük sorun memristörün özelliklerinden biri olan histerezis eğrisinin sadece çok düşük frekanslarda ortaya çıkmasıdır. [33,34]’deki çalışmalar güç tüketiminden dolayı maliyetli olmaktadır. Literatüre sunulan bir çalışmada ise iki ucu serbest çalışmaya sahip olan memristör emülatörünün frekansa bağlı histerezis eğrisi memristöre benzer özellik göstermiş olup, bu emülatör piyasadaki mevcut elemanlarla gerçekleştirilme özelliğine sahip olmaktadır [35,36].

Kaotik işaretler rastgele özellikleri sebebiyle şifreleme ve rastgele sayı üretimi için sıkça tercih edilmektedir. Memristör elemanının daha iyi bir kontrol imkanı sağlaması ve memristör kullanıldığında daha az elemanlı bir devre ile kaotik işaret elde edilebilmesi gibi nedenlerle memristörlü kaotik devrelerin tasarımı üzerine yapılan çalışmalarda bir yoğunluk göze çarpmaktadır. Chua, negatif direnç ve kondansatörle kaotik çekiciler üretmek için tasarladığı

devresinde memristör elemanını kullanarak literatüre sunmuştur [37]. Bu çalışma sadece simülasyon temelli olmasına rağmen sadelik ve işlevsellik bakımından memristör tabanlı kaotik sistemlerin yaygınlaşmasını sağlamıştır. Karmaşık dinamik davranışların bulunduğu klasik lineer ve lineer olmayan dinamik devrelere [31,38–45] memristör elemanı yerleştirilerek sayısız memristör tabanlı dinamik devre modelleri rapor edilmiştir. Bu çalışmalara örnek vermek gerekirse kaotik davranışların gözlemlendiği [38,40,41], çoklu çekici yapılarının bulunduğu [31], kendinden uyarlamalı ve gizli çekicilere sahip olan [39,42,43] çeşitli devrelerde teorik analizler, sayısal benzetimler ve deneysel ölçümler gerçekleştirilerek sunulmuştur. Muthuswamy&Chua [44] ve Muthuswamy&Kokate [45] emülatörlerin lineer olmayan özelliklerini kullanarak kaotik devrelerde uygulamalarını yapmıştır. [45]'de Chua'nın lineer olmayan ögesi yerine basit bir memristör yerleştirilerek kaotik bir devre elde edilmiştir. Memristör tabanlı kaotik devrelere ait diğer bir çalışma Bao, Xu ve Liu tarafından literatüre sunulmuştur [46]. Daha sonra yapılan bir çalışmada Lyapunov üssü ve devrenin çatallanma diyagramları yine Bao, Liu ve Xu tarafından incelenmiştir [47]. [48]'de sürekli kübik doğrusal olmayan bir yapı ile karakterize edilmiş aktif bir akı kontrollü memristör içeren basit bir memristör tabanlı kaotik devre tasarlanmıştır. Literatürde, memristörün doğrusal olmayan bir eleman olarak kullanılmasıyla tasarlanan birçok yeni kaotik sistem [49–51] ve ayrıca hiperkaotik sistemler de yukarıda verilen örnekler dışında mevcuttur [52–54].

Kaotik devre modelleri tekrar programlanabilir veya yeniden yapılandırılabilir sistemler içinde gerçeklemeye uygundur. Literatürde kaotik sistemlerin de aralarında bulunduğu FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizisi) tabanlı birçok modelleme çalışması yer almaktadır. Bunlara bazı örnekler vermek gerekirse Sadoudi ve arkadaşları güvenli kaotik haberleşme sistemleri için Chen kaotik sistemini FPGA'da modellemiştir [55]. Merah ve arkadaşları yaptıkları çalışmada bilgi güvenliği uygulamaları için Lorenz kaotik sistemini FPGA ortamında tasarlamışlardır [56]. De Micco ve arkadaşları yaptıkları çalışmada RK4 algoritmasını kullanarak Lorenz kaotik sistemini FPGA'da gerçekleştirmişlerdir [57]. Bunun yanı sıra memristör ve memristif sistemlerin FPGA platformunda modellenmesi ve gerçekleştirilmesi araştırmacıların ilgisini fazlasıyla çekmektedir. 2018 yılında kesir dereceli memristör modeli ile tasarlanan bir kaotik osilatörün FPGA'da sayısal benzetim sonuçlarını doğrulamak için Adomian ayrıştırma yönteminin kullanıldığı bir çalışma Rajagopal ve arkadaşları tarafından rapor edilmiştir [58]. Daha sonra yine Rajagopal tarafından kesirli dereceli farklı memristör bileşenleri ile yeni bir kaotik sistem önerilmiş olup, bu kaotik sisteme ait dinamik analizler sunulmuş ve elde edilen sistem FPGA platformunda gerçekleştirilmiştir [59]. 2018 yılında Tolba ve arkadaşlarına ait çalışmada, farklı memristör modellerinin FPGA gerçeklemeleri sunulmaktadır [60]. Memristörün FPGA platformunda modellenmesi üzerine çalışmalar farklı uygulama alanlarında artarak devam etmektedir [61,62].

Literatürde özellikle karmaşık dinamik özelliklere ilişkin araştırmalar, kaotik memristif devreler üzerinde yoğunlaşmaktadır [38,47]. Bu araştırmalar daha çok Chua'nın devre modeline dayanmaktadır [63]. Bundan başka özellikle osilatör devreleri kaotik tasarımları gerçeklemek için çok iyi bir uygulama alanı olarak karşımıza çıkmaktadır. Bunlardan en önemlisi ve yaygın kullanılanı Wien-köprü osilatörleridir. Wien-köprü devresi bir RC salınım devresi olup, dayanıklı bir salınım kararlılığı ve iyi bir dalga biçimi özelliklerine sahiptir. Bu osilatör çok farklı kombinasyonlarla kullanılabilir. Örneğin klasik 2D (dimensional) Wien köprüsü kaotik devresine iki anti-paralel diyot ve bir LC paralel devresi eklenerek 4D bir osilatör kullanımı rapor edilmiştir [64]. Bundan başka 4D Wien köprüsü kaotik devresinin direncini değiştirmek için akı kontrollü bir memristörün kullanıldığı çeşitli çalışmalar mevcuttur [46,65]. Ayrıca hiperkaotik memristif devre özelliğine sahip bir 5D Wien köprüsü tasarımı da literatüre sunulmuştur [66,67].

Kaotik işaretlerin kontrolü ve bu işlem için kullanılan kontrolör parametrelerinin seçim işlemi literatürde kapsamlı olarak incelenmiştir. Kaotik işaretlerin yaygın bir spektruma sahip olması, araştırmacıları bu işaretleri haberleşmede kullanmanın haberleşme açısından gürültüye karşı daha etkili ve güvenli bir bilgi iletimi gerçekleştireceği fikrine itmiştir. Bu durumda modülasyon/demodülasyon şemasında senkronizasyonun sağlanmasını gerektirmektedir. Kaotik senkronizasyon için bir çok yöntem geliştirilmiştir. Bunlar içinde en yaygın yöntemlerden biri PID (Proportional-Integral-Derivative, Oransal-İntegral-Türev) kontrolör kullanımıdır. PID kontrolör parametrelerinin ayarlanmasında Genetik Algoritma (GA), Evrimsel Programlama (EP), Parçacık Sürü Optimizasyonu (PSO) [68–70] gibi sayısal algoritmalar kullanılmaktadır. Bu işlem yapılırken PID kontrol sistemi için parametreler hatayı en iyi şekilde yok etmelidir. Bu algoritmalar tarafından sağlanan bazı verimli seçim mekanizmaları vardır ve ayrıca PID kontrol sistemlerinin kaotik işaretlerin kontrolünde başarılı olduğu literatürde birçok çalışmada doğrulanmıştır [68,71–73].

Kaotik işaretlerin analog ve sayısal kaotik haberleşme teknikleri kullanılarak gerçekleştirilen haberleşme uygulamaları literatürde oldukça ilgi çekmektedir. Kaos temelli güvenli haberleşme, basitliği ve öngörülemez yüksek güvenilirlik nedeniyle geleneksel yöntemlere göre potansiyel avantaj sağladığı için son zamanlarda büyük ilgi görmüştür. Eşzamanlılık olasılığı nedeniyle kaosa dayalı analog haberleşme sistemleri yaygın kullanılmaktadır [74]. Senkronizasyon işlemi, sürücü (master) sistem çıkışı ve cevaplayıcı (slave) sistem çıkışının birlikte senkronize olarak salınacak şekilde kontrol edildiğinde gerçekleşmektedir. Öte yandan, sayısal kaotik haberleşme sistemleri tamamen kaos senkronizasyonuna bağlı değildir. Bunun yerine, genellikle başlangıç koşullarının ve kontrol parametrelerinin gizli anahtar rolünü oynadığı bir veya daha fazla kaotik harita kullanılmaktadır [75]. Analog haberleşme yöntemleri için sinyal maskeleyme ve kaotik parametrik modülasyon, analog kaos tabanlı haberleşme sistemlerinde kullanılan temel yöntemlerdir. Pan ve diğ., Lorenz tabanlı kaotik maskeleyme ile güvenli haberleşme için bir frekans alanının kesişme yöntemini ortaya koymuştur [76]. Yang ve diğ., kanal gürültüsüne maruz kalan belirsiz kaotik

sistemler için kaotik senkronizasyon işlemi gerçekleştirmiş ve kanal gürültüsünü bastırmak için güvenli bir haberleşme sistemi kullanmışlardır [77].

Sayısal haberleşme ile ilgili literatürde birçok çalışma bulunmaktadır [78,79]. Kaos kaydırmalı anahtarlama (CSK) [80], kaotik açma-kapama anahtarlama (COOK) [81], diferansiyel kaos kaydırmalı anahtarlama (DCSK) [82], karesel kaos kaydırmalı anahtarlama (QCSK) [83] bu tekniklerin sadece bir kaçı olarak sayılabilir. Bit başına sabit bir enerjiye sahip olan frekans modülasyonlu diferansiyel kaos kaydırmalı anahtarlama (FM-DCSK), Kolumban tarafından tanıtılmıştır [84]. Bu haberleşme modülü, yayılı spektrum (SS) iletişim uygulamaları için bilgi taşıyıcısı olarak kaotik sinyalleri kullanan basit, pratik ve tutarlı bir sistemdir. Ayrıca hem toplanır beyaz Gauss gürültüsü (Additive White Gaussian Noise-AWGN) hem de çok yollu kanallar üzerinde senkronizasyon hatası olan DCSK ve FM-DCSK haberleşme sistemlerinin performansı için bir çok araştırma yapılmıştır [85,86]. AWGN, Rayleigh, Rician gibi farklı tip kanal modellerine dayalı DCSK sisteminin performansına ait çalışmalar literatüre sunulmuştur [87–89]. Kablosuz kişisel alan ağları için kaotik haberleşmeye dayalı sistemler önerilmiştir [90,91].

1.1. Tezin Amacı

Leon O. Chua direnç, bobin ve kondansatör ile kavramsal simetriyi tamamlamak için dördüncü bir devre elemanı bulunması gerektiğini iddia ederek, yük ve akı arasındaki eksik ilişkiyi tanımlayan memristörü keşfetmiştir [1]. Elektronik devre tasarımı, bilgisayar mimarileri ve nöromorfik mühendislik alanında devrim oluşturabilme potansiyeli nedeniyle büyük ilgi çeken memristör elemanı modelleme, tasarım teknikleri ve anahtarlama mekanizmaları açısından halen çözülmeyi bekleyen çok sayıda açık problemi olan nano yapı bir elemandır. Son zamanlarda memristör ve memristif sistemlere duyulan ilginin artmasıyla, memristör tabanlı kaotik sistem tasarımı ve kaotik haberleşme sistemlerinde memristörün kullanılması bu tez çalışmasının temel amaçları olarak belirlenmiştir.

Memristörün analiz edilebilmesi için bilgisayar ortamında modellenmesi ve benzetiminin yapılması gerekmektedir. Yapılan benzetim ve analizler ile hem teorik bilginin hem de deneysel olarak yapılan çalışmaların sonuçları doğrulanabilmektedir. Ayrıca model üzerinde yapılacak parametre değişimlerinin etkileri benzetim çalışmaları ile kolaylıkla görülebilmektedir. Memristörün ticari ürün olarak henüz üretilmemesinden dolayı birçok memristör emülatör devresi literatüre sunulmuştur. Kullanılan bir emülatör yardımıyla memristör tabanlı kaotik sistemlerin de analizini yapmak mümkündür. Memristörün kaotik devrelerde kullanılmasının bazı nedenleri vardır. Bunlardan kısaca bahsetmek gerekirse; nano boyutta olması devre uygulamasını kolaylaştırmaktadır. Bu nedenle gelecekte temel bir tasarım ögesi haline gelmesi öngörülmektedir. Basit topolojik değişikliklerle (seri ve/veya paralel bağlantı gibi) dinamik olarak farklı çoklu çekici

sonuçları elde edilebilir. Ayrıca, doğrusal olmayan bellek özellikleri nedeniyle, memristör elemanı en az sayıda elemandan oluşan yeni kaotik devrelerin tasarlanmasını sağlayabilmektedir [28,37,92].

Tez kapsamında sürekli kübik doğrusal olmayan bir yapı ile karakterize edilen memristör emülatörünün kullanılmasıyla memristör tabanlı kaotik ve hiperkaotik sistemlerin incelenmesi amaçlanmaktadır. Özellikle farklı uygulamalarda kullanılacak kaotik sinyallerin çeşitliliğinin artması ve farklı kaotik sinyallerin literatüre sunulmasından dolayı elde edilen devreler oldukça ilgi çekicidir. Tasarlanan devrelerin kaotik analizi; faz portreleri, Lyapunov üstelleri ve çatallanma diyagramları incelenerek sistemlerin dinamikleri hakkında sonuçlar elde edilecektir. Deneysel olarak elektronik devre gerçeklemesi de yapılarak gerçek zamanlı sonuçlar literatüre sunulacaktır. Önerilen kaotik ve hiperkaotik devrelerden elde edilen sinyallerin tipik olarak diğer kaotik sistemler gibi geniş bantlı, gürültü benzeri ve zor tahmin edilir olmasından dolayı tasarlanan memristör tabanlı sistemlerin kaos tabanlı analog ve sayısal haberleşme uygulamaları gerçekleştirilecektir. Kaos tabanlı analog haberleşme sistemlerinde kullanılacak sinyallerin senkronizasyonu, optimizasyon algoritmaları kullanılarak kazanç katsayıları elde edilen PID kontrolör aracılığıyla gerçekleştirilecektir. Sayısal haberleşme uygulamaları için çeşitli modülasyon teknikleri kullanılacaktır. COOK modülasyonun yanı sıra DCSK haberleşme sistemi AM-DCSK ve FM-DCSK modülasyonu aracılığıyla bu kaotik sinyallerin sayısal haberleşme uygulamaları gerçekleştirilecektir. BER analizleri elde edilerek memristör tabanlı kaotik devreye ait gürültü performans analizleri yapılacak olup sonuçları sunulacaktır. Bu çalışmaların bazıları ayrıca FPGA ortamında donanımsal olarak gerçekleştirilerek tasarlanan kaotik ve hiperkaotik devrelerin farklı uygulamaları literatüre sunulmuş olacaktır.

1.2. Tez İçeriği

Bu tez kapsamında öncelikle bir memristör emülatörü önerilmiş ve bu emülatör kullanılarak farklı memristör tabanlı kaotik ve hiperkaotik devre modelleri gerçekleştirilmiştir. Tezin özgün yanlarından biri, sürekli kübik doğrusal olmayan bir yapı ile karakterize edilen memristör modeli için bir emülatörün memristör tabanlı kaotik ve hiperkaotik devre tasarımlarında kullanılmasıdır. Literatürde ikinci dereceden lineer olmayan terim içeren birçok kaotik denklem bulunmaktadır, fakat bunların memristör elemanı ile gerçeklemesi için kübik memristansa ihtiyaç varken, bunun için literatürde yeterli çalışma bulunmamaktadır. Burada kullanılan memristör emülatörü ile bu sorun çözülmektedir. Memristör emülatörün özellikleri kullanılarak yeni kaotik ve hiperkaotik denklem takımları elde edilmiştir. Bu sayede önerilen emülatör ile diğer kaotik ve hiperkaotik denklem takımlarının da memristör tabanlı olarak gerçeklemesi mümkün hale gelmiş olmaktadır. Çalışma ortamı olarak memristör tabanlı Chua devreleri seçilmiş, kullanılan emülatör ile tasarım sonuçları verilmiştir. Ayrıca Chua devresinden Wien köprü osilatör devre gerçeklemesi de kübik

memristör emülatörü kullanılarak hem devre gerçekleştirilmesi şemaları, hem de bu devreyle ilgili dinamik analiz sonuçları sunulmuştur.

Tezde göz önüne alınan ve kübik memristör emülatörü kullanılan tüm kaotik ve hiperkaotik sistemlerin dinamikleri, Lyapunov üstelleri, kaotik faz portreleri ve çatallanma diyagramları gibi kaotik özellikleri incelenmiştir. Sunulan kaotik ve hiperkaotik devreler haberleşme uygulamalarında analog ve sayısal modülasyon teknikleri kullanılarak gerçekleştirilmiştir. Kaotik analog haberleşme için sinyal maskeleyme yönteminin iki farklı yöntemi kullanılmıştır. Özellikle PID kontrolör yardımıyla kaotik senkronizasyonu sağlanan bu sistemler için haberleşme uygulaması gerçekleştirilmiştir. Ayrıca kaotik sayısal haberleşme yöntemlerinden olan COOK modülasyonun yanı sıra AM-DCSK ve FM-DCSK modülasyonları aracılığıyla kaotik sinyaller analiz edilmiş ve gürültü performans analizleri incelenmiştir. Bu sistemlerden bazıları ayrıca FPGA platformunda gerçekleştirilerek, tasarlanan kaotik ve hiperkaotik devrelerin farklı uygulamaları literatüre sunulmuştur.

1.3. Tez Yapısı

Tezin organizasyonu şu şekildedir: Bölüm 2’de memristör elemanı ve kaotik sistemler hakkında genel bilgilere yer verilmiştir. Bölüm 3’de memristör emülatörü ve memristör tabanlı kaotik devre gerçekleştirmeleri hakkında bilgiler sunulmuştur. Bu kısımda, memristör emülatörü tanıtılmış ve çok sayıda memristör tabanlı kaotik ve hiperkaotik devrede uygulaması yapılmıştır. Tasarlanan kaotik ve hiperkaotik sistemlerin dinamikleri, Lyapunov üstelleri, kaotik faz portreleri ve çatallanma diyagramları gibi kaotik özellikleri incelenmiştir. Bu kaotik sistemlerin hem elektronik devre modelleri hem de FPGA platformunda donanımsal olarak gerçekleştirmeleri ise Bölüm 4’de sunulmuştur. Bölüm 5’de kaotik senkronizasyon ve kaotik haberleşme sistemleri hakkında bilgiler kısaca verilmiştir. Senkronizasyon için kullanılan optimizasyon yöntemleri ve algoritmalar bu bölümde tanıtılmıştır. Kaotik haberleşme için analog ve sayısal haberleşme modülasyon yöntemleri incelenerek kullanılan simülatörler sunulmuştur. Altıncı bölümde ise gerçekleştirilen memristör tabanlı kaotik ve hiperkaotik devre sistemlerinin haberleşme uygulamaları FPGA platformunda gerçekleştirilerek analiz edilmiş ve sonuçları sunulmuştur. Analog haberleşme için kaotik maskeleyme modülasyonu kullanılırken, sayısal haberleşme için de COOK modülasyonu ve DCSK haberleşme sistemine ait AM-DCSK ve FM-DCSK modülasyonları kullanılarak haberleşme uygulamaları gerçekleştirilmiştir. Son bölümde ise gerçekleştirilen uygulamalara ait sonuçlar derlenerek sunulmuştur.

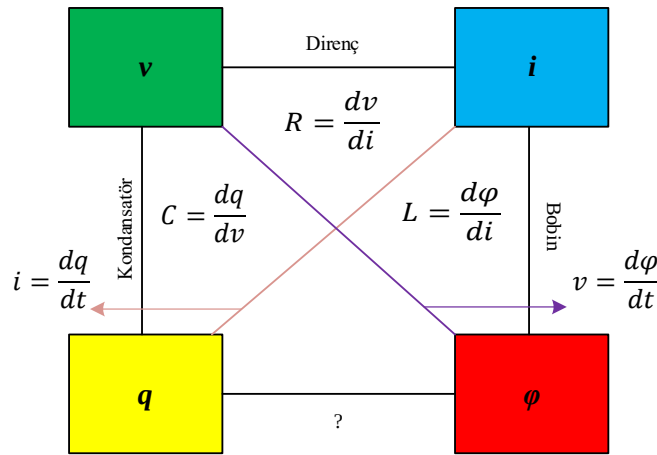
2. MEMRİSTÖR VE KAOTİK SİSTEMLERİN TEMELLERİ

Dördüncü temel eleman veya eksik bağıntı olarak bilinen memristör, 1971’de Kaliforniya Berkeley Üniversitesi’nden Profesör Leon O. Chua tarafından keşfedilmiştir [1]. Klasik temel devre elemanları olan direnç (R), bobin (L) ve kondansatör (C), dört temel devre değişkeni olarak adlandırılan manyetik akı (φ), elektrik yükü (q), akım (i) ve gerilim (v) arasındaki ikili ilişki bağıntıları ile tanımlanmaktadır. Chua, bu dört elektriksel değişken arasındaki ilişkilerin üç eleman kullanılarak tanımlanmasından yola çıkarak, başka bir temel devre elemanın da olması gerektiğini öne sürmüş ve bu elemanı *MEM*ory ve *Res*ISTOR kelimelerinin birleşiminden oluşan “memristör” olarak adlandırmıştır.

Memristörün ilk fiziksel gerçekleştirimi 2008 yılında Kaliforniya’da bulunan Hewlett-Packard (HP) Laboratuvarındaki Stanley Williams tarafından yönetilen bir araştırma grubu tarafından rapor edilmiştir [3]. Bu ilk somut adımdan sonra, memristör üzerinde yürütülen araştırmalar hız kazanmaya başlamış ve literatüre sunulan araştırma sayısının hızlı bir şekilde arttığı görülmüştür. Şimdiye kadar memristör hakkında yapılan çalışmalarla birlikte birçok model tanıtılmıştır. Ayrıca memristörün işlevini ve özelliklerini daha iyi anlayabilmek için memristör hakkında çok çeşitli çalışmalar yapılmakta ve yeni modeller analiz edilmektedir. Tasarlanan ve gerçekleştirilen araştırmalardaki memristör modellerinin çoğu SPICE benzetim modelleridir. Buradan yola çıkarak, bu bölümde memristör elemanı tanımı, yapısı, modelleri ve uygulama alanları hakkında temel bilgiler verilmektedir.

2.1. Memristörün Tanımı

Akım, gerilim, yük ve akı dört temel devre değişkeni olarak bilinmektedir. Şekil 2.1’de görüleceği gibi, bu dört temel devre değişkeninin altı olası kombinasyonu bulunmaktadır.



Şekil 2.1. Temel devre elemanlarının birbirleri arasındaki ilişki

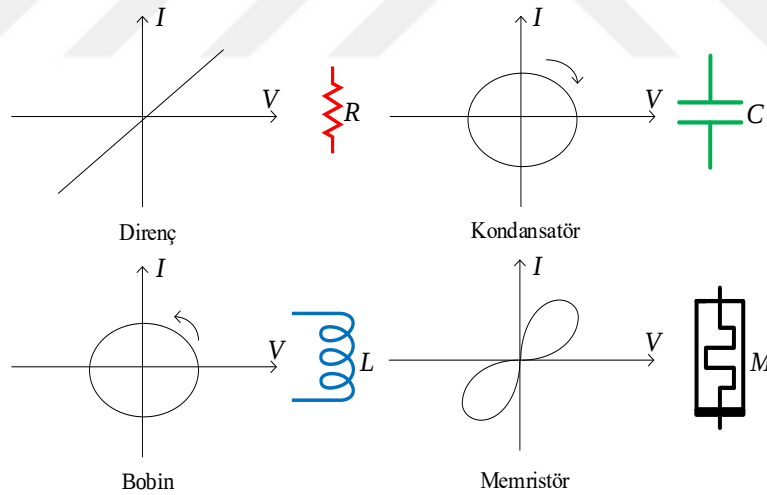
Bu altı kombinasyondan ikisi olan $(v-\varphi)$ ve $(i-q)$ arasındaki ilişkiler devre teorisinin temel bağıntıları olup,

$$q(t) = \int_{-\infty}^t i(\tau) d\tau \quad (2.1)$$

$$\varphi(t) = \int_{-\infty}^t v(\tau) d\tau \quad (2.2)$$

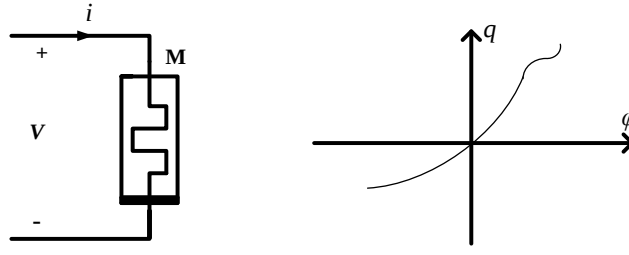
şeklinde tanımlanır. Diğer üç bağıntı olan $(v-i)$, $(q-v)$ ve $(\varphi-i)$ ise klasik üç temel devre elamanına karşılık gelmektedir. Dolayısıyla beşi tanesi bilinen bu bağıntıların yanı sıra boşta kalan $(q-\varphi)$ ilişkisinin ne tür bir bağlantıyı ifade ettiği bilinmemekteydi. Bu durum Chua'ya, yük ve akı arasındaki eksik ilişkinin ancak bir devre elemanı olabileceği fikrini vermiştir.

Memristörün temel çalışma prensibi üzerinden geçen akımın tepkisine bağlı olarak değişen bir direnç özelliği göstermesidir. Memristör elemanı bir yönden akım geçtiğinde direnci artarken, tersi yönde akım geçtiğinde ise direnci azalan bir eleman olarak çalışmaktadır. Üzerinden geçen akım kesilip tekrar akım verilmeye kadar sahip olduğu direnç değerini korumakta olup bu durum onun hafızalı direnç olduğu anlamına gelmektedir. *MEMory ResISTOR*'ün kısaltmaları olan memristör adını da bu özelliğinden dolayı almaktadır. Şekil 2.2'de devre elemanları ve bu elemanlara eklenen memristör elemanına ait akım-gerilim karakteristikleri verilmiştir.



Şekil 2.2. Temel devre elemanlarının akım-gerilim ilişkisi

Memristörün en önemli özelliklerinden birisi pasif bir eleman olmasıdır [93]. Diğer pasif elemanlarda olduğu gibi enerji üretemez, sadece tüketir. Şekil 2.3, Chua'nın makalesinde açıkladığı memristörün sembolünü ve $q-\varphi$ eğrisini göstermektedir.



Şekil 2.3. Memristör elemanı modeli ve memristör elemanına ait yük-akı ilişkisi [1]

Memristörün değerinin belirlenmesi için iki farklı tanım yapılmaktadır. Akı ve yük arasındaki ilişki elektrik yükünün bir fonksiyonu olarak ifade edilirse, bu durumda memristör yük kontrollü olarak ve değeri de memristans olarak tanımlanmış olur. Aynı şekilde akı ve yük arasındaki ilişkinin manyetik akının bir fonksiyonu olarak ifade edilmesi durumunda, memristör akı kontrollü olarak adlandırılır ve değeri mendüktans olarak tanımlanır [94].

Yük-kontrollü memristör ifadesi aşağıdaki denklemle tanımlanmaktadır:

$$\varphi = f(q) \quad (2.3)$$

Denklem 2.3'in zamana göre türevi alınırsa Denklem 2.4 elde edilir;

$$\frac{d\varphi}{dt} = \frac{df(q)}{dq} \frac{dq}{dt} \quad (2.4)$$

Burada $v(t) = d\varphi/dt$ ve $i(t) = dq/dt$ yazılarak düzenlenirse:

$$v(t) = M(q)i(t) \quad (2.5)$$

elde edilir ve $M(q)$, Denklem 2.6 ile tanımlanabilir:

$$M(q) = \frac{df(q)}{dq} \quad (2.6)$$

$M(q)$ terimi memristans olarak adlandırılır ve birimi ohm'dur.

Akı-kontrollü memristör ifadesi aşağıdaki denklemle tanımlanmaktadır:

$$q = f(\varphi) \quad (2.7)$$

Denklem 2.7'nin zamana göre türevi alınırsa

$$\frac{dq}{dt} = \frac{df(\varphi)}{d\varphi} \frac{d\varphi}{dt} \quad (2.8)$$

olur. Burada $v(t) = d\varphi/dt$ ve $i(t) = dq/dt$ yazılarak düzenlenirse

$$i(t) = W(\varphi)v(t) \quad (2.9)$$

elde edilir ve $W(\varphi)$, Denklem 2.10 ile tanımlanabilir:

$$W(\varphi) = \frac{df(\varphi)}{d\varphi} \quad (2.10)$$

Burada $W(\varphi)$ terimi mendüktans olarak adlandırılır ve birimi Siemens'dir.

2.2. Memristörün Özellikleri

Yukarıdaki 2.6 ile 2.10 arasındaki denklemler analiz edildiğinde memristör ve direnç arasındaki fark daha açık bir şekilde ortaya çıkmaktadır. Burada memristöre çarpımsal transfer fonksiyonu, sıfır geçiş (zero-crossing) ve kalıcı hafıza (non-volatile memory) gibi özelliklerin kazandırıldığı görülmektedir. Memristörün herhangi bir andaki çıkışı girişi ile memristansı temsil eden lineer olmayan bir fonksiyonun çarpımına eşittir. Giriş sıfır olduğunda çıkış da sıfıra gitmeye zorlanır [93]. Denklem 2.5 ve 2.9'da $M(q)$ ve $W(\varphi)$ 'deki q ve φ değişkenlerinin yerine Denklem 2.1 ve 2.2'deki integral ifadeleri konulursa:

$$v(t) = M\left(\int_{-\infty}^t i(\tau) d\tau\right) i(t) \quad (2.11)$$

$$i(t) = W\left(\int_{-\infty}^t v(\tau) d\tau\right) v(t) \quad (2.12)$$

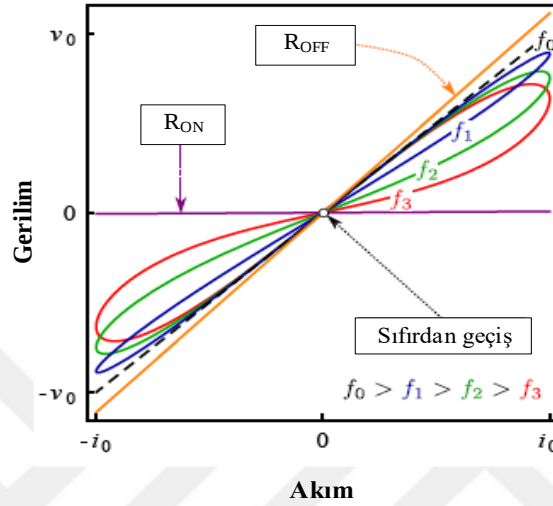
elde edilir. Buradan memristörün kalıcı hafıza özelliğine sahip olduğunu kolayca ispat etmek mümkündür. Çünkü integral ifadesi geçmiş değerleri de içine aldığından, memristans ve mendüktans değeri giriş sinyalinin daha önceki değerlerine bağlı olarak hafızalı bir şekilde hesaplanır. Giriş sinyali sisteme uygulandığı sürece memristans (veya mendüktans) değişimini korumaktadır. Fakat giriş sinyali kesilirse, tekrar giriş sinyali verilene kadar memristans (veya mendüktans) değeri en son sahip olduğu değerde kalmaktadır [1,95,96]. Memristör elemanına ait bir takım özellikler Chua ve Kang tarafından literatüre sunulmuştur. Bu özelliklerden bazıları memristans özelliği göz önüne alınarak aşağıda maddelenmiştir [1,16].

Pasiflik Kriteri: Memristörün anlık güç kaybı $p(t)=M(q)[i(t)]^2$ denklemiyle ifade edilir. $q \geq 0$ ise, yani $M(q)$ memristansı pozitif değere sahipse anlık güç her zaman sıfırdan büyüktür ve bundan dolayı memristör pasif bir elemandır denilebilir [1]. Burada φ - q eğrisi sürekli türevlenebilir bir fonksiyon olarak tanımlandığı sürece bu teorem geçerli olur. Pasif bir memristörün φ - q eğrisi monoton artan özelliktedir [1].

Sıkıştırılmış (Pinched) Histerezis Döngüsü: Periyodik bir sinyal memristöre uygulandığında, gerilim sıfır ise akım da sıfır olur ve aksi de geçerlidir. Bundan dolayı akım ve gerilim eğrileri her zaman orijinde çaprazlanır [1,16,97].

Lineer Karakteristik Sınırlaması: Pasif bir memristöre periyodik bir sinyal uygulandığı zaman, frekans sonsuza yaklaştığında memristör lineer bir direnç gibi davranmaktadır. Bunun

sebebi memristör elemanının histerezis karakteristik gösteren i - v eğrisinin frekans ile değişmesidir. Histerezis eğrisindeki yaprakların alanları frekans azaldıkça artar, frekans arttıkça azalır. Frekans sonsuz seviyelerine yaklaştığında ise memristör direnç gibi davranmaya başlar. Chua ve Kang tarafından sunulan memristörün histerezis (lissajous) eğrisi Şekil 2.4’de gösterilmiştir [16].



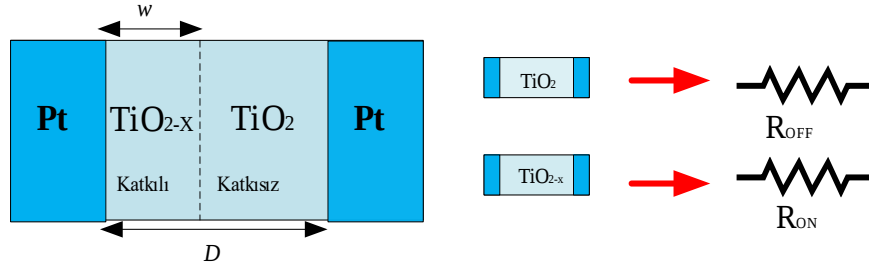
Şekil 2.4. Chua ve Kang tarafından sunulan memristörün histerezis (lissajous) eğrisi [16]

2.3. Memristör Modelleri

Memristör elemanı oldukça geniş yelpazeli bir uygulama alanında kullanılmaktadır. Bunun sebebi iyi ölçeklenebilirlik, düşük güç tüketimi, nano boyutlarda olması ve geleneksel CMOS (Complementary Metal Oxide Semiconductor) yapıları ile uyumluluk gibi önemli avantajlara sahip olmasıdır. Bununla birlikte, memristörlü devre tasarımları yapabilmek için memristör elemanının özelliklerini veren bir model geliştirilmesi gerekmektedir. Bu kısımda, literatürde önerilen başlıca memristör modelleri ve bu modellerin temel özellikleri tanıtılacaktır.

2.3.1. Lineer Sürüklenme Modeli

2008 yılında memristörü ilk defa fiziksel olarak elde eden Williams ve ekibi, aynı zamanda bu elemanı modelleyebilmek için çeşitli çalışmalar yapmıştır. Bu çalışmaların sonucunda lineer sürüklenme modeli veya kısaca HP modeli olarak adlandırdıkları Şekil 2.5’de görülen yapıyı önerdiler [3]. Önerilen fiziksel yapı iki platinyum malzeme arasına seri olarak yerleştirilen ve yalıtkanlığı yüksek saf titanyumdioksit ile oksijenle katkılanarak iletkenliği artırılan katkılanmış titanyumdioksit malzemelerden oluşmaktadır. Şekilde görülen D katkılı ve katkısız titanyumdioksit malzemenin toplam genişliğini, w ise yalnızca katkılanmış titanyumdioksit malzemenin genişliğini ifade etmektedir.



Şekil 2.5. HP'ye ait memristör modeli [3]

Şekil 2.5'de görüldüğü gibi her bir TiO_2 bölgesi bir dirençle modellenmiştir. Katkılı bölge daha düşük bir direnç (R_{ON}) sahiptir ve bu nedenle daha iletkenir. Katkılanmamış bölge ise daha yüksek direnç (R_{OFF}) sahiptir. Bundan başka TiO_2 bölgesinde oluşan alanın iletken ve homojen, iyon sürüklenmesinin ise doğrusal ve eşit ortalama iyon hareketliliğine sahip olduğu varsayılmaktadır [3,94].

Memristörün memristansı w değişkenine bağlı olarak

$$M(w) = R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D}\right) \quad (2.13)$$

şeklinde tanımlanır [3]. Memristöre bir $i(t)$ akımı uygulanırsa, iki bölge arasındaki sınır, yüklü katkı maddesinin kayması nedeniyle memristör boyunca hareket edecektir. Düzgün bir alan yükünde lineer bir iyon sürüklenmesi olacağı dikkate alınarak memristör üzerindeki voltaj

$$v(t) = M(w)i(t) = \left[R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D}\right) \right] i(t) \quad (2.14)$$

şeklinde ifade edilir. Burada $x(t) = \frac{w(t)}{D}$ olarak tanımlanırsa, Denklem 2.13 x 'e bağlı olarak

$$M(x) = R_{ON}x(t) + R_{OFF}(1 - x(t)) \quad (2.15)$$

halini alır. $x(t)$ $[0, 1]$ aralığı ile sınırlı olup, $x(t) = 0$ durumu $M(x) = R_{OFF}$ ve $x(t) = 1$ durumu ise $M(x) = R_{ON}$ değerlerine karşılık gelmektedir. Bu durumda, Denklem 2.14

$$v(t) = \left(R_{ON}x(t) + R_{OFF}(1 - x(t)) \right) i(t) \quad (2.16)$$

şeklinde kısaca ifade edilebilir. $w(t)$ 'nin türevi titanyumdioksit bölgeler arasındaki sınırın kayma hızına karşılık gelir. Buradan $w(t)$ 'nin normalize edilmiş hali olan $x(t)$ 'nin türevi

$$\frac{dx(t)}{dt} = \frac{R_{ON}}{\beta} i(t) \quad (2.17)$$

şeklinde tanımlanır [3]. Burada β karakteristik sürüklenme hareketliliğini ifade eden bir sabit olup $\beta = \frac{D^2}{\mu_v}$ ile ifade edilir. Denklem 2.17'den akım değişkeni çekilerek Denklem 2.16'da yerine konulursa

$$v(t) = \beta \left[x(t) + \frac{R_{OFF}}{R_{ON}} (1 - x(t)) \right] \frac{dx(t)}{dt} \quad (2.18)$$

elde edilir. Burada $r = R_{OFF}/R_{ON}$ olarak tanımlanırsa

$$v(t) = \beta [x(t) + r(1 - x(t))] \frac{dx(t)}{dt} \quad (2.19)$$

olarak bulunur. $x(t) \frac{dx(t)}{dt} = \frac{1}{2} \frac{d}{dt} x^2(t)$ matematiksel özelliği göz önüne alınır ve Denklem 2.19'da her iki tarafın integrali alınır

$$\varphi(t) = \beta \left[\frac{1-r}{2} x^2(t) + rx(t) + \varphi(0) \right] \quad (2.20)$$

bulunur. Burada $\varphi(0)$ sabit bir terim olup, $x=0$ olduğunda değeri sıfır olarak alınır. $x(t) = \frac{w(t)}{D}$ ifadesinde her iki tarafın türevi alınıp, Denklem 2.17'de yerine yazılırsa:

$$\frac{1}{D} \frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D^2} i(t) \quad (2.21)$$

elde edilir. Heri iki tarafın integrali alınır:

$$\frac{w(t)}{D} = \mu_v \frac{R_{ON}}{D^2} q(t) \quad (2.22)$$

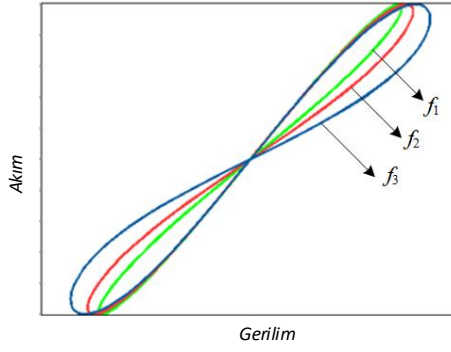
bulunur. Denklem 2.22, Denklem 2.13'te yerine konulursa:

$$M(q) = \frac{d\varphi}{dq} = R_{ON} \frac{\mu_v R_{ON}}{D^2} q(t) + R_{OFF} \left(1 - \frac{\mu_v R_{ON}}{D^2} q(t) \right) \quad (2.23)$$

şeklinde memristans değeri artık q 'ya bağlı olarak elde edilir. $R_{OFF} \gg R_{ON}$ için memristans değeri kısaca:

$$M(q) = R_{OFF} \left(1 - \frac{\mu_v R_{ON}}{D^2} q(t) \right) \quad (2.24)$$

şeklinde formülize edilir [98]. Yukarıdaki denklemden memristans ile D kalınlığı arasındaki karesel ters orantı açıkça görülmektedir. Bu nedenle daha iyi memristans karakteristiği için D kalınlığının küçük olması yeterlidir. Üç farklı frekans değeri ($f_1 > f_2 > f_3$) için LABVIEW ortamında elde edilen lineer sürüklenme modeline ait akım-gerilim karakteristikleri Şekil 2.6'da görülmektedir.

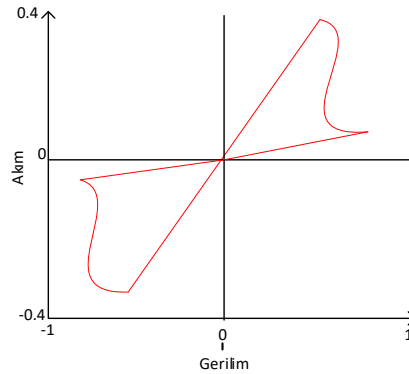


Şekil 2.6. Farklı frekans değerleri için memristöre ait akım-gerilim grafiği

2.3.2. Nonlineer Sürüklenme Modeli

Lineer sürüklenme modeli memristör için gerekli olan histerezis şekilli karakteristiği üretmesine rağmen, modelin teorisi çok fazla kabul ve varsayım içermektedir. Her şeyden önce, nano boyutlarda uygulanan küçük voltajlar büyük elektrik alanlarına neden olduklarından dolayı, memristör için iyon sınır konumu kesinlikle doğrusal olmayan bir şekilde hareket edecektir. İlave olarak, w 'yı sıfır yapmak mümkün değildir, çünkü $w=0$ durumu modelde tanımlanan yük taşıma mekanizmalarında fiziksel olarak oksijen boşluğu bulunmadığını gösterir. Öte yandan, titanyumdioksit bölgenin tüm D uzunluğu potansiyel olarak oksijen boşluklarıyla katkılanabilir. Ayrıca titanyumdioksit bölgeler arasındaki sınırın kayma hızı modelin merkezinde en büyük olmalı ve w her iki kenara yaklaştıkça ($w=0$ ve $w=D$) sıfıra düşürülmelidir. Bahsedilen tüm bu sınır değeri kısıtlamaları, aşağıda gösterildiği gibi bir pencereleme fonksiyonunun Denklem 2.21 ile çarpılmasıyla azaltılabilir [99].

$$\frac{1}{D} \frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D^2} i(t) F(x) \quad (2.25)$$



Şekil 2.7. Lineer olmayan modele ait akım gerilim grafiği [13]

Burada $x = w/D$ ile tanımlanan w değişkeninin normalize edilmiş halidir. Nonlineer sürüklenme modeline ait akım-gerilim grafiği Şekil 2.7’de görülmektedir. Denklem 2.25’te genel olarak $F(x)$ ile tanımlanan birçok farklı pencere fonksiyonu literatüre sunulmuştur [3,93,100,101]. Bu fonksiyonlardan bazıları şu şekilde sıralanabilir:

A. Strukov Pencere Fonksiyonu Modeli

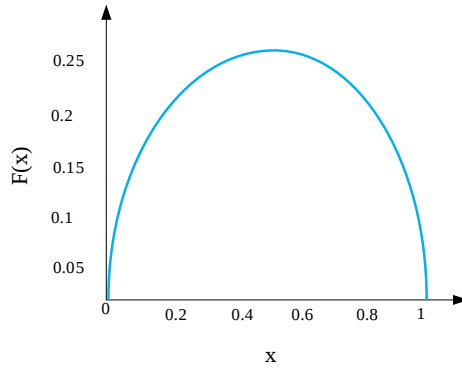
Yukarıda bahsedildiği gibi sınır değer kısıtlamaları bir pencereleme fonksiyonu kullanılarak modellenebilir. $F(x)$ fonksiyonunun değeri, TiO_2 bölgesinin ortası olan $x=0.5$ değerinde maksimuma ulaşmalı ve $x=0$ ile $x=1$ durum değerlerinde sıfır değerine düşmelidir. Bunlardan biri olan Strukov modeli [3]:

$$F(x) = x\left(\frac{1}{D} - x\right) \quad (2.26)$$

şeklinde tanımlanır. $F(0)=0$, $F(D)=(1-D)/D \approx 0$ olmaktadır. Bu pencere fonksiyonu Strukov ve ark. tarafından önerilmiş olup, bu modele ait pencereleme fonksiyon grafiği Şekil 2.8’de gösterilmiştir [3]. Bu pencereleme fonksiyonu için sınır koşulları incelenirse:

$$\begin{cases} w \rightarrow 0 \\ w \rightarrow D \end{cases} \rightarrow \frac{dw}{dt} = 0 \quad (2.27)$$

elde edilir. Bu pencereleme fonksiyonunun dezavantajı; hiçbir dış alan etkisi memristörün durumunu değiştirememektedir ve bu durum önemli bir sorun olarak karşımıza çıkmaktadır.



Şekil 2.8. Strukov vd. tarafından önerilen pencere fonksiyonu modeli

B. Benderli Pencere Fonksiyonu Modeli

Bir başka model ise Benderli tarafından literatüre sunulmuştur. Bu pencereleme fonksiyonu her iki sınır koşulunu da tam olarak karşılayabilmektedir. Benderli’ye ait pencere fonksiyonu aşağıdaki gibi tanımlanır:

$$F(x) = x(1 - x) \quad (2.28)$$

Bu pencere fonksiyonuna ait sınır koşulları incelenecek olunursa

$$\begin{cases} w \rightarrow 0 & F(x) \rightarrow 0 \\ w \rightarrow D & F(x) \rightarrow 0 \end{cases} \quad (2.29)$$

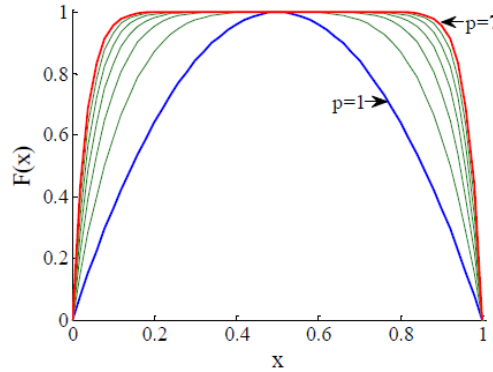
elde edilir.

C. Joglekar Pencere Fonksiyonu Modeli

Diğer bir pencere işlevi ise Joglekar ve Wolf tarafından 2009'da önerilmiştir [102]. İşlevin doğrusal olup olmadığını (veya doğrusallığını) kontrol etmek için pencereleme fonksiyonuna bir kontrol parametresi eklemiştir.

$$F(x) = 1 - (2x - 1)^{2p} \quad (2.30)$$

Burada p kontrol parametresi olup, pozitif tamsayı değerler almaktadır. Fonksiyonun ürettiği grafik, p değeri arttıkça dikdörtgen pencere şekline doğru dönüşmekte olup, doğrusal olmayan kayma durumu azalmaktadır. Sınır koşulları $F(0)=F(1)=0$ olarak arzu edilen özelliktedir. Şekil 2.9, Joglekar ve Wolf'un merkezde maksimum değeri olan ve sınırlarda sıfıra ulaşan pencere işlevini göstermektedir.



Şekil 2.9. Joglekar ve Wolf tarafından önerilen pencere fonksiyonunun grafiği [102]

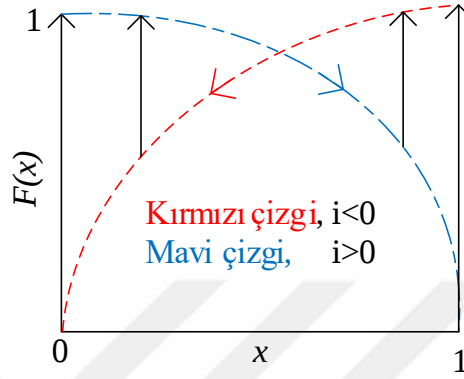
D. Biolek Pencere Fonksiyonu Modeli

Biolek ve diğ. [103], Joglekar'ın pencere fonksiyonunun alternatifi olarak başka bir pencereleme fonksiyonu geliştirmişlerdir. Bu çalışmada genel olarak Joglekar'ın sunduğu model ile aynı olup memristör akımı olan i değeri de harici bir parametre olarak pencere fonksiyonuna eklenmiştir. Biolek pencere fonksiyonu

$$F(x) = 1 - (x - \text{sgn}(-i))^{2p} \quad (2.31)$$

$$\text{sgn}(i) = \begin{cases} 1, & i \geq 0 \\ 0, & i < 0 \end{cases} \quad (2.32)$$

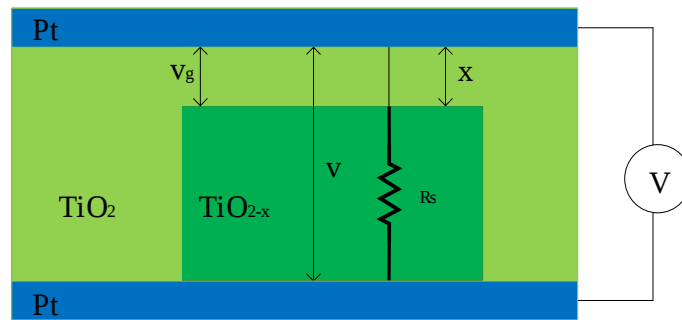
şeklinde tanımlanmakta ve fonksiyonun grafiği Şekil 2.10'da gösterilmektedir.



Şekil 2.10. $p=2$ için Biolek vd. tarafından önerilen pencere fonksiyonu [103]

2.3.3. Simmons Tünel Bariyer Modeli

Tanımlanan önceki iki modelin temeli, HP ekibinin sunduğu memristör modelindeki birbirine seri olarak bağlanmış saf ve katkılanmış titanyumdioksit bölgeleri ile bu bölgelere ait RON ve ROFF dirençlerine dayalıdır [3]. Bununla birlikte, Pickett ve diğ. [104] bu modeli geliştirerek daha farklı yapıda bir fiziksel memristör modeli önermişlerdir. Bu modelde, HP modelindeki seri iki direnç yerine, Şekil 2.11'de gösterildiği gibi bir direnç ile bir elektron tünel bariyeri birbirine seri bağlanmıştır.



Şekil 2.11. Simmons memristör modeli [104]

Simmons tünel bariyerinin genişliği x durum değişkenine bağlıdır [105]. Böylece, farklılaşan x , oksijen boşluğunun kayma hızı olarak tanımlanabilir ve Denklem 2.32' deki gibi ifade edilebilir:

$$\frac{dx(t)}{dt} = \begin{cases} C_{off} \sinh\left(\frac{i}{i_{off}}\right) \exp\left[-\exp\left(\frac{x-a_{off}}{w_c} - \frac{|i|}{b}\right) - \frac{x}{w_c}\right], & i > 0 \\ C_{on} \sinh\left(\frac{i}{i_{on}}\right) \exp\left[-\exp\left(\frac{x-a_{on}}{w_c} - \frac{|i|}{b}\right) - \frac{x}{w_c}\right], & i < 0 \end{cases} \quad (2.33)$$

Burada C_{off} , C_{on} , a_{off} , a_{on} , i_{off} , i_{on} ve b modele ait parametrelerdir. C_{on} , C_{off} 'dan daha büyük olmalıdır ve her iki değişken de x değişiminin büyüklüğünü etkilemektedir. i_{on} ve i_{off} parametreleri, modelin akım eşiğini etkili bir şekilde sınırlamakta ve bu akımlar altında x 'in türevinde fazla bir değişim meydana gelmemektedir. a_{off} ve a_{on} parametreleri x için üst ve alt sınırları belirlemektedir. Tanımlanan aralık dâhilinde durum değişkeninin türevi durum değişkeninin kendisinden çok daha küçük olduğundan, bir pencere işlevine gerek yoktur. Bu durum Simmons tünel bariyer modelinin pencere işlevlerine ihtiyaç duymaması bakımından en önemli avantajlarından biridir [16].

Simmons Tünel Bariyer modeli, önceki iki modele göre doğruya yakın sonuçlar verse de bazı dezavantajlara sahiptir. Denklem 2.33'de de görüldüğü gibi model karmaşık bir matematiksel ifadeye sahiptir. Bu nedenle memristörün bu model ile akım ve gerilimini tahmin etmek kolay değildir.

2.3.4. Eşik Uyarlamalı Memristör (TEAM) Modeli

TEAM modeli Kvatinsky ve ark. [106] tarafından önerilen daha avantajlı ve genel bir modeldir. Fiziksel modeli Simmons tünel bariyer modeline benzemekle birlikte daha basit bir matematiksel ifadeye sahiptir. TEAM modelinde üstel bağımlılık yerine memristör akımı ile iç durum sapması türevi arasında polinomsal bir bağımlılık vardır. Buna göre durum değişkeninin türevi

$$\frac{dx(t)}{dt} = \begin{cases} k_{off} \cdot \left(\frac{i}{i_{off}} - 1\right)^{\alpha_{off}} \cdot f_{off}(x), & 0 < i_{off} < i \\ k_{on} \cdot \left(\frac{i}{i_{on}} - 1\right)^{\alpha_{on}} \cdot f_{on}(x), & i < i_{on} < 0 \\ 0, & \text{diğer} \end{cases} \quad (2.34)$$

şeklinde ifade edilir. Burada k_{off} , k_{on} , α_{off} ve α_{on} sabit parametreler ($k_{off} > 0$, $k_{on} < 0$), i_{on} ve i_{off} ise iyon akım eşik değerleri olarak bilinir. Denklemden $f_{off}(x)$ ve $f_{on}(x)$, pencereleme işlevi gibi davranarak x 'i $[x_{on}, x_{off}]$ aralığında sınırlandırır. Bu fonksiyonlar eşit olmak zorunda değildir; x 'e bağımlılığın asimetrik olduğu Simmons tünel bariyer modelinde olduğu gibi seçilebilir:

$$f_{off}(x) \stackrel{\text{def}}{=} \exp\left[-\exp\left(\frac{x-a_{off}}{w_c}\right)\right] \quad (2.35)$$

$$f_{on}(x) \stackrel{\text{def}}{=} \exp\left[-\exp\left(\frac{x-a_{on}}{w_c}\right)\right] \quad (2.36)$$

TEAM modelinde memristörün gerilim-akım ilişkisi lineer ve üstel olmak üzere

$$v(t) = \left[R_{ON} + \frac{R_{OFF} - R_{ON}}{x_{off} - x_{on}} + (x - x_{on}) \right] i(t) \quad (2.37)$$

veya

$$v(t) = \left[R_{ON} + e^{\frac{\lambda}{x_{off} - x_{on}}(x_{off} - x_{on})} \right] i(t) \quad (2.38)$$

iki farklı şekilde ifade edilebilir. Üstel ilişkideki λ , ayar parametresi olarak tanımlanır. R_{ON} ve R_{OFF} sınırlardaki eşdeğer dirençler olup aralarında

$$\frac{R_{OFF}}{R_{ON}} = e^{\lambda} \quad (2.39)$$

şeklinde bir ilişki vardır. Kvatinsky ve diğ., TEAM modelinin % 0.2 ortalama hata ile diğer modellere göre çok daha doğru bir model olduğunu öne sürmüşlerdir [16,106].

Kvatinsky ve diğ., yukarıda bahsedilen memristör modelleri ve bu modellerin özellikleri arasında bir karşılaştırma yaparak Tablo 2.1'i sunmuşlardır [106]. Tablo 2.2'de bu modellere eklenen pencere fonksiyonları karşılaştırılmış, Tablo 2.3'de ise bu modellerin matematiksel özellikleri verilmiştir.

Tablo 2.1. Mevcut memristör modelleri [106]

Model	Lineer sürüklenme	Nonlineer sürüklenme	Simmons tünel bariyer	TEAM
Durum değişkeni	$0 \leq w \leq D$	$0 \leq w \leq 1$	$a_{off} \leq x \leq a_{on}$	$x_{on} \leq x \leq x_{off}$
Kontrol mekanizması	Akım kontrollü	Gerilim kontrollü	Akım kontrollü	Akım kontrollü
Akım-gerilim ilişkisi ve memristans	Belirli	I - V belirli, memristans belirsiz	Belirsiz	Belirli
Memristif sistem tanımı eşleniği	Evet	Hayır	Hayır	Evet
Türe özgü olması	Hayır	Hayır	Hayır	Evet
Uygulanabilir modelle doğruluk karşılaştırması	En düşük doğruluk	Düşük doğruluk	Yüksek doğruluk	Yeterli doğruluk oranı
Eşik değeri varlığı	Yok	Yok	Kısmen var	Evet

Tablo 2.2. Farklı pencere fonksiyonlarının karşılaştırılması [106]

Fonksiyon	Joglekar	Biolek	Prodromakis	TEAM
$\frac{f(x)}{f(w)}$	$F(w) = 1 - \left(2\frac{w}{D} - 1\right)^{2p}$	$F(w) = 1 - \left(\frac{w}{D} - \text{sgn}(-i)\right)^{2p}$	$f(w) = j(1 - [(w - 0.5)^2 + 0.75]^p)$	$f_{on,off} = \exp[\exp\left(\frac{ x - x_{on,off} }{w_c}\right)]$
Simetrik	Evet	Evet	Evet	Gerekli değil
Sınır koşulları çözümü	Hayır	Süreksizlik	Kısmen evet	Kısmen evet
Doğrusal olmayan eğilime uygulanması	Kısmen	Kısmen	Kısmen	Evet
Ölçeklenebilirlik $f_{max} < 1$	Hayır	Hayır	Evet	Hayır
Memristör Modeli	Lineer/Nonlineer/TEAM	Lineer/Nonlineer/TEAM	Lineer/Nonlineer/TEAM	Simmons tünel bariyer modeli için TEAM

Tablo 2.3. Memristör modellerinin matematiksel özelliklerini [106]

Model	Akım-Gerilim İlişkisi	Durum Değişkeni
Lineer sürüklenme	$v(t) = \left[R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right] i(t)$	$\frac{1}{D} \frac{dw(t)}{dt} = \frac{R_{ON}}{\beta} i(t)$
Nonlineer sürüklenme	$i(t) = [w(t)^n \beta \sinh(\alpha v(t)) + X[\exp(\gamma v(t)) - 1]$	$\frac{1}{D} \frac{dw(t)}{dt} = \mu_V \frac{R_{on}}{D^2} i(t) F(x)$
Simmons tünel bariyer	$i(t) = \tilde{A}(x, v_g) \varphi_1(v_g, x) e^{-B(v_g, x) \sqrt{\varphi_1(v_g, x)}} -$ $\tilde{A}(x, v_g) [\varphi_1(v_g, x) + e v_g] x e^{-B(v_g, x) \sqrt{\varphi_1(v_g, x) + e v_g}}$ $v_g = v - i(t) R_s$	$\frac{dx(t)}{dt} = \begin{cases} C_{off} \sinh(i/i_{off}) e^{\left(-e^{\frac{x-a_{off}}{w_c} - \frac{ i }{b} - \frac{x}{w_c}} \right)} & i > 0 \\ C_{on} \sinh(i/i_{on}) e^{\left(-e^{\frac{x-a_{on}}{w_c} - \frac{ i }{b} - \frac{x}{w_c}} \right)} & i < 0 \end{cases}$
TEAM	$v(t) = \begin{cases} \left[R_{ON} + \frac{R_{OFF} - R_{ON}}{x_{OFF} - x_{ON}} (x - x_{ON}) \right] i(t) & \text{doğrusal} \\ \left[R_{ON} + e^{\frac{\lambda}{x_{off} - x_{on}} (x_{off} - x_{on})} \right] i(t) & \text{üstel} \end{cases}$	$\frac{dx(t)}{dt} = \begin{cases} k_{off} \cdot ((i/i_{off}) - 1)^{a_{off}} \cdot f_{off}(x) & 0 < i_{off} < i \\ k_{on} \cdot ((i/i_{on}) - 1)^{a_{on}} \cdot f_{on}(x) & i < i_{on} < 0 \\ 0 & \text{diğer} \end{cases}$

2.4. Memristörün Makro Modelleri

Memristörü devre teorisinde ve tasarım işlemlerinde kullanmak için fiziksel olarak modellemenin yanı sıra aynı zamanda bir benzetim ortamında da (örneğin, SPICE programı) modellemek gerekir. Literatürde bulunan bazı SPICE modelleri şu şekilde sıralanabilir:

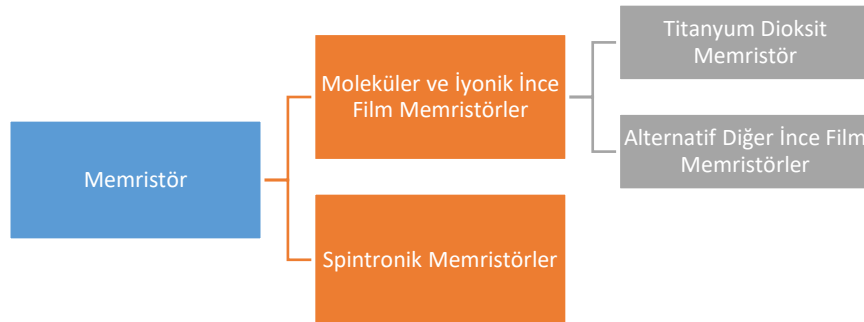
- Biolek ve diğ. [103] ile Benderli ve Wey [107]'in lineer sürüklenme modeline dayalı SPICE modelleri,
- Lehtonen ve Laiho [108]'nin nonlinear sürüklenme modeline dayalı SPICE modeli,
- Abdalla ve Pickett [109]'in Simmons tünel bariyer modeline dayalı SPICE modeli,
- Yakopcic ve diğ. [110]'nin memristör tabanlı nöromorfik sistemler için modellemeye izin veren basitleştirilmiş SPICE modeli.

2.5. Memristörün Fabrikasyonu

Memristörün fiziksel olarak üretimi üzerine çok sayıda çalışma halen devam etmektedir. Şekil 2.12'de memristör elemanının fabrikasyon yöntemlerine göre sınıflandırılması gösterilmektedir. Memristörün fabrikasyonunda amaç, tıpkı işlemsel yükselteçte olduğu gibi memristörün de bir entegre paket şeklinde üretilmesidir.

2.5.1. Moleküler ve İyonik İnce Film Memristör

Moleküler ve iyonik ince film memristörlerin yapıldığı malzeme yük altında histerezis özelliği göstermektedir. Literatürde farklı malzemeden yapılmış ince filmlerin kullanıldığı memristör yapıları mevcuttur.

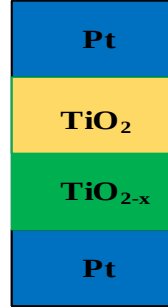


Şekil 2.12. Memristör çeşitlerinin sınıflandırılması

• TiO₂ Tabanlı Memristör

Titanyumdioksit bazlı memristör, fiziksel olarak ilk gerçekleştirimin yapıldığı en çok kullanılan memristör yapısıdır [3,111]. Aynı yapı, bazı değişikliklerle birlikte diğer araştırmacı

gruplar tarafından da üretilebilmektedir. Şekil 2.13’de HP tarafından sunulan memristör modeli gösterilmektedir. Aşağıda, TiO_2 kullanılarak üretilen yapılardan bazıları sıralanmıştır:



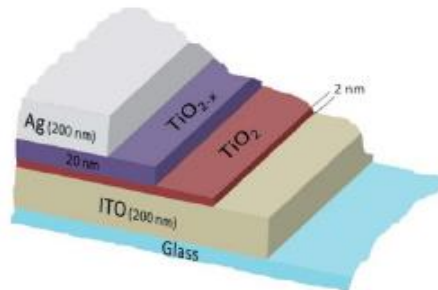
Şekil 2.13. HP tarafından sunulan memristör modeli

Pt/ TiO_2 /Pt Memristör

Bu memristör modeli, TiO_2 katmanının bir tarafının oksijen boşluklarına sahip olduğu, platin temas noktaları arasına sıkıştırılmış ince bir titanyum dioksit katmanından oluşmaktadır. Temel olarak, saf halde TiO_2 bir yarı iletken olup ısıtıldığında oksijen atomlarının bazıları katkılanmış bölgeye geçer. Bu, malzemenin direncinde bir düşüşe yol açar. Başka bir deyişle, bu yapı bir metal gibi davranır ve çok iyi bir yarı iletken olur [112,113]. Bu yapı klasik olarak HP Laboratuvar ekibi [2] tarafından kullanılan memristör yapısıdır.

Ag/ TiO_2 /ITO Memristör

Kavehei ve diğ., üst ve alt elektrotlar için farklı malzemeler kullanarak farklı bir memristör üretimi gerçekleştirmişlerdir [114]. Memristörü indiyum ince oksit (ITO) ile kaplanmış bir cam alt tabaka üzerinde üretmişler, platinyum yerine de üst elektrot olarak gümüşü (Ag) seçmişlerdir. Memristörün katmanlara göre iç yapısı Şekil 2.14’de görülmektedir.



Şekil 2.14. Ag/ TiO_2 /ITO memristörün katmanlara göre kısımları [114]

Anodik TiO₂ Memristör

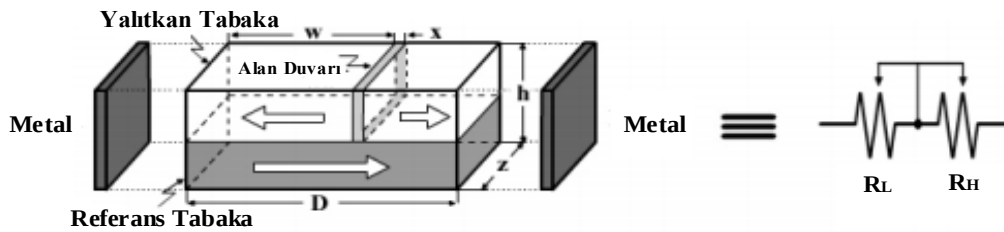
TiO₂ bazlı memristörler genellikle Atomik Katman Biriktirme (ALD), püskürtme veya sol-jel işlemi ile üretilir. Iowa Eyalet Üniversitesi'nden Miller [115], ekonomik ve ucuz bir imalat yöntemi olan anotlama işlemini kullanarak ince filmlili anodik TiO₂ memristörü üretmiştir.

• Alternatif Diğer İnce Film Memristörler

Literatürde TiO₂ kullanılmadan tamamen farklı malzemeler kullanılarak üretilmiş memristörler de vardır. Bunlardan bazılarına örnek vermek gerekirse Jo ve diğ., silikon (Si) ve gümüşten (Ag) faydalananak yeni türde bir memristör üretmişlerdir [12]. Bu memristör yüksek iletkenlikli zengin Ag bölgesi ile düşük iletkenlikli fakir Ag bölgesinin oluşmasını sağlayan düzgün tasarlanmış Ag/Si karışımı ile Ag ve Si aktif bölgelerinden meydana gelmektedir. İletkenliğin artması için pozitif gerilim altında, Ag iyonları Ag zengin bölgeden Ag fakir bölgeye taşınır. Bunun tersi olarak, negatif gerilim altında ise aksi durum oluşmakta ve iletkenlik azalmaktadır [12]. Oblea ve diğ., Ag₂Se ve Ag malzemeleri tungsten elektrotlar arasına monte ederek kalkojenit tabanlı bir memristör önermişlerdir [116]. ZnO tabanlı memristör ise Kumar ve diğ. tarafından üretilmiştir [117,118]. Bu memristörde alt ve üst elektrotlar olarak sırasıyla Pt, Cr ve Au gibi elementler kullanılmıştır.

2.5.2. Spintronik Memristör

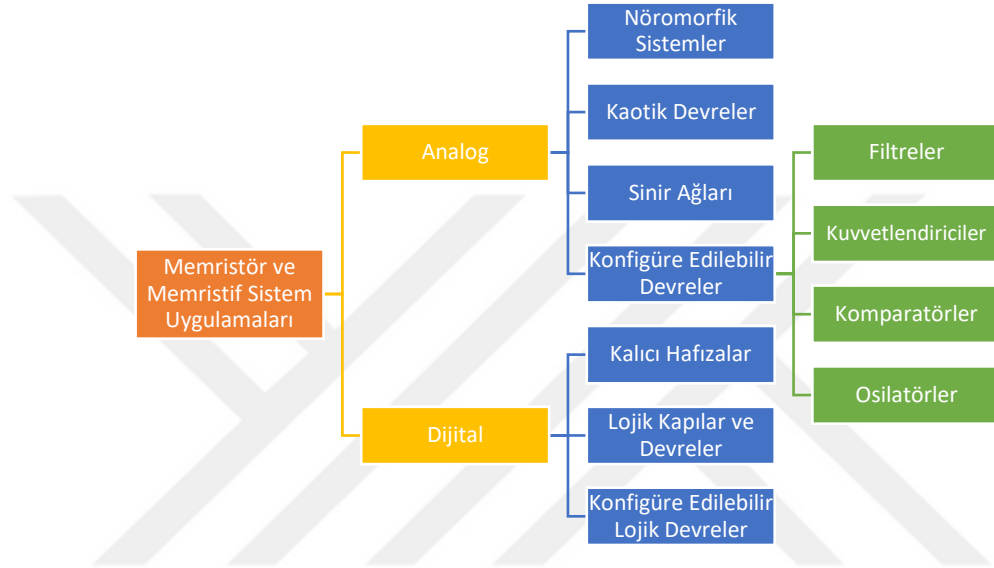
Titanyum dioksit tabanlı memristörde oksijen boşluklarının iki tabaka arasındaki hareketiyle memristörün durumu değişirken, spintronik memristör modelinde ise manyetize edilmiş alan duvarının etkisiyle memristörün durumu değiştirilmektedir [93]. Bu memristör referans tabaka ve yalın tabaka olmak üzere iki ferromanyetik tabaka şeklinde tasarlanmıştır [119–121]. Şekil 2.15'de bu spintronik memristör yapısının çalışma mekanizması ve eşdeğer direnç değeri gösterilmektedir.



Şekil 2.15. Spintronik manyetik model [94]

2.6. Memristör ve Memristif Sistem Uygulamaları

Mayıs 2008’de HP Laboratuvar ekibi tarafından memristörün keşfi duyurulduktan sonra, bu yeni elemanın kullanılabilirliği dünya çapındaki araştırma ve mühendislik topluluklarında büyük bir çalışma dalgasının başlamasına neden olmuştur. Bu alanda yapılan ilk girişimler daha çok memristörün temel özelliklerini anlamaya çalışmak üzerineydi. Bununla birlikte zaman içinde memristörlü devre tasarımları da literatürde yerini almaya başlamıştır [122]. Şekil 2.16’da memristörün temel uygulama alanları gösterilmektedir.



Şekil 2.16. Memristör ve memristif sistem uygulamalarının sınıflandırılması [94]

• Analog Uygulamalar

Memristör elemanının keşfiyle birlikte birçok uygulama alanına yenilikler getirmesi ön görülmektedir. Memristör, sahip olduğu düşük güç tüketimi, kalıcı ve ayarlanabilir direnç hafıza özellikleriyle araştırmacıların ilgisini çekmektedir. Nöronları modelleyerek nöral yapıların benzerini oluşturan sistemler nöromorfik sistemlerdir. Düşük güç tüketimi, esneklik ve dinamik hafıza gibi özellikler nöronları bağlayan sinapsları simüle etmek için kullanılmaktadır ve bu yapılarının memristöre çok benzediği ileri sürülmektedir [123]. Literatürde bu alanda yapılan çalışmaların bazıları adaptif ve öğrenme devreleri [12,93,124] ile yapay zeka uygulamaları olarak ön plana çıkmaktadır [125]. Bunların yanı sıra; analog filtreler [126–129], memristör tabanlı kaotik devreler ve osilatörler [45,61,126,130], Schmitt tetikleyici sistemleri [126] vb çalışmalar bu uygulamalara örnek verilebilir.

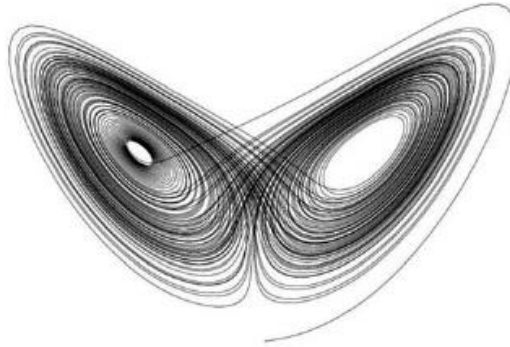
• Sayısal Uygulamalar

Memristör sayısal uygulamalar için de önemli bir uygulama alanı olmaktadır. Memristörün; nano boyutta olması, anahtarlama özelliği, durumunu korurken güç harcamaması, anahtarlama

sırasında düşük enerji tüketmesi gibi özelliklerinden sayısal uygulamalarda kullanılmaktadır. Bu uygulamalar alanlarına; kalıcı hafıza [131–134], lojik devreler [133,135–137], konfigüre edilebilir yapılar [62,138], CMOS’lu hibrit yapılar [61,138] gibi çalışmalar örnek verilebilir.

2.7. Kaotik Sistemler ve Kaos

Kaotik işaretler periyodik olmayan, görünüşte rastgele ve lineer olmayan deterministik bir dinamik davranış türüdür. Bu rastgele benzeri davranış başlangıç koşullarına karşı yüksek duyarlılığa sahiptir. Bu durum kaos teorisinde aynı zamanda kelebek etkisi [139,140] olarak da adlandırılır. Şekil 2.17’de literatürde en iyi bilinen kaotik davranış örneklerinden biri olan kaotik Lorenz çekicisi görülmektedir. Kaotik işaret üreten sistemlere genel olarak kaotik sistem adı verilmektedir. Kaotik işaretler ve sistemler güvenilir haberleşme, şifreleme, entropi kaynağı, kriptoloji, yapay sinir ağları, desen tanıma, filtreleme, kardioloji ve beyin aktiviteleri, kaotik devrelerin elektronik ve elektro optik tasarımı, lazerler ve akışkanlar dinamiği gibi çok çeşitli uygulama alanlarına sahiptir [141].



Şekil 2.17. Lorenz çekicisi

Kaotik işaretler sürekli zamanlı olarak ele alınırsa sürekli zamanlı kaotik işaret, ayrık zamanlı olarak ele alınırsa ayrık zamanlı kaotik işaret olarak adlandırılmaktadır. Bir kaotik sistem diferansiyel denklemler kümesi ile ifade edilirse sürekli zamanlı kaotik sistem, ayrık zamanlı fark denklemleri ile tanımlanırsa ayrık zamanlı kaotik sistem olarak adlandırılmaktadır [142].

2.7.1. Kaotik Sistem Analiz Metotları

Bir sistemin kaotik özellik gösterip göstermediğini anlayabilmek için gerekli olan kaotik sistem analiz metotları literatürde mevcut olup aşağıda kısaca açıklanmaktadır.

A. Denge Noktası Analizi

Kaotik sistemler hakkında doğrudan çıkarım yapmak zordur, çünkü bu sistemler basit fonksiyonlarla ifade edilememektedir. Bundan dolayı lineer olmayan dinamik sistemlerin kaotik davranışını incelemek için denge noktası analiz yöntemi kullanılmaktadır.

Genel olarak bir lineer olmayan sistem

$$\begin{aligned}\frac{dx_1}{dt} &= f_1(x_1, \dots, x_n) \\ &\vdots \\ \frac{dx_n}{dt} &= f_n(x_1, \dots, x_n)\end{aligned}\tag{2.40}$$

şeklinde diferansiyel denklemlerle ifade edilir. Denklem 2.40 daha genel formda yazılırsa,

$$\frac{dx}{dt} = F(x)\tag{2.41}$$

olur. Buna göre, $F(x) = 0$ yani

$$\frac{dx_i}{dt} = 0\tag{2.42}$$

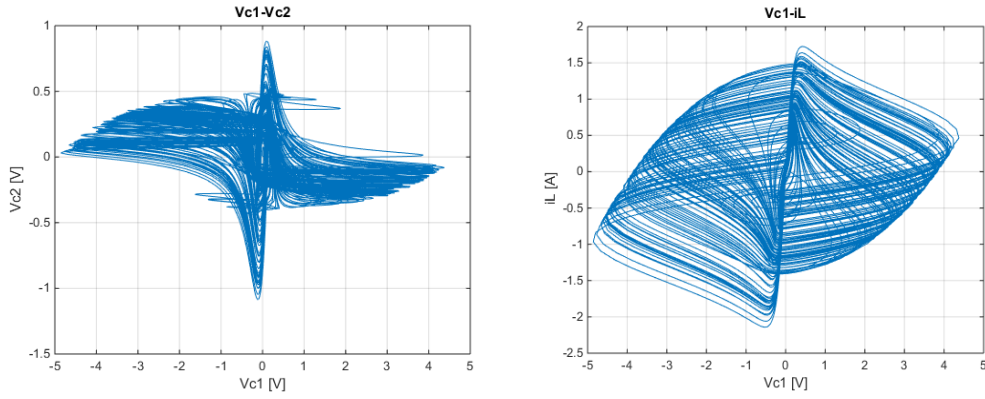
koşulunu sağlayan x_i değerleri denge noktaları olarak adlandırılır [8]. Denge noktaları elde edildikten sonra bir sonraki aşamada *Jakobi* (*Jacobian*) matrisi

$$J = \begin{bmatrix} \frac{\partial F_1}{\partial x_1} & \frac{\partial F_1}{\partial x_2} & \dots & \frac{\partial F_1}{\partial x_n} \\ \frac{\partial F_2}{\partial x_1} & \frac{\partial F_2}{\partial x_2} & \dots & \frac{\partial F_2}{\partial x_n} \\ \vdots & \vdots & \ddots & \vdots \\ \frac{\partial F_n}{\partial x_1} & \frac{\partial F_n}{\partial x_2} & \dots & \frac{\partial F_n}{\partial x_n} \end{bmatrix}\tag{2.43}$$

elde edilir. Daha sonra $|\lambda I - J| = 0$ ile elde edilen karakteristik denklemin çözümünden sistemin özdeğerler hesaplanır. Elde edilen özdeğerlerden en az birinin reel kısmının pozitif olması, denge noktasının kararsız olduğuna işaret eder, bu durumda sistem kaotik işaret üretebilir. Eğer tüm özdeğerlerin reel kısımları negatifse sistem kararlıdır ve kaotik işaret üretemez.

B. Faz Portreleri

Kaotik sistemlerde kullanılan analiz yöntemlerinden bir diğeri de kaotik çekicilerin yani faz portrelerinin analizidir. Bu işlem tez kapsamında MATLAB platformunda “odesolve.m” programı kullanılarak ya da LabVIEW platformunda analiz edilebilmektedir.

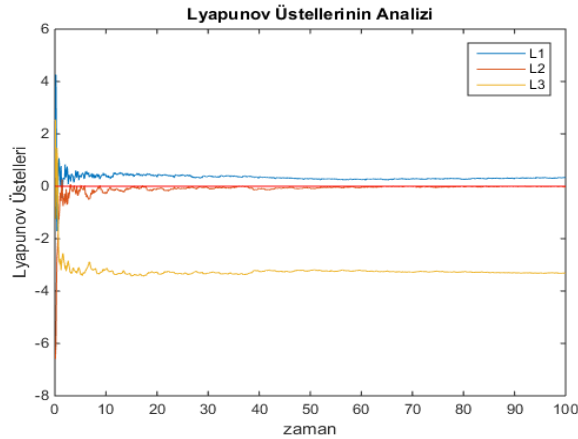


Şekil 2.18. Kaotik faz portreleri

Tez kapsamında önerilen kaotik ve hiperkaotik sistemlere ait faz portrelerinden örnekler Şekil 2.18’de sunulmaktadır.

C. Lyapunov Üstelleri

Lyapunov üstelleri ilk koşullara hassas bağımlılığın bir tanımı olarak ifade edilmektedir. Elde edilen Lyapunov üstelleri için en az bir üstel pozitif ise sistem kaotiktir [143]. En büyük Lyapunov üstelinin negatif olması durumunda sistem bir değere zaman içerisinde yakınsar ve başlangıç koşullarından bağımsızlaşır. Yörüngeler arasındaki mesafe gittikçe artıyorsa ve eğer en büyük Lyapunov üsteli pozitif ve sistem başlangıç koşullarına karşı hassas olur, bir başka deyişle sistem kaotiktir denir [35]. Kaotik devreye ait Lyapunov üsteli örneği Şekil 2.19’da görülmektedir.



Şekil 2.19. Kaotik bir devreye ait Lyapunov üstelleri grafiği

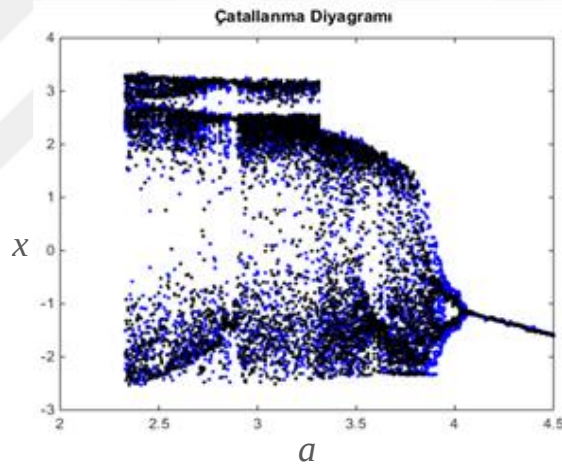
Kaotik sistemlerde kaosu varlığı araştırılırken sistemin fraktal boyutunun kesirli olup olmadığına bakılır. Bu yöntemin tespiti için Kaplan ve Yorke tarafından sunulan metot ile Lyapunov üstelleri kullanılarak Lyapunov boyutu hesaplanır. Bu boyut kesirli olarak çıkarsa sistem

kaotik özellik gösteriyor denilebilir. Kaplan-Yorke boyutu aşağıdaki denklem ile hesaplanmaktadır [144,145].

$$D_L = j + \frac{\sum_{i=1}^j L_i}{|L_{j+1}|} \quad (2.44)$$

D. Çatallanma Diyagramı

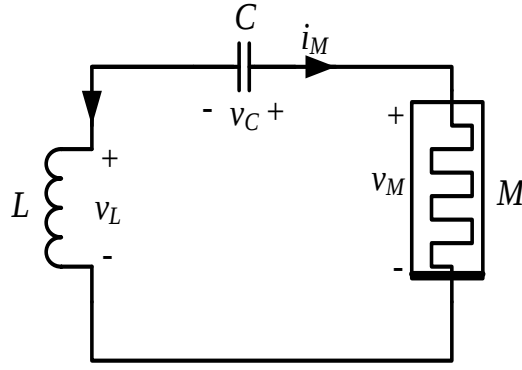
Çatallanma diyagramı kaotik sistemlerin analizinde önemli bir yere sahiptir. Sistem parametrelerindeki çok küçük değişimler sistemi kararlı durumdan uzaklaştırarak kaosa sürükleyebilir [142]. Bu durum sistemin faz uzayında yapısal değişikliklere yani çatallanmalara neden olmaktadır. Şekil 2.20’de bu tez çalışmasında incelenen bir kaotik devreye ait çatallanma diyagramı görülmektedir. Şekildeki diyagram incelendiğinde a parametresindeki değişimin sistem üzerindeki etkisi gözlemlenebilir. Örneğin, diyagramda a parametresi için 2.3 değerinden sonra çok sayıda taranmış bölge oluşmakta ve sistem kaotik özellik göstermeye başlamaktadır. Düz bir çizginin meydana geldiği 4.1 değerinden sonra ise sistem periyodik-kararlı durumda davranmaktadır.



Şekil 2.20. Kaotik bir devreye ait çatallanma diyagramı

2.7.2. Kaotik Sistem Analiz Uygulaması

Bu kısımda Şekil 2.21’de verilen üç elemanlı memristör tabanlı kaotik devre [146] ve Muthuswamy [44] tarafından önerilen memristans fonksiyonu göz önüne alınacaktır. Kısım 6.1’de haberleşme uygulaması yapılacağından dolayı MTKD Model I olarak adlandırılan bu devrenin matematiksel denklemleri elde edilecek, bu denklemler ışığında devrenin LabVIEW platformunda modellenmesi yapılarak kaotik sistem analizi gerçekleştirilecektir.



Şekil 2.21. MTKD Model I devresi

Bu kaotik sistem için memristans fonksiyonunu ifade eden akım-gerilim ilişkisi ile memristöre bağlı durum değişkeni

$$v_M(z) = \beta(z^2 - 1)i_M \quad (2.45)$$

$$\dot{z} = -i_M - \alpha z + i_M z \quad (2.46)$$

şeklinde tanımlanmaktadır [44]. Devreye ait durum denklemleri

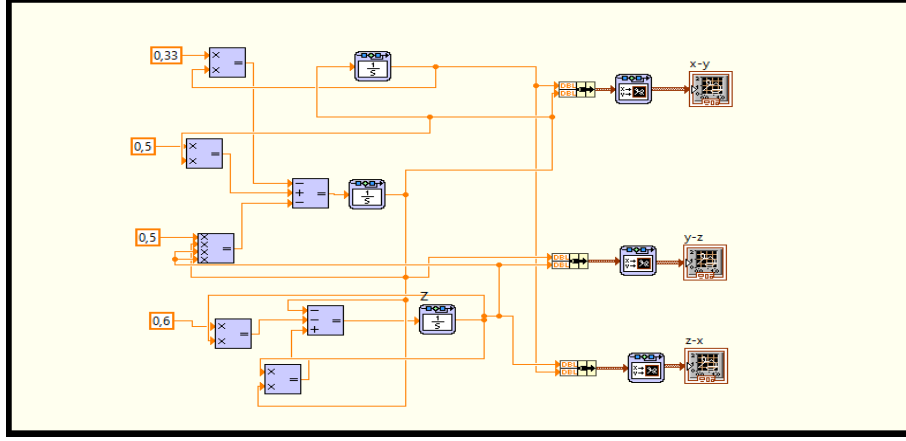
$$\begin{aligned} v_C &= \frac{i_L}{C} \\ i_L &= -\frac{1}{L}[v_C + \beta(z^2 - 1)i_L] \end{aligned} \quad (2.47)$$

$$\dot{z} = -i_L - \alpha z + zi_L$$

olarak elde edilir. Durum denklemleri $v_C = x$ ve $i_L = y$ için yeniden düzenlenirse

$$\begin{aligned} \dot{x} &= \frac{y}{C} \\ \dot{y} &= -\frac{1}{L}[x + \beta(z^2 - 1)y] \\ \dot{z} &= -y - \alpha z + yz \end{aligned} \quad (2.48)$$

bulunur. Sistem $C=1F$, $L=3H$, $\beta=1.5$ ve $\alpha=0.6$ değerleri için kaotik davranış göstermektedir. Durum denklemleri kullanılarak LabVIEW Control&Simulation platformunda tasarlanan MTKD Model I devresi Şekil 2.22’de görülmektedir. Devre, LabVIEW Control&Simulation platformunda Runge-Kutta yönteminin “ode45” (Dormand-Prince) tipi “ode” çözücü seçilerek analiz edilmiştir [146].

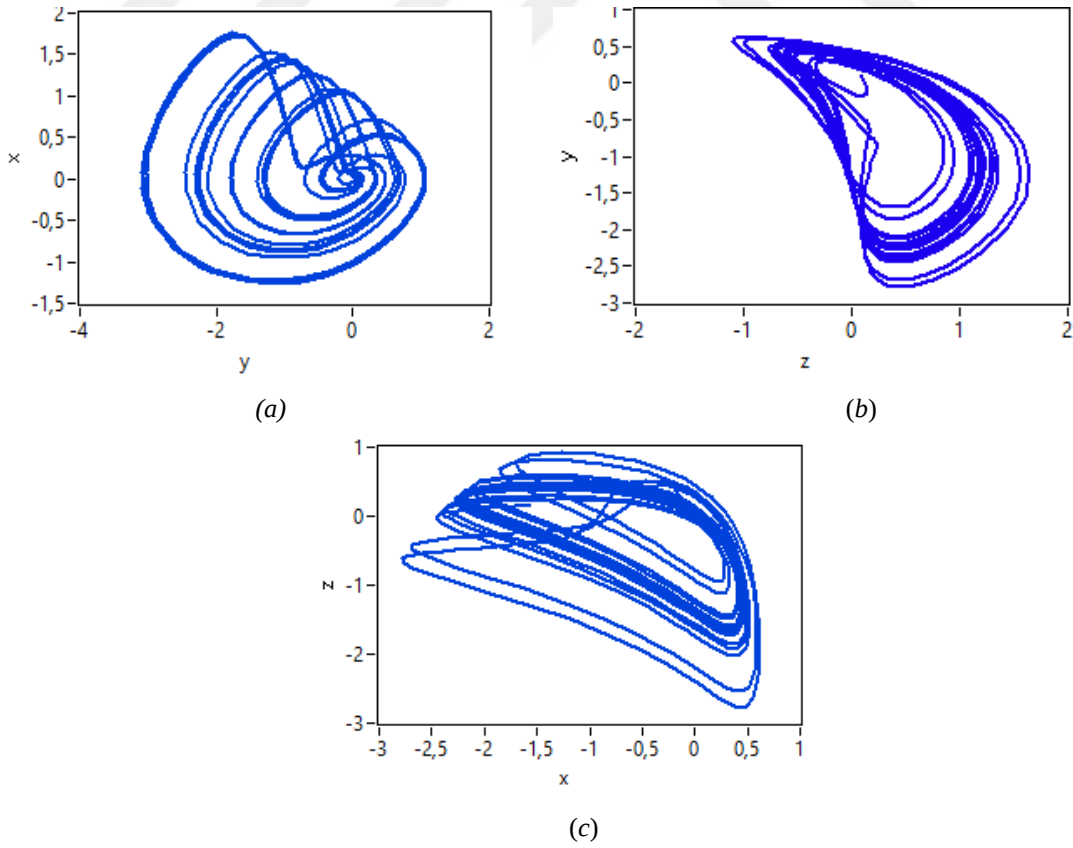


Şekil 2.22. LabVIEW platformunda tasarlanmış MTKD Model I sistemi

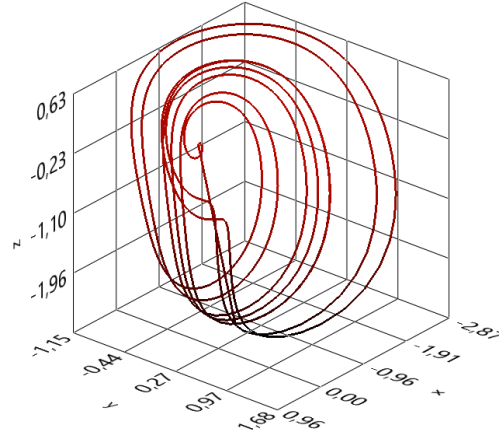
MTKD Model I'e ait Kaotik Analizler:

A. Faz Portreleri:

Kaotik sistemlerde kullanılan analiz yöntemlerinden biri kaotik çekicilerin yani faz portrelerinin analizidir.



Şekil 2.23. MTKD Model I sistemi faz portreleri (a) x-y düzlemi, (b) y-z düzlemi, (c) x-z düzlemi

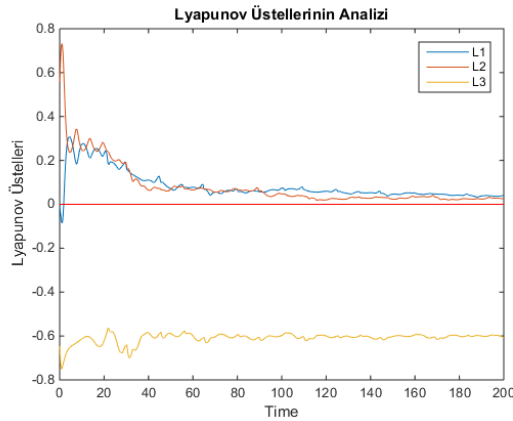


Şekil 2.24. MTKD Model I sistemi faz portrelerinin üç boyutlu x-y-z düzlemi

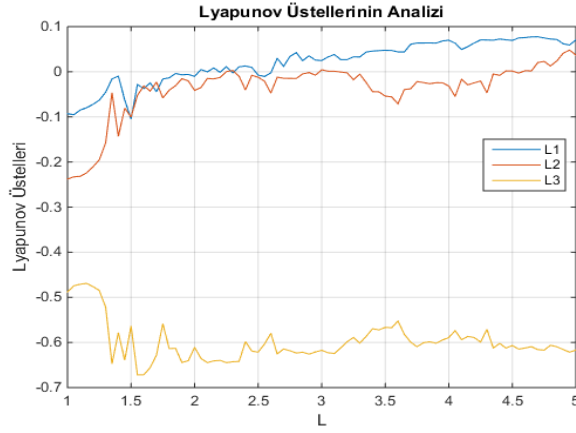
Denklem 2.48’de verilen durum denklemlerine ait başlangıç koşulları $x(0)=0.01$, $y(0)=0$, $z(0)=0$ olarak alınmış ve LabVIEW platformunda modellenmiştir. MTKD Model I’e ait durum değişkenlerinin faz portreleri iki boyutlu olarak Şekil 2.23’te ve üç boyutlu olarak da Şekil 2.24’te sunulmaktadır.

B. Lyapunov Üstelleri:

Kaotik analiz yöntemlerinden bir diğeri de Lyapunov üstellerinin incelenmesidir. Tasarlanan sistemin Lyapunov üstelleri yukarıda verilen parametre değerleri için hesaplandığında $L_1=0.0347$, $L_2=0.025$ ve $L_3=-0.617$ olarak elde edilmektedir (Şekil 2.25). Bu sistemde L_1 değeri pozitif olduğundan dolayı sistemin kaotikliğinden söz edilebilir. Lyapunov üstellerinin parametreye bağlı olarak değişimi ise Şekil 2.26’da gösterilmektedir. Şekil 2.26, Denklem 2.48’de L parametresi



Şekil 2.25. MTKD Model I sistemi Lyapunov üstelleri grafiği

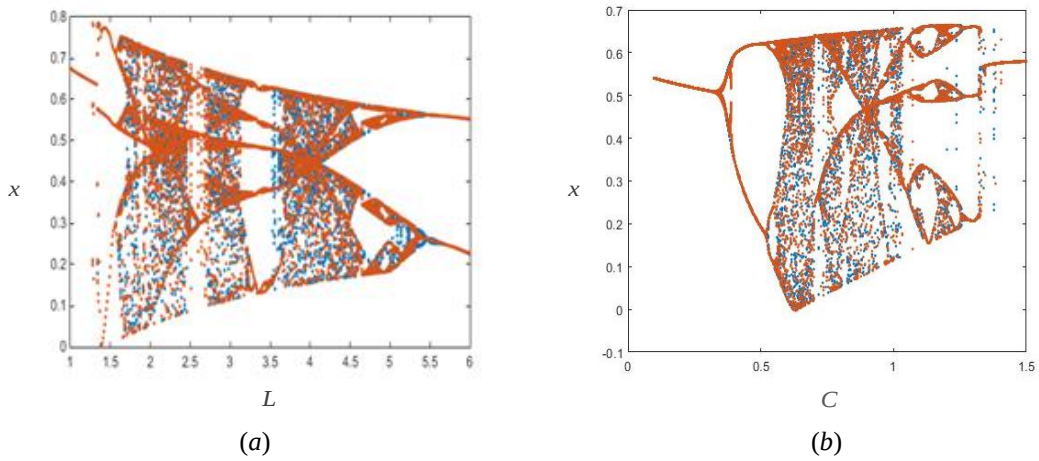


Şekil 2.26. MTKD Model I sistemi Lyapunov üstellerinin parametreye bağlı değişimi

1’den 5 değerine kadar 0.1 adım aralığı ile değiştirilirken diğer parametre değerleri sabit tutularak elde edilmektedir.

C. Çatallanma Diyagramı

Kaotik devreye ait çatallanma diyagramları MATLAB platformunda elde edilerek Şekil 2.27’de sunulmaktadır. Şekil 2.27a’da diğer parametreler sabit kalacak şekilde L parametresi 1 ile 6 aralığında Şekil 2.27b’de ise C parametresi 0.1 ile 1.5 aralığında seçilmiştir. Şekilde görülen çatallanma diyagramları devrenin dinamik davranışı hakkında önemli bilgiler içermektedir. Örneğin, $L \in (5.5-6)$ ve $C \in (0.1-0.3)$ için devrenin davranışı periyodik çıktıları gösterir. Benzer şekilde $L \in (5.3-5.5)$ ve $C \in (0.4-0.5)$ için yarı periyodik çıktıları ve $L \in (3.5-4.5)$ ve $C \in (0.6-0.8)$ için de kaotik çıktı gösterilmektedir.



Şekil 2.27. MTKD Model I sistemi çatallanma diyagramı (a) ‘ L ’ parametresi (b) ‘ C ’ parametresi

3. MATERYAL VE METOT

Akademik ve endüstriyel arařtırmalarda memristör elemanı yerine onun davranıřını taklit eden emülatör devreleri kullanılmaktadır. Bu emülatörlerin geliştirilmesi ve analizi için bilgisayar ortamında modellenmesi ve benzetiminin gerçekleştirilmesi gerekmektedir. Yapılan benzetim ve analizler ile teorik bilginin doğruluğunun gösterilmesi ve aynı zamanda elde edilen gerçek zamanlı sonuçlarla kıyaslanması mümkün olmaktadır. Ayrıca emülatör tasarımı esnasında yapılacak eleman değışikliklerinin etkileri benzetim ortamında kolaylıkla görölmektedir. Bu bölümde literatürde var olan memristör emülatörlerinden kısaca bahsedilerek geliştirilen memristör emülatör devresi tanıtılacaktır. Sonrasında ise bu emülatör devresinin kullanıldığı memristör tabanlı kaotik ve hiperkaotik devre modelleri (MTKD) analiz edilecektir.

3.1. Memristör Emülatörü

Memristörün ticari ürün olarak henüz tam anlamıyla üretilmemesinden dolayı literatüre çok sayıda memristör emülatör devresi yani memristör özelliđi gösteren devre tasarımları sunulmaktadır [27,30,36,147,148]. Bu emülatörler, memristör ile ilgili çeřitli uygulamaların gerçekleştirilmesine ve gerçek zamanlı sonuçlarının gözlemlenmesine olanak sağlamaktadır. Bölüm 1’de bu emülatörlerin bir kısmından özet olarak bahsedilmiştir.

Chua teorik olarak keřfettiđi bu elemandan sonra ilk memristör emülatörünü de literatüre sunmuştur [1]. Ancak, matematiksel ve PSpice modelleri fiziksel uygulamalarda kullanılmaya fazla elverişli değildir. Özellikle HP ekibinin fiziksel ilk memristörü piyasaya sunmasından sonra TiO_2 memristörün dinamik davranıřı ile aynı olan memristör emülatör devreleri literatürde yer almaya başlamıştır. İlk başlarda daha çok bir ucu topraklı olarak tasarlanan aktif emülatör devrelerinde görölen en önemli dezavantaj, bu devrelerin bir terminalinin toprađa bađlı olması nedeniyle devre uygulamalarında kullanımlarının sınırlı olmasıydı [149]. Daha sonra yapılan çalışmalarda elde edilen iki ucu serbest emülatörlerde karşılaşılan en önemli sınırlayıcı faktör ise memristörün histerezis eğrisinin belirli frekans seviyelerinin altında meydana gelmesi, yani çalışma frekansının sınırlı olmasıdır [31–33]. Literatüre sunulan bazı çalışmalarda ise elde edilen nonlineerlik yeterli seviyede değildir. Ayrıca tasarlanan memristör emülatörlerinin fazla sayıda eleman içermesi de bir dezavantaj olarak karşımıza çıkmaktadır. Tez kapsamında memristör tabanlı olarak tasarlanacak sistemler için kullanılacak memristör emülatörünün çok geniş bir dinamik aralık ve frekans spektrumunda memristör karakteristiđi gösteren, az sayıda eleman içeren, basit ve iki ucu serbest bir memristör emülatörü olması amaçlanmıř ve bu doğrultuda önerilen emülatör modeli bu bölümde tanıtılmıştır.

3.2. Kübik Memristör Emülatörü

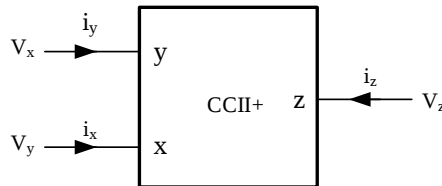
Literatürde ikinci dereceden lineer olmayan terim içeren birçok kaotik sistem bulunmaktadır. Bu sistemlerin memristör elemanı ile gerçekleştirilmesi için kübik memristansa ihtiyaç varken, bunun için literatürde yeterli çalışmanın olmadığı gözlenmiştir. Bu bölümde, az sayıda devre elemanı ile modellenen ve geniş bir çalışma frekans aralığına sahip bir memristör emülatörü önerilerek memristör tabanlı kaotik ve hiperkaotik devrelerin tasarımında/analizinde kullanılması amaçlanmaktadır. Önerilen bu emülatör yapısı ikinci nesil akım taşıyıcıları ve analog çarpıcılardan ibaret olup, [35]'te verilen yapının kübik memristansa uyumlu hale getirilmiş şeklidir.

İkinci nesil akım taşıyıcısı (Second Generation Current Conveyor-CCII), iki giriş x , y ve bir çıkış z olmak üzere üç terminalli aktif bir devre elemanıdır. Şekil 3.1'de görülen ve kısaca CCII olarak da ifade edilen ikinci nesil akım taşıyıcısının en önemli özelliği klasik işlemsel yükselteçlerden daha geniş bant genişliği ve daha yüksek verime sahip olmasıdır. Şekilde verilen CCII'nın ideal gerilim ve akım denklemleri

$$i_z = \pm i_x, i_y = 0, \quad (3.1)$$

$$V_x = V_y \quad (3.2)$$

şeklinde tanımlanır. Burada $i_z = +i_x$ olarak alınırsa devre evirmeyen yapıda yani pozitif tip akım taşıyıcısı (CCII+) olarak adlandırılır. CCII+ tabanlı devreler araştırmacılar tarafından daha çok yükselteç, filtre, osilatör vb. gibi devreleri sentezlemek için kullanılmaktadır.



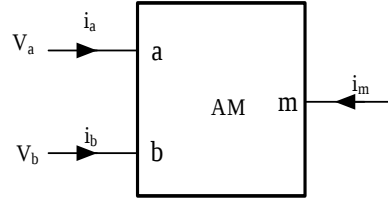
Şekil 3.1. CCII+ devresi blok diyagramı

Analog çarpıcı (Analog Multiplier-AM), filtre ve modülatör devreleri gibi birçok uygulamada yaygın olarak kullanılan önemli bir alt devredir. Şekil 3.2'de temel blok yapısı görülen analog çarpıcı devresi giriş gerilimlerinin çarpımıyla orantılı olarak bir çıkış gerilimi üreten elemanlardır. Bu işlem

$$V_m = kV_aV_b \quad (3.3)$$

$$i_a = 0, i_b = 0 \quad (3.4)$$

denklemleri ile ifade edilir. Burada, k ağırlıklandırma oranı olup, boyutu V^{-1} ile tanımlanır. $k=1$ için şekilde verilen devre, klasik çarpıcı devresi olarak adlandırılır.



Şekil 3.2. Analog çarpıcı devresi blok diyagramı

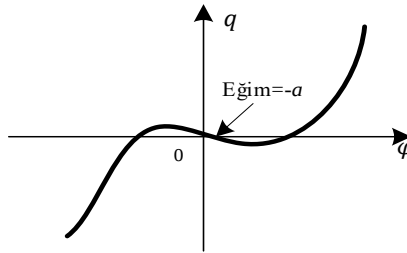
Chua devresi gibi kaotik devrelerde, kaotik davranış teorik olarak çoğu zaman parça parça lineer olarak tanımlanan bir lineer olmayan direnç yardımıyla elde edilir. Bununla birlikte pratik gerçekleştirmede fazla arzu edilmeyen parça parça lineer yaklaşımı yerine aynı karakteristiği düzgün ve sürekli olarak sağlayan kübik lineer olmayan (smooth nonlinear) model yapısı tercih edilir [150]. [28]'de memristans için kübik lineer olmayan bir model kullanılmış ve [48]'de ikinci dereceden doğrusal olmayan terime sahip bir memristör emülatörü elde edilmiştir. Şekil 3.3'te q - φ eğrisi görülen kübik lineer olmayan memristör modeli

$$q(\varphi) = \pm a\varphi + b\varphi^3 \quad (3.5)$$

şeklinde ifade edilir. Bu denklemin akıya göre türevi alınırsa mendüktans fonksiyonu

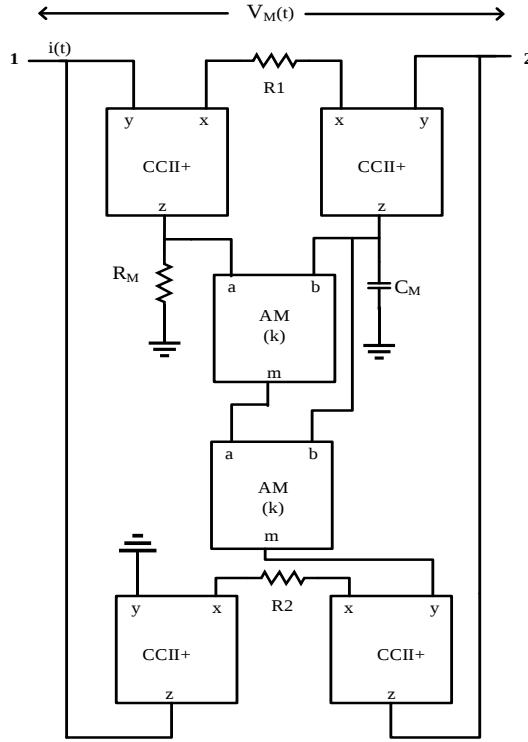
$$W(\varphi) = \frac{dq(\varphi)}{d\varphi} = \pm a + 3b\varphi^2 \quad (3.6)$$

olarak elde edilir. Denklem 3.5 ve 3.6, geliştirilecek memristör emülatörünün genel karakteristiğini ve kaos üretme yeteneğini sağlayacak olan temel ifadelerdir.



Şekil 3.3. Kübik lineer olmayan model

Şekil 3.1 ve Şekil 3.2'de verilen elemanlar ve Şekil 3.3'teki kübik lineer olmayan model göz önüne alınarak kullanılan memristör emülatörü Şekil 3.4'te görülmektedir. Şekilden de görüleceği gibi emülatör devresi dört CCII+, iki analog çarpıcı, üç direnç ve bir kondansatörden oluşmaktadır.



Şekil 3.4. Memristör emülatörü kübik modeli

Devre elemanlarının tanım bağıntıları kullanılarak Şekil 3.4'deki devre analiz edilirse, C_M kondansatörünün üzerindeki gerilim $v_{CM} = q_{CM}/C_M$ olarak ifade edilebilir. Ayrıca q_0 başlangıç değeri olmak şartıyla $q_{CM}(t) = \int_0^t i_{CM}(\tau) d\tau + q_0$ şeklinde ifade edilmektedir. Bu eşitlik gerilim cinsinden ifade edilirse ($i_{CM} = -\frac{v_M}{R_1}$), $q_{CM}(t) = -\frac{1}{R_1} \int_0^t v_M(\tau) d\tau + q_0$ olacaktır. R_M direncin üzerindeki gerilim v_{RM} ,

$$v_{RM} = \frac{R_M}{R_1} v_M(t) \quad (3.7)$$

Yukarıda verilen analog çarpıcı devresine ait Denklem 3.3 kullanılarak birinci analog çarpıcı devresinin çıkış gerilimi v_{m1} ,

$$v_{m1} = \frac{k R_M q_{CM}}{R_1 C_M} v_M(t) \quad (3.8)$$

olarak elde edilmektedir. İkinci analog çarpıcı devresinin çıkış gerilimi v_{m2} :

$$v_{m2} = \frac{k^2 R_M q_{CM}^2}{R_1 C_M^2} v_M(t) \quad (3.9)$$

şeklinde elde edilir. Bağlantı şekillerindeki farklılıklardan dolayı devredeki R_2 direncinin üzerinden akan akımın yönü değişiklik gösterebileceğinden $v_{m2} = \pm R_2 i(t)$ olarak genel bir ifade alınmalıdır. Hesaplanan v_{m2} değeriyle ($v_M(t) = M(t)i(t)$) bağıntısı kullanılarak memristör emülatörüne ait akım ve memristans ifadeleri aşağıdaki şekilde elde edilecektir.

$$M(t) = \pm \frac{R_1 R_2}{k^2 R_M V_{CM}(t)^2} \quad (3.10a)$$

$$i(t) = \frac{k^2 R_M V_M(t) V_{CM}(t)^2}{R_1 R_2} \quad (3.10b)$$

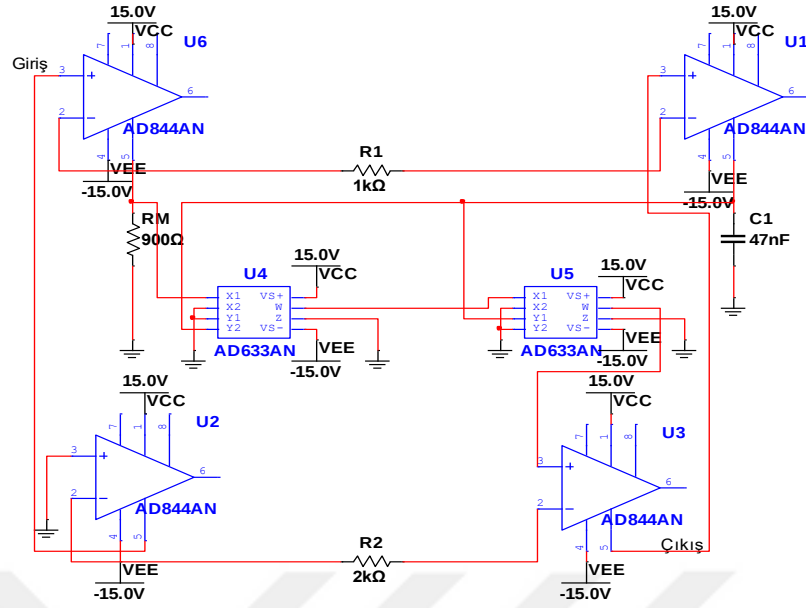
Kübik modellenli memristör emülatörünü memristör tabanlı kaotik sistemlerin analizinde kullanabilmek için iki ayrı denkleme ihtiyaç duyulmaktadır. Bunlardan birincisi emülatöre ait $q_{CM}(t) = -\frac{1}{R_1} \int_0^t v_M(\tau) d\tau + q_0$ denkleminde q_{CM} ifadesi yerine $q_{CM} = v_{CM} C_M$ ifadesi yazılarak her iki tarafın türevi alındığında

$$v_{CM}(t) = -\frac{1}{R_1 C_M} v_M(t) \quad (3.11)$$

olarak elde edilen denklemdir. Diğer ise memristörün akım denklemi olup şu şekilde elde edilir: Temel devre bağıntılarından $v = \frac{d\varphi}{dt}$ ifadesi, memristörün gerilimi için düzenlenirse $\dot{\varphi} = v_M$ olacaktır. Burada $v_{CM} = -\frac{1}{R_1 C_M} v_M$ ve $\dot{\varphi} = v_M$ denklemleri birleştirilirse $\varphi = -R_1 C_M v_{CM}$ elde edilir. $i_M = W(\varphi) v_M$ için $W(\varphi) = \pm a + 3b\varphi^2$ denkleminde yukarıda bulunan akı denklemi yerine yazılırsa $W(\varphi) = \pm a + 3bR_1^2 C_M^2 v_{CM}^2$ olur. Sadeleştirme amacıyla mendüktans fonksiyonu $W(\varphi) = \pm m_0 + m_1 v_{CM}^2$ olarak ifade edilebilir. Bu durumda memristör üzerindeki akım

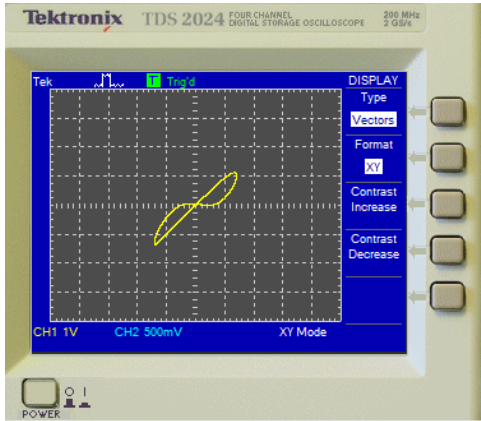
$$i_M(t) = W(\varphi) v_M(t) = (\pm m_0 + m_1 v_{CM}^2) v_M(t) \quad (3.12)$$

olarak belirlenir. Burada $m_1 = 3bR_1^2 C_M^2$ ifadesi v_{CM}^2 teriminin katsayısını, $\pm m_0$ ise kübik model için memristöre paralel olarak bağlanan direnci ifade etmektedir.

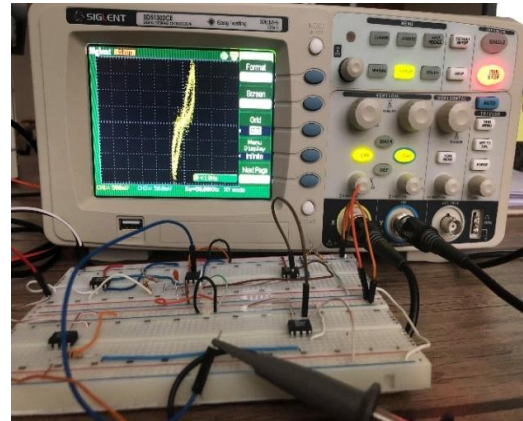


Şekil 3.5. Multisim platformunda tasarlanmış memristör emülatör devresi

Şekil 3.4’de görülen memristör emülatör devresinin benzetimi Multisim programda gerçekleştirilerek analiz edilmiştir. Multisim platformunda tasarlanan memristör emülatör devre modeli Şekil 3.5’de ve memristöre ait akım-gerilim grafiği ise Şekil 3.6a’da gösterilmektedir. Şekil 3.6b’de deneysel olarak tasarlanan memristör emülatörü ve bu devreye ait akım-gerilim ilişkisi osiloskop aracılığıyla gösterilmektedir. Tablo 3.1’de emülatör devre tasarımı için kullanılan elemanlara ait liste verilmiştir.



(a)



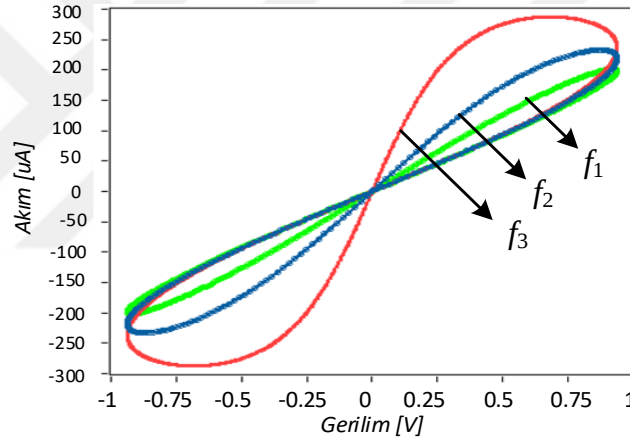
(b)

Şekil 3.6. (a) Memristör emülatörüne ait akım-gerilim grafiği (b) Memristör emülatörüne ait devre tasarımı ve osiloskop görüntüsü

Tablo 3.1. Memristör emülatör devre tasarımı için kullanılan elemanlar

Kaynak	Kullanım Sayısı
CCII+	AD844AN
AM	AD633JN
R_1	1 k Ω
R_2	2 k Ω
R_M	900 Ω
C_1 ($f=1$ Hz-40 kHz, $V_m=1$ V- 5V)	10 nF-330 pF

Memristör emülatörünün Multisim-LabVIEW cosimulation platformunda elde edilen histerezis eğrileri Şekil 3.7’de gösterilmektedir. Bu eğriler, üç farklı frekans değeri için ($f_1 > f_2 > f_3$) için elde edilen akım-gerilim karakteristiklerini ifade etmektedir. Şekilden de görüleceği gibi frekans değeri arttıkça memristör histerezis eğrisinin yaprakları daralmakta ve memristör direnç elemanı gibi davranmaya başlamaktadır.

**Şekil 3.7.** Memristör elemanına ait farklı frekanslarda akım-gerilim grafiği

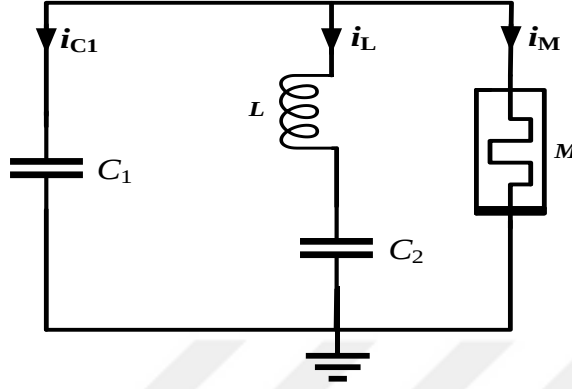
Bundan sonraki kısımda, literatürden seçilen memristör tabanlı kaotik ve hiperkaotik devreler için devredeki memristör elemanı yerine bu kısımda önerilen memristör emülatörü kullanılarak yeni kaotik ve hiperkaotik denklem takımları elde edilecek ve kaotik analiz işlemi gerçekleştirilecektir.

3.3. Memristör Tabanlı Kaotik ve Hiperkaotik Devreler (MTKD)

Bu kısımda, farklı memristör tabanlı kaotik ve hiperkaotik devre modelleri göz önüne alınarak kaotik analizleri yapılacaktır. Memristör tabanlı devrelerin dinamik davranışlarını belirlemek amacıyla her bir devrenin faz portreleri, Lyapunov üstelleri ve çatallanma diyagramı analizleri gerçekleştirilmiştir.

3.3.1. MTKD Model II

Bu kısımda ilk olarak ele alınan ve MTKD Model II olarak adlandırılan devrenin şeması Şekil 3.8’de görülmektedir. Devrede üç paralel kolda toplam 4 eleman bulunmaktadır. Devrenin durum denklemleri



Şekil 3.8. MTKD Model II devresi

$$\begin{aligned}
 \dot{v}_{C1}(t) &= -\frac{i_L(t)}{C_1} - \frac{i_M(t)}{C_1} \\
 \dot{v}_{C2}(t) &= -\frac{i_L(t)}{C_2} \\
 \dot{i}_L(t) &= -\left(\frac{v_{C1}(t)}{L} - \frac{v_{C2}(t)}{L}\right) \\
 \dot{v}_{CM}(t) &= -\frac{v_{C1}(t)}{R_1 C_M}
 \end{aligned} \tag{3.13}$$

şeklinde elde edilir. Denklem 3.11 ve 3.12’de verilen memristör emülatör denklemleri yukarıda yerine yazılırsa

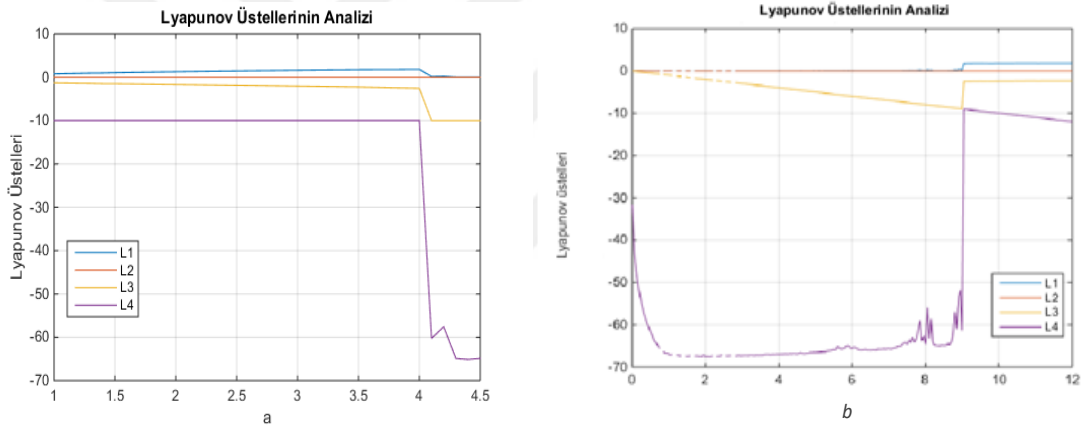
$$\begin{aligned}
 \dot{v}_{C1}(t) &= -\frac{i_L(t)}{C_1} - \frac{v_{C1}(t)(m_0 + m_1 v_{CM}^2(t))}{C_1} \\
 \dot{v}_{C2}(t) &= -\frac{i_L(t)}{C_2} \\
 \dot{i}_L(t) &= -\left(\frac{v_{C1}(t)}{L} - \frac{v_{C2}(t)}{L}\right) \\
 \dot{v}_{CM}(t) &= -\frac{v_{C1}(t)}{R_1 C_M}
 \end{aligned} \tag{3.14}$$

olur. Denklem 3.14’de verilen durum denklemleri için $v_{C1}(t) = x$, $v_{C2}(t) = y$, $i_L(t) = z$, $v_{CM}(t) = u$, $a = 1/C_1$, $b = 1/C_2$, $d = 1/L$ ve $n = -1/R_1 C_M$ düzenlemesi yapılırsa Denklem 3.13 ile tanımlanan devrenin boyutsuz durum denklemleri

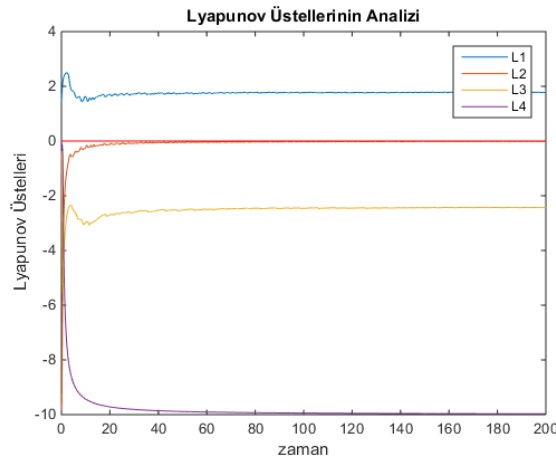
$$\begin{aligned}
\dot{x} &= -az - axm_0 - axm_1u^2 \\
\dot{y} &= -bz \\
\dot{z} &= -d(x - y) \\
\dot{u} &= nx
\end{aligned}
\tag{3.15}$$

şeklinde elde edilir.

Denklem 3.15 ile ifade edilen devre için $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ olarak seçilip, a parametresi değişken olarak göz önüne alındığında kaotik davranışın varlığı Şekil 3.9a'da verilen Lyapunov üstellerinin değişimi kullanılarak araştırılmıştır. Buna göre $a=3.75$ seçildiğinde devrenin kaotik davranış gösterdiği belirlenmiştir. Sağlama yapmak için benzer işlem $a=3.75$ alınıp b parametresi değiştirildiğinde Lyapunov üstellerinin değişimi Şekil 3.9b'de görülmektedir. Şekilden b parametresinin 10 olarak alındığında devrenin kaotik işaret üreteceği anlaşılmaktadır.

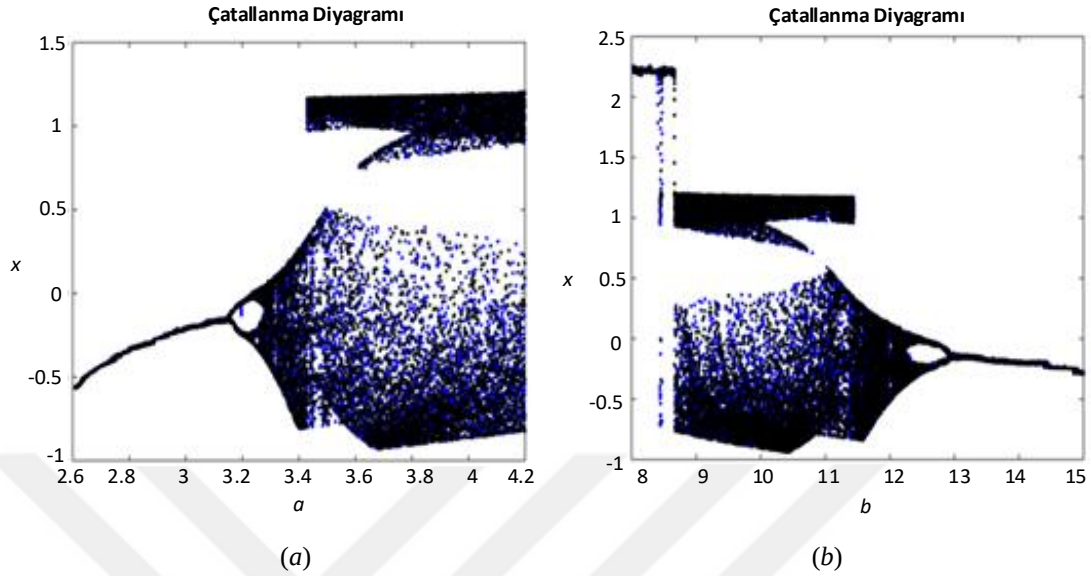


Şekil 3.9. MTKD Model II sistemi Lyapunov üstellerinin parametreye bağlı değişimi



Şekil 3.10. MTKD Model II sistemi Lyapunov üstelleri grafiği

Sonuç olarak, $a=3.75$ ve $b=10$ değerleri için Şekil 3.10'da zamana göre değişimi verilen Lyapunov üstelleri $L_1=1.78$, $L_2=-0.013$, $L_3=-2.43$ ve $L_4=-9.98$ olarak hesaplanmıştır.



Şekil 3.11. MTKD Model II sistemi çatallanma diyagramı (a) “a” parametresine bağlı değişim (b) “b” parametresine bağlı değişim

Lyapunov üstelleri ile elde edilen sonuçları doğrulamak için a ve b parametrelerine ait çatallanma diyagramları Şekil 3.11’de görülmektedir. Şekil 3.11a’da diğer parametreler sabit kalacak şekilde a parametresi 2.6 ile 4.2 aralığında, Şekil 3.11b’de ise b parametresi 8 ile 15 aralığında seçilmiştir. Şekildeki çatallanma diyagramları için siyah olanı $(0.01, 0, 0, 0)$ ve mavi olanı ise $(0.1, 0, 0.01, 1)$ başlangıç koşulları için elde edilmiştir. Şekilde görülen çatallanma diyagramları devrenin dinamik davranışı hakkında önemli bilgiler içermektedir. Örneğin, $a \in (2.6-3.1)$ ve $b \in (13-15)$ için devrenin davranışı periyodik çıktıları gösterir. Benzer şekilde $a \in (3.15-3.25)$ ve $b \in (12.5-13)$ için yarı periyodik çıktıları ve $a \in (3.3-4.2)$ ve $b \in (8.5-12.5)$ için de kaotik çıktı gösterilmektedir.

Devrenin kaotik davranış gösterdiği parametre değerleri $a=3.75$, $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ olarak seçildikten sonra sistemin dağıtıcı olup olmadığının incelenmesi ile devrenin kaotikliği ayrıca incelenebilir. Buna göre

$$f = \begin{bmatrix} f(x) \\ f(y) \\ f(z) \\ f(u) \end{bmatrix} = \begin{bmatrix} -az - axm_0 - axm_1u^2 \\ -bz \\ -d(x-y) \\ -nx \end{bmatrix} \quad (3.16)$$

için

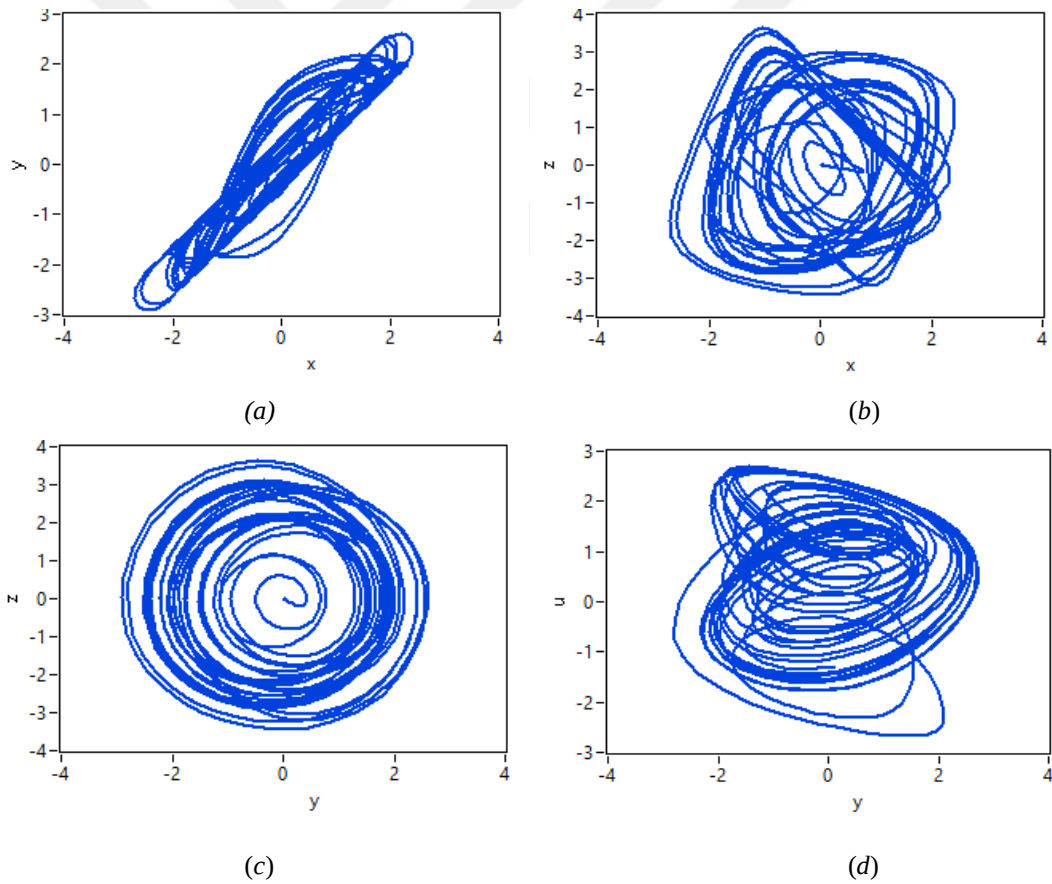
$$\nabla = \frac{\partial f(x)}{\partial x} + \frac{\partial f(y)}{\partial y} + \frac{\partial f(z)}{\partial z} + \frac{\partial f(u)}{\partial u} \quad (3.17)$$

hesaplanırsa $\nabla = 1.23 - 0.93u^2$ elde edilir. Buradan u^2 parametresinin daima pozitif olduğu ve f vektörünün sapmasının negatif olduğu açıkça görülmektedir. Bu durum, MTKD Model II'nin seçilen parametre değerleri için kaotik sistem dinamiğine sahip olduğunu göstermektedir. Ayrıca memristör tabanlı kaotik sistem için

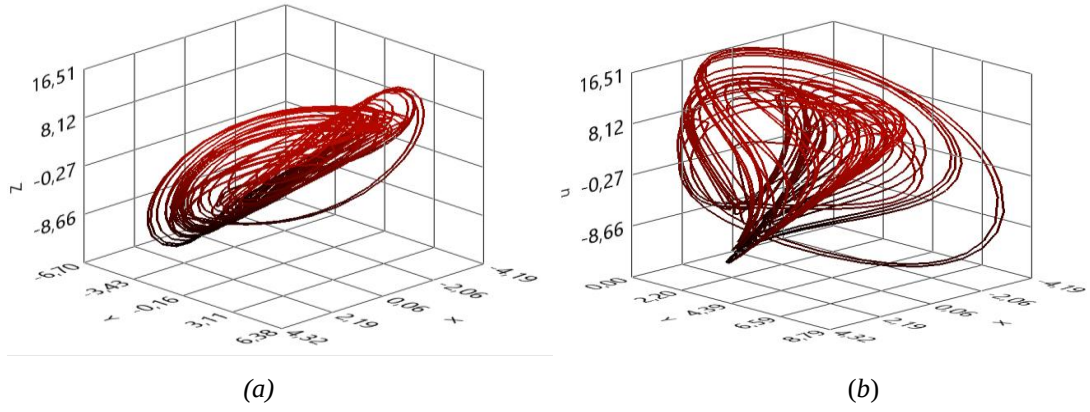
$$D_{KY} = j + \frac{1}{|L_{j+1}|} \sum_{i=1}^j L_i = 2 + \frac{L_1 + L_2}{|L_3|} = 2.72 \quad (3.18)$$

şeklinde hesaplanan Lyapunov boyutunun (Kaplan-Yorke boyutu) kesirli çıkması da sistem davranışının verilen parametreler için kaotik olduğunu göstermektedir.

Denklem 3.15'de verilen durum değişkenlerinin faz portreleri $a=3.75$, $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ parametre değerleri, $x(0)=0.01$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ başlangıç koşulları için LabVIEW programına ait Control&Simulation platformunda elde edilmiş ve Şekil 3.12'de gösterilmiştir. Ayrıca sisteme ait üç boyutlu faz portreleri ise Şekil 3.13'de verilmektedir.



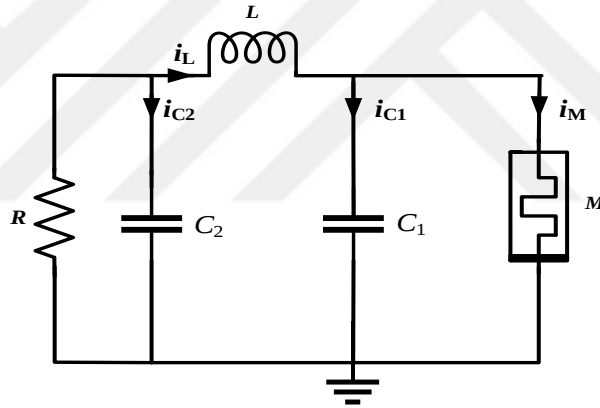
Şekil 3.12. MTKD Model II faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi



Şekil 3.13. MTKD Model II sistemi faz portrelerinin üç boyutlu gösterimi (a) x - y - z düzlemi (b) x - y - u düzlemi

3.3.2. MTKD Model III

Kısım 3.2’de önerilen memristör emülatörü yardımıyla oluşturulan diğer devre modeli Şekil 3.14’de gösterilmektedir. Devrenin durum denklemleri



Şekil 3.14. MTKD Model III devresi

$$\begin{aligned}
 \dot{v}_{C1}(t) &= \frac{i_L(t)}{C_1} - \frac{i_M(t)}{C_1} \\
 \dot{v}_{C2}(t) &= \frac{v_{C2}(t)}{RC_2} - \frac{i_L(t)}{C_2} \\
 \dot{i}_L(t) &= \frac{v_{C2}(t)}{L} - \frac{v_{C1}(t)}{L} \\
 \dot{v}_{CM}(t) &= -\frac{v_{C1}(t)}{R_1 C_M}
 \end{aligned} \tag{3.19}$$

şeklinde elde edilir Denklem 3.11 ve 3.12’de verilen memristör emülatör denklemleri yukarıda yerine yazılarak $v_{C1} = x, v_{C2} = y, i_L = z, v_{CM} = u, a = 1/C_1, b = 1/C_2, c = 1/L, d = 1/R$ ve $n = -1/R_1 C_M$ düzenlemesi yapılırsa devrenin boyutsuz durum denklemleri

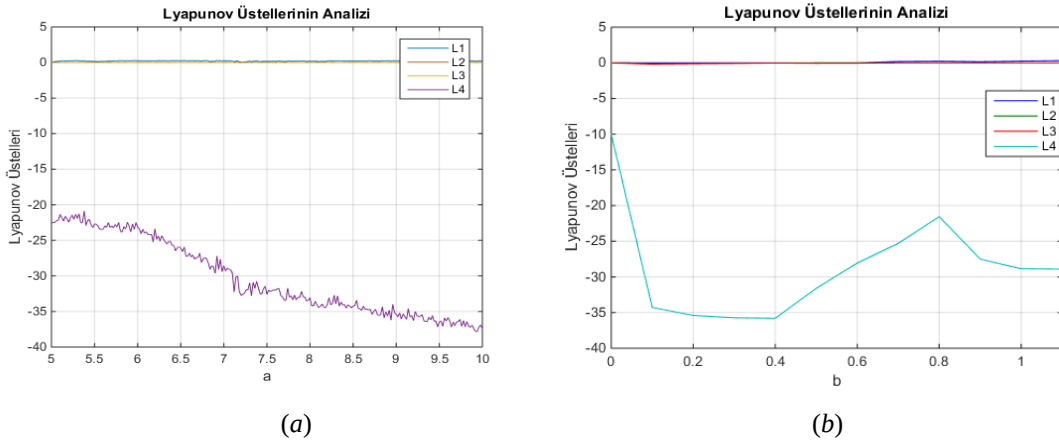
$$\dot{x} = az - ax(m_0 + m_1u^2)$$

$$\dot{y} = bdy - bz \quad (3.20)$$

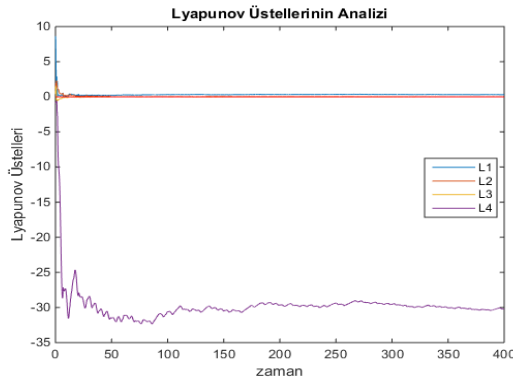
$$\dot{z} = cy - cx$$

$$\dot{u} = nx$$

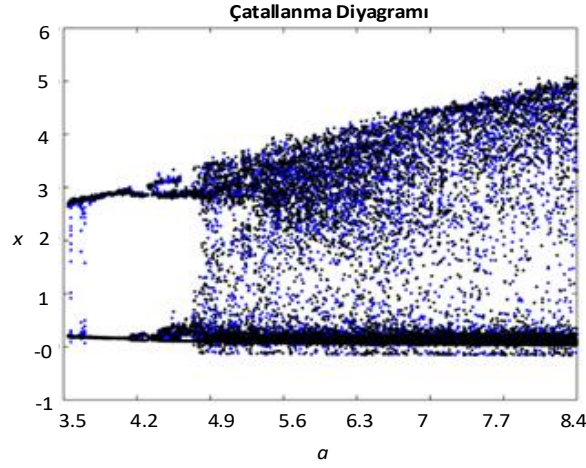
şeklinde elde edilir. Denklem 3.20 ile ifade edilen devre için $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ olarak seçilerek a parametresi için Lyapunov üstellerinin değişimi çizdirildiğinde Şekil 3.15a'da verilen grafik elde edilir. Buna göre $a=7$ seçildiğinde devrenin kaotik davranış gösterdiği görülmektedir. Sağlama yapmak için $a=7$ alınıp b parametresi için Lyapunov üstellerinin değişimi çizdirildiğinde (Şekil 3.15b) $b=1$ için devrenin kaotik işaret üreteceği gösterilmiştir. Sonuç olarak, $a=7$ ve $b=1$ değerleri için Şekil 3.16'da zamana göre değişimi verilen Lyapunov üstelleri $L_1=0.31$, $L_2=0.0097$, $L_3=-0.0098$ ve $L_4=-30.21$ olarak hesaplanmıştır. Tasarlanan sistem en az iki pozitif Lyapunov üsteline (L_1 ve L_2) sahip olduğundan Model III devresi hiperkaotiktir denilebilir.



Şekil 3.15. MTKD Model III sistemi için Lyapunov üstellerinin parametreye bağlı değişimi



Şekil 3.16. MTKD Model III sistemi Lyapunov üstelleri grafiği

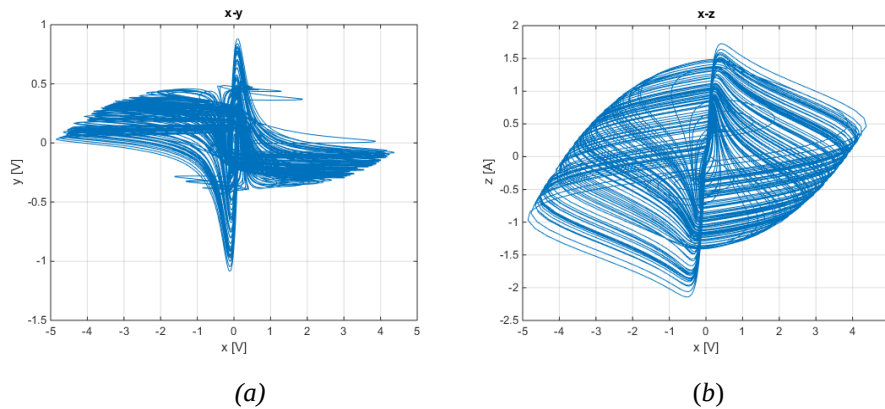


Şekil 3.17. MTKD Model III sistemi çatallanma diyagramı

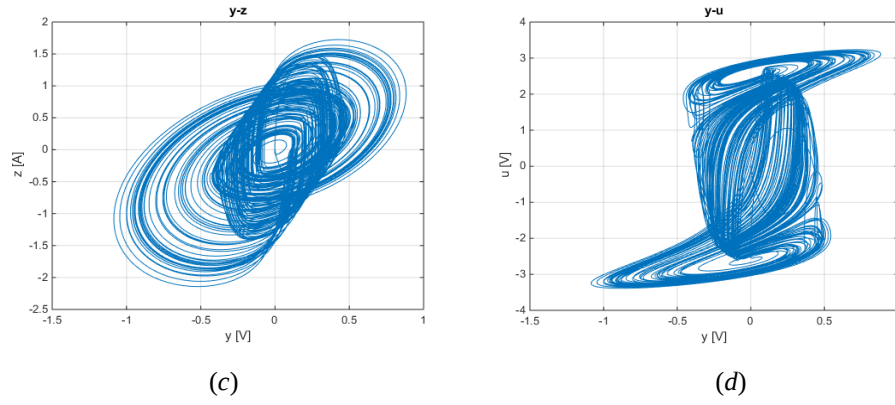
Benzer sonuçları çatallanma diyagramları ile de elde etmek için a parametresi için çizdirilen çatallanma diyagramı Şekil 3.17’de görülmektedir. Diğer parametreler sabit kalacak şekilde 3.5 ile 8.4 aralığında seçilen a parametresi için çatallanma diyagramları için siyah renk (0.1, 0, 0, 0) ve mavi renk (0.1, 0, 0.01, 1) başlangıç koşulları için elde edilmiştir. Şekilden $a \in (3.5-4.1)$ için devrenin periyodik davranış, $a \in (4.2-4.6)$ için yarı periyodik davranış ve $a \in (4.3-8.4)$ için de kaotik davranış göstereceği görülmektedir. Memristör tabanlı kaotik devrenin Lyapunov boyutu

$$D_{KY} = j + \frac{1}{|L_{j+1}|} \sum_{i=1}^j L_i = 3 + \frac{L_1+L_2+L_3}{|L_4|} = 3.01 \quad (3.21)$$

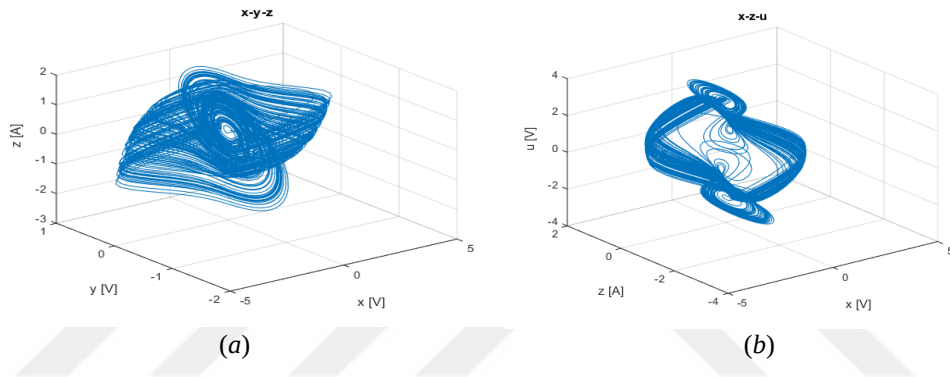
Denklem 3.20’de verilen durum değişkenlerinin faz portreleri $a=7$, $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ parametre değerleri, $x(0)=0.1$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ başlangıç koşulları için LabVIEW programına ait Control&Simulation platformunda elde edilmiş ve Şekil 3.18’de gösterilmiştir. Ayrıca sisteme ait üç boyutlu faz portreleri ise Şekil 3.19’da verilmektedir.



Şekil.3.18. MTKD Model III sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi (devamı)



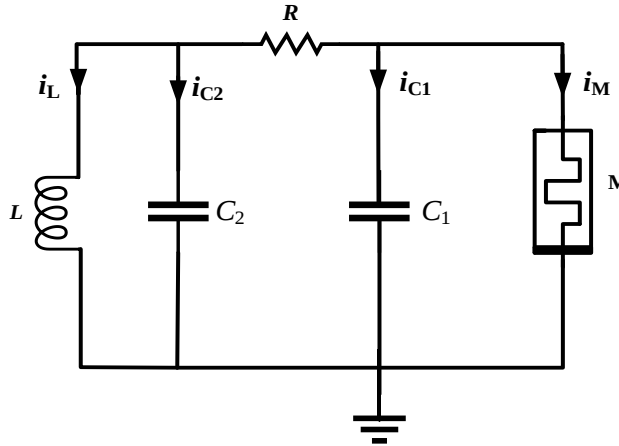
Şekil 3.18. MTKD Model III sistemi faz portreleri (a) x - y düzlemi, (b) x - z düzlemi, (c) y - z düzlemi (d) y - u düzlemi



Şekil 3.19. MTKD Model III sistemi faz portreleri üç boyutlu gösterimi (a) x - y - z düzlemi (b) x - z - u düzlemi

3.3.3. MTKD Model IV

Bu bölümde Şekil 3.20’de gösterilen memristif Chua devresi göz önüne alınacaktır. Bu devre daha önce [28]’de incelenmiş olup bazı ölçekleme hataları nedeniyle genlik seviyesinde kırılmalar meydana gelmektedir.



Şekil 3.20. MTKD Model IV devresi

Bu kısımda, önerilen memristör emülatörü kullanılarak devre [28]'e göre daha düzgün ölçeklenmiş ve bir buffer elemanı eksik kullanılmıştır. Devrenin durum denklemleri

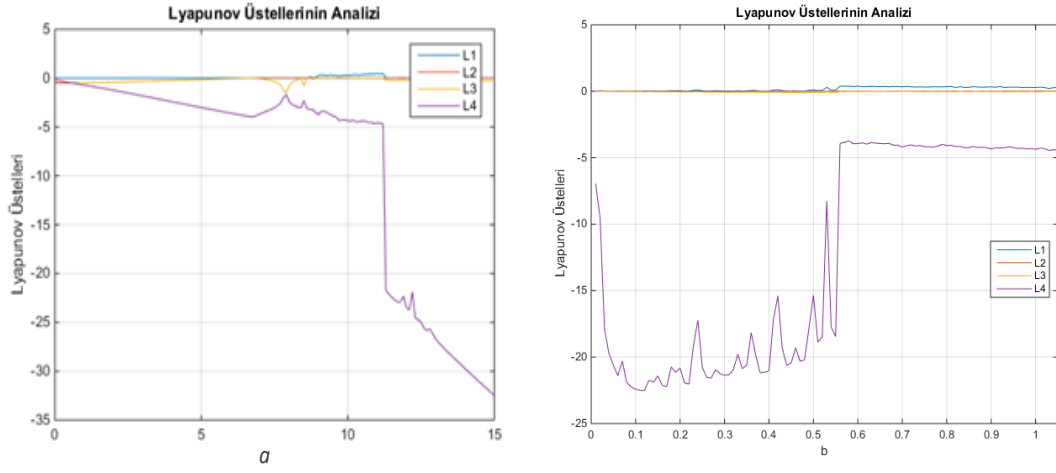
$$\begin{aligned}
\dot{v}_{C1}(t) &= \frac{v_{C2}(t)}{RC_1} - \frac{v_{C1}(t)}{RC_1} - \frac{i_M(t)}{C_1} \\
\dot{v}_{C2}(t) &= -\frac{i_L(t)}{C_2} - \frac{v_{C2}(t)}{RC_2} + \frac{v_{C1}(t)}{RC_2} \\
\dot{i}_L(t) &= \frac{v_{C2}(t)}{L} \\
\dot{v}_{CM}(t) &= -\frac{v_{C1}(t)}{R_1 C_M}
\end{aligned} \tag{3.22}$$

şeklinde elde edilir. Denklem 3.11 ve 3.12'de verilen memristör emülatör denklemleri yukarıda yerine yazılarak $v_{C1} = x, v_{C2} = y, i_L = z, v_{CM} = u, a = 1/C_1, b = 1/C_2, c = 1/L, d = 1/R$ ve $n = -1/R_1 C_M$ düzenlemesi yapılırsa devrenin boyutsuz durum denklemleri

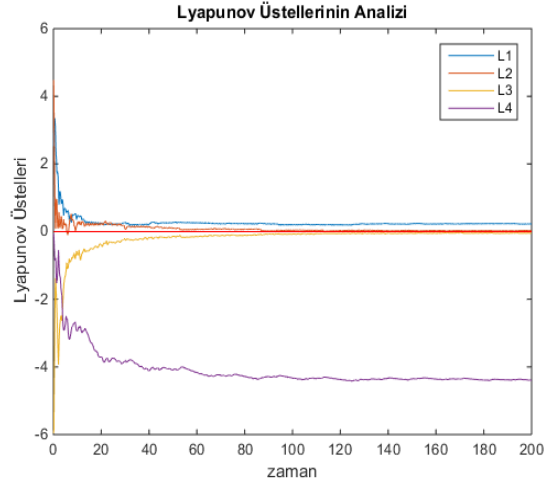
$$\begin{aligned}
\dot{x} &= ady - adx - ax(m_0 + m_1 u^2) \\
\dot{y} &= bdx - bdy - bz \\
\dot{z} &= cy \\
\dot{u} &= nx
\end{aligned} \tag{3.23}$$

şeklinde elde edilir.

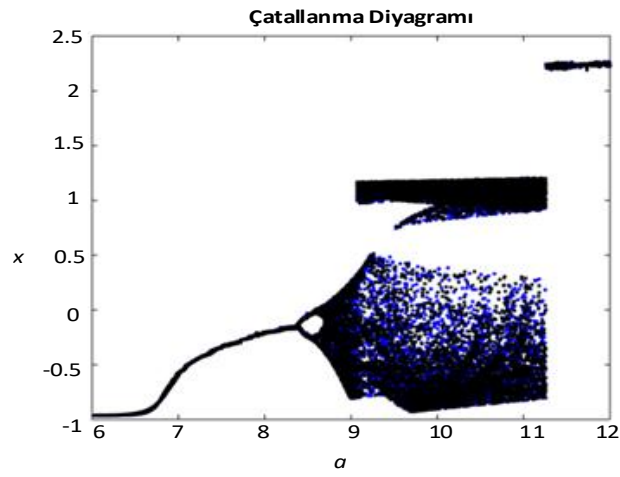
Denklem 3.23 ile ifade edilen devre için $b=1, c=15, d=1, m_0=-1.2, m_1=0.7$ ve $n=-1$ parametre değerleri olarak seçilip, a parametresi değişken olarak göz önüne alındığında kaotik davranışın varlığı Şekil 3.21'de verilen Lyapunov üstellerinin değişimi kullanılarak araştırılmıştır. Buna göre $a=10$ seçildiğinde devrenin kaotik davranış gösterdiği belirlenmiştir. Sağlama yapmak için benzer işlem $a=10$ alınıp b parametresi değiştirildiğinde Lyapunov üstellerinin değişimi Şekil 3.21b'de görülmektedir. Şekilden b parametresinin 1 olarak alındığında devrenin kaotik işaret üreteceği anlaşılmaktadır. Sonuç olarak, $a=10$ ve $b=1$ değerleri için Şekil 3.22'de zamana göre değişimi verilen Lyapunov üstelleri $L_1=0.22, L_2=0.033, L_3=-0.047$ ve $L_4=-4.39$ olarak hesaplanmıştır. Tasarlanan sistem en az iki pozitif Lyapunov üsteline (L_1 ve L_2) sahip olduğundan Model IV devresi hiperkaotiktir denilebilir.



Şekil 3.21. MTKD Model IV sistemi Lyapunov üstellerinin parametreye bağlı değişimi



Şekil 3.22. MTKD Model IV sistemi Lyapunov üstelleri grafiği

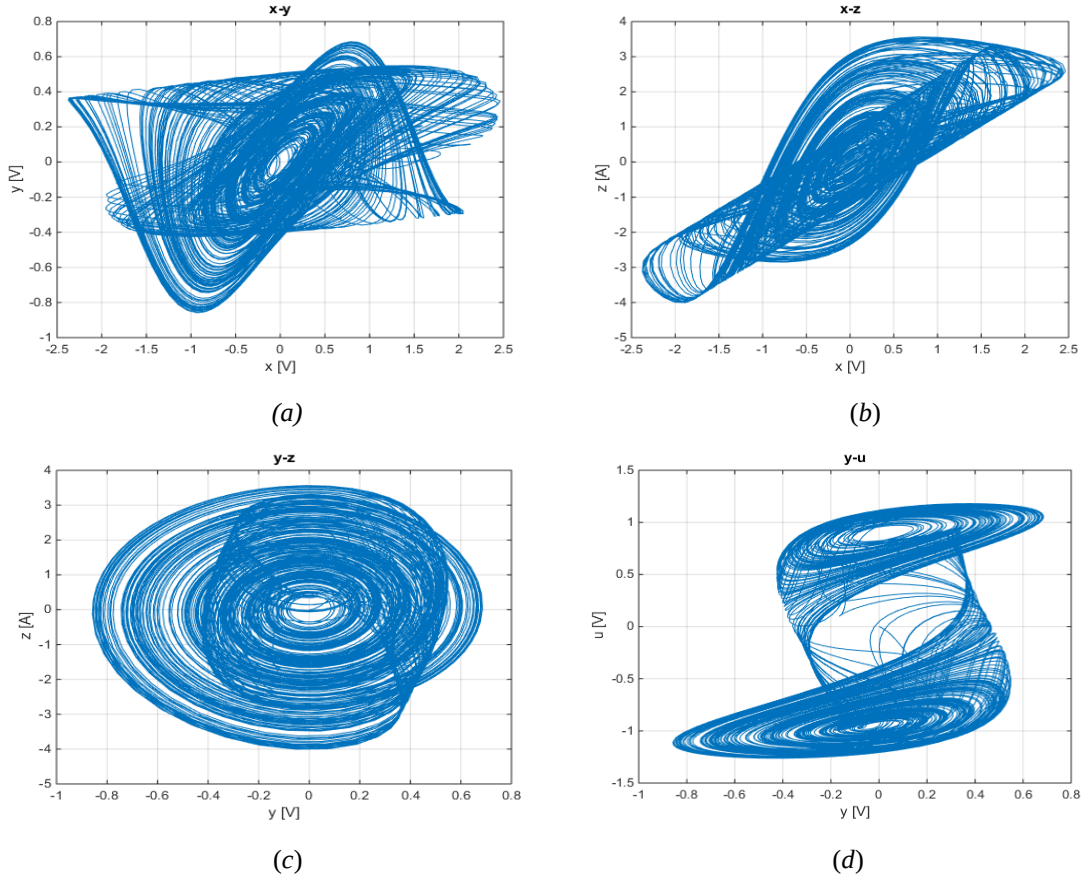


Şekil 3.23. MTKD Model IV sistemi çatallanma diyagramı

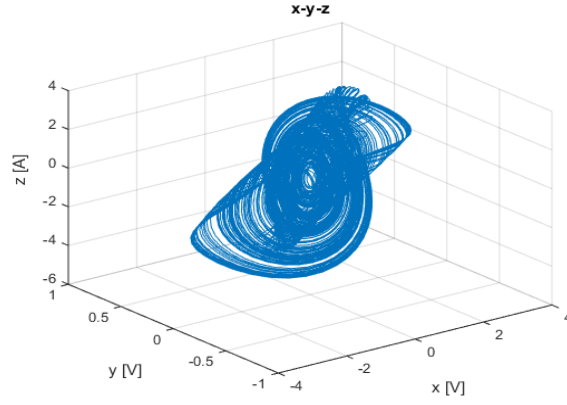
Lyapunov üstelleri ile elde edilen sonuçları doğrulamak için a parametresine ait çatallanma diyagramı Şekil 3.23’de görülmektedir. Şekil 3.23’de diğer parametreler sabit kalacak şekilde a parametresi 6 ile 12 aralığında seçilmiştir. Şekildeki çatallanma diyagramı için siyah olanı $(0.1, 0, 0, 0)$ ve mavi olanı ise $(0.1, 0, 0.01, 1)$ başlangıç koşulları için elde edilmiştir. $a \in (6-8.5)$ için devrenin davranışı periyodik çıktıkları, $a \in (8.6-8.8)$ için yarı periyodik çıktıkları ve $a \in (8.9-11)$ için de kaotik çıktıkları göstermektedir. Memristör tabanlı Chua sisteminin Lyapunov boyutu aşağıda hesaplanmaktadır:

$$D_{KY} = j + \frac{1}{|L_{j+1}|} \sum_{i=1}^j L_i = 3 + \frac{L_1+L_2+L_3}{|L_4|} = 3.04 \quad (3.24)$$

Denklem 3.23’de verilen durum değişkenlerinin faz portreleri $a=10, b=1, c=15, d=1, m_0=-1.2, m_1=0.7, n=-1$ parametre değerleri ve $x(0)=0.1, y(0)=0, z(0)=0$ ve $u(0)=0$ başlangıç koşulları için MATLAB platformunda elde edilerek Şekil 3.24’de sunulmaktadır. Ayrıca sisteme ait üç boyutlu faz portreleri ise Şekil 3.25’de verilmektedir.



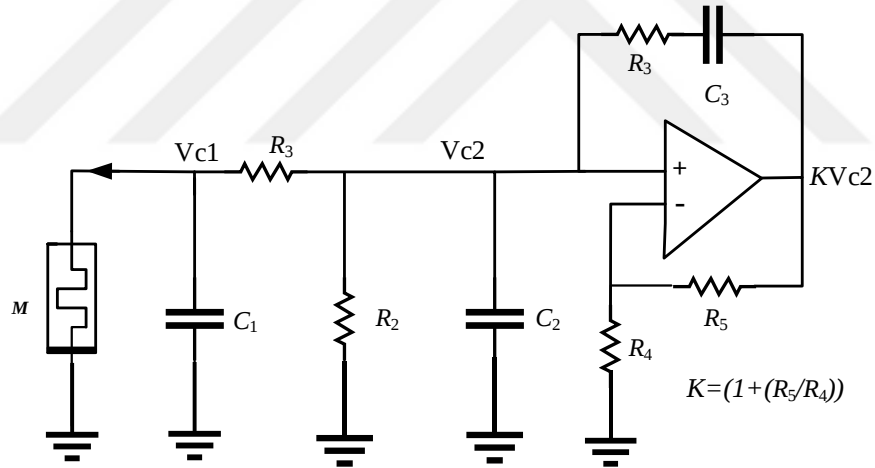
Şekil 3.24. MTKD Model IV sistemi faz portreleri (a) $x-y$ düzlemi, (b) $x-z$ düzlemi, (c) $y-z$ düzlemi (d) $y-u$ düzlemi



Şekil 3.25. MTKD Model IV sistemi faz portrelerinin üç boyutlu x-y-z düzlemi

3.3.4. MTKD Model V

Bu kısımda memristif Chua devresi tabanlı Wien osilatörü göz önüne alınacaktır. Şekil 3.26'da görülen ve MTKD Model V olarak adlandırılan devrenin durum denklemleri



Şekil 3.26. MTKD Model V devresi

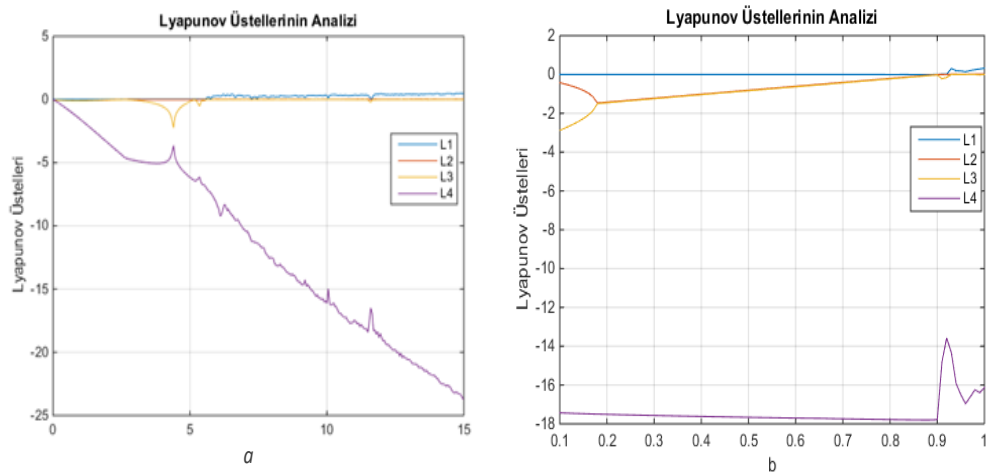
$$\begin{aligned}
 \dot{v}_{C1}(t) &= \frac{v_{C2}(t)}{R_1 C_1} - \frac{v_{C1}(t)}{R_1 C_1} - \frac{i_M(t)}{C_1} \\
 \dot{v}_{C2}(t) &= \frac{K v_{C2}(t) - v_{C3}(t) - v_{C2}(t)}{R_3 C_2} + \frac{v_{C1}(t) - v_{C2}(t)}{R_1 C_2} - \frac{v_{C2}(t)}{R_2 C_2} \\
 \dot{v}_{C3}(t) &= \frac{K v_{C2}(t) - v_{C3}(t) - v_{C2}(t)}{R_3 C_3} \\
 \dot{v}_{CM}(t) &= -\frac{v_{C1}(t)}{R_1 M C_M}
 \end{aligned} \tag{3.25}$$

şeklinde elde edilir. Denklem 3.11 ve 3.12’de verilen memristör emülatör denklemleri yukarıda yerine yazılırsa (Burada R_{1M} direnci emülatör devresindeki R_1 direnci olup devre elemanlarının karışmaması için değiştirilmiştir) olur. Denklem 3.25’de verilen durum denklemleri için $v_{C1} = x, v_{C2} = y, v_{C3} = z, v_{CM} = u, a = 1/C_1, b = 1/C_2, c = 1/C_3, d = 1/R_1, e = 1/R_2, f = 1/R_3$ ve $n = -1/R_{1M}C_M$) düzenlemesi yapılırsa devrenin boyutsuz durum denklemleri

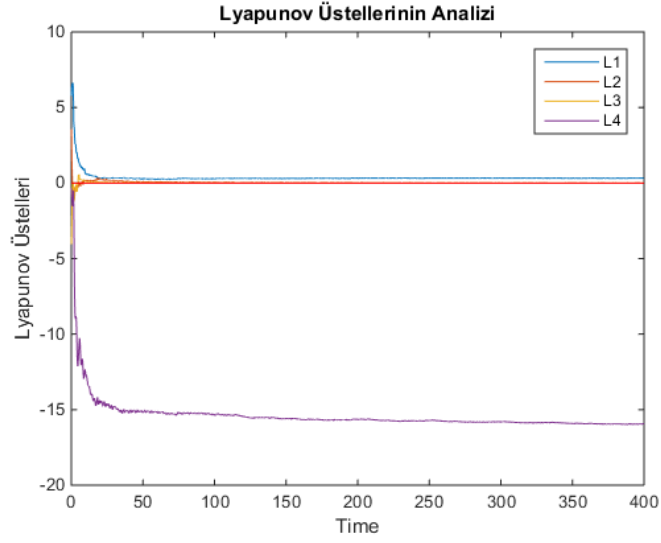
$$\begin{aligned}\dot{x} &= ady - adx - ax(m_0 + m_1 u^2) \\ \dot{y} &= bdx - bdy - bfz + by((K - 1)f - e) \\ \dot{z} &= cfy(K - 1) - cfz \\ \dot{u} &= nx\end{aligned}\tag{3.26}$$

şeklinde elde edilir.

Denklem 3.26 ile ifade edilen devre için $b=1, c=1, d=1, e=3, f=3.75, n=-3, m_0=-1.5, m_1=0.1, n=-3$ ve $K=3.05$ olarak seçilip, a parametresi için elde edilen Lyapunov üstellerinin değişimi Şekil 3.27a’da verilmiştir. Buna göre $a=10$ seçildiğinde devrenin kaotik davranış gösterdiği belirlenmiştir. Benzer işlem için $a=10$ alınıp b parametresi değiştirildiğinde Lyapunov üstellerinin değişimi de Şekil 3.27b’de görülmektedir. Şekilden b parametresinin 1 olarak alındığında devrenin kaotik işaret üreteceği görülmektedir. Sonuç olarak, $a=10$ ve $b=1$ değerleri için Şekil 3.28’de zamana göre değişimi verilen Lyapunov üstelleri $L_1=0.32, L_2=0.013, L_3=0.002$ ve $L_4=-16.136$ olarak hesaplanmıştır. Tasarlanan sistem en az iki pozitif Lyapunov üsteline (L_1 ve L_2) sahip olduğundan Model V devresi hiperkaotiktir denilebilir.



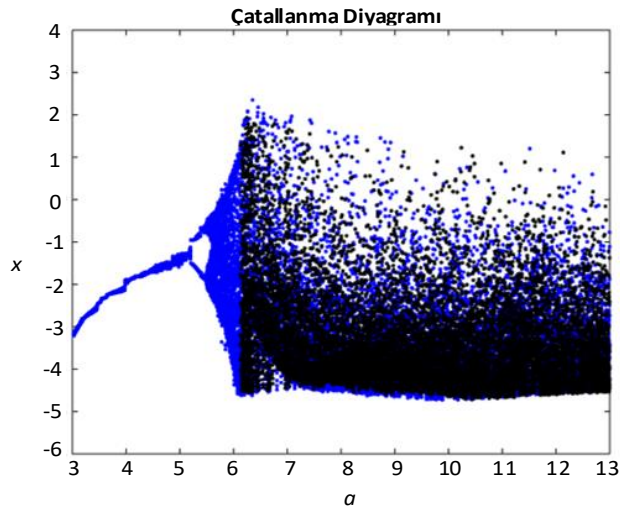
Şekil 3.27. MTKD Model V sistemi Lyapunov üstellerinin parametreye bağlı değişimi



Şekil 3.28. MTKD Model V sistemi Lyapunov üstelleri grafiği

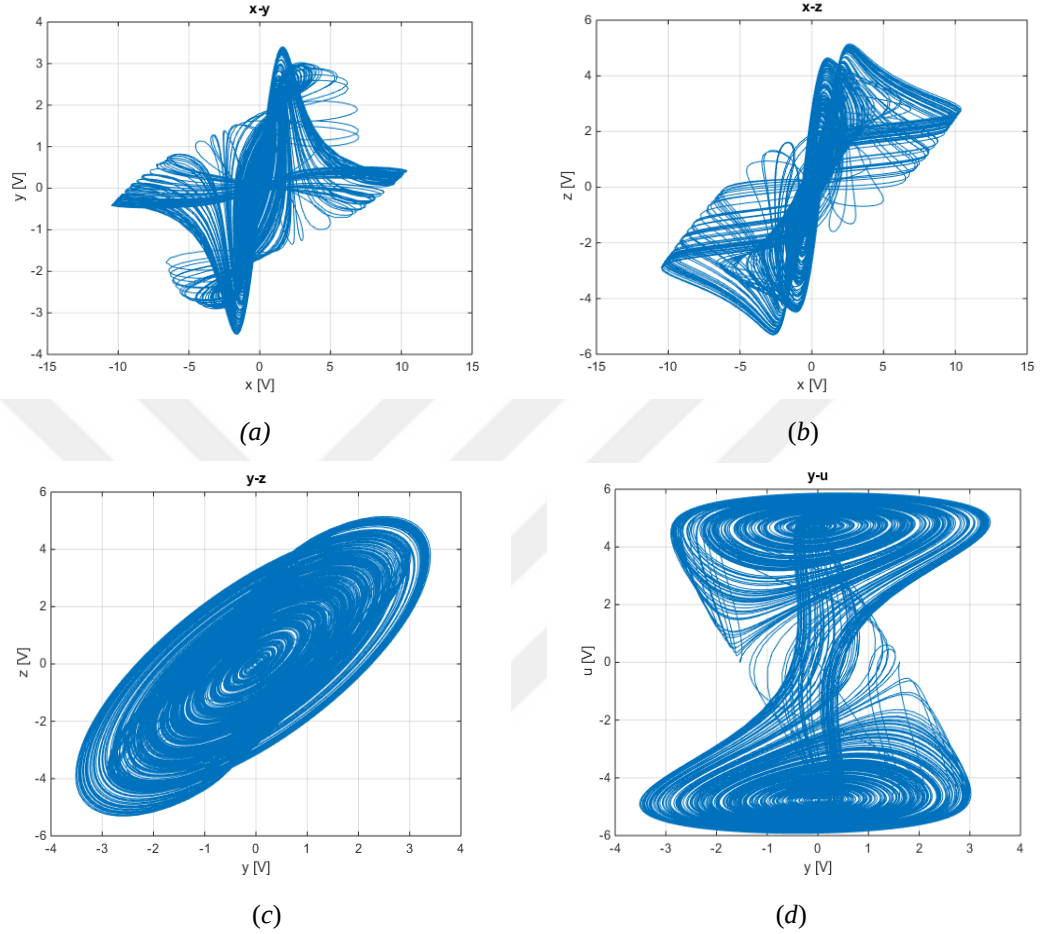
Seçilen a parametresi için devrenin çatallanma diyagramı Şekil 3.29’da görülmektedir. Şekil 3.29’da diğer parametreler sabit kalacak şekilde a parametresi 3 ile 13 aralığında seçilmiştir. Şekildeki çatallanma diyagramları için siyah olanı $(0.001, 0, 0, 0)$ ve mavi olanı ise $(0.1, 0, 0.01, 1)$ başlangıç koşulları için elde edilmiştir. Şekilden $a \in (3-5.5)$ için devrenin davranışı periyodik çıktıları gösterir. Benzer şekilde $a \in (5.6-5.8)$ için yarı periyodik çıktıları ve $a \in (5.9-13)$ için de kaotik çıktılar gösterilmektedir. Tasarlanan memristör tabanlı kaotik sistemin Lyapunov boyutu (Kaplan-Yorke boyutu) aşağıda hesaplanmaktadır:

$$D_{KY} = j + \frac{1}{|L_{j+1}|} \sum_{i=1}^j L_i = 3 + \frac{L_1 + L_2 + L_3}{|L_4|} = 3.02 \quad (3.27)$$

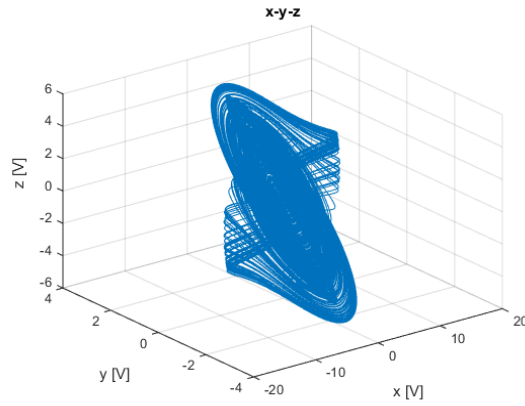


Şekil 3.29. MTKD Model V sistemi çatallanma diyagramı

Denklem 3.25’de verilen durum değişkenlerinin faz portreleri $a=10$, $b=1$, $c=1$, $d=1$, $e=3$, $f=3.75$, $n=-3$, $m_0=-1.5$, $m_1=0.1$, $n=-3$ ve $K=3.05$ parametre değerleri, $x(0)=0.001$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ başlangıç koşulları için MATLAB platformunda elde edilerek Şekil 3.30’da sunulmuştur. Ayrıca sisteme ait faz portrelerinin üç boyutlu gösterimi Şekil 3.31’de gösterilmektedir.



Şekil 3.30. MTKD Model V sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi



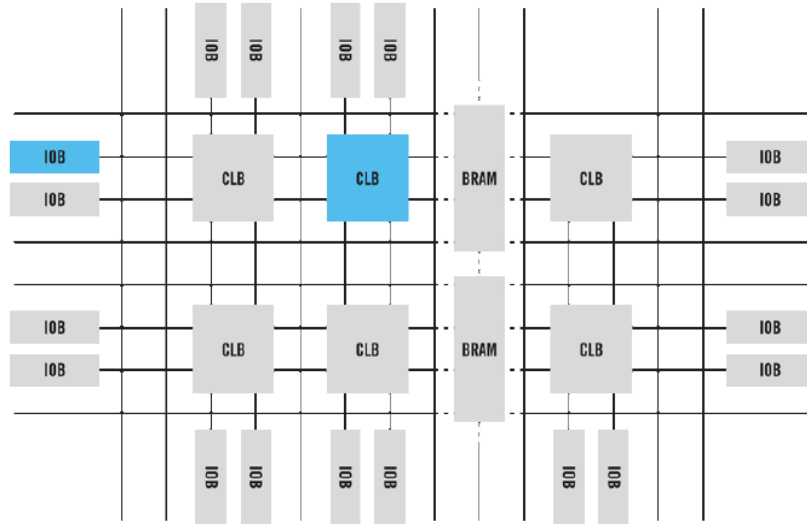
Şekil 3.31. MTKD Model V sistemi faz portrelerinin üç boyutlu gösterimi x-y-z düzlem

4. MTKD MODELLERİNİN FPGA PLATFORMUNDA TASARIMI VE ELEKTRONİK DEVRE GERÇEKLEMELERİ

Bu bölümde MTKD sistemleri FPGA platformunda donanımsal olarak gerçekleştirilmektedir. Bu uygulamadan sonra tasarlanan kaotik/hiperkaotik sistemler, PSpice ve LTspice elektronik devre benzetim programlarında elektronik elemanlar ile modellenerek benzetime tabi tutulup, faz portreleri elde edilmiştir. Ayrıca bu sistemlerin elektronik devre modelleri gerçek ortamda gerçekleştirilmiş olup osiloskop çıktıları sunulmuştur.

4.1. FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizileri)

FPGA, çeşitli uygulamaları donanımsal olarak gerçekleştirmek için yeniden yapılandırılabilen bir cihazdır. Bu yapı son kullanıcı tarafından hiçbir üretim işlemine ihtiyaç duyulmadan, istenilen işlevleri yerine getirecek şekilde programlanabilmektedir. FPGA kullanıcıya tasarımı gerçekleştirdikten sonra dahi müdahale şansı sunmaktadır. FPGA ASIC (Application Specific Integrated Circuit- Uygulamaya Özel Entegre Devre) teknolojisinin hızına paralel işlem yapabilme yeteneği sayesinde yaklaşmaktadır. Bu avantajlarından dolayı FPGA tabanlı sistemler literatürde yaygın olarak kullanılmaktadır. Şekil 4.1’de FPGA’nın iç yapısı gösterilmektedir.



Şekil 4.1. Basitleştirilmiş FPGA yapısı [151]

FPGA’nın iç yapısında;

- Yapılandırılabilir mantık blokları (CLB),

- Giriş/çıkış blokları IOB,
- Rasgele erişimli hafıza blokları (BRAM) bulunmaktadır [151].

BRAM, FPGA’da gerçekleştirilen aritmetik işlemler için gerekli veri depolama ve iletim kısmında kullanılmaktadır. IOB’ların görevi ise CLB’ler arası bilgi alışverişini sağlamaktır. Kullanıcı tasarladığı sistem ile aynı zaman diliminde belirttiği sayı kadar CLB fonksiyonunu çalıştırabilir. Bu işlem paralel çalışma kabiliyeti olarak adlandırılır ve bu sayede yüksek çalışma frekanslarında çok hızlı işlemler gerçekleştirilebilir [151].

Kaos temelli mühendislik uygulamalarını geliştirmek ve genişletmek için kaotik devre sistemleri çeşitli platformlarda tasarlanmaktadır. FPGA yongalarının sayısal ve yeniden programlanabilir olması gibi özellikleri nedeniyle, FPGA tabanlı kaotik sistem uygulamalarında, sistemin parametre değişiklikleri kolayca gerçekleştirilebilir. Ayrıca sistem parametrelerinin değişmesiyle, sistemin dinamik davranışında meydana gelen değişim kolay bir şekilde de görülebilir. Literatürde FPGA tabanlı kaotik sistemlerin tasarım ve uygulamasına ait çalışmalar mevcuttur [152–154].

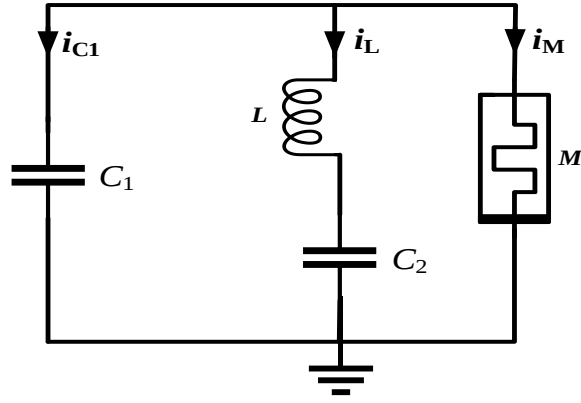
Programlanabilir cihazlar, çok çeşitli uygulamalar için yapılandırılabilen genel amaçlı bir yonga sınıfıdır [155]. Xilinx System Generator (XSG), kavramsal mimari tasarım ile Xilinx FPGA’nın gerçek zamanlı uygulaması arasındaki boşluğu kapatmaktadır. Xilinx firmasının sunduğu XSG platformu kullanıcılara uzun kodlamalar yerine MATLAB/Simulink ortamında tasarım kolaylığı sunmaktadır. XSG platformunda, MATLAB/Simulink ortamında bulunan aritmetik ve mantıksal bloklar vasıtasıyla modellemeler yapılabilir. Tasarlanan sistemler donanım tabanlı benzetim, programlama ve gerçek zamanlı uygulama gibi çeşitli yöntemlerle FPGA çipinde çalıştırılabilir.

4.2. MTKD Modellerinin Elektronik Devre Gerçeklemesi

Bu bölümde memristör tabanlı kaotik sistemlerin elektronik devre gerçeklemesi sunulmaktadır. Model II ve III sistemleri için durum denklemlerinden elektronik devre modeli elde edilirken, Model IV ve V’de sistemlerin devre tasarımındaki eleman değerleri elde edilerek elektronik devre modelleri oluşturulmaktadır.

4.2.1. MTKD Model II Sistemi Elektronik Devre Tasarımı

Şekil 4.2’de MTKD Model II sistemi gösterilerek bu devreye ait durum denklemleri Denklem 4.1’de verilmektedir.



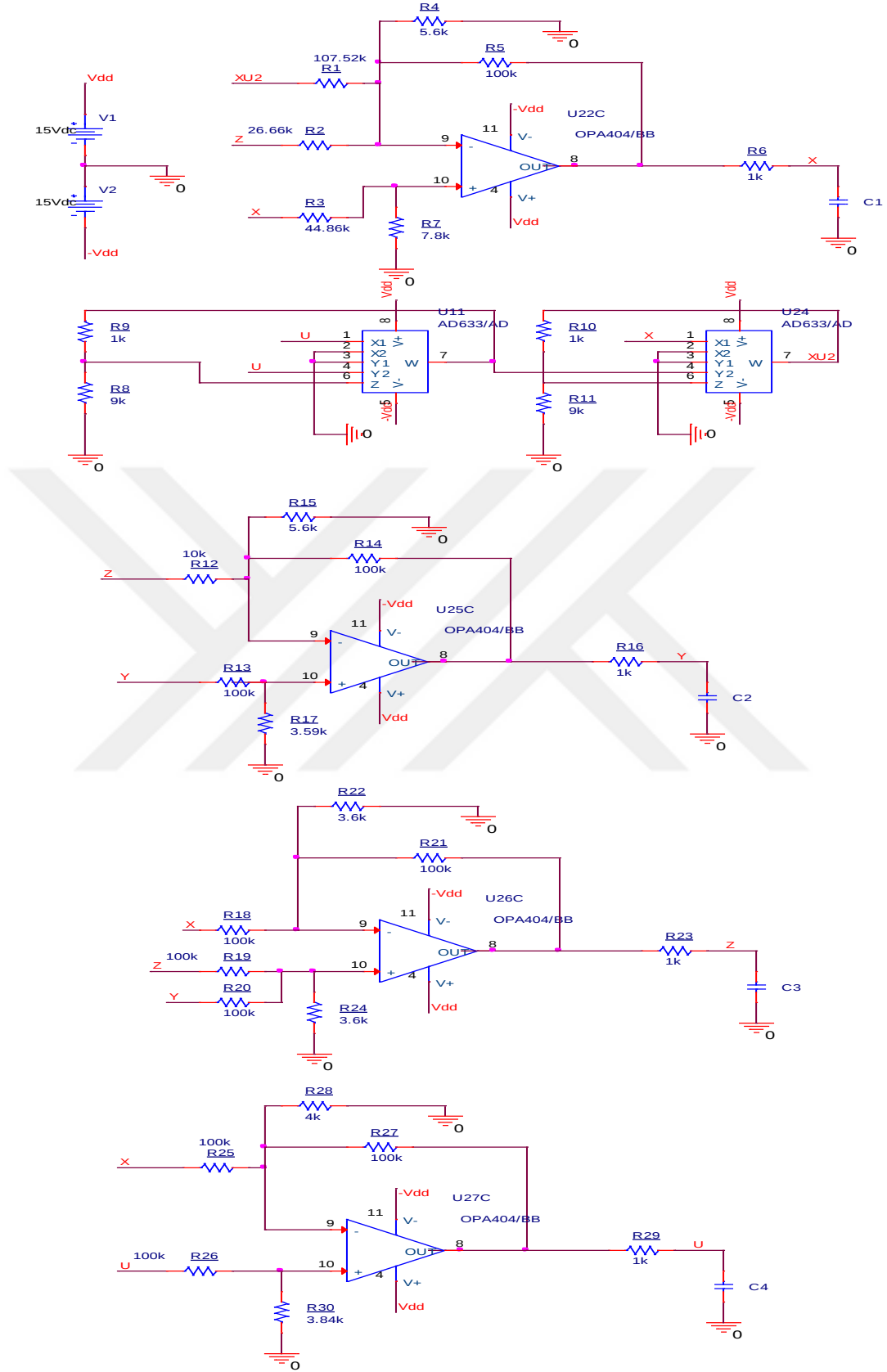
Şekil 4.2. MTKD Model II devresi

$$\begin{aligned}
 \dot{x} &= -az - axm_0 - axm_1u^2 \\
 \dot{y} &= -bz \\
 \dot{z} &= -d(x - y) \\
 \dot{u} &= nx
 \end{aligned} \tag{4.1}$$

Denklem 4.1 durum denklemlerinin elektronik devre gerçekleştirilmesi Şekil 4.3’de gösterilmektedir. Kaotik sistem tasarımı $a=3.75$, $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ parametre değerleri kullanılarak PSpice programında modellenmiştir. Sistemin başlangıç şartları ise $x(0)=0.01$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ olarak alınmıştır. Bu sistemin elektronik devre gerçekleştirilmesinde kullanılan elemanların değeri ise Tablo 4.1’de verilmektedir.

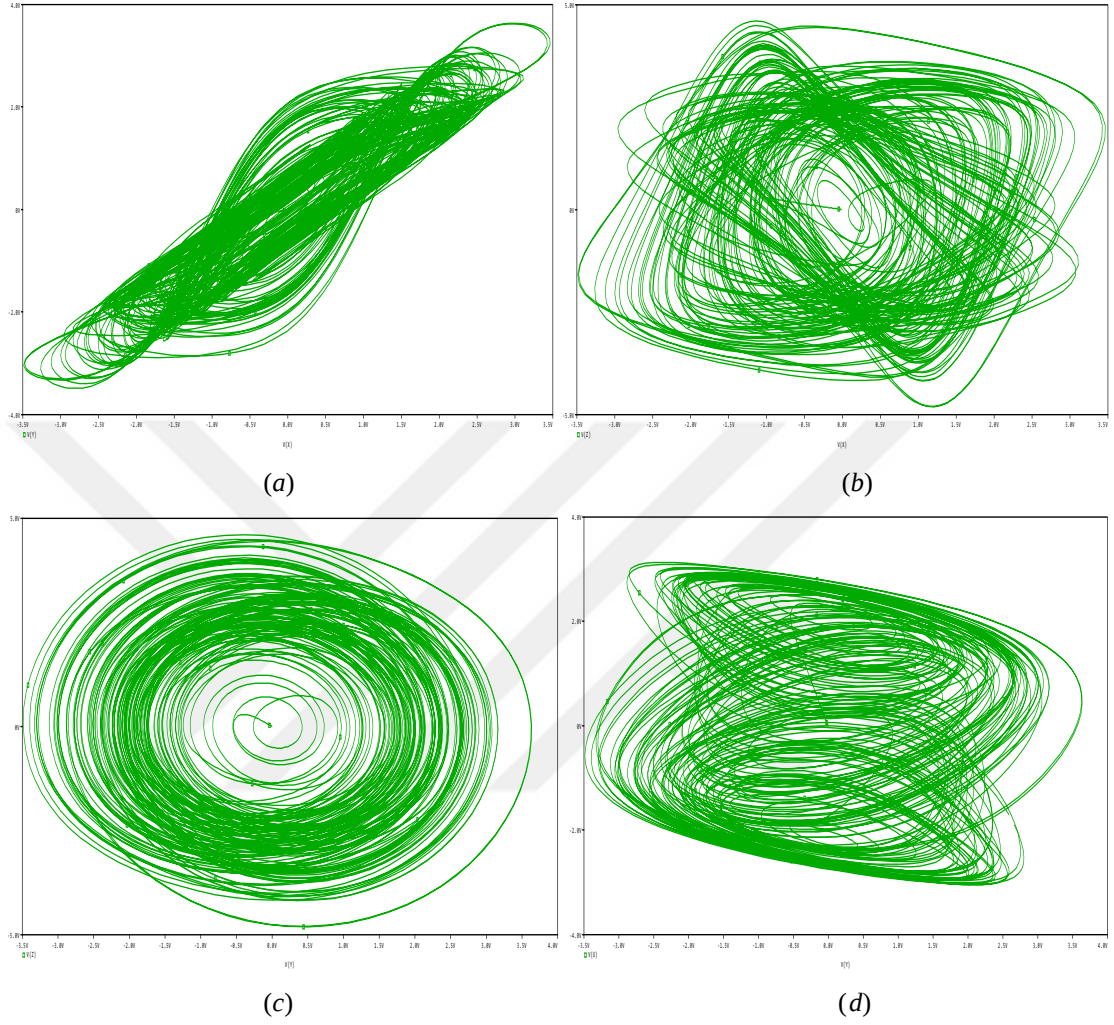
Tablo 4.1. MTKD Model II elektronik devre modeli için kullanılan eleman değerleri

Kaynak	Değeri	Kaynak	Değeri
AM	AD633JN	R_7	7.8 k Ω
Opamp	OPA404/TL084	$R_8=R_{11}$	9 k Ω
R_1	107.52 k Ω	R_{12}	10 k Ω
R_2	26.66 k Ω	R_{17}	3.59 k Ω
R_3	44.86 k Ω	$R_{22}=R_{24}$	3.6 k Ω
$R_4=R_{15}$	5.6 k Ω	R_{28}	4 k Ω
$R_5=R_{13}=R_{14}=R_{18}=R_{19}=$ $R_{20}=R_{21}=R_{25}=R_{26}=R_{27}$	100 k Ω	R_{30}	3.84 k Ω
$R_6=R_9=R_{10}=R_{16}=R_{23}=R_{29}$	1 k Ω	$C_1=C_2=C_3=C_4$	1nF-100 nF
		V_{kaynak}	± 15 V



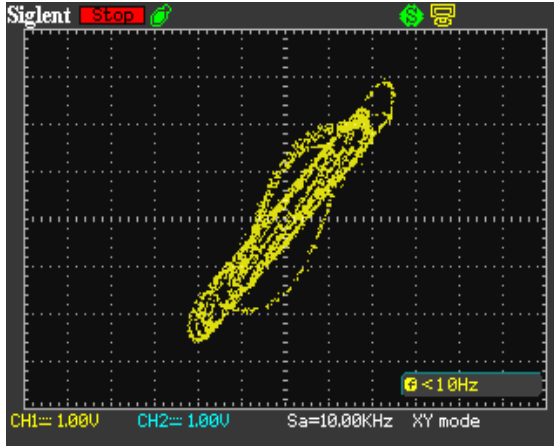
Şekil 4.3. MTKD Model II sistemi elektronik devre modeli

PSpice programında elde edilen MTKD Model II sistemine ait faz portreleri Şekil 4.4’de gösterilmektedir.

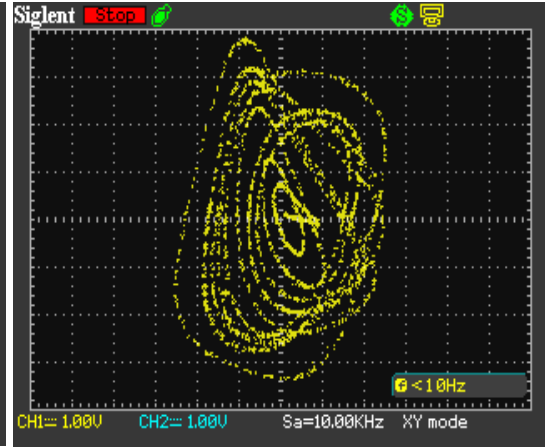


Şekil 4.4. MTKD Model II sistemi faz portreleri (a) x - y düzlemi, (b) x - z düzlemi, (c) y - z düzlemi (d) y - u düzlemi

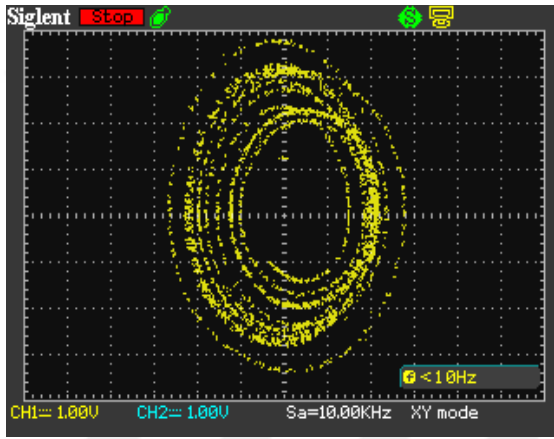
Ayrıca MTKD Model II sisteminin elektronik elemanlarla yapılmış fiziksel gerçekleştirilmesi Şekil 4.3’de sunulmaktadır. Sisteme ait faz portrelerinin gerçek zamanlı sonuçları osiloskop yardımıyla alınmış olup Şekil 4.5’de gösterilmektedir. Şekil 4.6’da ise MTKD Model II devresine ait deneysel faz portrelerinin bir görüntüsü verilmektedir.



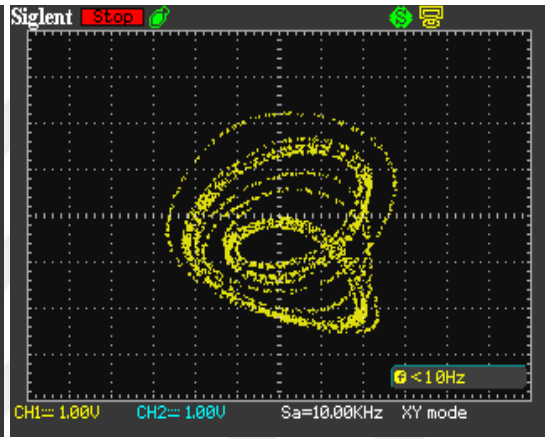
(a)



(b)

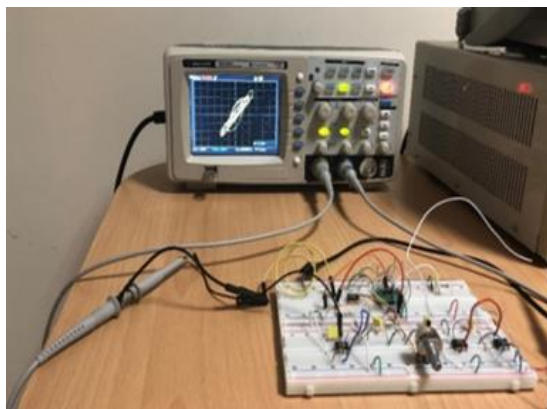


(c)

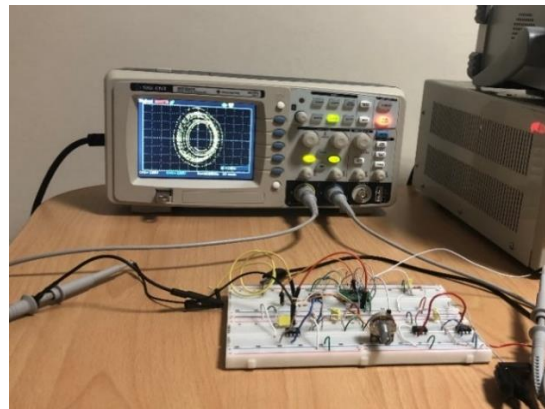


(d)

Şekil 4.5. MTKD Model II sistemi faz portreleri osiloskop çıktıları (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi



(a)

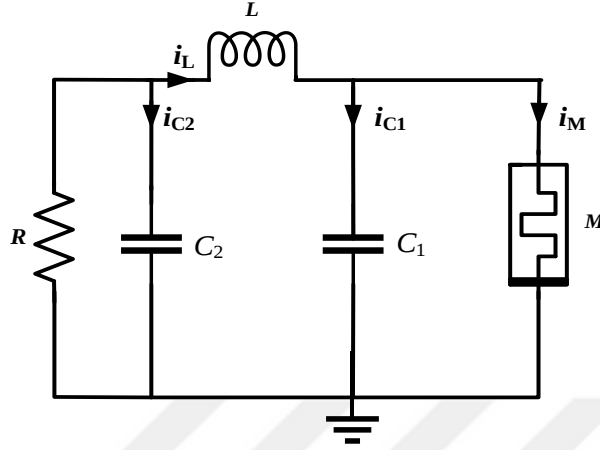


(b)

Şekil 4.6. MTKD Model II sistemi deneysel uygulaması (a) x-y düzlemi, (b) y-z düzlemi

4.2.2. MTKD Model III Sistemi Elektronik Devre Tasarımı

Şekil 4.7’de MTKD Model III sistemi gösterilerek Denklem 4.2’de bu devreye ait durum denklemleri verilmektedir.



Şekil 4.7. MTKD Model III devresi

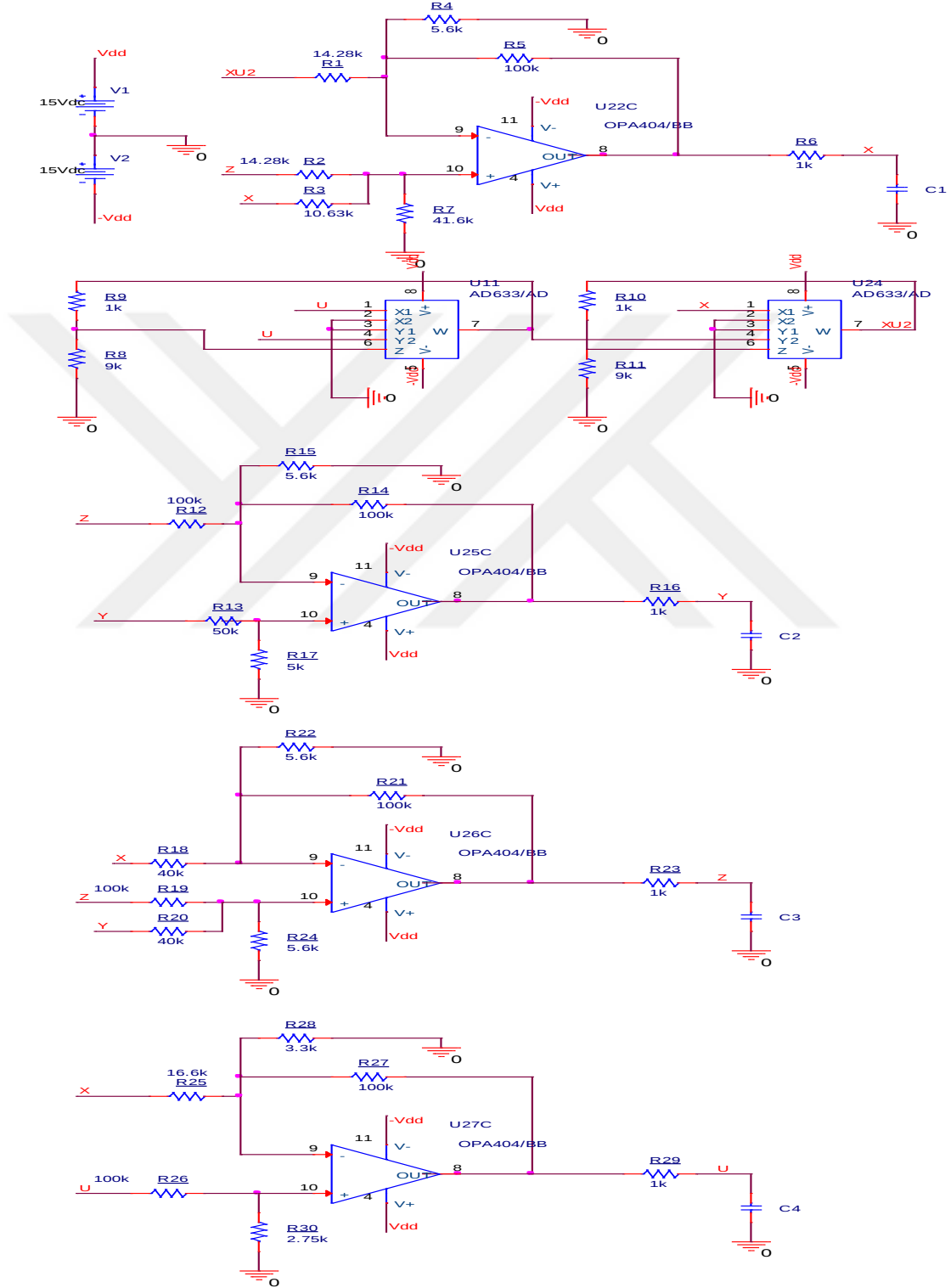
$$\begin{aligned}
 \dot{x} &= az - ax(m_0 + m_1 u^2) \\
 \dot{y} &= bdy - bz \\
 \dot{z} &= cy - cx \\
 \dot{u} &= nx
 \end{aligned} \tag{4.2}$$

Tablo 4.2. MTKD Model III elektronik devre modeli için kullanılan eleman değerleri

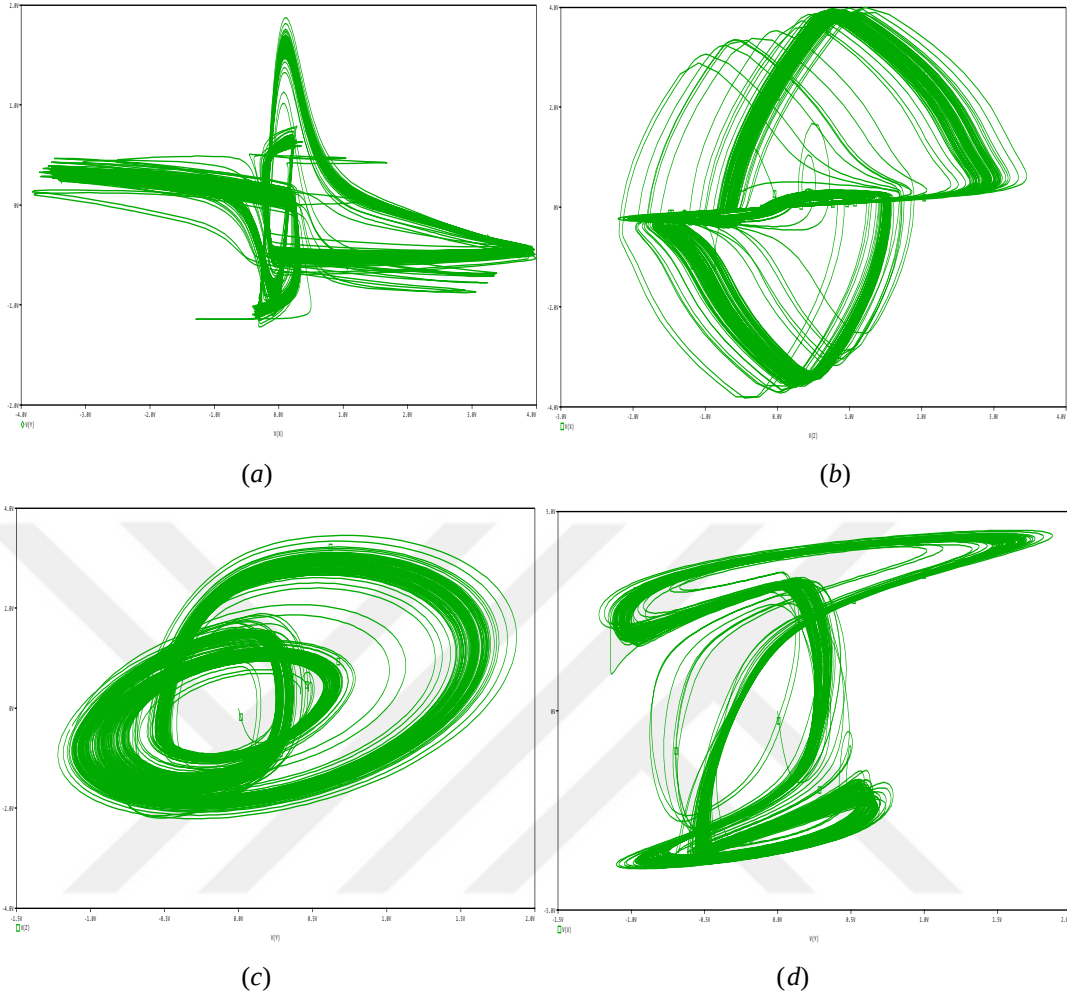
Kaynak	Değeri	Kaynak	Değeri
AM	AD633JN	$R_8=R_{11}$	9 kΩ
Opamp	OPA404/TL084	R_{13}	50 kΩ
$R_1=R_2$	14.28 kΩ	R_{17}	5 kΩ
R_3	10.63 kΩ	$R_{18}=R_{20}$	40 kΩ
$R_4=R_{15}=R_{22}=R_{24}$	5.6 kΩ	R_{25}	16.6 kΩ
$R_5=R_{12}=R_{14}=R_{19}=R_{21}=R_{26}=R_{27}$	100 kΩ	R_{28}	3.3 kΩ
$R_6=R_9=R_{10}=R_{16}=R_{23}=R_{29}$	1 kΩ	R_{30}	2.75 kΩ
R_7	41.7 kΩ	$C_1=C_2=C_3=C_4$	1nF-100 nF
		V_{kaynak}	± 15 V

Denklem 4.2 durum denklemlerinin elektronik devre gerçekleştirilmesi Şekil 4.8’de gösterilmektedir. Kaotik sistem tasarımı için $a=7$, $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ parametre değerleri kullanılarak PSpice programında modellenmiştir. Sistemin başlangıç şartları

ise $x(0)=0.1$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ olarak alınmıştır. Bu sistemin elektronik devre gerçektelesinde kullanılan elemanların değeri ise Tablo 4.2’de verilmektedir. MTKD Model III sistemine ait faz portreleri Şekil 4.9’da verilmektedir.

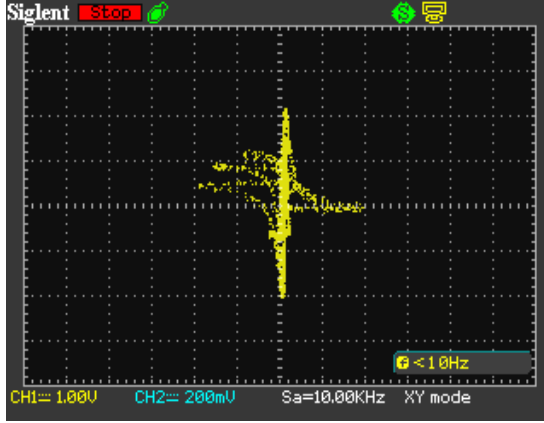


Şekil 4.8. MTKD Model III sistemi elektronik devre modeli

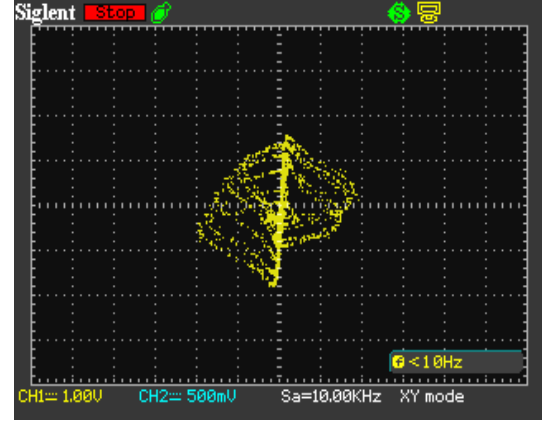


Şekil 4.9. MTKD Model III sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi

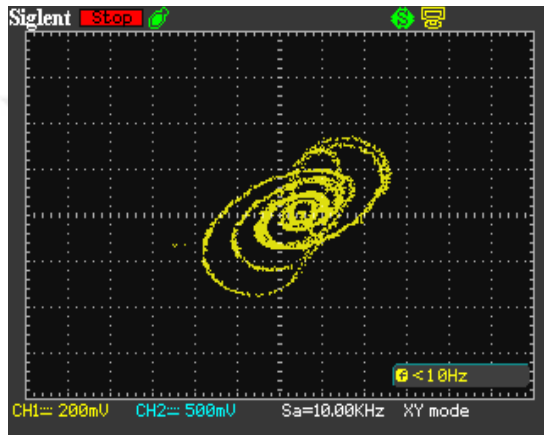
Ayrıca MTKD Model III sisteminin elektronik elemanlarla yapılmış fiziksel gerçekleştirilmesi sunulmaktadır. Sisteme ait faz portrelerinin gerçek zamanlı sonuçları osiloskop yardımıyla alınmış olup Şekil 4.10’da gösterilmiştir. Şekil 4.11’de ise MTKD Model III sistemine ait deneysel faz portrelerinin bir görüntüsü verilmektedir.



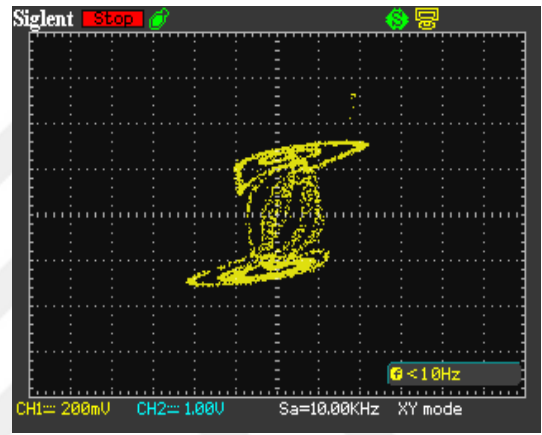
(a)



(b)

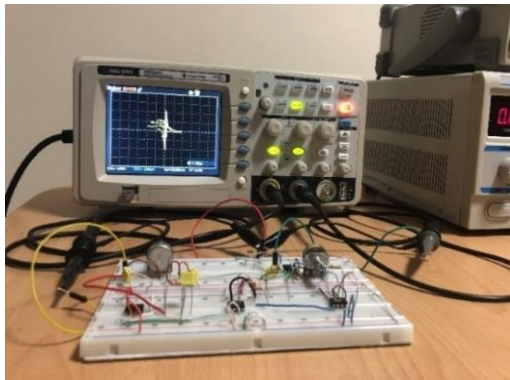


(c)

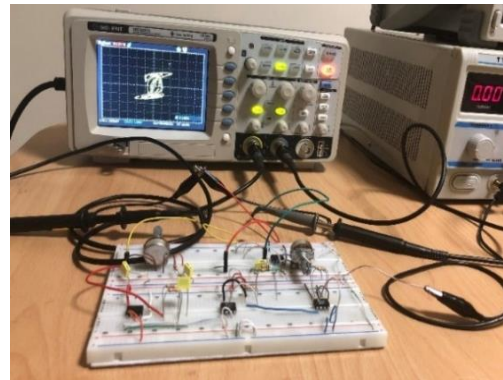


(d)

Şekil 4.10. MTKD Model III sistemi faz portreleri osiloskop çıktıları (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi



(a)

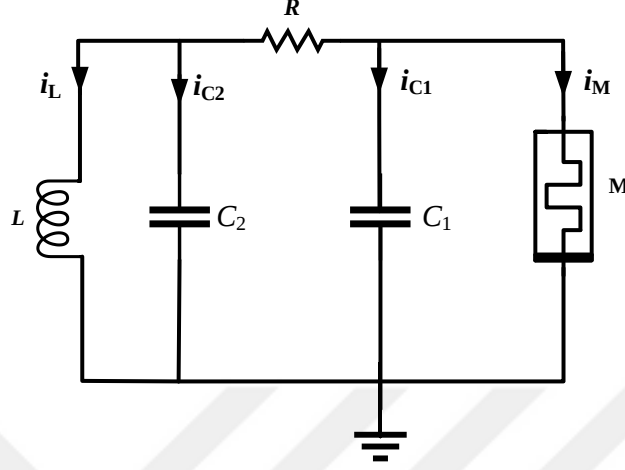


(b)

Şekil 4.11. MTKD Model III sistemi deneysel uygulaması (a) x-y düzlemi, (b) y-u düzlemi

4.2.3. MTKD Model IV Sistemi Elektronik Devre Tasarımı

Şekil 4.12’de MTKD Model IV sistemi gösterilerek bu devreye ait durum denklemleri Denklem 4.3’de verilmektedir.

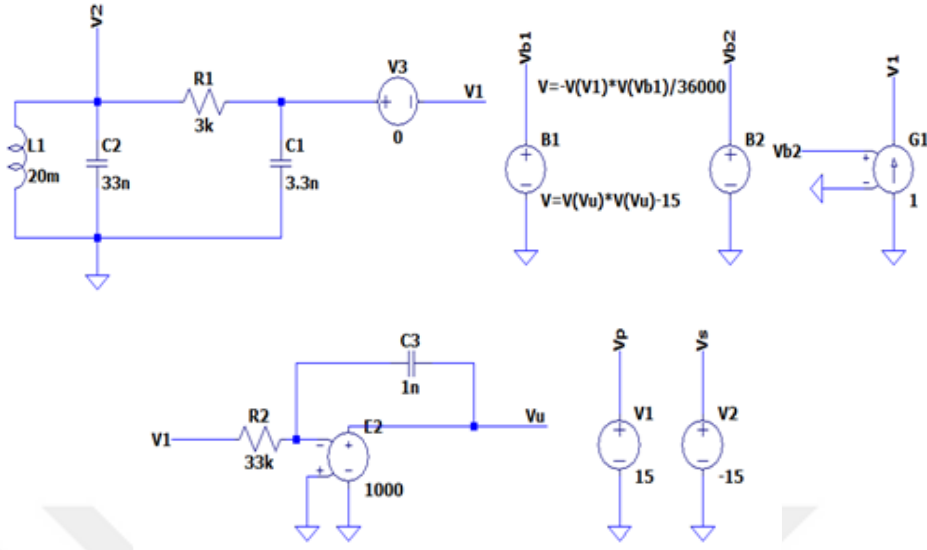


Şekil 4.12. MTKD Model IV devresi

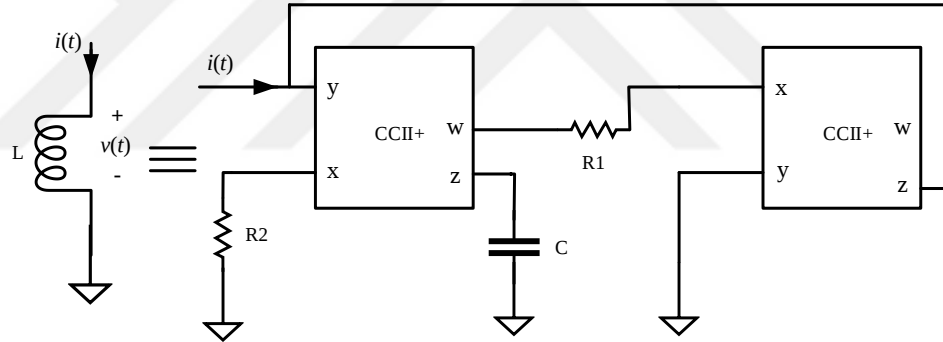
$$\begin{aligned}\dot{x} &= ady - adx - ax(m_0 + m_1 u^2) \\ \dot{y} &= bdx - bz - bdy \\ \dot{z} &= cy \\ \dot{u} &= nx\end{aligned}\tag{4.3}$$

Bu model için devrenin eleman değerleri elde edilerek memristör tabanlı hiperkaotik devre modelinin LTspice programında benzetimi ve gerçek zamanlı uygulaması gerçekleştirilmiştir. Benzetim uygulamasından gerçek zamanlı uygulamalara geçiş [156] ve [157] tarafından önerilen yöntemler kullanılarak gerçekleştirilmektedir. Denklem 4.3’de verilen durum denklemleri bu iki referansta önerilen yöntemle göre hesaplanarak devrenin eleman değerleri elde edilmiştir. Kaotik sistem elektronik devre tasarımında $a=10$, $b=1$, $c=15$, $d=1$, $m_0=-1.2$, $m_1=0.7$ ve $n=-1$ parametre değerleri kullanılmıştır. Tasarlanan sistemin başlangıç şartları $x(0)=0.1$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ olarak alınmıştır. Hesaplanan eleman değerleri kullanılarak MTKD Model IV sistemi LTspice programında modellenmiştir (Şekil 4.13). Sistemin eleman değerleri $R_1=3\text{ k}\Omega$, $R_2=33\text{ k}\Omega$, $C_1=3.3\text{ nF}$, $C_2=33\text{ nF}$ ve $C_3=1\text{ nF}$ ve $L=20\text{ mH}$ olarak seçilmiştir.

Entegre devre teknolojisi söz konusu olduğunda endüktans elemanını çok küçük değerler dışında gerçekleştirmek zordur. Sistemin yüksek frekanslarda ve gerilim değerlerinde çok fazla parazit etkiye sahip olması istenmeyen bir durumdur. Bu yüzden deneysel uygulamada endüktans elemanı yerine, aktif endüktans simülör yapıları tercih edilmektedir. Kullanılan endüktans simülör yapısı Şekil 4.14’de verilmektedir.



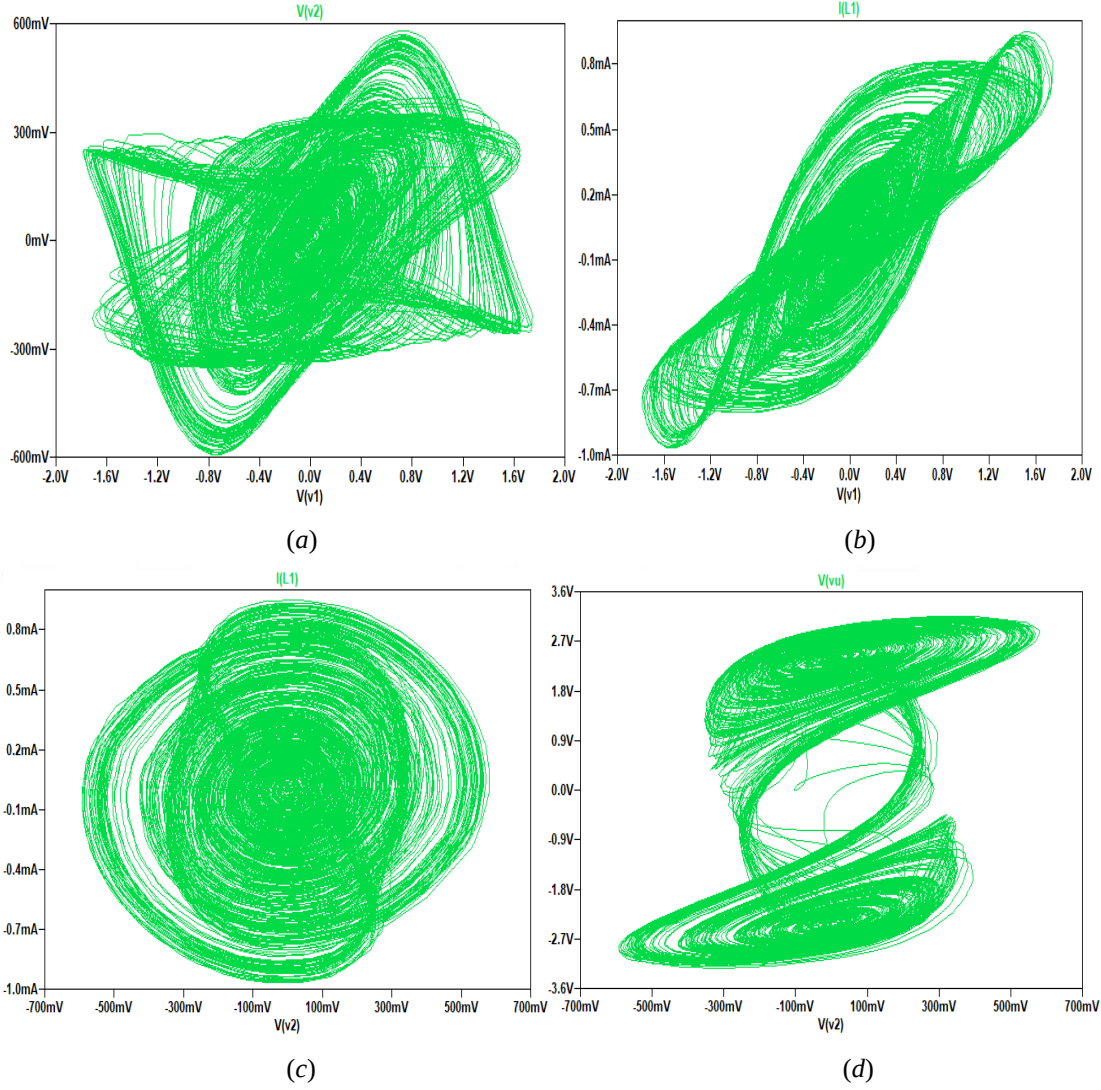
Şekil 4.13. MTKD Model IV sistemi elektronik devre modeli



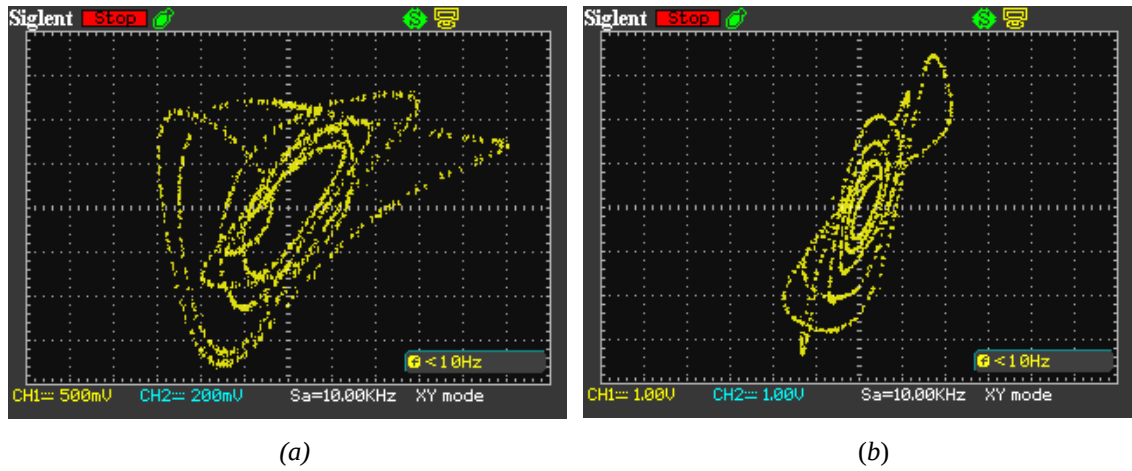
Şekil 4.14. Enduktans simülör yapıısı

$$L = R_1 R_2 C \quad (4.4)$$

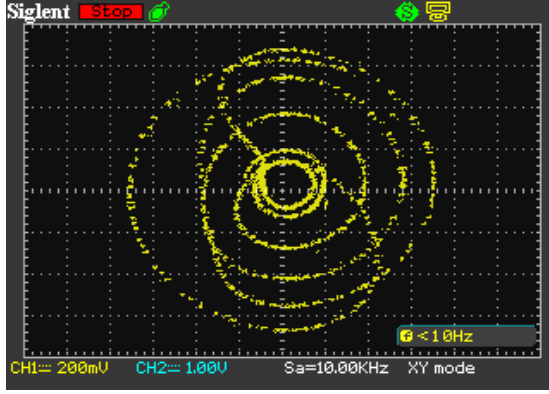
Deneysel uygulamada tasarlanan enduktans devresi için kullanılan eleman değerleri $R_1=1$ k Ω , $R_2=2$ k Ω ve $C=10$ nF olarak seçilmiştir. MTKD Model IV sistemi LTspice platformunda elde edilen faz portreleri Şekil 4.15’de gösterilmektedir. Ayrıca MTKD Model IV sisteminin elektronik elemanlarla yapılmış fiziksel gerçekleştirilmesi sunulmaktadır. Sistemin gerçek zamanlı sonuçları osiloskop yardımıyla elde edilerek Şekil 4.16’da gösterilmektedir. Şekil 4.17’de ise MTKD Model IV devresine ait deneysel faz portrelerinin bir görüntüsü verilmektedir.



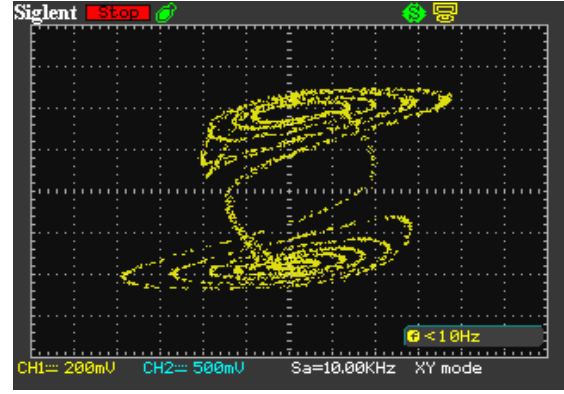
Şekil 4.15. MTKD Model IV sistemi faz portreleri (a) x - y düzlemi, (b) x - z düzlemi, (c) y - z düzlemi (d) y - u düzlemi



Şekil 4.16. MTKD Model IV sistemi faz portreleri osiloskop çıktıları (a) x - y düzlemi, (b) x - z düzlemi, (c) y - z düzlemi (d) u - y düzlemi (devamı)

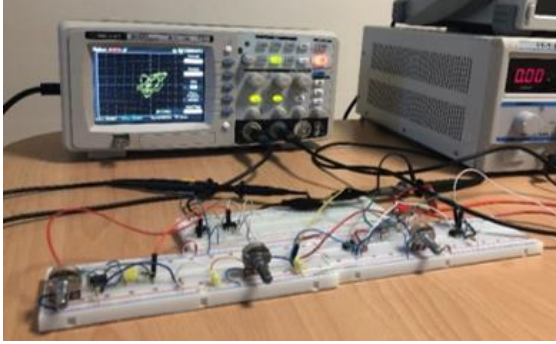


(c)

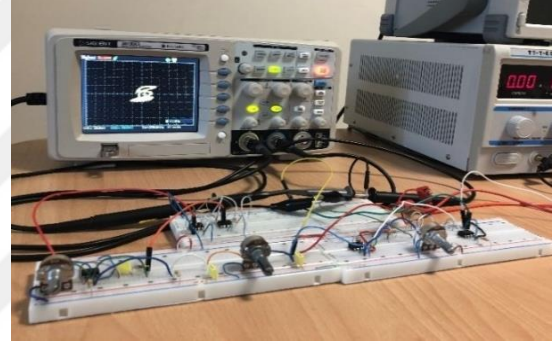


(d)

Şekil 4.16. MTKD Model IV sistemi faz portreleri osiloskop çıktıları (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) u-y düzlemi



(a)

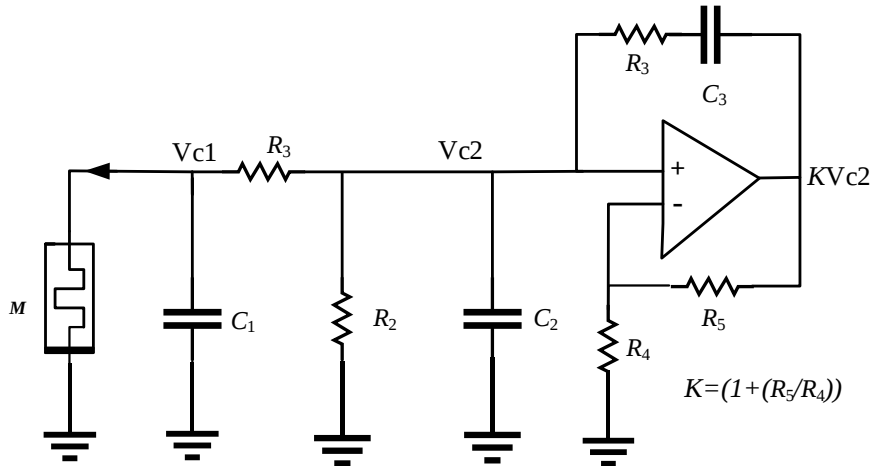


(b)

Şekil 4.17. MTKD Model IV sistemi deneysel uygulaması (a) x-y düzlemi, (b) y-u düzlemi

4.2.4. MTKD Model V Sistemi Elektronik Devre Tasarımı

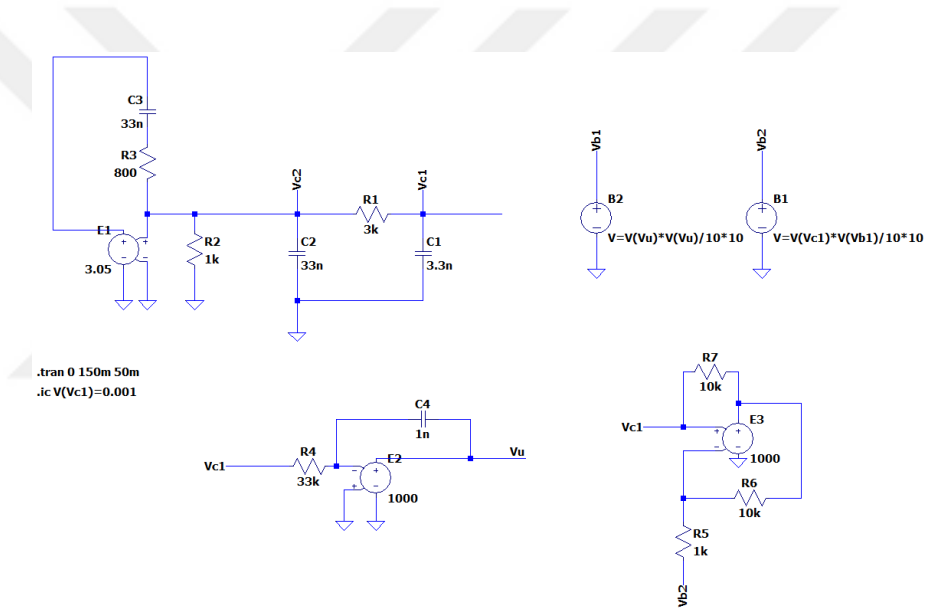
Şekil 4.18’de MTKD Model V sistemi gösterilerek bu devreye ait durum denklemleri Denklem 4.5’de verilmektedir.



Şekil 4.18. MTKD Model V devresi

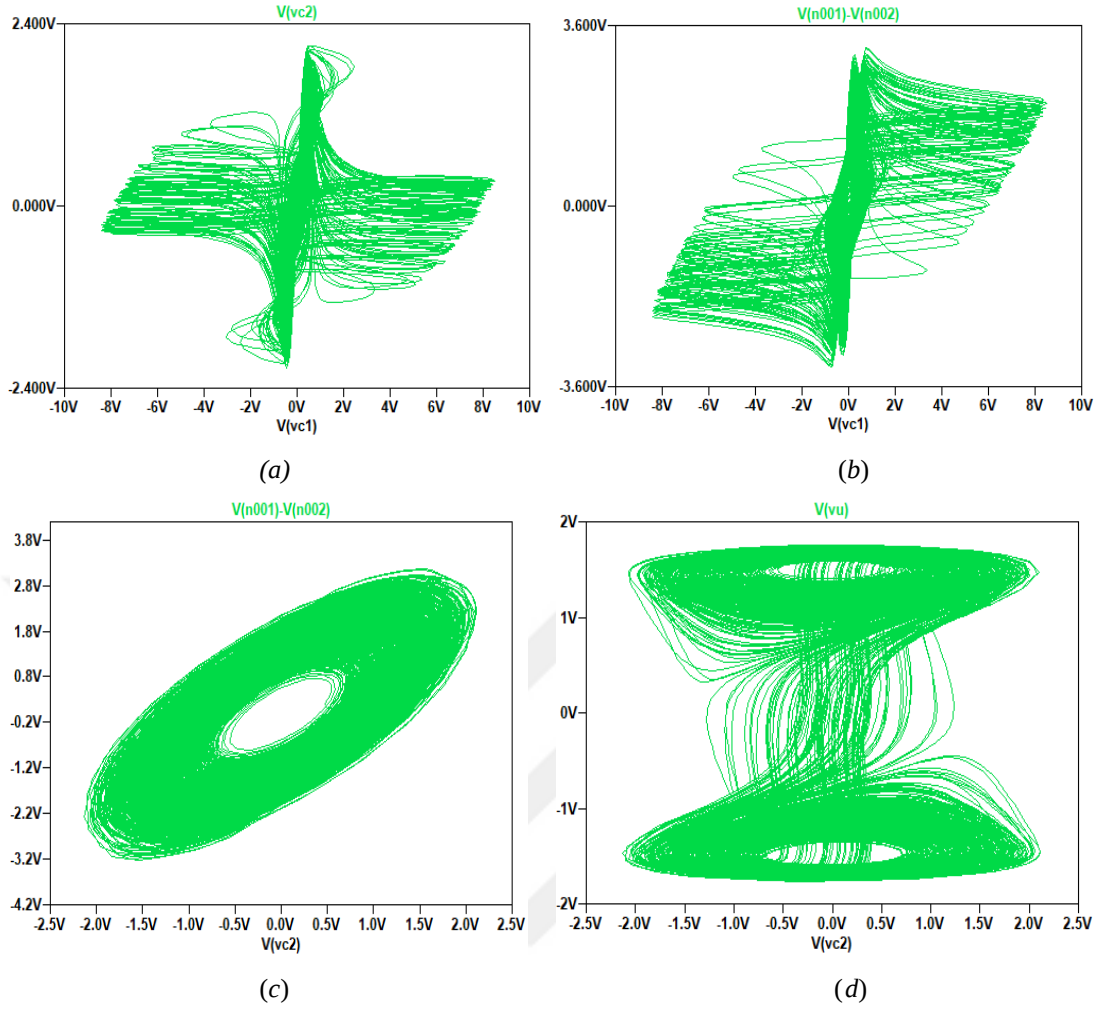
$$\begin{aligned}
\dot{x} &= ady - adx - ax(m_0 + m_1 u^2) \\
\dot{y} &= bdx - bdy - bfz + by((K - 1)f - e) \\
\dot{z} &= cfy(K - 1) - cfz \\
\dot{u} &= nx
\end{aligned}
\tag{4.5}$$

Bu sistem tasarımımda $a=10$, $b=1$, $c=1$, $d=1$, $e=3$, $f=3.75$, $m_0=-1.5$, $m_1=0.1$, $n=-3$ ve $K=3.05$ parametre değerleri kullanılmıştır. Sistemin başlangıç koşulları ise $V_{c1}(0)=0.001$, $V_{c2}(0)=0$, $V_{c3}(0)=0$ ve $V_u(0)=0$ olarak belirlenmiştir. Denklem 4.5’de verilen durum denklemleri kullanılarak [156] ve [157]’da önerilen yöntemle göre devrenin eleman değerleri hesaplanmıştır. Şekil 4.19’da sistemin LTspice tasarımı gösterilmektedir.

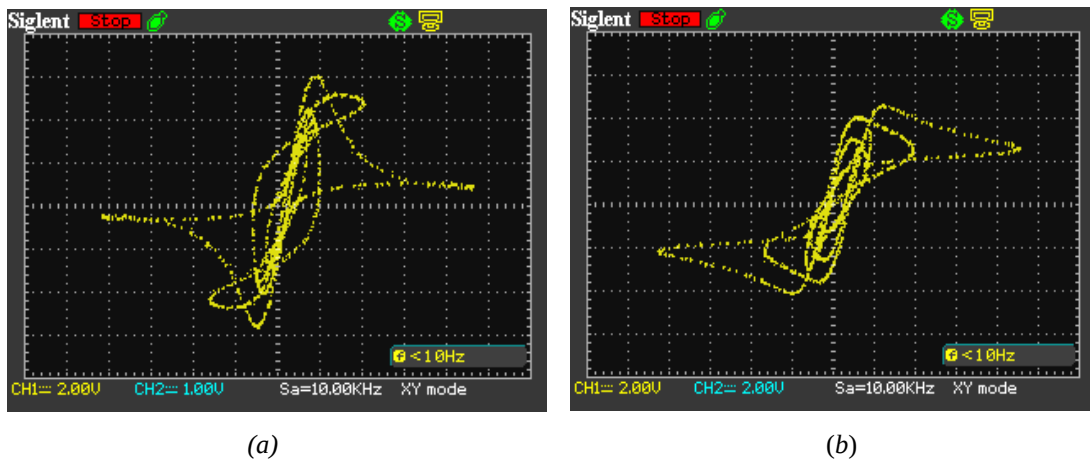


Şekil 4.19. MTKD Model V sistemi elektronik devre modeli

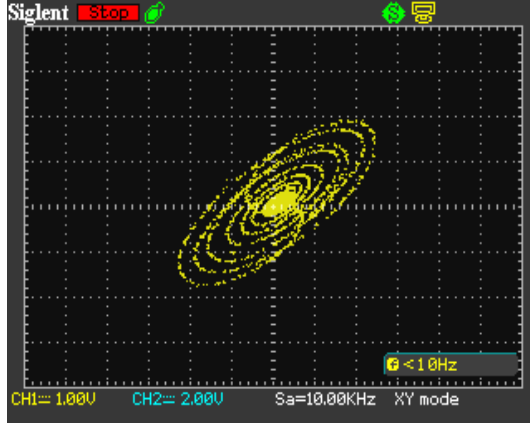
Devre tasarımımda kullanılan eleman değerleri $R_1=3\text{ k}\Omega$, $R_2=R_5=1\text{ k}\Omega$, $R_3=800\text{ }\Omega$, $R_4=33\text{ k}\Omega$, $R_6=R_7=10\text{ k}\Omega$, ve $C_1=3.3\text{ nF}$ ve $C_2=C_3=33\text{ nF}$ olarak belirlenmiştir. Bu devre LTspice platformunda modellenerek elde edilen faz portreleri Şekil 4.20’de gösterilmektedir. Ayrıca MTKD Model V sisteminin elektronik elemanlarla yapılmış fiziksel gerçekleştirilmesi sunulmaktadır. Sisteme ait faz portrelerinin gerçek zamanlı sonuçları osiloskop yardımıyla elde edilerek Şekil 4.21’de gösterilmektedir. Şekil 4.22’de ise MTKD Model V devresine ait deneysel faz portrelerinin bir görüntüsü verilmektedir.



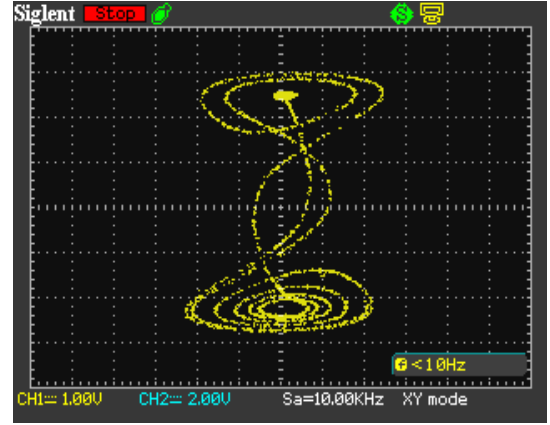
Şekil 4.20. MTKD Model V sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi, (d) u-y düzlemi



Şekil 4.21. MTKD Model V sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi, (d) u-y düzlemi (devamı)

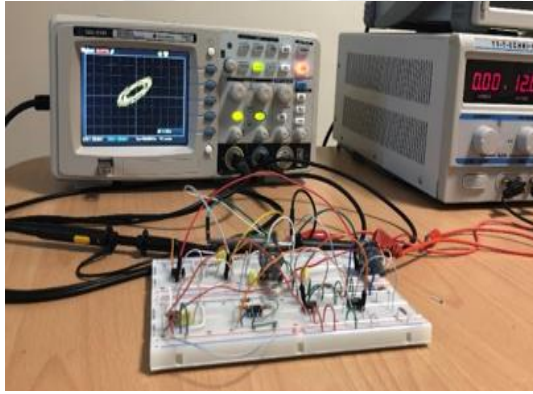


(c)

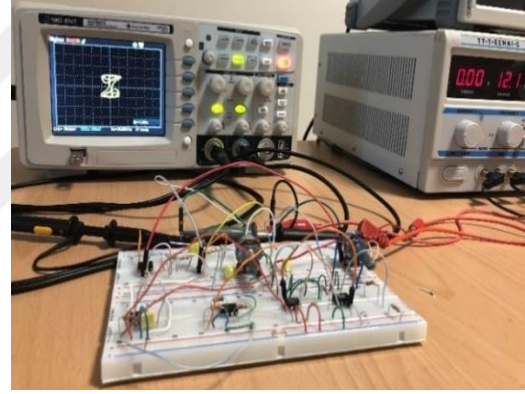


(d)

Şekil 4.21. MTKD Model V sistemi faz portreleri osiloskop çıktıları (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi, (d) u-y düzlemi



(a)



(b)

Şekil 4.22. MTKD Model V sistemi deneysel uygulaması (a) y-z düzlemi, (b) y-u düzlemi

4.3. MTKD Modellerinin FPGA Platformunda Modellenmesi

Bu kısımda MTKD Model II ve Model III sistemleri FPGA platformunda tasarlanmaktadır. FPGA platformunda tasarlanan sistemler Şekil 4.23'de gösterilen Xilinx Spartan-3E ailesine ait XC3S500E kartı kullanılarak sentezlenmiştir.



Şekil 4.23. Xilinx Spartan-3E ailesine ait XC3S500E kartı

4.3.1. MTKD Model II Sisteminin FPGA Platformunda Modellenmesi

Bu bölümde, tasarlanan MTKD Model II devresi FPGA ortamında donanımsal olarak gerçekleştirilmektedir. Diferansiyel denklemlerin sayısal tasarımlarını yapmak için denklemleri zamandan bağımsız hale getirilmesi gerekmektedir. Literatürde ayrıklaştırma işlemi olarak FE (Forward Euler, İleri Euler) integrasyonu, RK (Runge-Kutta) integrasyonu ve Taylor serisi açılımı yöntemleri kullanılmaktadır. Bunlar kıyaslandığında örneğin; bir yöntemde diğerinden daha az sayıda donanım elemanı kullanırken, aynı yöntem diğerlerinden daha yüksek bir hata payı ile sonuç verebilmektedir [158]. Bu çalışmada kullanılan devre yapısı kaotik olmasından dolayı hata payı uygun sınırlar içinde olmalıdır. Ayrıca sayısal bir platformda kaotik sistemin tasarımı için daha az donanımsal eleman seçilen yöntemi daha da önemli hale getirmektedir [158]. Bu nedenle İleri Euler ayrıklaştırma yöntemi tercih edilmektedir. İleri Euler yaklaşımı,

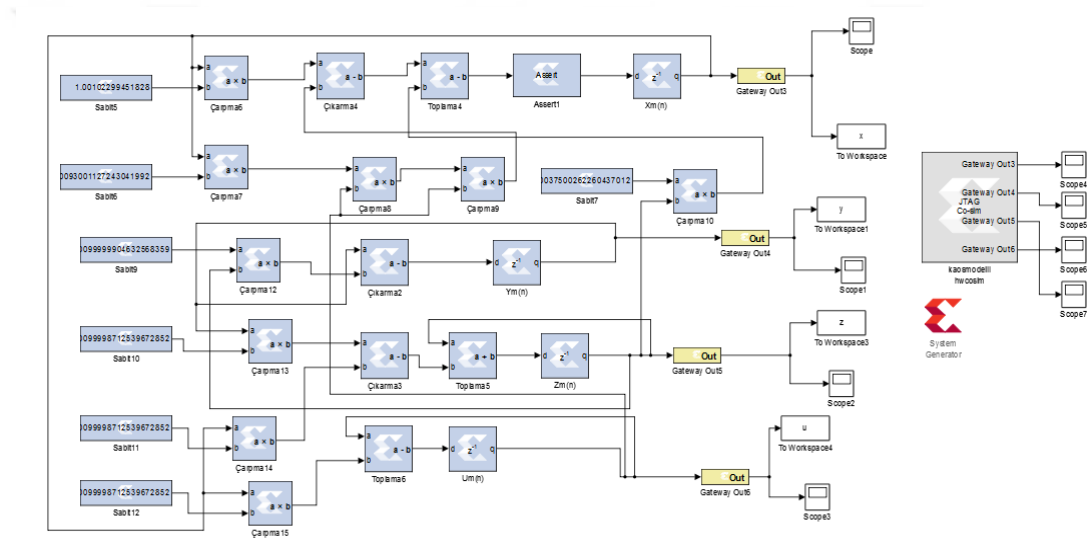
$$\dot{x}(t) = \frac{x(t+T) - x(t)}{T} \quad (4.6)$$

olarak verilmektedir. Bu denklemde $x(t)$ durum değişkeni, $\dot{x}(t)$ durum değişkeninin zamana bağlı birinci dereceden türevi ve T ise adım aralığını ifade etmektedir. Memristör tabanlı kaotik devre modelinin durum denklemleri, $T=1e^{-3}$ adım aralığı ile aşağıdaki ayrık zaman denklemlerine İleri Euler yöntemi kullanılarak dönüştürülmektedir. Kaotik devreye ait ayrıklaştırılmış denklemler aşağıda verilmiştir. Ayrıklaştırılan denklemlerde $x_{mk}[n]$ o anki sistem durum değişkenini, $x_{mk}[n + 1]$ ise sonraki adım sistem durum değişkenini ifade etmektedir. FPGA XSG platformunda tasarlanan Model II kaotik devresi Şekil 4.24’de gösterilmektedir.

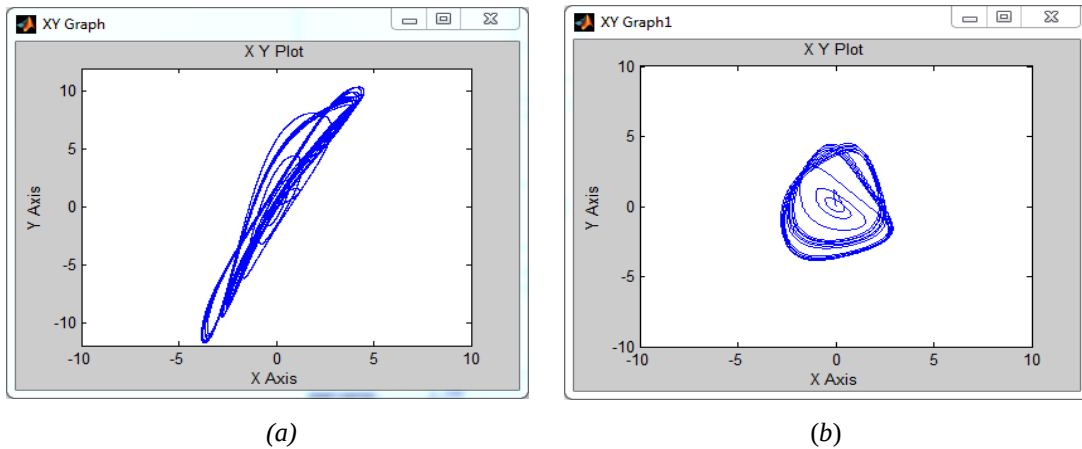
Ayrıklaştırılmış MTKD Model II:

$$\begin{aligned}
x_{m1}[n+1] &= T(-ax_{m3}[n] - ax_{m1}[n]m_0 - ax_{m1}[n]m_1x_{m4}[n]^2) + x_{m1}[n] \\
x_{m2}[n+1] &= T(-bx_{m3}[n]) + x_{m2}[n] \\
x_{m3}[n+1] &= T(-d(x_{m1}[n] - x_{m2}[n])) + x_{m3}[n] \\
x_{m4}[n+1] &= T(nx_{m1}[n]) + x_{m4}[n]
\end{aligned} \tag{4.7}$$

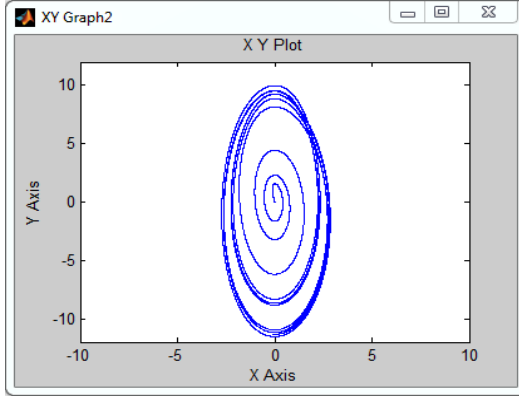
FPGA platformunda tasarlanan kaotik devreye ait faz portreleri Şekil 4.25’de gösterilmektedir. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı Tablo 4.3’de verilmektedir. Sistemin parametre değerleri $a=3.75$, $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ ve başlangıç koşulları $x(0)=0.01$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ olarak belirlenmiştir.



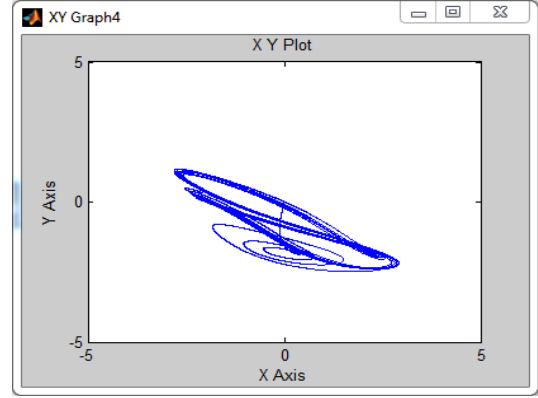
Şekil 4.24. XSG platformunda tasarlanan Model II kaotik devre bloğu



Şekil 4.25. FPGA ortamında donanımsal olarak gerçekleştirilen MTKD Model II sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi (devamı)



(c)



(d)

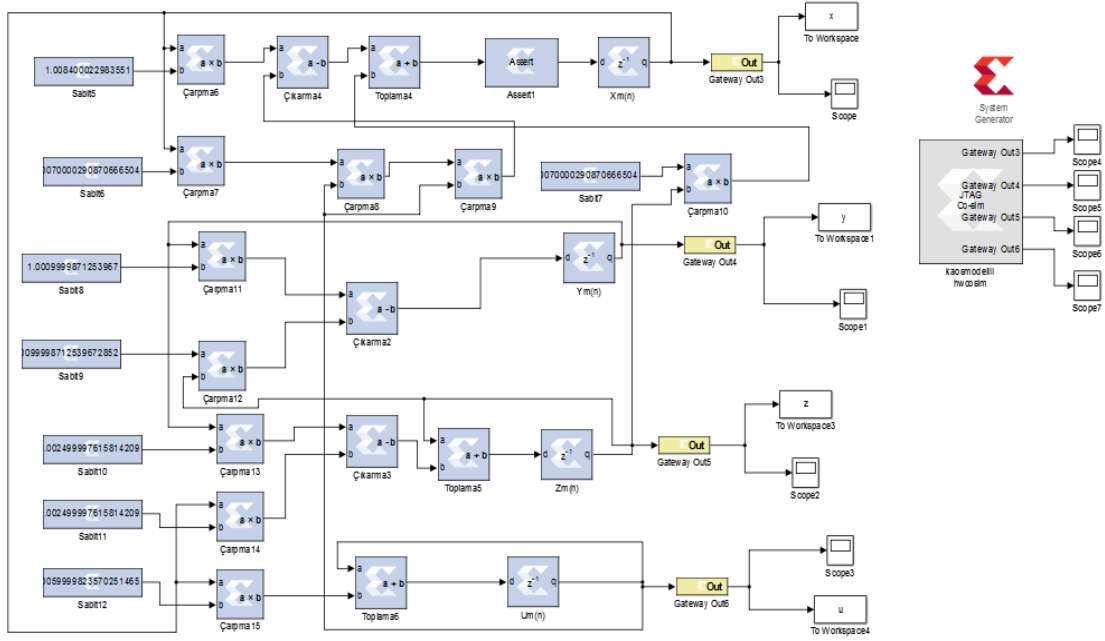
Şekil 4.25. FPGA ortamında donanımsal olarak gerçekleştirilen MTKD Model II sistemi faz portreleri (a) x - y düzlemi, (b) x - z düzlemi, (c) y - z düzlemi (d) y - u düzlemi

Tablo 4.3. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı

Kaynak	Kullanım Sayısı
Lojik Dilim	214
Doğruluk Tablosu	294
Flip-Flop	175
Giriş çıkış IOBs	227
DSP4831s	34
BUFG/BUFGCTRL/BUFHCEs	1
Çarpma İşlemi Bloğu	11
Karşılaştırıcı	1
Çoğullayıcı	1
Toplama Çıkarma İşlemi Bloğu	7

4.3.2. MTKD Model III Sisteminin FPGA Platformunda Modellenmesi

Bu bölümde, MTKD Model III sistemi FPGA platformunda donanımsal olarak gerçekleştirilmektedir. Şekil 4.26'da XSG platformunda blok diyagramlar yardımıyla modellenen MTKD Model III kaotik devresi gösterilmektedir.



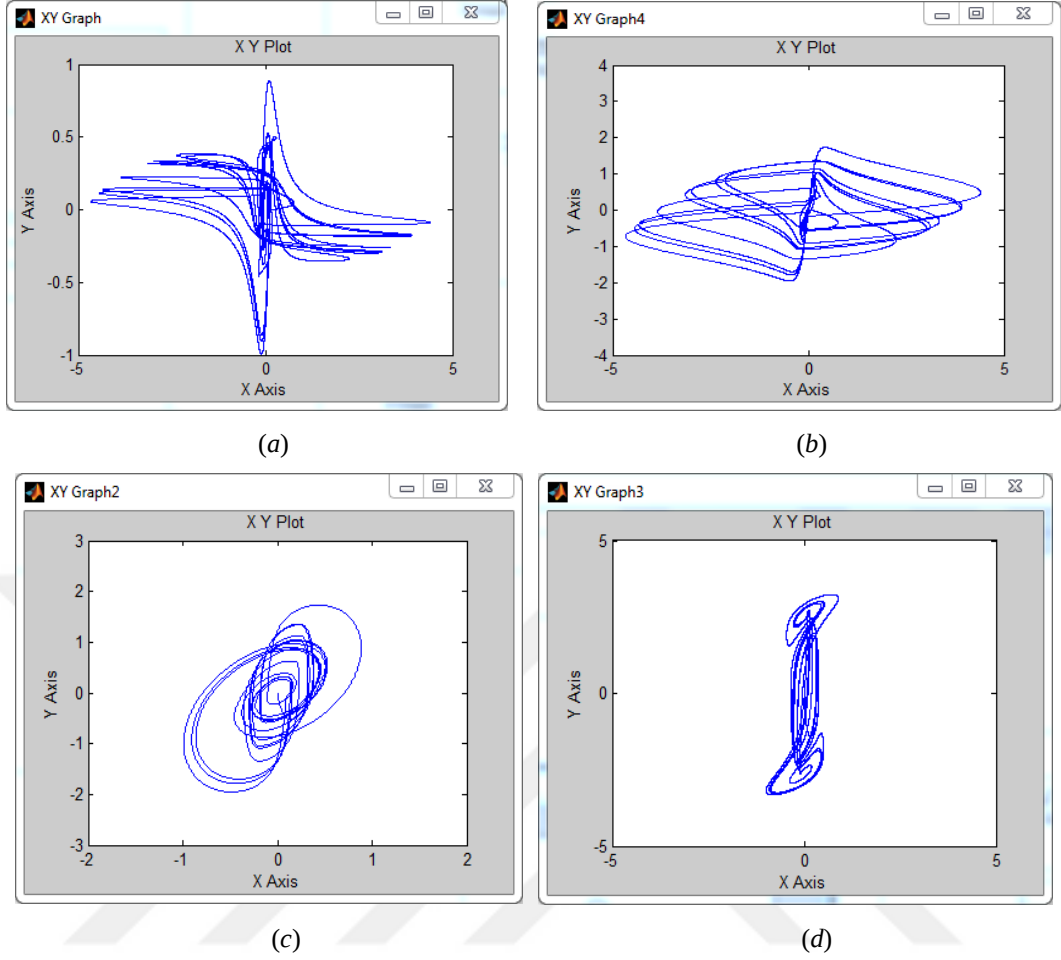
Şekil 4.26. XSG platformunda tasarlanan Model III kaotik devre bloğu

Memristör tabanlı hiperkaotik devre modelinin durum denklemleri, $T=1e^{-3}$ adım aralığı ile aşağıdaki ayrık zaman denklemlerine dönüştürülmektedir. MTKD Model III sisteme ait ayrıklaştırılmış denklemler aşağıda verilmiştir.

Ayrıklaştırılmış MTKD Model III:

$$\begin{aligned}
 x_{m1}[n+1] &= T(ax_{m3}[n] - ax_{m1}[n]m_0 - ax_{m1}[n]m_1x_{m4}[n]^2) + x_{m1}[n] \\
 x_{m2}[n+1] &= T(bdx_{m2}[n] - bx_{m3}) + x_{m2}[n] \\
 x_{m3}[n+1] &= T(-c(x_{m1}[n] - x_{m2}[n])) + x_{m3}[n] \\
 x_{m4}[n+1] &= T(nx_{m1}[n]) + x_{m4}[n]
 \end{aligned} \tag{4.8}$$

Sistemin parametre değerleri $a=7$, $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ ve başlangıç koşulları $x(0)=0.1$, $y(0)=0$, $z(0)=0$ ve $u(0)=0$ olarak belirlenmiştir. FPGA platformunda tasarlanan hiperkaotik devreye ait faz portreleri Şekil 4.27’de gösterilmektedir. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı Tablo 4.4’de verilmektedir.



Şekil 4.27. FPGA ortamında donanımsal olarak gerçekleştirilen MTKD Model III sistemi faz portreleri (a) x-y düzlemi, (b) x-z düzlemi, (c) y-z düzlemi (d) y-u düzlemi

Tablo 4.4. Kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı

Kaynak	Kullanım Sayısı
Lojik Dilim	214
Doğruluk Tablosu	294
Flip-Flop	175
Giriş çıkış IOBs	227
DSP4831s	34
BUFG/BUFGCTRL/BUFHCEs	1
Çarpma İşlemi Bloğu	11
Karşılaştırıcı	1
Çoğullayıcı	1
Toplama Çıkarma İşlemi Bloğu	7

5. KAOTİK SENKRONİZASYON VE KAOTİK HABERLEŞME SİSTEMLERİ

Haberleşme uygulamalarında kaotik sistemleri kullanabilmek için farklı başlangıç koşullarına sahip verici ve alıcı sistem arasında tutarlı bir bağlantının sağlanması gerekmektedir. Özellikle kaotik sistemlerin başlangıç koşullarına hassas bağımlı olması senkronizasyonun önemini daha da arttırmaktadır. Bu bölümde kaotik senkronizasyon kavramından bahsedilerek, kaotik senkronizasyonun sağlanması için PID tabanlı bir kontrol sistemi önerilecektir. Bu uygulamadan sonra ise kaotik haberleşme sistemleri ve modülasyon çeşitleri hakkında temel bilgiler verilmektedir.

5.1. Kaotik Senkronizasyon

Senkronizasyonun kaotik sistemlerde elde edilmesi imkansız gibi görülmektedir. Çünkü kaotik sistemler başlangıç koşullarına karşı çok hassas olup başlangıç koşullarındaki en ufak bir değişim tamamen farklı yörüngelere yol açabilmektedir. Kaotik sistemleri haberleşme uygulamalarında kullanabilmek için gerekli şartlardan biri farklı başlangıç koşullarına sahip sürücü sistemi (verici-master) ile cevaplayıcı (alıcı-slave) sistem arasında tutarlı bir bağlantı sağlamaktır [31,74,159,160]. Senkronizasyon ile ilgili ilk çalışma Pecora ve Carroll tarafından gerçekleştirilerek, belirli koşullar altında farklı başlangıç koşullarına sahip iki kaotik sistemi senkronize etmenin mümkün olduğu fikri ortaya çıkmıştır [74,161].

Kaotik bir sistem aşağıdaki gibi tanımlanırsa,

$$\frac{dx}{dt} = f(x(t)) \quad (5.1)$$

Burada n -boyutlu otonom sistem durum denklemleriyle ifade edilmektedir. Bu sistemi iki alt sisteme ayırabiliriz.

$$x = \begin{bmatrix} x_D \\ x_R \end{bmatrix} \quad (5.2)$$

burada x_D sürücü alt sistemi ve x_R cevaplayıcı alt sistemi olarak tanımlanır. Bu sistemler aşağıda verildiği gibi iki farklı fonksiyon ile tanımlanırsa:

$$\dot{x}_D = g(x_D, x_R) \quad (5.3)$$

$$\dot{x}_R = h(x_D, x_R) \quad (5.4)$$

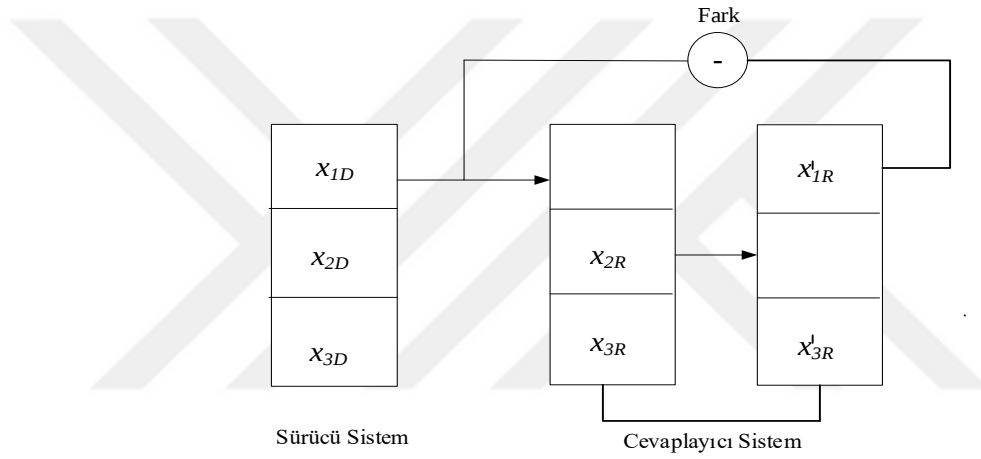
olarak ifade edilir. Burada cevaplayıcı alt sisteme ait bir kopya tasarlanır ve x_R^i olarak adlandırılır. Elde edilen tüm sistemler Denklem 5.5' de gösterildiği gibi olacaktır.

$$\dot{x}_D = g(x_D, x_R)$$

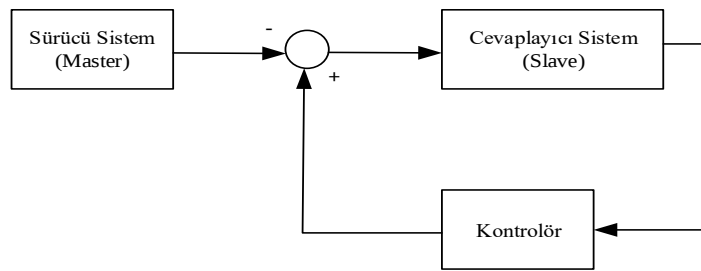
$$\dot{x}_R = h(x_D, x_R) \quad (5.5)$$

$$\dot{x}_R^j = h(x_D, x_R^j)$$

Burada sistemin kararlılığını x_R değişkeninin x_R^j 'ye yakınsaklığı belirlemektedir. Sistemin tüm Lyapunov üstelleri negatif ise x_R alt sistemi kararlıdır [159]. Bu durumda iki sistem de aynı davranışı gösteriyor olacaktır. Bu durum senkronizasyon için yeterli şartı sağlamaktadır [74,159]. Şekil 5.1'de Pecora ve Carroll'a ait kaotik senkronizasyon yöntemi gösterilmektedir. Şekil 5.2'de ise bu sisteme eklenen bir kontrolör yardımıyla oluşturulan kaotik senkronizasyon blok diyagramı gösterilmektedir.



Şekil 5.1. Pecora ve Carroll kaotik senkronizasyon yöntemi



Şekil 5.2. Kaotik senkronizasyon blok diyagramı

Haberleşme sistemlerinde gönderilen bilgiler, alıcı tarafta bir kontrolör yardımıyla tekrar kazanılmaya çalışılır. Kontrolör sistemi ise kaotik senkronizasyon sistemine göre çalışmaktadır. Burada sürücü ve cevaplayıcı sistem arasındaki fark hata olarak adlandırılır ve senkronizasyonun sağlanması için bu hatanın sıfır olması gerekmektedir. Kontrolör tasarımında,

$$\dot{X} = F(x) \quad (5.6)$$

olarak verilen bir sistem için cevaplayıcı sistem,

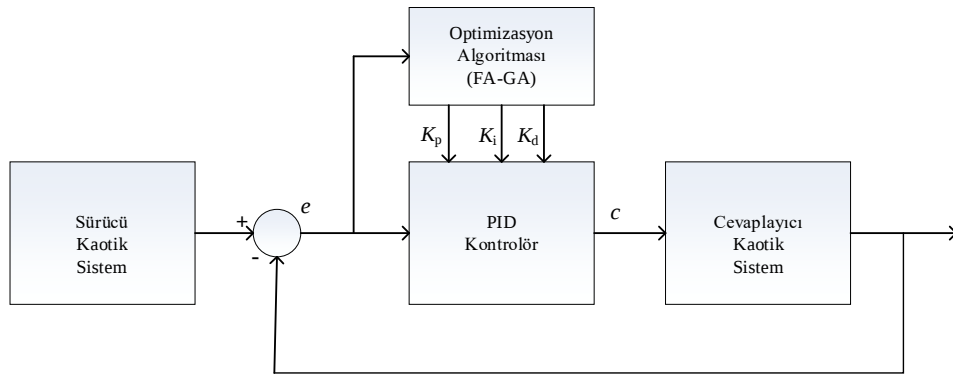
$$\dot{X} = F(x) + c(t) \quad (5.7)$$

olarak yazılırsa x gönderilen sinyal, $\bar{x}$ alınan sinyal ve $c(t)$ 'de kontrolün sağlanması için gereken fonksiyondur. Hata işareti $e = \bar{x} - x$ olarak ifade edilmektedir. Daha sonra senkronizasyon şartları belirlenerek hatayı sıfırlayacak bir kontrol fonksiyonu üretilmektedir [159].

Bu tez kapsamında kaotik sistemlerin senkronizasyon problemini çözmek için Genetik ve Ateşböceği algoritmaları kullanılarak PID tabanlı bir kontrol sistemi önerilmiştir. Bu algoritmalar kullanılarak, PID kontrollü kaotik sistemlerdeki optimal kontrol kazanımları, mümkün olduğunca minimal bir mutlak hata performans endeksi (IAE) ile elde edilir ve daha sonra verici ve alıcı kaotik sistemlerinin senkronizasyonu sağlanır. Böylece, verici sistemde kaotik sinyalle maskelenen mesajın alıcı sistemde kaotik bir sinyalden arındırılarak geri kazanılmasını sağlanabilir.

5.1.1. Kaotik Senkronizasyon için Optimizasyon

Optimizasyon, verilen amaçlar için belirli kısıtlamalar sağlayarak en uygun çözümü bulma sürecidir. Geçmişten günümüze karşılaşılan sorunları çözmek için birçok optimizasyon tekniği geliştirilmiş ve farklı alanlara uygulanmıştır. Genetik algoritma, Diferansiyel Evrim algoritması ve Parçacık Sürü Optimizasyon algoritmaları optimizasyon sorunlarının çözümlerinde sıklıkla kullanılan algoritmalar [162]. Şekil 5.3'de haberleşme sistemi genel blok diyagramı gösterilmektedir. Bu sistemde PID sisteminin kontrol girişi c fonksiyonu şeklinde tanımlanmıştır.



Şekil 5.3. Haberleşme sistemi blok diyagramı

Hata sinyali $x_e = x_m - x_s$ ve PID kontrolöre ait c fonksiyonu aşağıdaki gibi tanımlanırsa,

$$c(t) = K_p \left[x_e(t) + \frac{1}{T_i} \int x_e(\tau) d\tau + T_d \frac{d}{dt} x_e(t) \right] \quad (5.8)$$

K_p = Orantısal Kazanç sabiti,

T_i = Integral zaman sabiti,

T_d = Türev zaman sabiti,

Yukarıda verilen denklem PID kazanç sabitleri kullanılarak yeniden düzenlenirse:

$$c(t) = K_p x_e(t) + K_i \int_0^t x_e(\tau) d\tau + K_d \frac{d}{dt} x_e(t) \quad (5.9)$$

olarak elde edilir. Burada türev alıcı devre için kazanç: $K_d=K_p T_d$ ve integral alıcı devre için kazanç: $K_i=K_p/T_i$ 'dir. Optimizasyon algoritmalarında genel olarak dikkate alınan performans kriteri veya amaç fonksiyonu sisteme göre farklı şekillerde tanımlanabilir. Bu çalışmada mutlak hatanın integrali (IAE-Integral Absolute Error) amaç fonksiyonu (OF) olarak kullanılmış ve Denklem 5.10'da verilmiştir.

$$IAE = \int_0^\infty ||E(\tau)d\tau|| \quad (5.10)$$

Aşağıda verilen algoritmalar kullanılarak PID kontrol sistemi OF değerini en aza indirmek için optimum kazanç parametrelerine sahip bir kontrol yöntemi geliştirilmektedir.

A. MTKD Model II Devresi için Kaotik Senkronizasyon

Bu bölümde, Bölüm 3'de tasarladığımız MTKD Model II sisteminin kaotik senkronizasyonu sağlanmaktadır. Sürücü (verici)-cevaplayıcı (alıcı) sistemlere ait denklemler aşağıda tanımlanmış olup kullanılan parametreler sırasıyla $a=3.75$, $b=10$, $d=1$, $m_0=-0.33$, $m_1=0.25$ ve $n=-1$ olarak belirlenmiştir. Başlangıç koşulları her iki sistem için $[x_{m1}(0) \ x_{m2}(0) \ x_{m3}(0) \ x_{m4}(0)] = [0.01 \ 0 \ 0 \ 0]$ ve $[x_{s1}(0) \ x_{s2}(0) \ x_{s3}(0) \ x_{s4}(0)] = [0.1 \ 2 \ 0.1 \ 0]$ olarak seçilmiştir.

Sürücü (Master) devresi:

$$\begin{aligned} \dot{x}_{m1} &= (-ax_{m3} - ax_{m1}m_0 - ax_{m1}m_1x_{m4}^2) \\ \dot{x}_{m2} &= (-bx_{m3}) \\ \dot{x}_{m3} &= (-d(x_{m1} - x_{m2})) \\ \dot{x}_{m4} &= (nx_{m1}) \end{aligned} \quad (5.11)$$

Cevaplayıcı (Slave) devresi:

$$\begin{aligned} \dot{x}_{s1} &= (-ax_{s3} - ax_{s1}m_0 - ax_{s1}m_1x_{s4}^2 + c(t)) \\ \dot{x}_{s2} &= (-bx_{s3}) \end{aligned} \quad (5.12)$$

$$\dot{x}_{s3} = (-d(x_{s1} - x_{s2}))$$

$$\dot{x}_{s4} = (nx_{s1})$$

Hata (Error):

$$e_1 = x_{m1} - x_{s1}$$

$$e_2 = x_{m2} - x_{s2} \quad (5.13)$$

$$e_3 = x_{m3} - x_{s3}$$

$$e_4 = x_{m4} - x_{s4}$$

PID Kontrol devresi:

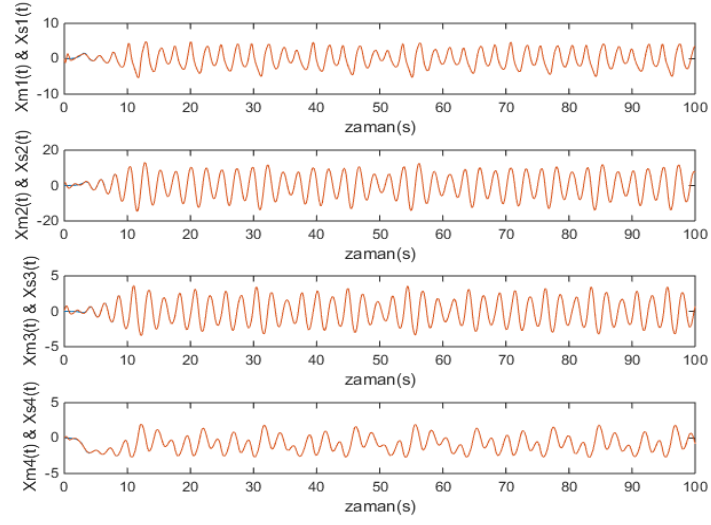
$$c(t) = K_p e_1 + K_i \int e_1 + K_d \dot{e}_1 \quad (5.14)$$

Bu bölümde, iki kaotik sistemi senkronize etmek için Ateşböceği ve Genetik algoritmaya sahip PID kontrolör sistemi sunulmaktadır. Yukarıda verilen denklemleri kullanarak K_p , K_d ve K_i katsayıları senkronizasyon performansı sağlamak için aşağıda verilen algoritmalar ile elde edilmektedir.

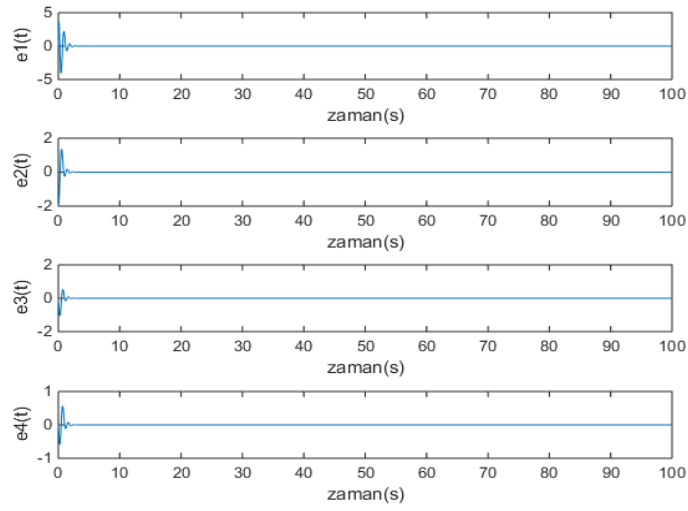
- **Ateşböceği Algoritması (FA- Firefly Algorithm)**

Ateşböceği (Lampyridae); böcekler sınıfının kınkanatlılar takımına ait bir familyadır. Xin-She Yang tarafından geliştirilen Ateşböceği algoritması, ateş böceklerinin sosyal davranışlarını temel alan metasezgisel optimizasyon algoritmasıdır [163]. Bu türler başka ateş böceklerini çekebilmek için ışıklarını yakıp söndürerek bir sinyal sistemi oluşturmaktadır. Bu yanıp sönen ışıkların ateş böceğine, arkadaşlarını bulmada, olası avlarını çekmede ve avcılarından korunmada yardımcı olabileceği düşünülmektedir. Algoritmanın temeli, ateş böceklerinin tek cins olması ve birbirlerini çekmeleri prensibine dayanmaktadır [163–165].

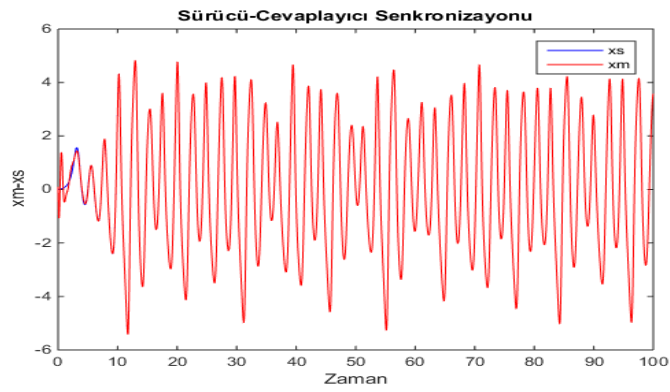
Optimizasyon problemi MATLAB programında kullanılan algoritmalar yardımıyla çözümlenmiştir. FA'ya göre, PID kontrol parametreleri $[K_p \ K_i \ K_d] = [6.71 \ 73.1 \ 7.2]$ olarak elde edilmiştir. Şekil 5.4 ve Şekil 5.5'de, FA ile senkronize edilmiş dalga formlarını sürücü ve cevaplayıcı sistem durumlarını ve FA ile senkronize edilmiş sürücü ve cevaplayıcı sisteminin hata dalga formlarını sırasıyla göstermektedir. Sürücü ve cevaplayıcı sinyalleri dalga şekilleri Şekil 5.6'da ayrıntılı olarak aynı grafikte verilmektedir.



Şekil 5.4. Sürücü ve cevaplayıcı sistem FA senkronize dalga formları



Şekil 5.5. FA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları

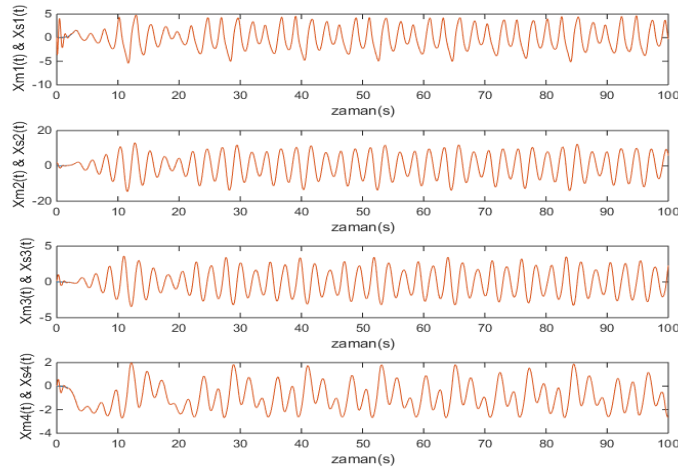


Şekil 5.6. FA kullanarak senkronize sürücü ve cevaplayıcı sistemi dalga formları

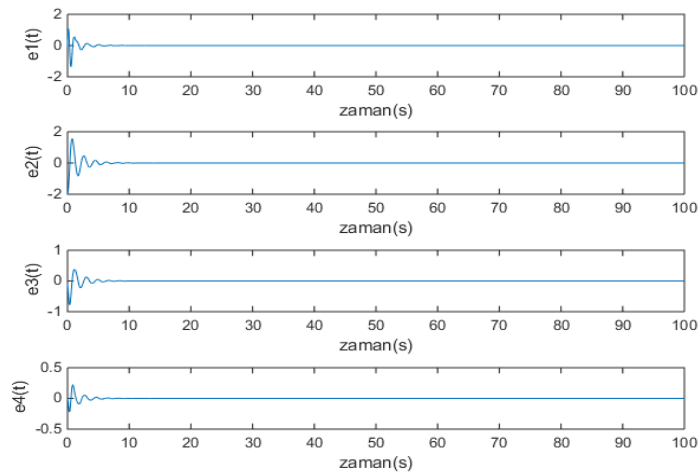
- **Genetik Algoritma (GA- Genetic Algorithm)**

Genetik algoritma (GA), geiş ve mutasyon olarak tanımlanan iki temel genetik işlemciye sahiptir. Bu sistemde iki birey geiş popölasyondan seçilir. Bu bireylerde geilecek nokta tanımlanır ve bu noktadan başlayarak bireylerin unsurları karşılıklı olarak deėiştirilmektedir. Bu şekilde iki yeni birey kazanılmış olunur. Mutasyon popölasyonda farklılığa sebep olmakta ve sorunun yerel çözümlerde yakalanmasını engellemektedir [166].

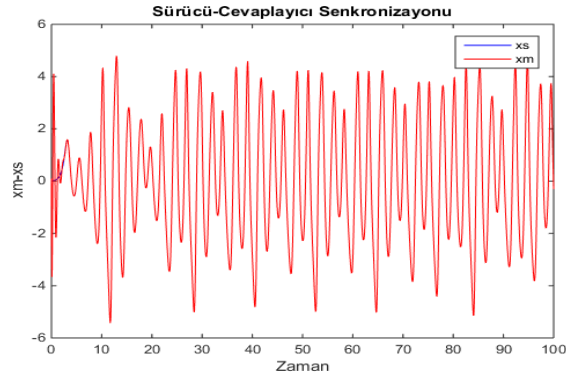
Optimizasyon problemi MATLAB programında kullanılan algoritmalar yardımıyla çözümlenmiştir. GA'ya göre, PID kontrol parametreleri $[K_p \ K_i \ K_d] = [14 \ 41 \ 99]$ olarak elde edilmiştir. Şekil 5.7 ve Şekil 5.8'de GA ile senkronize edilmiş dalga formlarını sürücü ve cevaplayıcı sistem durumlarını ve GA ile senkronize edilmiş sürücü ve cevaplayıcı sisteminin hata dalga formlarını sırasıyla göstermektedir.



Şekil 5.7. Sürücü ve cevaplayıcı sistem GA ile senkronize dalga formları



Şekil 5.8. GA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları



Şekil 5.9. GA kullanarak senkronize sürücü ve cevaplayıcı sistemi dalga formları

Sürücü ve cevaplayıcı sisteme ait sinyallerin dalga şekilleri Şekil 5.9’da aynı grafikte verilmektedir. Genetik ve Ateşböceği algoritmaları için iterasyon değeri, popülasyon sayısı ve benzetim süreleri sırasıyla 20, 50 ve 100 saniye olarak belirlenmiştir. FA ve GA için son 4 saniyedeki sinyaller için mutlak hata toplamı $6.3e-28$ ve $1.7e-28$ olarak bulunmuştur. FA için hatanın $1e-4$ ’ün altına düşmesi 4.9 saniye sürerken bu parametre GA için 11.8 saniye sürmektedir. Tablo 5.1’de Ateşböceği ve Genetik algoritma kullanılarak elde edilen parametre değerleri verilmektedir.

Tablo 5.1. Ateşböceği ve Genetik algoritmanın parametre değerleri

Parametre	Ateşböceği Alg.	Genetik Alg.
Iterasyon	20	20
Popülasyon Sayısı	50	50
Benzetim Süresi (sn)	100	100
Mutlak Hata (4 sn)	$6.3e-28$	$1.7e-28$
Hatanın verilen eşik değeri altına düşme süresi (sn)	4.9	11.8

B. MTKD Model III için Kaotik Senkronizasyon

Bu bölümde, MTKD Model III sisteminin kaotik senkronizasyonu sağlanmaktadır. Sürücü ve cevaplayıcı sisteme ait denklemler aşağıda verilmektedir. Kullanılan parametre değerleri sırasıyla $a=7$, $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ olarak seçilmiştir. Başlangıç koşulları her iki sistem için $[x_{m1}(0) \ x_{m2}(0) \ x_{m3}(0) \ x_{m4}(0)] = [0.1 \ 0 \ 0 \ 0]$ $[x_{s1}(0) \ x_{s2}(0) \ x_{s3}(0) \ x_{s4}(0)] = [0.1 \ 2 \ 0.1 \ 0]$ olarak belirlenmiştir.

Sürücü (Master) devresi:

$$\begin{aligned} \dot{x}_{m1} &= (ax_{m3} - ax_{m1}m_0 - ax_{m1}m_1x_{m4}^2) \\ \dot{x}_{m2} &= (-bx_{m3} + bdx_{m2}) \\ \dot{x}_{m3} &= (-c(x_{m1} - x_{m2})) \\ \dot{x}_{m4} &= (nx_{m1}) \end{aligned} \tag{5.15}$$

Cevaplayıcı (Slave) devresi:

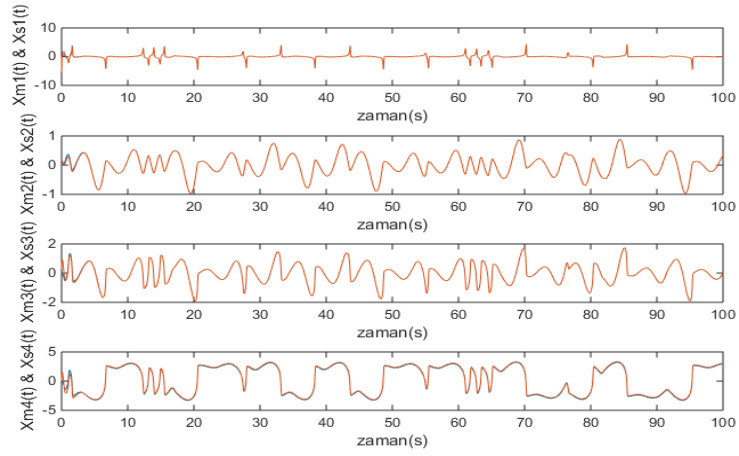
$$\begin{aligned} \dot{x}_{s1} &= (ax_{s3} - ax_{s1}m_0 - ax_{s1}m_1x_{s4}^2 + c(t)) \\ \dot{x}_{s2} &= (-bx_{s3} + bdx_{s2}) \\ \dot{x}_{s3} &= (-c(x_{s1} - x_{s2})) \\ \dot{x}_{s4} &= (nx_{s1}) \end{aligned} \tag{5.16}$$

Hata (Error):

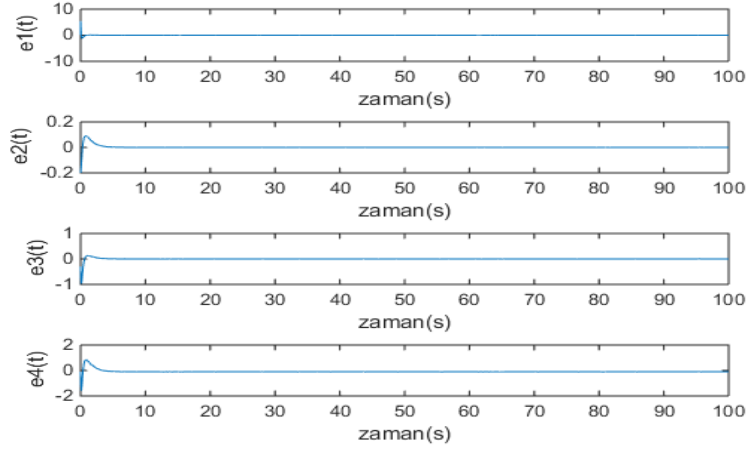
$$\begin{aligned} e_1 &= x_{m1} - x_{s1} \\ e_2 &= x_{m2} - x_{s2} \\ e_3 &= x_{m3} - x_{s3} \\ e_4 &= x_{m4} - x_{s4} \end{aligned} \tag{5.17}$$

- ***Ateşböceği Algoritması***

Bu kısımda MTKD Model III sistemine ait PID kontrolör kazanç parametreleri FA kullanılarak belirlenmiştir. FA'ya göre PID kontrol parametreleri $[K_p K_i K_d]=[2.96 \ 5.23 \ 9.11]$ olarak elde edilmiştir. Şekil 5.10 ve Şekil 5.11'de, FA ile senkronize edilmiş dalga formlarını sürücü ve cevaplayıcı sistem durumlarını ve FA ile senkronize edilmiş sürücü ve cevaplayıcı sisteminin hata dalga formlarını sırasıyla göstermektedir.



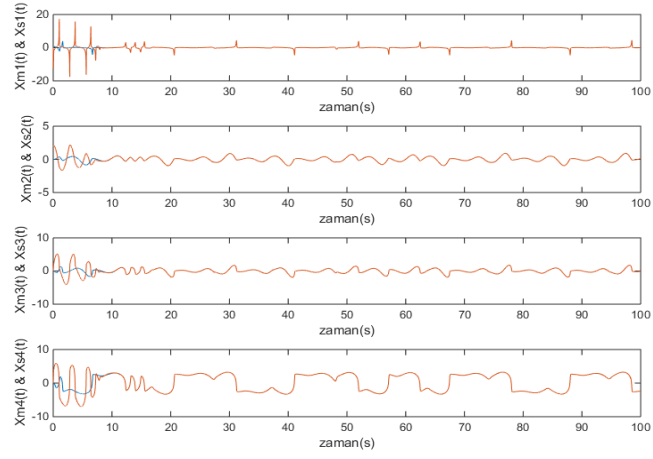
Şekil 5.10. Sürücü ve cevaplayıcı sistem FA ile senkronize dalga formları



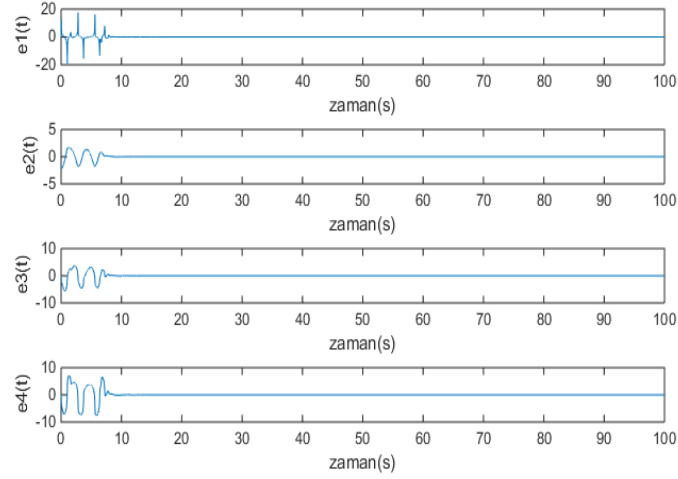
Şekil 5.11. FA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları

- **Genetik Algoritma**

Bu kısımda MTKD Model III sistemine ait PID kontrolör kazanç parametreleri GA kullanılarak belirlenmiştir. GA'ya göre PID kontrol parametreleri $[K_p \ K_i \ K_d]=[3 \ 127 \ 157.2]$ olarak elde edilmiştir. Şekil 5.12 ve Şekil 5.13'de, GA ile senkronize edilmiş sürücü ve cevaplayıcı sistemlerini ve hata sürücü ve cevaplayıcı sistemlerini göstermektedir.



Şekil 5.12. Sürücü ve cevaplayıcı sistem GA ile senkronize dalga formları



Şekil 5.13. GA ile senkronize edilmiş sürücü ve cevaplayıcı sistemin hata dalga formları

Tablo 5.2’de Ateşböceği algoritması ve Genetik algoritmanın parametre değerleri verilmektedir.

Tablo 5.2. Ateşböceği ve Genetik algoritmanın parametre değerleri

Parametre	Ateşböceği Alg.	Genetik Alg.
İterasyon	20	20
Popülasyon Sayısı	50	50
Benzetim Süresi (sn)	100	100
Mutlak Hata (4sn)	8.2e-28	10.3e-28
Hatanın verilen eşik değeri altına düşme süresi (sn)	6.2	9.6

5.2. Kaotik Haberleşme

Kaotik sinyallerin geniş bantlı olması, gürültü benzeri ve zor tahmin edildiğinden dolayı bilgi taşıyan dalga formlarını maskeleyerek için çeşitli sistemlerde kullanılmaktadır. Özellikle yayılı spektruma sahip haberleşme sistemlerinde kaotik sinyaller geniş bantlı olmasından dolayı taşıyıcı olarak tercih edilmektedir. Bu şekilde veri iletimi ve alımı daha kaliteli olmaktadır. Haberleşme sistemlerinde kaotik sistemlerin kullanılmasının bazı avantajları vardır; geniş bantlı kaos işaretler basit devrelerle elde edilebilir. Bu şekilde elde edilen devrelerin donanımsal olarak yapılması kolaydır. Ayrıca kaotik sinyallerin periyodik olmamasından dolayı bilgi güvenliğinde avantaj sağlamakta ve bundan dolayı güvenliğin ön planda olduğu uygulamalarda yaygın olarak tercih edilmektedir [167,168].

5.2.1. Sinyaller ve Spektra

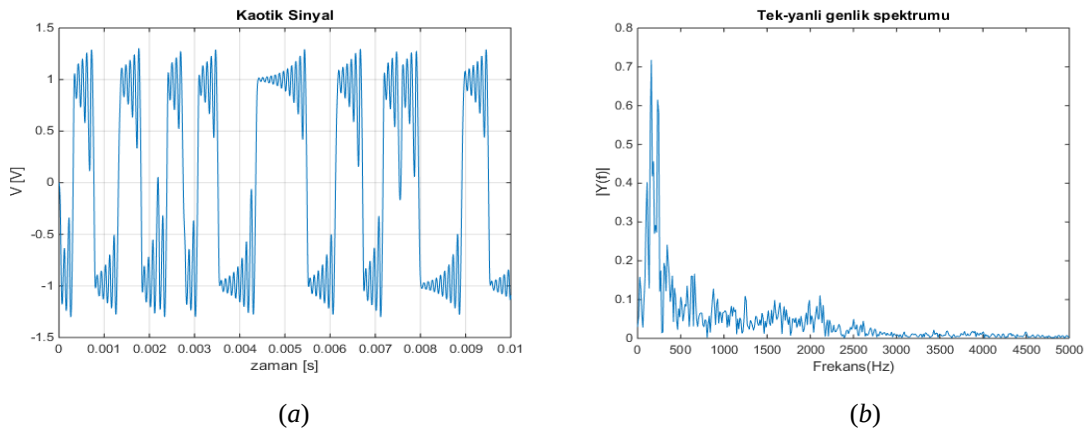
A. Frekans Spektrumu

Bir sinyalin frekans spektrumu, sinyal içerisindeki frekans bileşenlerinin öğrenilmesidir. Kısaca zaman bölgesinin aksine sinyalin frekans bölgesinde gösterimidir. Frekans spektrumu bir sinyalin Fourier dönüşümü alınarak elde edilir ve bulunan değerler, faz ve genlik olarak frekansa göre çizdirilir.

$$F(\omega) = \int_{-\infty}^{\infty} f(t)e^{-j\omega t} dt \quad (5.18)$$

$$f(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega)e^{j\omega t} d\omega \quad (5.19)$$

Denklem 5.18 $F(\omega)$ $f(t)$ 'nin Fourier dönüşümünü temsil etmekte ve Denklem 5.19'da ise ters Fourier dönüşümünü göstermektedir. Frekans spektrumunun sağladığı en önemli avantaj kendini tekrar eden sinyallerin tespit edilmesidir [169].



Şekil 5.14. (a) Zaman domeninde kaotik bir sinyal (b) Kaotik sinyalin spektrumu

Şekil 5.14 (a ve b)'de sırasıyla zaman domeninde bir kaotik sinyal ile bu sinyalin frekans spektrumu verilmektedir. Şekilde verilen spektrum incelendiğinde periyodik olmayan bu sinyalin farklı frekans bileşenlerine sahip olduğu görülebilir.

B. Spektral Yoğunluk

Spektral yoğunluk, sinyalin enerjisinin veya gücünün frekans bölgesindeki dağılımını gösterir. Spektral yoğunluk güç spektral ve enerji spektral yoğunluğu olarak iki farklı şekilde ifade edilebilir.

• *Enerji Spektral Yoğunluk:*

Bir sinyalin zaman bölgesindeki tanımının Parseval teoremi yardımıyla frekans bölgesinde tanımlı olan enerjisiyle ilişkilendirilmesidir [169]. Enerji spektral yoğunluğu, birim bant genişliğindeki enerji olarak tanımlanırken joule/Hz biriminde ölçülmektedir. Bir $x(t)$ sinyalinin toplam enerjisi aşağıda verilen denklem yardımıyla hesaplanabilir.

$$E_x = \int_{-\infty}^{\infty} \Psi(f) df \quad (5.20)$$

Bu denklemde $\Psi(f)$, $x(t)$ sinyalinin enerji spektrum yoğunluğu; $X(f)$, $x(t)$ sinyalinin Fourier dönüşümü olarak ifade edilirse $\Psi(f) = |X(f)|^2$ şeklinde tanımlanır.

• *Güç Spektral Yoğunluk:*

Güç spektral yoğunluğu, frekansa karşı birim Hz başına bir güç-etki alanı grafiği olarak tanımlanmaktadır [169]. P_x , periyod süresi T_0 olan $x(t)$ güç sinyalinin ortalama gücü olarak ifade edilip Parseval teoremi aşağıda verilen denklemdeki uygulanırsa

$$P_x = \frac{1}{T_0} \int_{-T_0/2}^{T_0/2} x^2(t) dt = \sum_{-\infty}^{\infty} |c_n|^2 \quad (5.21)$$

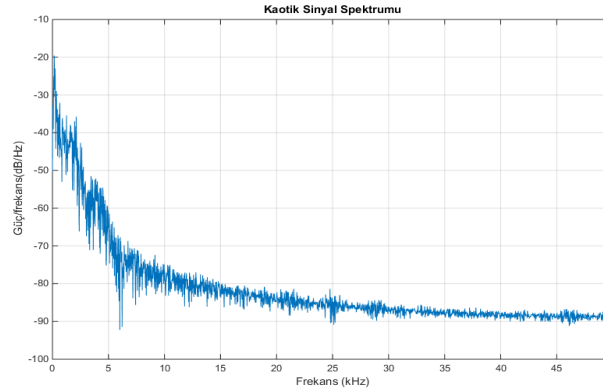
olarak elde edilir. Burada $|c_n|$ terimi periyodik sinyale ait karmaşık Fourier serilerinin katsayılarını ifade etmektedir. Bu $x(t)$ sinyalinin gücü frekans bölgesinde tanımlanırsa,

$$G_x(f) = \sum_{-\infty}^{\infty} |c_n|^2 \delta(f - nf_0) \quad (5.22)$$

şeklinde olur. Dolayısıyla, bir periyodik sinyalin güç spektral yoğunluğu frekansın ayrık fonksiyonları şeklinde olacaktır [169]. Normalize edilmiş güç değeri düzenlenirse:

$$P_x = \int_{-\infty}^{\infty} G_x(f) df \quad (5.23)$$

olarak elde edilir ve $x(t)$ sinyalinin güç spektral yoğunluğu sinyalin toplam gücünün frekans domenindeki dağılımını gösterir.



Şekil 5.15. Kaotik bir sinyalin güç spektrumu yoğunluğu

Kaotik bir sisteme ait güç spektral yoğunluğu Şekil 5.15’de gösterilmektedir. Şekil incelendiğinde sinyal gücünün gibi farklı frekans değerlerinde olduğu gözlemlenmektedir.

5.2.2. Evreuyumlu ve Evreuyumsuz Alıcılar

Kaotik sinyallerin taşıyıcı olarak kullanıldığı sistemlerde kaotik fonksiyonların alıcı sistemde yeniden kazanıldığı devreler evreuyumlu alıcı olarak tanımlanmaktadır [169]. Kısaca senkronizasyonun ön planda olduğu alıcı sistem de aynı frekans ve fazda bir kopya taşıyıcıya ihtiyaç duyulan sistemler olarak da tanımlanabilir. Bu özelliklerden dolayı, evreuyumlu sistemler bilgi gönderilmesinde gizlilik imkânı sunar [170]. Yayılma şartlarının iyi olmadığı sistemlerde, taşıyıcı fonksiyonlar alıcı sisteme gelen sinyalden elde edilememektedir. Yani bu sistemlerde senkronizasyonun gerekli olmadığı evreuyumsuz sistemler olarak adlandırılmaktadır [79].

5.2.3. Kanal Modelleri

Haberleşme uygulamaları gerçekleştirilen sistemler kanal içerisinde gürültülere maruz kalmaktadır. Farklı kanal modelleri farklı kanal gürültü davranışı sergilemektedir [169]. Literatürde yaygın olarak kullanılan modellerinden bazıları; Rayleigh Gürültü Üretici, Rician Gürültü Üretici, Toplanabilir Beyaz Gauss Üretici (AWGN) Gauss Gürültü Üretici’dir [169].

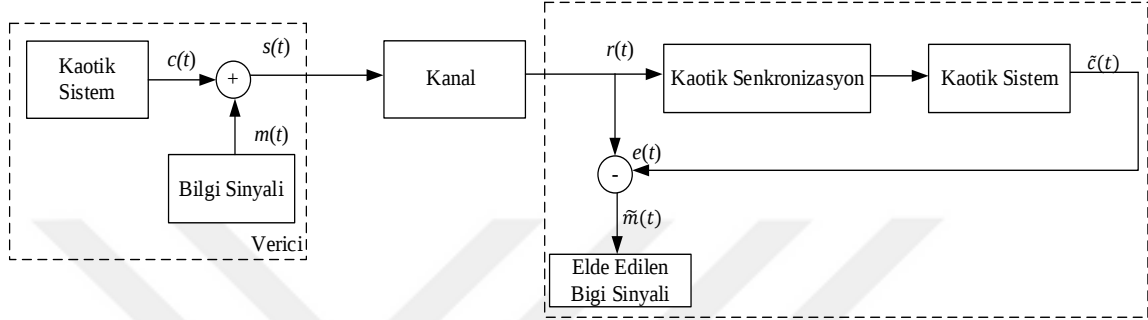
5.2.4. Kaotik Haberleşme Yöntemleri

Bu kısımda kaos tabanlı analog ve sayısal haberleşme sistemleri hakkında temel bilgiler verilmektedir.

- **Kaos Tabanlı Analog Haberleşme Yöntemleri**

A. Sinyal Maskeleye

Kaotik sistemlerde kullanan haberleşme yöntemleri için çeşitli yaklaşımlar önerilmiştir. Bu yöntemlerin çoğu, bilgi sinyalinin verici sistem tarafından üretilen çok daha güçlü bir kaotik taşıyıcıya eklendiği kaotik maskeleye prensibine dayanmaktadır.



Şekil 5.16. Kaotik maskeleye tabanlı kaotik haberleşme blok diyagramı [144]

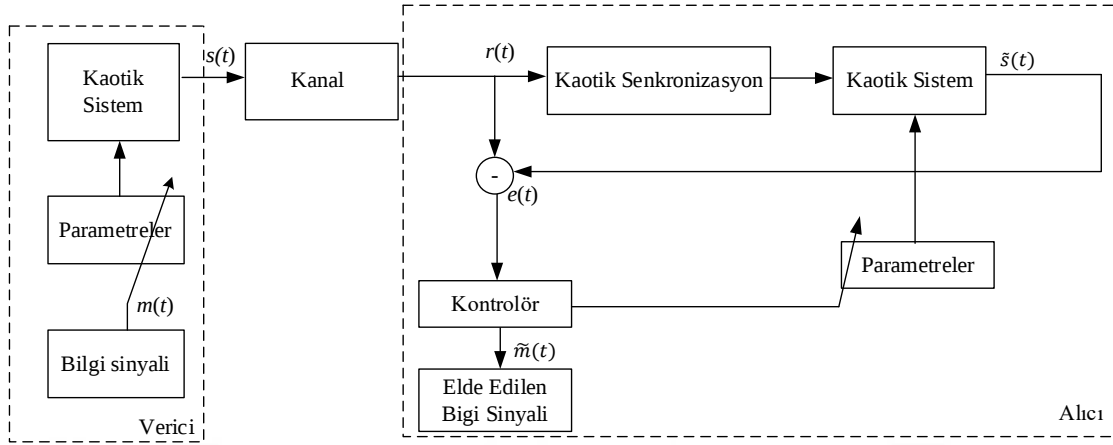
Bu sistem [124,171–175]'de sunulduğu gibi bilgi sinyalini iletmek için kaotik sinyalleri taşıyıcı olarak kullanan yöntemdir. Bu yönteme ait haberleşme blok şeması Şekil 5.16'da gösterilmektedir. Bu şemada bir bilgi sinyali $m(t)$ iletilir, yani iletimden önce bilgi sinyali verici taraftaki kaotik bir osilatör çıkışında maskelenir. Sinyalin alıcı kısımda geldiğinde kaotik senkronizasyon gerçekleştirilir. Alıcı kısımdaki kaotik sinyal gelen sinyalden çıkarılır, böylece orijinal bilgi sinyali $m(t)$ geri kazanılır.

Senkronizasyon kalitesinin iyi olması için iletilen bilgi sinyali $m(t)$ 'nin genliği, kaotik taşıyıcı sinyale kıyasla çok küçük olmalıdır. Aksi takdirde, senkronizasyon mümkün olmayabilir ve kaotik sinyal, mesaj spektrumunu gizlemeyebilir. Kaotik maskeleye sistemi basit bir model olup sistemlere çok kolay uygulanabilir [176]. Bununla birlikte, maskeleye yönteminin güvenliği çok fazla değildir. Burada gönderici dinamiklerini tahmin etmeyi ve mesaj sinyalinin kodunu çözmeyi mümkün kılan çeşitli kriptanaliz yöntemleriyle gönderilen sinyaller çözülebilmektedir [171,177–181].

B. Kaotik parametrik modülasyon:

Kaotik senkronizasyon sistemine dayanan kaotik parametrik modülasyonda ise bilgi sinyali kaotik sisteme ait bir veya daha fazla kontrol parametresiyle modüle edilmektedir [144,182]. Bir başka deyişle bu modülasyon türü, sayısal bilgi taşıyan bir dalga formunu kullanarak verici sistemle ilişkili bir kontrol parametresiyle sistemi modüle etmektedir. Kaotik parametrik modülasyona dayalı kaotik haberleşme blok diyagramı Şekil 5.17'de gösterilmektedir. Her ne kadar modülasyon

metodu maskeleye metodundan daha iyi güvenlik sağlasa da, yine de çeşitli kriptanaliz metotlarıyla güvenilirliğini sorgulanmaktadır [171,180,182,183].



Şekil 5.17. Kaotik parametrik modülasyona dayalı kaotik haberleşme blok diyagramı [144]

• Kaos Tabanlı Sayısal Haberleşme Yöntemleri

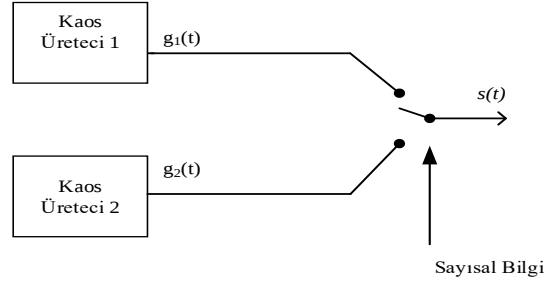
Geleneksel sayısal haberleşme sistemlerine benzer şekilde, kaotik sayısal modülasyon, sembollerin analog kaotik dalga formlarına eşlenmesiyle sağlanır. Sembolleri kaotik dalga formlarına eşlemek için, örneğin Kaos Kaydırmalı Anahtarlama (CSK), Diferansiyel (Farksal) Kaos Kaydırmalı Anahtarlama (DCSK), Frekans Modülasyonlu Farksal Kaos Kaydırmalı Anahtarlama (FM-DCSK) gibi birkaç farklı modülasyon çeşidi kullanılmaktadır. Bu modülasyon çeşitlerinden bazıları bu bölümde kısaca açıklanmaktadır.

A. Kaos Kaydırmalı Anahtarlama (CSK):

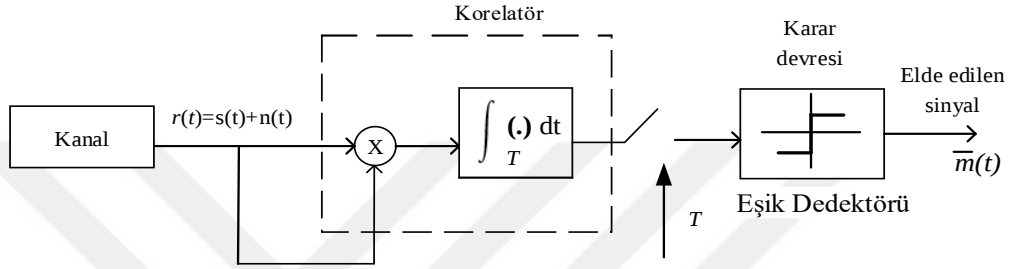
Bu yöntemde, verici kısımda iki kaotik sistem kullanılmaktadır. Bu iki sistem farklı parametrelere sahip olup sırasıyla $g_1(t)$ ve $g_2(t)$ olmak üzere iki farklı kaotik sinyal üretmektedir. Bu haberleşme modülasyonunda bilgi sinyali sayısal bir sinyal olmalıdır. Hangi kaotik sinyalin gönderileceğinin belirlenmesi, bilgi sinyalinin ‘-1’ veya ‘1’ bitine bağlı olarak değişmektedir [80,184].

$$s(t) = \begin{cases} g_1(t), & \text{bit } 1 \text{ için} \\ g_2(t), & \text{bit } -1 \text{ için} \end{cases} \quad (5.24)$$

Alıcı sistem çıkışında, alınan sinyal ile verici sistemde kullanılan iki kaotik sinyalin herhangi birinin çoğaltılması arasında korelasyon elde edilir. Senkronizasyon, bilgi sinyalini alçak geçiren filtreleme ve eşik değer kısımlarında sonra geri kazanmak için kullanılır. Bu yöntemine ait modülatör ve demodülatör blok şeması Şekil 5.18 ve Şekil 5.19’da gösterilmektedir.



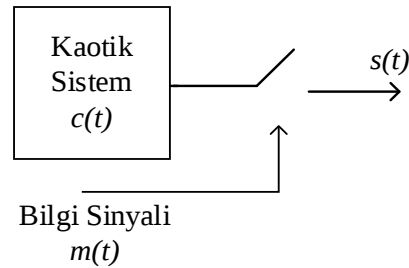
Şekil 5.18. CSK modülatörü blok diyagramı



Şekil 5.19. CSK demodülatörü blok diyagramı

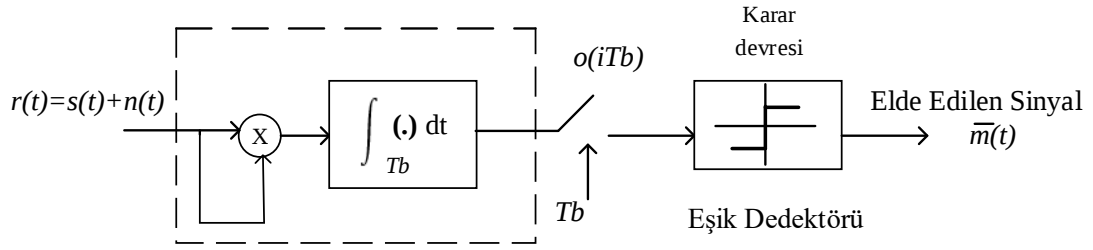
B. Kaos Açma-Kapama Anahtarlama (COOK):

Kaos Açma-Kapama Anahtarlama (COOK), yapısal olarak CSK haberleşme yöntemine çok benzeyen başka bir haberleşme modülasyon çeşididir. CSK ve COOK arasındaki fark, COOK modülasyon için yalnızca bir kaotik sinyal kullanırken CSK modülasyonunun iki farklı kaotik sinyal kullanmasıdır. COOK’da, ikinci sinyal 0’a eşittir. Mesaj sinyali 1’e eşitse, kaotik sinyal iletilir, aksi durumda başka hiçbir sinyal iletilmez [81,185]. COOK modülasyonuna ait modülatör blok diyagramı Şekil 5.20’de gösterilmektedir. Demodülasyon şeması ise Şekil 5.21’de gösterildiği gibi CSK ile aynıdır [171].



Şekil 5.20. COOK modülatörü blok diyagramı

$$s(t) = \begin{cases} c(t), & 1 \text{ için} \\ 0, & 0 \text{ için} \end{cases} \quad (5.25)$$



Şekil 5.21. COOK demodülatörü blok diyagramı

COOK modülatör devresinin çıkışına iletilen modülasyonlu sinyal $s(t)$, haberleşme kanalı üzerinden alıcı kısımdaki demodülatör devresine Şekil 5.21’de gösterildiği gibi iletilmektedir. Burada gürültü eklenerek demodülatör kısmına iletilen gürültülü sinyal $r(t)$ kendisi ile çarpılmaktadır. Bu çarpımdan sonra sinyalin integrali alınır ve bit enerjisi bu kısımda hesaplanır. Daha sonra korelatör birimi ve eşik dedektörüne iletilir [186].

Korelatör kısmında hesaplanan enerji değerinin matematiksel ifadesi Denklem 5.28’de verilmektedir. Korelatörden çıkan sinyal eşik dedektörüne iletilir. Bu kısımda belirlenen eşik seviyeye göre bilgi elde edilir. Karar devresindeki eşik değeri COOK modülasyonun başarısı için önemlidir. Gürültüye bağlı olarak bu değer değişmekte ve bu durum COOK modülasyonunun bir dezavantajı olarak karşımıza çıkmaktadır [186–189].

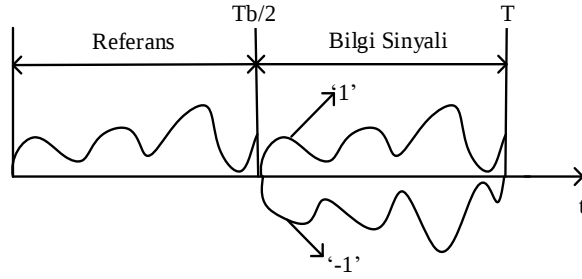
$$o(iT_b) = \int_{(i-1)T_b}^{iT_b} r^2(t) dt = \int_{(i-1)T_b}^{iT_b} [s(t) + n(t)]^2 dt \quad (5.26)$$

$$= \int_{(i-1)T_b}^{iT_b} s^2(t) dt + 2 \int_{(i-1)T_b}^{iT_b} s(t) \cdot n(t) dt + \int_{(i-1)T_b}^{iT_b} n^2(t) dt$$

$$o(iT_b) = \begin{cases} \int_{(i-1)T_b}^{iT_b} r^2(t) dt, & 1 \text{ için} \\ 0, & 0 \text{ için} \end{cases} \quad (5.27)$$

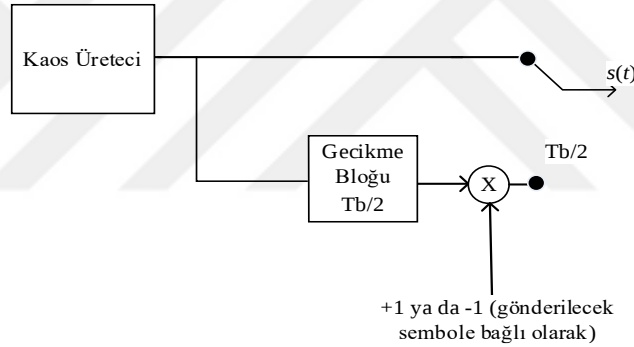
C. Diferansiyel (Farksal) Kaos Kaydırmalı Anahtarlama (DCSK):

Diferansiyel Kaos Kaydırmalı Anahtarlama (DCSK) literatürde yaygın olarak kullanılan bir kaos tabanlı sayısal haberleşme yöntemlerinden biridir. Şekil 5.22’de gösterildiği gibi bu sistemde iletilecek biti temsil eden iki örnek fonksiyon vardır. Referans sinyal, ilk örneklenmiş fonksiyon ile temsil edilirken bilgi sinyali ikinci örnek fonksiyon tarafından taşınmaktadır. Referans sinyali art arda iki kez iletilirse, bu durum mesaj bitinin ‘1’ olduğu anlamına gelmektedir. İletilecek mesaj biti ‘0’ olduğunda ise kaotik sinyalin ters çevrilmiş kopyası, orijinal kaotik sinyalden sonra iletilir [82,190].

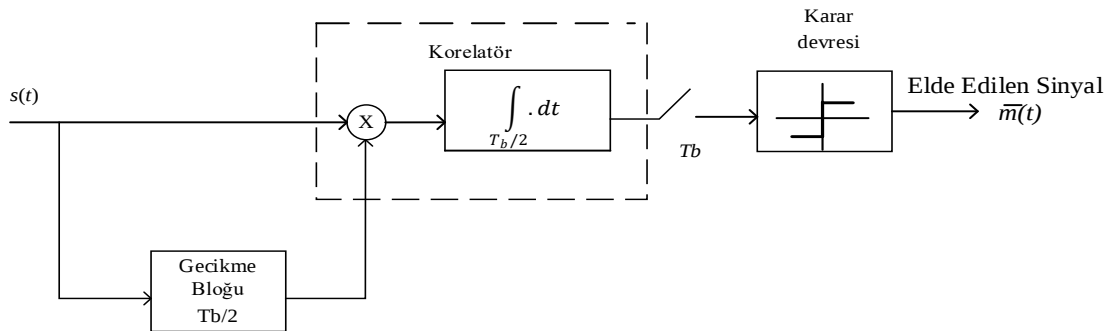


Şekil 5.22. DCSK modülasyonu bilgi iletimi

Bazı kaos modülasyon şemalarında alıcı ile verici arasında bir senkronizasyon sinyali bulunmalıdır, ancak DCSK bir senkronizasyon sinyaline ihtiyaç duymamaktadır. Dolayısıyla alıcı kısımda kaotik bir sistem mevcut değildir ve verici kısımda üretilen aynı kaotik sinyal, alıcı kısımdaki mesaj sinyalini göndermek ve demodüle etmek için kullanılır [82]. Bu yöntemle ait modülatör ve demodülatör blok şeması Şekil 5.23 ve Şekil 5.24’da gösterilmiştir.



Şekil 5.23. DCSK modülatörü blok diyagramı



Şekil 5.24. DCSK demodülatörü blok diyagramı

DCSK modülasyonunun matematiksel ifadesi aşağıda verilmektedir.

‘1’ sembolü için,

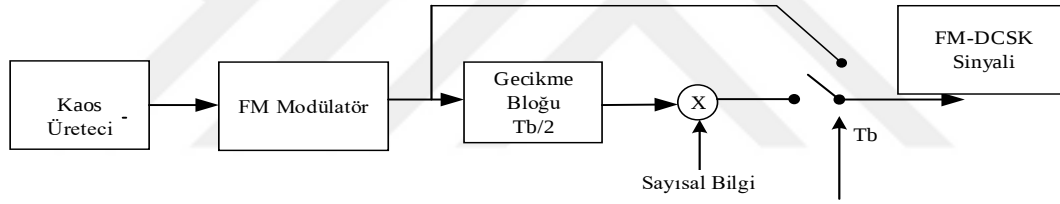
$$s(t) = \begin{cases} g(t) & (l-1)T \leq t < ((l-1)/2)T \\ g(t-T/2) & (l-1)T \leq t < lT \end{cases} \quad (5.28)$$

‘-1’ sembolü için,

$$s(t) = \begin{cases} g(t) & (l-1)T \leq t < ((l-1)/2)T \\ -g(t-T/2) & (l-1)T \leq t < lT \end{cases} \quad (5.29)$$

D. Frekans Modülasyonlu Diferansiyel Kaos Kaydırmalı Anahtarlama FM-DCSK:

FM-DCSK modülasyonu DCSK modülasyonun geliştirilmiş bir çeşididir. Kaotik sinyallerin periyodik olmamasından dolayı bit başına düşen enerji farklıdır ve sadece alıcı sistemde korelatör devresi ile tahmin edilmektedir [169]. Burada meydana gelen değişim sıfırdan farklı olmaktadır. Alıcı sistemde bunu algılamak uzun tahmin süresi gerektirebilir. Bu durumda sınırlı veri iletimine neden olmaktadır. Bu sorunu ortadan kaldırmak için bit enerjisini sabitlemek yeterli olacaktır [191,192]. Bu işlemde DCSK tekniğine FM modülasyonu eklenerek FM-DCSK şemasının elde edilmesiyle gerçekleştirilmektedir.

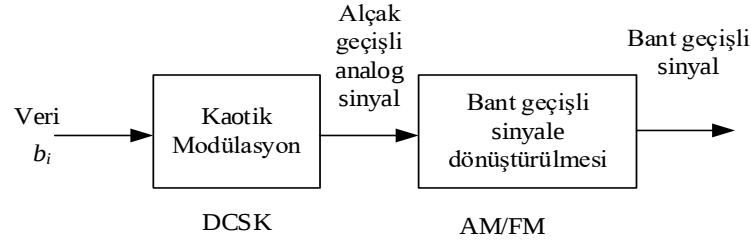


Şekil 5.25. FM-DCSK modülör şeması

Şekil 5.25’de FM-DCSK modülör şeması gösterilmektedir. Burada FM modülasyonunun eklenmesiyle sabit enerjili ve geniş bantlı bir sinyal elde etmek mümkündür. Ayrıca bu modülasyonla DCSK’ya göre gürültü performansı daha iyi olan bir teknik geliştirilmiştir.

5.2.5. AM-DCSK ve FM-DCSK Simülör Tasarımı ve Gürültü Performans Analizi

Haberleşme sistemlerinin çoğu, ortak kanal girişimlerini önlemek için bant geçişli sinyallerinin gerekli olduğu radyo frekans (RF) alanında çalışmaktadır. Modülasyon şemalarının çoğu kaotik sinyal bant geçiren sinyal olduğunda doğrudan kullanılabilir. Bununla birlikte, kaotik üreteçler tarafından sağlanan sinyaller genellikle alçak geçişli sinyallerdir. Bu durumda alçak geçişli kaotik sinyalin bir bant geçişli RF sinyaline dönüştürülmesi gerekmektedir. Bu dönüşüm geleneksel analog modülasyon tekniklerinden örneğin genlik modülasyonu veya faz/frekans modülasyonu kullanılarak yapılabilir [193]. Bunlara yardımcı modülör adı verilmektedir. Şekil 5.26’da bant geçişli sinyal kazanımı için blok diyagramı gösterilmektedir.

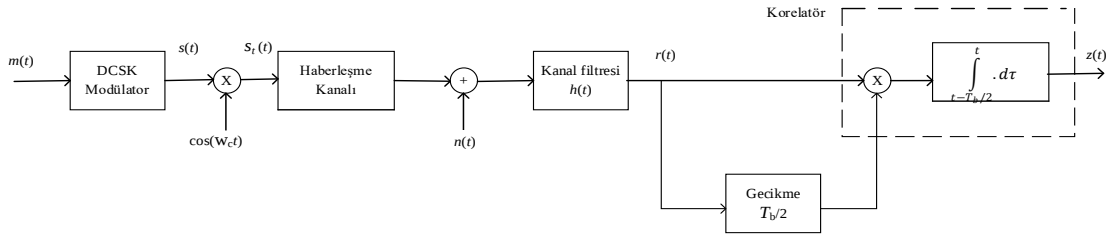


Şekil 5.26. Bant geçişli sinyal kazanım blok diyagramı

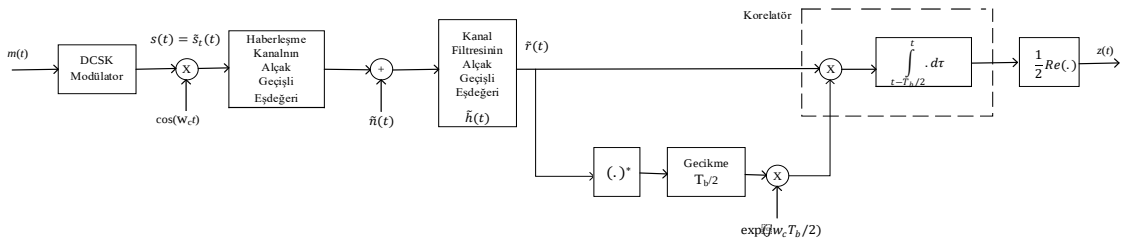
A. Kaotik Modülasyon Şemalarının Alçak Geçişli Eşdeğer Modeli:

Bir RF haberleşme sisteminin doğrudan benzetimi çok yüksek bir örnekleme hızı gerektirir. Çünkü örnekleme frekansı hem taşıyıcı frekansa hem de iletilen sinyalin bant genişliğine bağlı olarak değişmektedir. Yüksek taşıyıcı frekansı, yüksek bir örnekleme hızı ve sonuç olarak uzun bir benzetim süresine neden olur [185,193]. Geleneksel haberleşme sistemleri teorisinden, her bir bant geçiş sinyali ve sistemi için bir alçak geçiş eşdeğerinin türetilebileceği iyi bilinmektedir [194]. Bu yaklaşımda tüm RF sinyalleri alçak geçişli eşdeğerleriyle değiştirilmektedir. Sonuç olarak benzetim örnekleme frekansı karmaşık zarf adı verilen yavaşça değişen sinyallerle belirlenir ve bu şekilde benzetim süresi önemli ölçüde azaltılır [195]. Burada AM-DCSK ve FM-DCSK simülatörlerine ait verici ve alıcı sistemdeki tüm RF sinyallerinin ve bloklarının alçak geçişli eşdeğerlerinin elde edilmektedir.

Tez kapsamında kullanılan simülatörler sırasıyla RF DCSK+AM modülasyon şeması blok diyagramı ve RF DCSK+AM modülasyonu alçak geçişli eşdeğer modeli sırasıyla Şekil 5.27 ve Şekil 5.28’de gösterilmektedir.

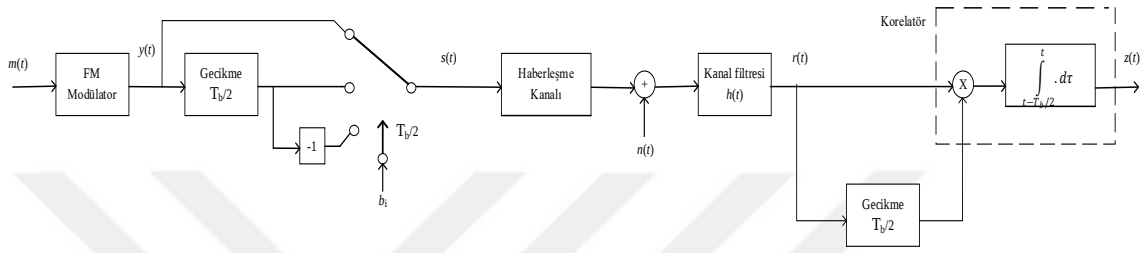


Şekil 5.27. RF DCSK+AM modülasyon şeması blok diyagramı

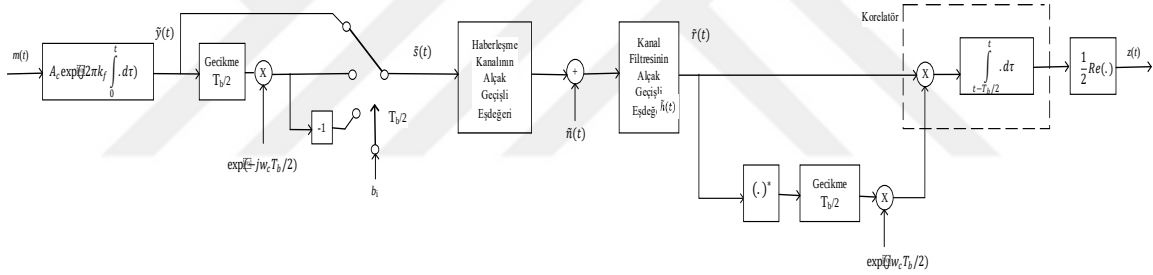


Şekil 5.28. RF DCSK+AM modülasyonu alçak geçişli eşdeğeri

DCSK ve FM modülatörlerinin sırası DCSK+FM ve FM-DCSK'da farklı olmaktadır. DCSK+FM'de kaotik sinyal önce bir DCSK modülatörüne beslenir ve ardından modüle edilmiş DCSK sinyali FM modülatörüne iletilir. Fakat FM-DCSK modülasyonu kaotik sinyalin önce bir FM modülatörünün girişine uygulandığı ve ardından FM modüle edilmiş kaotik sinyalin bir DCSK modülatörüne iletiildiği sisteme sahiptir. Şekil 5.29'da RF FM-DCSK modülasyon şeması blok diyagramı gösterilirken, RF FM-DCSK modülatörünün alçak geçişli eşdeğer blok şeması ise Şekil 5.30'da gösterilmektedir.



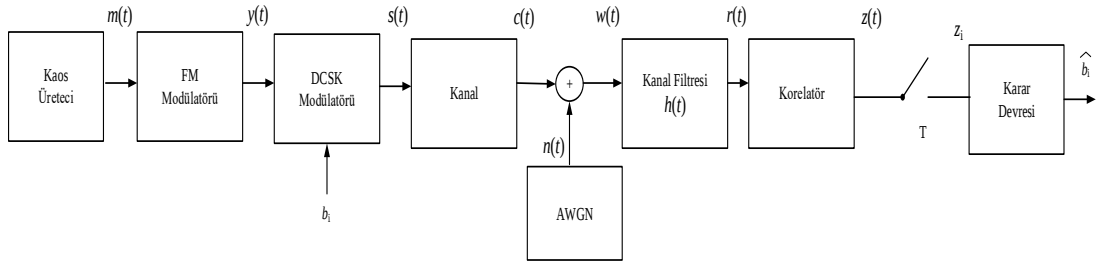
Şekil 5.29. RF FM-DCSK modülasyon şeması blok diyagramı



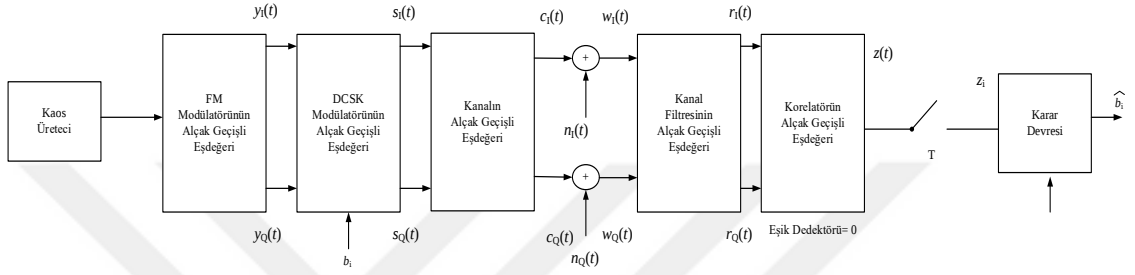
Şekil 5.30. RF FM-DCSK modülasyonu alçak geçişli eşdeğeri

B. FM Modülasyon

FM-DCSK vericisinde, frekans modülasyonu kullanılarak modüle edilen kaotik sinyal DCSK tekniğine göre haberleşme sistemlerine uygulanmaktadır. Referans sinyal, FM modülün çıkışı tarafından sağlanmakta olup bilgi taşıyan kısım, referans sinyalin ters çevrilmiş veya ters çevrilmemiş kopyası olmaktadır. Şekil 5.31'de tasarlanan simülörde kullanılan RF FM-DCSK haberleşme sistemi gösterilmektedir ve buna ait RF FM-DCSK haberleşme sistemi alçak geçişli eşdeğeri ise Şekil 5.32'de verilmektedir.



Şekil 5.31. RF FM-DCSK haberleşme sistemi



Şekil 5.32. RF FM-DCSK haberleşme sistemi alçak geçişli eşdeğeri

C. DCSK Modülasyon için Teorik BER Analizi

BER, Bit Hata Oranı (Bit Error Rate), hatalı bir bit alma olasılığını temsil eder. Bu nedenle BER, sistemin baştan sona performans ölçümünü göstermekte ve tüm haberleşme sisteminin güvenilirliğini “bit” den “bit” e kadar ölçmektedir. BER haberleşme sisteminin tüm bileşenlerinden örneğin; iletim kanalı gürültüsü, bozulma, zayıflama, sönmüleme, senkronizasyon sorunları ve parazitler gibi çeşitli faktörlerden etkilenebilmektedir [196].

Bu kısımda yayılı spektrum haberleşme sistemlerinden kullanılan simülasyon modellerinin performansı, AWGN kanal altında MTKD modellerinden elde edilen sinyallerin kullanıldığı sistemler için incelenmiştir. DCSK için teorik bit hata oranı, aşağıdaki denklem ile ifade edilir [193].

$$BER = \frac{1}{2^{BT}} \exp\left(-\frac{E_b}{2N_0}\right) \sum_{i=0}^{BT-1} \frac{\left(\frac{E_b}{2N_0}\right)^i}{i!} \sum_{j=0}^{BT-1} \frac{1}{2^j} \binom{j+BT-1}{j-1} \quad (5.30)$$

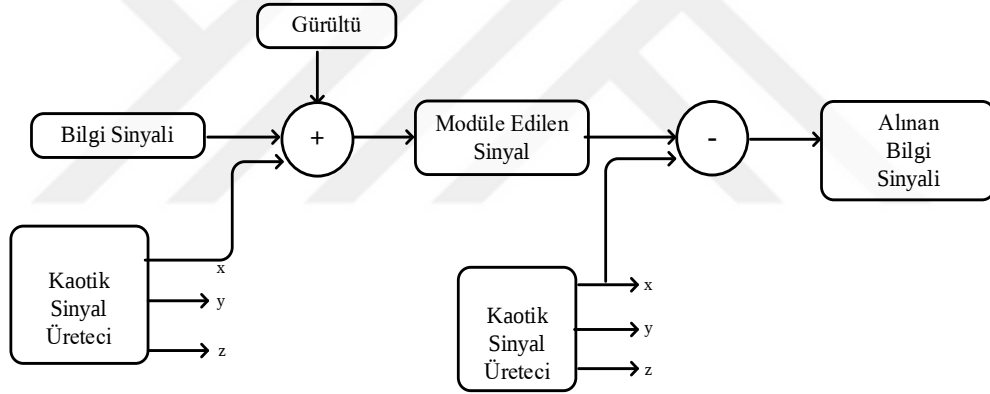
Hem bit süresi T hem de kanal filtresinin $2B$ RF bant genişliği DCSK'nın gürültü performansını yukarıdaki denklemde görüldüğü gibi etkilemektedir. Bu denkleme ait analizler bir sonraki bölümde hem RF bant genişliği için hem de bit süresinin gürültü performansı üzerinde etkisine ait sonuçları sunulmuştur.

6. MTKD MODELLERİNİN HABERLEŞME SİSTEMLERİNE UYGULANMASI

Bu bölümde tez kapsamında oluşturulan memristör tabanlı kaotik ve hiperkaotik sistemlerin haberleşme sistemlerine uygulanması farklı modülasyon türleri kullanılarak gerçekleştirilmektedir.

6.1. MTKD Model I Sisteminin Haberleşme Sistemlerine Uygulanması

Bu çalışmada MTKD Model I sistemi kaotik maskeme yöntemi kullanılarak kaos tabanlı analog haberleşme sistemlerine uygulanmıştır. MTKD Model I'e ait durum denklemleri Bölüm 2'de verilmiş olup sistemin kaotik analizi ayrıntılı olarak gerçekleştirilmiştir. Bu kaotik sistemden elde edilen sinyaller Şekil 6.1'de blok diyagramı gösterilen sinyal maskeleme modülasyonunda kullanılmaktadır. Sürücü-cevaplayıcı sistemin senkronize olması şartıyla bu iki sisteme ait durum denklemleri Denklem 6.1 ve 6.2'de verilmiştir.



Şekil 6.1. Kaotik sinyal maskeleme şeması

Sürücü Sistemi:

$$\begin{aligned} \dot{x}_D &= \frac{y_D}{C} \\ \dot{y}_D &= -\frac{1}{L}(x_D + \beta(z_D^2 - 1)y_D) \\ \dot{z}_D &= -y_D - \alpha z_D + y_D z_D \end{aligned} \tag{6.1}$$

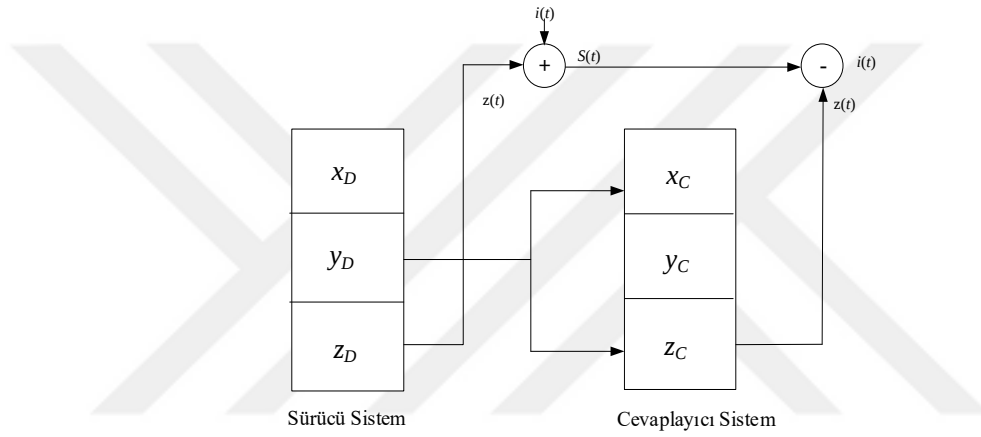
Cevaplayıcı Sistemi:

$$\dot{x}_C = \frac{y_C}{C}$$

$$\dot{y}_C = -\frac{1}{L}(x_C + \beta(z_C^2 - 1)y_C) \quad (6.2)$$

$$\dot{z}_C = -y_C - \alpha z_C + y_C z_C$$

Şekil 6.2’de haberleşme uygulaması gerçekleştirilen sürücü-cevaplayıcı sistemine ait blok şeması gösterilmektedir. Buradaki temel ilke analog bilgi sinyali $i(t)$ ’nin sürücü sistemdeki kaotik sinyalle gizlenerek iletilmesidir. Bu nedenle, sürücü sistemdeki kaotik sinyal ile bilgi sinyali toplanarak elde edilen $S(t)$ sinyali iletim ortamına aktarılmaktadır. Pecora ve Carroll yöntemine göre, iletim ortamından gelen bilgi sinyaline eklenmiş senkronize kaotik sinyal $z_C(t)$ ’den, aynı formda olan $z_D(t)$ kaotik sinyali çıkarılarak iletilen bilgi elde edilmiştir [146]. Bu uygulama ‘Sistem 1’ olarak etiketlenmiştir.



Şekil 6.2. Sürücü ve cevaplayıcı sistem şeması

Gerçekleştirilecek ikinci uygulama için literatüre son dönemde sunulan tek yönlü senkronizasyonun kullanıldığı çalışma referans alınmıştır [39]. Bu yöntemde sürücü ve cevaplayıcı sistem arasındaki uyumsuzluktan meydana gelebilecek gecikmeler bir parametre yardımıyla giderilmektedir. Bilgi iletimi Sistem 1 ile aynı şekilde gerçekleştirilmektedir. İki sistem arasındaki fark Sistem 2’de tek yönlü senkronizasyonun bir parametre yardımı ile sağlanmasıdır. Aşağıda bu model için elde edilen sürücü ve cevaplayıcı sistemine ait durum denklemleri verilmiştir. Burada ε parametresi birleştirme faktörüdür. Bu uygulama ‘Sistem 2’ olarak etiketlenmiştir.

Sürücü Sistemi:

$$\dot{x}_D = \frac{y_D}{C}$$

$$\dot{y}_D = -\frac{1}{L}(x_D + \beta(z_D^2 - 1)y_D) \quad (6.3)$$

$$\dot{z}_D = -y_D - \alpha z_D + y_D z_D$$

Cevaplayıcı Sistemi:

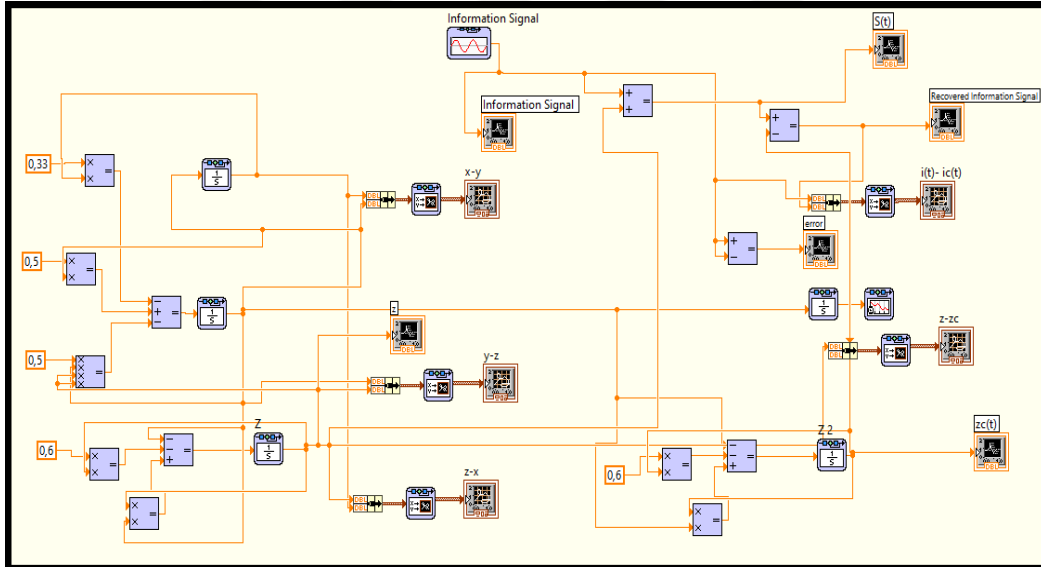
$$\dot{x}_C = \frac{y_C}{c} + \varepsilon(x_D - x_C)$$

$$\dot{y}_C = -\frac{1}{L}(x_C + \beta(z_C^2 - 1)y_C) \quad (6.4)$$

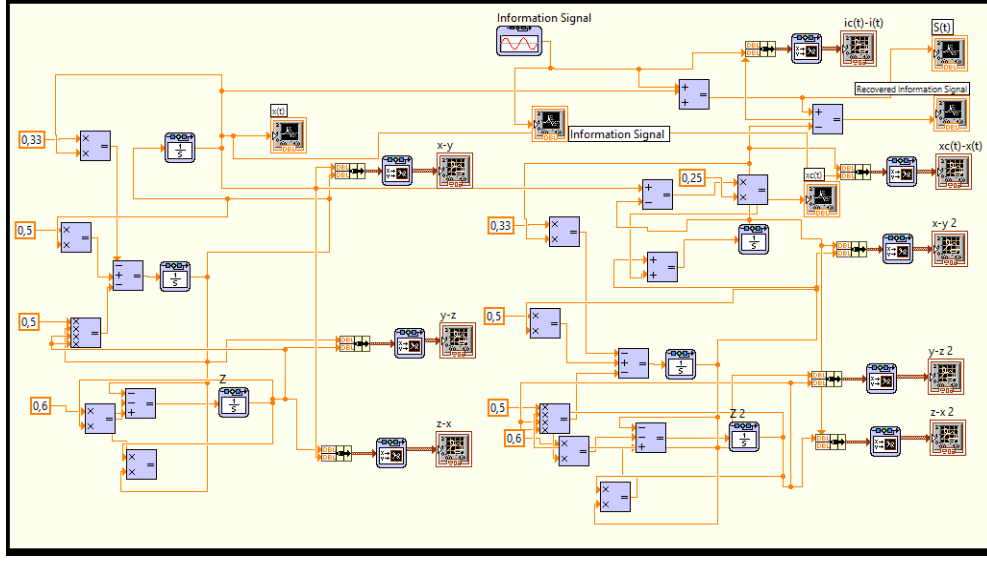
$$\dot{z}_C = -y_C - \alpha z_C + y_C z_C$$

Elde edilen kaotik sistemler güvenli haberleşme uygulaması için senkronize edilerek yukarıda verilen iki sistem için gerçekleştirilmektedir. Kaotik sinyal, $i(t)$ olarak ifade edilen bilgi sinyaline eklenir. Bu bilgi sinyali 0.1 V genlik değeri ve 0.1 Hz frekansına sahip sinüzoidal bir sinyaldir. Ayrıca sistemin kaotik senkronizasyonu sağlaması için Sistem 2'ye ait birleştirme faktörü $\varepsilon = 0.25$ olarak seçilmiştir.

Şekil 6.3 [74]'e göre üç elemanlı memristif kaotik sistemin kullanılmasıyla tasarlanan kaotik maskeleye sisteminin LabVIEW Control&Simulation platformundaki modelini gösterirken, Şekil 6.4 ise [197]'de önerilen sisteme göre tasarlanan maskeleye sistemini göstermektedir.

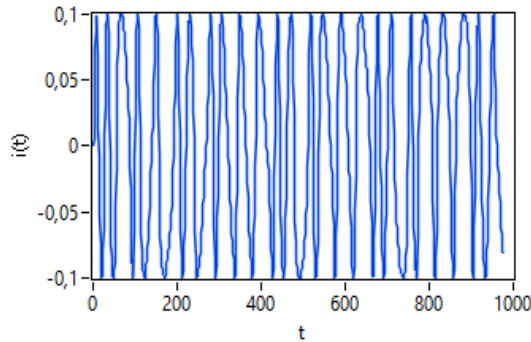


Şekil 6.3. Memristif kaotik üreticinin kullanılmasıyla tasarlanan kaotik maskeleye 'Sistem 1'

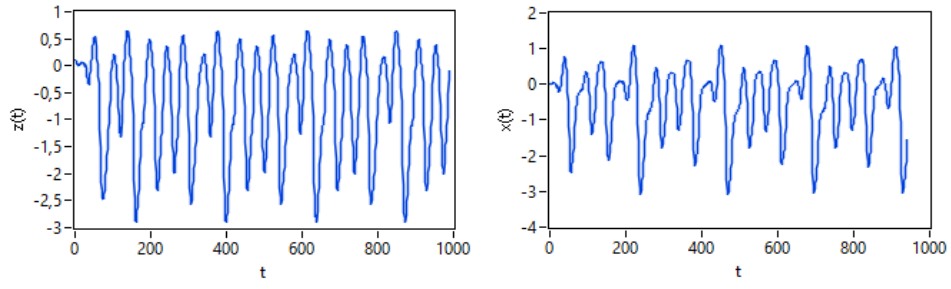


Şekil 6.4. Memristif kaotik üreticinin kullanılmasıyla tasarlanan kaotik maskeleye 'Sistem 2'

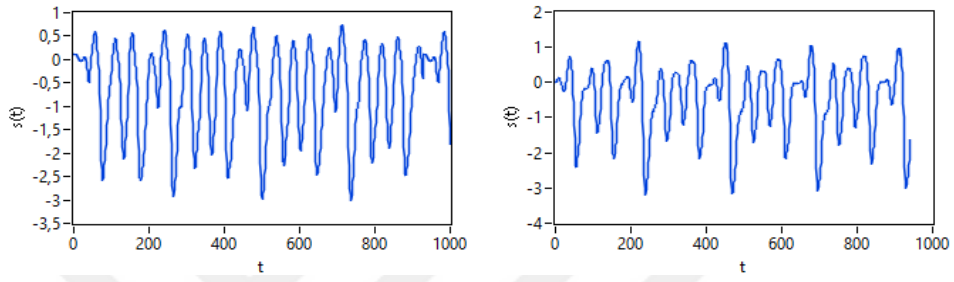
Bilgi sinyali olarak adlandırılan sinyal, Şekil 6.5'deki gibi rastgele elde edilmiş bir sinüzoidal sinyaldir. Şekil 6.6 (a ve b) bilgi sinyaline eklenen kaotik sinyalleri Sistem 1 ve Sistem 2 için göstermektedir. Şekil 6.7'de bilgi sinyali ve kaotik sinyallerin birleştirilmesiyle elde edilen modüle edilmiş $S(t)$ sinyallerini göstermektedir. Sürücü ve cevaplayıcı sisteme ait sinyaller eşitse, iletilen sinyal kendini matematiksel olarak yineler. Şekil 6.8'de Sistem 1 için kullanılan $z_c(t)$ ve Sistem 2 için kullanılan $x_c(t)$ kaotik sinyallerini göstermektedir. Haberleşme sonucunda elde edilen bilgi sinyalleri ise Şekil 6.9'da gösterilerek sistemin matematiksel ifadesi Sistem 1 için $[z_D(t) + i(t)] - z_c(t) = i(t)$ şeklinde yazılabilir. Şekil 6.10'da ise elde edilen bilgi sinyali $i_c(t)$ ve gönderilen bilgi sinyali $i(t)$ üzerindeki senkronizasyonun davranışını göstermektedir. Burada elde edilen eğri doğrusal olduğundan dolayı senkronizasyon başarılıdır.



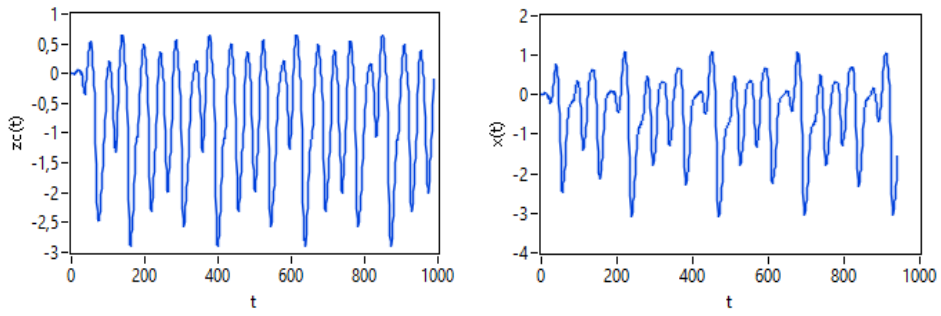
Şekil 6.5. Bilgi sinyali $i(t)$



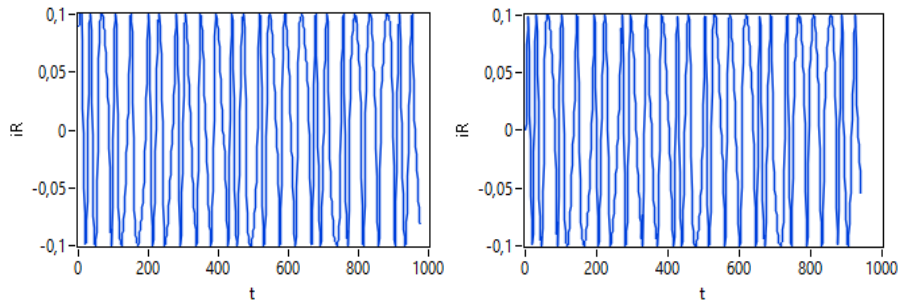
Şekil 6.6. İletilen kaotik sinyal (a) $z_D(t)$ Sistem 1 için (b) $x_D(t)$ Sistem 2 için



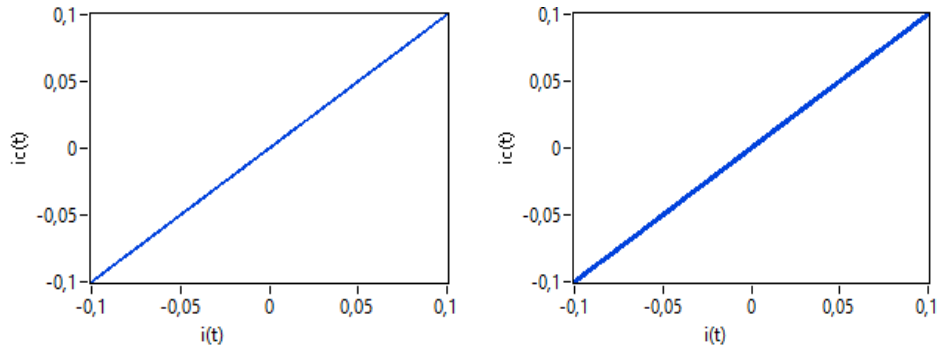
Şekil 6.7. Modüle edilmiş $S(t)$ sinyali (a) Sistem 1 için (b) Sistem 2 için



Şekil 6.8. Kaotik sinyaller (a) $z_C(t)$ Sistem 1 için (b) $x_C(t)$ Sistem 2 için

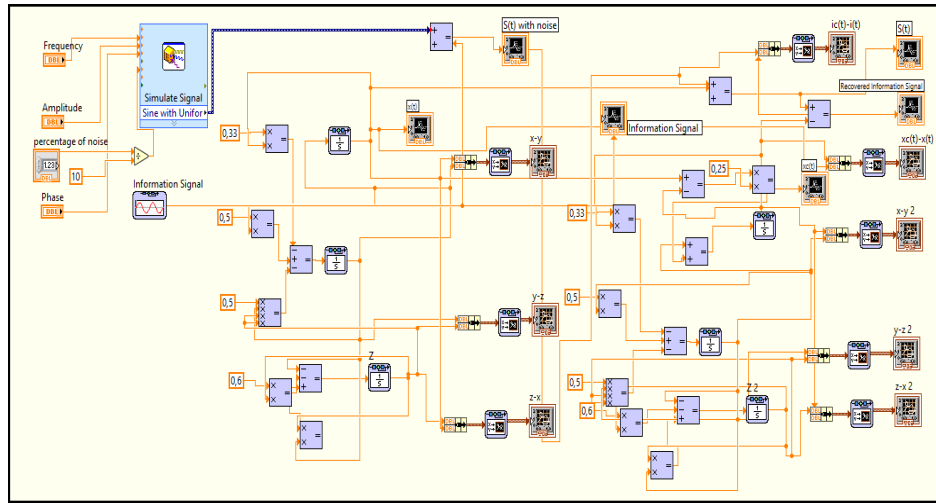


Şekil 6.9. Elde edilen bilgi sinyali (a) Sistem 1 için (b) Sistem 2 için

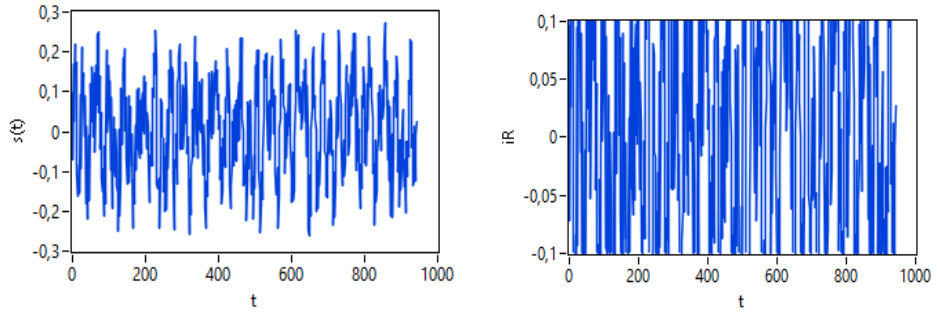


Şekil 6.10. Gönderilen bilgi sinyali $i(t)$ ile elde edilen bilgi sinyali $i_c(t)$ arasında tekrar senkronizasyonun grafiği (a) Sistem 1 için (b) Sistem 2 için

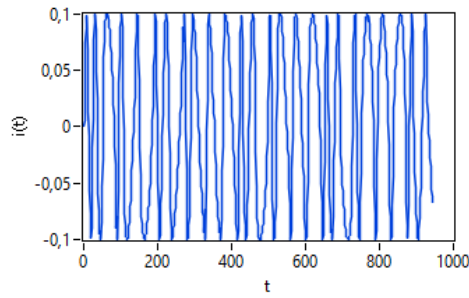
Şekil 6.11’de memristif kaotik sistemin kullanılmasıyla tasarlanan gürültü eklenmiş kaotik maskeleye uygulaması gösterilmektedir. Gürültülü sinyal maskeleye uygulamasında; sürücü sistemdeki bilgi sinyaline, gürültüye benzer bir sinyal eklenerek iletilen sinyal, cevaplayıcı sistemde bu sinyalden çıkarılmaktadır. Şekil 6.12 (a ve b), modüle edilmiş sinyalin gürültü eklenerek oluşturulan modüle sinyali ve gürültü eklendikten sonra geri kazanılmış bilgi sinyalini göstermektedir. İletim sırasında cevaplayıcı sistemdeki sinyal gürültü ve benzeri dış etkilerle bozulabilir. İletilen sinyaller gürültü ile bozulmuş olsa bile, bilgi sinyali çok küçük bir hata olasılığı ile elde edilebilir. Şekil 6.13 bilgi sinyalinin filtrelemeden sonraki şeklini göstermektedir. Sonuç olarak sürücü sistemde elde edilen bilgi sinyali geri kazanılarak sistemin haberleşme uygulaması başarıyla gerçekleştirilmiştir.



Şekil 6.11. Gürültü eklenmiş kaotik maskeleye sistemi



Şekil 6.12. (a) Modüle edilmiş gürültülü sinyal $S(t)$ (b) Elde edilen bilgi sinyali

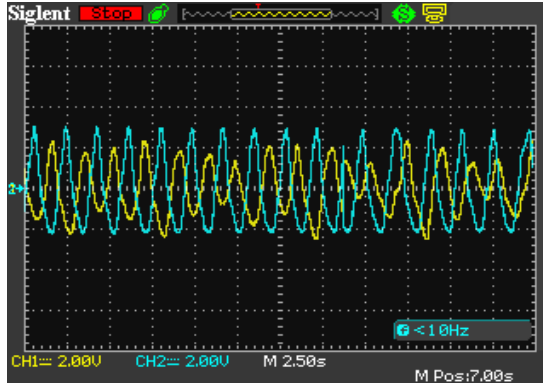


Şekil 6.13. Filtrelemeden sonra elde edilen bilgi sinyali $i(t)$

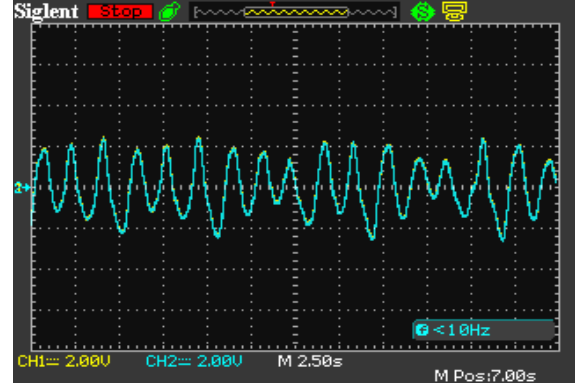
6.2. MTKD Model II Sisteminin Haberleşme Sistemlerine Uygulanması

Kübik doğrusal olmayan özellik ile karakterize edilmiş bir aktif akı kontrollü memristör içeren dört boyutlu kaotik sistem önceki bölümlerde tanıtılmaktadır. Kaotik sistemin temel dinamikleri; faz portreleri, Lyapunov üsleri ve çatallanma şemaları yardımıyla incelenerek elde edilen sonuçlar ilgili bölümlerde sunulmuştur. Ayrıca senkronizasyon için önerilen optimizasyon algoritmaları kullanılarak kazanç katsayıları elde edilen PID kontrolör tasarımı gerçekleştirilmiştir. Burada FA ve GA optimum PID kontrolör kazanç katsayılarını elde etmek için kullanılmış; sonuç olarak sürücü ve cevaplayıcı sistemler arasında senkronizasyon sağlanmıştır. Bu çalışmada FA'dan elde edilen kazanç parametreleri kullanılmıştır [198].

Sistem performansını doğrulamak için önerilen bu PID kontrollü memristör tabanlı kaotik sistem, güvenli haberleşme uygulamasında kullanılmaktadır. Elde edilen sonuçlar SIGLENT marka osiloskop yardımıyla gerçek zamanlı olarak sunulmuştur. Şekil 6.14 (a), (b), Şekil 6.15 (a), (b), Şekil 6.16 (a), (b) ve Şekil 6.17 (a), (b) sırasıyla kaotik x_m ve x_s sinyallerinin PID kontrolör varlığıyla ve PID kontrolör kullanılmadan osiloskop çıktılarını göstermektedir. Karşılaştırma yapıldığında farklı başlangıç koşulları için simüle edilen bu devrenin PID kontrolör ile hata oranı en aza indirilerek başarılı bir senkronizasyon gerçekleştirildiği görülmektedir.

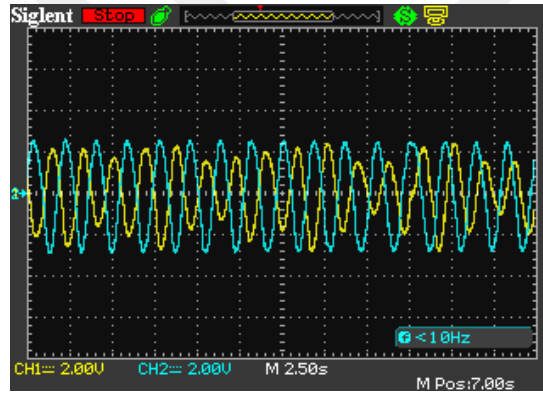


(a)

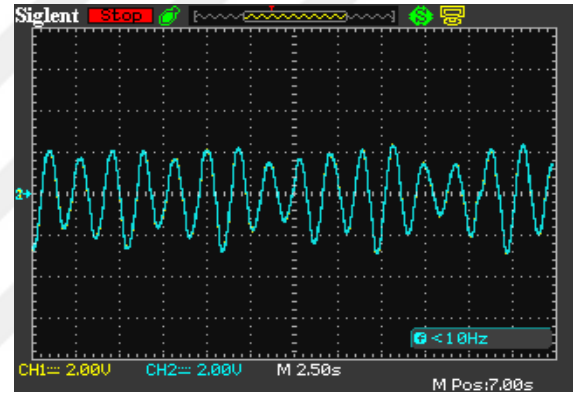


(b)

Şekil 6.14. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları (a) PID kontrolör olmadan x_{m1} ve x_{s1} sinyalleri (b) PID kontrolör yardımıyla x_{m1} ve x_{s1} sinyalleri

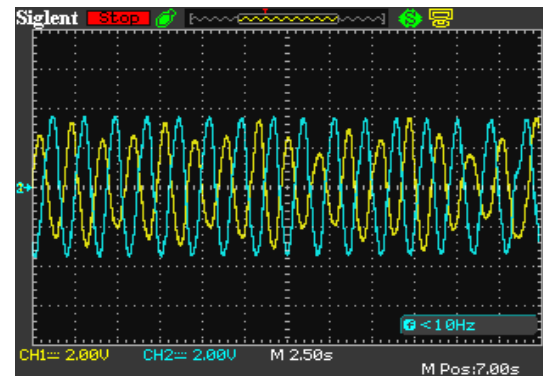


(a)

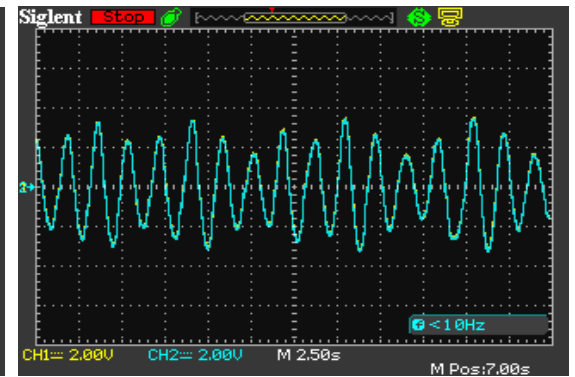


(b)

Şekil 6.15. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları (a) PID kontrolör olmadan x_{m2} ve x_{s2} sinyalleri (b) PID kontrolör yardımıyla x_{m2} ve x_{s2} sinyalleri

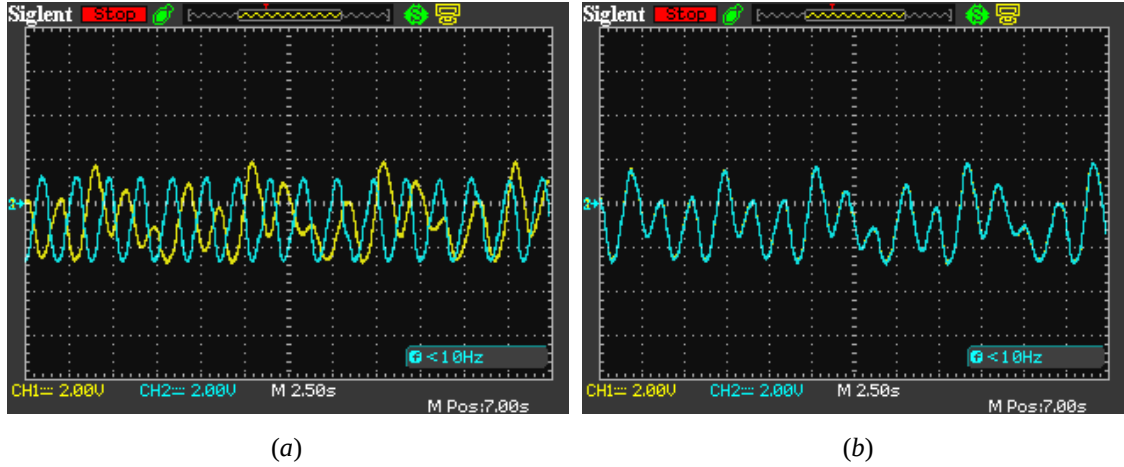


(a)



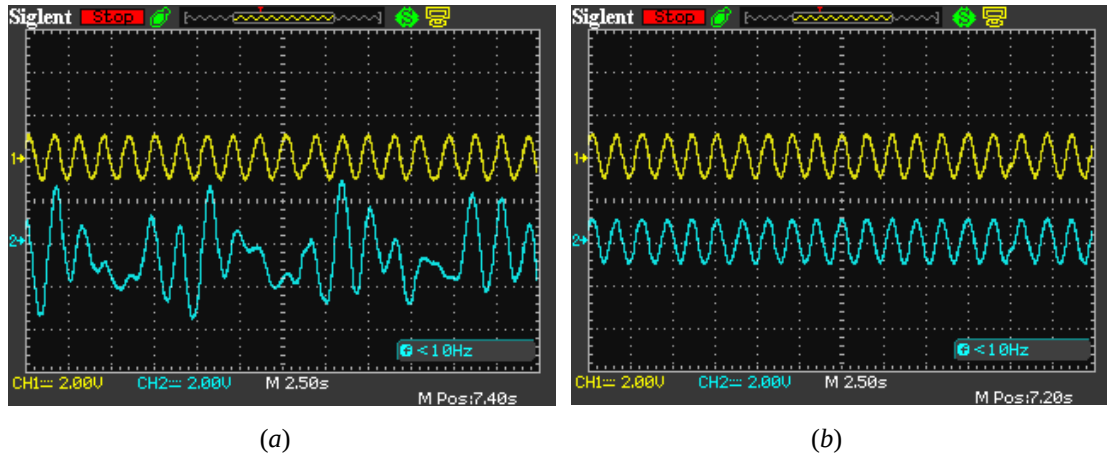
(b)

Şekil 6.16. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları (a) PID kontrolör olmadan x_{m3} ve x_{s3} sinyalleri (b) PID kontrolör yardımıyla x_{m3} ve x_{s3} sinyalleri



Şekil 6.17. x_m sinyali x_s sinyali arasındaki senkronizasyonun deneysel sonuçları (a) PID kontrolör olmadan x_{m4} ve x_{s4} sinyalleri (b) PID kontrolör yardımıyla x_{m4} ve x_{s4} sinyalleri

Şekil 6.18’de x_{m1} ile maskelenmiş sinüs sinyalini gösterilmektedir. Burada kaotik sinyale eklenen bilgi sinyali, orijinal sinyalden farklı bir görünüme kavuşmaktadır. Alıcı sisteme iletilen bu maskelenmiş sinyal, alıcı kısımdaki kaotik sinyalin çıkarılmasıyla bilgi sinyali geri kazanılmıştır. Şekil 6.18a’da osiloskobun birinci kanalında bilgi sinyali ve ikinci kanalında ise maskelenmiş bilgi sinyali gösterilmektedir. Şekil 6.18b’de ise osiloskobun birinci kanalında bilgi sinyali ve ikinci kanalında elde edilen bilgi sinyali gösterilmektedir.

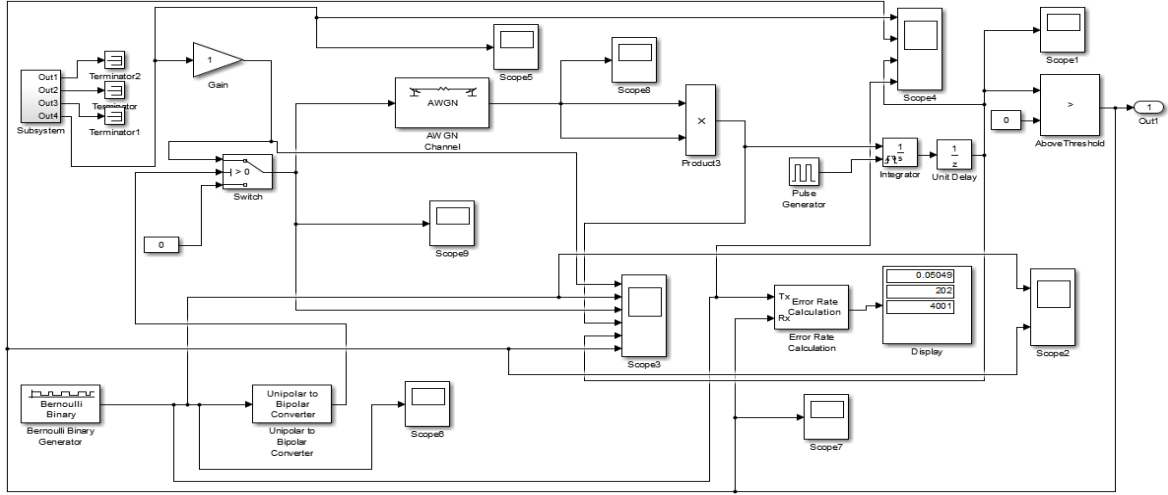


Şekil 6.18. (a) Kanal 1: Bilgi sinyali; Kanal 2: Maskelenmiş bilgi sinyali (b) Kanal 1: Bilgi sinyali; Kanal 2: Elde edilen sinyal

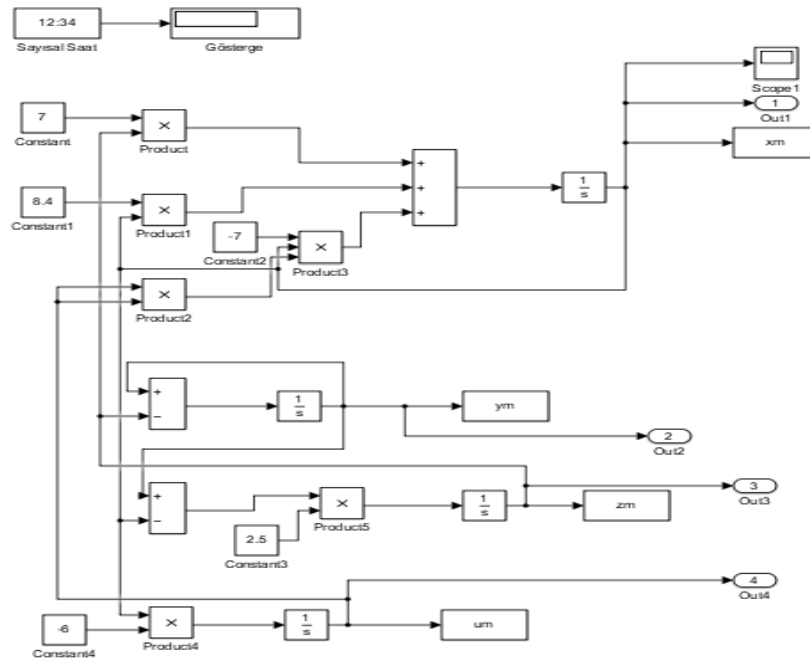
6.3. MTKD Model III Sisteminin Haberleşme Sistemlerine Uygulanması

MTKD Model III sisteminin COOK modülasyon metodu kullanılarak MATLAB-Simulink platformunda benzetimi gerçekleştirilmiş olup bu haberleşme sistemine ait blok şeması Şekil 6.19’da verilmiştir. Şekil 6.20’de ise MATLAB Simulink platformunda blok diyagramlar ile

tasarlanmış MTKD Model III sistemi gösterilmektedir. Bu kısım haberleşme sistemine alt program (subsystem) olarak eklenmiştir.



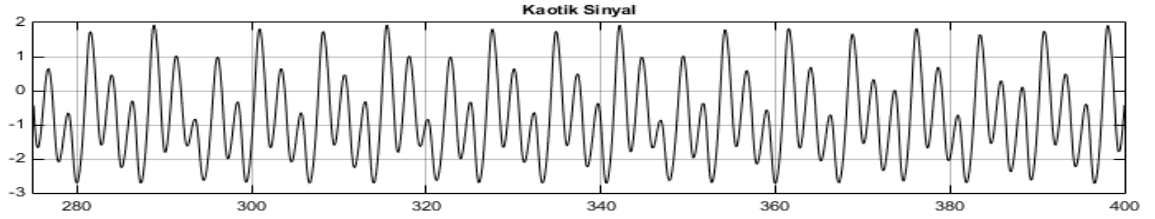
Şekil 6.19. Simulink ortamında tasarlanan haberleşme sistemi



Şekil 6.20. Simulink ortamında tasarlanan MTKD Model III

MATLAB platformunda tasarlanan COOK modülasyonlu haberleşme sisteminde 4000 bit iletimi gerçekleştirilmektedir. Bu sisteme ait bit süresi $T_b=0.1$ saniye olarak belirlenmiş olup benzetim süresi toplam 400 saniye için analiz edilmiştir. Tasarlanan sistemde kullanılan gecikme bloklarının gecikme süresi 0.5 saniye olarak ayarlanmıştır.

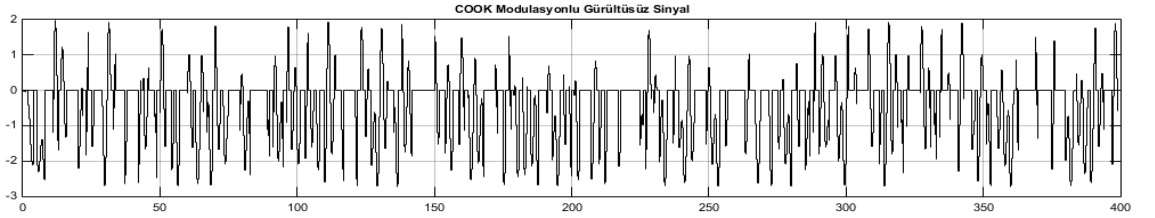
Şekil 6.21’de COOK modülasyonlu haberleşme sistemine ait benzetim sonuçları verilmektedir. Burada Şekil 6.21a’da kullanılan kaotik sinyal, Şekil 6.21b ve Şekil 6.21c’de COOK modülasyonlu gürültülü ve gürültüsüz sinyaller sunulmuştur. COOK modülasyonuna ait korelatör çıkışı Şekil 6.21d’de verilmiştir. Gönderilen ve elde edilen bilgi sinyalleri ise Şekil 6.21e ve Şekil 6.21f’de sunulmuştur. Ayrıca gönderilen bilgi sinyali ve elde edilen bilgi sinyali aynı şekil üzerinde çizdirilerek Şekil 6.21g’de verilmiştir.



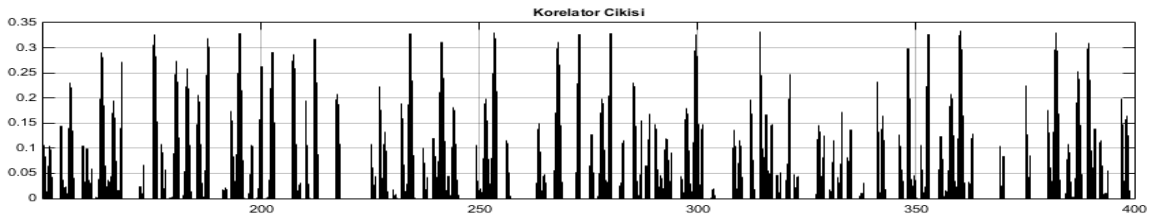
(a) Kaotik üreteç tarafından üretilen kaotik sinyal



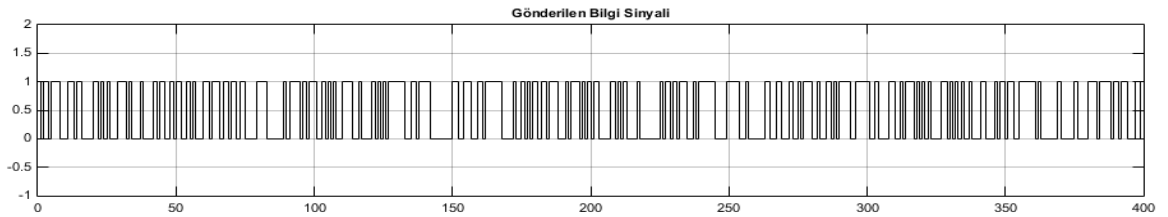
(b) COOK modülasyonlu gürültülü sinyal



(c) COOK modülasyonlu gürültüsüz sinyal



(d) COOK modülasyonuna ait korelatör çıkışı

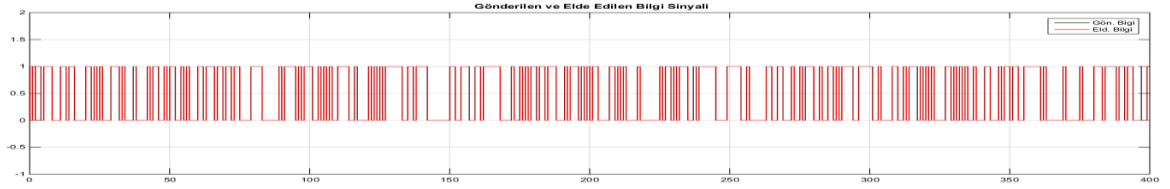


(e) Gönderilen bilgi sinyali

Şekil 6.21. COOK modülasyonlu haberleşme sistemine ait benzetim sonuçları (devamı)



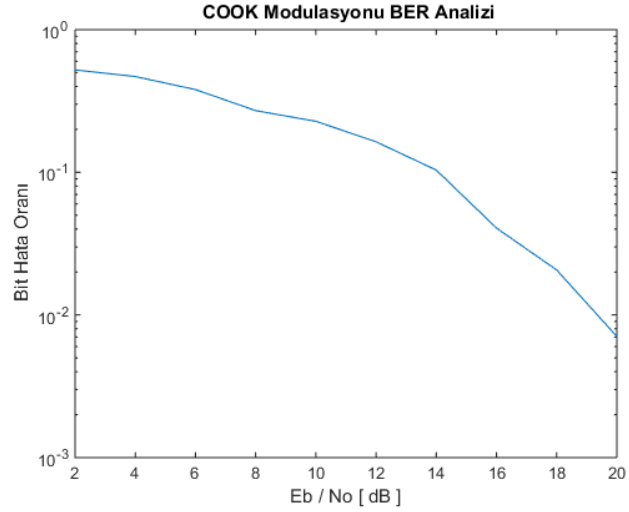
(f) Elde edilen bilgi sinyali



(g) Gönderilen Bilgi Sinyali ve Elde edilen bilgi sinyali

Şekil 6.21. COOK modülasyonlu haberleşme sistemine ait benzetim sonuçları

Kaos tabanlı sayısal haberleşme sistemlerinde bit hata performansını (BER) ölçebilmek için iletilen ortamın gürültüsü referans alınarak performans analizi gerçekleştirilmelidir. BER, hatalı bir bit alma olasılığını temsil etmektedir. Tasarlanan sistemin performansı 0 dB ile 20 dB arasındaki E_b/N_0 (Bit enerji seviyesinin gürültü güç spektral yoğunluğuna oranı) değerlerde AWGN kanal tipi için elde edilmiş olup BER performans grafiği Şekil 6.22’de sunulmuştur.



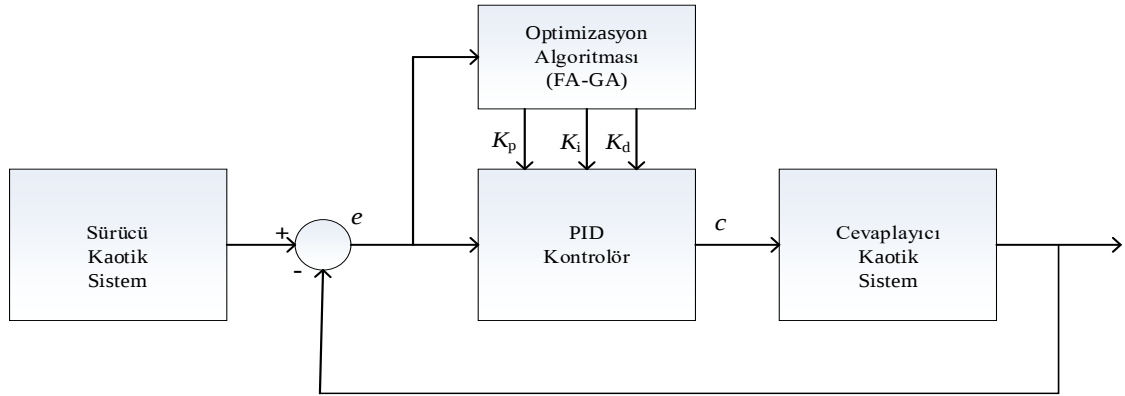
Şekil 6.22. COOK modülasyonu BER analizi

6.4. MTKD Model III Sisteminin FPGA Platformunda Haberleşme Sistemlerine Uygulanması

Bu çalışmada MTKD Model III sisteminin kaotik haberleşme sistemlerine uygulanması, kaotik haberleşme modülasyon teknikleri kullanılarak FPGA ortamında donanımsal olarak gerçekleştirilmektedir. Kaotik maskeleye modülasyonu için sistemin durum denklemleri ayrıklaştırılmış olup FPGA platformunda modellenmiştir. Diğer uygulamada ise MTKD Model III sistemine ait kaotik sinyaller COOK modülasyonu uygulaması için FPGA platformunda tasarlanmıştır. Tasarlanan sistemler FPGA platformunda Xilinx ISE Design Tools 14.5 benzetim programında modellenerek Xilinx Spartan-3E ailesi XC3S500E kartı kullanılarak sentezlenmiştir.

• MTKD Model III Sisteminin FPGA Platformunda Haberleşme Uygulaması I

Bu kısımda MTKD Model III sisteminin kaos tabanlı haberleşme sistemlerine uygulanması FPGA (Xilinx ISE) platformunda donanımsal olarak gerçekleştirilmektedir. Kaos tabanlı haberleşme sistemlerinde (kaotik maskeleye modülasyonu) sürücü-cevaplayıcı sistemin senkronizasyonu oldukça önemlidir. Bu çalışmada farklı başlangıç koşullarına sahip kaotik sistemlerin senkronizasyonunu sağlamak için önceki bölümde tasarlanan PID kontrolör tercih edilmiştir. PID kontrolör kazanç katsayıları FA kullanılarak ayırık zamanlı olarak elde edilmiştir. Senkronizasyonu gerçekleştirilen kaotik sistemin haberleşme blok diyagramı Şekil 6.23'de verilmiştir. Bu sisteme ait durum denklemleri ayrıklaştırılarak FPGA platformunda donanımsal olarak modellenmiştir.



Şekil 6.23. Tasarlanan sisteme ait haberleşme blok diyagramı

Ayrıklaştırılmış sürücü devresi:

$$x_{m1}[n+1] = T(ax_{m3}[n] - ax_{m1}[n]m_0 - ax_{m1}[n]m_1x_{m4}[n]^2) + x_{m1}[n]$$

$$x_{m2}[n+1] = T(b(dx_{m2}[n] - x_{m3}[n])) + x_{m2}[n] \quad (6.5)$$

$$x_{m3}[n+1] = T(-c(x_{m1}[n] - x_{m2}[n])) + x_{m3}[n]$$

$$x_{m4}[n+1] = T(nx_{m1}[n]) + x_{m4}[n]$$

Ayrıklaştırılmış cevaplayıcı devresi:

$$x_{s1}[n+1] = T(ax_{s3}[n] - ax_{s1}[n]m_0 - ax_{s1}[n]m_1x_{s4}[n]^2 + c[n]) + x_{s1}[n]$$

$$x_{s2}[n+1] = T(b(dx_{s2}[n] - x_{s3}[n])) + x_{s2}[n] \quad (6.6)$$

$$x_{s3}[n+1] = T(-c(x_{s1}[n] - x_{s2}[n])) + x_{s3}[n]$$

$$x_{s4}[n+1] = T(nx_{s1}[n]) + x_{s4}[n]$$

Hata:

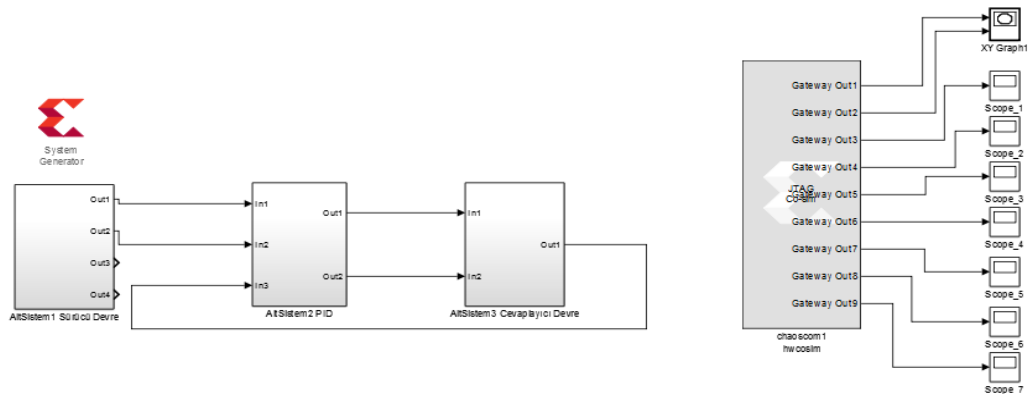
$$e_1 = x_{m1}[n] - x_{s1}[n]$$

$$e_2 = x_{m2}[n] - x_{s2}[n] \quad (6.7)$$

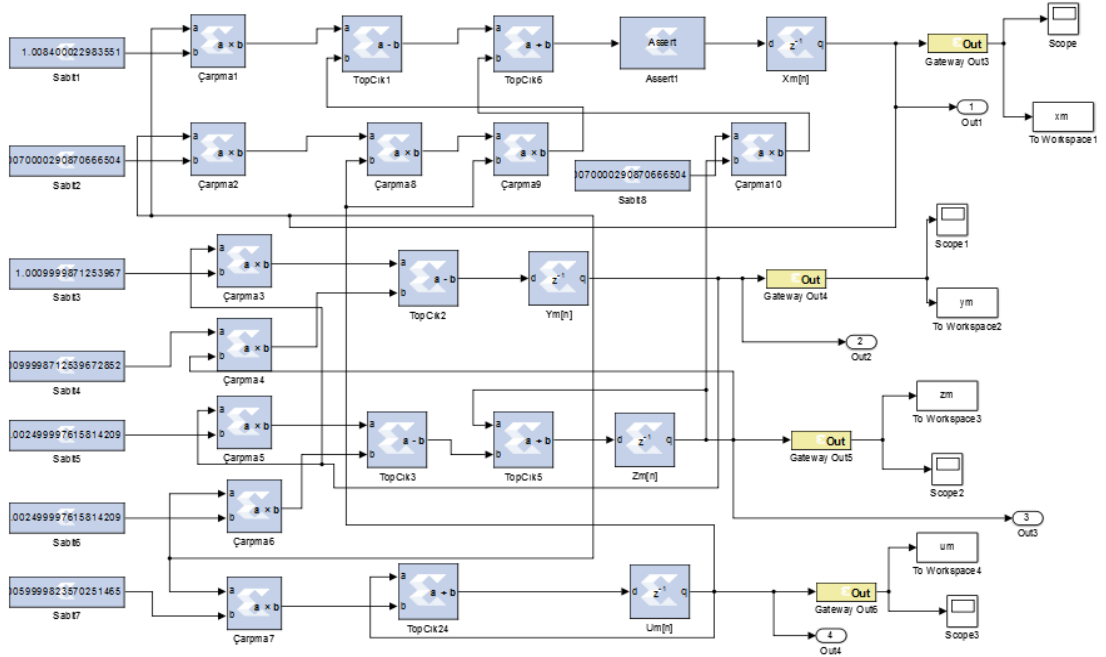
$$e_3 = x_{m3}[n] - x_{s3}[n]$$

$$e_4 = x_{m4}[n] - x_{s4}[n]$$

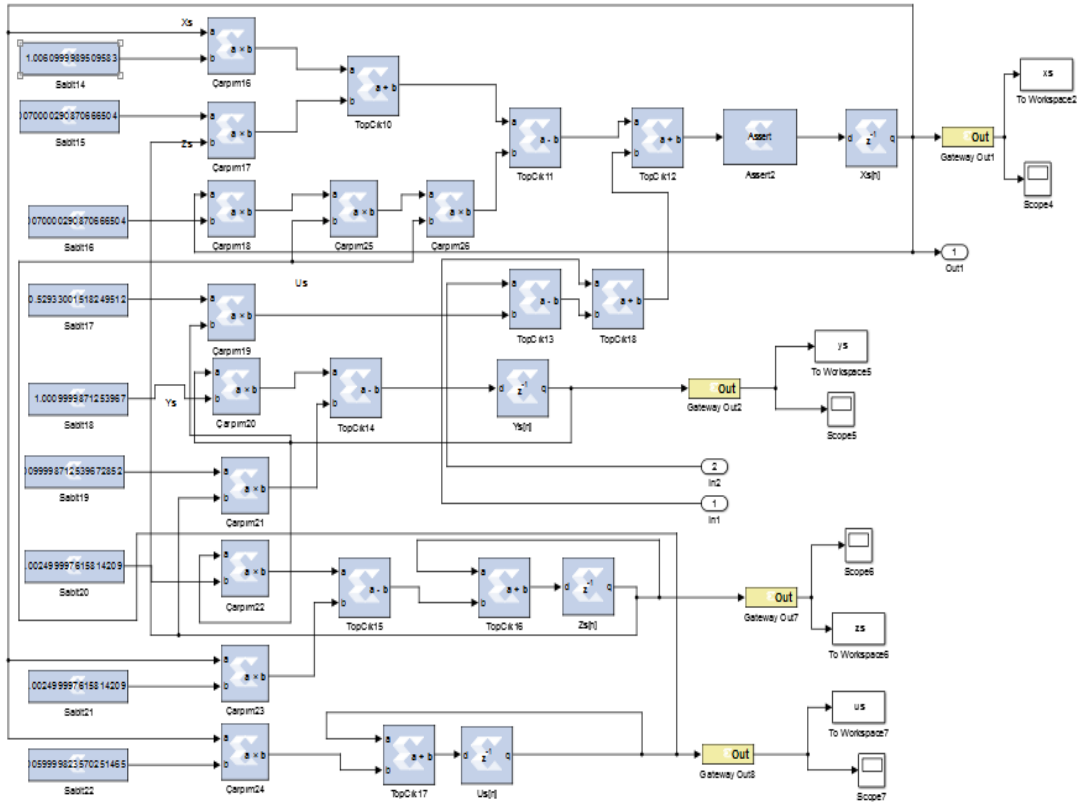
Sistem ait parametre değerleri $a=7$, $b=1$, $c=2.5$, $d=1$, $m_0=-1.2$, $m_1=1$ ve $n=-6$ olarak alınmıştır. Başlangıç koşulları $x_m=[0.1 \ 0 \ 0 \ 0]$ ve $x_s=[0 \ 0 \ 0 \ 0]$ olarak belirlenmiştir. PID kontrol parametreleri $[K_p \ K_i \ K_d] = [7.79 \ 416.21 \ 529.33]$ olarak ayrıklaştırılmış denklemler için elde edilmiştir. FPGA platformunda tasarlanan haberleşme sistemin blok şeması Şekil 6.24’de verilmiştir. XSG’de blok diyagramlar yardımıyla modellenen sürücü, cevaplayıcı sistem ve PID kontrolör blok şemaları Şekil 6.25, Şekil 6.26 ve Şekil 6.27’de sırasıyla gösterilmektedir.



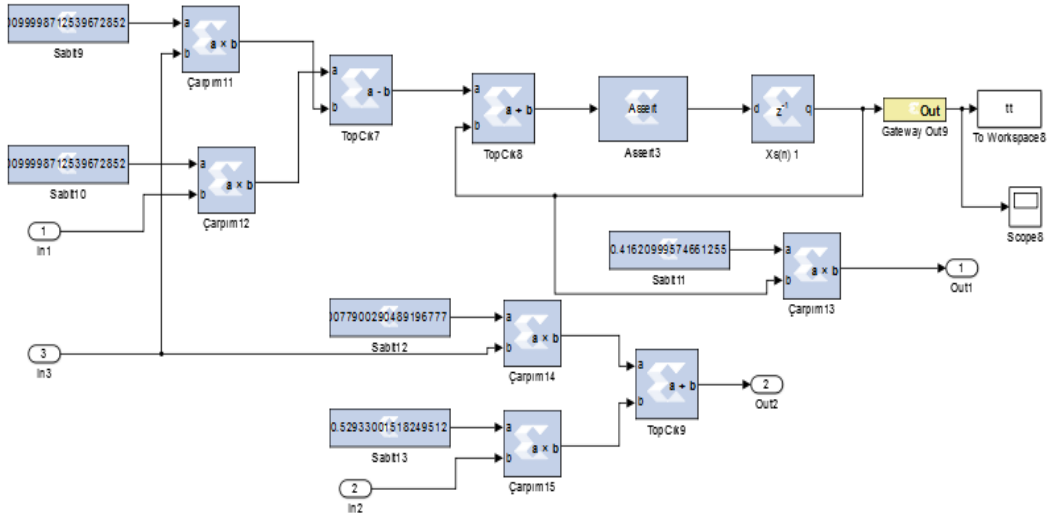
Şekil 6.24. FPGA ortamında tasarlanan haberleşme sisteminin blok şeması



Şekil 6.25. Memristör tabanlı hiperkaotik sistemi sürücü devre alt sistemi blok şeması

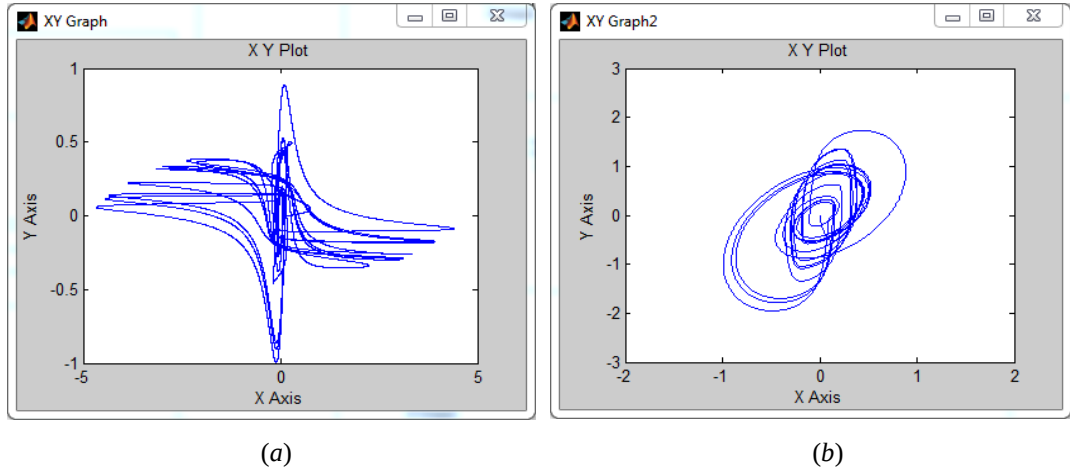


Şekil 6.26. Memristör tabanlı hiperkaotik cevaplayıcı devre alt sistemi blok şeması

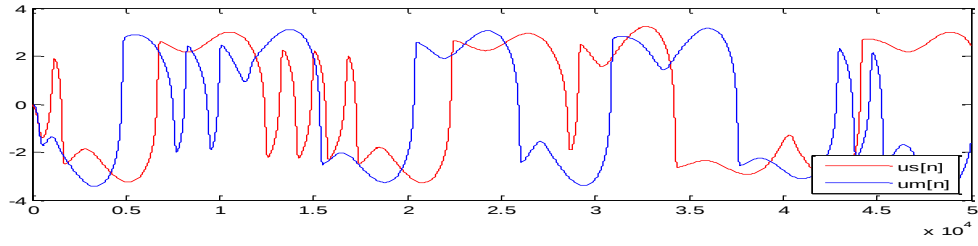


Şekil 6.27. PID kontrolör alt sistemi blok şeması

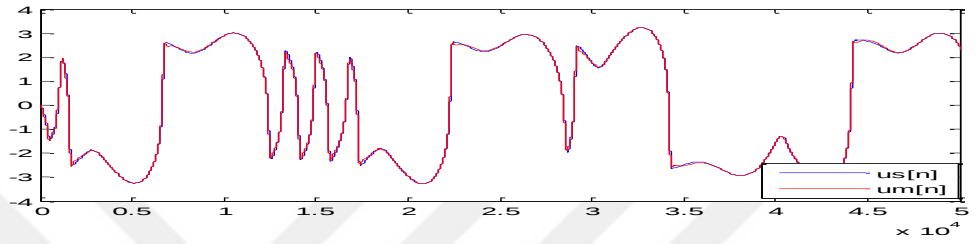
Memristör tabanlı hiperkaotik sisteme ait faz portreleri FPGA platformunda elde edilerek Şekil 6.28’de sunulmaktadır. PID kontrolörü kullanılmadan elde edilen sürücü ve cevaplayıcı sistem kaotik sinyalleri $u_m[n]$ ve $u_s[n]$ Şekil 6.29’da, PID kontrolör yardımıyla senkronize edilen kaotik sinyaller ise Şekil 6.30’da gösterilmektedir. Şekil 6.30 incelendiğinde PID kontrolör yardımıyla senkronize edilen sürücü ve cevaplayıcı sistemler arasındaki fark (hata), kısa sürede sıfıra eşitlenmektedir.



Şekil 6.28. FPGA’da memristör tabanlı hiperkaotik devre (a) x-y (b) y-z faz portreleri

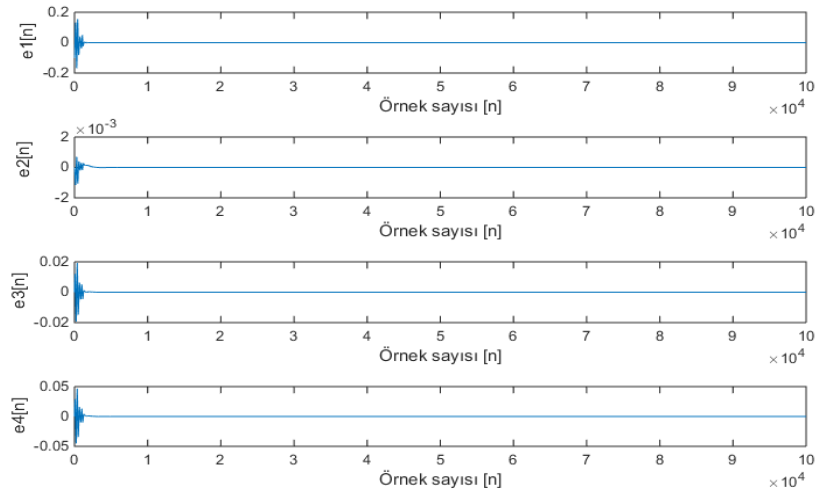


Şekil 6.29. PID kontrolör kullanılmadan sürücü ve cevaplayıcı devre kaotik sinyalleri ($um[n]$, $us[n]$ -Örnek sayısı (n))



Şekil 6.30. PID kontrolör ile senkronize edilmiş sürücü ve cevaplayıcı devre kaotik sinyalleri ($um[n]$, $us[n]$ -Örnek sayısı (n))

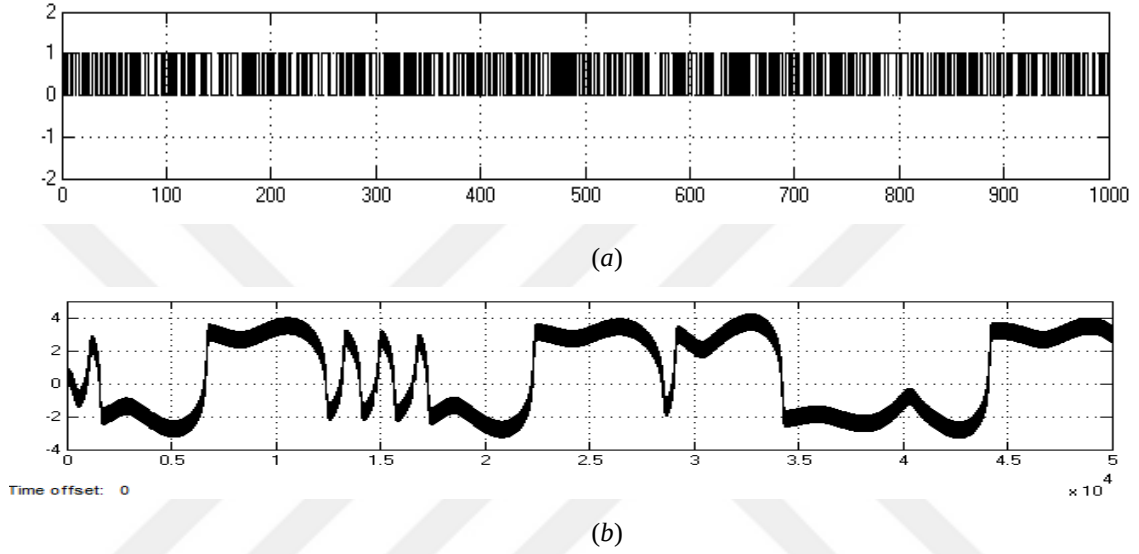
Senkronize sürücü ve cevaplayıcı sistemlerin hata dalga biçimleri Şekil 6.31’de gösterilmektedir. Senkronizasyon sistemi durum hataları (e_1 , e_2 , e_3 , e_4) incelendiğinde, senkronize olan hiperkaotik sistemine ait sürücü-cevaplayıcı sistemin senkronizasyon süresinin çok kısa olduğu ve hata aşma miktarının çok düşük seviyelerde kaldığı görülmektedir.



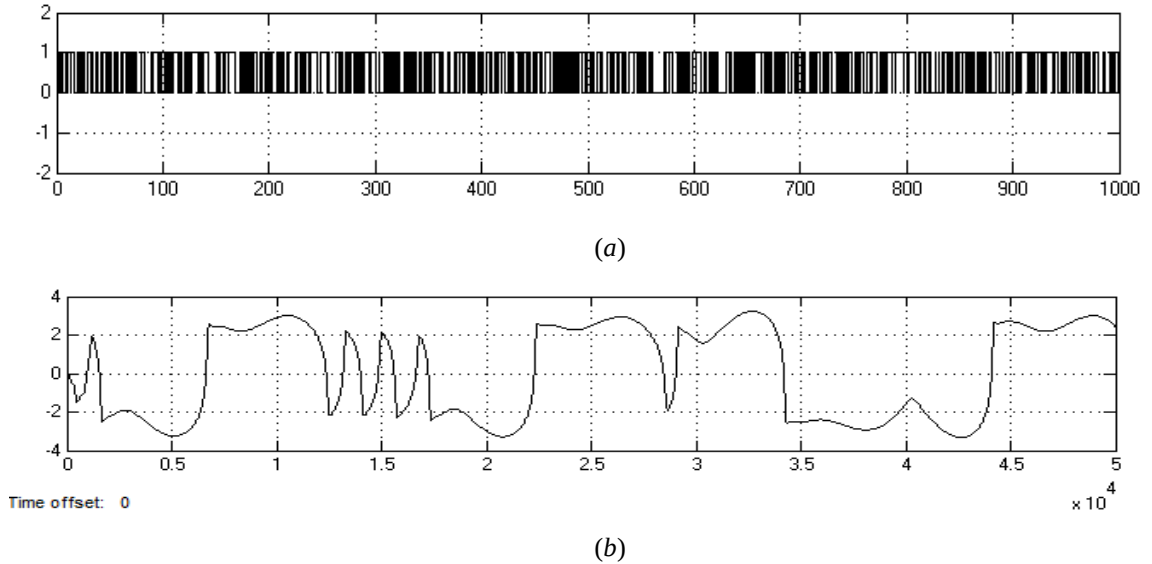
Şekil 6.31. Senkronize sürücü ve cevaplayıcı sistem arasındaki hata dalga formları

Kaotik maskeleye modülasyonunda taşıyıcı kaotik sinyal $u_m[n]$ olarak verilmektedir. Bu taşıyıcı sinyale eklenen bilgi sinyali $i[n]$, haberleşme sisteminde $s[n]$ sinyali olarak iletilmektedir. Şekil 6.32 (a ve b)’de sırasıyla bilgi sinyali ve iletilen sinyal gösterilmektedir.

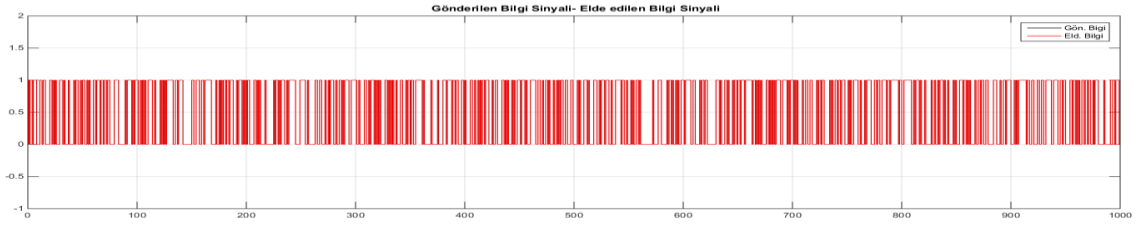
Cevaplayıcı sisteme iletilen $s[n]$ sinyali, cevaplayıcı sistemde üretilen kaotik sinyalden çıkarılarak, analog bilgi sinyali elde edilir. Bu kısımda iletilen bilgi sinyalinin haberleşmesi gerçekleştirilmektedir. Haberleşme sisteminde kullanılan hiperkaotik sinyal $u_s[n]$ ve sürücü sistemde geri kazanılmış bilgi sinyali $i[n]$ Şekil 6.33 (a ve b)'de gösterilmektedir. Ayrıca gönderilen bilgi sinyali ve elde edilen bilgi sinyali aynı şekil üzerinde çizdirilerek Şekil 6.32c'de gösterilmiştir. FPGA platformunda haberleşmesi gerçekleştirilen sistemin tasarımda kullanılan aritmetik işlem bloklarının sayısı ve donanım üzerindeki kaynak kullanımı Tablo 6.1'de sunulmaktadır.



Şekil 6.32. (a) Bilgi sinyali $i[n]$ (b) İletilen sinyal $s[n]$



Şekil 6.33. (a) Elde edilen sinyal $i[n]$ (b) Hiperkaotik sinyal $u_s[n]$ (c) Gönderilen bilgi sinyali ve elde edilen bilgi sinyali (devamı)



(c)

Şekil 6.33. (a) Elde edilen sinyal $i[n]$ (b) Hiperkaotik sinyal $u_s[n]$ (c) Gönderilen bilgi sinyali ve elde edilen bilgi sinyali

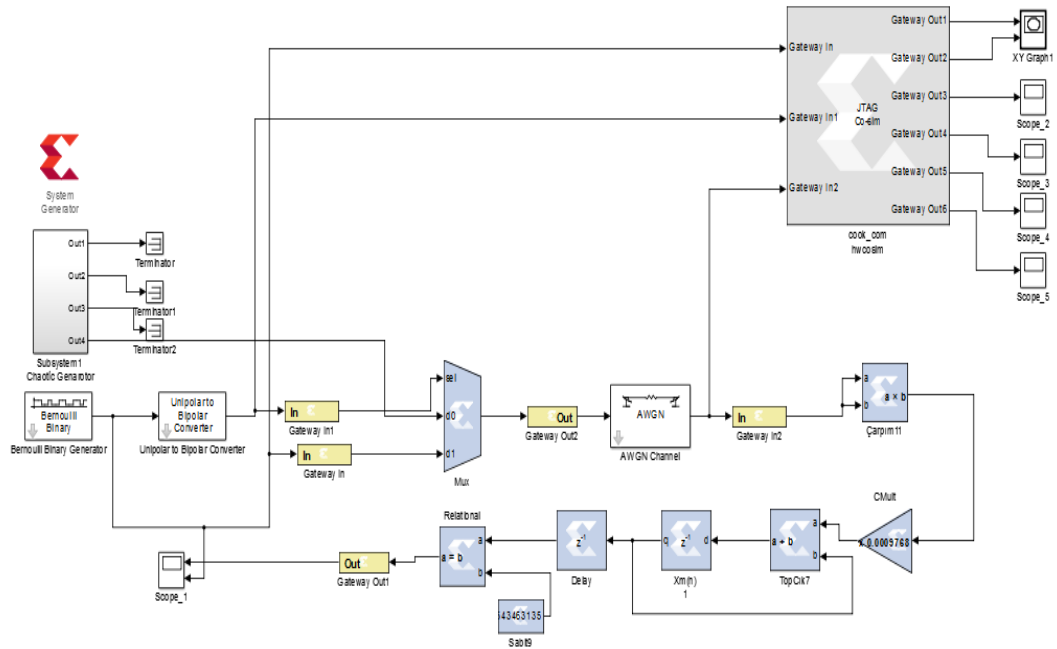
Tablo 6.1. MTKD Model III sistemi için kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı

Kaynak	Kullanım Sayısı
Lojik Dilim	343
Doğruluk Tablosu	640
Flip-Flop	287
Giriş çıkış IOBs	289
DSP4831s	68
BUFG/BUFGCTRL/BUFHCEs	1
Çarpma İşlemi Bloğu	26
Karşılaştırıcı	15
Toplama Çıkarma İşlemi Bloğu	7

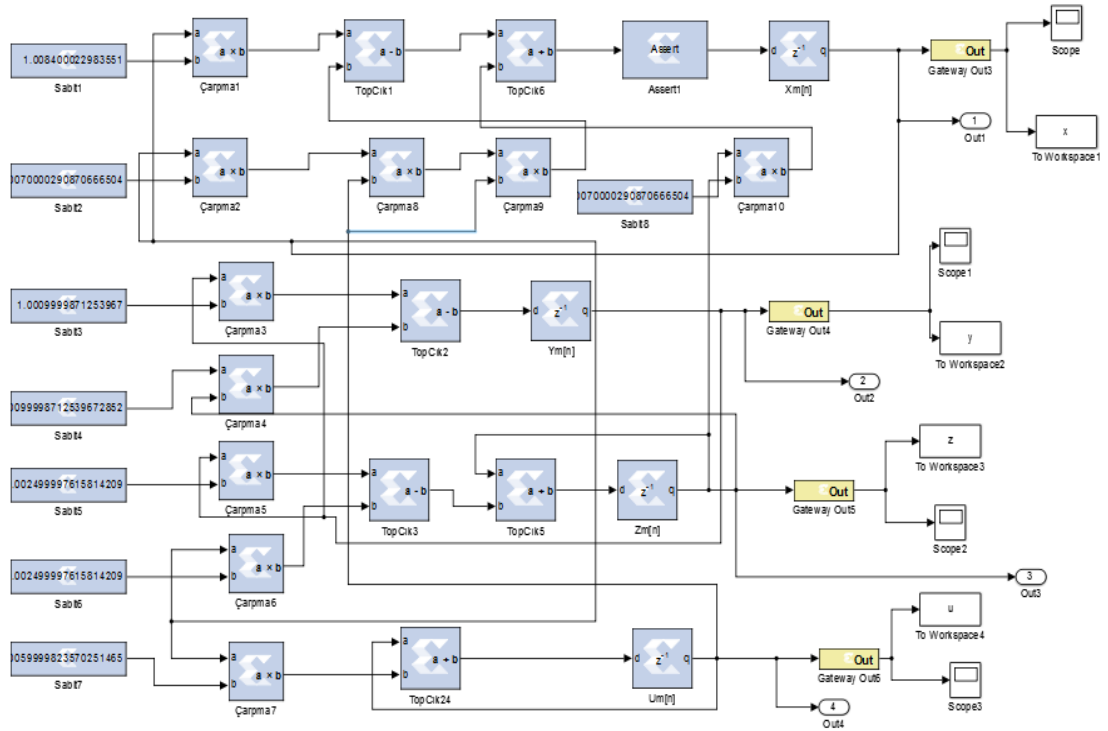
• MTKD Model III Sisteminin FPGA Platformunda Haberleşme Uygulaması II

Bu kısımda ise memristör tabanlı hiperkaotik sistemin kaotik sayısal haberleşme uygulaması FPGA XSG platformunda donanımsal olarak gerçekleştirilmektedir. Kaos tabanlı analog haberleşme sistemleri gürültüsüz ortamlarda iyi performans sağlar, ancak pratikte gürültüden oldukça etkilenmektedir. Fakat kaos tabanlı sayısal haberleşme sistemleri analog haberleşme sistemlerine göre gürültüden daha az etkilenmektedir. Bu bölümde memristör tabanlı hiperkaotik sistemine kaos tabanlı modülasyon tekniklerinden biri olan COOK modülasyonu uygulanmaktadır.

Önceki bölümde, MATLAB ortamında tasarlanan COOK modeli, FPGA ortamında gerçekleştirilebilmesi için ISE XSG platformunda yeniden modellenmektedir. Şekil 6.34 ve Şekil 6.35’de sırasıyla COOK modülasyon modelini ve FPGA ortamında modellenen MTKD Model III sistemine ait alt sistemi (subsystem) göstermektedir. Bölüm 4’de verilen MTKD Model III sistemi durum denklemleri XSG’de gerekli bloklar kullanılarak tasarlanmıştır.



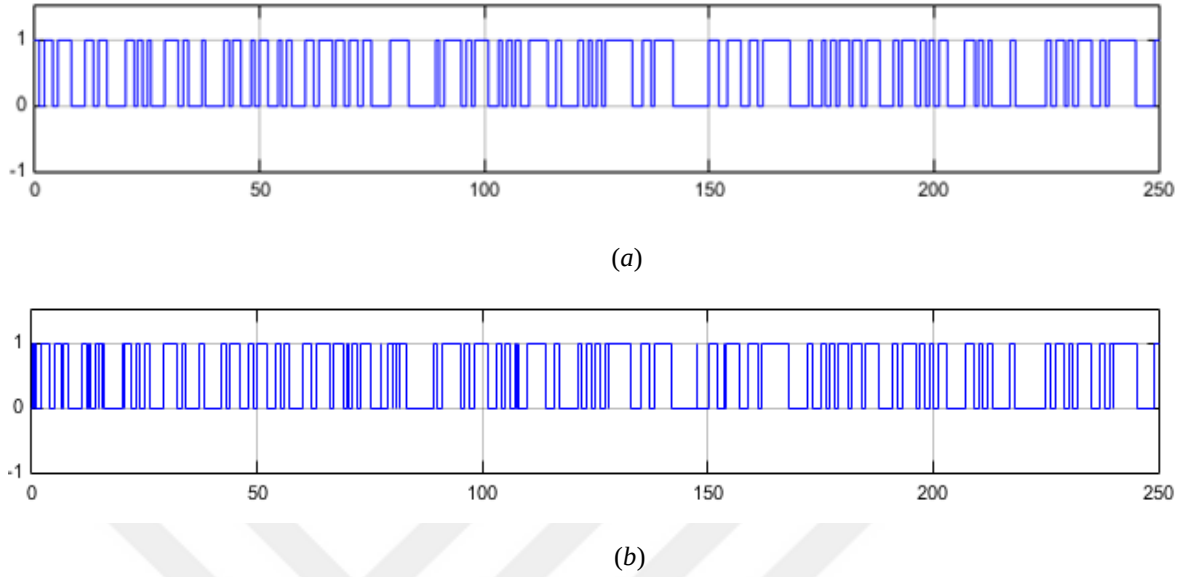
Şekil 6.34. FPGA üzerinde COOK modülasyonunun blok şeması



Şekil 6.35. FPGA platformunda tasarlanan MTKD Model III blok şeması

Şekil 6.36 (a ve b)'de, COOK modülasyonunda kullanılan bilgi sinyalinin ve modülasyon sonunda elde edilen bilgi sinyalinin göstermektedir. FPGA'da modellenen sisteme ait tasarımda

kullanılan aritmetik işlem bloklarının sayısı ve donanım üzerindeki kaynak kullanımı Tablo 6.2’de verilmiştir.



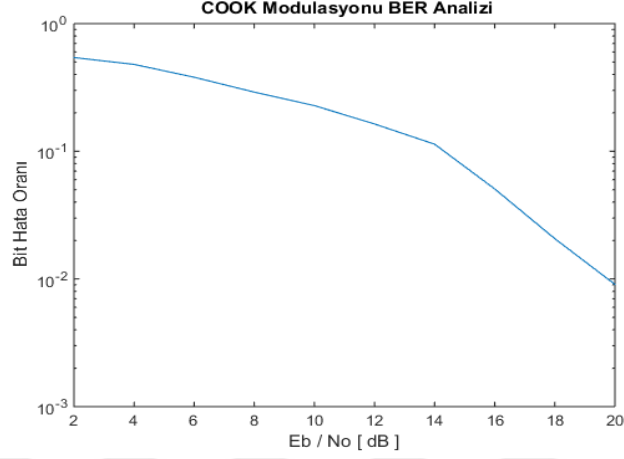
Şekil 6.36. (a) Bilgi sinyali (a) COOK modülasyonundan elde edilen geri kazanılmış sinyal

Tablo 6.2 MTKD Model III sistemi için kullanılan aritmetik işlem, XSG blokları ve donanım üzerindeki kaynak kullanımı

Kaynak	Kullanım Sayısı
Lojik Dilim	214
Doğruluk Tablosu	294
Flip-Flop	175
Giriş çıkış IOBs	227
DSP4831s	34
BUFG/BUFGCTRL/BUFHCEs	1
Çarpma İşlemi Bloğu	11
Karşılaştırıcı	1
Çoğullayıcı	1
Toplama Çıkarma İşlemi Bloğu	1

FPGA ortamında donanımsal olarak gerçeklemesi yapılan hiperkaotik sistemine ait BER performans grafiği (0 dB ve 20 dB arasında E_b/N_0 değerleri için) MATLAB&Simulink ortamında çizdirilerek Şekil 6.37’de sunulmaktadır. Haberleşme sisteminde 4000 bit iletimi gerçekleştirilmiş olup bit süresi 0.1 saniye olarak ayarlanmıştır. Tasarlanan sistemde gecikme bloklarının gecikme süresi ise 0.5 saniye olarak belirlenmiştir. Şekil 6.37’de görüldüğü gibi iletilen bitler AWGN kanalının gürültüsüne bağlı olarak değişmektedir. Ayrıca COOK modülasyonun gürültü

performansı alıcı sistem karar devresindeki eşik seviyesinde önemli ölçüde bağlıdır. Bu çalışmayla FPGA’da donanımsal olarak gerçekleştirilen sistemler için FPGA’nın sayısal yapısı sayesinde, kaos tabanlı sayısal haberleşme sistemlerinde kullanılabileceği ön görülmektedir.



Şekil 6.37. COOK modülasyonu BER grafiği

6.5. MTKD Model IV ve V Sistemlerinin Haberleşme Sistemlerine Uygulanması ve Gürültü Performans Analizi

Bu kısımda MTKD Model IV ve V sistemleri MATLAB platformunda tasarlanan AM-DCSK ve FM-DCSK simülatörleri kullanılarak kaos tabanlı sayısal haberleşme sistemlerine uygulanmaktadır. Ayrıca, bu simülatörler aracılığıyla haberleşme uygulaması gerçekleştirilen sistemlerin gürültü performans analizi, sistemlere ait BER grafikleri elde edilerek sunulmaktadır.

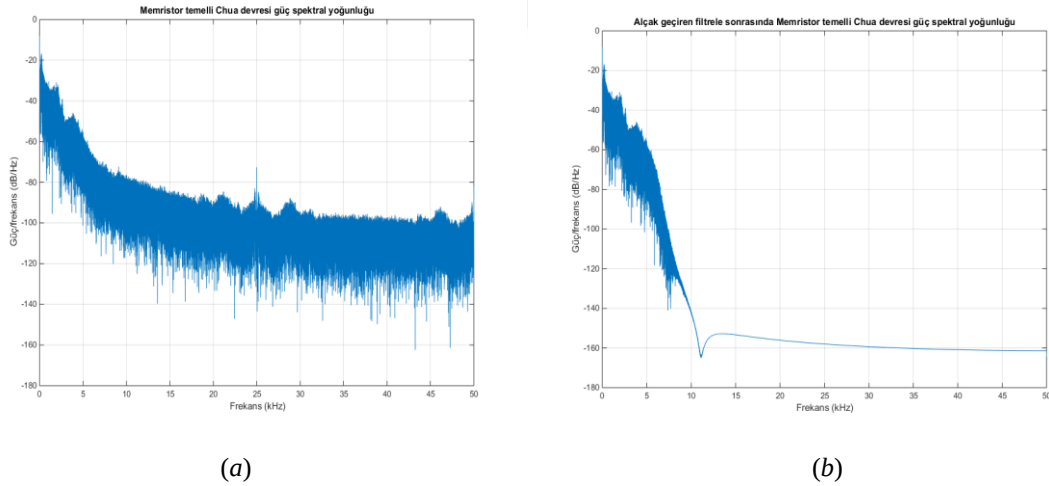
6.5.1. AM-DCSK Simülatörü

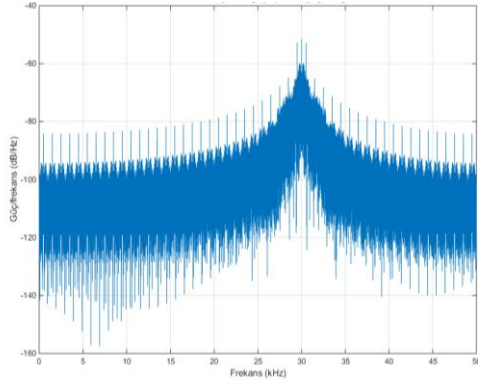
MTKD Model IV sisteminden elde edilen sinyallerin haberleşme uygulaması MATLAB platformunda AM-DCSK simülatörleri kullanılarak gerçekleştirilmektedir. Kullanılan haberleşme sistemine ait parametre detayları Tablo 6.3’de verilmektedir. Tabloda görülen ihmal edilen bitler kaotik sinyallerin başında ve sonunda meydana gelebilecek bozulmalardan haberleşme sisteminin etkilenmesini önlemek amacıyla sisteme gönderilmektedir. Güç Spektral Yoğunluğu (Power Spectral Density), sinyalin güç içeriğine karşı frekansın ölçüsüdür. Bir PSD tipik olarak geniş bantlı rastgele sinyalleri karakterize etmek için kullanılmaktadır. PSD’yi elde etmek için MATLAB uygulamasında pwelch analizi gerçekleştirilmiştir. Şekil 6.38a’da MTKD Model IV sistemi için pwelch analizi gösterilmektedir. Şekil 6.38b’de, AM-DCSK simülatörüne uygulanan sinyalin alçak geçişli filtreden sonraki şeklini göstermektedir.

Tablo 6.3. MTKD Model IV sistemi için AM-DCSK modülasyonu parametre detayları

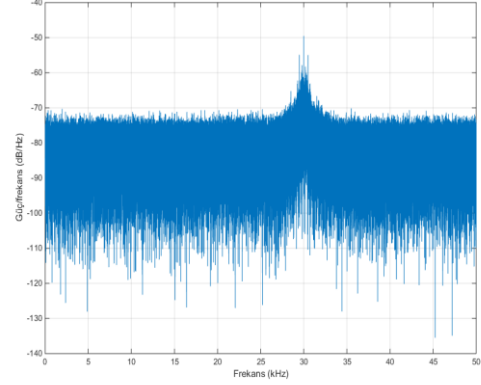
Parametre	Değeri
Örnekleme frekansı	$f_0 = 100 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 30 \text{ kHz}$
Bant genişliği	$2BW = 12 \text{ kHz}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	2000
İhmal edilen bit sayısı	20

Alçak geçişli kaotik sinyalin bant geçişli RF sinyal eşdeğerinin elde edilmesi Bölüm 5’de açıklanmıştır. Bu simülatör için önceden bahsettiğimiz RF eşdeğer modeli simülatörde tasarlanan program ile elde edilmiştir. Haberleşme modülasyonu gerçekleştirilen sinyalin RF spektrumu Şekil 6.39a’da gösterilmiştir. Bu kaotik sinyale eklenen gürültü sinyalinin ardından elde ettiğimiz gürültülü sinyalin spektrumu Şekil 6.39b’de sunulmuştur. Simülatörlerde, alınan sinyalin AWGN tarafından bozulmuş olduğunu varsayıyoruz. Gerçek bir haberleşme sisteminde gürültü farklıdır ancak AWGN, hesaplamaları kolaylaştırması gibi avantajlarından dolayı haberleşme sistemlerinde yaygın olarak kullanılmaktadır. Bu sinyalin kanal filtresinden geçtikten sonra elde edilen filtrelenmiş kaotik sinyal spektrumu Şekil 6.40’da gösterilmiştir.

**Şekil 6.38.** (a) MTKD Model IV devresine ait güç spektrum yoğunluğu (b) Alçak geçiren filtreden sonra MTKD Model IV devresine ait güç spektrum yoğunluğu

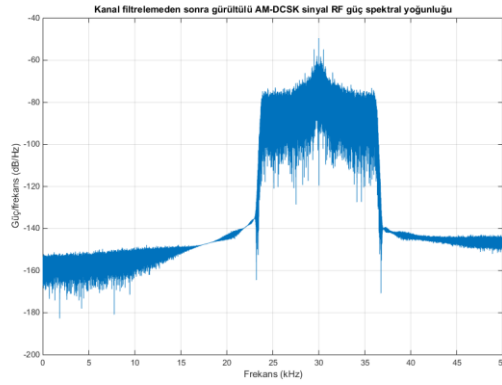


(a)



(b)

Şekil 6.39. (a) AM-DCSK sinyalinin RF spektrumu (b) Gürültülü AM-DCSK sinyalinin RF spektrumu

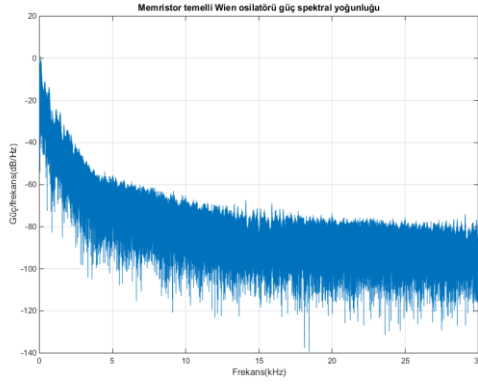


Şekil 6.40. Kanal filtrelemeden sonra gürültülü AM-DCSK sinyalinin RF spektrumu

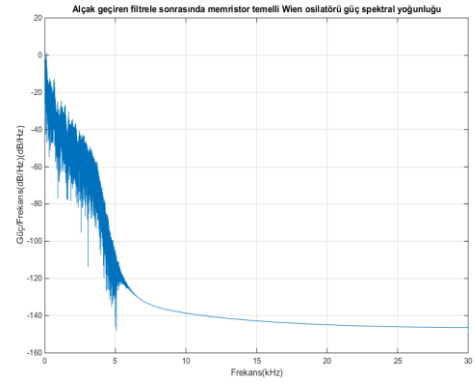
Kullanılan AM-DCSK simülatörü için MTKD Model V sistemi yukarıda gösterilen Model IV sistemi ile aynı şekilde AM-DCSK modülasyonuna uygulanmaktadır. Kullanılan haberleşme sistemine ait parametre detayları Tablo 6.4’de verilmiştir. Kullanılan haberleşme sistemine ait sonuçlar ise sırasıyla Şekil 6.41, Şekil 6.42 ve Şekil 6.43’de sunulmaktadır.

Tablo 6.4. MTKD Model V sistemi için AM-DCSK modülasyonu parametre detayları

Parametre	Değeri
Örnekleme frekansı	$f_0 = 60 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 20 \text{ kHz}$
Bant genişliği	$BW = 7 \text{ kHz}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	2000
İhmal edilen bit sayısı	20

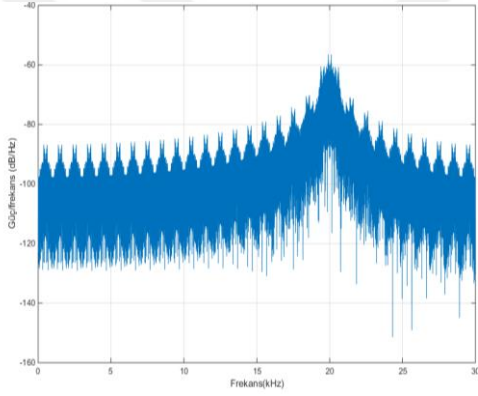


(a)

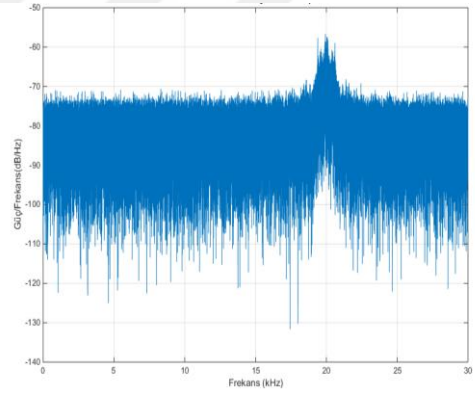


(b)

Şekil 6.41. (a) MTKD Model V devresine ait güç spektrum yoğunluğu (b) Alçak geçiren filtreden sonra MTKD Model V devresine ait güç spektrum yoğunluğu

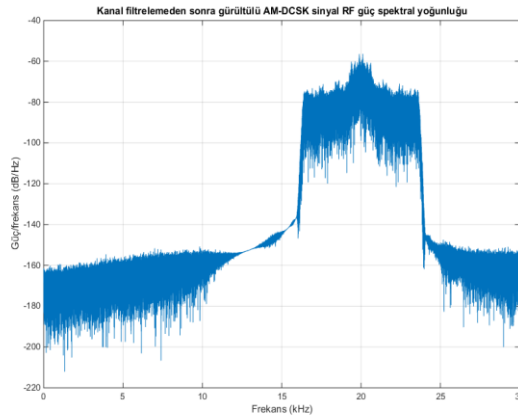


(a)



(b)

Şekil 6.42. (a) AM-DCSK sinyalinin RF spektrumu (b) Gürültülü AM-DCSK sinyalinin RF spektrumu



Şekil 6.43. Kanal filtrelemeden sonra gürültülü AM-DCSK sinyalinin RF spektrumu

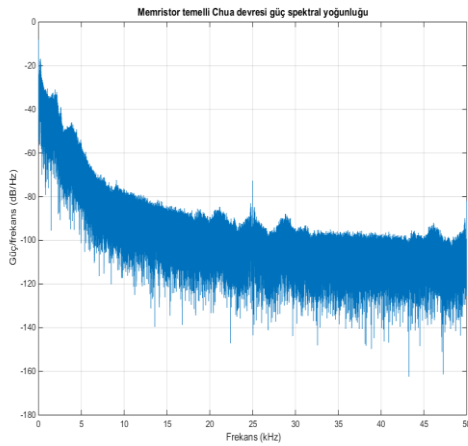
6.5.2. FM-DCSK Simülatörü

FM-DCSK haberleşme sistemi, yayılı spektrumlu haberleşme uygulamaları için bilgi taşıyıcısı olarak kaotik sinyalleri kullanan bir sistemdir [84]. Bu modülasyon, iletilen sinyalin gücünün ve sonuç olarak bit başına enerjinin ikincil bir FM modülasyonunun eklenmesiyle sabit tutulduğu bir DCSK modelidir. Kullanılan bu simülatör ile tasarladığımız MTKD Model IV ve V kaotik devrelerinden elde ettiğimiz kaotik sinyallerin kaotik haberleşme sistemlerine uygulanması FM-DCSK modülasyonu kullanılarak gerçekleştirilmektedir. Bu kısımda ilk olarak MTKD Model IV sistemi için sonrasında ise MTKD Model V sisteminin kaotik haberleşme uygulaması gerçekleştirilecektir. Model IV sistemi kullanılan haberleşme sistemine ait parametre detayları Tablo 6.5’de verilmiştir.

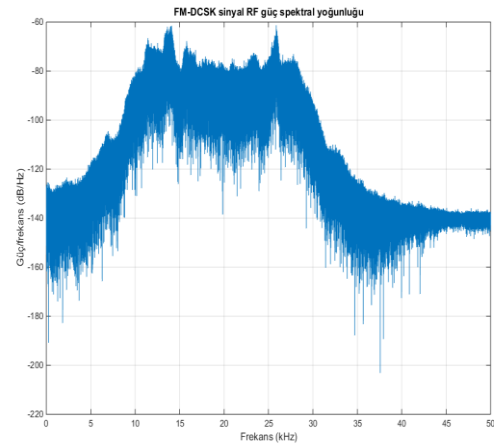
Tablo 6.5. MTKD Model IV sistemi için FM-DCSK modülasyonu parametre detayları

Parametre	Değeri
Örnekleme frekansı	$f_0 = 100 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 30 \text{ kHz}$
Bant genişliği	$BW = 12 \text{ kHz}$
FM Kazancı	$K_f = 3 \text{ kHz/V}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	3000
İhmal edilen bit sayısı	30

Şekil 6.44a’da MTKD Model IV sisteminin PSD grafiği gösterilmektedir. RF gürültüsünün bant geçişli modeli bu aşamadan sonra üretilmektedir.



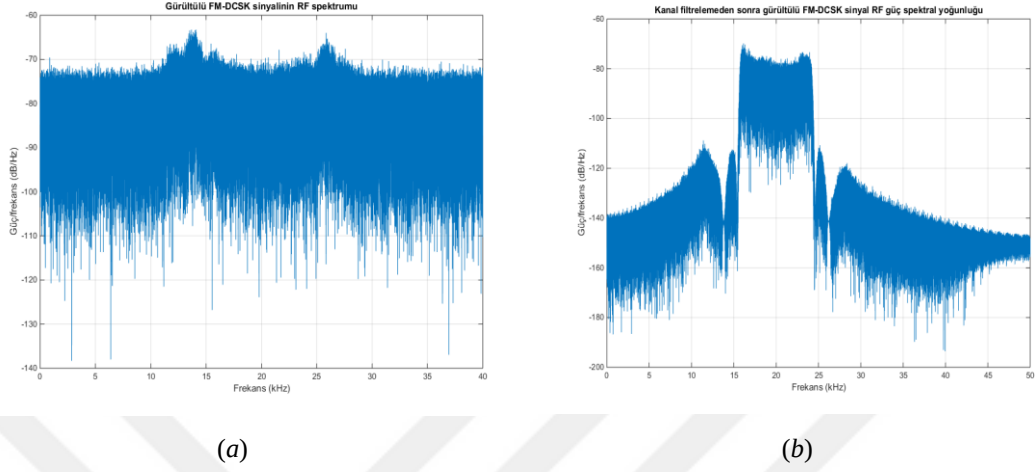
(a)



(b)

Şekil 6.44. (a) MTKD Model IV devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu

Kaotik sinyale eklenen gürültü sinyalinin ardından elde ettiğimiz gürültülü sinyalin spektrumu Şekil 6.45a’da gösterilmektedir. Bu sinyale uygulanan kanal filtresi ile filtrelenen kaotik sinyalin spektrumu ise Şekil 6.45b’de gösterilmiştir.

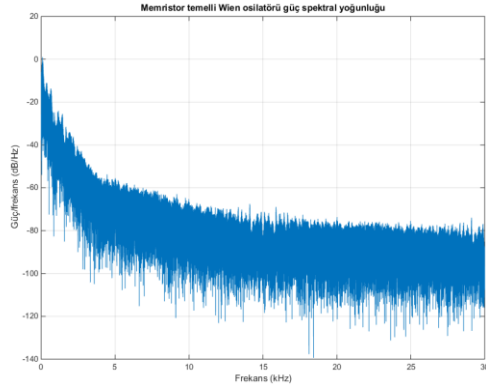


Şekil 6.45. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu

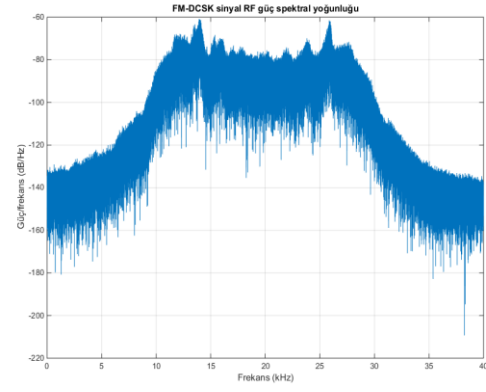
Kullanılan FM-DCSK simülatörü için Bölüm 3’de tasarladığımız MTKD Model V sistemi yukarıda gösterilen MTKD Model IV sistemi ile aynı şekilde analiz edilmektedir. Kullanılan haberleşme sistemine ait parametre detayları Tablo 6.6’da verilmiştir. Bu sisteme ait sonuçlar sırasıyla Şekil 6.46 ve Şekil 6.47’de sunulmaktadır.

Tablo 6.6. MTKD Model V sistemi için FM-DCSK modülasyonu parametre detayları

Parametre	Değeri
Örnekleme frekansı	$f_0 = 80 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 20 \text{ kHz}$
Bant genişliği	$BW = 7 \text{ kHz}$
FM Kazancı	$K_f = 4 \text{ kHz/V}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	3000
İhmal edilen bit sayısı	30

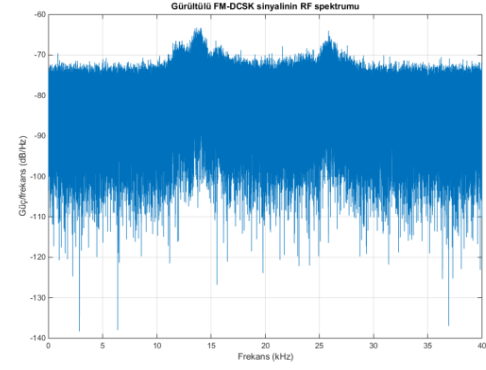


(a)

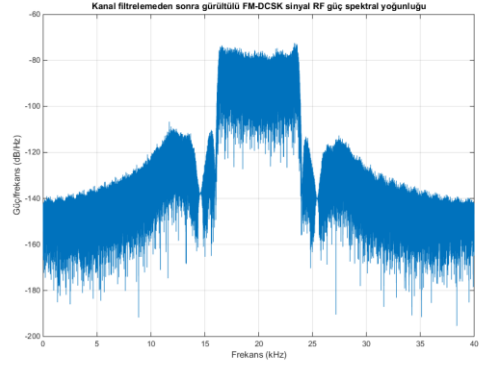


(b)

Şekil 6.46. (a) MTKD Model V devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu



(a)



(b)

Şekil 6.47. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu

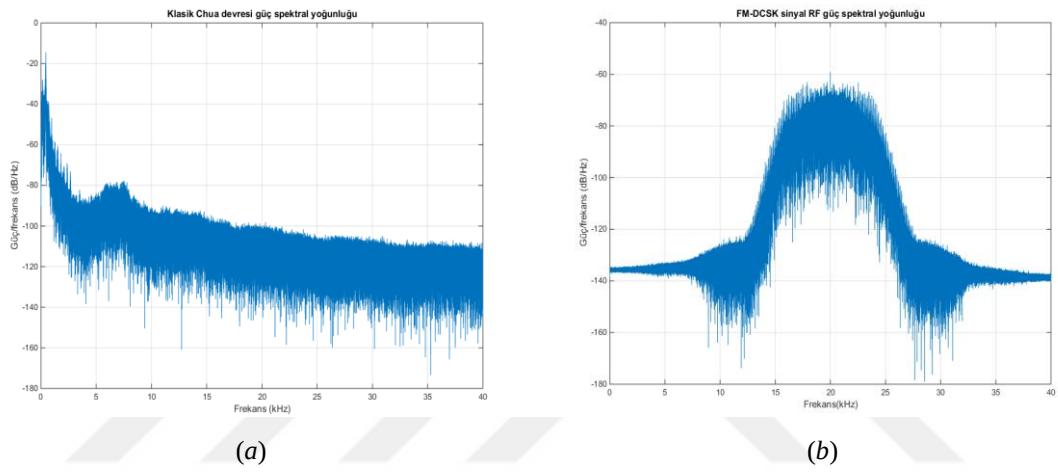
Bu analizlerden sonra kaotik haberleşme sisteminde kullanılan FM-DCSK simülatörüne Chua devresi ve Chua devresi tabanlı Wien osilatörüne ait kaotik sinyaller verilerek bu devreler için de analizler gerçekleştirilmektedir. Kısaca özetlersek Chua devresi, memristör tabanlı Chua devresi, Chua devresi tabanlı Wien osilatörü ve memristör tabanlı Wien osilatörü olmak üzere tasarlanan dört kaotik/hiperkaotik devrenin FM-DCSK için modülasyonu gerçekleştirilmektedir.

Chua devresi

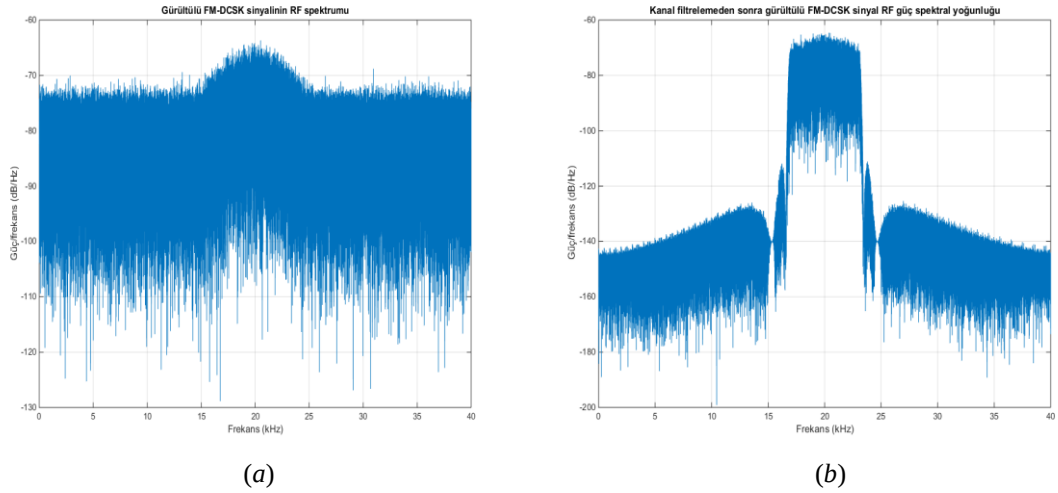
FM-DCSK simülatörüne Chua devresinden elde edilen kaotik sinyaller uygulanarak haberleşme uygulaması gerçekleştirilmektedir. Kullanılan haberleşme sistemine ait parametre detayları Tablo 6.7’de verilmiştir. Bu devreye ait elde edilen sonuçlar sırasıyla Şekil 6.48 ve Şekil 6.49’da sunulmaktadır.

Tablo 6.7. Chua devresi için FM-DCSK modülasyonu parametre detayları

Parametre	Değeri
Örnekleme frekansı	$f_0 = 80 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 20 \text{ kHz}$
Bant genişliği	$BW = 6 \text{ kHz}$
FM Kazancı	$K_f = 3 \text{ kHz/V}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	3000
İhmal edilen bit sayısı	30



Şekil 6.48. (a) Chua devresi devresine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu



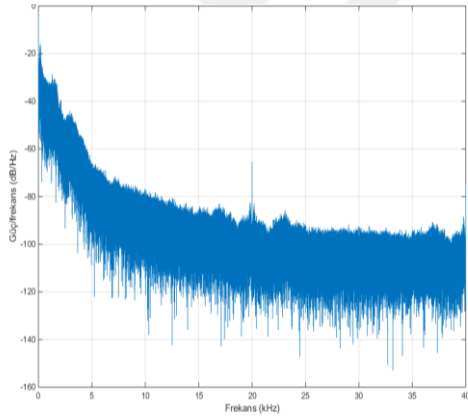
Şekil 6.49. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeden sonra gürültülü FM-DCSK sinyalinin RF spektrumu

Chua devresi tabanlı Wien osilatörü

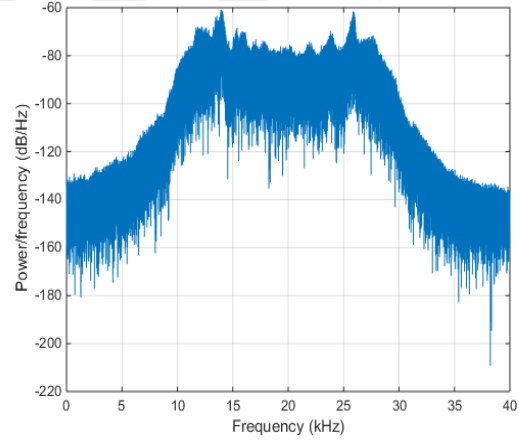
Bu kısımda FM-DCSK simülatörüne Wien osilatöründen elde edilen kaotik sinyaller uygulanarak haberleşme uygulaması gerçekleştirilmektedir. Kullanılan haberleşme sistemine ait parametre detayları Tablo 6.8’de verilmiştir. Bu devreye ait elde edilen sonuçlar sırasıyla Şekil 6.50 ve Şekil 6.51’de sunulmaktadır.

Tablo 6.8. Chua devresi Wien osilatörü için FM-DCSK modülasyonu parametre detayları

Parametre	Değeri
Örnekleme frekansı	$f_0 = 80 \text{ kHz}$
Taşıyıcı frekansı	$f_c = 20 \text{ kHz}$
Bant genişliği	$BW = 5 \text{ kHz}$
FM Kazancı	$K_f = 4 \text{ kHz/V}$
Bit süresi	$T_b = 2 \text{ ms}$
Gönderilen bit sayısı	3000
İhmal edilen bit sayısı	30

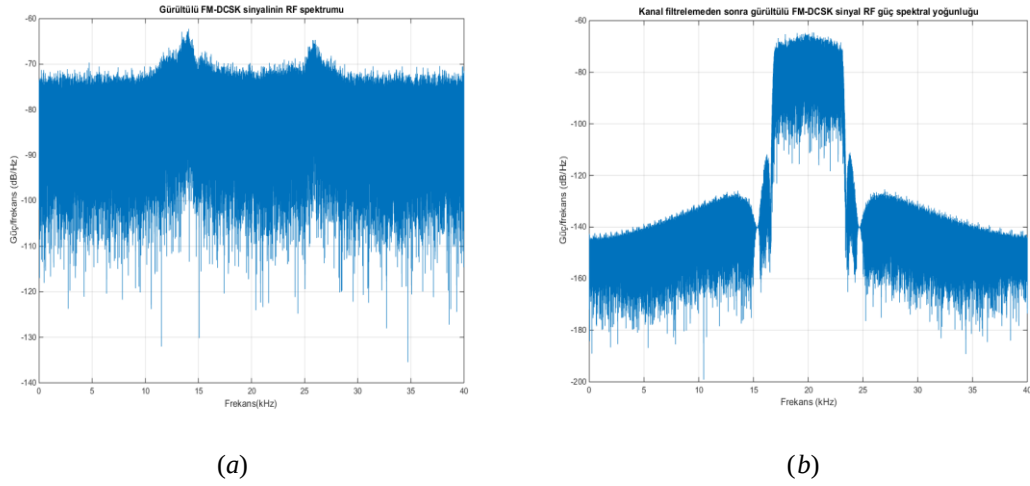


(a)



(b)

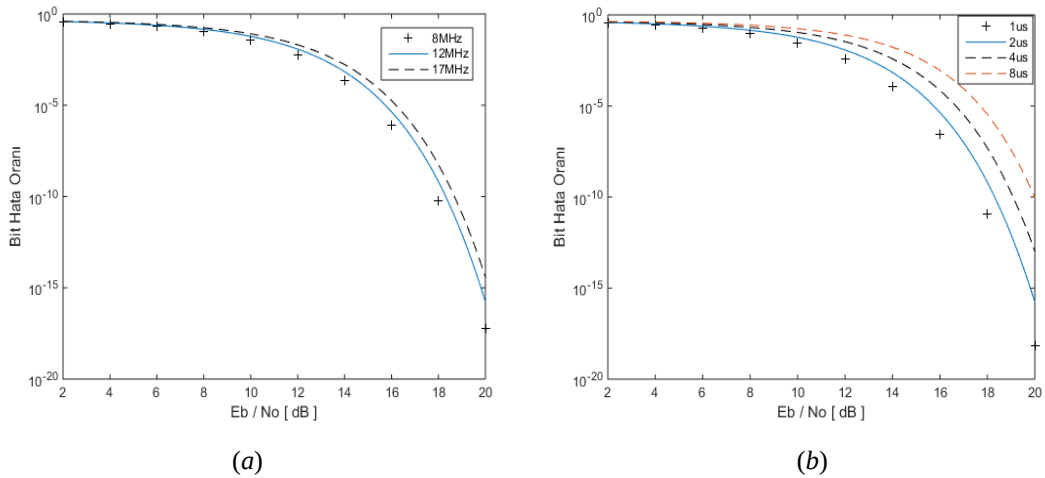
Şekil 6.50. (a) Chua devresi tabanlı Wien osilatörü üreticisine ait güç spektrum yoğunluğu (b) FM-DCSK sinyalinin RF spektrumu



Şekil 6.51. (a) Gürültülü FM-DCSK sinyalinin RF spektrumu (b) Kanal filtrelemeyen sonra gürültülü FM-DCSK sinyalinin RF spektrumu

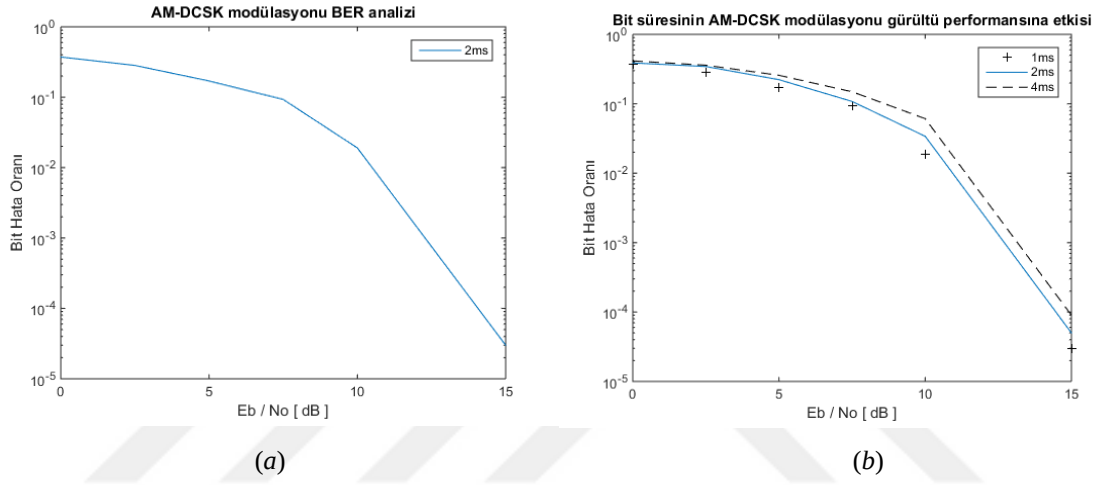
6.5.3. BER Analizi

Bölüm 5’de kaotik haberleşme sistemi DCSK modülasyonuna ait teorik BER analizi verilmiştir. Bu kısımda ilk olarak Denklem 5.30’u doğrulamak için bit süresinin ve RF bant genişliğinin farklı değerlerinde benzetimler yapılmaktadır. DCSK’nın RF bant genişliği 8 MHz’de sabitlenmiştir. Gürültü performansı, bit süresinin 1, 2, 4 ve 8 μ s değerlerinde analiz edilmiştir. Şekil 6.52a’da bit süresi DCSK’nın gürültü performansı üzerindeki etkisini göstermektedir. RF bant genişliğinin gürültü performansı üzerindeki etkisini incelemek için ise bit süresini 2 μ s’ye sabitlenmektedir. Şekil 6.52b’de gösterildiği gibi RF kanalı bant genişliğinin 8, 12 ve 17 MHz değerlerinde analizi gerçekleştirilmektedir. Böylece bu modülasyonun gürültü performansı, hem bit süresi hem de bant genişliğine bağlı olarak elde edilmiş olup sonuçları sunulmuştur.

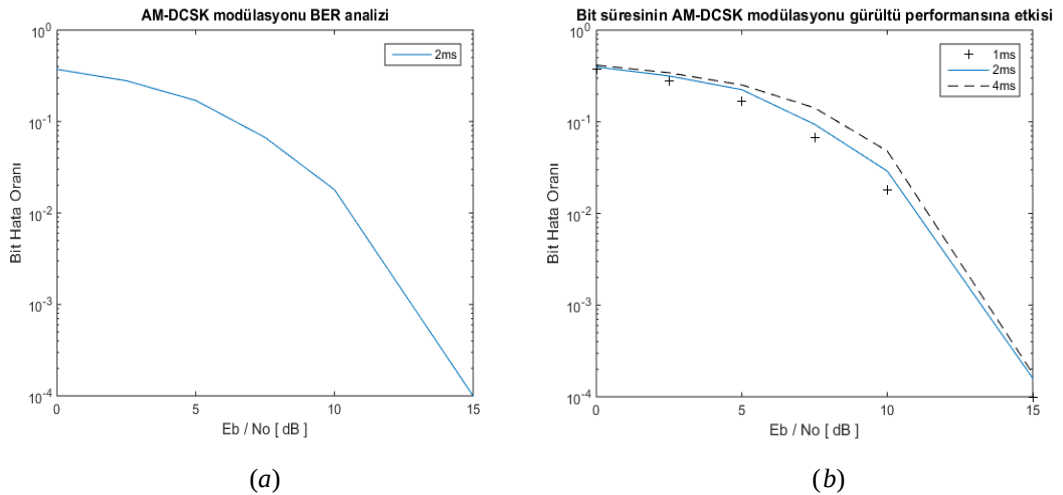


Şekil 6.52. (a) Bit süresinin DCSK’nın gürültü performansına etkisi (b) RF kanal bant genişliğinin DCSK’nın gürültü performansına etkisi

Bu kısımda AM-DCSK ve FM-DCSK modülasyonu için BER analizi gerçekleştirilmektedir. BER, hatalı bit alma olasılığını temsil eder. Sayısal bir haberleşme sisteminin kalitesi, belirtilen kanal koşulları için ortalama bit hata sayısını gösteren BER ile tanımlanır [199,200]. AM-DCSK simülatör aracılığıyla modülasyonu gerçekleştirilen MTKD Model IV ve V için gürültü performansları sırasıyla Şekil 6.53a ve Şekil 6.54a’da gösterilmektedir. Bit süresinin gürültü performansına etkisi ise her iki devre için sırasıyla Şekil 6.53b ve Şekil 6.54b’de gösterilmiştir. Yapılan benzetimlerdeki sonuçlar desibel olarak E_b/N_0 ’a göre bit hata olasılığı cinsinden verilmiştir.

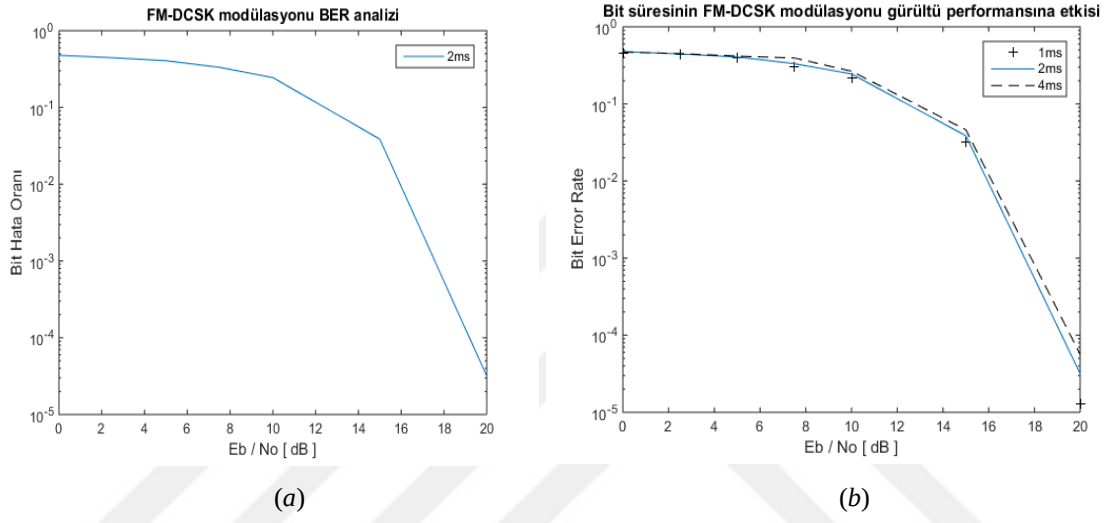


Şekil 6.53. (a) MTKD Model IV devresi için AM-DCSK’nın gürültü performansı (b) Bit süresinin MTKD Model IV devresi için AM-DCSK’nın gürültü performansına etkisi

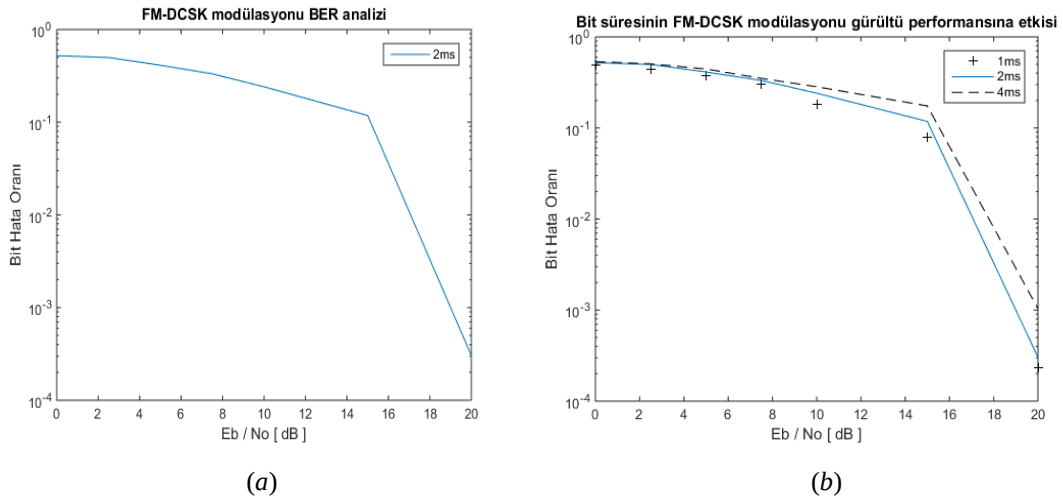


Şekil 6.54. (a) MTKD Model V devresi için AM-DCSK’nın gürültü performansı (b) Bit süresinin MTKD Model V devresi için AM-DCSK’nın gürültü performansına etkisi

Kullanılan kaotik/hiperkaotik sinyaller için FM-DCSK'nın gürültü performansları Şekil 6.55a ve Şekil 6.56a'da gösterilmiştir. Bit süresinin gürültü performansına etkisi ise her iki devre için sırasıyla Şekil 6.55b ve Şekil 6.56b'de gösterilmiştir. FM-DCSK sistemlerinde, sistem parametrelerinin seçimi sistem performansı üzerinde güçlü bir etkisi vardır. Bit süresini azaltarak BER performansı iyileştirilebilir. Bit süresini azaltmanın bir başka yararı da, artan veri hızından faydalanmaktır. Bununla birlikte, bit süresinin azaltıldığında sistem zamanlama hatalarına karşı daha duyarlı olacaktır. Bu nedenle, pratikte bu iki faktörün değişimi göz önünde bulundurulmalıdır.



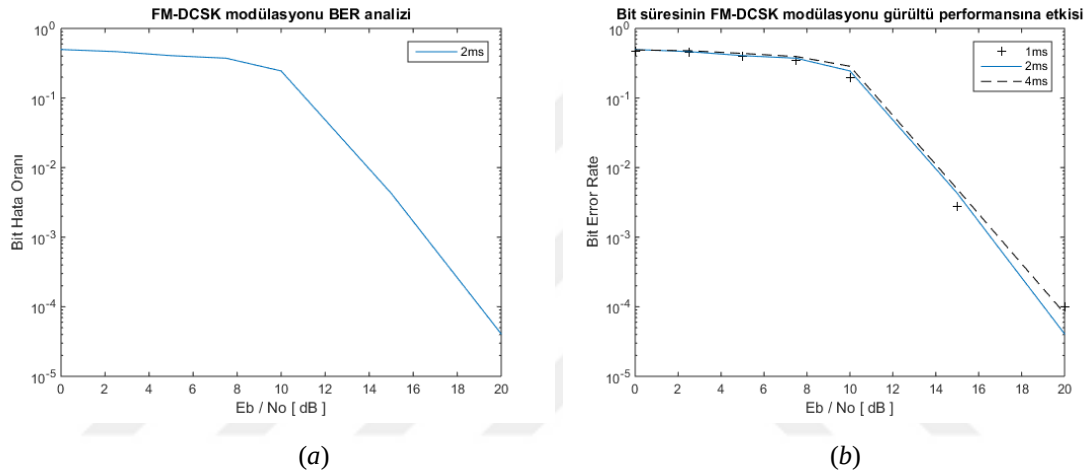
Şekil 6.55. (a) MTKD Model IV devresi için FM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model IV devresi için FM-DCSK'nın gürültü performansına etkisi



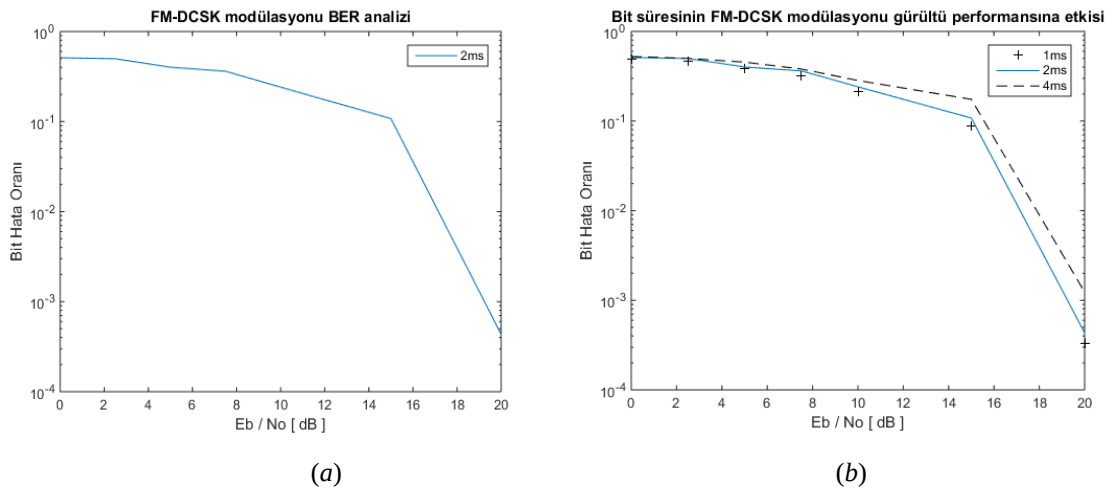
Şekil 6.56. (a) MTKD Model V devresi için FM-DCSK'nın gürültü performansı (b) Bit süresinin MTKD Model V devresi için FM-DCSK'nın gürültü performansına etkisi

Chua devresi ve Chua devresi tabanlı Wien osilatörü:

Bu kısımda Chua devresi ve Chua devresi tabanlı Wien osilatöründen elde edilen kaotik sinyaller FM-DCSK simülatörüne uygulanarak gürültü performans analizleri gerçekleştirilmiştir. Kısaca özetlenirse Chua devresi, memristör tabanlı Chua devresi (MTKD Model IV), Chua devresi tabanlı Wien osilatörü ve memristör tabanlı Wien osilatörü (MTKD Model V) olmak üzere tasarlanan dört kaotik/hiperkaotik sistemin FM-DCSK modülasyonlu BER analizi gerçekleştirilmektedir. Şekil 6.57’de Chua devresi için FM-DCSK’nın gürültü performansı ve bit süresinin Chua devresi için FM-DCSK’nın gürültü performansına etkisi gösterilirken Şekil 6.58’de bu analizler Wien osilatörü için de elde edilerek sunulmaktadır.

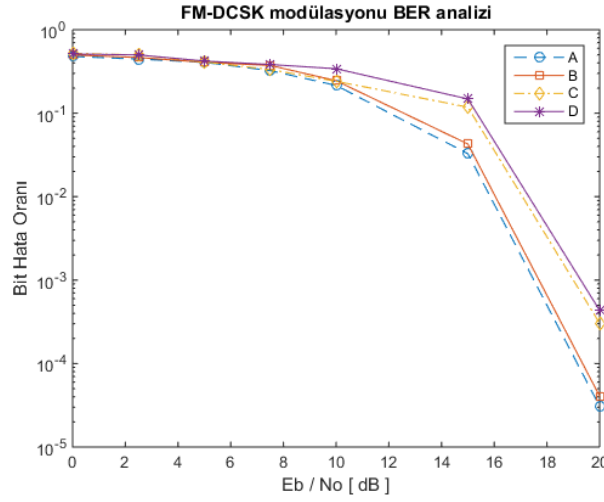


Şekil 6.57. (a) Chua devresi için FM-DCSK’nın gürültü performansı (b) Bit süresinin Chua devresi için FM-DCSK’nın gürültü performansına etkisi



Şekil 6.58. (a) Wien osilatörü üretici için FM-DCSK’nın gürültü performansı (b) Bit süresinin Wien osilatörü üretici için FM-DCSK’nın gürültü performansına etkisi

Şekil 6.59’da dört devrenin FM-DCSK modülasyonuna ait gürültü performans analizi gerçekleştirilerek BER grafiği karşılaştırmalı olarak sunulmuştur. Grafik incelendiğinde memristör tabanlı sistemlerin diğer kaotik sistemlerle benzer BER performansına sahip olduğu görülmektedir. Önerilen bu sistemlerin farklı kaos tabanlı devrelerle tasarımı gerçekleştirilip haberleşme sistemlerine uygulaması gerçekleştirilebilir.



Şekil 6.59. FM-DCSK modülasyonu BER analizi

- A- Memristör tabanlı Chua devresi
- B- Chua devresi
- C- Memristör tabanlı Wien osilatörü
- D- Chua devresi tabanlı Wien osilatörü

7. SONUÇLAR

Bu tez çalışmasında, önerilen memristör emülatörü kullanılarak memristör tabanlı kaotik ve hiperkaotik sistem uygulamaları yapılmıştır. Bu sistemlerin kaos tabanlı analog ve sayısal haberleşme sistemlerine uygulanması gerçekleştirilerek sonuçları sunulmuştur. Ayrıca tasarlanan sistemler FPGA platformunda modellenerek kaotik sistemlerin modellenmesi ve haberleşme sistemlerine uygulanması donanımsal olarak gerçekleştirilmiştir. Yapılan çalışmalar ve sonuçlar aşağıda ayrıntılı olarak verilmektedir.

Tez kapsamında ilk olarak tez konusu ile ilgili geniş bir literatür taraması sunulmuş, literatür taramasından sonra memristör ve memristif sistemler hakkında genel bilgiler verilerek kaotik sistemler ve kaos analiz yöntemleri hakkında temel bilgiler verilmiştir.

Literatür taramasıyla birlikte verilen genel bilgilerden sonra materyal ve metot kısmında memristör emülatörleri hakkında kısa bilgiler verilerek, kübik lineer olmayan modele sahip bir memristör emülatörü geliştirilmiş ve memristör tabanlı kaotik ve hiperkaotik devrelerin modellenmesinde kullanılmıştır. Bu kısımda elde edilen kaotik/hiperkaotik sistemlerin dinamik analizleri Lyapunov üstelleri ve çatallanma diyagramları ile gerçekleştirilmiş olup sunulan sistemlerin kaotikliği hakkında yapılan teorik analizlerin MATLAB ve LabVIEW platformunda benzetimi elde edilmiştir.

Tasarlanan memristör tabanlı kaotik ve hiperkaotik devrelerin elektronik devre tasarımları PSpice, LTspice ve Multisim gibi modelleme programları yardımıyla gerçekleştirilmiş olup benzetim sonuçları ayrıntılı olarak sunulmuştur. Sistemlerin aynı zamanda laboratuvar ortamında deneysel olarak elde edilmesiyle gerçek zamanlı sonuçları tez kapsamında incelenmiştir. Kaotik devre modelleri tekrar programlanabilir veya yeniden yapılandırılabilir sistemler için de gerçeklemeye uygundur. FPGA'nın hızlı, güvenilir ve tasarımının kolay olması, kaos alanındaki çalışmaların daha hızlı sonuç üretmesi ve yeni yöntemlerin geliştirilmesine olanak sağlamaktadır. Tasarlanan sistemlerin FPGA ortamında XSG (Xilinx System Generator)'de donanımsal olarak modellenmesi gerçekleştirilmiştir. Burada tasarlanan sistemlerin İleri Euler algoritması ile sayısal hesaplamaları MATLAB platformunda yapılmıştır.

Elde edilen sistemlerin senkronizasyon uygulaması için gerekli haberleşme sistemleri hakkında kısa bilgiler verilerek kaotik senkronizasyon optimizasyon algoritmaları uygulanmıştır. Tasarlanan sistemlerin analog ve sayısal modülasyon çeşitleriyle haberleşme sistemlerine uygulaması gerçekleştirilmiştir.

Memristör tabanlı kaotik osilatörler, kaotik haberleşme sistemi uygulamalarında iyi bir potansiyele sahiptir. Bu özelliklerden dolayı, kaotik sinyaller potansiyel olarak çeşitli iletişim ve radar gibi bilgi taşıyan dalga formlarını maskelemek ve yayılı spektrum sistemlerinde dalga formlarını modüle etmek için kullanılabilen önemli bir sinyal kaynağı olmaktadır. Bu tez

kapsamında gerçekleştirilen ilk uygulamada, literatürde var olan memristör tabanlı kaotik sistemin haberleşme uygulaması gerçekleştirilmiştir. MTKD Model I sistemi, her biri iki ayrı kanala sahip olan iki güvenli haberleşme sistemine kaotik maskeleyme tekniği kullanılarak uygulanmıştır. Bu uygulamada güvenli bir şekilde gönderilen bilgi sinyali, alıcı tarafında bozulma olmadan elde edilmiştir. Bu sistemin, önerilen senkronizasyon yöntemleri için de senkronize edilebileceği ve kaotik maskeleyme yöntemi ile güvenli haberleşmeye olanak sağladığı gösterilmiştir. İletim sırasında alıcı kısımda elde edilen sinyalde gürültü veya bozulmalar meydana gelebilir. Özellikle, iletilen sinyaller gürültü ile bozulmaya uğramış olsa bile, bu çalışmada bilgi sinyali çok küçük bir hata payı ile elde edilmektedir.

Tasarlanan MTKD Model II sistemi ile dört boyutlu memristör tabanlı kaotik devreden elde edilen sinyaller haberleşme sistemlerine uygulanmıştır. Genetik ve Ateşböceği algoritmalarına dayanarak, iki kaotik sistemi senkronize etmek için bir PID kontrol sistemi kullanılmıştır. PID kontrol sisteminin kazanç katsayıları, algoritmalar yardımıyla bulunmuş ve senkronizasyon başarıyla gerçekleştirilmiştir. Gerçekleştirilen iki optimizasyon yöntemi karşılaştırılmış ve sonuçları sunulmuştur. Vericideki kaotik sistem tarafından maskelenen bilgi sinyali alıcıdaki kaotik sistem tarafından geri kazanılmıştır. Elde edilen benzetim ve deneysel sonuçlar, kullanılan yöntemlerin doğru ve pratik olduğunu göstermektedir. Bu çalışmanın özellikle kaotik sinyallerin yaygın olarak kullanıldığı güvenli haberleşme sistemleri için önemli bir kaynak olacağı tahmin edilmektedir.

Tasarlanan MTKD Model III sistemi için COOK metodu kullanılarak kaos tabanlı sayısal haberleşme sistem uygulaması gerçekleştirilmiştir. Bu sistem AWGN kanalı altında 0 ile 20 dB arasında benzetimi gerçekleştirilmiş ve sonuçları sunulmuştur. Tasarlanan sistemden elde edilen kaotik sinyalin frekans spektrumu düşük olduğundan, memristif sistemin COOK metodu ile haberleşme uygulaması özellikle düşük veri hızlı iletimlerde avantaj sağlamaktadır.

MTKD Model III sisteminin kaotik haberleşme modülasyon teknikleri kullanılarak haberleşme sistemlerine uygulanması FPGA platformunda donanımsal olarak gerçekleştirilmiştir. Hiperkaotik devrelerin karmaşık yapısı, yüksek öngörülemezliği ve rastgele özellikleri diğer kaotik sistemlere göre daha fazla olduğundan oldukça avantajlıdır. Optimizasyon algoritmaları kullanılarak, PID kontrol sistemi iki kaotik sistemi senkronize etmek için tasarlanmış ve kazanç katsayıları Ateşböceği ve Genetik algoritmaları kullanılarak elde edilmiştir. Ayrıca, tasarlanan hiperkaotik sistemin sayısal haberleşme sistemlerine uygulanması FPGA ortamında gerçekleştirilmiş olup ve BER analizi yapılmıştır. Bu çalışmada, sayısal tabanlı COOK haberleşme sistemine sahip memristör tabanlı hiperkaotik sistemlerin FPGA platformunda farklı E_b/N_0 değerleri için BER performans grafiği de elde edilmiştir. Elde edilen sonuçlar memristör tabanlı hiperkaotik sistemlerin FPGA uygulamalarına kolayca uygulanabileceğini ve sayısal tabanlı kaotik

haberleşme sistemlerindeki performanslarından dolayı diğer kaotik haberleşme sistemleri içinde kullanılabileceğini göstermektedir.

MTKD Model IV ve V hiperkaotik sistemlerinin kaos tabanlı sayısal haberleşme uygulaması için farklı modülasyon yöntemleri kullanılmıştır. Bu amaçla, AM-DCSK ve FM-DCSK modülasyon yöntemleri kullanılarak hem MTKD Model IV hem de MTKD Model V hiperkaotik sistemleri haberleşme sistemlerine uygulanmış olup sonuçları sunulmuştur. Özellikle FM-DCSK sistemi gürültülü ve sönümlü kanallarda en iyi performansa sahip olması çeşitli uygulamalar için önemli bir avantaj sağlamaktadır. Bu kısımda ayrıca literatürde var olan memristör kullanılmadan tasarlanan kaotik sistemler de modellenerek AM-DCSK ve FM-DCSK modülasyonuna uygulanmıştır ve sonuçları memristör tabanlı kaotik/hiperkaotik sistemlerle karşılaştırılmıştır. Benzetim sonuçları ve BER analizleri bu devrelerden elde edilen sinyallerin haberleşme sistemlerine uygulanabilir olduklarını doğrulamaktadır. Memristör tabanlı kaotik ve hiperkaotik devrelerinden elde edilen sinyallerin haberleşme sistemleri için iyi bir kaynak olabileceği yapılan son uygulamayla da gösterilmiş olup göz önüne alınan memristif sistemlerin özellikle kaos tabanlı birçok uygulama alanında kullanılacağı öngörülmektedir.

ÖNERİLER

Tez kapsamında, memristör emülatörü kullanılarak tasarlanan memristör tabanlı kaotik ve hiperkaotik devreler aracılığıyla yeni kaotik denklem takımları üretilerek literatüre sunulmuştur. Sunulan emülatör devreleri sınırlı çalışma frekansına sahip olduğundan, yüksek frekanslı devrelerdeki davranışını araştırmak için gelişmiş emülatör devreleri ilerleyen çalışmalarda incelenebilir.

Tezde önerilen osilatörler, gömülü sistemlerde gerekli olabilecek düşük frekans tepkisine sahiptir. Memristörler yüksek frekanslarda sıradan direnç gibi davrandıklarından dolayı, memristör teorisindeki gelişmelere paralel olarak memristör tabanlı osilatörler yüksek frekans cevabı ile tasarlanabilirler.

Yeni bir araştırma alanı olan memristör için programlama yöntemleri kullanılarak memristörün memristansı anlık olarak değiştirilebilir. Farklı devre modelleri memristör programlama devreleri ile birleştirilebilir ve memristörün programlama özelliği kullanılarak çıkışları farklı frekanslara ayarlanabilen yeni sistemler önerilebilir. İleride yapılacak çalışmalarla bu devre yapılarının FPGA platformundaki tasarımları hem gerçek zamanlı hem de daha hızlı gerçekleştirilmesi sağlanabilir.

Gerçekleştirilen haberleşme uygulamalarından elde edilen sonuçlar ve referans çalışmalar incelendiğinde tanıtılan kaotik ve hiperkaotik sistemler kaos tabanlı haberleşme uygulamalarına ek olarak kriptoloji dünyasına çeşitlilik sunması özellikle de güvenliğin artmasına fayda sağlayacağı öngörülmektedir. Ayrıca yapay zeka, bilgi sıkıştırma, bilgi kodlama, rastgele sayı üretici, hassas desen tanıma ve şifreleme algoritması, metin veya video gibi kaos ile ilgili diğer alanlardaki çalışanlara da kaynak teşkil edeceği düşünülmektedir.

KAYNAKLAR

- [1] Chua, L. (1971). Memristor-the missing circuit element. *IEEE Transactions on circuit theory*, 18(5), 507-519.
- [2] Uhle, M. (1988). Chua, LO, CA Desoer, ES Kuh: Linear and Nonlinear Circuits. McGraw-Hill Book Company, New York 1987, XVII, 839 S., DM 122, 40. ISBN 0-07-010898-6. *Biometrical Journal*, 30(7), 867-868.
- [3] Strukov, D. B., Snider, G. S., Stewart, D. R., & Williams, R. S. (2008). The missing memristor found. *nature*, 453(7191), 80-83.
- [4] Baatar, C., Porod, W., & Roska, T. (Eds.). (2010). *Cellular nanoscale sensory wave computing* (pp. 87-116). New York: Springer.
- [5] Georgiou, P. S. (2013). *A mathematical framework for the analysis and modelling of memristor nanodevices*, Ph.D. Thesis, Imperial College London
- [6] Waser, R., Dittmann, R., Staikov, G., & Szot, K. (2009). Redox-based resistive switching memories—nanoionic mechanisms, prospects, and challenges. *Advanced materials*, 21(25-26), 2632-2663.
- [7] Schindler, C., Weides, M., Kozicki, M. N., & Waser, R. (2008). Low current resistive switching in Cu–Si O₂ cells. *Applied Physics Letters*, 92(12), 122910.
- [8] Yang, J. J., Strachan, J. P., Xia, Q., Ohlberg, D. A., Kuekes, P. J., Kelley, R. D., & Williams, R. S. (2010). Diffusion of adhesion layer metals controls nanoscale memristive switching. *Advanced materials*, 22(36), 4034-4038.
- [9] Jo, S. H., & Lu, W. (2008). CMOS compatible nanoscale nonvolatile resistance switching memory. *Nano letters*, 8(2), 392-397.
- [10] Jo, S. H., Kim, K. H., Chang, T., Gaba, S., & Lu, W. (2010). Si memristive devices applied to memory and neuromorphic circuits. In *Proceedings of 2010 IEEE International Symposium on Circuits and Systems* (pp. 13-16). IEEE.
- [11] Torrezan, A. C., Strachan, J. P., Medeiros-Ribeiro, G., & Williams, R. S. (2011). Sub-nanosecond switching of a tantalum oxide memristor. *Nanotechnology*, 22(48), 485203.
- [12] Jo, S. H., Chang, T., Ebong, I., Bhadviya, B. B., Mazumder, P., & Lu, W. (2010). Nanoscale memristor device as synapse in neuromorphic systems. *Nano letters*, 10(4), 1297-1301.
- [13] Kavehei, O., Iqbal, A., Kim, Y. S., Eshraghian, K., Al-Sarawi, S. F., & Abbott, D. (2010). The fourth element: characteristics, modelling and electromagnetic theory of the memristor. *Proceedings of the Royal Society A: Mathematical, Physical and Engineering Sciences*, 466(2120), 2175-2202.
- [14] Widrow, B. (1960). An adaptive. *ADALINE" neuron using chemical" Memistors", " Stanford University, Tech. Rep.*
- [15] Argall, F. (1968). Switching phenomena in titanium oxide thin films. *Solid-State Electronics*, 11(5), 535-541.
- [16] LO, Chua., SM, Kang. (1976). Memristive Devices and Systems. *Proceedings of the IEEE*, 209-223.
- [17] Buot, F. A., & Rajagopal, A. K. (1994). Binary information storage at zero bias in quantum-well diodes. *Journal of applied physics*, 76(9), 5552-5560.
- [18] Beck, A., Bednorz, J. G., Gerber, C., Rossel, C., & Widmer, D. (2000). Reproducible switching effect in thin oxide films for memory applications. *Applied Physics Letters*, 77(1), 139-141.
- [19] Liu, S. et al., A New Concept for Non-Volatile Memory: The Electric-Pulse Induced Resistive Change Effect in Colossal Magnetoresistive Thin Films, Non-Volatile Memory Conference, San Diego, CA, Nov. 6-7, 2001, 32 pp.
- [20] Kuekes, P. J., Williams, R. S., & Heath, J. R. (2000). *U.S. Patent No. 6,128,214*. Washington, DC: U.S. Patent and Trademark Office.
- [21] L, Z., Bill, C., & Vanbuskirk, M. A. (2005). *U.S. Patent No. 6,960,783*. Washington, DC: U.S. Patent and Trademark an Office.

- [22] Rinerson, D., Chevallier, C. J., Longcor, S. W., Kinney, W., Ward, E. R., & Hsia, S. K. R. (2005). *U.S. Patent No. 6,870,755*. Washington, DC: U.S. Patent and Trademark Office.
- [23] Gergel-Hackett, N., Hamadani, B., Dunlap, B., Suehle, J., Richter, C., Hacker, C., & Gundlach, D. (2009). A flexible solution-processed memristor. *IEEE Electron Device Letters*, 30(7), 706-708.
- [24] Abuelma'atti, M. T., & Khalifa, Z. J. (2015). A continuous-level memristor emulator and its application in a multivibrator circuit. *AEU-International Journal of Electronics and Communications*, 69(4), 771-775.
- [25] Abuelma'atti, M. T., & Khalifa, Z. J. (2016). A new floating memristor emulator and its application in frequency-to-voltage conversion. *Analog Integrated Circuits and Signal Processing*, 86(1), 141-147.
- [26] Kim, H., Sah, M. P., Yang, C., Cho, S., & Chua, L. O. (2012). Memristor emulator for memristor circuit applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 59(10), 2422-2431.
- [27] Mutlu, R., & Karakulak, E. (2010, December). Emulator circuit of TiO₂ memristor with linear dopant drift made using analog multiplier. In *National Conference on Electrical, Electronics and Computer Engineering* (pp. 380-384). IEEE.
- [28] Muthuswamy, B. (2010). Implementing memristor based chaotic circuits. *International Journal of Bifurcation and Chaos*, 20(05), 1335-1350.
- [29] Pershin, Y. V., & Di Ventra, M. (2011). Neuromorphic, digital, and quantum computation with memory circuit elements. *Proceedings of the IEEE*, 100(6), 2071-2080.
- [30] Valsa, J., Biolek, D., & Biolek, Z. (2011). An analogue model of the memristor. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 24(4), 400-408.
- [31] Xu, Q., Lin, Y., Bao, B., & Chen, M. (2016). Multiple attractors in a non-ideal active voltage-controlled memristor based Chua's circuit. *Chaos, Solitons & Fractals*, 83, 186-200.
- [32] Dong-Sheng, Y., Yan, L., Iu, H. H., & Yi-Hua, H. (2014). Mutator for transferring a memristor emulator into meminductive and memcapacitive circuits. *Chinese Physics B*, 23(7), 070702.
- [33] Sánchez-López, C., Mendoza-Lopez, J., Carrasco-Aguilar, M. A., & Muñoz-Montero, C. (2014). A floating analog memristor emulator circuit. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 61(5), 309-313.
- [34] Sánchez-López, C., Mendoza-Lopez, J., Carrasco-Aguilar, M. A., & Morales-Lopez, F. E. (2013). A simple floating memristor emulator circuit based on current conveyors. In *2013 10th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)* (pp. 445-448). IEEE.
- [35] Çam, Z.G.Ç. (2018). Memristör Simulatörü ve Uygulamaları, Doktora Tezi, Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü
- [36] Cam, Z. G., & Sedef, H. (2017). A new floating memristance simulator circuit based on second generation current conveyor. *Journal of Circuits, Systems and Computers*, 26(02), 1750029.
- [37] Itoh, M., & Chua, L. O. (2008). Memristor oscillators. *International journal of bifurcation and chaos*, 18(11), 3183-3206.
- [38] Guang-Yi, W., Jie-Ling, H., Fang, Y., & Cun-Jian, P. (2013). Dynamical behaviors of a TiO₂ memristor oscillator. *Chinese Physics Letters*, 30(11), 110506.
- [39] Chen, M., Li, M., Yu, Q., Bao, B., Xu, Q., & Wang, J. (2015). Dynamics of self-excited attractors and hidden attractors in generalized memristor-based Chua's circuit. *Nonlinear Dynamics*, 81(1-2), 215-226.
- [40] Buscarino, A., Fortuna, L., Frasca, M., & Valentina Gambuzza, L. (2012). A chaotic circuit based on Hewlett-Packard memristor. *Chaos: An Interdisciplinary Journal of Nonlinear Science*, 22(2), 023136.
- [41] Petras, I. (2010). Fractional-order memristor-based Chua's circuit. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 57(12), 975-979.

- [42] Pham, V. T., Jafari, S., Vaidyanathan, S., Volos, C., & Wang, X. (2016). A novel memristive neural network with hidden attractors and its circuitry implementation. *Science China Technological Sciences*, 59(3), 358-363.
- [43] Chen, M., Yu, J., & Bao, B. C. (2015). Finding hidden attractors in improved memristor-based Chua's circuit. *Electronics Letters*, 51(6), 462-464.
- [44] Muthuswamy, B., & Chua, L. O. (2010). Simplest chaotic circuit. *International Journal of Bifurcation and Chaos*, 20(05), 1567-1580.
- [45] Muthuswamy, B., & Kokate, P. P. (2009). Memristor-based chaotic circuits. *IETE Technical Review*, 26(6), 417-429.
- [46] Bao, B. C., Liu, Z., & Xu, J. P. (2010). Steady periodic memristor oscillator with transient chaotic behaviours. *Electronics letters*, 46(3), 237-238.
- [47] Liu, Z., Bao, B. C., & Xu, J. P. (2010). Dynamical analysis of memristor chaotic oscillator. *Acta Physica Sinica*, 59(6), 3785-3793.
- [48] Bao, B., Ma, Z., Xu, J., Liu, Z., & Xu, Q. (2011). A simple memristor chaotic circuit with complex dynamics. *International Journal of Bifurcation and Chaos*, 21(09), 2629-2645.
- [49] Dong, G., Du, R., Tian, L., & Jia, Q. (2009). A novel 3D autonomous system with different multilayer chaotic attractors. *Physics Letters A*, 373(42), 3838-3845.
- [50] Pan, L., & Zhou, W. (2010). On dynamics analysis of a novel three-scroll chaotic attractor. *Journal of the Franklin Institute*, 347(2), 508-522.
- [51] Li, X., & Ou, Q. (2011). Dynamical properties and simulation of a new Lorenz-like chaotic system. *Nonlinear Dynamics*, 65(3), 255-270.
- [52] Pang, S., & Liu, Y. (2011). A new hyperchaotic system from the Lü system and its control. *Journal of Computational and Applied Mathematics*, 235(8), 2775-2789.
- [53] Dadras, S., Momeni, H. R., Qi, G., & Wang, Z. L. (2012). Four-wing hyperchaotic attractor generated from a new 4D system with one equilibrium and its fractional-order form. *Nonlinear Dynamics*, 67(2), 1161-1173.
- [54] Jia, N., Wang, T. (2013). Generation and Modified projective Synchronization for a class of New Hyperchaotic Systems. *Abstract and Applied Analysis*, Article ID 804964, 11 pp
- [55] Sadoudi, S., Azzaz, M. S., Djeddou, M., & Benssalah, M. (2009). An FPGA real-time implementation of the Chen's chaotic system for securing chaotic communications. *International Journal of Nonlinear Science*, 7(4), 467-474.
- [56] Merah, L., Ali-Pacha, A., Said, N. H., & Mamat, M. (2013). Design and FPGA implementation of Lorenz chaotic system for information security issues. *Applied Mathematical Sciences*, 7(5), 237-246.
- [57] De Micco, L., & Larrondo, H. A. (2011, April). FPGA implementation of a chaotic oscillator using RK4 method. In *2011 VII Southern Conference on Programmable Logic (SPL)* (pp. 185-190). IEEE.
- [58] Rajagopal, K., Karthikeyan, A., & Srinivasan, A. (2018). Dynamical analysis and FPGA implementation of a chaotic oscillator with fractional-order memristor components. *Nonlinear Dynamics*, 91(3), 1491-1512.
- [59] Rajagopal, K., Kingni, S. T., Khalaf, A. J. M., Shekofteh, Y., & Nazarimehr, F. (2019). Coexistence of attractors in a simple chaotic oscillator with fractional-order-memristor component: analysis, FPGA implementation, chaos control and synchronization. *The European Physical Journal Special Topics*, 228(10), 2035-2051.
- [60] Tolba, M. F., Fouda, M. E., Hezayyin, H. G., Madian, A. H., & Radwan, A. G. (2018). Memristor FPGA IP core implementation for analog and digital applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 66(8), 1381-1385.
- [61] Wang, W., Jing, T. T., & Butcher, B. (2010, May). FPGA based on integration of memristors and CMOS devices. In *Proceedings of 2010 IEEE International Symposium on Circuits and Systems* (pp. 1963-1966). IEEE.

- [62] Cong, J., & Xiao, B. (2011, June). mrFPGA: A novel FPGA architecture with memristor-based reconfiguration. In *2011 IEEE/ACM international symposium on Nanoscale Architectures* (pp. 1-8). IEEE.
- [63] Di Ventra, M., Pershin, Y. V., & Chua, L. O. (2009). Circuit elements with memory: memristors, memcapacitors, and meminductors. *Proceedings of the IEEE*, 97(10), 1717-1724.
- [64] Yang, X. S., & Li, Q. D. (2002). Chaos generator via Wien-bridge oscillator. *Electronics Letters*, 38(13), 623-625.
- [65] Bo-Cheng, B., Zhong, L., & Jian-Ping, X. (2010). Transient chaos in smooth memristor oscillator. *Chinese Physics B*, 19(3), 030510.
- [66] Ye, X., Mou, J., Luo, C., & Wang, Z. (2018). Dynamics analysis of Wien-bridge hyperchaotic memristive circuit system. *Nonlinear Dynamics*, 92(3), 923-933.
- [67] Ye, X., Wang, X., Mou, J., Yan, X., & Xian, Y. (2018). Characteristic analysis of the fractional-order hyperchaotic memristive circuit based on the Wien bridge oscillator. *The European Physical Journal Plus*, 133(12), 516.
- [68] Chen, H. C., Chang, J. F., Yan, J. J., & Liao, T. L. (2008). EP-based PID control design for chaotic synchronization with application in secure communication. *Expert Systems with Applications*, 34(2), 1169-1177.
- [69] Liao, T. L., & Tsai, S. H. (2000). Adaptive synchronization of chaotic systems and its application to secure communications. *Chaos, Solitons & Fractals*, 11(9), 1387-1396.
- [70] Cheng, C. J., Liao, T. L., & Hwang, C. C. (2005). Exponential synchronization of a class of chaotic neural networks. *Chaos, Solitons & Fractals*, 24(1), 197-206.
- [71] Hou, Y. Y., Chen, H. C., Chang, J. F., Yan, J. J., & Liao, T. L. (2012). Design and implementation of the Sprott chaotic secure digital communication systems. *Applied Mathematics and Computation*, 218(24), 11799-11805.
- [72] Cheng, D. L., Huang, C. F., Cheng, S. Y., & Yan, J. J. (2009). Synchronization of optical chaos in vertical-cavity surface-emitting lasers via optimal PI controller. *Expert Systems with Applications*, 36(3), 6854-6858.
- [73] He, Q., Wang, L., & Liu, B. (2007). Parameter estimation for chaotic systems by particle swarm optimization. *Chaos, Solitons & Fractals*, 34(2), 654-661.
- [74] Pecora, L. M., & Carroll, T. L. (1990). Synchronization in chaotic systems. *Physical review letters*, 64(8), 821.
- [75] Alvarez, G., & Li, S. (2006). Some basic cryptographic requirements for chaos-based cryptosystems. *International journal of bifurcation and chaos*, 16(08), 2129-2151.
- [76] Pan, J., & Ding, Q. (2011, October). The frequency truncation method research of Lorenz-based chaotic masking secure communication. In *2011 Fourth International Workshop on Chaos-Fractals Theories and Applications* (pp. 174-178). IEEE.
- [77] Yang, J., Chen, Y., & Zhu, F. (2015). Associated observer-based synchronization for uncertain chaotic systems subject to channel noise and chaos-based secure communication. *Neurocomputing*, 167, 587-595.
- [78] Yu, H., & Leung, H. (2001, May). A comparative study of different chaos based spread spectrum communication systems. In *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No. 01CH37196)* (Vol. 3, pp. 213-216). IEEE.
- [79] Kolumbán, G., Kennedy, M. P., & Chua, L. O. (1997). The role of synchronization in digital communications using chaos. I. Fundamentals of digital communications. *IEEE Transactions on circuits and systems I: Fundamental theory and applications*, 44(10), 927-936.
- [80] Dedieu, H., Kennedy, M. P., & Hasler, M. (1993). Chaos shift keying: modulation and demodulation of a chaotic carrier using self-synchronizing Chua's circuits. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 40(10), 634-642.

- [81] H Abdullah and A. Valenzuela, 2011. "Performance Evaluation of FM-COOK Chaotic Communication system", *Journal of Signal and Information Processing (JSIP)*, vol. 2, no. 3, pp. 175-177.
- [82] Vizvari, G. K., & Schwarz, W. (1996). Differential chaos shift keying: A robust coding for chaos communication. In *Proceedings of International Workshop on Nonlinear Dynamics of Electronic Systems, 1996 [C]* (pp. 87-92).
- [83] Galias, Z., & Maggio, G. M. (2001). Quadrature chaos-shift keying: theory and performance analysis. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 48(12), 1510-1519.
- [84] Kolumbán, G., Kis, G., Kennedy, M. P., & Jákó, Z. (1997, November). FM-DCSK: A new and robust solution to chaos communications. In *Proc. Int. Symp. Nonlinear Theory Appl* (pp. 117-120).
- [85] Chen, S. (2015). Performance of FM-DCSK communication systems with timing synchronization error. *International Journal of Computer and Communication Engineering*, 4(4), 290.
- [86] Kaddoum, G., Richardson, F. D., & Gagnon, F. (2013). Design and analysis of a multi-carrier differential chaos shift keying communication system. *IEEE Transactions on Communications*, 61(8), 3281-3291.
- [87] Magableh, A. M., Al-Mistarihi, M. F., & Al-Khasawneh, M. M. (2014, February). Performance evaluation of bit error probability in DCSK cooperative communication systems over Nakagami-m fading channels. In *2014 IEEE 11th International Multi-Conference on Systems, Signals & Devices (SSD14)* (pp. 1-4). IEEE.
- [88] YiPing, C., Ying, S., & Dianlun, Z. (2010). Performance of differential chaos-shift-keying digital communication systems over several common channels. In *2010 2nd International Conference on Future Computer and Communication (Vol. 2, pp. V2-755)*. IEEE.
- [89] Chen, Y., Shi, Y., & Li, H. (2009, September). Analysis of performance for DCSK over Rayleigh fading channel. In *2009 5th International Conference on Wireless Communications, Networking and Mobile Computing* (pp. 1-3). IEEE.
- [90] Chong, C. C., & Yong, S. K. (2008). UWB direct chaotic communication technology for low-rate WPAN applications. *IEEE Transactions on Vehicular Technology*, 57(3), 1527-1536.
- [91] Cimatti, G., Rovatti, R., & Setti, G. (2007). Chaos-based spreading in DS-UWB sensor networks increases available bit rate. *IEEE transactions on circuits and systems I: regular papers*, 54(6), 1327-1339.
- [92] Buscarino, A., Fortuna, L., Frasca, M., Gambuzza, L. V., & Sciuto, G. (2012). Memristive chaotic circuits based on cellular nonlinear networks. *International Journal of Bifurcation and Chaos*, 22(03), 1250070.
- [93] Arık S., (2015). Memristör Tabanlı Nonlinear Sistem Uygulamaları, Yüksek Lisans Tezi, Erciyes Üniversitesi, Fen Bilimleri Enstitüsü
- [94] Keshmiri, V. (2014). A Study of the Memristor Models and Applications, M.Sc Thesis, Linköping University, Institute of Technology
- [95] Oster, G.F., Auslander, D.M. The Memristor. A New Bond GRAPH Element. *Trans. ASME on Dynamical Systems, Measurement and Control*, vol. 94, No. 3, 1972, p. 249-252.
- [96] Oster, G. (1974). A note on memristors. *IEEE Transactions on Circuits and Systems*, 21(1), 152-152.
- [97] Chua, L. (2011). Resistance switching memories are memristors. *Applied Physics A*, 102(4), 765-783.
- [98] S.Ç. Yener, New Opportunities in Analog Circuit Design Provided By Memristor, Ph.D. Thesis, Istanbul Technical University, Graduate School of Science Engineering and Technology
- [99] McDonald, N. R., Pino, R. E., Rozwood, P. J., & Wysocki, B. T. (2010, July). Analysis of dynamic linear and non-linear memristor device models for emerging neuromorphic computing hardware design. In *The 2010 International Joint Conference on Neural Networks (IJCNN)* (pp. 1-5). IEEE.

- [100] Takahashi, Y., Sekine, T., & Yokoyama, M. (2015). SPICE model of memristive device using Tukey window function. *IEICE Electronics Express*, 12(5), 20150149-20150149.
- [101] Chowdhury, J., Das, J. K., & Rout, N. K. (2015, February). Trigonometric window functions for memristive device modeling. In *2015 Fifth International Conference on Advanced Computing & Communication Technologies* (pp. 157-161). IEEE.
- [102] Joglekar, Y. N., & Wolf, S. J. (2009). The elusive memristor: properties of basic electrical circuits. *European Journal of physics*, 30(4), 661.
- [103] Biolek, Z., Biolek, D., & Biolkova, V. (2009). SPICE Model of Memristor with Nonlinear Dopant Drift. *Radioengineering*, 18(2).
- [104] Pickett, M. D., Strukov, D. B., Borghetti, J. L., Yang, J. J., Snider, G. S., Stewart, D. R., & Williams, R. S. (2009). Switching dynamics in titanium dioxide memristive devices. *Journal of Applied Physics*, 106(7), 074508.
- [105] Simmons, J. G. (1963). Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film. *Journal of applied physics*, 34(6), 1793-1803.
- [106] Kvatinisky, S., Friedman, E. G., Kolodny, A., & Weiser, U. C. (2012). TEAM: Threshold adaptive memristor model. *IEEE transactions on circuits and systems I: regular papers*, 60(1), 211-221.
- [107] Benderli, S., & Wey, T. A. (2009). On SPICE macromodelling of TiO₂ memristors. *Electronics letters*, 45(7), 377-379.
- [108] Lehtonen, E., & Laiho, M. (2010, February). CNN using memristors for neighborhood connections. In *2010 12th International Workshop on Cellular Nanoscale Networks and their Applications (CNNA 2010)* (pp. 1-4). IEEE.
- [109] Abdalla, H., & Pickett, M. D. (2011, May). SPICE modeling of memristors. In *2011 IEEE International Symposium of Circuits and Systems (ISCAS)* (pp. 1832-1835). IEEE.
- [110] Yakopcic, C., Taha, T. M., Subramanyam, G., Pino, R. E., & Rogers, S. (2011). A memristor device model. *IEEE electron device letters*, 32(10), 1436-1438.
- [111] Yang, J. J., Pickett, M. D., Li, X., Ohlberg, D. A., Stewart, D. R., & Williams, R. S. (2008). Memristive switching mechanism for metal/oxide/metal nanodevices. *Nature nanotechnology*, 3(7), 429-433.
- [112] Strukov, D. B., & Williams, R. S. (2009). Exponential ionic drift: fast switching and low volatility of thin-film memristors. *Applied Physics A*, 94(3), 515-519.
- [113] E. Lehtonen, (2012). Memristive Computing, Ph.D Thesis. Thesis, *University of Turku, Finland*.
- [114] O. Kavehei, (2012) Memristive Devices and Circuits for Computing, Memory, and Neuromorphic Applications, Ph. D. Thesis, University of Adelaide
- [115] Miller, K. (2010). Fabrication and modeling of thin-film anodic titania memristors, M. Sc. Thesis, Iowa State University
- [116] Oblea, A. S., Timilsina, A., Moore, D., & Campbell, K. A. (2010, July). Silver chalcogenide based memristor devices. In *The 2010 International Joint Conference on Neural Networks (IJCNN)* (pp. 1-3). IEEE.
- [117] Kumar, A., Rawal, Y., & Baghini, M. S. (2012, December). Fabrication and Characterization of the ZnO-based Memristor. In *2012 International Conference on Emerging Electronics* (pp. 1-3). IEEE.
- [118] Kumar, A., & Baghini, M. S. (2014). Experimental study for selection of electrode material for ZnO-based memristors. *Electronics Letters*, 50(21), 1547-1549.
- [119] Types of memristor, Erişim 02.04.2020, <http://www.memristor.org/reference/295/types-of-memristors>
- [120] Wang, X., Chen, Y., Xi, H., Li, H., & Dimitrov, D. (2009). Spintronic memristor through spin-torque-induced magnetization motion. *IEEE electron device letters*, 30(3), 294-297.

- [121] Chen, Y., Wang, X., Sun, Z., & Li, H. (2010, August). The application of spintronic devices in magnetic bio-sensing. In *2nd Asia Symposium on Quality Electronic Design (ASQED)* (pp. 230-234). IEEE.
- [122] Strukov, D. B., & Likharev, K. K. (2005). CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices. *Nanotechnology*, 16(6), 888.
- [123] Versace, M., & Chandler, B. (2010). The brain of a new machine. *IEEE spectrum*, 47(12), 30-37.
- [124] Linares-Barranco, B., Serrano-Gotarredona, T., Camuñas-Mesa, L. A., Perez-Carrasco, J. A., Zamarreño-Ramos, C., & Masquelier, T. (2011). On spike-timing-dependent-plasticity, memristive devices, and building a self-learning visual cortex. *Frontiers in neuroscience*, 5, 26.
- [125] Ebong, I. E., & Mazumder, P. (2011). CMOS and memristor-based neural network design for position detection. *Proceedings of the IEEE*, 100(6), 2050-2060.
- [126] Pershin, Y. V., & Di Ventra, M. (2010). Practical approach to programmable analog circuits with memristors. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 57(8), 1857-1864.
- [127] Wizenberg, R., Khiat, A., Berdan, R., Papavassiliou, C., & Prodromakis, T. (2014, June). Applications of solid-state memristors in tunable filters. In *2014 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 2269-2272). IEEE.
- [128] Jameel, S., Koraşli, C., & Nacaroğlu, A. (2013, May). Realization of biquadratic filter by using memristor. In *2013 The International Conference on Technological Advances in Electrical, Electronics and Computer Engineering (TAECE)* (pp. 52-56). IEEE.
- [129] Yener, Ş. Ç., Mutlu, R., & Kuntman, H. (2014, April). A new memristor-based high-pass filter/amplifier: Its analytical and dynamical models. In *2014 24th International Conference Radioelektronika* (pp. 1-4). IEEE.
- [130] Elsamman, A. H., Radwan, A. G., & Madian, A. H. (2013, February). The modified single input Op-Amps memristor based oscillator. In *2013 1st International Conference on Communications, Signal Processing, and their Applications (ICCSA)* (pp. 1-4). IEEE.
- [131] Ebong, I. E., & Mazumder, P. (2011). Self-controlled writing and erasing in a memristor crossbar memory. *IEEE Transactions on Nanotechnology*, 10(6), 1454-1463.
- [132] Chen, X., Wu, G., & Bao, D. (2008). Resistive switching behavior of Pt/Mg 0.2 Zn 0.8 O/Pt devices for nonvolatile memory applications. *Applied Physics Letters*, 93(9), 093501.
- [133] Ho, Y., Huang, G. M., & Li, P. (2009, November). Nonvolatile memristor memory: device characteristics and design implications. In *Proceedings of the 2009 International Conference on Computer-Aided Design* (pp. 485-490).
- [134] Kannan, S., Karimi, N., Karri, R., & Sinanoglu, O. (2015). Modeling, detection, and diagnosis of faults in multilevel memristor memories. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 34(5), 822-834.
- [135] Ho, P. W., Almurib, H. A. F., & Kumar, T. N. (2014, August). One-bit non-volatile memory cell using memristor and transmission gates. In *2014 2nd International Conference on Electronic Design (ICED)* (pp. 244-248). IEEE.
- [136] Zhang, Y., Shen, Y., Wang, X., & Cao, L. (2015). A novel design for memristor-based logic switch and crossbar circuits. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 62(5), 1402-1411.
- [137] Gao, L., Alibart, F., & Strukov, D. B. (2013). Programmable CMOS/memristor threshold logic. *IEEE Transactions on Nanotechnology*, 12(2), 115-119.
- [138] Mane, P. S., Paul, N., Behera, N., Sampath, M., & Ramesha, C. K. (2014, February). Hybrid CMOS-Memristor based configurable logic block design. In *2014 International Conference on Electronics and Communication Systems (ICECS)* (pp. 1-5). IEEE.
- [139] Lensink, RA (2015.). Gait Chaotification, M.Sc Thesis, Delft University of Technology, Faculty of Mechanical, Maritime and Material Engineering
- [140] Wikipedia, "Butterfly effect — wikipedia, the free encyclopedia," 2014. [Online; accessed 24-April-

- 2019]., (n.d.).
- [141] Kılıç R. (1996) Elektronik Devrelerdeki Kaos Olayının Bigisayar Simülasyonları ile İncelenmesi, Yüksek Lisans Tezi, Erciyes Üniversitesi, Fen Bilimleri Enstitüsü
 - [142] Pehlivan İ., (2010). Yeni kaotik sistemler: elektronik devre gerçeklemeleri, senkronizasyon ve güvenli haberleşme uygulamaları, Doktora Tezi, Sakarya Üniversitesi, Fen Bilimleri Enstitüsü
 - [143] Baker, G. L., Gollub, J. P., & Fox, R. (1990). Chaotic Dynamics: An Introduction. *PhT*, 43(7), 67.
 - [144] S. Çiçek., (2016). Yeni Bir Kaotik Sistem İle Fpga Tabanlı Bir Kaotik Haberleşme Sistemi Tasarımı ve Gerçekleştirilmesi, Doktora Tezi, Sakarya Üniversitesi, Fen Bilimleri Enstitüsü
 - [145] Sandri, M. (1996). Numerical calculation of Lyapunov exponents. *Mathematica Journal*, 6(3), 78-84.
 - [146] Sahin, M. E., Taskiran, Z. C., Guler, H., & Hamamci, S. E. (2019). Simulation and implementation of memristive chaotic system and its application for communication systems. *Sensors and Actuators A: Physical*, 290, 107-118.
 - [147] Mutlu, R., Karakulak, E., & Bölümü, E. (2009). Mühendislik Eğitiminde Kullanılabilecek Bir Memristör (Hafızalı Direnç) Taklit Devresi. *Elektrik Elektronik Bilgisayar Mühendislikleri Eğitimi Sempozyumu*.
 - [148] Sodhi, A., & Gandhi, G. (2010). Circuit mimicking TiO2 memristor: A plug and play kit to understand the fourth passive element. *International Journal of Bifurcation and Chaos*, 20(08), 2537-2545.
 - [149] Tetzlaff, R. (Ed.). (2013). *Memristors and memristive systems*. Springer Science & Business Media.
 - [150] Zhong, G. Q. (1994). Implementation of Chua's circuit with a cubic nonlinearity. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 41(12), 934-941.
 - [151] Karakaya, B. (2019). Hücresel Yapay Sinir Ağı ve Kaotik Devre Temelli Rasgele Sayı Üreteci Tasarımları, Doktora Tezi, Fırat Üniversitesi, Fen Bilimleri Enstitüsü
 - [152] Cong, L., & Xiaofu, W. (2001). Design and realization of an FPGA-based generator for chaotic frequency hopping sequences. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 48(5), 521-532.
 - [153] Azzaz, M. S., Tanougast, C., Sadoudi, S., & Dandache, A. (2009, June). Real-time FPGA implementation of Lorenz's chaotic generator for ciphering telecommunications. In *2009 Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference* (pp. 1-4). IEEE.
 - [154] Majumdar, D., Moritz, R., Leung, H., & Brent, J. M. (2010, October). An enhanced data rate chaos-based multilevel transceiver design exploiting ergodicity. In *2010-MILCOM 2010 MILITARY COMMUNICATIONS CONFERENCE* (pp. 1256-1261). IEEE.
 - [155] Aseeri, M., & Sobhy, M. I. (2002, September). A new approach to implement chaotic generators based on field programmable gate array (FPGA). In *Proc. 3rd Int. Conf. Discrete Chaotic Dynam. Nature Soc.*.
 - [156] Matsumoto, T., Chua, L., & Komuro, M. (1985). The double scroll. *IEEE Transactions on Circuits and Systems*, 32(8), 797-818.
 - [157] Kennedy, M. P. (1992). Robust op amp realization of Chua's circuit. *Frequenz.*, 46(3), 66-80.
 - [158] Karakaya, B., Türk, M. A., Türk, M., & Gülten, A. (2018). Selection of optimal numerical method for implementation of Lorenz Chaotic system on FPGA. *International Advanced Researches and Engineering Journal*, 2(2), 147-152.
 - [159] Köksal A.S. (2014) Yeni Bir Kaos Tabanlı Kriptolama Sistemi ve Uygulaması, Doktora Tezi, Sakarya Üniversitesi, Fen Bilimleri Enstitüsü
 - [160] Bao, B., Xu, L., Wang, N., Bao, H., Xu, Q., & Chen, M. (2018). Third-order RLCM-four-elements-based chaotic circuit and its coexisting bubbles. *AEU-International Journal of Electronics and Communications*, 94, 26-35.
 - [161] Pecora, L. M., & Carroll, T. L. (1991). Driving systems with chaotic signals. *Physical Review A*,

44(4), 2374.

- [162] Ma, J., & Yang, Y. (2013). Hyperchaos numerical simulation and control in a 4D hyperchaotic system. *Discrete Dynamics in Nature and Society*, 2013.
- [163] Yang, X. S. (2009, October). Firefly algorithms for multimodal optimization. In *International symposium on stochastic algorithms* (pp. 169-178). Springer, Berlin, Heidelberg.
- [164] Buck, J., & Case, J. (2002). Physiological links in firefly flash code evolution. *Journal of Insect Behavior*, 15(1), 51-68.
- [165] Dos Santos Coelho, L., & Mariani, V. C. (2012). Firefly algorithm approach based on chaotic Tinkerbell map applied to multivariable PID controller tuning. *Computers & Mathematics with Applications*, 64(8), 2371-2382.
- [166] Emel, G. G., & Taşkın, Ç. (2002). Genetik Algoritmalar ve Uygulama Alanları. *Uludağ Üniversitesi İktisadi ve İdari Bilimler Fakültesi Dergisi*, 21(1), 129-152.
- [167] Hayes, S., Grebogi, C., & Ott, E. (1993). Communicating with chaos. *Physical review letters*, 70(20), 3031.
- [168] Ines P. Marino, (1999). Synchronization and control of chaotic systems, spatio-temporal structures and applications to communications, Ph.D. Thesis, Universidade de Santiago de Compostela
- [169] H. Oğraş, (2010). Kaos tabanlı sayısal haberleşme sistemlerinin benzetimi için bir grafik kullanıcı arabirim tasarımı, Yüksek Lisans Tezi, Fırat Üniversitesi, Fen Bilimleri Enstitüsü
- [170] Hasler M (1997) Recent advances in the transmission of information using a chaotic signal. http://icwww.epfl.ch/publications/documents/IC_TECH_REPORT_199729.pdf Dec. 2003
- [171] Kharel R., (2011) Design and Implementation of Secure Chaotic Communication Systems, Ph.D. Thesis, University of Northumbria
- [172] Kocarev, L., Halle, K. S., Eckert, K., Chua, L. O., & Parlitz, U. (1992). Experimental demonstration of secure communications via chaotic synchronization. *International Journal of Bifurcation and Chaos*, 2(03), 709-713.
- [173] Wu, C. W., & Chua, L. O. (1993). A simple way to synchronize chaotic systems with applications to secure communication systems. *International Journal of Bifurcation and Chaos*, 3(06), 1619-1627.
- [174] Morgül, Ö., & Feki, M. (1999). A chaotic masking scheme by using synchronized chaotic systems. *Physics Letters A*, 251(3), 169-176.
- [175] Cuomo, K. M., Oppenheim, A. V., & Strogatz, S. H. (1993). Synchronization in chaotic systems. *Phys. Rev. Lett*, 71, 65.
- [176] Guomo, K. M., Oppenheim, A. V., & Strogatz, S. H. (1993). Synchronization of Lorenz-based chaotic circuits with applications to communication. *IEEE Transactions on Circuits Systems*, 40(10), 626-633.
- [177] Pérez, G., & Cerdeira, H. A. (1995). Extracting messages masked by chaos. *Physical Review Letters*, 74(11), 1970.
- [178] Yang, T., Yang, L. B., & Yang, C. M. (1998). Application of neural networks to unmasking chaotic secure communication. *Physica D: Nonlinear Phenomena*, 124(1-3), 248-257.
- [179] Huang, X., Xu, J., Huang, W., & Lu, Z. (2001). Unmasking chaotic mask by a wavelet multiscale decomposition algorithm. *International Journal of Bifurcation and Chaos*, 11(02), 561-569.
- [180] Yang, T., Yang, L. B., & Yang, C. M. (1998). Breaking chaotic secure communication using a spectrogram. *Physics Letters A*, 247(1-2), 105-111.
- [181] Mi, B., Liao, X., & Chen, Y. (2008). A novel chaotic encryption scheme based on arithmetic coding. *Chaos, Solitons & Fractals*, 38(5), 1523-1531.
- [182] Short, K. M. (1996). Unmasking a modulated chaotic communications scheme. *International Journal of Bifurcation and Chaos*, 6(02), 367-375.
- [183] Yang, T., Yang, L. B., & Yang, C. M. (1998). Cryptanalyzing chaotic secure communications using return maps. *Physics letters A*, 245(6), 495-510.

- [184] Yang, T. (2004). A survey of chaotic secure communication systems. *International journal of computational cognition*, 2(2), 81-130.
- [185] Kolumbán, G. (1997). Performance improvement of chaotic communication systems. In *Proc. ECCTD'97* (pp. 284-289).
- [186] Çiçek, S., Ferikoğlu, A., & Pehlivan, İ. (2015, May). A Chaotic communication system design with chaotic on-off keying (COOK) modulation method. In *2015 23rd Signal Processing and Communications Applications Conference (SIU)* (pp. 431-434). IEEE.
- [187] Stavroulakis, P. (Ed.). (2005). *Chaos applications in telecommunications*. CRC press.
- [188] Albassam, N. N., & Sumesh, E. P. (2015, February). Enhancing of chaotic on-off keying scheme. In *2015 IEEE 8th GCC Conference & Exhibition* (pp. 1-6). IEEE.
- [189] Günay, E., & Altun, K. (2018). Güvenilir Haberleşmede Açık Kapalı Kaotik Anahtarlama Sisteminin FPGA Kullanılarak Gerçekleştirilmesi. *Selçuk Üniversitesi Mühendislik, Bilim Ve Teknoloji Dergisi*, 6(4), 559-571.
- [190] Kennedy, M. P., & Kolumbán, G. (2000). Digital communications using chaos. *Signal processing*, 80(7), 1307-1320.
- [191] Kolumban, G., Kennedy, M. P., Kis, G., & Jako, Z. (1998, May). FM-DCSK: A novel method for chaotic communications. In *ISCAS'98. Proceedings of the 1998 IEEE International Symposium on Circuits and Systems (Cat. No. 98CH36187)* (Vol. 4, pp. 477-480). IEEE.
- [192] Kolumban, G., Kennedy, M. P., Jako, Z., & Kis, G. (2002). Chaotic communications with correlator receivers: theory and performance limits. *Proceedings of the IEEE*, 90(5), 711-732.
- [193] Kis, G. (2003), Performance analysis of chaotic communications systems, Budapest University of Technology and Economics
- [194] Haykin, S. (2008). *Communication systems*. John Wiley & Sons.
- [195] Rice, S. O. (1982). Envelopes of narrow-band signals. *Proceedings of the IEEE*, 70(7), 692-699.
- [196] Jia Dong, (2013) Estimation of Bit Error Rate of any digital Communication System, Ph.D. Thesis, Université de Bretagne Occidentale
- [197] Sambas, A., Mada Sanjaya, W. S., Mamat, M., & Tacha, O. (2013). Design and numerical simulation of unidirectional chaotic synchronization and its application in secure communication system. *Journal of Engineering Science and Technology Review*, 6(4), 66-73.
- [198] Sahin, M. E., Taskiran, Z. G. C., Guler, H., & Hamamci, S. E. (2020). Application and modeling of a novel 4D memristive chaotic system for communication systems. *Circuits, Systems, and Signal Processing*, 1-30.
- [199] Kennedy, M. P., Kolumbán, G., Kis, G., & Jákó, Z. (2000). Performance evaluation of FM-DCSK modulation in multipath environments. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(12), 1702-1711.
- [200] Kolumban, G. (2000). Theoretical noise performance of correlator-based chaotic communications schemes. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(12), 1692-1701.

ÖZGEÇMİŞ

Muhammet Emin ŞAHİN

KİŞİSEL BİLGİLER

Doğum Yeri	: Malatya
Doğum Yılı	: 1990
Uyruğu	: T.C.
Adres	: Bozok Üniversitesi, Atatürk Yolu 7. Km. Elektrik-Elektronik Müh.
E-posta	: emin.sahin @bozok.edu.tr
Yabancı Diller	: İngilizce (Düzey: C1)
ORCID ID	: 0000-0001-7729-990X

EĞİTİM BİLGİLERİ

Yüksek Lisans	: "EEG Sinyali Almak İçin Kart Tasarımı" Bozok Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik-Elektronik Müh. Anabilim Dalı, 2015, Danışman: Prof. Dr. Feyzullah TEMURTAŞ
Lisans	: Süleyman Demirel Üniversitesi, Mühendislik-Mimarlık Fak., Elektronik ve Haberleşme Bölümü, 2013

ARAŞTIRMA DENEYİMİ

- ✓ Bilinen bilgisayar programlama dillerini: (C-C++, vb.)
- ✓ Kullanabildiğim bilgisayar programları (Multisim, PSpice, LTspice, MATLAB, LABVIEW, vb.)

İŞ DENEYİMİ

2013 – 2015	: Bozok Üniversitesi (Arş. Gör)
2015 – 2017	: Fırat Üniversitesi (Arş. Gör)
2017-.....	: Bozok Üniversitesi (Arş. Gör)

AKADEMİK FAALİYETLER

Makaleler:

1. **SAHİN, Muhammet Emin**, Hasan GULER, and K. A. Y. A. Turgay. "LabVIEW Model Of Memristor With Nonlinear Dopant Drift." *European Journal of Technique* 6.2 (2016): 124-130.
2. **ŞAHİN, Muhammet Emin**, and Hasan GÜLER. "TiO2 Memristor Modelling with LabVIEW." *Fırat University Turkish Journal of Science and Technology* 12.2 (2017): 79-83.
3. Karakaya, Barış, **Muhammet E. ŞAHİN**, and Arif GÜLTEN. "Memristör Tabanlı Kaotik Devre Modelinin FPGA Ortamında Tasarımı ve Gerçeklenmesi." *Fırat University Journal of Science* 29.2 (2017).
4. **Şahin, Muhammet Emin**, Güliden Günay Bulut, and Hasan Güler. "An implementation of chaotic circuits with Multisim-LabVIEW." *International Advanced Researches and Engineering Journal* 2.3: 304-308.

5. **Sahin, M. E.**, Taskiran, Z. C., Guler, H., & Hamamci, S. E., Simulation and implementation of memristive chaotic system and its application for communication systems. *Sensors and Actuators A: Physical*, 290 (2019), 107-118.
6. **Sahin, M. E.**, Taskiran, Z. G. C., Guler, H., & Hamamci, S. E., Application and Modeling of a Novel 4D Memristive Chaotic System for Communication Systems. *Circuits, Systems, and Signal Processing* (2020), 1-30.
7. **Şahin, M.**, Karakaya, B, Güler, H, Gülten, A, Hamamci, S, "Memristor Based Filter Design and Implementation for ECG Signal". *Bitlis Eren Üniversitesi Fen Bilimleri Dergisi* 9 (2020): 756-765

Bildiriler:

1. **Sahin, Muhammet Emin**, and Hasan Guler. "The design of memristor based high pass filter circuit." *2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. IEEE, 2017.
2. **M. E. Sahin**, Bulut, G. Günay, and H. Guler. "An implementation of chaotic circuits with Multisim-LabVIEW." *International Advanced Researches and Engineering Journal* (2018): 304-308.
3. **ME Sahin**, B Karakaya, H Guler, A Gülten, "Memristor Based Chaotic Circuit Modelling with LabVIEW" *International Advanced Researches and Engineering Journal* (2018): 304-308.
4. Barış Karakaya, **Muhammet Emin Şahin**, Hasan Güler, Arif Gülten, "Memristor Based True Random Number Generator", 6th International Conference on "Advances in Engineering and Technology" (AET-17)

Projeler:

- i. 2214-A Yurt Dışı Doktora Sırası Araştırma Burs Programı (Pazmany Peter Catholic University-2019)
- ii. İnönü Üniversitesi BAP, Memristör Tabanlı Kaotik Devrelerin Haberleşme Sistemlerinde Kullanılması, FBA-2018-1582, Araştırmacı