

**T.C.
SÜLEYMAN DEMİREL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**MİKROİŞLEMCİ ÇEKİRDEK TASARIMINDA ÇOKLU
DEĞERLİ MANTIK KULLANIMI**

Wissam Mohsin Ali ALJANABI

**Danışman
Dr.Öğr.Üyesi Mehmet ALBAYRAK**

**DOKTORA TEZİ
ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ ANABİLİM DALI
ISPARTA – 2019**



© 2019 [Wissam Mohsin Ali ALJANABI]

TEZ ONAYI

Wissam Mohsin Ali ALJANABI tarafından hazırlanan "**Mikroişlemci Çekirdek Tasarımında Çoklu Değerli Mantık Kullanımı**" adlı tez çalışması aşağıdaki jüri üyeleri önünde Süleyman Demirel Üniversitesi Fen Bilimleri Enstitüsü **Elektronik Ve Haberleşme Mühendisliği Anabilim Dalı**'nda **DOKTORA TEZİ** olarak başarı ile savunulmuştur.

Danışman

Dr.Öğr.Üyesi Mehmet ALBAYRAK
Isparta Uygulamalı Bilimler Üniversitesi

Jüri Üyesi

Prof.Dr. Selçuk ÇÖMLEKÇİ
Süleyman Demirel Üniversitesi

Jüri Üyesi

Doç.Dr. Yılmaz KALKAN
Adnan Menderes Üniversitesi

Jüri Üyesi

Prof.Dr. Ecir Uğur KÜÇÜKSİLLE
Süleyman Demirel Üniversitesi

Jüri Üyesi

Doç.Dr. Okan BİNGÖL
Isparta Uygulamalı Bilimler Üniversitesi

Enstitü Müdürü

Doç. Dr. Şule Sultan UĞUR

TAAHHÜTNAME

Bu tezin akademik ve etik kurallara uygun olarak yazıldığını ve kullanılan tüm literatür bilgilerinin referans gösterilerek tezde yer aldığını beyan ederim.

Wissam Mohsin Ali ALJANABI



İÇİNDEKİLER

	Sayfa
İÇİNDEKİLER	i
ÖZET.....	iii
ABSTRACT.....	v
TEŞEKKÜR.....	vii
ŞEKİLLER LİSTESİ	viii
TABLolar LİSTESİ.....	x
SİMGELER VE KISALTMALAR DİZİNİ	xi
1. GİRİŞ	1
1.1. Motivasyon.....	1
1.2. ÇDM'nin Potansiyel Faydaları	3
1.3. ÇDM ile İlgili Sorunlar	4
1.4. İkili Mantık ve ÇDM Sistemleri Arasında Karşılaştırma	5
1.5. Literatür Araştırması	6
2. ÇDM AKIM MODU TEMEL DEVRE BİLEŞENLERİNİN ÖZELLİKLERİ	9
2.1. Temel Çoklu Değerli Mantık Elemanları.....	9
2.1.1. Anahtarlı transistör.....	10
2.1.2. Diyot bağlantılı transistör.....	11
2.1.3. Toplama.....	12
2.1.4. Akım aynaları.....	12
2.1.5. Kırpılmış fark operatörü.....	13
2.1.6. Akım bağımlı inverter	14
2.1.7. Akım karşılaştırıcı	14
2.1.8. Alt ve üst eşik operatörleri	15
2.2. Kodlayıcı ve Kod Çözücü	18
3. ÖNERİLEN ÇDM MANTIK GEÇİTLERİ SİSTEMİ	20
3.1. Önerilen ÇDM Mantık Kapıları Sistemi	20
3.2. Cebirsel Yapılar	23
3.2.1. Fonksiyonlar.....	23
3.2.2. Halkalar (rings)	24
3.3. Önerilen Mantık Kapıları Sistemi ile İlişkili ÇDM Cebirleri	25
3.3.1. Post cebiri.....	26
3.3.2. Kleene cebiri	29
3.3.3. Allen ve Givone Cebiri	32
3.3.4. Vranesic, Lee ve Smith Cebiri	33
3.3.5. Modüler cebir	34
4. SEKİZLİ ÇDM MİKROİŞLEMCİ ÇEKİRDEĞİNİN TASARIMI VE AKIM MODUNUN GERÇEKLEŞTİRİLMESİ	36
4.1. Tasarım Metodolojisi	36
4.2.1. Veri yolunun akım-modu gerçekleştirilmesi.....	40
4.2.1.1. Sekizli ÇDM aritmetik ve mantık biriminin akım-modu gerçekleştirilmesi.....	40
4.2.1.1.1. Minimum kapısının uygulanması.....	42
4.2.1.1.2. Maksimum kapısının uygulanması	42
4.2.1.1.3. Mod-sum kapısının uygulanması	43
4.2.1.1.4. Mod-fark kapısının uygulanması	44
4.2.1.1.5. Sekizli tam toplayıcının uygulanması	45
4.2.1.1.6. Sekizli tam çıkarıcının uygulanması	46

4.2.1.1.7. Sekizli inverter kapısının uygulanması	48
4.2.1.1.8. Sekizli literal kapıların uygulanması.....	48
4.2.1.1.9. Döngü kapısının uygulanması.....	50
4.2.1.1.10. Ardıl ve öncülün uygulanması	50
4.2.1.1.11. Sekizli çarpanın uygulanması	51
4.2.1.1.12. Mantıksal çıkarım kapısının uygulanması	63
4.2.1.1.13. Mantıksal eşdeğerlik kapısının uygulanması	64
4.2.1.1.14. Evrensel kapısının uygulanması.....	65
4.2.1.1.15. ÇDM seçicisinin uygulanması (çoklayıcı).....	66
4.2.1.2. Sekizli ÇDM kaydının akım modu gerçekleştirilmesi	68
4.2.2. ÇDM denetim biriminin tasarımı ve uygulanması.....	75
4.2.2.1. Komut Kümesi	76
4.2.2.2. Önerilen ÇDM kontrol ünitesinin tasarımı	78
5. ANALİZLER ve TARTIŞMA	81
5.1. Test etme	81
5.1.1. Minimum kapısının test edilmesi ve simülasyonu	82
5.1.2. Maksimum kapısının test edilmesi ve simülasyonu.....	82
5.1.3. Mod-sum kapısının test edilmesi ve simülasyonu	83
5.1.4. Mod-fark kapısının test edilmesi ve simülasyonu.....	83
5.1.5. Tam toplayıcı kapısının test edilmesi ve simülasyonu.....	84
5.1.6. Tam çıkarıcı kapısının test edilmesi ve simülasyonu.....	84
5.1.7. Sekizli inverter kapısının test edilmesi ve simülasyonu	85
5.1.8. Literal kapıların test edilmesi ve simülasyonu.....	85
5.1.9. Çarpan kapısının test edilmesi ve simülasyonu	87
5.1.10. Mantıksal çıkarım kapısının test edilmesi ve simülasyonu.....	88
5.1.11. Mantıksal eşdeğer kapısının test edilmesi ve simülasyonu.....	88
5.1.12. Evrensel kapısının test edilmesi ve simülasyonu	89
5.1.13. ÇDM çoklayıcısının test edilmesi ve simülasyonu	89
5.1.14. ÇDM mandal devresinin test edilmesi ve simülasyonu	90
5.1.15. ÇDM denetim biriminin test edilmesi ve simülasyonu.....	90
5.1.16. Önerilen ÇDM mikroişlemci çekirdeği genel tasarımının test edilmesi ve simülasyonu	91
5.2. Önerilen ÇDM Mikroişlemci Çekirdeği Performans Analizi ve CMOS tabanlı İkili Mikro İşlemci Çekirdeği ile Karşılaştırılması.....	95
5.3. Durum değerlendirmesi.....	97
6. SONUÇLAR VE GELECEK ÇALIŞMALAR.....	99
6.1. Sonuç.....	99
6.2. Gelecekte Yapılacak Çalışmalar	101
KAYNAKLAR	103
ÖZGEÇMİŞ	110

ÖZET

Doktora Tezi

MİKROİŞLEMCİ ÇEKİRDEK TASARIMINDA ÇOKLU DEĞERLİ MANTIK KULLANIMI

Wissam Mohsin Ali ALJANABI

Süleyman Demirel Üniversitesi
Fen Bilimleri Enstitüsü
Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Danışman: Dr.Öğr.Üyesi Mehmet ALBAYRAK

Son yıllarda, Çoklu Değerli Mantık (ÇDM) devreleri olarak adlandırılan ikili mantık seviyesinden fazla devrenin kullanılması büyük önem taşımaktadır. ÇDM devrelerin uygulanmasının, ikili değerli devrelerden daha fazla göz önünde bulundurulmasının en yaygın nedenleri; ikili devrelere kıyasla kablolama tıkanıklığını azaltması, üç veya daha fazla ayrıık gerilim veya akım değerini iletmek üzere tek bir iletkenin kullanılmasının kablo başına daha büyük bilgi içeriğine izin vermesi ve devre maliyet modellerinin daha ekonomik olacak olmasıdır.

Bu tezin birincil katkısı, sekiz değerli mantık sinyallerini kabul eden, yöneten, depolayan ve sağlayan bir ÇDM mikroişlemci çekirdeğinin tasarımıdır. Tasarım hedefi, daha yüksek hız, daha küçük boyut, daha az sayıda transistör ve daha az güç yitimi bakımından mikroişlemcinin performansını iyileştirmektir.

Yüksek fonksiyon değer seviyesinin (mantık seviyelerinin sayısı) mümkün olduğunca çok sayıyı temsil etmesi en iyi uygulama olacaktır. Ancak, uygulamada, Octal mantık, hesaplama kabiliyetini artırmaya yönelik gerekli hesaplama adımlarının sayısını azaltır, her hattın taşıdığı daha yüksek bilgi içeriği nedeniyle iletişim hatlarının daha fazla kullanılmasını sağlar.Çalışmada 8 fonksiyon değer seviyesi, basit (kodlama-kod çözme) devrelerinin kullanımına izin verdiği için, ikili mantığa kolay ara yüzleme avantajı sağlar. Bu nedenle de, önerilen tasarım 8 fonksiyon değer seviyesine dayanmaktadır.

Fonksiyonel bütünlük yeni bir ÇDM mantık kapı sistemi ile kanıtlanmıştır. Önerilen ÇDM mantık kapı sistemi fonksiyonel olarak eksiksizdir ve Post cebiri, Kleene cebiri, Allen ve Givone cebiri, Vranesic, Lee ve Smith cebiri ve Modüler cebire dayanmaktadır. Yalnızca Boolean cebirine dayanan ikili mantık kapı sistemine benzememektedir.

Bu çalışmada, sekiz değerli ÇDM sistemi içindeki olası tüm fonksiyonları yönetme yeteneğine sahip fonksiyonel olarak eksiksiz olan eşsiz bir sekiz değerli mikroişlemci çekirdeği sunulmuş ve akım-modu teknolojisi kullanılarak tasarlanmıştır. Önerilen devreyi simüle etmek için, Cadence simülatöründe (SPICE) aracına sahip bir simülasyon programı kullanılmıştır. Önerilen mikroişlemci çekirdeğinin performans analizi sunulmuştur. Farklı yapılar olmasına rağmen,

CMOS tabanlı ikili mikro işlemci çekirdeği ile benzer parametreler açısından performans karşılaştırması sunulmuştur. Karşılaştırma yapılırken iki yapıdan biri voltaj modlu diğeri akım modlu çalıştığı için karşılaştırmada durum farklılığı ortaya konulmuştur. Sonuçlar kısmında yeni tasarımlara yol göstermesi açısından daha sonra yapılabilecek çalışmalara yer verilmiştir.

Anahtar Kelimeler: Akım modu; tam toplayıcı; tam çıkarıcı; çoklu değerli mantık; sekizli mantık; evrensel kapı.

2019, 110 sayfa



ABSTRACT

Ph.D. Thesis

USING MULTIPLE VALUED LOGIC IN MICROPROCESSOR CORE DESIGN

Wissam Mohsin Ali ALJANABI

**Süleyman Demirel University
Graduate School of Natural and Applied Sciences
Department of Electronics and Communication Engineering**

Supervisor: Asst.Prof.Dr. Mehmet ALBAYRAK

In the recent years, there was major importance to use of the circuits with more than two logic levels, named as Multiple-Valued Logic (MVL) circuits. The most common reasons for considering the implementation of MVL circuits better than binary valued circuits are that reducing wiring congestion as compared to binary circuits, using a single conductor to transmit three or more discrete voltage or current values allows for greater information content per wire and the circuit cost models would be more economical.

The primary contribution of this thesis is the design of a MVL microprocessor core that accepts, manipulates, stores and provides eight-valued logic signals. The design target is to improve the microprocessor's performance in term to be higher speed, smaller size, less number of transistors and less power dissipation.

The higher radix (number of logic levels) would be best to represent as many numbers as possible. But, in practice, Octal logic reduces the number of required computation steps leading to increase computational ability, offers greater utilization of communication lines because of the higher information content carried by every line and offers the benefit of easy interfacing to binary logic because radix 8 allows for the use of simple (encoding-decoding) circuits. Therefore, the proposed design based on radix 8.

The functional completeness is proven with a new MVL logic gates system. The proposed MVL logic gates system is functionally complete and based on Post algebra, Kleene algebra, Allen and Givone algebra, Vranesic, Lee and Smith algebra, and Modular algebra. It is not similar to the binary logic gates system that is based on Boolean algebra only.

In this thesis, a novel functionally complete octal microprocessor core has the ability to manipulation all possible functions within the octal MVL system is presented and designed using current mode technology. Simulation program with (SPICE) tool in Cadence simulator is used to simulate the proposed circuit. Performance analysis of the proposed microprocessor core is presented. Although there are different structures, a comparison of performance in terms of similar parameters with the CMOS based binary microprocessor core is presented. When comparing, one of the

two structures is voltage mode and the other is current mode. In the conclusions section, studies that can be done later are given in order to guide new designs.

Keywords: Current mode; full adder; full subtractor; multiple valued logic; octal logic; universal gate.

2019, 110 pages



TEŞEKKÜR

Doktora eğitimimin başlangıcından tez çalışmasının sonuçlandırılmasına kadar olan her aşamada beni yönlendiren, değerli bilgilerini esirgemeyen, cesaretlendirmeleri, teşvikleri, yardımları, anlayışları, destekleri, yorumları ve eleştirileri ile yanımda olan, bilgi ve zamanını benimle paylaşan danışmanım Sayın Dr.Öğr.Üyesi Mehmet ALBAYRAK'e sonsuz teşekkürlerimi sunarım.

Tez çalışmasının ilerlemesi için pozitif katkıda bulunan, Tez İzleme Komitesi üyeleri Sayın Prof.Dr. Selçuk ÇÖMLEKÇİ ve Sayın Doç.Dr. Yılmaz KALKAN'a minnettarım. Ayrıca çalışmaya manevi olarak destek veren diğer katkı sahiplerine teşekkür ederim.

Tezimin her aşamasında beni yalnız bırakmayan anneme, ablama, eşime, ve çocuklarıma sonsuz sevgi ve saygılarımı sunarım.

Wissam Mohsin Ali ALJANABI
ISPARTA, 2019

ŞEKİLLER DİZİNİ

	Sayfa
Şekil 2.1. CMOS transistörleri	10
Şekil 2.2. Diyot bağlantılı transistörler	11
Şekil 2.3. Akım modu ÇDM’de toplama işlemi	12
Şekil 2.4. N-tipi ve P-tipi akım aynaları	12
Şekil 2.5. Akım yönlendirme devresi.....	13
Şekil 2.6. Kırpılmış fark operatörü	13
Şekil 2.7. Akım bağımlı CMOS inverteri	14
Şekil 2.8 CMOS akım karşılaştırıcısı.....	15
Şekil 2.9. Alt eşik devresi	17
Şekil 2.10. Üst eşik devresi	17
Şekil 2.11. İkili tasarlanmış sistemlerde ÇDM devrelerini kullanma.	18
Şekil 2.12. Kodlayıcı devresi	19
Şekil 2.13. Kod çözücü devresi.....	19
Şekil 4.1. Önerilen bir ÇDM mikroişlemci çekirdeğinin parçalarının nasıl birbirine geçtiğininw özeti.	38
Şekil 4.2. Önerilen ÇDM mikroişlemci çekirdeğinin tasarımı.	39
Şekil 4.3. 1-bit sekizli ÇDM ALU'nun blok diyagramı	41
Şekil 4.4. Minimum kapısının transistör seviyesi tasarımı	42
Şekil 4.5. Maksimum kapısının transistör seviyesi tasarımı	43
Şekil 4.6. Mod-sum kapısının transistör seviyesi tasarımı.....	44
Şekil 4.7. Mod-fark kapısının transistör seviyesi tasarımı	45
Şekil 4.8. Tam-toplayıcının transistör seviyesi tasarımı	46
Şekil 4.9. Önerilen sekizli tam çıkarıcı devresinin blok diyagramı	47
Şekil 4.10. Yedi’nin tamamlayıcı devresinin transistör seviyesi tasarımı	48
Şekil 4.11. Eşik literal kapısının transistör seviyesi tasarımı	49
Şekil 4.12. Belirleyici literal ve pencere literalinin transistör seviyesi tasarımı.....	50
Şekil 4.13. 1-bit çok değerli mantık sekizli çarpanın blok diyagramı	54
Şekil 4.14. $F_1(A, B)$ alt kapısı için transistör şematik diyagramı	55
Şekil 4.15. $F_2(A, B)$ alt kapısı için transistör şematik diyagramı	55
Şekil 4.16. $F_3(A, B)$ alt kapısı için transistör şematik diyagramı	56
Şekil 4.17. $F_4(A, B)$ alt kapısı için transistör şematik diyagramı	57
Şekil 4.18. $F_5(A, B)$ alt kapısı için transistör şematik diyagramı	58
Şekil 4.19. $F_6(A, B)$ alt kapısı için transistör şematik diyagramı	58
Şekil 4.20. $F_7(A, B)$ alt kapısı için transistör şematik diyagramı	59
Şekil 4.21. $E_1(A, B)$ alt kapısı için transistör şematik diyagramı	59
Şekil 4.22. $E_2(A, B)$ alt kapısı için transistör şematik diyagramı	60
Şekil 4.23. $E_3(A, B)$ alt kapısı için transistör şematik diyagramı	61
Şekil 4.24. $E_4(A, B)$ alt kapısı için transistör şematik diyagramı	61
Şekil 4.25. $E_5(A, B)$ alt kapısı için transistör şematik diyagramı	62
Şekil 4.26. $E_6(A, B)$ alt kapısı için transistör şematik diyagramı	62
Şekil 4.27. Mantıksal çıkarım kapısının blok diyagramı	63
Şekil 4.28. Mantıksal eşdeğerlik kapısının blok diyagramı	64
Şekil 4.29. Evrensel kapı.....	66
Şekil 4.30. Önerilen ÇDM çoklayıcısının blok diyagramı.....	68
Şekil 4.31. Giriş testi alt devresi	70
Şekil 4.32. Kod çözme - kodlama alt devresi.....	71
Şekil 4.33. Çıkış yansıtan alt devre.....	72

Şekil 4.34. Önerilen sekizli mandal devresinin genel tasarımı	74
Şekil 4.35. Önerilen ÇDM denetim biriminin blok diyagramı.	78
Şekil 4.36. Aritmetik ve mantıksal denetim sinyalleri üretici blok diyagramı.....	79
Şekil 5.1. Minimum kapısının simülasyon sonucu	82
Şekil 5.2. Maksimum kapısının simülasyon sonucu	83
Şekil 5.3. Mod-sum kapısının simülasyon sonucu.....	83
Şekil 5.4. Mod-fark kapısının simülasyon sonucu	84
Şekil 5.5. Tam toplayıcı kapısının simülasyon sonucu	84
Şekil 5.6. Tam çıkarıcı kapısının simülasyon sonucu	85
Şekil 5.7. Sekizli inverter kapısının simülasyon sonucu.....	85
Şekil 5.8. Eşik literal kapısının simülasyon sonucu	86
Şekil 5.9. Belirleyici literal kapısının simülasyon sonucu	86
Şekil 5.10. Pencere literal kapısının simülasyon sonucu	86
Şekil 5.11. Çarpan kapısının simülasyon sonucu.....	87
Şekil 5.12. Mantıksal çıkarım kapısının simülasyon sonucu	88
Şekil 5.13. Mantıksal eşdeğer kapısının simülasyon sonucu	88
Şekil 5.14. Evrensel kapısının simülasyon sonucu	89
Şekil 5.15. ÇDM çoklayıcısının simülasyon sonucu	90
Şekil 5.16. ÇDM mandal devresinin simülasyon sonucu	90
Şekil 5.17. Önerilen ÇDM mikroişlemci çekirdeğinin simülasyon sonucu.....	94

ÇİZELGELER DİZİNİ

	Sayfa
Çizelge 1.1. İkili mantık ve ÇDM sistemleri arasında karşılaştırma.	5
Çizelge 2.1. Alt eşik işlemi için doğruluk çizelgesi.....	16
Çizelge 2.2. Üst eşik işlemi için doğruluk çizelgesi	17
Çizelge 3.1. Birden fazla değişkenin (giriş) önerilen Sekizli ÇDM mantık kapıları.	23
Çizelge 3.2. Bir değişkenin (giriş) önerilen Sekizli ÇDM mantık kapıları.....	23
Çizelge 3.3. Sekizli zincir tabanlı post mantık sistemi için Min. işlemcisinin doğruluk çizelgesi.	27
Çizelge 3.4. Sekizli zincir tabanlı mantık sistemi için Max işlemcisinin doğruluk çizelgesi.	27
Çizelge 3.5. Sekizli zincir tabanlı post mantık sistemi için belirleyici literal işlemcisinin doğruluk çizelgesi.....	28
Çizelge 3.6. Üçlü Kleene mantık sistemi işlemcileri.	30
Çizelge 3.7. Sekizli Kleene mantık sistemi işlemcileri.....	31
Çizelge 3.8. Sekizli Allen ve Givone sistemi için pencere literalinin doğruluk çizelgesi	32
Çizelge 3.9. Sekizlik için saat yönündeki döngü işlemcisinin doğruluk çizelgesi.....	33
Çizelge 3.10. Sekizlik için eşik literalinin doğruluk çizelgesi.	34
Çizelge 3.11. Toplama modülo-8'in doğruluk çizelgesi.	35
Çizelge 3.12. Çıkarma modülo-8'in doğruluk çizelgesi.	35
Çizelge 4.1. Akım seviyeleri ve mantık seviyeleri eşdeğeri	39
Çizelge 4.2. Sekizli (Fonksiyon Değer Seviyesi 8) çarpımının doğruluk çizelgesi... ..	51
Çizelge 4.3. Sekizli (Fonksiyon Değer Seviyesi 8) elde sayısı işleminin doğruluk çizelgesi	52
Çizelge 4.4. İkili mantıksal çıkarımın doğruluk çizelgesi	63
Çizelge 4.5. İkili mantıksal eşdeğerliğin doğruluk çizelgesi	64
Çizelge 4.6. Önerilen ÇDM mikro işlemci çekirdeğinin yürütebileceği komutlar kümesi ve karşılık gelen kodlama.....	76
Çizelge 5.1. Önerilen ÇDM mikroişlemci çekirdeği yapısının ortak parametreler açısından ve CMOS tabanlı İkili mikro işlemci çekirdeği ile performans karşılaştırılması.....	96

SİMGELER VE KISALTMALAR DİZİNİ

ALU	Aritmetik mantık birimi (arithmetic logic unit)
BJT	Çift kutuplu jonksiyon transistor (bipolar junction transistor)
CAD	Bilgisayar destekli tasarım (Computer-aided design)
ÇDM	Çoklu değerli mantık (multiple valued logic)
CMOS	Tamamlayıcı metal oksit yarı iletkeni (Complementary metal oxide semiconductor)
FPGA	Alan programlanabilir kapı dizisi (field-programmable gate array)
I	Akım (Current)
L	Kanal boyu (Channel length)
MOS	Metal oksit Yarı iletkeni (Metal oxide semiconductor)
MOSFET	Metal oksit yarıiletken alan etkili transistor (metal oxide semiconductor field effect transistor)
RTD	Çınlayan tünelleme diyot (resonant tunneling diode)
RTT	Çınlayan tünelleme transistor (resonant tunneling transistor)
STT	Yüzey tünelleme transistor (surface tunneling transistor)
t_{ox}	İnce oksit kalınlığı (Thickness of the gate insulator)
V	Gerilim (voltage)
V_{DD}	Akaç için DC güç kaynağı gerilimi (Circuit supply voltage)
V_{GS}	Kapıdan kaynağa doğru gerilim düşümü (Gate to source voltage)
VLSI	Çok büyük ebatlı tümleşik devreler (Very large scale integration)
V_{th}	Transistörler için eşik gerilimi (Threshold voltage)
W	Kanal genişliği (Channel width)
μ	Yüzey hareket kabiliyeti (Surface mobility of electrons in the channel)

1. GİRİŞ

Bu bölümde, mikroişlemcilerin sürekli gelişimi ile ilgili başlıca zorluklar tartışılmış, çoklu değerli mantık fikri açıklanmış ve bazı önemli faktörler açısından ikili mantık ve çoklu değerli mantık sistemleri arasında bir karşılaştırma sunulmuştur. On yıllık süre zarflarında yaşanan çoklu değerli mantık gelişimi tartışılmıştır.

1.1. Motivasyon

Mikroişlemcinin performansı; transistör hızı, çekirdek mikro-mimari teknikleri ve enerji gereksinimlerinin azaltılması ile son 20 yılda 1.000 kat artmıştır. Önümüzdeki yirmi yılda, azalan transistör hızı ve pratik enerji değerlendirmeleri, performansın sürekli gelişimine yönelik yeni zorluklar oluşturmaktadır [70]. Sonuç olarak, mikro işlemcinin performansı yakın gelecekte yavaş bir büyüme gösterecektir.

Mikroişlemci tasarımındaki en büyük zorluklar çip alanının azaltılması ve devre hızının artırılmasıdır. Geleneksel ikili mantık, günümüzde yönlendirme, hız, talimat sayısı, güç yitimi, silikon alanı ve Moore yasasına göre transistör sayısının artması gibi birçok problemle karşı karşıyadır [29].

İkili mantığın yaygın olarak kullanılmasının nedeni mevcut röleler, vakum tüpü, diyotlar ve son transistörler ile kolayca gerçekleştirilmeleri idi [24]. Yeni mikroişlemci üretimi yaklaşık 10^9 transistöre ihtiyaç duymakta iken, yaklaşık bağlantı sayısı ise 10^{11} 'dir [37]. Bir mühendislik bakış açısı olarak, bağlantı sayısının transistör sayısından 100 kat daha fazla olduğu sonucu çıkarılabilir. Bu nedenle, bu durum, aktif elemanların silikon alanının, pasif elemanların silikon alanından daha küçük olmasına yol açacaktır. Bu büyük sorun, büyük güç tüketiminden başlayarak yönlendirme karmaşıklığına kadar birçok zorluk oluşturacaktır.

Klasik mikroişlemcinin mikro mimarisi, 1993 yılından itibaren beri doyma noktasına ulaşmıştır (64-bit mikroişlemci) ve mikroişlemciyi geliştirmeye yönelik olan tüm çabalar da (özellikle de sonraki kuşaklarda), paralel işlem yaklaşımı, mikroişlemci frekansını (clock pulse) artırma ve önbelleği artırma gibi teknik yönlerle odaklanmıştır. Paralel işleme yaklaşımı, işlemcinin gücünü arttırmış olmasına

rağmen, aşağıdaki örneklerden dolayı göz ardı edilemeyecek dezavantajları ve kısıtlamaları vardır:

1. İki çekirdek normal bir işlemci olarak iki kat hızda çalışmamaktadır. Yalnızca %60-80 oranında daha fazla hızlanırlar.
2. İşletim sistemlerinin hepsi birden fazla çekirdeği desteklemez.
3. Çok çekirdekli bir işlemci için derlenmiş olan işletim sistemleri, tek çekirdekli bir işlemci üzerinde daha yavaş çalışırlar.
4. Tek çekirdekli işlemcilere kıyasla termal olarak yönetilmeleri daha zordur.
5. Maliyeti çok yüksektir.

Burada sorulması gereken soru şudur: klasik mikroişlemci neden doyma noktasına geldi ve 1993 yılından bu yana neden hiç değişmedi (64-bit mikroişlemci)? Ya da başka bir deyişle, neden 64-bit mikroişlemci 32 bit- mikroişlemciden daha yararlıdır? Neden 128-bit mikroişlemci daha da yararlı olsun ya da daha yararlı olmasın?

Aslında, tasarımcılar iki kat daha büyük bir veri yolunu desteklemenin iki kat daha fazla ara bağlantı anlamına geldiğini, aynı zamanda tüm talimatların da daha geniş olması gerektiğini ve mikroişlemcinin bir bütün olarak 8 bitten 128 bite kadar daha fazla genişliklerde çalışan talimat ve veri tiplerini desteklemesi gerektiğini tespit etmişlerdir. Tüm bunlar muazzam bir karmaşıklığa neden olmaktadır ve devasa maliyete ek olarak çipin tamamını büyük ölçüde yavaşlatmaktadır. Sonuç olarak, 128-bit mikroişlemci kullanışlı olmayacaktır.

İkili sistem gerçekleşmesi ve üretiminde yukarıda bahsedilen kısıtlamaların üstesinden gelmeye yönelik çözümler iki ana kısma ayrılabilir:

1. Yazılım çözümleri (bilgisayar tabanlı çözümler).
2. Donanım çözümleri (devre düzeyi).

Yazılım çözümleri arasında, aritmetik işlemler için algoritmaların minimize edilmesi, özuyumlu uygulamalar ve algoritmalar, daha iyi CAD araçları yanı sıra dil, derleyici ve işletim sistemi seviyesindeki iyileştirmeler gibi çeşitli konular yer almaktadır.

Donanım çözümleri, transistörlerin sayısının azalması, gerçekleştirme işleminin gerilim modundan akım moduna değişimi, ardışık düzen teknolojileri gibi birçok hususu dikkate almış, en son olarak da ikiliden tamamıyla çoklu değerli mantığa geçmeye çalışmıştır [82].

Gelecekte işlemci oluşturma anahtarlarından birisi Çoklu Değerli Mantıktır (ÇDM). Çoklu değerli mantık veya çok değerli mantık, $p > 2$ değerinin olduğu veya diğer bir deyişle, ikili olmayan değerli sistemlerin olduğu ayrık p -değerli sistemlerdir [54]. ÇDM, mevcut mikroişlemcinin ve bir başka VLSI devre tasarımının iyileştirilmesi için potansiyel fırsatlar sunmaktadır. Örneğin, kontrol ve mikroişlemcide ÇDM'nin kullanımı, problemleri çözmek için gerekli olan komut sayısını azaltacaktır ve bu da paralelliği arttırmaktadır. ÇDM, sistemlerin hızını artıracak, gerekli bellek boyutunu ve bağlantıları azaltacaktır [22].

Böylece, ÇDM, fiziksel sınırlamalarla hızla engellenen bir dijital dünyaya birçok avantaj sunma potansiyeline sahiptir. Klasik (ikili) mikroişlemcinin mikro mimarisi 1993 yılından beri doyma noktasına ulaşmış durumdadır ve mikroişlemci geliştirmeye yönelik tüm çabalar, paralel işleme ve mikroişlemci frekansını (saat vurum sıklığı) artırma gibi teknik yönler nedeniyle sınırlandırılmıştır. Fiziksel sınırlamalar nedeniyle, bu teknik yönlerin dahi yakın gelecekte doyma noktasına ulaşması beklenmektedir. Ayrıca, günümüzde mikroişlemcide görülen büyüme ve gelişme hızı çok yavaştır ve yazılımdaki büyüme ve gelişme hızına karşı orantısız hale gelmiştir.

Bu nedenle, amacımız ÇDM kavramlarını, bir ÇDM mikroişlemcinin temel birimi olarak kabul edilen 8 fonksiyon değer seviyesini temel alan yeni bir ÇDM mikroişlemci çekirdeği tasarlamada kullanmaktır. Tasarım hedefi, daha yüksek hız, daha küçük boyut, daha az sayıda transistör ve daha az güç yitimi bakımından mikroişlemcinin performansını iyileştirmektir.

1.2. ÇDM'nin Potansiyel Faydaları

ÇDM, bilginin gösterimi için iki ayrı seviye yerine birçok ayrık seviye kullanan ikili mantığa yönelik genel bir durumdur. Bu gösterim, numaralama sisteminin

geliştirilmesi, yeni bir fonksiyon olarak ÇDM cebiri ve gerçekleştirme için geleneksel ikili sistem yerine yeni kapılar ile ilişkilendirilmelidir. Bu mantığın, ikili mantığa kıyasla birçok avantajı vardır:

1. ÇDM kullanımı sayesinde, bağlantılar vasıtasıyla daha fazla bilgi taşınabilmektedir. Örneğin, bir bağlantıyı 2 değerliden 4 değerliye dönüştürmek söz konusu bağlantının bilgi kapasitesini ikiye katlar [36]. Çoklu değerli mantığın önemi, "cihazlardan" ziyade "bilginin" bir çipe veya bir sisteme paketlenbilmesidir. Satır başına daha fazla bilginin taşınması ile birlikte, cihazlar arasındaki ara-bağlantı gereksinimleri azaltılabilir ve I/O pin başına kullanılabilir olan bilgi de artırılır.
2. ÇDM aynı zamanda devre işlevselliğini de artırabilir. Örneğin, değişken dört değerli ise, $4^4=256$ olası girdi/çıkış ilişkisi mevcuttur [41]. Bu nedenle, ÇDM sadece satır başına kullanılabilir bilgi miktarını arttırmakla kalmaz (değişken), aynı zamanda bu bilgiyi işleme yönetme de artırır.
3. ÇDM daha az işlem, kapı ve transistöre ihtiyaç duyar [45].
4. ÇDM aynı zamanda işlem hızını da artırabilir [81].

1.3. ÇDM ile İlgili Sorunlar

ÇDM'nin sağlayacağı gözüken potansiyel avantajlar ile birlikte, ÇDM'nin yaygın bir şekilde ikiliye bir alternatif olarak kabulünden önce çözülmesi gereken bir çok sorun vardır:

1. Her ne kadar artmış işlevsellik, ÇDM'nin sağlayabileceği başlıca faydalardan biri olarak gösterilmişse de, bu fayda karmaşıklıkta kaçınılmaz bir artışla dengelenmiş durumdadır. Yalnızca tek bir değişkenin işlevleri göz önünde bulundurularak, çok değerli sistemlerin hem ilgili gücü hem de potansiyel karmaşıklığı takdir edilebilir. "r" fonksiyon değer seviyesindeki tek değişkenli bir fonksiyon için, her bir olası r girdi değerleri için olası r çıktıları mevcuttur. Buna göre, r^r gibi tek değişkenli fonksiyonlar mevcuttur. Böylece, ikili durum için, $r=2$ olduğu durumda tek değişkenli x_i de olası $2^2=4$ fonksiyonu mevcuttur, yani $x_i=0$ veya $x_i=1$ için, çıktı x_o 0 veya 1 olabilir. Yani, çıktı girdi ile aynı olabilir ($x_o=x_i$, bir kimlik fonksiyonu), girdiden

($x_0 = \bar{x}_i$, ikili tamamlayıcı fonksiyon) veya sabitten (0 veya 1) tersine çevrilir. Fonksiyon değer seviyesi arttıkça, fonksiyon sayısı oldukça önemli ölçüde artış gösterir, örneğin, burada 8 fonksiyon değer seviyesinde, tek değişkenli fonksiyonların sayısı 16.777.216' dır. Bu artış sonucu, yalnızca birkaç mevcut fonksiyonu isimlendirmeye yönelik alışılmış ikili uygulama, (yani kimlik, tamamlayıcı ve sabit 0 ya da 1) daha yüksek fonksiyon değer seviyesi sistemlerinde kontrolden çıkmaktadır. Böylece, basit kurallar hızla tükenir; daha genel bir yaklaşıma ihtiyaç duyulur.

2. ÇDM' deki fonksiyonların karmaşıklığı nedeniyle, minimizasyon yöntemlerini (Karnaugh-haritalama minimizasyonu gibi) gerçekleştirmek imkânsız olmasa da son derece zorlaşır. Bu nedenle, yeni bilgisayarlı algoritmalara ihtiyaç vardır [19].
3. Gürültü marjı ve tehlike problemi [23].

1.4. İkili Mantık ve ÇDM Sistemleri Arasında Karşılaştırma

Çok Büyük Çapta Tümleşimin (VLSI) gerçekleşmesinde, iki seviye yerine çoklu değerli mantığa geçmek için, ÇDM, geleneksel ikili mantığın karşılaştığı birçok gereklilik ve zorluğu karşılayıp üstesinden gelmelidir [17]. Aynı zamanda aralarındaki karşılaştırma da doğal olarak yükselir. Bu karşılaştırma hız, çip alanı (silikon alanı) ve IC tasarımı için Bilgisayar Destekli Tasarım (CAD) programını ve güç yitimini göz önünde bulundurmalıdır. Bazı önemli faktörlere göre yapılan bir karşılaştırma Çizelge 1.1'de verilmiştir.

Çizelge 1.1. İkili mantık ve ÇDM sistemleri arasında karşılaştırma.

Parametre veya Öge	İki seviyeli mantık	Çoklu değerli mantık
Cebir	Basit (Boole)	Karmaşık (Post vd. mantıklar)
Hız	Çok Yüksek	İkiliden fazla
Çip alanı	Küçük	İkiliden daha küçük
Güç yitimi	Düşük güç	Düşük güç
Teknoloji	Mantık aileleri	Yeni teknolojilere ek olarak mantık aileleri
Uygulamalar	Mikroişlemci, VLSI, FPGA ve dijital sistem işleme	Mikroişlemci, VLSI, FPGA ve dijital sistem işleme
Tasarım	Basit	Karmaşık

1.5. Literatür Araştırması

ÇDM'nin potansiyel faydaları, Lukasiwicz' in Polonya'da modern bir formdaki ilk ÇDM sistemlerinden birini yayınladığı 1920 yılına kadar araştırmacılar tarafından fark edilmemişti [35]. Bir yıl sonra, Emil Post 1921 yılında [20], n-değerli mantığı tanımlamıştı ki bu işlem olağan 2-değerli mantığın genellemesiydi. Daha sonra, ÇDM cebirini geliştirme ve özelliklerini ortaya koyma ile ilgili birçok çalışma olmuştur. En önemli çalışmalar 1924 yılında Bernstein tarafından [5], 1938 yılında Kleene tarafından [64], 1939 yılında Bochvar tarafından [13], 1942 yılında Rosenbloom tarafından [62] ve 1945 yılında Rosser ve Turquette tarafından [63] geliştirilip, rapor edilmiştir.

Çoklu değerli mantığın ve bilgisayar biliminin gelişimi arasındaki karşılıklı etkileşim, yukarıda belirtilenlerin ışığında sürpriz değildir. 1955-1965 döneminde, birkaç bilgisayar bilimcisi ikili olmayan anahtarlama sistemlerini aşağıda belirtilen çalışmalarla tanımlamışlardır: Berlin [9], Lee ve Chen [48], Yoeli ve Rosenfeld [51] ve Lowenschuss [50]. 1960' lı yılların ikinci yarısında bir sonuç elde edilmişti, üçlü mantık aygıtlarına yönelik büyük ilgi vardı. O dönemdeki çalışmalar, Hurst [65], Givone ve Snlsire [25], Yoeli ve Halperu [52] ve Yoeli [53] tarafından sunulmuştu. Tasarım yaklaşımı, çoklu değerli mantık kapıları oluşturmak için ikili devreleri birleştirerek üçlü (veya daha yüksek) fonksiyon değer seviyesi mantığının uygulanmasıydı. Bu kapılar bir mantık seviyesinin gösteriminde, genellikle gerilim veya akım kullanırlar, fakat bunların hepsi, üretim için çok karmaşık olmaktan, durum kaybından (girdi olmadığı zaman çıktı değişir ki bu durum ikili devreler için geçerli değildir), gerilim/akım dalgalanmalarından kolayca etkilenir ve varsayılan duruma sıfırlanmanın kolay olmaması sorun çıkarmaktadır.

1970' lerde Akım Modu (Current Mode) teknolojisi, daha yüksek fonksiyon değer seviyesi (radix) aritmetik devreleri için basit ve kompakt bir çözüm olarak kabul ediliyordu. Aritmetik devrelerden oluşan çeşitli test örneği cihazları, akım modu CMOS' unda, özellikle de Current ve Mow [44], ve Sign ve Armstrong [4] gibi 4 fonksiyon değer seviyesinde tasarlanmış ve uygulanmıştır. Daha yüksek hız performansı elde edilebilirdi, ancak birincil hedef devre büyüklüğünü azaltmak ve

böylece büyük veri kelimeleri üzerinde işlem yapan aritmetik cihazlar için maliyet ve güç gereksinimlerini düşürmektir.

1980' lerde, çok değerli belek elemanları araştırmacıların dikkatini büyük ölçüde çekmiştir. Etiemble ve Israel [16], Adlhoch [59], Dao [78], Posa [34], ve Rich ve ark [18] gibi birçok araştırma, ÇMD bellek hücresi (mandal veya flip-flop) devrelerinin tasarımını ve gerçekleştirilmesini kapsamayı denemiştir. Bu alandaki araştırma çabaları, hem çip alanında hem de cihaz hızında iyileştirmeler sağlamıştır. Intel'in, 8087 aritmetik yardımcı işlemcisinde dört değerli bir NMOS ROM kullanması, çip boyutunda %31'lik bir azalma sağlamıştır ve yine Motorola'nın CMOS sürümü de %30'luk bir azalma sağlamıştır [15].

1990' larda VLSI üretim süreçlerinde yaşanan gelişmeler, akım-modu CMOS yüksek-fonksiyon değer seviyesi aritmetik devrelerine yönelik yeni bir ilgiye yol açmıştır. Bu on yıllık süre zarfında, akım-modu CMOS aritmetik devrelerinin birçok prototip çipi üretildi ve bunlar da ilgili ikili devrelere kıyasla daha iyi performans göstermiştir. Radanovic ve Syrzycki [6], Current [46], Kazeminejad vd. [3], Hanyu ve ark. [75] tarafından sunulan toplayıcı devreleri, Shimabukuro ve Zukeran [42], Hanyu ve Kameyama [76], Ishizuka ve Handoko [56], Chu ve Current [83] ve Wei ve ark [66] tarafından sunulan çoğaltıcı devreler bu konudaki bazı örneklerdir. Ayrıca yine bu dönemde, kuantum fonksiyonel cihazları kullanarak ÇMD devrelerinin uygulanmasına yönelik özel bir ilgi vardı. Kuantum fonksiyonel cihazlar kullanılarak birkaç ÇMD devresi oluşturulmuştur. Waho [79] tarafından sunulan çınlayan tünelleme transistörü (RTT) kullanımı, Itoh vd. tarafından [77] sunulan çınlayan tünelleme diyotları (RTD) kullanımı ve Baba [72] tarafından sunulan yüzey tünelleme transistörleri (STT) kullanımı örnek olarak verilebilir.

2000-2010 döneminde, çok değerli fonksiyonların en aza indirgenmesi Dubrova ve ark. [21], Goblet ve Zhu [40] ve Rudell [60] tarafından tartışılmıştır. Yazarlar, ÇDM fonksiyonlarını minimize etmeye yönelik algoritmalar vermiştir. Algoritmaların etkinliğini göstermeye yönelik deneyler yapılmıştır. Ayrıca yine bu on yıllık süre zarfında, optoelektronik alanındaki gelişmeler ve bunun çoklu değerli mantığa uygulanabilirliği Chattopadhyay ve Roy [73], Ghosh ve Basuray [2], Chattopadhyay [74] ve Ghosh ve ark. [1] tarafından tartışılmıştır. Henüz olgun bir aşamada

olmamasına rağmen, optoelektronik yakın gelecekte ÇDM devrelerinin uygulanmasında vazgeçilmez hale gelebilir.

Günümüzde, hemen hemen her tipteki ikili mantık devresi, toplayıcı/çoğaltıcı devreler [47, 68], bellek devreleri [71, 39], ardışık devreler [27, 84], kod çözücüler/kodlayıcılar [32, 7], programlanabilir cihazlar [11] vb. gibi çok değerli yaklaşım olarak gerçekleştirilebilir ve bu devrelerden bazıları ikili emsalleri ile uyumlu olabilir.



2. ÇDM AKIM MODU TEMEL DEVRE BİLEŞENLERİNİN ÖZELLİKLERİ

Bu bölümde, temel çoklu değerli mantık elemanları tanıtılmıştır. Akım-modu CMOS bileşenlerinin çalışmasına dair temel bir anlayış verilmiştir. İkiliden, ÇDM'ye doğru ve ÇDM'den, ikiliye doğru dönüşüm işlemlerini gerçekleştiren kodlama ve kod çözme işlemleri sunulmuştur.

2.1. Temel Çoklu Değerli Mantık Elemanları

Belirli tasarımların sunulabilmesinden önce, temel bileşenleri oluşturmak için kullanılacak alt deperlere ait özellikler öncelikle dikkate alınmalıdır. Çoklu değerli mantık devreleri, akım-modu, gerilim-modu ve karma-mod olarak gerçekleştirilebilir [82]. Gerilim-modu devrelerinde, bilgi, gerilim düzeyleri ile aktarılır. Gerilim modu tasarımlarının izin verilen maksimum fonksiyon değer seviyesi, besleme gerilimi tarafından belirlenir. Devrenin güç tüketimi, besleme geriliminin karesiyle ilgili olduğundan, besleme geriliminin düşürülmesi, güç tüketiminin azaltılması için ilk seçenek olup, bu durum gerilim modu sinyalinin dinamik aralığının azaltılmasına yol açar. Sonuç olarak, gerilim modunda sınırlı bir fonksiyon değer seviyesine sahip oluruz. Öte yandan, akım-modundaki gelişmelerde, bilgi, bir referans akımın tamsayı katları olan akım seviyeleri ile aktarılmaktadır. Akım-modu devreleri, gerilim-modu devrelere göre daha yüksek bir fonksiyon değer seviyesine verir, bu da onları gerilim-modu olanlara karşı daha tercih edilir kılmaktadır, çünkü sistem hızını ve akım taşıma tellerinin bilgi içeriğini arttırmamız gerekmektedir. Akım-modu çoklu değerli devrelerin ana avantajı, toplama işleminin basitliğidir. Mantık tasarımının bu temel ve en sık kullanılan işlemi, sinyal hatlarını tek bir düğüme bağlayarak gerçekleştirilebilir; bu işlem de devredeki aktif cihaz sayısının azalmasıyla sonuçlanır (ikili mantık tasarımındaki her toplama işlemi 20 transistör gerektirir). Ek olarak, akımlar basit bir akım aynasıyla kopyalanabilir, ölçeklendirilebilir ve cebirsel olarak değiştirilebilir [23].

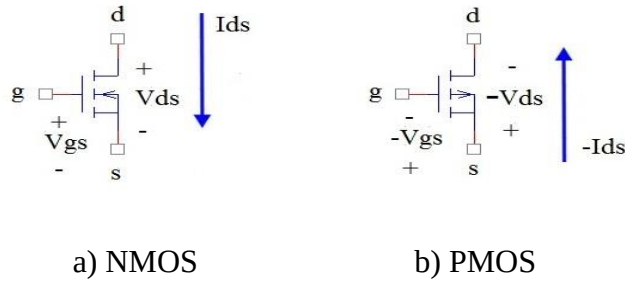
Potansiyel avantajları nedeniyle, önerilen ÇDM mikroişlemci çekirdeğinin gerçekleştirmesi için akım-modu CMOS gerçekleştirmesi seçilmiştir. Herhangi bir ÇDM kapısı veya fonksiyonunun akım modu CMOS gerçekleştirmesi çoğunlukla akım-modu CMOS bileşenlerine dayanmaktadır. Bu bileşenler klasik ve ikincil

devrelerden oluşur. Klasik devreler arasında anahtarlı-transistör, diyot bağlı transistör, akım aynası ve kesilmiş fark operatörü yer almaktadır. İkincil devreler arasında ise eşikler, kodlayıcı ve kod çözücü devreler gibi klasik devrelerin kullanılmasıyla oluşturulabilen birkaç basit devre yer almaktadır. Akım-modu CMOS bileşenlerinin çalışması standart CMOS tasarımına sahip olanlardan önemli ölçüde farklı olduğundan, bu bölüm söz konusu bileşenlere dair temel bilgi sağlamak amacıyla dahil edilmiştir.

2.1.1. Anahtarlı transistör

Bir n-tipi veya p-tipi transistördür. Transistörün kapı terminali bir gerilim sinyali ile kontrol edilir ve anahtar iletimde olduğunda akım gerçekleşir.

CMOS teknolojisi, iki tip metal oksit silikon (MOS) transistörü sağlamaktadır. Şekil 2.1 ile, her bir cihaz için kullanılacak akım akışı ve gerilim kutupluluğu konvansiyonları tanımlanarak, üç farklı çalışma bölgesindeki ideal davranış aşağıdaki açıklanabilir:



Şekil 2.1. CMOS transistörleri

Kesim: bu bölgede, kaynak gerilimine uygulanan kapı (V_{gs}) cihazın eşik gerilimini aşmak için yetersizdir (V_{th}). Transistör kaynağı (source) ve akaç (drain) arasında bir kanal oluşturulamaz ve akımın cihaz üzerinden akışı önlenir.

Kararlı Çalışma: bu bölge, transistörün kaynağı ve akacı arasında indüklenen bir kanalın varlığı ile karakterize edilmiştir. Akım akışına yönelik bir yol bu kanal tarafından sağlanır ve cihaz davranışı gerilim kontrollü bir direncin davranışına benzemektedir.

Doyum: bu bölgede, I_{ds} , V_{ds} ' den bağımsızdır. Doyma modunda transistörler tarafından sağlanan akım Shichman-Hodges denklemleri kullanılarak aşağıdaki gibi ifade edilebilir:

$$\text{N-type transistor: } I_{ds} = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad (2.1)$$

$$\text{P-type transistor: } -I_{ds} = \frac{\beta}{2} (-V_{gs} + V_{th})^2 \quad (2.2)$$

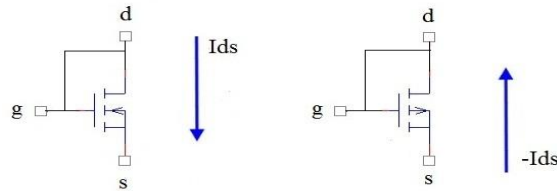
Transistör kazanç faktörü β MOS transistörlerinin çalışmasında önemli bir miktardır. Hem işlem parametrelerine hem de cihaz geometrisine bağlıdır ve aşağıdakiler miktarı verir:

$$\beta = \frac{\mu \epsilon}{t_{ox}} \left(\frac{W}{L} \right) \quad (2.3)$$

μ , ϵ ve t_{ox} değerlerinin katkılama yoğunluğu ve kapı oksit kalınlığı gibi sürece bağlı faktörleri açıklaması ile birlikte, istenen kazanç faktörü, transistörün genişlik uzunluk oranını (W/L - G/U) basitçe değiştirerek elde edilebilir. Aşağıdaki bölümlerde gösterileceği üzere, ÇDM uygulamaları için gerekli olan devre özelliklerinin çoğu, bu parametrenin tek başına kullanılmasıyla elde edilmektedir.

2.1.2. Diyot bağlantılı transistör

Diyot bağlantılı transistör, akım modu tasarımlarında kullanılan temel bir bileşendir. Şekil 2.2'de gösterilen hem n hem de p cihaz tipleri ile, diyot bağlantılı transistörler, akımın sadece bir yönde akmasına olanak sağlar.



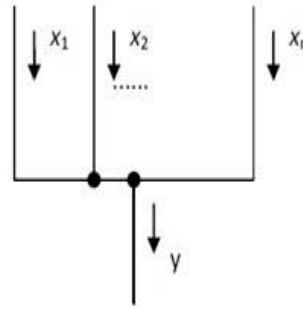
a) NMOS

b) PMOS

Şekil 2.2. Diyot bağlantılı transistörler

2.1.3. Toplama

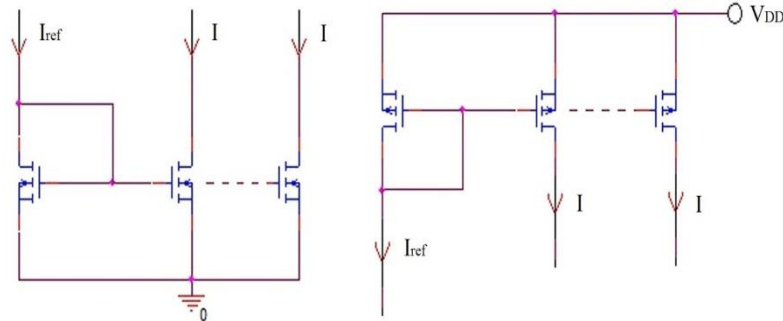
Çoklu-değerli devrelerin akım modu uygulamasının temel avantajı sıfır maliyet toplama işlemidir. Akım dallarının bir düğüm ile bağlanması, Şekil 2.3'te gösterildiği gibi, $y = x_1 + x_2 + \dots + x_n$, (cebirsel toplama) toplama işlemini gerçekleştirir.



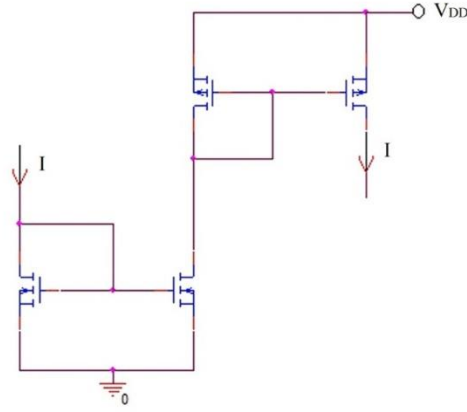
Şekil 2.3. Akım modu ÇDM'de toplama işlemi

2.1.4. Akım aynaları

Akım modu CMOS tasarımları için temel bir diğer bileşen de akım aynasıdır. Ayna devreleri, girdi akımlarının kopyalarını üretmek için kullanılır. Şekil 2.4'te gösterildiği gibi n-tipi veya p-tipi olarak tasarlanabilirler. Bu devreler, birden fazla çıkış yelpazesini sağlamak için kullanılır, çünkü akım modu CMOS mantığı sadece bir tane fan çıkış yelpazesine izin verir. Ayrıca, yönleri (işareti) Şekil 2.5'te gösterildiği gibi değiştirilebilir.



Şekil 2.4. N-tipi ve P-tipi akım aynaları



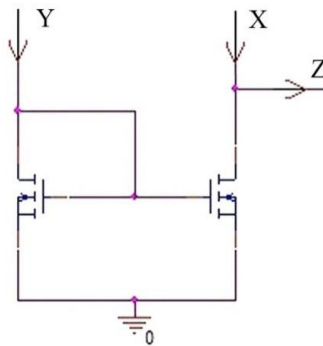
Şekil 2.5. Akım yönlendirme devresi

2.1.5. Kırpılmış fark operatörü

Kırpılmış fark operatörü, akım modu tasarımlarında kullanılan temel bir bileşendir. Şöyle tanımlanmaktadır:

$$Z = X \text{ } \Xi \text{ } X = \begin{cases} X - Y, & X \geq Y \\ 0, & \text{ow} \end{cases} \quad (2.4)$$

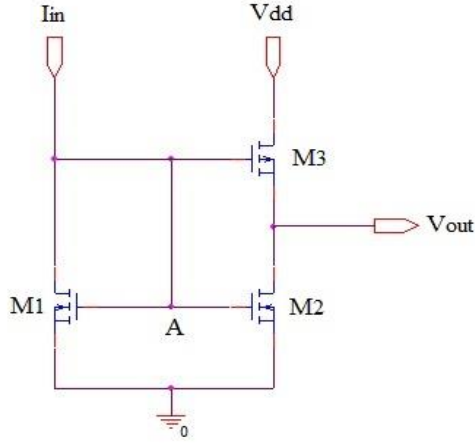
Kırpılmış fark operatörü Şekil 2.6’ da gösterildiği gibi X akımını bir Y akımı ile bir akım aynasının çıktısına ekleyerek gerçekleştirilebilir. Bu durumda, $Z=X-Y$, olacaktır, çünkü ikinci transistörden geçmesi gereken akım değeri, Y’nin mevcut akım değerine eşittir. Fakat X, Y’den daha küçükse, bu akımın tamamı transistörden geçecektir, yani $Z=0$ olacaktır. Bu operatör diğer çeşitli çoklu değerli mantık devreleri için bir temel sunmaktadır.



Şekil 2.6. Kırpılmış fark operatörü

2.1.6. Akım bağımlı inverter

Şekil 2.7’de gösterildiği gibi, bir PMOS transistörünün eklenmesi ile birlikte, akım aynası, akım bağımlı bir gerilim inverterinin işlevini yerine getirmek üzere gerçekleştirilebilir. $I_{in}=0$ durumu ile birlikte, M1 veya M2 transistörleri arasında bir kapı-kaynak gerilimi indüklenmez. Bu koşullar altında M2, kesim noktasındadır ve düğüm A’dan zemine doğru hiçbir yol yoktur. M3 doğrusal bölgede çalışacak ve sonuç olarak $V_{out} = V_{gg}$ değeri ortaya çıkacaktır. Küçük bir girdi akımı, I_{in} uygulandığında, M1, M2 ve M3’ün kapı gerilimleri yükselir; M2 doyumda yanlılık yapar (akım aynası uygulamasında olduğu gibi); ve I_{in} arttıkça, V_{out} , değer olarak düşer. Bu nedenle, bir akım girdisi haricinde, devre davranışı, standart bir CMOS inverterinin davranışına benzer [55].



Şekil 2.7. Akım bağımlı CMOS inverteri

2.1.7. Akım karşılaştırıcı

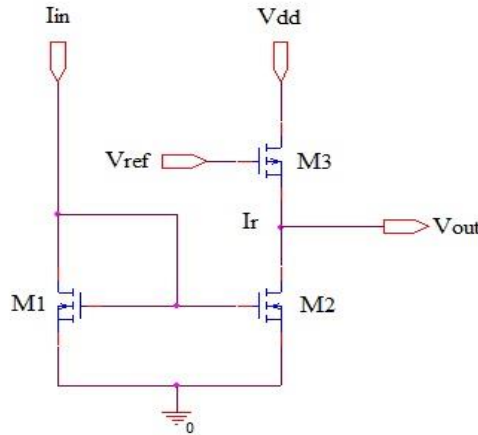
Bir başka kullanışlı bileşen ise akım karşılaştırıcıdır. Şekil 2.8’ de gösterildiği gibi, bu devre, M3 transistörünün kapısına sabit bir referans gerilimi uygulayarak Şekil 2.7’ den elde edilir. Bu işlem, akım bağımlı olarak tanımlanabilir. Bununla birlikte, devre işleminin tanımlamanın başka bir yolu da I_r değerini akım aynasının çıktısı olarak ve M3’ü de aktif akım kaynağı olarak düşünmektir [43]. Bu bağlamda bakıldığında, M3, I_r ’nin değerine göre, bağımlı veya sabit bir akım kaynağı olarak işlev görecektir. I_{th} ’nin transistorün doyma akımını temsil etmesi ile, $I_r < I_{th}$ durumu

olduğunda, M3, akım bağımlı bir akım kaynağı olarak çalışacak ve talep üzerine I_r değerini verecektir.

Eğer, I_{in} , $I_r=I_{th}$ değerinin olduğu bir noktaya yükselirse, hem M2 hem de M3 doyumunda çalışacaktır. Bu noktada, karşılaştırıcı çıkış gerilimi 1 bitten 0 bit seviyesine geçiş yapacaktır. I_{th} M3'ün sağlayabileceği maksimum akım olduğundan, I_{in} üzerinde yapılacak daha fazla artışlar, I_r 'in üzerinde yapılacak daha fazla artışlar, I_r 'yi etkilemeyecek ve karşılaştırıcı 0 bit olarak kalacaktır. Bu nedenle de, bu bağlamda bakıldığında, devre davranışı, cihazın mantıksal durumunun belirlendiği bir akım karşılaştırıcısı açısından doğrudan tanımlanabilir.

$$I_{out} = \begin{cases} Logic\ High, & I_{in} < I_{th} \\ Logic\ Low, & I_{in} \geq I_{th} \end{cases} \quad (2.5)$$

Ayrıca, I_{th} 'nin, M3 transistörünün geometrik parametrelerini tek başına değiştirerek ayarlanabileceğini de belirtmek gerekmektedir.



Şekil 2.8 CMOS akım karşılaştırıcısı

2.1.8. Alt ve üst eşik operatörleri

Kesilmiş fark operatörüne bağlı olarak, akım modu eşik işlemleri gerçekleştirilebilir. $x, y, z \in \{0, 1 \dots r-1\}$ için alt ve üst eşik işlemleri şu şekilde tanımlanır:

$$th_l(x, y) = \begin{matrix} z \\ y \end{matrix} \Big| x = \begin{cases} z, & \text{if } x \leq y \\ 0, & \text{otherwise} \end{cases} \quad (2.6)$$

$$th_u(x, y) = \begin{matrix} z \\ y \end{matrix} \Big| x = \begin{cases} z, & \text{if } x \geq y \\ 0, & \text{otherwise} \end{cases} \quad (2.7)$$

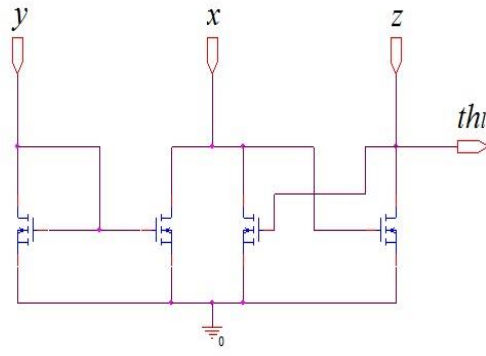
Alt eşik işlemi, Şekil 2.9' da gösterildiği gibi gerçekleştirilebilir. Benzer bir topoloji [80]' de sunulmuştur. Bununla birlikte, bu çalışmada sunulan topoloji tam akım modunu, hızlı ve güvenilir bir yapıyı sağlamaktadır. Üst eşik işlemi, Şekil 2.10' da gösterildiği gibi devre alt eşik işleminde x ve y ' nin yer değiştirilmesi ile gerçekleştirilebilir. Alt eşik işlemi ve üst eşik işlemi için doğruluk çizelgeleri (sekizlik için, $z=r-1=7$ varsayılarak) sırasıyla Çizelge 2.1 ve Çizelge 2.2'de verilmiştir.

Çizelge 2.1. Alt eşik işlemi için doğruluk çizelgesi

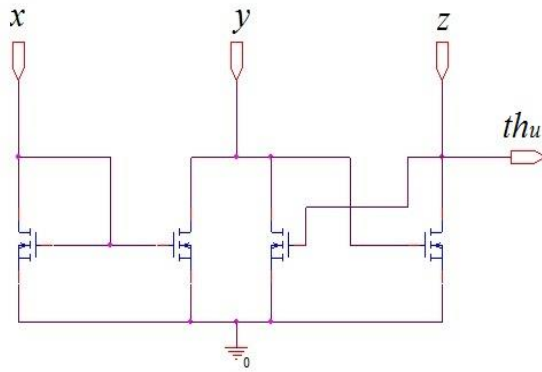
$\begin{matrix} y \\ x \end{matrix}$	0	1	2	3	4	5	6	7
0	7	7	7	7	7	7	7	7
1	0	7	7	7	7	7	7	7
2	0	0	7	7	7	7	7	7
3	0	0	0	7	7	7	7	7
4	0	0	0	0	7	7	7	7
5	0	0	0	0	0	7	7	7
6	0	0	0	0	0	0	7	7
7	0	0	0	0	0	0	0	7

Çizelge 2.2. Üst eşik işlemi için doğruluk çizelgesi

$x \backslash y$	0	1	2	3	4	5	6	7
0	7	0	0	0	0	0	0	0
1	7	7	0	0	0	0	0	0
2	7	7	7	0	0	0	0	0
3	7	7	7	7	0	0	0	0
4	7	7	7	7	7	0	0	0
5	7	7	7	7	7	7	0	0
6	7	7	7	7	7	7	7	0
7	7	7	7	7	0	7	7	7



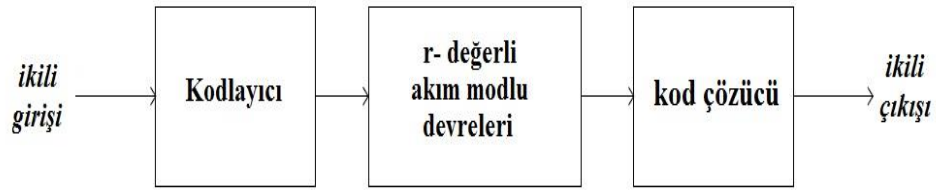
Şekil 2.9. Alt eşik devresi



Şekil 2.10. Üst eşik devresi

2.2. Kodlayıcı ve Kod Çözücü

Bazen, belirli uygulamalarda belirli ÇDM devrelerini kullanarak genel ikili sistem karakteristikleri geliştirilebilir. Toplam tasarımın bir parçası olarak çoklu değerli mantık devrelerini kullanmak, ikili gerilim sinyallerinden çoklu değerli akım-modu sinyallerine doğru -yani, kodlama- ve çoklu değerli akım-modu sinyallerinden ikili gerilim sinyallerine doğru -yani kod çözme- yonga üzeri dönüşüme ihtiyaç duyar (Şekil 2.11).

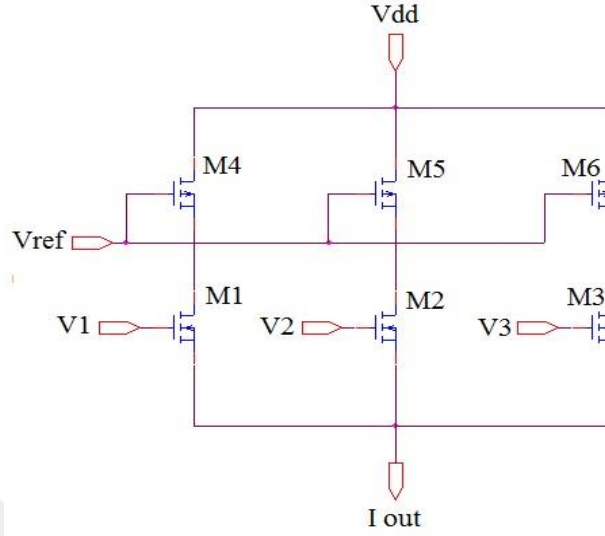


Şekil 2.11. İkili tasarlanmış sistemlerde ÇDM devrelerini kullanma.

İkili mantık tasarımcılarına göre, gerekli dönüştürücüler (kodlayıcı ve kod çözücü) kavramsal olarak büyük bir zorluğu temsil etmemektedir. Bu türden çoklu değerliden-ikiliye doğru ve ikiliden-çoklu değerliye yönelik olan dönüştürücüler, tasarımcıların hali hazırda aşına olduğu analogdan dijital ve dijitalden analoga yönelik dönüştürücüler ile ilgili spesifik durumlardır. Özellikle olumlu tarafından bakıldığında, gerekli dönüştürücüler günümüz analog standartlarına göre yapısal olarak oldukça basit olabilir. Neyse ki, bir çok durumda (ama hepsi değil) çok büyük bir hız özelliği, çoklu değerli veri gösteriminin ve çok değerli mantığın sağlayabileceği diğer avantajları bastırabileceği için, bu basitlik, hıza yönelik olan açık arzuyla oldukça tutarlıdır.

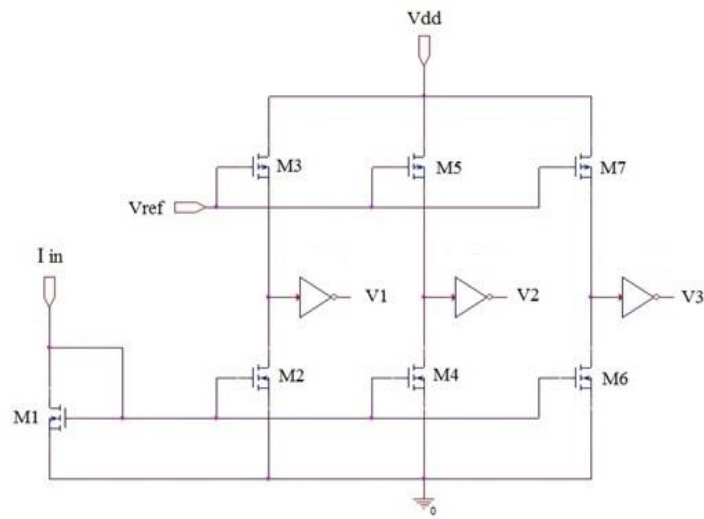
Kodlayıcı (gerilim modu ikili sinyallerini akım modu çoklu değerli sinyallere dönüştürücü) ve kod çözücü (akım modu çoklu değerli sinyallerini gerilim modu ikili sinyallerine dönüştürücü) devreleri ile ilgili örnek [68]' de bulunabilir. Şekil 2.12' de gösterildiği gibi, kodlayıcı devresi, her biri aktif bir akım kaynağını (M4, M5 ve M6) içeren ve kodlayıcının çıkış düğümüne bir mantıksal birim akımı sağlayan paralel dallardan oluşur. Anahtar transistörleri (M1, M2 ve M3) harici olarak

sağlanan gerilim sinyalleri (V1, V2 ve V3) tarafından kontrol edilir ve belirli bir akım kaynağını kodlayıcının çıkış düğümüne bağlamak veya bundan ayırmak için kullanılır. Son kodlayıcı çıkışı, uygulanan tüm dal akımlarının toplamı olacaktır.



Şekil 2.12. Kodlayıcı devresi

Kod çözücü devresi Şekil 2.13' te gösterilmiştir. Devre, giriş mantık seviyesini çözer ve üç tane ikili sinyal sağlar. Kod çözücü devresinin her bir ayağı, giriş akımı üzerinde bir eşik işlemi gerçekleştirir ve V1, V2 ve V3 çıkış gerilim sinyallerini üretir. Kod çözücü çıkışları ikilidir ve kodu çözülmüş formatta giriş mantık seviyesini temsil ederler.



Şekil 2.13. Kod çözücü devresi

3. ÖNERİLEN ÇDM MANTIK GEÇİTLERİ SİSTEMİ

Üçüncü bölümde önerilen ÇDM mantık kapı sistemi sunulmuştur. ÇDM mantık kapı sisteminin en önemli özellikleri tartışılmıştır. Önerilen ÇDM mantık kapı sistemi ile ilişkili ÇDM cebirleri tanıtılmıştır.

3.1. Önerilen ÇDM Mantık Kapıları Sistemi

İkili sistemde bir mantık kapısı, bir Boole işlevini uygulayan idealleştirilmiş veya fiziksel bir aygıttır. Temel olarak, ikili mikroişlemci içindeki her blokun, Boole mantık kapılarından yapılmış olduğu düşünülebilir. Boole cebri genel olarak çoklu değerli fonksiyonlar için yeterli olmadığından, alternatif cebirsel yapılara ihtiyaç duyulmaktadır. Ve tasarım ve uygulama ÇDM mikroişlemcisi için bu alternatif cebirsel yapılara dayanan yeni ÇDM mantık kapıları sistemine ihtiyaç duyulur.

Çoklu değerli mantık devrelerini gerçekleştirmek amacıyla sunulan akım modu CMOS bileşenleri (bu tezin bir önceki bölümünde verilen), çok az sayıda olmaları, optimum devreler olmamaları, standartlaştırılmış ve işlevsel olarak tamamlanmış devreler olmamalarından dolayı, ÇDM mantık kapıları sistemi olarak değerlendirilmezler. Bu nedenle de, bu çalışmada, akım modu CMOS bileşenlerini kullanarak oluşturulabilecek yeni bir ÇDM mantık kapıları sistemi önerilmiştir.

ÇDM mikroişlemcinin tasarımında kullanılan mantık kapıları sisteminde birkaç özellik mevcut olmalıdır. Bu özelliklerden en önemlileri şunlardır:

1. ÇDM mantık kapıları sistemi işlevsel olarak eksiksiz olmalıdır. Fonksiyonel bütünlük, iki değişkenli (giriş) ve tek değişkenli (giriş) kapıların bir alt kümesinin, tüm olası r -değerli fonksiyonları gerçekleştirmek için yeterli olup olmadığı konusunda temel bir kavramdır. Modern dijital devreleri tasarlamak için kullanılan genel ikili ($r=2$) mantığında, yalnızca dört tek değişkenli fonksiyon ve 16 iki değişkenli fonksiyon mevcuttur. Fonksiyonların bu kadar sınırlı sayıda olmasından dolayı, fonksiyonel olarak eksiksiz bir cebir tanımlamak nispeten kolaydır. " $r>2$ " değerinin olduğu bir ÇDM sisteminde, olası fonksiyonların sayısı hızla artar. Olası fonksiyonların sayısında çift üstel artış

meydana gelmesi, r^f ve toplam operatör sayısındaki karşılık gelen artışlar nedeniyle, ÇDM uygulaması için uygun (ve genellikle eksiksiz) bir cebir kullanmak önemlidir.

2. Fonksiyonel bütünlüğe ek olarak, ikinci ve eşit derecede önemli bir husus da, mantık kapılarının basit ve verimli devre uygulamalarına sahip cebir operatörlerini göstermesi gerektiğidir. Bu da şu anlama gelmektedir, cebirsel operatörlerin düz devre uygulamalarına ve yeterli temsili güce sahip olan fonksiyonları gösterdiği ÇDM cebirlerinde bir ilgi çekici olması gerekmektedir.
3. ÇDM mantık kapıları sisteminin en az bir evrensel kapı içermesi çok önemlidir. Evrensel bir kapı, tüm diğer mantık kapılarını oluşturmak için kullanılabilecek mantıksal bir kapıdır. İkili mantıkta, 16 olası ikili giriş mantığı kapısı vardır. İnsanlar, genellikle, şunlarla adlandırılmış olan kapılara aşinadır: NAND, NOR, AND, OR, XOR. NAND kapısının evrensel bir kapı olduğunu gösteren bir çok makale bulunmaktadır. NAND fonksiyonunun işlevsel bir bütünlüğü olduğundan, ikili mantıktaki herhangi bir başka kapı, NAND kapılarının bir kombinasyonu olarak gösterilebilir. Bunun matematiksel kanıtı, 1913 yılında Henry M. Sheffer tarafından yayınlanmıştır [69]. NAND kapısı gibi, NOR kapısı de ikili sistem içinde herhangi bir başka mantık kapısı oluşturmak için kombine edilebilecek evrensel bir kapıdır. Örneğin, ilk gömülü sistem olan Apollo Guidance Computer (Apollo Rehber Bilgisayarı), sadece NOR kapılarından yapılmıştır.

Bu nedenle, uygun tasarımı ve pratik ÇDM mikroişlemcisi için, fonksiyonel açıdan eksiksiz olarak tanımlanabilecek, kolayca gerçekleştirilebilir ve uygun tek girişli ve iki girişli kapılar içermesi gereken ve en az bir evrensel geçide sahip olması gereken ÇDM mantık kapıları sistemini önermek çok önemlidir.

Klasik iki değerli ikili mantığın uzantısı olarak birçok ÇDM cebiri ve sistemi geliştirilmiştir. Bu çalışmaların çoğu, ÇDM devrelerinin modellenmesi veya CAD araçlarının geliştirilmesinde ÇDM prensiplerinin kullanılması amacıyla sembolik mantık ve ayrık matematik araştırmacıları tarafından gerçekleştirilmiştir. Bu çalışmalardan biri “zincir tabanlı Post cebiri”dir. “Zincir tabanlı Post cebiri” fonksiyonel olarak eksiksiz [54] ve ÇDM fonksiyonlarını ifade etmek ve yönetmek

için iyi tanımlanmış bir çerçeve sağlamaktadır. Zincir tabanlı Post cebiri, eksiksiz bir ÇDM cebirleri kümesinden alınan özel bir örnektir ve “Post cebirleri” olarak adlandırılır [54]. “ $r=2$ ” durumu olduğunda (yani, $E=B$), Zincir tabanlı Post cebiri, Boole cebri ile aynıdır. Bu nedenle, bu çalışmada önerilen ÇDM mantık kapıları sistemi, esas olarak Zincir tabanlı Post cebirine dayanmaktadır.

Zincir tabanlı Post cebirinin yanı sıra, çok sayıda ÇDM cebiri, çok önemli ÇDM mantık kapılarını gösterebilen cebirsel operatörlere sahiptir. Bu ÇDM mantık kapılarının önemi aşağıdaki gibi açıklığa kavuşturulabilir:

1. Bu kapıların operasyonları sezgiseldir; yani, bir kişinin bu kapıların ne yaptığını anlaması göreceli olarak kolaydır, çünkü bunların çoğunun ikili sistemde benzerleri vardır.
2. “Zincir tabanlı Post cebiri” fonksiyonel olarak eksiksiz olarak tamamlanmış olsa da, bu cebire dayanan mantık kapılarının sayısı nispeten azdır. Bu nedenle, bu ÇDM mantık kapılarının önerilen mantık kapıları sistemi içinde bulunması, donanım tasarımcılarının kullanabileceği ve kolaylıkla ve esnek bir şekilde ele alabileceği uygun ve yeterli sayıda kapı temin edecektir.

Yukarıdakiler ışığında, önerilen “ÇDM mantık kapıları sistemi”, esas olarak “Zincir tabanlı Post cebirini” temel almanın yanında; uygulama, analiz ve yürütme kolaylığı dahil olmak üzere, çeşitli nedenlerle tarihsel olarak tanımlanmış ve özel olarak adlandırılmış çeşitli çoklu değerli kapıları içermektedir. Bu kapıları şunları temel almaktadır: Kleene cebiri, Allen ve Givone cebiri, Vranesic, Lee ve Smith cebiri ve Modüler cebir. Ayrıca, önerilen kapılar sistemi evrensel bir kapı içermektedir, mantıksal olarak eksiksizdir; yani, bir veya daha fazla değişkenin tüm çoklu değerli fonksiyonu bu kapı ile oluşturulabilir. Bir ikili tasarımcı için aşina olunan terim açısından, evrensel kapı sadece bir çoklayıcıdır. Bununla birlikte bu, r -değerli bir dünyaya özel olarak uyarlanmıştır. Çizelge 3.1 ve Çizelge 3.2, sırasıyla birden fazla değişkenin ve bir değişkenin önerilen Sekizli ÇDM mantık kapılarını göstermektedir.

Çizelge 3.1. Birden fazla değişkenin (giriş) önerilen Sekizli ÇDM mantık kapıları.

Kapı ismi	Notasyon	Tanım	Kaynak
Min	$x \cdot y$	X if $x < y$, y otherwise	Post cebiri
Max	$x + y$	X if $x > y$, y otherwise	Post cebiri
Mod-sum	$x \oplus y$	$(x+y) \bmod r$	Modüler cebiri
Mod-fark	$x \ominus y$	$(x-y) \bmod r$	Modüler cebiri
Mantıksal çıkarım	$x \rightarrow y$	$\max(\bar{x}, y)$	Kleene cebiri
Mantıksal eşdeğerlik	$x \leftrightarrow y$	$(x \rightarrow y) \cdot (y \rightarrow x)$	Kleene cebiri

Çizelge 3.2. Bir değişkenin (giriş) önerilen Sekizli ÇDM mantık kapıları.

Kapı ismi	Notasyon	Tanım	Kaynak
Döngü	x^k	$(x+k) \bmod r$	Vranesic, Lee, ve Smith
Ardıl	$\vec{x}$	$(x+1) \bmod r$	Modüler cebiri
Öncel	$\tilde{x}$	$(x-1) \bmod r$	Modüler cebiri
Olumsuzlama	$\bar{x}$	$(r-1)-x$	Kleene cebiri
Belirleyici literal	$C_a(x)$	$r-1$ if $x=a$, 0 otherwise	Post cebiri
Pencere literal	$x^{[a,b]}$	$r-1$ if $a \leq x \leq b$, 0 otherwise	Allen ve Givone
Eşik literal	x^a	$r-1$ if $x \geq a$, 0 otherwise	Vranesic, Lee, ve Smith

3.2. Cebirsel Yapılar

Önerilen mantık kapılar sistemi ile ilişkili ÇDM cebirlerini açıklamaya başlamadan önce, ayrık matematik, fonksiyon ve ifadelerin yapısı ile ilgili bazı kavramlar açıklığa kavuşturulmalıdır.

3.2.1. Fonksiyonlar

Bir f fonksiyonu, bir D etki alanından bir R aralığına kadar çoktan bire doğru bir eşleştirmedir ve şöyle ifade edilmektedir:

$$f: D \rightarrow R. \quad (3.1)$$

Eşleme, D 'nin her elemanı için tanımlanmışsa bir fonksiyon tamamen belirtilir, aksi halde fonksiyon kısmen belirtilir.

Bu çalışmada, sonlu uzaylar üzerindeki fonksiyonlarla ilgileneceğiz. E değeri üç veya daha büyük kardinaliteye sahip sonlu bir değerler kümesi olsun ve E_n değerinin, E 'nin n kopyalarının Kartezyen ürününü göstereyin.

Tanım 3.1. Çoklu değerli bir fonksiyon şöyledir:

$$f: E_n \rightarrow E. \quad (3.2)$$

Tanım 3.2. İkili bir Boole (bazen basitçe ikili olarak adlandırılan) fonksiyonu ise şöyledir: $E = \{0, 1\}$. Açıklık getirmek için, aşağıdaki değeri veren ikili bir durum için E ile $B = \{0, 1\}$ değerini değiştirilir.

$$f: B_n \rightarrow B. \quad (3.3)$$

3.2.2. Halkalar (rings)

Bir halka beşli bir $\langle E, +, \cdot, 0, 1 \rangle$ değeridir. E ise **0** ve **1** öğelerini içeren sonlu veya sonsuz bir kümedir.

2 adet iki-yerli operasyon vardır, bunlar şöyledir; $+$ ve $\cdot$. İşlemcisini ihmal etme, yani $a \cdot b$ yerine ab yazma gibi, normal kurallar kullanılacaktır ve $+$ ise, $\cdot$ üzerinde önceliğe sahip olacaktır.

Bir halka aşağıdakileri yerine getirir:

- E 'deki tüm a ve b için, $a+b$ ve ab , E ($+$ ve $\cdot$ üzerinde kapanış) içindedir.
- E 'deki tüm a , b , ve c için, hem $a+(b+c)=(a+b)+c$ hem $a(bc)=(ab)c$ bekler (birleşme özelliği).
- E 'deki tüm a ve b , $a+b=b+a$ ($+$ üzerinde yer değiştirebilirlik).

- 0 ve 1 elemanları E' deki her a için özelliklere sahiptir, yani, $a+0=a$ ve $a1=1a=a$ (toplamsal ve çarpımsal kimlikler mevcuttur).
- E' deki her bir a için, E' her bir a için, E' de $\bar{a}$ elemanı vardır öyle ki; $a+\bar{a}=0$ (toplamsal tümleyiciler mevcuttur).
- E' deki tüm a , b , ve c için E , $a(b+c)=ab+ac$ bekler ($\cdot$ üzerinde dağıtılabilirlik).

Yukarıdaki özelliklere ek olarak, eğer E' deki tüm a ve b için, bu, $ab=ba$ 'a ve b için, bu, $ab=ba$ 'yı bekletirse, halka değişmeli veya Abelyen olarak adlandırılır, aksi takdirde halka, Abelyen değildir.

Bir halka, ilkel aritmetikten bildiğimize çok benzeyen şekliyle *toplanabilen*, *çıkartabilen* ve *çarpılabilen* bir yapıdır. Aslında, her zamanki toplama (+) ve çarpma ($\cdot$) altındaki tamsayılar, bu durumda olmasına rağmen, bir Abelyen halkası oluştururlar. E tüm tam sayıların sonsuz kümesidir.

3.3. Önerilen Mantık Kapıları Sistemi ile İlişkili ÇDM Cebirleri

Çeşitli amaçlar için çoklu değerli mantık üzerinde çalışılmaktadır. Bazı araştırmacılar için, çoklu değerli mantık matematiksel bir kavramdır ve saf bir matematiksel araştırma alanı olarak görülebilmektedir. İkinci olarak, geleneksel ikili mantık devrelerinin mantık sentezi için çok değerli mantık kullanılabilir. Başka bir araştırma alanı ise elektronik ve devre teorisi ile de ilgilenen çoklu değerli devre üretimidir. Bu bölümde incelenen cebirler genellikle belirli bir uygulama alanı için sembolik mantıkçıları tarafından geliştirilmiştir. Gayri resmi olarak, ilgilendiğimiz cebirler, sonlu bir dizi kümeden ve elemanlar kümesi üzerinde tanımlanmış olan tek terimli (tek-yerli) ve iki-terimli fonksiyonlardan seçilen bir dizi operatörden oluşmaktadır. Bu ÇDM cebirlerinin seçilmesinin temel nedenleri, bu cebirlerin cebirsel operatörlerinin, düz ve etkili devre uygulamalarına sahip fonksiyonları göstermesi ve bu cebirlerle ilişkili olarak önerilen ÇDM mantık kapıları sisteminin fonksiyonel olarak eksiksiz bir şekilde tanımlanabilmesidir. Aşağıda, önerilen sistemin dayandığı cebirsel sistemlerin bir açıklaması verilmiştir.

3.3.1. Post cebiri

Zincire dayanan Post cebiri veya zincir tabanlı Post cebiri, fonksiyonel bütünlüğe sahip olan çoklu değerli bir mantığın önemli bir araştırma alanıdır. 1921’de Emil Post tarafından geliştirilen çok değerli fonksiyonların işlenmesine yönelik bir cebirsel sistemdir [20]. Bu, tamamen sıralı elemanlar kümesine ve maksimum (MAX), minimum (MIN) ve literaller işlemlerine dayanmaktadır. Örgülere dayanan daha genel Post cebirlerinin özel bir durumudur. Zincire dayanan Post cebiri için, değişken, uzay ikili ile sınırlandırıldığında, ikili Boole Mantığına eşdeğerdir. Zincir tabanlı Post cebiri şu şekilde tanımlanmıştır: $\langle E, +, \cdot, \{Ca(x)\}, 0, 1 \rangle$ burada E , r elementlerini içeren, tamamen sıralı bir sonlu kümedir $\{0, 1, \dots, r-1\}$, $\cdot$ işlemcisi genellikle “min.” işlemcisi ve $+$ “max.” işlemcisi olarak anılır, mantıksal sıfır $0 = 0$ ve mantıksal bir $1 = r - 1$ olur. Bu da r -değerli mantık sistemine yöneliktir. Bu cebirde kullanılan tek yer operatörleri kümesi belirleyici literallerdir; $Ca(x) \forall a \in E$.

Zincir tabanlı Post cebirinde çoklu değerli bir fonksiyon $f(x)$ dikkate alınarak, r değerlidir ve burada $X = \{x_1, x_2, \dots, x_n\}$ olur ve her bir $x_i, E = \{0, 1, \dots, r-1\}$ kümesinden r değerlerini alabilir. . Burada fonksiyonun eşleşmesi şöyle tanımlanmaktadır $f: M^n \rightarrow M$. Fonksiyon değer seviyesi ve değişken sayısına bağlı olarak uygulanabilecek r^r tek değişkenli fonksiyonlar ve r^{r^n} n değişkenli fonksiyonlar mevcuttur.

Herhangi bir çoklu değerli fonksiyon zincir tabanlı Post cebirinde max, min ve literaller bakımından aşağıdaki şekilde tanımlanmış kanonik bir ifadeye sahiptir,

Tanım 3.3: Bir min işlemcisi şöyle tanımlanabilir:

$$\min(a_1, a_2, \dots, a_n) = a_1 \cap a_2 \cap a_3 \dots \cap a_n \quad (3.4)$$

Burada, $a_1, a_2, \dots, a_n \in E = \{0, 1, \dots, R-1\}$ olur. Bunun için $a_1 = 5, a_2 = 2, a_3 = 3$, $\min(5, 2, 3) = 2$.

‘ $\cap$ ’ işlemcisi sadelik amaçları doğrultusunda aşağıdaki gösterimlerde ‘.’ ile değiştirilir. Sekizli zincir tabanlı post mantık sistemi için Min işlemcisinin doğruluk çizelgesi Çizelge 3.3’ te sunulmuştur.

Çizelge 3.3. Sekizli zincir tabanlı post mantık sistemi için Min. işlemcisinin doğruluk çizelgesi.

Min	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	0	1	1	1	1	1	1	1
2	0	1	2	2	2	2	2	2
3	0	1	2	3	3	3	3	3
4	0	1	2	3	4	4	4	4
5	0	1	2	3	4	5	5	5
6	0	1	2	3	4	5	6	6
7	0	1	2	3	4	5	6	7

Tanım 3.4: Bir Max. işlemcisi şöyle tanımlanabilir:

$$\max(a_1, a_2, \dots, a_n) = a_1 \cup a_2 \cup \dots \cup a_n \quad (3.5)$$

Burada, $a_1, a_2, \dots, a_n \in E = \{0, 1, \dots, r-1\}$. Bunun için $a_1 = 5, a_2 = 2, a_3 = 3, \max(5, 2, 3) = 5$.

' $\cup$ ' işlemcisi sadelik amaçları doğrultusunda aşağıdaki gösterimlerde '+' ile değiştirilir. Sekizli zincir tabanlı post mantık sistemi için Max işlemcisinin doğruluk çizelgesi Çizelge 3.4'te sunulmuştur.

Çizelge 3.4. Sekizli zincir tabanlı mantık sistemi için Max işlemcisinin doğruluk çizelgesi.

Max	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	1	2	3	4	5	6	7
2	2	2	2	3	4	5	6	7
3	3	3	3	3	4	5	6	7
4	4	4	4	4	4	5	6	7
5	5	5	5	5	5	5	6	7
6	6	6	6	6	6	6	6	7
7	7	7	7	7	7	7	7	7

Tanım 3.5: Bir literal, giriş için *pencere karşılaştırmacı* fonksiyonunu gerçekleştirir ve iki mantık giriş seviyesi arasında bir çıktı üretir.

Bir r fonksiyon değer seviyesi sistemi $\frac{r.(r+1)}{2}$ literallerine sahiptir. $\{z[a,a]\}$ türündeki literaller, belirleyici literal gibi nokta literalleri olarak adlandırılır öte yandan, $a \neq b$ durumu için literal, pencere literalı gibi aralık literalı olarak adlandırılır. Burada şu durum gerçekleşir; $a, b \in E$.

"Post Cebirinde" kullanılan tek yer işlemciler kümesi, belirleyici literallerdir veya bazen "Post literalleri" olarak adlandırılır $C_a(x) \forall a \in E$. Burada, " $\forall$ " sembolü "hepsi için" anlamındadır (hepsi için $a \in \{0, 1, \dots, r-1\}$). Belirleyici literaller şöyle tanımlanır:

$$C_a(x) = \begin{cases} r-1, & x = a \\ 0, & \text{ow} \end{cases} \quad (3.6)$$

Sekizli zincir tabanlı post mantık sistemi için belirleyici literal işlemcisinin doğruluk çizelgesi Çizelge 3.5'te sunulmuştur.

Çizelge 3.5. Sekizli zincir tabanlı post mantık sistemi için belirleyici literal işlemcisinin doğruluk çizelgesi.

x	$C_0(x)$	$C_1(x)$	$C_2(x)$	$C_3(x)$	$C_4(x)$	$C_5(x)$	$C_6(x)$	$C_7(x)$
0	7	0	0	0	0	0	0	0
1	0	7	0	0	0	0	0	0
2	0	0	7	0	0	0	0	0
3	0	0	0	7	0	0	0	0
4	0	0	0	0	7	0	0	0
5	0	0	0	0	0	7	0	0
6	0	0	0	0	0	0	7	0
7	0	0	0	0	0	0	0	7

3.3.2. Kleene cebiri

Modern biçimdeki en iyi yayımlanmış çoklu değerli mantık sistemlerinden biri, 1938 yılında Amerika Birleşik Devletleri'nde Kleene tarafından yapılan çalışma sonucunda ortaya çıkmıştır [64]. Bu üçlü (3-değerli) sisteme, *doğru* ve *yanlışları* gösteren değerlere ek olarak üçüncü bir mantık değerinin bilinmemesi yol açmıştır. Aşağıdaki açıklamada, üçlü mantık değerlerini sayısal olarak şu şekilde göstereceğiz: yanlış=0, bilinmeyen=1 ve doğru=2. Çizelge 3.6, bu mantık sisteminin işlemlerini tanımlamaktadır.

Başlangıçta Kleene, mantık sistemini “min.” işlemcisi ve “+” “max.” işlemcisi, $\bar{x}$ “olumsuzlama veya tümleyici” işlemcisi, “ $\rightarrow$ ” “mantıksal çıkarım” işlemcisi ve “ $\leftrightarrow$ ” “mantıksal eşdeğerlik” işlemcisi olarak sunmuştur.

“Olumsuzlama veya tümleyici” işlemcisi ' $\bar{x}$ ' şu şekilde tanımlanmıştır:

$$\bar{x} = (r-1) - x; \quad (3.7)$$

' $\rightarrow$ ' mantıksal çıkarımını anlamanın en iyi yolu şunu hatırlamaktır:

$$x \rightarrow y = \max (\bar{x}, y); \quad (3.8)$$

Mantıksal eşdeğerlik ' $\leftrightarrow$ ' kullanımı, şu ifadenin kullanımı ile kolayca elde edilmektedir:

$$x \leftrightarrow y = (x \rightarrow y) \cdot (y \rightarrow x); \quad (3.9)$$

Kleene üçlü operatörleri Çizelge 3.6' da tanımlanmıştır. Kleene'nin orijinal eseri her ne kadar $r=3$, 3-değerli mantık sistemini temel almış olsa da, sistemin bir $r=8$, 8-değerli mantık sisteminin olduğu Sekizli durum için genelleştirilmesi mümkündür. Kleene sekizli işlemcileri Çizelge 3.7' de tanımlanmıştır.

Çizelge 3.6. Üçlü Kleene mantık sistemi işlemcileri.

Operatör	Doğruluk çizelgesi			
Olumsuzlama	x	$\bar{x}$		
	0	2		
	1	1		
	2	0		
Minimum	$\cdot$	0	1	2
	0	0	0	0
	1	0	1	1
	2	0	1	2
Maksimum	$+$	0	1	2
	0	0	1	2
	1	1	1	2
	2	2	2	2
Mantıksal çıkarım	$\rightarrow$	0	1	2
	0	2	2	2
	1	1	1	2
	2	0	1	2
Mantıksal eşdeğerlik	$\leftrightarrow$	0	1	2
	0	2	1	0
	1	1	1	1
	2	0	1	2

Çizelge 3.7. Sekizli Kleene mantık sistemi işlemcileri.

Operatör	Doğruluk çizelgesi									
Olumsuzlama					x	$\bar{x}$				
					0	7				
					1	6				
					2	5				
					3	4				
					4	3				
					5	2				
					6	1				
					7	0				
Minimum	.	0	1	2	3	4	5	6	7	
	0	0	0	0	0	0	0	0	0	
	1	0	1	1	1	1	1	1	1	
	2	0	1	2	2	2	2	2	2	
	3	0	1	2	3	3	3	3	3	
	4	0	1	2	3	4	4	4	4	
	5	0	1	2	3	4	5	5	5	
	6	0	1	2	3	4	5	6	6	
	7	0	1	2	3	4	5	6	7	
Maksimum	+	0	1	2	3	4	5	6	7	
	0	0	1	2	3	4	5	6	7	
	1	1	1	2	3	4	5	6	7	
	2	2	2	2	3	4	5	6	7	
	3	3	3	3	3	4	5	6	7	
	4	4	4	4	4	4	5	6	7	
	5	5	5	5	5	5	5	6	7	
	6	6	6	6	6	6	6	6	7	
	7	7	7	7	7	7	7	7	7	
Mantıksal çıkarım	$\rightarrow$	0	1	2	3	4	5	6	7	
	0	7	7	7	7	7	7	7	7	
	1	6	6	6	6	6	6	6	7	
	2	5	5	5	5	5	5	5	6	
	3	4	4	4	4	4	4	5	6	
	4	3	3	3	3	4	5	6	7	
	5	2	2	2	3	4	5	6	7	
	6	1	1	2	3	4	5	6	7	
	7	0	1	2	3	4	5	6	7	
Mantıksal eşdeğerlik	$\leftrightarrow$	0	1	2	3	4	5	6	7	
	0	7	6	5	4	3	2	1	0	
	1	6	6	5	4	3	2	1	1	
	2	5	5	5	4	3	2	2	2	
	3	4	4	4	4	3	3	3	3	
	4	3	3	3	3	4	4	4	4	
	5	2	2	2	3	4	5	5	5	
	6	1	1	2	3	4	5	6	6	
	7	0	1	2	3	4	5	6	7	

3.3.3. Allen ve Givone Cebiri

1968 yılında Allen ve Givone tarafından [10] tanıtılan ÇDM cebirine, iki ucaylı bağlantı transistörleri (BJT'ler) kullanan devrelerdeki ilgili operatörlerin devre uygulama kolaylığı yol açmıştır. 1960'lardan beri literatürde yer alan cebirlerin çoğu, belirli bir uygulama teknolojisine dayanan ÇDM devrelerini desteklemek için matematiksel bir temel oluşturmak üzere geliştirilmiştir.

Allen ve Givone cebiri şöyle tanımlanır: $\langle E, +, \cdot, x^{[a,b]}, 0, 1 \rangle$ burada $E \in \{0, 1, \dots, r-1\}$, $\cdot$ işlemcisi genellikle “min.” işlemcisi ve $+$ “max.” işlemcisi olarak anılır, mantıksal sıfır $0=0$ ve mantıksal bir $1=r-1$ olur. Bu da r -değerli mantık sistemine yöneliktir. Bu cebirde kullanılan tek yer operatörü pencere literalidir.

Pencere literali şöyle tanımlanmaktadır:

$$x^{[a,b]} = \begin{cases} r-1 & a \leq x \leq b \\ 0 & \text{ow} \end{cases} \quad (3.10)$$

. $a, b \in E$ olduğu yerde, Sekizli Allen ve Givone sistemi için pencere literalinin doğruluk çizelgesi, Çizelge 3.8'de sunulmuştur.

Çizelge 3.8. Sekizli Allen ve Givone sistemi için pencere literalinin doğruluk çizelgesi

x	$x^{[0,1]}$	$x^{[1,2]}$	$x^{[2,3]}$	$x^{[3,4]}$	$x^{[4,5]}$	$x^{[5,6]}$	$x^{[6,7]}$
0	7	0	0	0	0	0	0
1	7	7	0	0	0	0	0
2	0	7	7	0	0	0	0
3	0	0	7	7	0	0	0
4	0	0	0	7	7	0	0
5	0	0	0	0	7	7	0
6	0	0	0	0	0	7	7
7	0	0	0	0	0	0	7

3.3.4. Vranesic, Lee ve Smith Cebiri

1970 yılında Vranesic, Lee ve Smith tarafından belirtilen bir cebir [85] olarak şu şekilde tanımlanabilir; $\langle E, +, \cdot, x^k, x^a, 0, 1 \rangle$ Tek yer operatörleri döngü ve eşik harfli işlevleri içerir. Bu cebir, en aza indirgeme algoritmalarının devre uygulama kriterlerine göre ve işleyicileri uygulayan mantık kapılarının ekonomik uygulamasına dayalı olarak motive edilmiştir. [85]'in yazarları, eşik fonksiyonların devre uygulamalarının, saat yönündeki döngü devresinin tanıtılması ile birlikte, 1970'li yılların başlarında mevcut olan teknolojiyi kullanarak kolay uygulanabilen bir dizi mantık devresi ürettiğini ileri sürmektedir. Buna ek olarak, bu cebiri kullanarak temsil edilen fonksiyonlara yönelik mantık kapaklarının otomatik optimizasyonu için bir algoritma sunulmuş ve böylece etkili sentez yöntemleri için temel oluşturulabilmiştir.

Saat yönündeki döngü işlemcisi aşağıdaki gibi tanımlanmaktadır:

$$x^k = \begin{cases} x + k & x+k \leq r \\ x + k - r & \text{ow} \end{cases} \quad (3.11)$$

Eşik literal sayı işlemcisi, aşağıdaki gibi tanımlanır:

$$x^a = \begin{cases} r - 1 & x \geq a \\ 0 & \text{ow} \end{cases} \quad (3.12)$$

Sekizlik için saat yönündeki döngü işlemcisinin ve eşik literalinin doğruluk çizelgeleri sırasıyla Çizelge 3.9 ve Çizelge 3.10' da verilmiştir.

Çizelge 3.9. Sekizlik için saat yönündeki döngü işlemcisinin doğruluk çizelgesi.

k \ x	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7	0
2	2	3	4	5	6	7	0	1
3	3	4	5	6	7	0	1	2
4	4	5	6	7	0	1	2	3
5	5	6	7	0	1	2	3	4
6	6	7	0	1	2	3	4	5
7	7	0	1	2	3	4	5	6

Çizelge 3.10. Sekizlik için eşik literalinin doğruluk çizelgesi.

a \ x	0	1	2	3	4	5	6	7
0	7	0	0	0	0	0	0	0
1	7	7	0	0	0	0	0	0
2	7	7	7	0	0	0	0	0
3	7	7	7	7	0	0	0	0
4	7	7	7	7	7	0	0	0
5	7	7	7	7	7	7	0	0
6	7	7	7	7	7	7	7	0
7	7	7	7	7	7	7	7	7

3.3.5. Modüler cebir

Bazen modüler aritmetik, bazen de saat aritmetiği olarak anılmakta olan modüler cebir, tam sayıların sabit bir “modül” ile bölündükten sonraki kalanlarla yapılan aritmetik bir formdur. Temel olarak, tüm sayıları tüm sayıları sabit bir kümeye ait olanlara indirgeyen bir tamsayı aritmetiği türüdür $\{0, \dots, r-1\}$. Modüler aritmetik kullanım örneklerine antik Çin, Hint ve İslam kültürlerinde rastlanmaktadır. Özellikle de, bu kullanım takvimlerle ilgili problemlerde ve astronomik problemlerde ortaya çıkmaktadır.

İkili değerli mantık açısından, en yaygın modüler cebir, genellikle Reed-Muller mantığı [14, 31] olarak adlandırılan türdür, burada işlemciler sırasıyla Boole sistemine özgü olan -OR ve AND işlemcilerinin modülo-2 ve çarpma modülo-2'ye eklenir. İkili Reed-Muller cebirleri $\langle B, \oplus, \cdot, 1, 0 \rangle$ kümesi olarak karakterize edilebilir; burada $\oplus$ $\cdot$ sırasıyla toplama ve çarpma modülo-2'yi gösterir.

Sekizli sistem için, modülo-8 toplama işlemi şu şekilde tanımlanabilir:

$$\text{Mod-sum } (x, y) = x \oplus y = \begin{cases} x + y & x+y < 8 \\ x + y - 8 & \text{ow} \end{cases} \quad (3.13)$$

Ve çıkarma modülo-8 işlemi de aşağıdaki gibi tanımlanabilir:

$$\text{Mod-difference } (x, y) = x \ominus y = \begin{cases} x - y & x - y \geq 0 \\ x - y + 8 & \text{ow} \end{cases} \quad (3.14)$$

Modülo-8 toplama ve çıkarma modülo-8'in doğruluk çizelgeleri sırasıyla Çizelge 3.11 ve Çizelge 3.12' de verilmiştir.

Çizelge 3.11. Toplama modülo-8'in doğruluk çizelgesi.

$\oplus$	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7	0
2	2	3	4	5	6	7	0	1
3	3	4	5	6	7	0	1	2
4	4	5	6	7	0	1	2	3
5	5	6	7	0	1	2	3	4
6	6	7	0	1	2	3	4	5
7	7	0	1	2	3	4	5	6

Çizelge 3.12. Çıkarma modülo-8'in doğruluk çizelgesi.

$\ominus$	0	1	2	3	4	5	6	7
0	0	7	6	5	4	3	2	1
1	1	0	7	6	5	4	3	2
2	2	1	0	7	6	5	4	3
3	3	2	1	0	7	6	5	4
4	4	3	2	1	0	7	6	5
5	5	4	3	2	1	0	7	6
6	6	5	4	3	2	1	0	7
7	7	6	5	4	3	2	1	0

4. SEKİZLİ ÇDM MİKROİŞLEMCİ ÇEKİRDEĞİNİN TASARIMI VE AKIM MODUNUN GERÇEKLEŞTİRİLMESİ

Bu bölümde, sekizli ÇDM mikroişlemci çekirdeğinin tasarım metodolojisi ve akım modu gerçekleştirmesi üzerinde durulmaktadır. Ayrıca, önerilen ÇDM mikro işlemci çekirdeğinin işletebileceği talimat setleri ve karşılık gelen kodlama tanımlanmıştır.

4.1. Tasarım Metodolojisi

Mikroişlemci tasarımı aşağıdaki özellikleri dikkate almaktadır: tasarım karmaşıklığı, özellik boyutu, kalıp alanı, performans, hız, tasarım zamanı ve diğerleri. Bu özelliklerin hepsi birbirine bağlıdır. Genel olarak, mikroişlemci tasarımı ve diğer Çok büyük ebatlı tümleşik devreler (VLSI) tasarımı, son elli yıllık süreç boyunca Moore Yasası ile karakterize edilmiştir. Moore Yasası, bir çip üzerindeki transistör sayısının her 18-24 ayda bir ikiye katlanacağını ifade etmektedir [30]; Moore yasasının mikroişlemci tasarımında uygulanması, bu süreci daha karmaşık ve daha pahalı hale getirmektedir. Bir çip üzerinde daha fazla transistörün yerleştirilmesi için, çipin büyüklüğü artmalı ve / veya transistörlerin boyutu azalmalıdır. Çip üzerindeki özellik boyutu azaldıkça, transistörlerin sayısı artar ve tasarım karmaşıklığı da artar.

ÇDM birçok avantaj sağlama potansiyeline sahiptir ve mikroşlemcilerin üretimindeki fiziksel kısıtlamaları önlemek ve Moore Yasasını uzun süre uygulamak için uygun bir çözüm olarak kabul edilebilir. Bu nedenle, bu bölümde sekiz değerli mantık sinyallerini kabul eden, yöneten, depolayan ve sağlayan yeni bir ÇDM mikroişlemci çekirdek tasarımı sunulmuştur. Tasarım hedefi, daha yüksek hız, daha küçük boyut, daha az sayıda transistör ve daha az güç yitimi bakımından mikroşlemcinin performansını iyileştirmektir.

Tümleşik devreler, çeşitli seviyelerin herhangi birinde tasarlanabilir. En düşük seviye olan transistör seviyesinde bir devre tasarlarken, ayrı transistörler ile işlem yaparsınız ve devreyi oluşturmak için de bunları bir araya getirirsiniz. Bir sonraki seviye ise kapı seviyesidir. Bu seviyede, devre oluşturmak için mantık kapıları ile çalışılır. Bir tasarımcı, mantık kapılarını kullanırken, daha büyük devreler oluşturmak için genellikle standart bileşenler oluşturur. Böylelikle, hiyerarşik bir

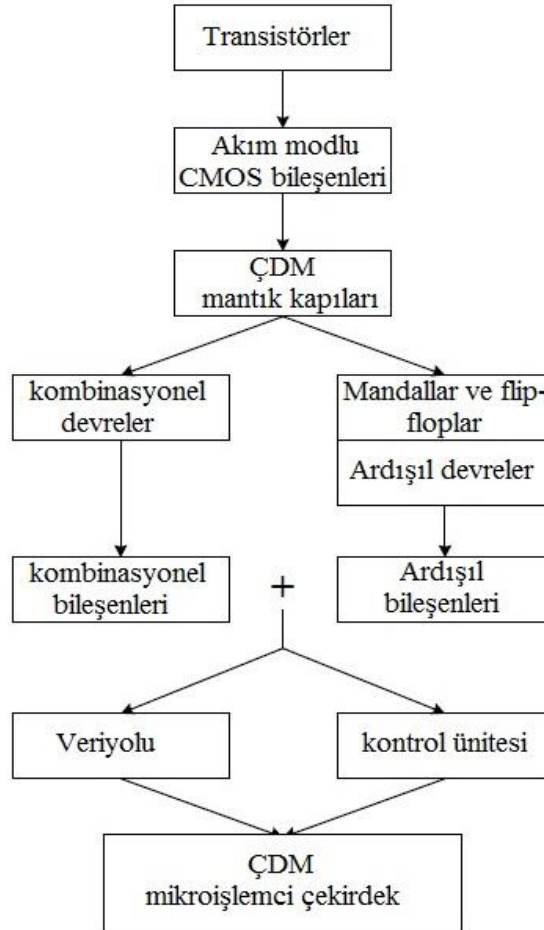
şekilde bir mikroişlemci gibi çok büyük bir devre oluşturulabilir. Tasarım metodolojileri, bir problemi hiyerarşik olarak çözmenin, tüm problemi en başından çözmekten çok daha kolay olduğunu ortaya koymuştur. Son olarak, davranışsal seviye olan en üst seviyede, bir donanım tanımlama dili kullanarak devrenin davranışını veya işleyişini tanımlamak suretiyle devreyi kurarız. Bu işlem, bir programlama dili kullanarak bir bilgisayar programı yazmaya çok benzemektedir.

Önerilen ÇDM mikroişlemci çekirdeğinin tasarımında, günümüzde MOSFET (metal oksit yarıiletken alan etkili transistör) transistörleri olarak bilinen bilgisayarlarda en yaygın transistör tipi kullanılmaktadır. Bununla birlikte, bu transistörler tek ve ayrı birimler değildir. Bunun yerine, bu transistörlerin birçoğu, Geçerli mod bileşenleri oluşturmak için birbirine geçer. Geçerli mod bileşenlerinden, ÇDM mantık kapıları inşa edilir (ÇDM mantık kapıları sistemi, önceki bölümde ayrıntılı olarak ele alınmıştır). ÇDM mantık kapıları, bileşimli veya ardışık devreleri oluşturmaktadır. Bileşimli veya ardışık devreler, veri yolu veya denetim birimi oluşturmak için birbirine bağlanır ve veri yolu ile denetim birimini birbirine bağlamak, önerilen ÇDM mikroişlemci çekirdeğini üretecektir.

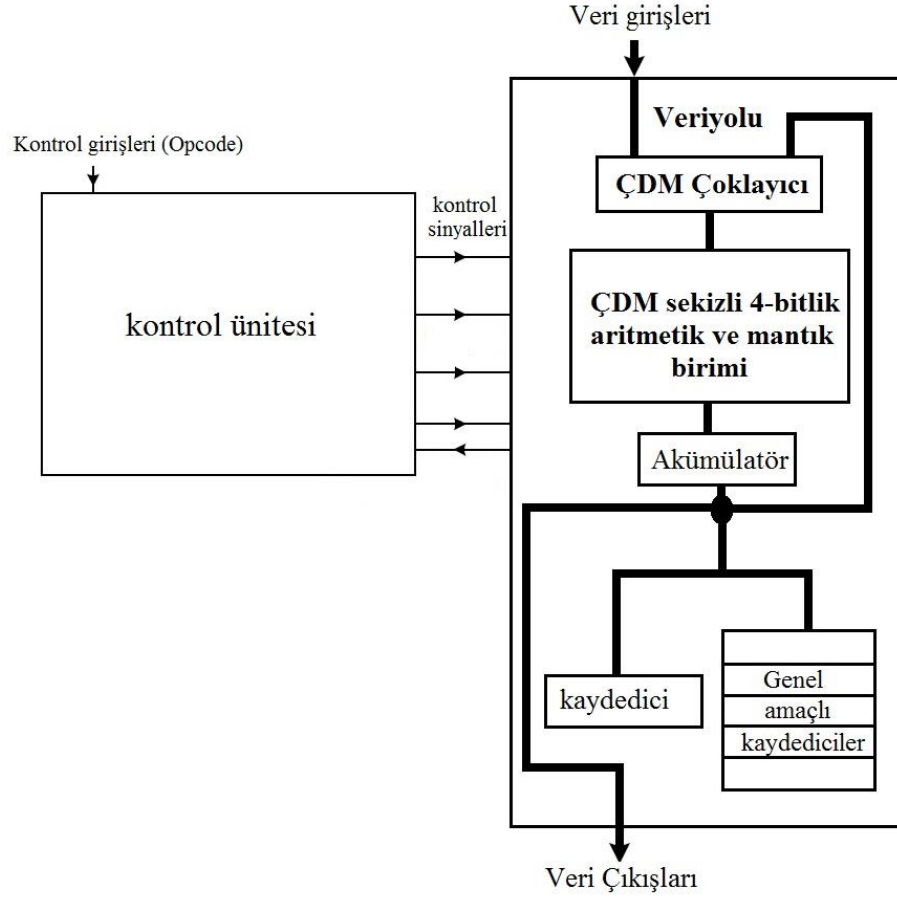
Şekil 4.1, önerilen ÇDM mikroişlemci çekirdeğini oluşturmak için farklı parçaların ve bileşenlerin birbirine nasıl geçtiğini özetlemektedir. Transistörlerden akım mod bileşenleri oluşturulmaktadır. Akım mod bileşenlerinden, ÇDM mantık kapıları oluşturulmaktadır.. ÇDM mantık kapılarından, bileşimli ya da ardışık devreler oluşturulmaktadır. Burada, her mantık devresi, bir bileşimli veya ardışık devre olarak kategorize edilmektedir. Bir bileşimli devre, devrenin çıktısının sadece devreye akım girişlerine bağlı olduğu bir devredir. Örneğin, bir toplayıcı devresi bir bileşimli devredir. İki sayıyı girdi olarak alır ve bu iki sayının toplamını değerlendirir ve sonucu verir. Diğer taraftan ardışık bir devre ise sadece akım girdilerine değil, aynı zamanda önceki tüm girdilere de bağlıdır. Diğer bir deyişle, ardışık bir devre geçmiş tarihini hatırlamak zorundadır. Bu iki devre tipi arasındaki fark, sadece mantık kapılarının birbirine bağlı olduğu yoldur. Mandallar ve flip-floplar, ardışık devrelerin en basit biçimleridir.

Farklı bileşimli ve ardışık bileşenler, bir mikroişlemci çekirdeğinin veri yolunu veya denetim birimini oluşturmak için birbirine bağlanmaktadır. Mikroişlemci için mantık

devresi iki kısma ayrılabilir: veri yolu ve denetim birimi. Veri yolu, aritmetik mantık biriminin (ALU) içindeki iki sayının toplanması gibi mikroişlemci tarafından gerçekleştirilen tüm veri işlemlerinin fiilen yürütülmesinden sorumludur. Veri yolu ayrıca verilerin geçici olarak saklanmasına yönelik yazmaçları da içerir. Veri yolu içindeki fonksiyonel birimler, ALU ve yazmacı içerir, çoklayıcılar ve veri sinyali hatları ile birlikte birbirine bağlanır. Veri sinyali hatları, iki fonksiyonel birim arasında veri aktarımı içindir. Kontrol birimi da bilinen denetim birimi, veri yolunun tüm işlemlerini ve dolayısıyla tüm mikroişlemci çekirdeğinin işlemlerini kontrol eder. Son olarak, veri yolu ve denetim biriminin birbiri ile bağlanması, önerilen ÇDM mikroişlemci çekirdeğini üretecektir. Şekil 4.2 ise önerilen ÇDM mikroişlemci çekirdeğinin tasarımını göstermektedir.



Şekil 4.1. Önerilen bir ÇDM mikroişlemci çekirdeğinin parçalarının nasıl birbirine geçtiğinin özeti.



Şekil 4.2. Önerilen ÇDM mikroişlemci çekirdeğinin tasarımı.

4.2. Sekizli ÇDM mikroişlemci çekirdeğinin akım modu gerçekleştirilmesi

Potansiyel avantajları nedeniyle, önerilen ÇDM mikroişlemci çekirdeğinin gerçekleştirilmesi için akım-modu CMOS gerçekleştirilmesi seçilmiştir. Statik güç gereksinimlerini minimize etmek amacıyla referans akım seviyesi, I , $5\mu A$ olarak seçilmiş ve Çizelge 4.1' de gösterildiği gibi tamsayı katları ile artış gösterir.

Çizelge 4.1. Akım seviyeleri ve mantık seviyeleri eşdeğeri

Mantık seviye	Akım seviye (μA)
0	0
1	5
2	10
3	15
4	20
5	25
6	30
7	35

Aktif eleman boyutları, güç kaynakları, teknoloji parametreleri vb. bazı değişikliklerden dolayı, belirtilen akım seviyeleri orijinal değerlerinden sapma gösterebilir. Bu sapma tolere edilebilir ve çıktı ise bir değer aralığı için doğru şekilde tespit edilebilir. Akımların orijinal değerlerinden sapmaları da dahil olmak üzere, mantık seviyeleri aşağıdaki gibi tanımlanabilir.

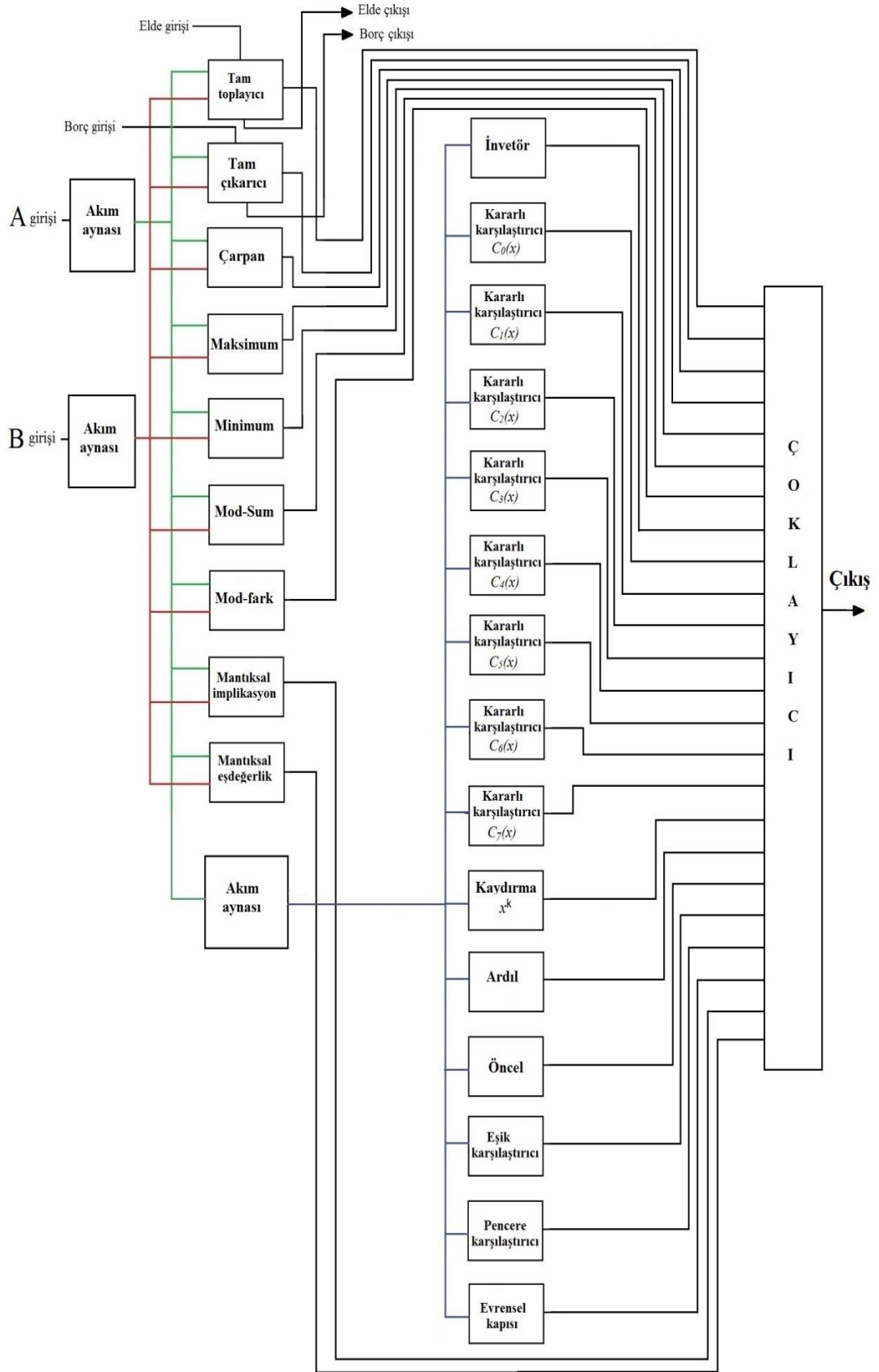
$$I = \begin{cases} 0, & I < 2.5\mu A \\ 1, & 2.5\mu A \leq I < 7.5\mu A \\ 2, & 7.5\mu A \leq I < 12.5\mu A \\ 3, & 12.5\mu A \leq I < 17.5\mu A \\ 4, & 17.5\mu A \leq I < 22.5\mu A \\ 5, & 22.5\mu A \leq I < 27.5\mu A \\ 6, & 27.5\mu A \leq I < 32.5\mu A \\ 7, & 32.5\mu A \leq I < 37.5\mu A \end{cases} \quad (4.1)$$

4.2.1. Veri yolunun akım-modu gerçekleştirilmesi

Bir veri yolu, veri işleme operasyonlarını, yazmaçlarını ve yollarını gerçekleştiren aritmetik mantık birimleri gibi fonksiyonel birimlerden oluşan bir koleksiyondur [49]. Denetim birimi ile birlikte mikroişlemci çekirdeğini oluşturmaktadır. Çoklayıcı kullanan birden fazla sayıda veri yolunu birleştirerek daha geniş bir veri yolu oluşturulabilir. Veri yolu birimlerinin akım-modu gerçekleştirilmesiaşağıdaki gibi gösterilmektedir:

4.2.1.1. Sekizli ÇDM aritmetik ve mantık biriminin akım-modu gerçekleştirilmesi

Önerilen sekizli ALU, bir sekizli ÇDM mikroişlemci çekirdeğindeki en önemli bileşenlerden biridir ve tipik olarak ilk başta tasarlanan işlemcinin parçasıdır. ÇDM ALU tasarlandıktan sonra, ÇDM mikro işlemci çekirdeğinin geri kalanı, işlenenleri ve denetim kodlarını beslemek için ÇDM ALU' ya uygulanır. Bu birim genel anlamda, bir önceki bölümde sözü edilen bir Toplama, Çıkarma, Çarpma, Maksimum, Minimum, Olumsuzlama (tersine çevirme) ve diğer tüm mantıksal işlemler olarak aritmetik ve mantıksal işlemleri gerçekleştirebilmelidir. Temel bir ÇDM ALU tasarımı, her biri belirtilen işlemi gerçekleştirebilen "ÇDM ALU Dilimleri" koleksiyonunu içerir. 1-bit sekizli ÇDM ALU'nun blok diyagramı Şekil 4.3' te sunulmuştur.



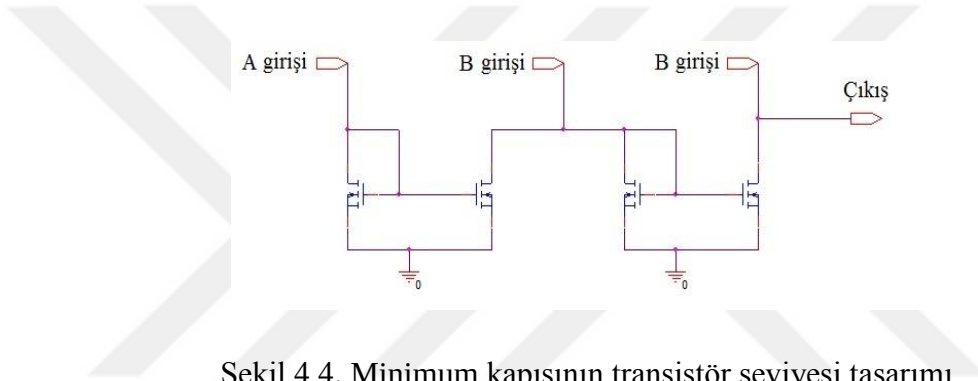
Şekil 4.3. 1-bit sekizli ÇDM ALU'nun blok diyagramı

4.2.1.1.1. Minimum kapısının uygulanması

Minimum kapı, giriş değerlerini alır ve minimum giriş değerlerine eşit bir çıktı üretir. Şöyle tanımlanmaktadır:

$$\text{Minimum}(A, B) = \text{AND}(A, B) = \begin{cases} A, & A \leq B \\ B, & \text{ow} \end{cases} \quad (4.2)$$

Min. devresinin transistör seviyesi tasarımı Şekil 4.4' te gösterilmektedir. Çok net bir işlemdir, devrenin çalışması kesilmiş fark işlemine bağlıdır ve devre sadece 4 transistöre ihtiyaç duymaktadır.

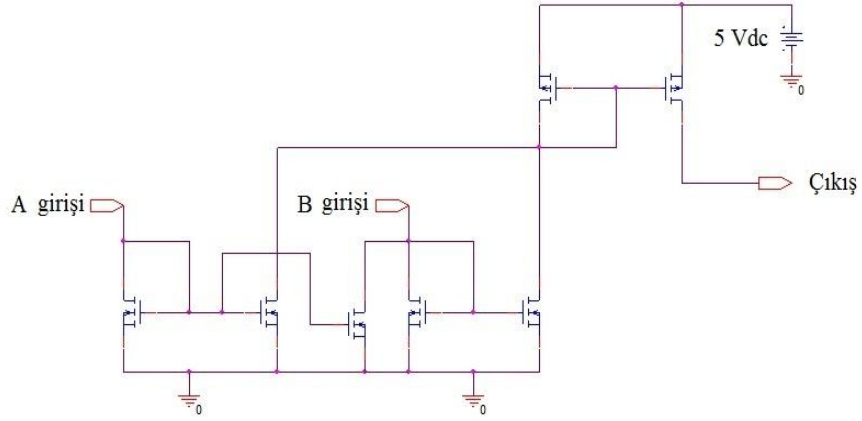


4.2.1.1.2. Maksimum kapısının uygulanması

Maksimum kapı, giriş değerlerini alır ve maksimum giriş değerlerine eşit bir çıktı üretir. Şöyle tanımlanmaktadır:

$$\text{Maximum}(A, B) = \text{OR}(A, B) = \begin{cases} A, & A \geq B \\ B, & \text{ow} \end{cases} \quad (4.3)$$

Bu kapısının gerçekleştirilmesi Şekil 4.5' de tanıtılmıştır. Devrenin çalışması, kesilmiş fark işlemine bağlıdır.



Şekil 4.5. Maksimum kapısının transistör seviyesi tasarımı

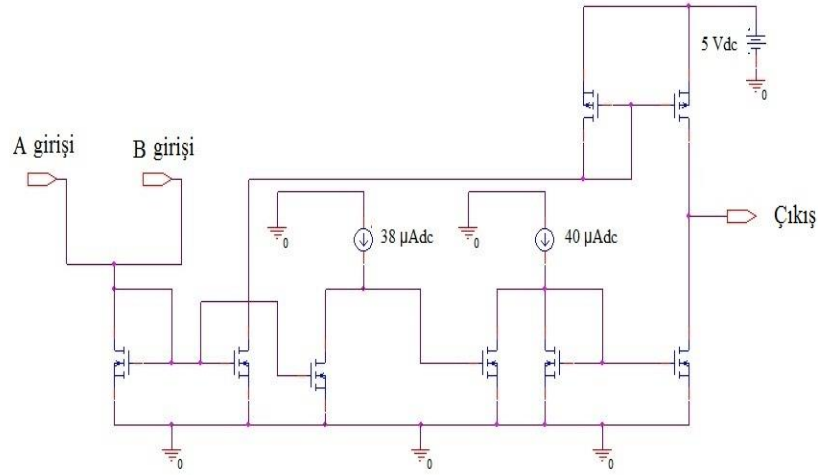
4.2.1.1.3. Mod-sum kapısının uygulanması

Mod-sum kapısı iki giriş değerini alır ve giriş değerlerinin toplama işleminin (modülo-8 toplama işlemi) sonucu olan bir çıktı üretir. Şöyle tanımlanmaktadır:

$$Mod - sum(A, B) = XOR(A, B) = \begin{cases} A + B, & A + B < 8 \\ A + B - 8, & \text{ow} \end{cases} \quad (4.4)$$

Bu kapısının çalışması, Boole mantığındaki XOR kapısının çalışmasıyla aynıdır ve modülo-8 toplama işlemini bir daire artı " $\oplus$ " ile gösterim seçilmiştir. Mod-sum kapısının Doğruluk çizelgesi önceki bölümde verilmiştir.

Mod-sum kapısının gerçekleştirilmesi Şekil 4.6' da verilmiştir.



Şekil 4.6. Mod-sum kapısının transistör seviyesi tasarımı

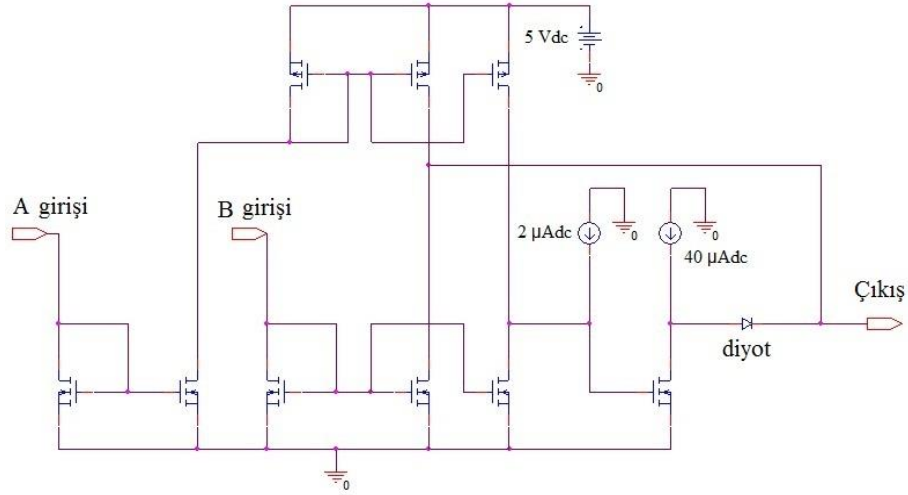
4.2.1.1.4. Mod-fark kapısının uygulanması

Mod-fark kapısı iki giriş değerini alır ve giriş değerlerinin çıkarma işleminin (modülo-8 çıkarma işlemi) sonucu olan bir çıktı üretir. Şöyle tanımlanmaktadır:

$$Mod - difference(A, B) = \begin{cases} A - B, & A - B \geq 0 \\ A - B + 8, & ow \end{cases} \quad (4.5)$$

Modülo-8 çıkarma işlemini bir daire-eksi " $\ominus$ " ile gösterim seçilmiştir. Mod-fark kapısının Doğruluk çizelgesi önceki bölümde verilmiştir.

Mod-fark kapısının gerçekleştirilmesi Şekil 4.7' de verilmiştir.



Şekil 4.7. Mod-fark kapısının transistör seviyesi tasarımı

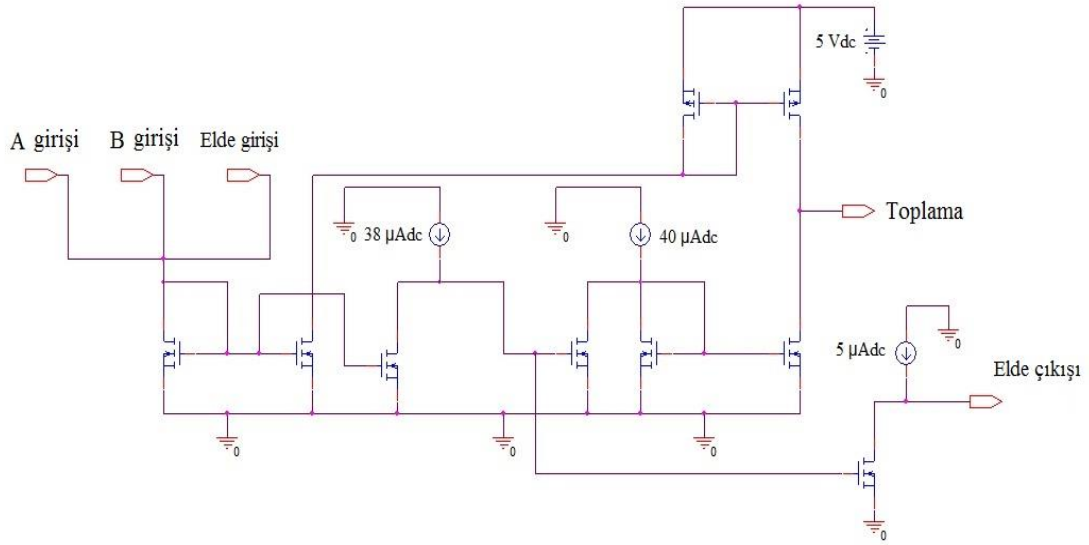
4.2.1.1.5. Sekizli tam toplayıcının uygulanması

En önemli “ÇDM ALU Dilimlerinden” birisi de, tam toplayıcı devresidir; bu nedenle, söz konusu devrenin tasarımı ve uygulanması çok önemlidir. Sekizli tam toplayıcı, üç giriş sekizlik bitin toplama işlemini (modülo-8 toplama işlemi) gerçekleştirmek için kullanılan bir elektronik devredir: A, B ve C_{in} (içe taşımak). Tam toplayıcı iki çıkış biti oluşturur: toplam (toplama) ve C_{out} (dışa taşımak). Tam toplayıcı matematiksel modeli şöyle gösterilmektedir:

$$Sum(A, B, C_{in}) = \begin{cases} A + B + C_{in}, & A + B + C_{in} < 8 \\ (A + B + C_{in}) - (8), & ow \end{cases} \quad (4.6)$$

$$C_{out} = \begin{cases} 0, & A + B + C_{in} < 8 \\ 1, & ow \end{cases} \quad (4.7)$$

Sekizli tam toplayıcı devresi için transistör seviyesi tasarımı, bu devrelerdeki matematiksel modellerdeki benzerlikler nedeniyle mod-sum kapısı için transistör seviyesi tasarımına biraz benzemektedir (tam toplayıcı devresinin çıkış üretmesi (yürütmesi) kabiliyeti dışında). Bu nedenle, sekizli tam toplayıcı devresi için tasarım, yapılan bazı değişikliklerle birlikte mod-sum kapısına yönelik tasarıma benzemektedir ve Şekil 4.8' de gösterilmektedir.



Şekil 4.8. Tam-toplayıcının transistör seviyesi tasarımı

4.2.1.1.6. Sekizli tam çıkarıcının uygulanması

Sekizli tam çıkarıcı, üç giriş sekizlik bitin çıkarma işlemini (modülo-8 çıkarma işlemi) gerçekleştirmek için kullanılan bir elektronik devredir: çıkartılan (A), çıkarılan (B) ve ödünç alma (B_{in}). Tam çıkarıcı iki çıkış bitü üretir: fark (D) ve ödünç verme (B_{out}). (B_{in}) ayrıca çıkarılan (B)'nin yanı sıra (A)'dan da çıkarılmıştır. Sekizli tam alt çıkarıcının matematiksel modeli şu şekilde sunulmuştur.

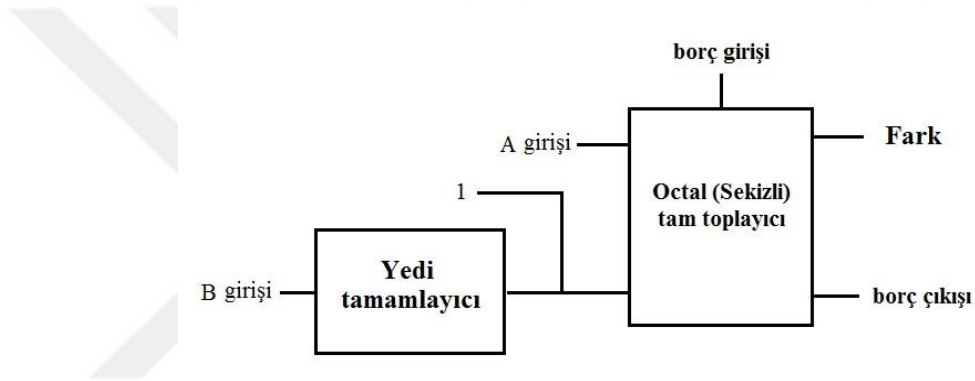
$$D(A, B, Bin) = \begin{cases} A - B - Bin, & A - B - Bin \geq 0 \\ (A - B - Bin) + (8), & ow \end{cases} \quad (4.8)$$

$$B_{out} = \begin{cases} 0, & A - B - Bin \geq 0 \\ 1, & ow \end{cases} \quad (4.9)$$

Matematik ve hesaplamada, tamamlayıcılar yöntemi, yalnızca pozitif sayıların eklenmesiyle bir sayıdan diğerini çıkarmak için kullanılan bir tekniktir. Bu yöntem, mekanik hesap makinelerinde yaygın olarak kullanılmaktadır. Ayrıca modern bilgisayarlarda da halen kullanılmaktadır. Sekizli sistemde, tamamlayıcılar yöntemini kullanarak başka bir sekizli sayıdan sekizli sayı çıkarmak istediğinde, ilk olarak: çıkan sayısı için yedinin tamamlayıcısını alınır. Burada yedinin bir sekizlik rakam

tamamlayıcısı, 7' yi elde etmek için ona eklenecek sayı olmalıdır. İkinci olarak: negatif sayıyı pozitif temsiline dönüştürmek amacıyla yedinin tamamlayıcı sayısının ilk bitine 1 eklenmelidir. Üçüncü olarak da sıradan toplama işlemini yapmak ve elde edilen çıktı çıkarma işleminin sonucu olacaktır.

Yukarıdaki bilgilere göre, önerilen sekizli tam çıkarıcı, sekizli tam toplayıcı içinde uygulanmaktadır, ancak çıkarılan sayının ilk biti, yedinin tamamlayıcı devresi içine girmelidir ve tam toplayıcı devresine ve diğerlerine girmeden önce sonuç için 1 ekleme yaparken çıkan sayının bitleri, tam toplayıcı devresine girmeden önce yedinin tamamlayıcı devresine girmelidir. Şekil 4.9, önerilen sekizli tam çıkarıcı devresinin blok diyagramını göstermektedir.



Şekil 4.9. Önerilen sekizli tam çıkarıcı devresinin blok diyagramı

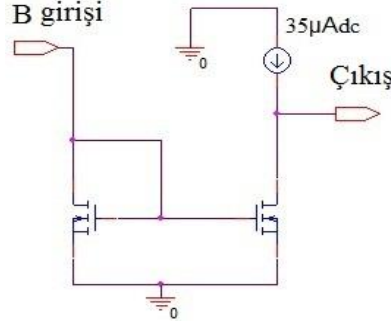
Yedi'nin tamamlayıcısına yönelik matematiksel model şu şekilde sunulmuştur:

$$\text{Seven's complement}(B) = \begin{cases} 0 & B = 7 \\ 1 & B = 6 \\ 2 & B = 5 \\ 3 & B = 4 \\ 4 & B = 3 \\ 5 & B = 2 \\ 6 & B = 1 \\ 7 & B = 0 \end{cases} \quad (4.10)$$

Fonksiyon (4.10) aşağıdaki gibi daha basit bir biçimde gösterilebilir:

$$\text{Seven's complement}(B) = 7 - B; \quad (4.11)$$

Fonksiyon (4.11) 'in doğrulanması için bu tasarımın sadece bir kesilmiş fark operatörü gerektirdiği çok açıktır. Şekil 4.10, bu fonksiyon için şematik transistör çizimini göstermektedir.



Şekil 4.10. Yedi'nin tamamlayıcı devresinin transistör seviyesi tasarımı

4.2.1.1.7. Sekizli inverter kapısının uygulanması

Dijital mantıkta, bir inverter veya NOT, mantıksal olumsuzluğu uygulayan bir mantık devresidir. Sekizli inverter için matematiksel model şu şekilde sunulmuştur:

$$\text{Inverter}(B) = \begin{cases} 0 & B = 7 \\ 1 & B = 6 \\ 2 & B = 5 \\ 3 & B = 4 \\ 4 & B = 3 \\ 5 & B = 2 \\ 6 & B = 1 \\ 7 & B = 0 \end{cases} \quad (4.12)$$

Sekizli invertere yönelik matematiksel model ile yedi'nin tamamlayıcısına yönelik matematiksel model arasındaki benzerlik oldukça açıktır. Bu nedenle, sekizli yedi'nin tamamlayıcı devresi için transistör seviye tasarımına benzeyen sekizli inverter devresine yönelik transistör seviyesi tasarımı daha önce ayrıntılı olarak açıklanmıştır.

4.2.1.1.8. Sekizli literal kapıların uygulanması

Literal: bir literal devre, bilinmeyen bir girdinin iki kesin referans eşik gerilimi arasında olup olmadığını belirlemek için kullanılan çift kenarlı limit dedektörü olarak da adlandırılan bir pencere karşılaştırıcısı olarak tanımlanabilir [8]. Bu nedenle, bir

literal devresi, giriş akımı, iki hassas mantık seviyesi arasında olduğunda bir çıktı üretir.

Bir r fonksiyon değer seviyesi sistemi $\frac{r \cdot (r+1)}{2}$ literallerine sahiptir. $\{z[a, a]\}$ tipi literaller, belirleyici literal gibi nokta literalleri olarak adlandırılır öte yandan, $a \neq b$ durumu için literal, pencere literali gibi aralık literali olarak adlandırılır. Burada şu durum gerçekleşir; $a, b \in \mathbb{R}$.

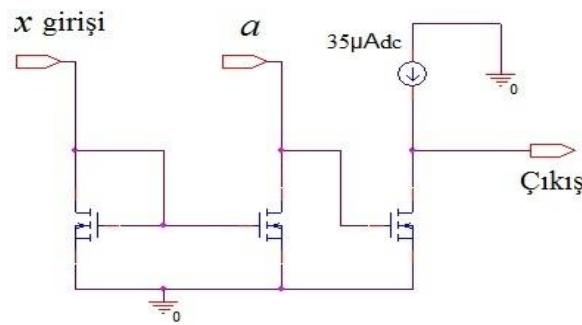
Önerilen ALU üç özel literal durumunu içerir: belirleyici literal, pencere literali ve eşik literali. Bunlar sırasıyla aşağıdaki gibi tanımlanmıştır.

$$C_a(x) = \begin{cases} r-1, & x = a \\ 0, & \text{ow} \end{cases}, \text{ Belirleyici literal (Decisive literal)} \quad (4.13)$$

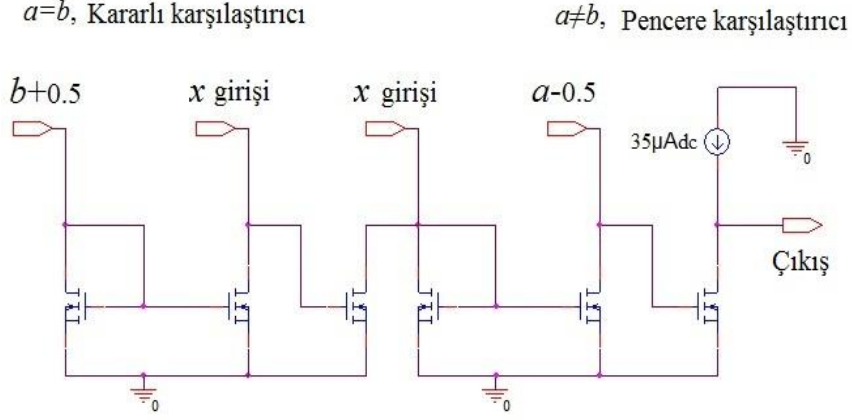
$${}^a_b x = \begin{cases} r-1, & a \leq x \leq b \\ 0, & \text{ow} \end{cases}, \text{ Pencere literal (Window literal)} \quad (4.14)$$

$$x^a = \begin{cases} r-1, & x \geq a \\ 0, & \text{ow} \end{cases}, \text{ Eşik literal (Threshold literal)} \quad (4.15)$$

Transistör seviyesi tasarımında, eşik literal kapısının gerçekleştirilmesi için, bu tasarım Şekil 4.11' de gösterildiği gibi bir kesikli fark operatörünü ve bir anahtar transistörünü gerektirir. Belirleyici literal kapısı ve pencere literal kapısı Şekil 4.12' de gösterildiği gibi artarda dizilmiş iki eşik literal kapıları olarak kullanılarak uygulanabilir.



Şekil 4.11. Eşik literal kapısının transistör seviyesi tasarımı



Şekil 4.12. Belirleyici literal ve pencere literalinin transistör seviyesi tasarımı

“Post Cebirinde” kullanılan tek yer operatörleri kümesi belirleyici literaldir; $C_a(x) \forall a \in E$. Burada “ $\forall$ ” sembolü “hepsi için” anlamındadır. Bu nedenle, önerilen devrenin bu cebire göre fonksiyonel olarak tamamlanabilmesi için, tasarım, tüm bir $E = \{0, 1, 2, 3, 4, 5, 6, 7\}$ için belirleyici bir literal kapısı içerir.

4.2.1.1.9. Döngü kapısının uygulanması

Döngü kapısı, giriş değerini (x) alır ve belirtilen miktarda akım (k) ile kaydırır. Kaydırma işlemi toplama olarak yapılır ve bu kapısının matematiksel modeli şöyle tanımlanır:

$$x^k = \begin{cases} x+k, & x+k < 8 \\ x+k-8, & \text{ow} \end{cases} \quad (4.16)$$

Bu kapı, $A=x$ ve $B=k$ için bir mod-sum kapısı özel durumu olarak kabul edilebilir.

4.2.1.1.10. Ardıl ve öncülün uygulanması

Tasarım sadeliği için, ardıl kapı, $A=x$ ve $B=1$ için mod-sum kapısı özel durumu olarak tanımlanabilir. Öncül kapı ise $A=x$ ve $B=1$ için mod-fark kapısı özel durumu olarak tanımlanabilir.

4.2.1.1.11. Sekizli çarpanın uygulanması

Çarpan, iki sayıyı çarpmak için bilgisayar gibi dijital elektronikte kullanılan bir elektronik devredir. Aslında, çarpan temel aritmetik işlemlerden biridir ve tipik bir bilimsel programdaki tüm talimatların %8.72' si çarpanlardan oluşmaktadır [58]. Ek olarak, çarpım uzun bir gecikme işlemidir. Tipik süreçlerde çarpım, 2 ila 8 döngü arasında gerçekleşir [67]. Sonuç olarak, yüksek hızlı çarpanlara sahip olmak, işlemcilerin performansı için kritik öneme sahiptir.

Önerilen çarpan, tipik olarak, sekizlik sayılar üzerinde çarpma işlemini gerçekleştirebilmeye ihtiyaç duyar. Sekizli sayıların çarpımında, herhangi bir fonksiyon değer seviyesindeki iki rakamın çarpımı için basit bir kural, onları ondalık olarak çarpmandır. Eğer ürünün, fonksiyon değer seviyesinden daha az olması durumunda, sonuç olarak onu alırız. Eğer ürün, fonksiyon değer seviyesinden daha büyükse, bunu fonksiyon değer seviyesine böleriz ve kalanını en az anlamlı rakam olarak alırız. Bölüm, bir sonraki önemli sayı basamağında elde sayısı olarak alınır. Bu nedenle, sekizli çarpımın doğruluk çizelgesi (Çizelge 4.2) ve elde sayısının (toplama ve çarpma işlemlerinde sayıyı sonraki basamağa geçirmek) doğruluk çizelgesi (Çizelge 4.3) aşağıdaki gibi sunulmuştur:

Çizelge 4.2. Sekizli (Fonksiyon Değer Seviyesi 8) çarpımının doğruluk çizelgesi

		A							
×		0	1	2	3	4	5	6	7
B	0	0	0	0	0	0	0	0	0
	1	0	1	2	3	4	5	6	7
	2	0	2	4	6	0	2	4	6
	3	0	3	6	1	4	7	2	5
	4	0	4	0	4	0	4	0	4
	5	0	5	2	7	4	1	6	3
	6	0	6	4	2	0	6	4	2
	7	0	7	6	5	4	3	2	1

Çizelge 4.3. Sekizli (Fonksiyon Değer Seviyesi 8) elde sayısı işleminin doğruluk çizelgesi

		A							
Carry		0	1	2	3	4	5	6	7
B	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0
	2	0	0	0	0	1	1	1	1
	3	0	0	0	1	1	1	2	2
	4	0	0	1	1	2	2	3	3
	5	0	0	1	1	2	3	3	4
	6	0	0	1	2	3	3	4	5
	7	0	0	1	2	3	4	5	6

Çarpım doğruluk çizelgesini elde eden matematiksel fonksiyonlar, sekizlik için aşağıdaki gibi verilecektir:

$$F_1(A,B) = \begin{cases} B, & A=1 \\ 0, & \text{ow} \end{cases} \quad (4.17)$$

$$F_2(A,B) = \begin{cases} B+B, & A=2, B+B < 8 \\ (B+B)-8, & A=2, B+B \geq 8 \end{cases} \quad (4.18)$$

$$F_3(A,B) = \begin{cases} (B+B+B), & A=3, (B+B+B) < 8 \\ (B+B+B)-8, & A=3, (B+B+B) < 16 \\ (B+B+B)-16, & A=3, (B+B+B) > 16 \end{cases} \quad (4.19)$$

$$F_4(A,B) = \begin{cases} 4, & A=4, B=1 \oplus B=3 \oplus B=5 \oplus B=7 \\ 0, & \text{ow} \end{cases} \quad (4.20)$$

$$F_5(A,B) = \begin{cases} B, & A=5, B=2 \oplus B=4 \oplus B=6 \\ B+4, & A=5, B=1 \oplus B=3 \\ B-4, & \text{ow} \end{cases} \quad (4.21)$$

$$F_6(A,B) = \begin{cases} 8-(B+B), & A=6, B+B \leq 8 \\ 16-(B+B), & A=6, B+B > 8 \end{cases} \quad (4.22)$$

$$F_7(A,B) = \begin{cases} 8-B, & A=7, B > 0 \\ 0, & \text{ow} \end{cases} \quad (4.23)$$

Elde sayısı işleminin doğruluk çizelgesini elde eden matematiksel fonksiyonlar, sekizlik için aşağıdaki gibi verilecektir.

$$E_1(A,B)=\begin{cases} 1, & A=2, B>3 \\ 0, & \text{ow} \end{cases} \quad (4.24)$$

$$E_2(A,B)=\begin{cases} 2, & A=3, B>5 \\ 1, & A=3, B>2 \end{cases} \quad (4.25)$$

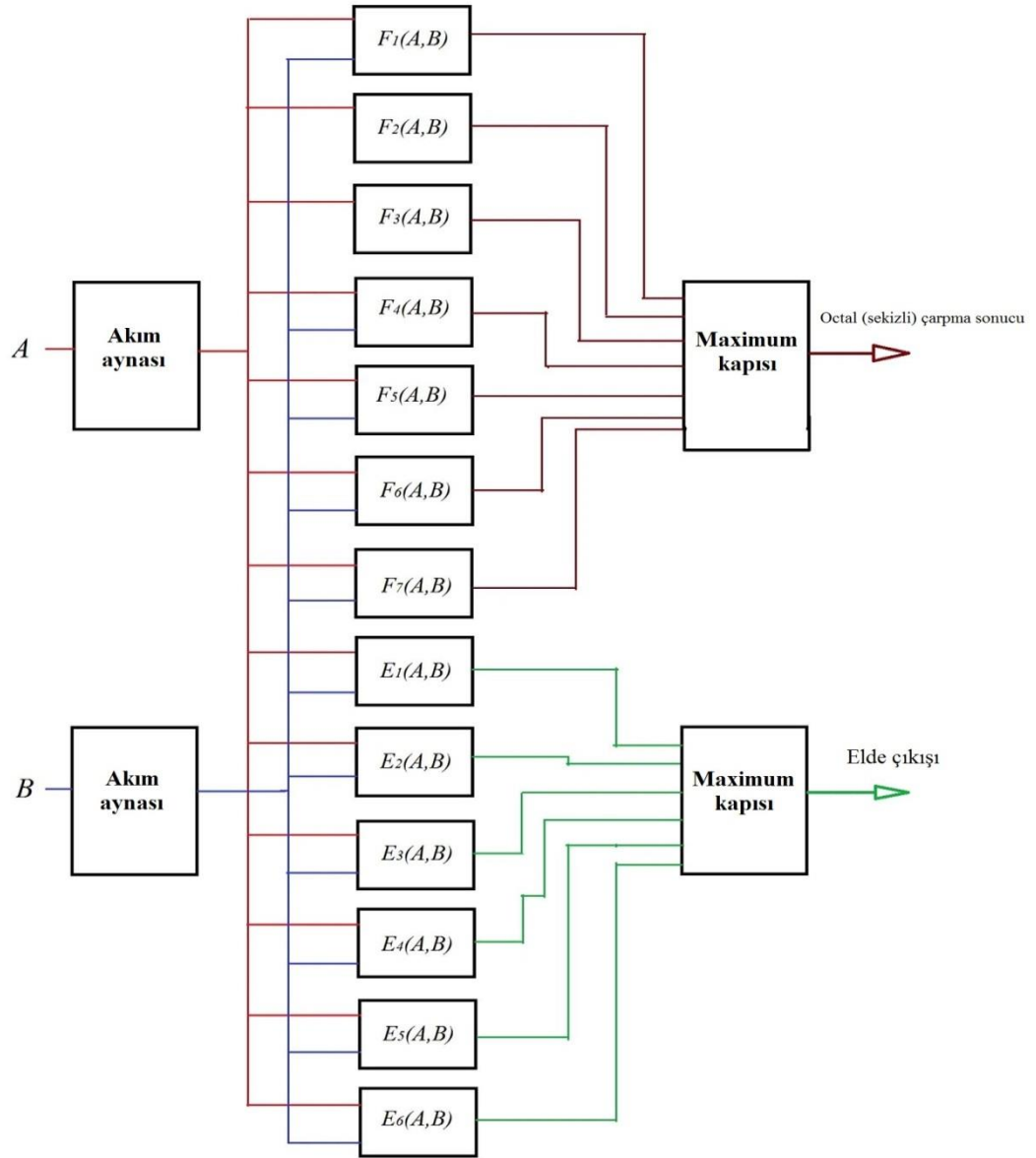
$$E_3(A,B)=\begin{cases} 1, & A=4, 1<B<4 \\ 2, & A=4, 3<B<6 \\ 3, & A=4, B>5 \end{cases} \quad (4.26)$$

$$E_4(A,B)=\begin{cases} 1, & A=5, 1<B<4 \\ 2, & A=5, B=4 \\ 3, & A=5, 4<B<7 \\ 4, & A=5, B=7 \end{cases} \quad (4.27)$$

$$E_5(A,B)=\begin{cases} B-1, & A=6, 1<B<5 \\ B-2, & A=6, B>4 \end{cases} \quad (4.28)$$

$$E_6(A,B)=\begin{cases} B-1, & A=7, B>1 \\ 0, & \text{ow} \end{cases} \quad (4.29)$$

Önerilen çarpan kapısının temel tasarımı, her biri belirtilen işlemi gerçekleştirebilen "alt kapılar" koleksiyonunu içermektedir. Bu temelde, her bir alt kapı, çarpımın doğruluk çizelgesini ve sekizlik için carry işleminin doğruluk çizelgesini elde eden fonksiyonlardan bir işlevi göstermelidir. Şekil 4.13' te 1 bit çoklu değerli mantık sekizli çarpanı blok diyagramı verilmiştir.

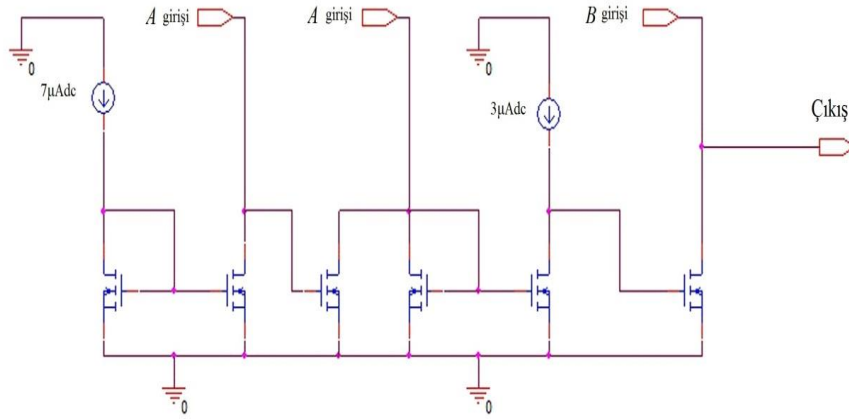


Şekil 4.13. 1-bit çok değerli mantık sekizli çarpanın blok diyagramı

- $F_1(A, B)$ alt kapısının uygulanması

$F_1(A, B)$ alt kapısı, giriş değerlerini alan (A, B) bir elektronik devredir ve B 'ye eşit olan çıktı oluşturur ve burada $A=1$ olmalıdır, aksi takdirde çıktı 0 olur. $F_1(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.17)' de sunulmuştur.

Transistör seviyesi tasarımında, $F_1(A, B)$ alt kapısını doğrulamak için, bu alt kapı, özel bir pencere literali durumu olarak kabul edilebilir. Şekil 4.14, bu alt kapı için transistör şematik diyagramını göstermektedir.

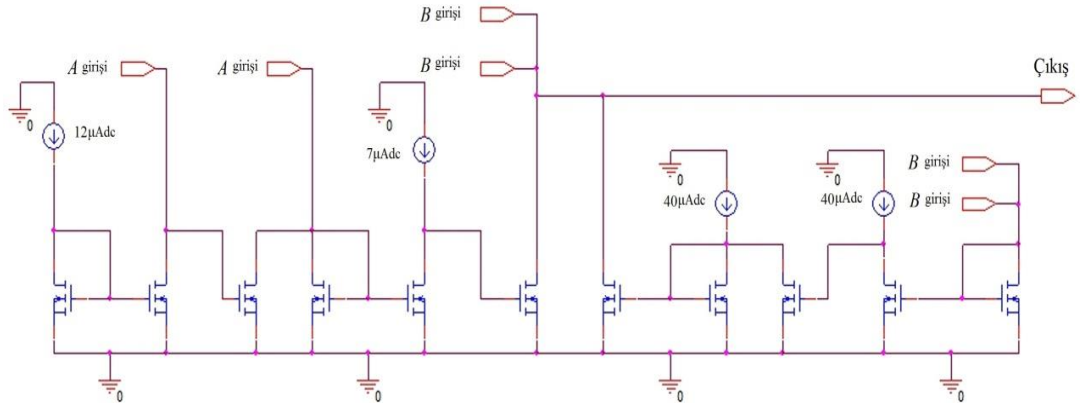


Şekil 4.14. $F_1(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_2(A, B)$ alt kapısının uygulanması

$F_2(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve $B + B'$ 'ye eşit olan bir çıktı oluşturur ve bu durumda $A=2$ ve $B+B' < 8$ olmalıdır, aksi takdirde çıktı $(B+B')-8$ olacaktır ve yine bu durumda $A=2$ ve $B+B' \geq 8$ olacaktır. $F_2(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.18)'de sunulmuştur.

$F_2(A, B)$ alt kapısının doğrulanması için, bu kapı, bir pencere literali, iki kesilmiş fark operatörü ve bir anahtar transistörünü gerektirir. Şekil 4.15, bu alt kapı için transistör şematik diyagramını göstermektedir.

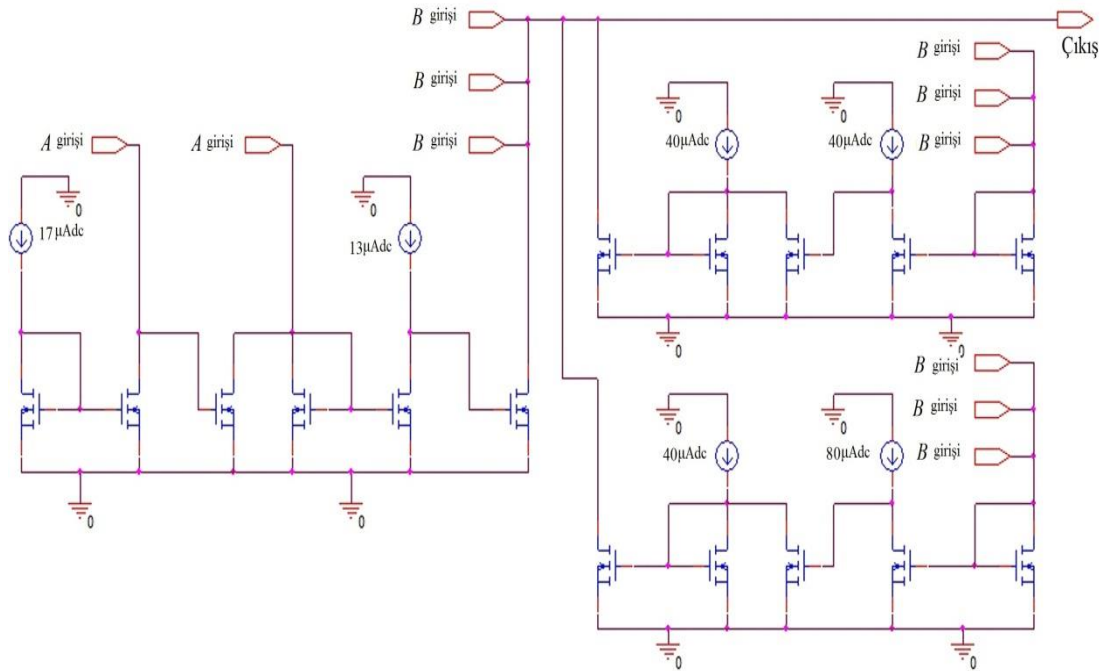


Şekil 4.15. $F_2(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_3(A, B)$ alt kapısının uygulanması

$F_3(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve $B + B + B$ 'ye eşit olan eşit bir çıktı oluşturur ve burada $A = 3$ ve $B + B + B < 8$ olur ve bu koşul karşılanmazsa, çıktı, $(B + B + B) - 8$ olur ve yine bu durumda $A = 3$ ve $B + B + B < 16$ olacaktır, aksi takdirde çıktı $(B + B + B) - 16$ olacaktır ve bu durumda $A = 3$ ve $B + B + B > 16$ olur. $F_3(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.19)'de sunulmuştur.

$F_3(A, B)$ alt kapısının doğrulanması için, bu tasarım bir pencere literalı, dört kesilmiş fark operatörü ve iki anahtar transistörünü gerektirir. Şekil 4.16, bu alt kapı için transistör şematik diyagramını göstermektedir.

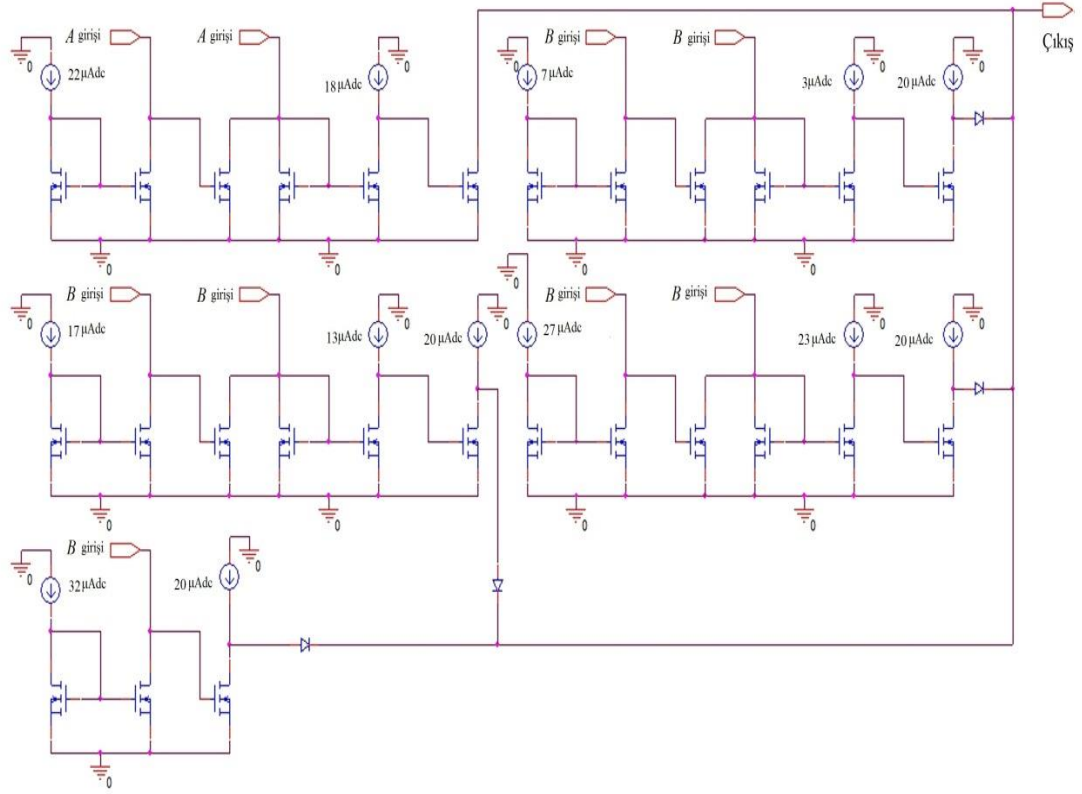


Şekil 4.16. $F_3(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_4(A, B)$ alt kapısının uygulanması

$F_4(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve 4'e eşit olan bir çıktı oluşturur, bu durumda $A = 4$ ve $B = 1$ veya $B = 3$ veya $B = 5$ veya $B = 7$ olur, aksi takdirde çıktı 0 olacaktır. $F_4(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.20)'de sunulmuştur.

Bu alt kapı Şekil 4.17' de gösterildiği gibi dört pencere literali, bir kesilmiş fark operatörü ve bir anahtar transistörünü gerektirir.

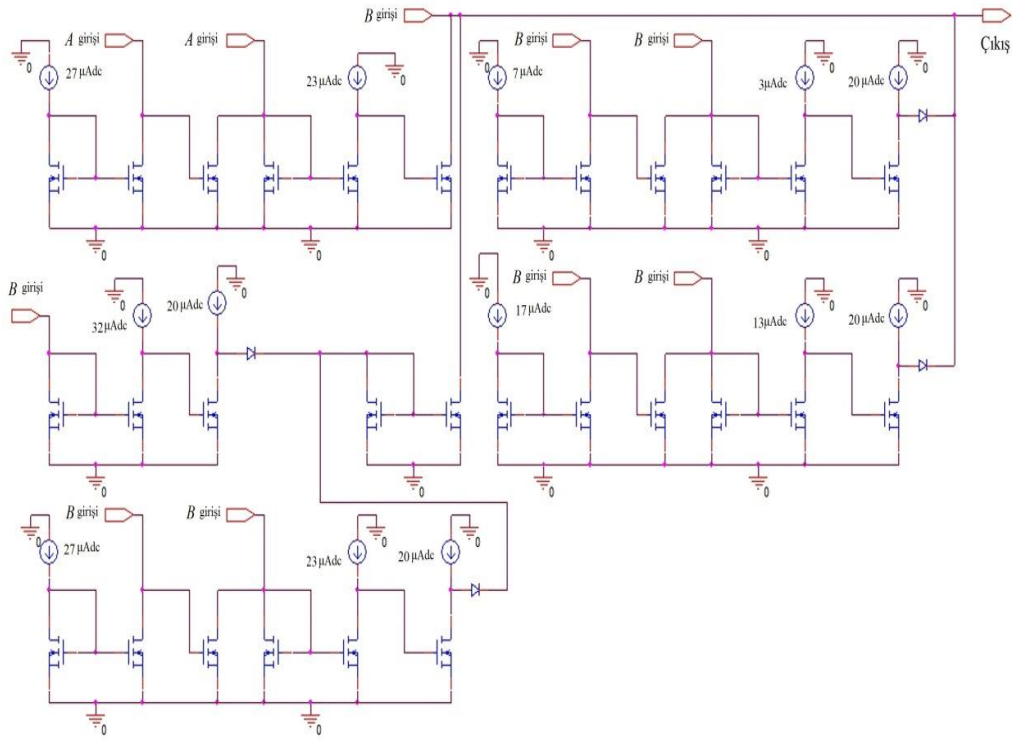


Şekil 4.17. $F_4(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_5(A, B)$ alt kapısının uygulanması

$F_5(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve B' 'ye eşit bir çıktı oluşturur, bu durumda $A=5$ ve $B=2$ veya $B=4$ veya $B=6$ olur ve bu koşul karşılanmazsa, çıktı $B+4$ olur ve yine bu durumda $A=5$ ve $B=1$ veya $B=3$ olacaktır, aksi takdirde çıktı $B-4$ olur ve bu durumda $A=5$ ve $B=7$ olur. $F_5(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.21)'de sunulmuştur.

Bu alt kapı Şekil 4.18' de gösterildiği gibi dört pencereliterali, iki kesilmiş fark operatörü ve bir anahtar transistörünü gerektirir.

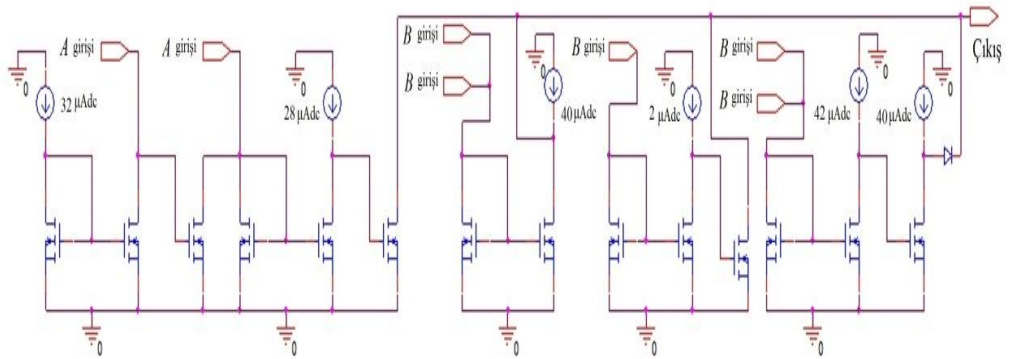


Şekil 4.18. $F_5(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_6(A, B)$ alt kapısının uygulanması

$F_6(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve $8-(B+B)$ 'ye eşit olan bir çıktı oluşturur ve bu durumda $A=6$ ve $B+B \leq 8$ olmalıdır, aksi takdirde çıktı $16-(B+B)$ olacaktır ve yine bu durumda $A=6$ ve $B+B > 8$ olacaktır. $F_6(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.22)'de sunulmuştur.

Bu alt kapı, Şekil 4.19' da gösterildiği gibi bir pencereliterali, bir kesilmiş fark operatörü ve iki eşik literalini gerektirir.

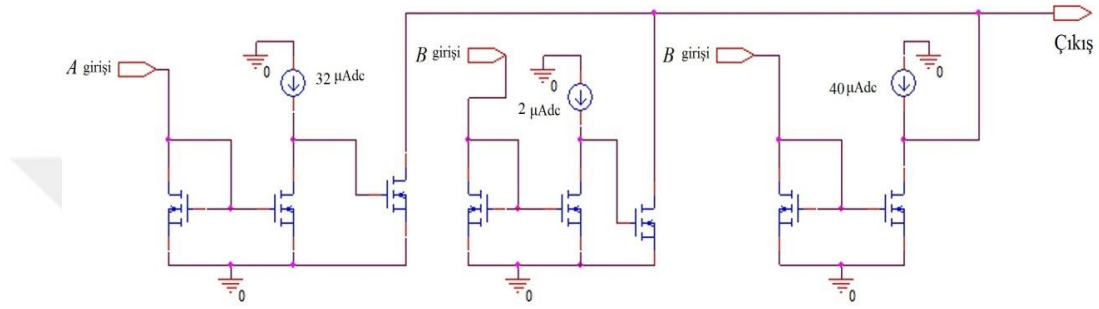


Şekil 4.19. $F_6(A, B)$ alt kapısı için transistör şematik diyagramı

- $F_7(A, B)$ alt kapısının uygulanması

$F_7(A, B)$ alt kapısı, giriş değerlerini alan (A, B) bir elektronik devredir ve $8-B'$ ye eşit olan çıktı oluşturur ve burada $A=7$ ve $B>0$ olmalıdır, aksi takdirde çıktı 0 olur. $F_7(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.23)'de sunulmuştur.

Bu alt kapı, Şekil 4.20' de gösterildiği gibi bir kesilmiş fark operatörü ve iki eşik literalini gerektirir.

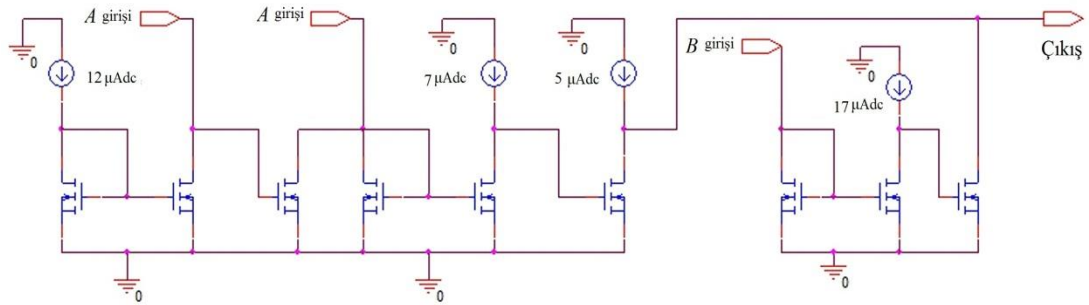


Şekil 4.20. $F_7(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_1(A, B)$ alt kapısının uygulanması

$E_1(A, B)$ alt kapısı, giriş değerlerini alan (A, B) bir elektronik devredir ve 1'e eşit olan çıktı oluşturur ve burada $A=2$ ve $B>3$ olmalıdır, aksi takdirde çıktı 0 olur. $E_1(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.24)'de sunulmuştur.

Bu alt kapı, şekil 4.21' de gösterildiği gibi bir pencere literalı ve bir eşik literalı gerektirir.

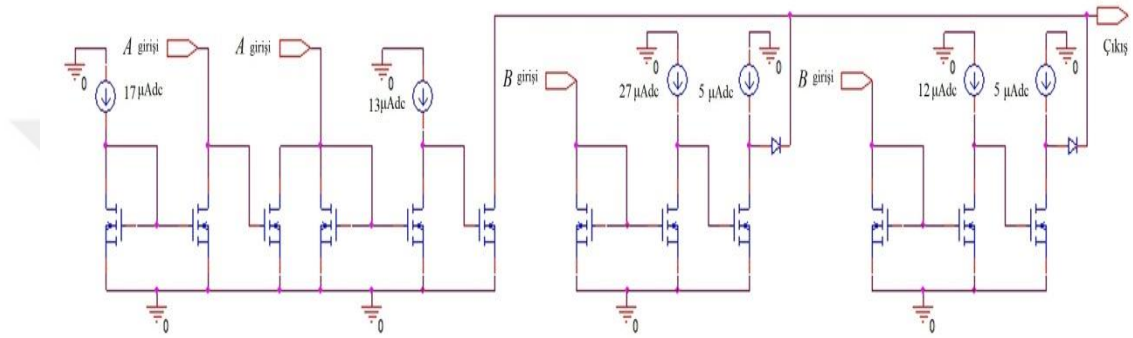


Şekil 4.21. $E_1(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_2(A, B)$ alt kapısının uygulanması

$E_2(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve 2'ye eşit olan bir çıktı oluşturur, bu durumda $A=3$ ve $B>5$ olur, aksi takdirde çıktı 1 olacaktır ve burada $A=3$ ve $B>2$ olur. $E_2(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.25)'de sunulmuştur.

Bu alt kapı, Şekil 4.22' de gösterildiği gibi bir pencere literalı ve iki eşik literalini gerektirir.

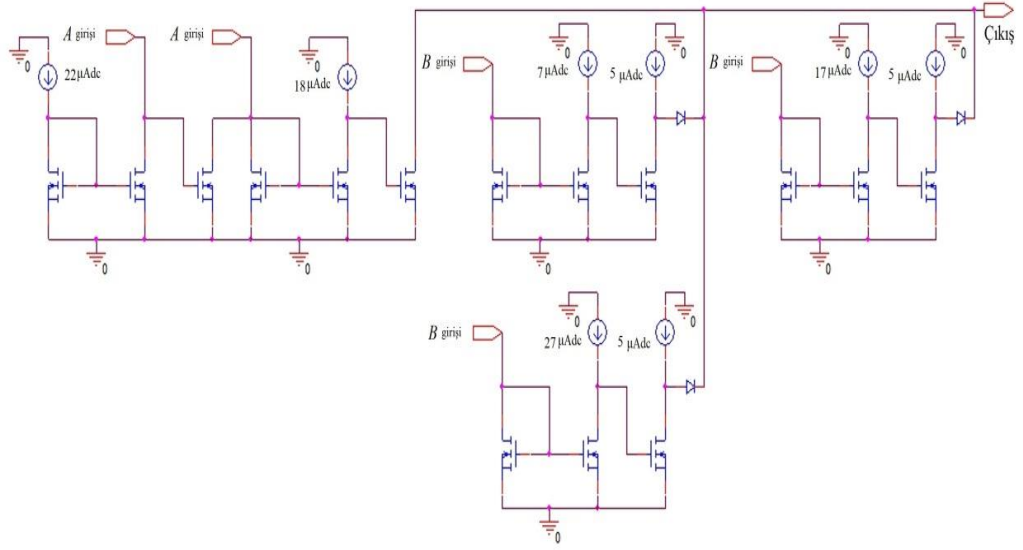


Şekil 4.22. $E_2(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_3(A, B)$ alt kapısının uygulanması

$E_3(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve 1'e eşit olan bir çıktı oluşturur, burada $A=4$ ve $1 < B < 4$ olmalıdır ve bu koşul karşılanmazsa, çıktı 2 olacaktır ve burada $A=4$ ve $3 < B < 6$ olmalıdır, aksi takdirde çıktı 3 olacaktır ve yine burada $A=4$ ve $B > 5$ olmalıdır. $E_3(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.26)'de sunulmuştur.

Bu alt kapı, Şekil 4.23' de gösterildiği gibi bir pencere literalı ve üç eşik literalini gerektirir.

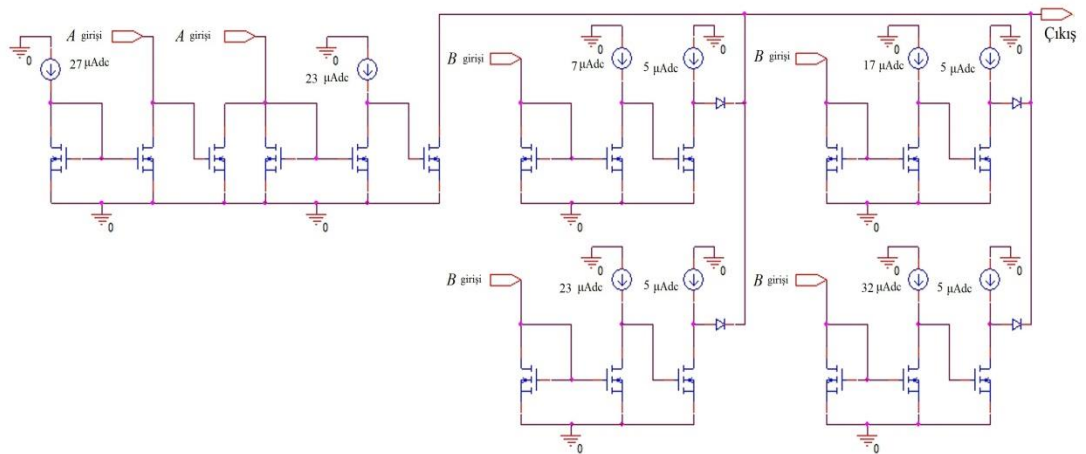


Şekil 4.23. $E_3(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_4(A, B)$ alt kapısının uygulanması

$E_4(A, B)$ alt kapısı, giriş değerlerini (A, B) alan elektronik bir devredir ve 1'e eşit olan bir çıktı oluşturur, burada $A=5$ ve $1 < B < 4$ olmalıdır ve bu koşul karşılanmazsa, çıktı 2 olacaktır ve yine burada $A=5$ ve $B=4$ olmalıdır ve bu koşul karşılanmazsa, çıktı 3 olacaktır, burada $A=5$ ve $4 < B < 7$ olmalıdır, aksi takdirde çıktı 4 olacaktır ve $A=5$ ve $B=7$ durumları olacaktır. $E_4(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.27)'de sunulmuştur.

Bu alt kapı, Şekil 4.24' de gösterildiği gibi bir pencere literalı ve dört eşik literalini gerektirir.

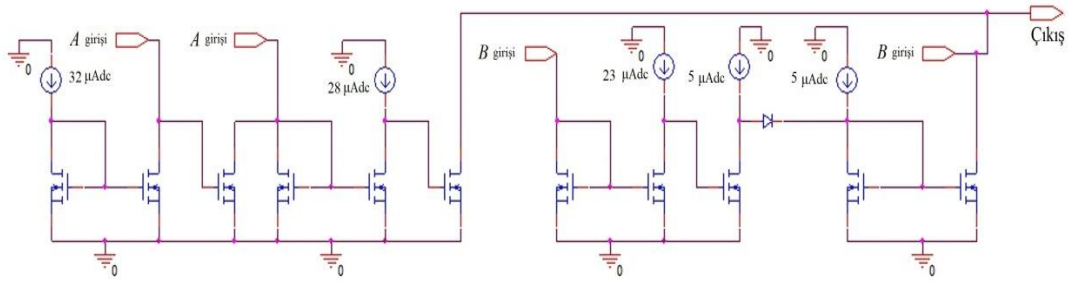


Şekil 4.24. $E_4(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_5(A, B)$ alt kapısının uygulanması

$E_5(A, B)$ alt kapı, giriş değerlerini (A, B) alan elektronik bir devredir ve $B-1$ 'e eşit olan bir çıktı oluşturur, burada $A=6$ ve $1 < B < 5$ olmalıdır, aksi takdirde çıktı $B-2$ olur ve burada $A=6$ ve $B > 4$ durumları olacaktır. $E_5(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.28)'de sunulmuştur.

Bu alt kapı, Şekil 4.25' da gösterildiği gibi bir pencere literalı, bir kesilmiş fark operatörü ve bir eşik literalini gerektirir.

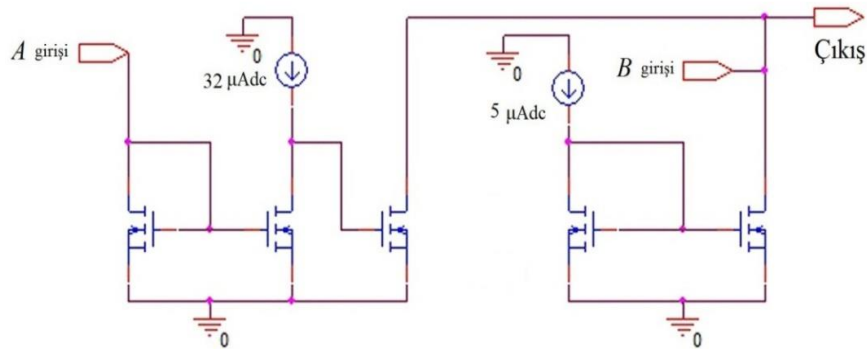


Şekil 4.25. $E_5(A, B)$ alt kapısı için transistör şematik diyagramı

- $E_6(A, B)$ alt kapısının uygulanması

$E_6(A, B)$ alt kapısı, giriş değerlerini alan (A, B) bir elektronik devredir ve $B-1$ 'e eşit olan çıktı oluşturur ve burada $A=7$ ve $B > 1$ olmalıdır, aksi takdirde çıktı 0 olacaktır. $E_6(A, B)$ alt kapısının matematiksel modeli, Fonksiyon (4.29)'de sunulmuştur.

Bu alt kapı, Şekil 4.26' da gösterildiği gibi bir eşik literalı ve bir kesilmiş fark operatörünü gerektirir.



Şekil 4.26. $E_6(A, B)$ alt kapısı için transistör şematik diyagramı

4.2.1.1.12. Mantıksal çıkarım kapısının uygulanması

Mantıksal çıkarım kavramı, ilk işlenenin doğru olması ve ikinci işlenenin yanlış olması durumunda bir yanlış değer üreten iki mantıksal değer üzerinde yapılan bir işlemle ilişkilendirilir.

Doğru=1 ve yanlış=0 (ikili durum) durumunun yorumlanmasında, “A, B’yi imler” ifadesiyle ilişkili doğruluk çizelgesi “ $A \rightarrow B$ ” olarak sembolize edilir ve bu da aşağıda gösterilmektedir:

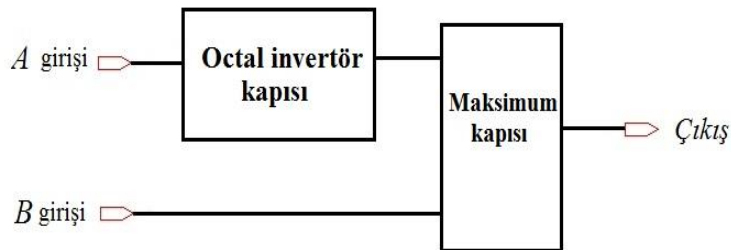
Çizelge 4.4. İkili mantıksal çıkarımın doğruluk çizelgesi

A	B	$A \rightarrow B$
0	0	1
0	1	1
1	0	0
1	1	1

Mantıksal çıkarım şu şekilde tanımlanmıştır:

$$A \rightarrow B = \max(\bar{A}, B); \quad (4.30)$$

Mantıksal çıkarımı sekizli durum için genellemek mümkündür. Sekizli mantıksal çıkarım ile ilgili doğruluk çizelgesi önceki bölümde verilmiştir. Şekil 4.27, mantıksal çıkarım devresinin blok diyagramını göstermektedir.



Şekil 4.27. Mantıksal çıkarım kapısının blok diyagramı

4.2.1.1.13. Mantıksal eşdeğerlik kapısının uygulanması

Mantıksal eşdeğerlik, iki mantıksal değer arasındaki bir tür ilişkidir. Bu ilişki sözel olarak "ancak ve ancak" olarak ifade edilir, sol ve sağa doğru uzanan " $\leftrightarrow$ " şeklinde iki yönlü bir ok ile sembolize edilir. A ve B, ifadeleri gösteriyorsa, o zaman $A \leftrightarrow B$, "A ancak ve ancak B" anlamına gelir.

Doğru =1 ve yanlış =0 (ikili durum) durumunun yorumlanmasında, "A ancak ve ancak B" ifadesiyle ilişkili doğruluk Çizelgesi " $A \leftrightarrow B$ " şeklinde sembolize edilir ve bu durum aşağıda gösterilmiştir:

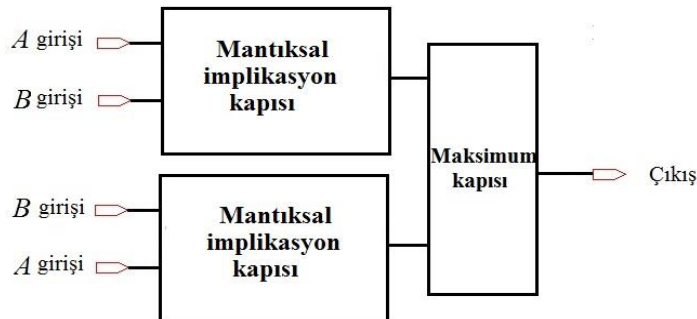
Çizelge 4.5. İkili mantıksal eşdeğerliğin doğruluk çizelgesi

A	B	$A \leftrightarrow B$
0	0	1
0	1	0
1	0	0
1	1	1

Mantıksal eşdeğerlik şu şekilde tanımlanmıştır:

$$A \leftrightarrow B = (A \rightarrow B) \cdot (B \rightarrow A); \quad (4.31)$$

Mantıksal eşdeğerliği sekizli durum için genellemek mümkündür. Sekizli mantıksal eşdeğerlik ile ilgili doğruluk çizelgesi önceki bölümde verilmiştir. Şekil 4.28, mantıksal eşdeğerlik devresinin blok diyagramını göstermektedir.



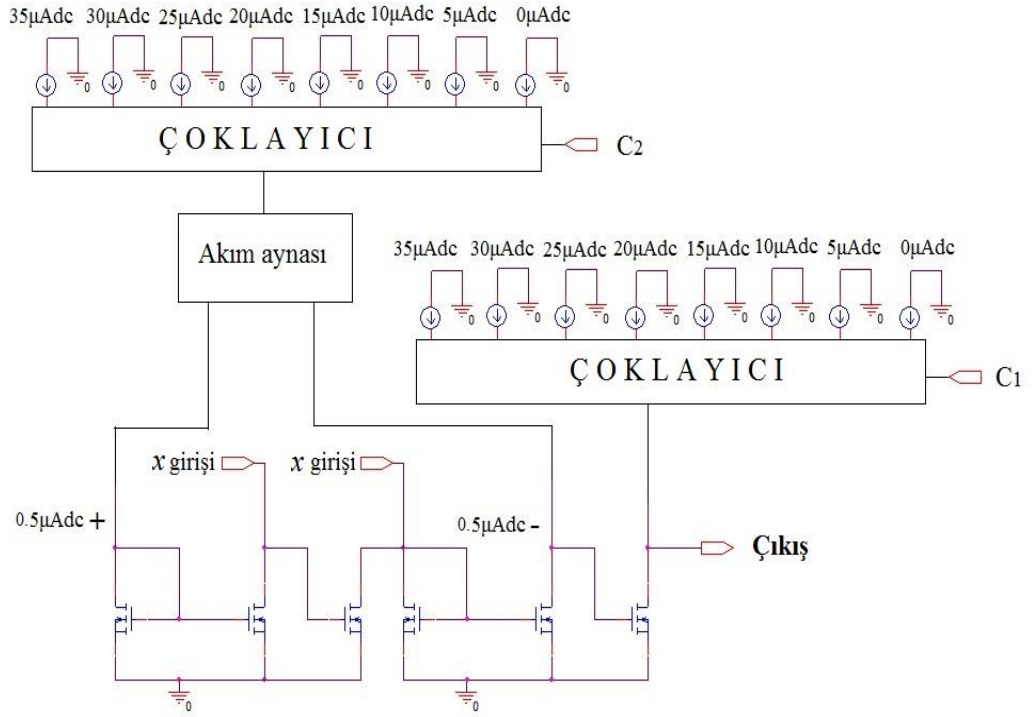
Şekil 4.28. Mantıksal eşdeğerlik kapısının blok diyagramı

4.2.1.1.14. Evrensel kapısının uygulanması

Önerilen evrensel kapı, bazı farklı duyularda evrensel bir unsur olarak nitelendirilmektedir. Öncelikle bu, mantıksal olarak eksiksizdir. Yani, bu kapı ile tüm çoklu değerli fonksiyonlar oluşturulabilir. İkinci olarak, çalışma sistemi sezgiseldir; yani, biri, bunun ne yaptığını nispeten kolayca anlayabilir. Üçüncüsü olarak bu, kolayca uygulanır. Hepsi olmasa da, mevcut teknolojilerin çoğundaki yapı oldukça basittir.

Evrensel kapı, kullanışlı bir genel amaçlı araçtır; ama bu kapısının, çoklu değerli yapılarda en üst noktayı oluşturduğu varsayımında bulunmayın. Bununla ilgili bazı eksiklikler de bulunmaktadır: Sezgisel olsa da, bu kapı minimize etmek için çok etkili bir şemaya yol açmaz.

Şekil 4.29' da gösterildiği gibi, kapı basit şekilde bir "Belirleyici literal" ve iki "çoklayıcıdan" oluşmaktadır. Üç girdiye sahiptir, bunlardan biri olan (x) , 8 değerli bir girdidir ve diğer iki girdi ($C1$ ve $C2$) ise girdileri denetler veya bunlar arasında seçim yapar. $C1$, değeri, çıktı için ilk çoklayıcının (8-değerli) girişlerden hangisinin seçildiğini belirleyen bir denetim girdisidir. Öte yandan, $C2$ değeri ise ikinci çoklayıcının (8-değerli) girişlerinden birisini, $Ca(x)$ belirleyici literalin "a" mantık seviyesi olarak seçerek, çıktıyı elde etmek için gerekli olan girdi değerini (x) belirleyen bir denetim girdisidir.



Şekil 4.29. Evrensel kapı

4.2.1.1.15. ÇDM seçicisinin uygulanması (çoklayıcı)

Dijital devrede, çoklayıcı, birçok girişe ve yalnızca bir çıkışa sahip olan bir cihazdır. Girişlerden birini, bir veya daha fazla seçim veya denetim girişi değerine bağlı olarak çıkışa yönlendirir [86]. Önerilen ÇDM ALU' nun tasarımı bir çoklayıcıyı içerir ve 24 girişe sahiptir. Bunun yanı sıra, evrensel kapı iki çoklayıcı içerir. Her birinin 8 girişi vardır. Önerilen ÇDM çoklayıcı devresi, devre girişlerinin sayısına eşit sayıda kapıdan oluşmaktadır. Burada kullanılan her kapı, özel bir belirleyici literal kapı durumu olarak düşünülebilir. Örneğin, 8 giriş ÇDM çoklayıcısı 8 kapıdan oluşur. Bu kapılar şöyle tanımlanmıştır:

$$Gate(a1, c) = \begin{cases} input1, & c = a1, \\ 0, & otherwise, \end{cases} \quad (4.32)$$

$$Gate(a2, c) = \begin{cases} input2, & c = a2, \\ 0, & otherwise, \end{cases} \quad (4.33)$$

$$Gate(a3, c) = \begin{cases} input3, & c = a3, \\ 0, & otherwise, \end{cases} \quad (4.34)$$

$$Gate(a4, c) = \begin{cases} input4, & c = a4, \\ 0, & otherwise, \end{cases} \quad (4.35)$$

$$Gate(a5, c) = \begin{cases} input5, & c = a5, \\ 0, & otherwise, \end{cases} \quad (4.36)$$

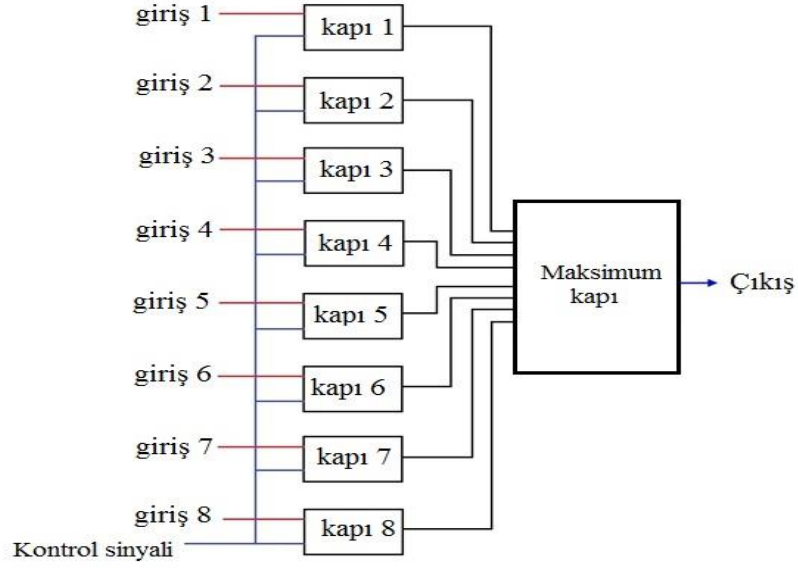
$$Gate(a6, c) = \begin{cases} input6, & c = a6, \\ 0, & otherwise, \end{cases} \quad (4.37)$$

$$Gate(a7, c) = \begin{cases} input7, & c = a7, \\ 0, & otherwise, \end{cases} \quad (4.38)$$

$$Gate(a8, c) = \begin{cases} input8, & c = a8, \\ 0, & otherwise, \end{cases} \quad (4.39)$$

Burada c , bir seçim veya denetim sinyali, çoklu değerli bir analog sinyal olarak düşünülebilir ve " a " parametre değeri ise, her bir kapı için ayrı olarak belirlenir. Şekil 4.30, önerilen ÇDM çoklayıcısının blok diyagramını göstermektedir.

Burada kullanılan her kapı, özel bir belirleyici literal kapı durumu olarak düşünüldüğünden, her kapısının transistör seviyesi tasarımı, belirleyici literal kapısının transistör seviyesi tasarımına benzer. Bu tasarımda kullanılan maksimum kapısının maliyeti sıfıra eşittir. Akım modunun gerçekleştirilmesinde sıfır maliyet ekleme operasyonu nedeniyle bu kazanç sağlar (akım dallarının bir düğüm ile bağlanması sadece Kirchhoff Mevcut Yasasına göre bir toplama işlemi gerçekleştirir).



Şekil 4.30. Önerilen ÇDM çoklayıcısının blok diyagramı.

Tüm “ÇDM ALU dilimlerini” gerçekleştirdikten sonra, bu dilimler bir 1-bit Sekizli ÇDM ALU oluşturmak için Şekil 4.3’e göre birlikte basamaklandırılır.

4.2.1.2. Sekizli ÇDM kaydının akım modu gerçekleştirilmesi

Daha önce tarif edilen bileşimli devreler, devrenin çıkışının sadece devrenin akım girişlerine bağlı olduğu özelliklere sahiptir. Bununla birlikte, hemen hemen tüm yararlı sistemler, bilgi saklamayı gerektirir ve bu durum da ardışık devreler olarak adlandırılan başka bir devre sınıfına yol açar. Bu devrelerde, çıkış sadece girişlerin akım değerlerine bağlı olmaz, aynı zamanda önceki giriş ve çıkışlara da bağlı olur. Başka bir deyişle, ardışık bir devre, sistemin geçmiş tarihinin bazılarını hatırlamaktadır. Hem mandallar hem de flip-floplar, ardışık devrelerin en basit biçimleridir. Mandal ve flip-floplar arasındaki temel fark, bir flip-flopun saat sinyaline sahip olması, buna karşın mandalın böyle bir sinyale sahip olmamasıdır.

Bir flip-flop veya mandal, dijital verilerin depolanmasında kullanılabilecek 1-bit bellek hücresidir. Depolama kapasitesini bit sayısı bakımından arttırmak amacıyla bir grup flip-flop kullanmamız gerekmektedir. Böyle bir flip-flop grubu bir Yazmaç

olarak bilinir. "n-bit" kaydı n sayısında flip-flop oluşacaktır ve bir n-bit kelimeleri saklayabilecektir.

- Bir sekizli ÇDM kaydının gerçekleştirilmesi için, çoklu değerli depolama elemanlarına ihtiyaç vardır. Bu elemanların çekirdeği, tek seferde 1-basamaklı bilgiyi depolayabilen mandal devresidir. Literatürde birkaç ÇDM mandal devresi vardır, bunların çoğu üçlü veya dörtlü gerilim modu olarak gerçekleştirilir [43, 12]. Bu çoklu değerli mandal devreleri iki yöntemden biri kullanılarak gerçekleştirilmiştir. İlk yöntem, transistör çiftlerini ve (r-1) rejeneratif transistörleri nicelleştiren mandal devresi gereksinimlerini (r-1) tasarlamaktır. Tasarımdaki fonksiyon değer seviyesi arttıkça, aktif elemanların sayısı ve güç tüketimi de önemli ölçüde artar. İkinci yöntem ise akım modu üst eşik devresine dayalı restorasyon devresini tasarlamaktır. Tasarımda, transistörlerin sayısının azaltılması açısından üst eşik devresinin önemine rağmen, bu devrenin uygulanmasını zorlaştıran gürültüye karşı çok duyarlıdır. Bu bölümde yeni akım modu sekizli mandal devresi bu dezavantajların ötesinde sunulmuştur.

- Bizim tasarımıımızda, önerilen çoklu değerli mandal devresinin iki çalışma modu vardır; kurulum (S) ve tutma (H). Sıfırlama sinyali (R) mantıksal olarak yüksek olduğunda, mandal kurulum modunda çalışır. Bu modda, giriş akımı I_{in} mandal girişi olarak kabul edilir. I_{in} mandal devresine girdiğinde, mandal devresi, tutma işlemini (depolama operasyonu) gerçekleştirir ve devre, mandal devresi bir başka mantıksal yüksek sıfırlama sinyali alıncaya kadar I_{in} giriş akımından izole edilir.

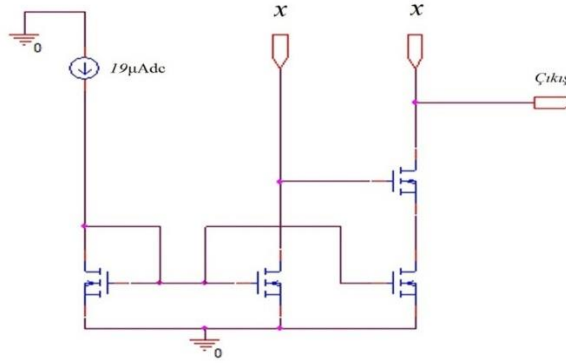
Sunulan sekizli ÇDM mandal devresi dört alt devreden oluşmaktadır: giriş testi alt devresi, kod çözme - kodlama alt devresi, beşinci seviye eşik alt devresi ve çıkış yansıtma alt devresi. Bu dört alt devre aşağıdaki gibi sunulmuştur:

- **Giriş testi alt devresi:** Giriş testi alt devresinin matematiksel modeli şöyle tanımlanmaktadır:

$$f(x) = \begin{cases} x, & x < 4 \\ x-4, & x \geq 4 \end{cases} \quad (4.40)$$

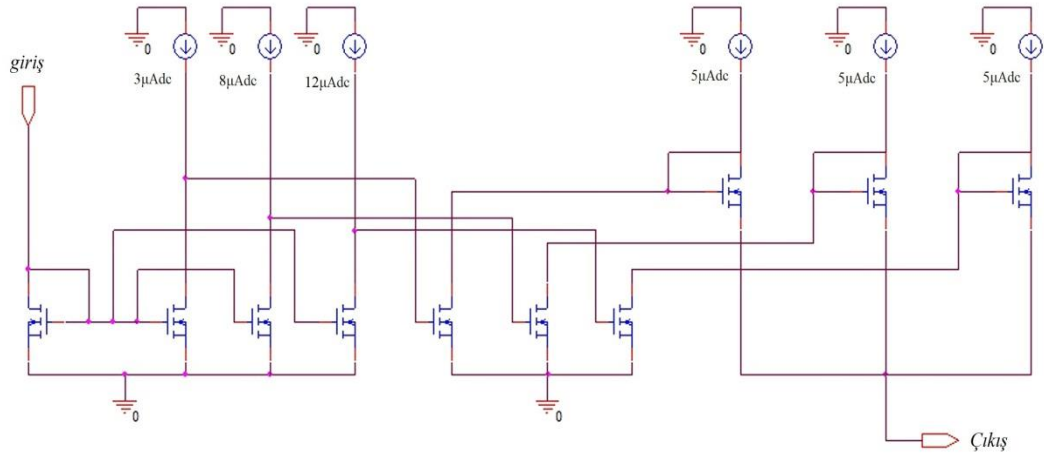
Bu alt devre işlemini açıklamanın yolu şunu dikkate almaktır: $x = I_{in}$. I_{in} akımı sekiz olası mantık seviyesinden birini gösterir. Bu alt devre, giriş mantığı seviyesini belirler ve $(x \geq 4)$ koşulunun karşılanması durumunda, $(x-4)$ sonucunu üretmek için girişte bir eşik işlemi yapar.

Bu alt devreyi gerçekleştirmek için iki ayaklı ve bir anahtarlı transistör ile kesilmiş fark operatörü kullanılır. Bu alt devrenin transistör şematik diyagramı Şekil 4.31'de verilmektedir.



Şekil 4.31. Giriş testi alt devresi

- **Kod Çözme - Kodlama alt devresi:** Bu alt devre, giriş testi alt devresinin çıktısını girdi olarak kabul eder ve üç ayaklı karşılaştırmalı devresinden oluşur. Karşılaştırmalı devresinin her bir ayağı, çıkış akımı sinyalini üretmek için girişte eşik işlemini gerçekleştirir (kod çözme). Her bir ayağın çıkış akımı, bir anahtar transistörünün denetim sinyali olarak kullanılır. Her bir düşük mantık karşılaştırmalı çıkışı için, bir mantıksal akım birimi ($5\mu A$) toplama düğümü için sağlanır (kodlama). Bu alt devre tek başına dört (dört seviyeli) mandallı devre olarak düşünülebilir. Bu alt devrenin transistör şematik diyagramı Şekil 4.32' de verilmektedir.



Şekil 4.32. Kod çözme - kodlama alt devresi

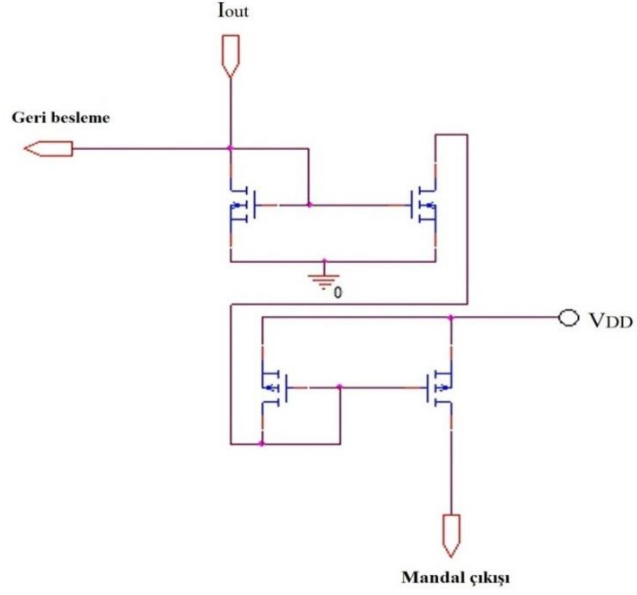
- **Beşinci seviye eşik alt devresi:** Beşinci seviye eşik alt devresinin matematiksel modeli şöyle tanımlanmaktadır:

$$f(y) = \begin{cases} 0, & y < 4 \\ 4, & y \geq 4 \end{cases} \quad (4.41)$$

Bu alt devre girişte eşik işlemini gerçekleştirir (Burada y , I_{in} 'i gösterir), bu işlemin amacı ($y \geq 4$) koşulunun karşılanması durumunda 4 çıktısını üretmektedir (beşinci mantık seviyesi 20μA olarak tanımlanır).

Doğrulama için, bu alt devre bir anahtar transistörü gerektirir. Bu transistör, giriş testi alt devresinin ilk ayağından gelen sinyalle denetlenir. Bu anahtar transistörünün çıkışı, kod çözme - kodlama alt devresindeki toplama düğümüne sağlanmaktadır.

- **Çıkış yansıtan alt devre:** Bu alt-devre, geri besleme yolu olarak gerekli olan ve kod çözme - kodlama alt devresinin toplama düğümünden mandal çıkışına, I_{out} çıktı akımını yansıtacak akım aynasını temsil eder. Bu alt devrenin transistör şematik diyagramı Şekil 4.33' te verilmektedir.



Şekil 4.33. Çıkış yansıtan alt devre

Önerilen mandal devresinin genel tasarımı Şekil 4.34’ ta verilmektedir. Burada, her sabit akım kaynağı transistör ile değiştirilmiştir. Bu transistörler tarafından sağlanan akım, aşağıdaki şekilde Shichman-Hodges denklemleri kullanılarak ifade edilebilir:

$$\text{N-type transistor: } I_{ds} = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad (4.42)$$

$$\text{P-type transistor: } -I_{ds} = \frac{\beta}{2} (-V_{gs} + V_{th})^2 \quad (4.43)$$

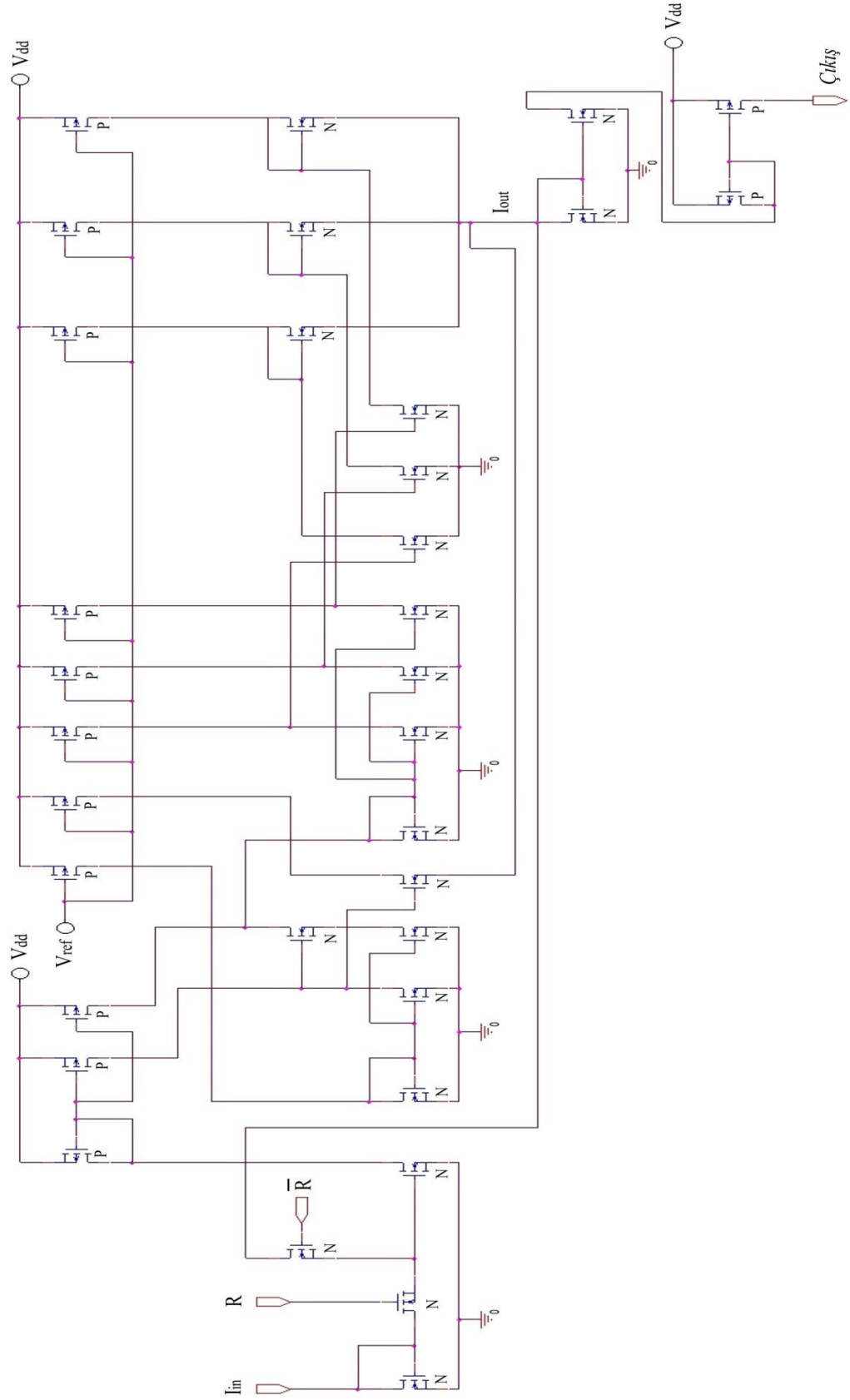
Yukarıdaki denklemlerde: β transistör kazanç faktörüdür, I_{ds} drenaj kaynağı akımıdır, V_{gs} kapı-kaynağı gerilimidir ve V_{th} ise eşik gerilimidir.

Transistör kazanç faktörü β transistör geometrisine bağlıdır. İstenen akımı üreten istenen kazanç faktörü, transistörün genişlik uzunluk oranını (W/L) değiştirmek suretiyle elde edilebilir. Önerilen mandal devresi tasarımıımızda, (W/L), transistörün ayrı olarak istenen her bir akım için çok büyük olmaması maksadıyla mantıksal olarak seçilmiştir.

Önerilen sekizli ÇDM mandal devresi 34 transistör ile gerçekleştirilirken, aynı fonksiyon değer seviyesine sahip doğrudan ikili kod çözme şeması için 48 transistör gereklidir.

Simülasyon sonuçları, güç yitiminin $180\mu\text{W}$ olduğunu göstermektedir. Bu da, yeni devrenin önceki tasarımlara kıyasla daha az statik güç tükettiği anlamına gelmektedir. Gecikme yaklaşık 4ns'dir ve önceki tasarımlara benzemektedir.

Beşinci seviye =4 olduğu ve beşinci seviyenin $\in \{0, 1, 2, 3, 4, 5, 6, 7\}$ olduğu bu tasarımda yeni algoritma kullanılmıştır. İstenen depolanmış değer beşinci seviyeye eşitse veya bu seviyeden daha büyükse, beşinci seviye değeri kod çözme-kodlama alt-devresinin girişinden çıkarılır ve kod çözme-kodlama alt-devresindeki toplama düğümüne beşinci seviyeye eşit olan önceden tanımlanmış bir değer sağlanır. Bu algoritma daha yüksek fonksiyon değer seviyeleri elde etmek için kolayca değiştirilebilir.



Şekil 4.34. Önerilen sekizli mandal devresinin genel tasarımı

4.2.2. ÇDM denetim biriminin tasarımı ve uygulanması

Bir ÇDM denetim biriminin tasarlanmasından önce, ilk önce komut kümesi tanımlanmalı ve şu sorular cevaplanmalıdır. Komutlar nasıl kodlanıp yürütülmektedir? Kaç tane komut isteniyor? Komutlar nelerdir? Her bir komuta hangi operasyon kodu (opcode) atanıyor? Bir komutu kodlamak için kaç biti kullanılır?

Son olarak, denetim birimi tasarlanamalıdır. Denetim birimi, denetim sinyallerini veri yoluna iletir. Genel olarak, bu ünite üç ana adımı gerçekleştirir:

- 1) Bir komutu almak.
- 2) Komutun kodunu çözmek.
- 3) Komutu yürütmek.

Kontrol ünitesi, uygun kontrol sinyallerini veri yoluna veya harici cihazlara göndererek şu adımları gerçekleştirir. Programdaki komutlar genellikle harici bellekte saklanır. Böylece mikroişlemciye ek olarak, bir mikroişlemciye bir adres yolu ve bir veri yolu üzerinden bağlanan harici bir bellek vardır.

Bu nedenle, 1. adım (bir komutu almak), genellikle, adres veriyolu üzerinde bir bellek adresi oluşturan ve harici belleğe, bu bellek konumundan veri yolu üzerindeki talimatı vermek üzere kontrol eden denetim birimini içerir. Denetim birimi daha sonra veri yolundaki komutu okur. Tasarımımızı basit tutmak amacıyla, harici bir bellek bulundurmak yerine, önerilen ÇDM mikroişlemci çekirdeğinin içine genel amaçlı ÇDM yazmaçlarına doğrudan yerleştirilir. Bu yazmaç kümesi bellekten daha hızlıdır, işlem yapılması kolaydır ve çok etkili ve verimli bir şekilde kullanılabilir. Aslında, genel amaçlı yazmaçların kullanılması, günümüzde mikroişlemci mimarileri için en yaygın şekilde kabul gören modeldir.

4.2.2.1. Komut Kümesi

Intel 4004, Intel Corporation tarafından 1971 yılında yayınlanmış 4 bitlik bir mikro işlemcidir. Bu mikro işlemcinin komut kümesi 46 komuttan oluşmaktadır ve aşağıdaki komut ailelerine sınıflandırılabilir [33]:

- Veri taşıma komutları.
- Aritmetik komutlar.
- Mantık komutları.
- Denetim transfer komutları.
- Giriş / Çıkış komutları.

Yukarıdaki sınıflamaya göre, ÇDM mikro işlemci çekirdeğinin yürütebileceği komutlar ve karşılık gelen kodlama Çizelge 4.6'da tanımlanmıştır.

Çizelge 4.6. Önerilen ÇDM mikro işlemci çekirdeğinin yürütebileceği komutlar kümesi ve karşılık gelen kodlama.

komut	OpCode	Operasyon	Yorum
NOP	0000 0000	no operation	İşlem yok
Veri taşıma komutları			
LDA A,R	0003 0000	$A \leftarrow R$	Yazmaçtan akümülatörü yük
STA R,A	0020 0000	$R \leftarrow A$	Akümlatörden yazmaçı yük
LDM A,M	0004 0000	$A \leftarrow M$	Bellekten akümülatörü yük
STM M,A	0200 0000	$M \leftarrow A$	Akümlatörden belleği yük
LDI A,iiii	0001 0000	$A \leftarrow \text{iiii}$	Belirli bir değer ile akümülatörü yük
Aritmetik komutları			
ADD A,R	0000 0001	$A \leftarrow A + R$	Akümlatör + Yazmaç
SUB A,R	0000 0002	$A \leftarrow A - R$	Akümlatör - Yazmaç
MUL A,R	0000 0003	$A \leftarrow A \times R$	Akümlatör $\times$ Yazmaç
INC A	0000 0050	$A \leftarrow A + 1$	Akümlatörü artır
DEC A	0000 0060	$A \leftarrow A - 1$	Akümlatörü azalt
Mantık komutları			
MAX A,R	0000 0004	$A \leftarrow A \text{ MAX } R$	Akümlatör MAX Yazmaç
MIN A,R	0000 0005	$A \leftarrow A \text{ MIN } R$	Akümlatör MIN Yazmaç
MSM A,R	0000 0006	$A \leftarrow A \text{ Mod-sum } R$	Akümlatör $\oplus$ Yazmaç
MDS A,R	0000 0007	$A \leftarrow A \text{ Mod-diff } R$	Akümlatör $\ominus$ Yazmaç
LIM A,R	0000 0010	$A \leftarrow (A \rightarrow R)$	Akümlatör $\rightarrow$ (implication) Yazmaç

LEQ A,R	0000 0020	$A \leftarrow (A \leftrightarrow R)$	Akümülatör $\leftrightarrow$ (equivalence) Yazmaç
NOT A	0000 0030	$A \leftarrow \text{NOT } A$	Akümülatörün olumsuzluğu uygula
CWC A,k	0000 0040	$A \leftarrow A \text{ shift cw } K$	Akümülatörü cw kaydır
CCWC A,k	0000 0007	$A \leftarrow A \text{ shift ccw } K$	Akümülatörü ccw kaydır
DCL A,a	0000 (a+1)00	$A \leftarrow C_a(A)$	Akümülatör üzerinde belirleyici literal işlemi
THL A,a	0000 0070	$A \leftarrow Th_u(A, a)$	Akümülatör üzerinde eşik literal işlemi
WNL A,a,b	0000 0200	$A \leftarrow A^{[a, b]}$	Akümülatör üzerinde pencere literal işlemi
UNV A,C1,C2	0000 0300	$A \leftarrow C_{C2}(A)=C1$	Akümülatör üzerinde evrensel kapı işlemi
Giriş / Çıkış komutları			
In A	0001 0000	$A \leftarrow \text{input}$	Akümülatöre giriş
OutA	0002 0000	$\text{output} \leftarrow A$	Akümülatörden çıkış
HALT	0000 0000	Halt	Yürütme durdur

Simgeler:

A =akümülatör.

R =genel yazmaç.

M =bellek.

Yukarıdaki Çizelgede gösterildiği gibi, önerilen ÇDM mikroişlemci çekirdeğinin yürütebileceği komutlar sekiz adet sekizlik bit (Opcode) içeren çoklu değere sahip bir kod ile kodlanmıştır.

Bu (Opcode) kontrol ünitesinin girişini gösterir. Denetim birimi, (Opcode)' u giriş olarak aldığı anda, uygun denetim sinyallerini veriyoluna iletir. Veri yolu sırayla istenen işlemi yürütür.

Bu komut kümesindeki komutların sayısı 27' dir ve önerilen komut kümesinin atlama komutları gibi denetim transfer talimatlarını içermediğinden, tasarımıma göre mikroişlemci çekirdeği ile ilişkili harici bir bellek olmadığı için bu sayı, Intel 4004 mikroişlemcinin komut kümesine (46 komut) kıyasla, göreceli olarak küçüktür.

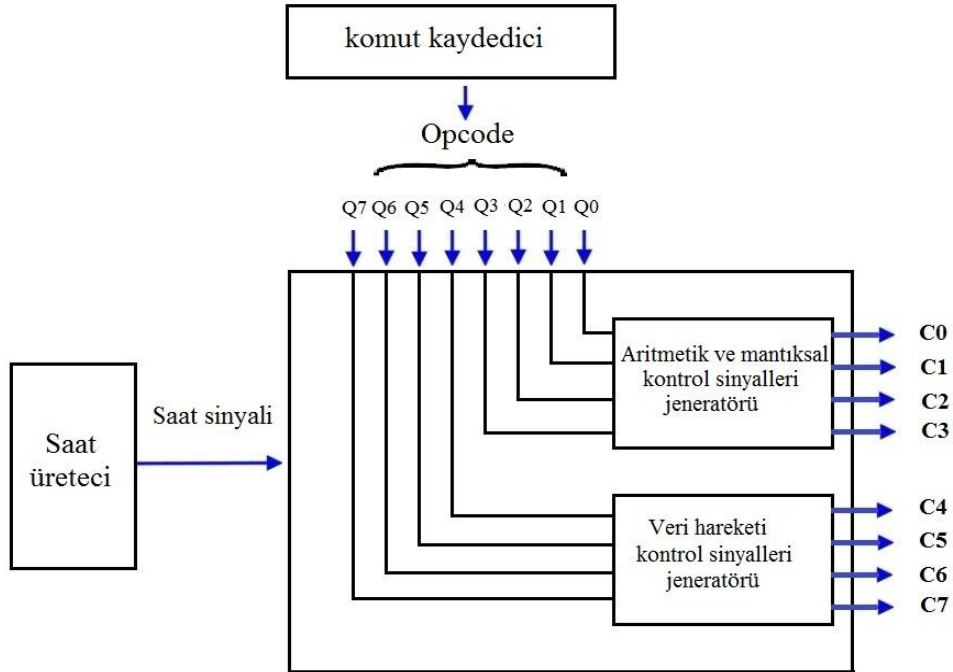
4.2.2.2. Önerilen ÇDM kontrol ünitesinin tasarımı

Genel olarak, kontrol ünitesi iki görevi yerine getirir:

1. İşlemcinin, yürütülmekte olan programa bağlı olarak doğru sırada bir dizi işlemde geçmesine yol açar.
2. Her işlemin yürütülmesine neden olan denetim sinyallerini üretmektedir.

Denetim birimi tarafından üretilen denetim sinyalleri, mantık kapılarının açılmasına ve kapanmasına neden olur, bu da verilerin yazmaçlara aktarılması veya yazmaçlardan başka yere aktarılması ve ALU'nun çalışması ile sonuçlanır.

Bir denetim biriminin uygulanmasına yönelik olan bir teknik, denetim biriminin, bazı alt devrelerden oluşan bir ana devre olduğu, fiziksel bağlantılı bir uygulama olarak adlandırılır. Giriş sinyalleri (opcodes) bir çıkış kontrol sinyali kümesine aktarılır. Önerilen ÇDM kontrol ünitesinin blok diyagramı Şekil 4.35' te sunulmuştur.

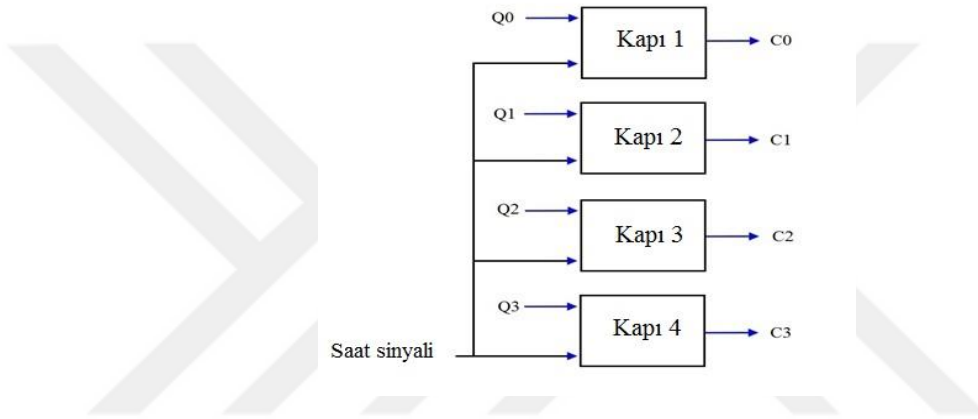


Şekil 4.35. Önerilen ÇDM denetim biriminin blok diyagramı.

Bir saat üretici, bir devrenin çalışmasını senkronize etmede kullanmak için bir zamanlama sinyali (bir saat sinyali olarak bilinir) üreten bir devredir. Çalışmada

kullanılan saat üreticinin saat hızı (frekansı) 3.33 MHz'dir ve bunun saat sinyali basit bir simetrik kare dalgayı göstermektedir.

Aritmetik ve mantıksal denetim sinyalleri üretici, ilk dört bit opcode (Q0, Q1, Q2, Q3) alan denetim birimi ana devresinin alt-devresidir ve dört denetim sinyalini (C0, C1, C2, C3) üretir. Bu denetim sinyalleri, aritmetik ve mantık biriminin giriş verileri üzerinde yürütmesi gereken aritmetik veya mantıksal süreci belirler. Aritmetik ve mantıksal denetim sinyalleri üreticinin tasarımı, dört “kapı” grubunu içerir, her bir kapı da belirleyici literal işlemini gerçekleştirir. Şekil 4.36 bu alt-devrenin iç tasarımını göstermektedir.



Şekil 4.36. Aritmetik ve mantıksal denetim sinyalleri üretici blok diyagramı.

Kapı 1, Kapı 2, Kapı 3 ve Kapı 4'ün matematiksel modelleri aşağıdaki gibi sunulmuştur:

$$Gate1(Q1, Clock) = \begin{cases} c1, & Clock = high\ logic, \\ 0, & otherwise, \end{cases} \quad (4.44)$$

$$Gate2(Q2, Clock) = \begin{cases} c2, & Clock = high\ logic, \\ 0, & otherwise, \end{cases} \quad (4.45)$$

$$Gate3(Q3, Clock) = \begin{cases} c3, & Clock = high\ logic, \\ 0, & otherwise, \end{cases} \quad (4.46)$$

$$Gate4(Q1, Clock) = \begin{cases} c4, & Clock = high\ logic, \\ 0, & otherwise, \end{cases} \quad (4.47)$$

Transistör seviyesi tasarımında, bu kapıların doğrulanması için, her kapı bir belirleyici literal operatör gerektirir.

Veri hareketi denetim sinyalleri üretici, son dört bit opcode (Q4, Q5, Q6, Q7) alan denetim birimi ana devresinin alt-devresidir ve dört denetim sinyalini (C4, C5, C6, C7) üretmektedir. Bu denetim sinyalleri, veri yolundaki yazmaçların kendileri ile yazmaçlar ve dâhili bellek arasındaki veri hareketini yönlendirir. Bu alt-devrenin tasarımı, aritmetik ve mantık denetim sinyalleri üretici alt-devresinin tasarımı ile aynıdır. Saat sinyalinin her iki alt-devrenin açılmasına ve kapanmasına neden olması, aritmetik ve mantıksal kontrol sinyalleri olarak ilk dört bite ait opcode ve veri hareketi denetim sinyalleri olarak son dört bite opcode aktarılmasıyla sonuçlanır.



5. ANALİZLER ve TARTIŞMA

Bu bölümde, tasarımı yapılan sekizli ÇDM mikroişlemci çekirdeğinin simülasyon ortamında katman katman test edilmesi, tüm katmanların simülasyonu ve performans analizleri sunulmuştur. Tamamen farklı bir matematik modele dayalı tasarıma sahip olmasına rağmen, benzerlik gösteren parametreler açısından CMOS tabanlı ikili mikro işlemci çekirdeği ile yapılan performans analizleri sunulmuştur.

5.1. Test etme

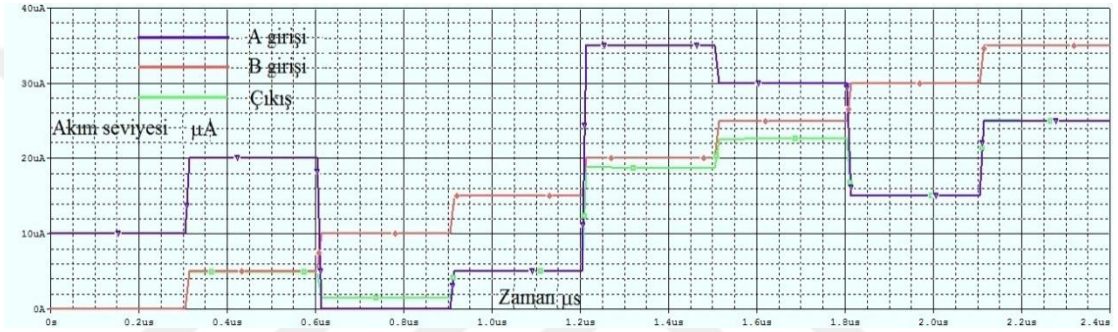
Mikroişlemcilerin veya başka bir VLSI devresinin test edilmesi ve değerlendirilmesindeki ilk adım uygun test ve değerlendirme tekniğini seçmektir. Bu konudaki temel teknikler şöyledir: simülasyon ve ölçüm. Simülasyon, incelenen sistemleri değerlendirme ve araştırma konusundaki en iyi teknik olduğundan, önerilen ÇDM mikroişlemci çekirdeğinin değerlendirilmesinde kullanılan teknik, simülasyondur.

Tümleşik devreleri simüle etmek için kullanılan Bilgisayar Destekli Tasarım (CAD) ise, IC'lerin geliştirilmesi ve tasarlanmasıyla ilgili bir başka konudur, böylece en iyi simülasyon yazılım paketinin seçimi hususu ise başka bir zorluktur. Tümleşik devrelerin gerçekleştirilmesi için FPGA, Mikroişlemci vb. gibi birçok simülasyon yazılımı bulunmaktadır. Günümüzde en çok bilinen CAD paketleri MATLAB, CADENCE, HSPICE, PSIM ve diğerleridir. Önerilen ÇDM mikroişlemci çekirdeğini simüle etmek için, Cadence simülatörü seçilmiştir. Cadence simülatörü, VLSI mantık tasarımlarını, oluşturulmadan önce test etmek için kullanılmaktadır. Simülasyondaki değişkenleri değiştirmek suretiyle, sistemin davranışları hakkında tahminler yapılabilir. Bu, çalışılan sistemin davranışını araştırmaya yönelik bir araçtır.

Genel olarak aşağıda belirtilenleri yaparak sistemin davranışları için daha doğru sonuçlar alınabilir. İlk olarak, bileşenlerin ve sistemin parçalarının ayrı ayrı test edilmesi ve değerlendirilmesi. İkinci olarak, sistemin genel tasarımının tamamen test edilmesi ve değerlendirilmesi yapılmıştır. Buna dayanarak, tezin bu bölümünde tüm bileşenlerin test edilmesi, simülasyonu ve değerlendirilmesi ve önerilen ÇDM mikroişlemci çekirdeğinin genel tasarımı aşağıdaki gibi sunulmuştur.

5.1.1. Minimum kapısının test edilmesi ve simülasyonu

Minimum kapısının simülasyon sonucu Şekil 5.1' de sunulmuştur. İlk değerlendirme, referans akım seviyesi $5\mu\text{A}$ olarak seçilmiştir. Simülasyon sürecinde $\pm 2.5\mu\text{A}$ hatası payı ile tamsayı katları ile birlikte artış gösterir. Simülasyon sonucu, A girişi= $30\mu\text{A}$ ve B girişi= $25\mu\text{A}$ olduğunda, mantıksal kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak $2\mu\text{A}$). Ayrıca bazı noktalarda istenen sinyal seviyesinden küçük bir sapma ortaya çıkar. Bu hata kabul edilebilirdir. Kapıdaki her bir transistör için yeni W/L oranı seçerek azaltılabilir.



Şekil 5.1. Minimum kapısının simülasyon sonucu

5.1.2. Maksimum kapısının test edilmesi ve simülasyonu

Maksimum kapısının simülasyon sonucu Şekil 5.2' de sunulmuştur. Simülasyon sonucu, A girişi= $30\mu\text{A}$ ve B girişi= $25\mu\text{A}$ olduğunda, mantıksal kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak $2\mu\text{A}$). Bu hata kabul edilebilirdir ve yeni W/L oranı aranarak azaltılabilir. Bununla birlikte, aynı tasarımda W/L oranı için farklı değerlerin kullanılması uyumsuzluğa yol açmaktadır. Uyumsuzluk tek bir entegre devrede iki veya daha fazla cihazın türevsel performansıdır [57]. Uyumsuzluk, sistemimizdeki maksimum kapı ve diğer kapıların tasarımında en kötü sınırlayıcı faktör olarak düşünülebilir. Uyumsuzluğun sistem performansı üzerindeki temel etkileri şunlardır: gürültü seviyesi artışı, hassasiyet sınırlama, alan artışı ve güç yitimi artışı. CMOS devrelerindeki uyumsuzluğun temel kaynağı transistör boyutlarının fiziksel olarak değişmesidir. Bu uyumsuzluk

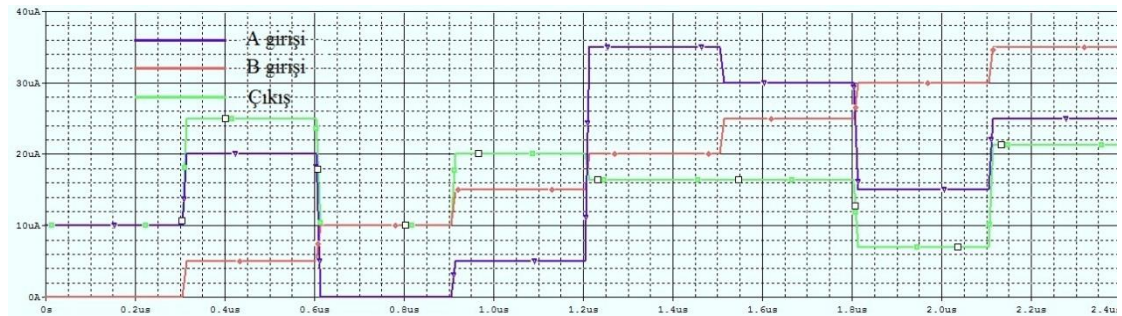
kaynağının etkisini azaltmanın tek yolu, cihazların kenarlarında sıklıkla görülen değişikliklerin etkisi göz ardı edilebilecek şekilde büyük cihazlar kullanmaktır.



Şekil 5.2. Maksimum kapısının simülasyon sonucu

5.1.3. Mod-sum kapısının test edilmesi ve simülasyonu

Mod-sum kapısının simülasyon sonucu Şekil 5.3' te sunulmuştur. Simülasyon sonucu, A girişi=25 μ A ve B girişi=35 μ A olduğunda, bu kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak 1.5 μ A). Bu hata da kabul edilebilirdir. Kenarlarda geçici bozulma meydana gelmez ve diğer noktalarda istenen sinyal seviyesinden sapma olmaz. Bu hata kabul edilebilirdir ve kapıdaki her bir transistör için yeni W/L oranı seçerek azaltılabilir.



Şekil 5.3. Mod-sum kapısının simülasyon sonucu

5.1.4. Mod-fark kapısının test edilmesi ve simülasyonu

Mod-fark kapısının simülasyon sonucu Şekil 5.4' te sunulmuştur. Simülasyon sonucu, bu kapısının herhangi bir hata veya geçici bozulma olmaksızın uygun şekilde

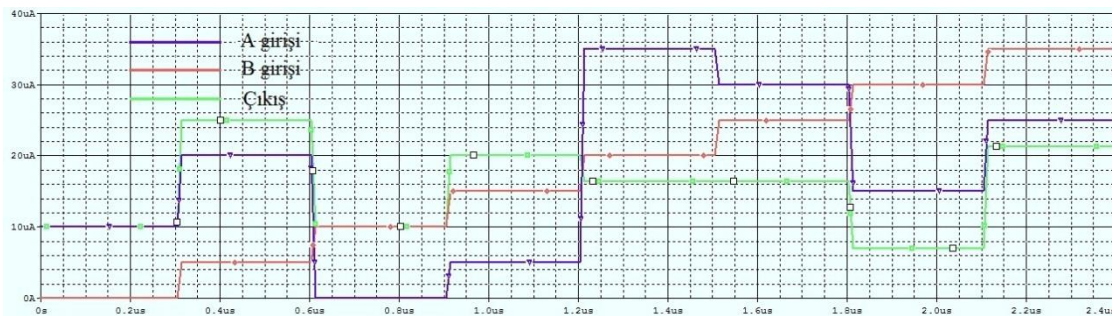
çalıştığını göstermektedir. Kapı, seviye bağımsızdır ve daha yüksek fonksiyon değeri seviyesine sahiptir.



Şekil 5.4. Mod-fark kapısının simülasyon sonucu

5.1.5. Tam toplayıcı kapısının test edilmesi ve simülasyonu

Tam toplayıcı kapısının simülasyon sonucu Şekil 5.5' te sunulmuştur. Simülasyon sonucu, A girişi=25µA ve B girişi=35µA olduğunda, bu kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak 1.5µA). Bu hata kabul edilebilirdir. Özellikle A girişi=25µA ve B girişi=30µA (hata≈1.4µA) olduğunda yürütme sinyalinde bir kararsızlık meydana gelir. Bu hata da kabul edilebilirdir. Tabii ki, kapıda her bir transistör için yeni W/L oranı seçerek bu kapısının performansını iyileştirme olasılığı da mevcuttur.



Şekil 5.5. Tam toplayıcı kapısının simülasyon sonucu

5.1.6. Tam çıkarıcı kapısının test edilmesi ve simülasyonu

Tam çıkarıcı kapısının simülasyon sonucu Şekil 5.6' da sunulmuştur. Simülasyon sonucu, bu kapısının herhangi bir hata olmaksızın uygun şekilde çalıştığını

göstermektedir. Ayrıca, kenarlarda geçici bozulma meydana gelmez ve diğer noktalarda istenen sinyal seviyesinden sapma olmaz, yani, devre seviye bağımsızdır ve daha yüksek bir fonksiyon değer seviyesine sahip olabilir.



Şekil 5.6. Tam çıkarıcı kapısının simülasyon sonucu

5.1.7. Sekizli inverter kapısının test edilmesi ve simülasyonu

İnvertör kapısının simülasyon sonucu Şekil 5.7' de sunulmuştur. Simülasyon sonucu, A girişi= $35\mu A$ olduğunda, mantıksal kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak $1\mu A$). Bu hata da kabul edilebilirdir. Bu kapısının performansı, kapıdaki her bir transistör için yeni W/L oranı seçilerek geliştirilebilir.



Şekil 5.7. Sekizli inverter kapısının simülasyon sonucu

5.1.8. Literal kapıların test edilmesi ve simülasyonu

Eşik literal kapısının simülasyon sonucu Şekil 5.8' de sunulmuştur. Simülasyon sonucu, bu kapısının bazı noktalarda hataların çok basit bir değeriyle uygun şekilde çalıştığını göstermektedir (yaklaşık $0.2\mu A$).



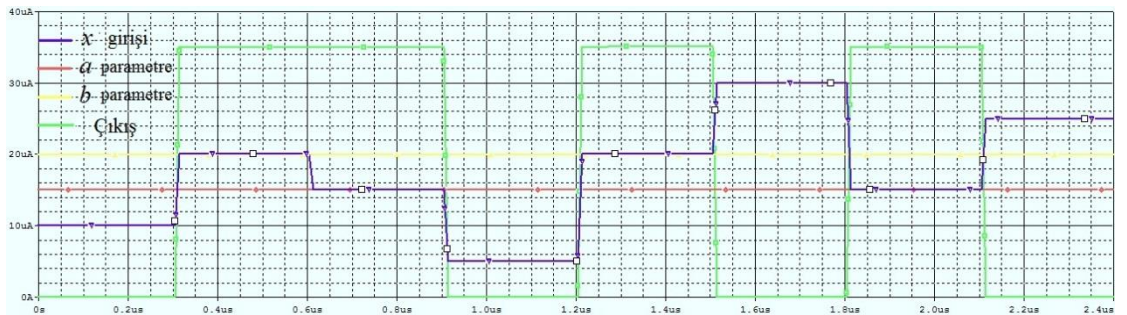
Şekil 5.8. Eşik literal kapısının simülasyon sonucu

Şekil 5.9, belirleyici literal kapısının simülasyon sonucunu göstermektedir. Simülasyon sonucu, bu kapısının herhangi bir hata olmaksızın uygun şekilde çalıştığını göstermektedir. Ayrıca, kenarlarda geçici bozulma meydana gelmez ve diğer noktalarda istenen sinyal seviyesinden sapma olmaz, yani, devre seviye bağımsızdır ve daha yüksek bir fonksiyon değer seviyesine sahip olabilir.



Şekil 5.9. Belirleyici literal kapısının simülasyon sonucu

Pencere literal kapısının simülasyon sonucu Şekil 5.10' da sunulmuştur. Simülasyon sonucu bu kapısının herhangi bir hata olmadan uygun şekilde çalıştığını ve kenarlarda geçici bir bozulma ya da istenen sinyal seviyesinden sapmanın olmadığını göstermektedir.



Şekil 5.10. Pencere literal kapısının simülasyon sonucu

5.1.9. Çarpan kapısının test edilmesi ve simülasyonu

Çarpan kapısının simülasyon sonucu Şekil 5.11' de sunulmuştur. Simülasyon sonucu, A girişi=30 μ A ve B girişi=25 μ A olduğunda, bu kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak 0.7 μ A). Ayrıca, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık mevcuttur. Bu hata kabul edilebilirdir. Gerçekleşme sinyali için, özellikle A girişi=15 μ A ve B girişi=30 μ A (hata $\approx$ 2 μ A) olduğunda istenilen sinyal seviyesinden sapma vardır. Bu hata da kabul edilebilirdir. Bu kapısının performansını iyileştirmek için bu kapıdaki her bir transistör için yeni W/L oranı seçilebilir. Bu mantık kapısındaki transistörlerin sayısı büyük olduğundan, her bir transistör için W/L oranını ayarlama işlemi biraz karmaşıktır. Bu yöntemin dezavantajlarına ek olarak, daha önce de bahsedildiği gibi, aynı tasarımda W/L oranı için farklı değerlerin kullanılması, VLSI tasarımı işleminde en kötü sınırlayıcı faktör olarak kabul edilebilecek uyumsuzluğa yol açmaktadır.

Bu nedenle, (iyileştirme devresi) olarak adlandırılabilir elektronik devre tasarlayarak bu kapısının performansını geliştirmek için başka bir yöntem kullandık. Geliştirme devresi hatayı ortadan kaldırır ve sinyali düzeltir. Giriş olarak herhangi bir geçide ait bir çıkış sinyali alır (bu, performansını iyileştirmeyi amaçlar) ve sinyali değiştirmek, ayarlamak ve düzeltmek için gerekli işlemleri yapar.

İkili tasarımcıya tanındık olarak, geliştirme devresi basit bir çoklayıcı olarak ifade edilebilir. Bununla birlikte bu, r-değerli bir dünyaya özel olarak uyarlanmıştır. Bu devrenin tasarımı, sekiz pencere literal kapıdan oluştuğu evrensel kapıda kullanılan çoklayıcının tasarımına benzerdir (bkz. 4.2.1.1.14).



Şekil 5.11. Çarpan kapısının simülasyon sonucu

5.1.10. Mantıksal çıkarım kapısının test edilmesi ve simülasyonu

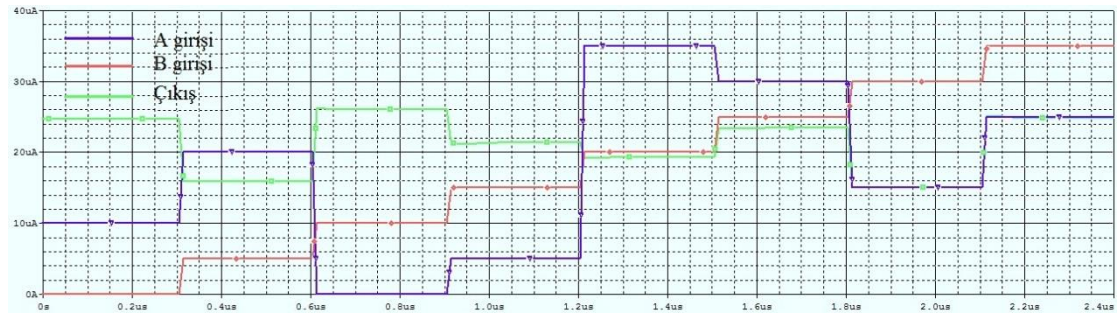
Mantıksal çıkarım kapısının simülasyon sonucu Şekil 5.12' de sunulmuştur. Simülasyon sonucu, A girişi= $15\mu\text{A}$ ve B girişi= $30\mu\text{A}$ olduğunda, bu kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak $0.8\mu\text{A}$). Ayrıca, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık mevcuttur. Bu hata kabul edilebilirdir ve kapıdaki her bir transistör için yeni W/L oranı aranarak azaltılabilir.



Şekil 5.12. Mantıksal çıkarım kapısının simülasyon sonucu

5.1.11. Mantıksal eşdeğer kapısının test edilmesi ve simülasyonu

Mantıksal eşdeğer kapısının simülasyon sonucu Şekil 5.13' de sunulmuştur. Simülasyon sonucu, A girişi= $5\mu\text{A}$ ve B girişi= $15\mu\text{A}$ olduğunda, bu kapısının hataların en büyük değeriyle uygun şekilde çalıştığını gösterir (yaklaşık olarak $1.6\mu\text{A}$). Ayrıca, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık mevcuttur. Bu hata kabul edilebilirdir ve kapıdaki her bir transistör için yeni W/L oranı aranarak azaltılabilir.



Şekil 5.13. Mantıksal eşdeğer kapısının simülasyon sonucu

5.1.12. Evrensel kapısının test edilmesi ve simülasyonu

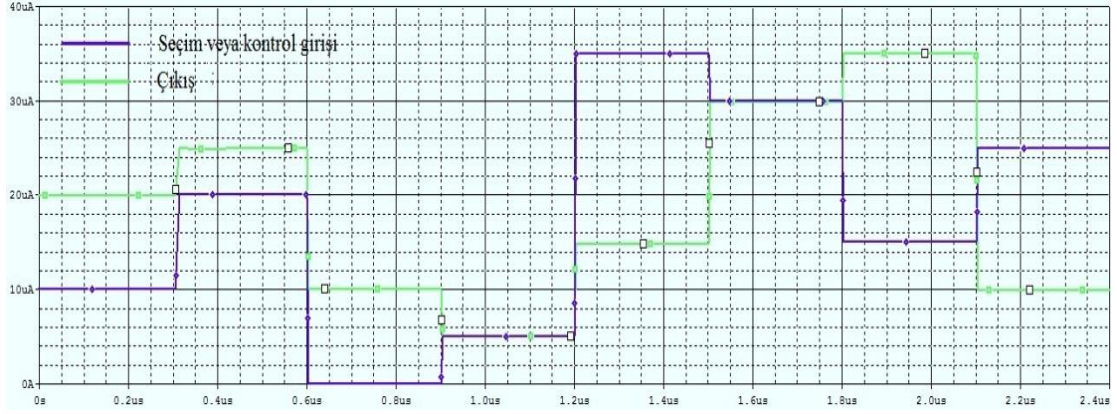
Evrensel kapısının simülasyon sonucu Şekil 5.14' te sunulmuştur. Bu simülasyonda, (C1) 25 μ A olarak seçilmiştir (altıncı mantıksal seviye). Öte yandan, (C2) 15 μ A olarak seçilmiştir (dördüncü mantıksal seviye). Simülasyon sonucu bu kapısının herhangi bir hata ve kararsızlık olmadan, istenen sinyal seviyesinden herhangi bir sapma olmaksızın ve kenarlarda geçici bir bozulma olmaksızın uygun şekilde çalıştığını göstermektedir. Devrenin tasarımında iki çoklayıcı üzerinde bulunması gerçeğinden dolayı bu elektronik devrenin iyi performansı, iyileştirme devresi olarak dikkate alınabilir.



Şekil 5.14. Evrensel kapısının simülasyon sonucu

5.1.13. ÇDM çoklayıcısının test edilmesi ve simülasyonu

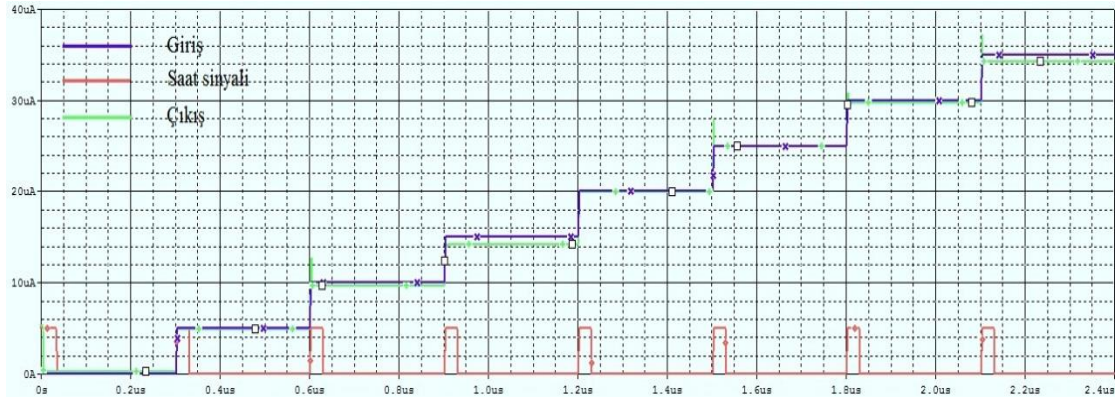
ÇDM mikroişlemci çekirdeğimiz üç çoklayıcı içermektedir. Bunlardan bir tanesi 24 girişe sahiptir ve ÇDM aritmetik ve mantık birimi tasarımında yer almaktadır. Bunun yanı sıra, evrensel kapı iki çoklayıcı içermektedir. Her birinin 8 girişi vardır. Önerilen ÇDM çoklayıcı devresi, devre girişlerinin sayısına eşit bir dizi belirleyici literal kapıdan oluşmaktadır. 8 girişli çoklayıcısının simülasyon sonucu Şekil 5.15' te sunulmuştur. Bu simülasyonda, girdi değerlerinin sırasıyla 10 μ A, 5 μ A, 20 μ A, 35 μ A, 25 μ A, 10 μ A, 30 μ A ve 15 μ A olduğunu varsaydık. Simülasyon sonucu, bu çoklayıcının herhangi bir hata ve kararsızlık olmadan, istenen sinyal seviyesinden herhangi bir sapma olmaksızın ve kenarlarda geçici bir bozulma olmaksızın uygun şekilde çalıştığını göstermektedir.



Şekil 5.15. ÇDM çoklayıcısının simülasyon sonucu

5.1.14. ÇDM mandal devresinin test edilmesi ve simülasyonu

Önerilen ÇDM mandal devresinin simülasyon sonucu Şekil 5.16' da sunulmuştur. Simülasyon sonucu, giriş sinyali= $35\mu\text{A}$ olduğunda bu devrenin çıkış sinyalindeki en büyük hatayla uygun şekilde çalıştığını gösterir (yaklaşık $0.8\mu\text{A}$). Ayrıca, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık mevcuttur. Bu hata kabul edilebilirdir. Devre performansı, kapıdaki her bir transistör için yeni W/L oranı aranarak geliştirilebilir.



Şekil 5.16. ÇDM mandal devresinin simülasyon sonucu

5.1.15. ÇDM denetim biriminin test edilmesi ve simülasyonu

Bir önceki bölümde de belirtildiği gibi, önerilen ÇDM denetim birimi esas olarak komut yazmacı, saat üretici, aritmetik ve mantık denetim sinyalleri üretici ve veri hareketi denetim sinyalleri üreticinden oluşmaktadır.

Transistör seviyesi tasarımında, hem aritmetik hem de mantıksal denetim sinyalleri üretici ve veri hareketi denetim sinyalleri üretici, bazı uyarlamalı dört belirleyici literal işlemcileri gerektirir. Bu dört belirleyici literal işlemci, basamaklı olarak birbirine bağlantılıdır (bkz. Şekil 4.10). Genel olarak, bu iki alt devrenin tasarımı ÇDM çoklayıcı tasarımına benzemektedir. Bu bölümde, belirleyici literal kapı simülasyonu ve ÇDM çoklayıcısı simülasyonu sunulmuştur, bu nedenle tekrarlamaya gerek yoktur.

5.1.16. Önerilen ÇDM mikroişlemci çekirdeği genel tasarımının test edilmesi ve simülasyonu

Bu simülasyon işlemi, programın belirli bir görevi yerine getirmek üzere, bir dizi komutu (mikroişlemci çekirdeğinin yürütebileceği önerilen talimatlara dayanarak) yürütmek için bir simülasyon gerçekleştirerek yürütülür.

Örneğin, mikroişlemci çekirdeğimizi kullanarak iki 4-bit sekizli sayı için toplama programı gibi basit bir program gerçekleştirmek amacıyla (ilk veri=4321, ikinci veri=2503), ilk olarak, algoritmayı ve toplama programını yazmalıyız. Algoritma ve toplama programı aşağıdaki gibi sunulmuştur.

ALGORİTMA:

- 1) Akümülatör içeriğini 0000' a Sıfırlama ile programı başlatın.
- 2) İlk verileri alın ve Akümülatöre yükleyin.
- 3) Verileri bir Yazmaca defterine (R kaydı) taşıyın.
- 4) İkinci verileri alın ve Akümülatöre yükleyin.
- 5) İki yazmaç (R register by Accumulator) içeriğini ekleyin.
- 6) Akümülatörden çıkışı okuyun.
- 7) Programı sonlandırın.

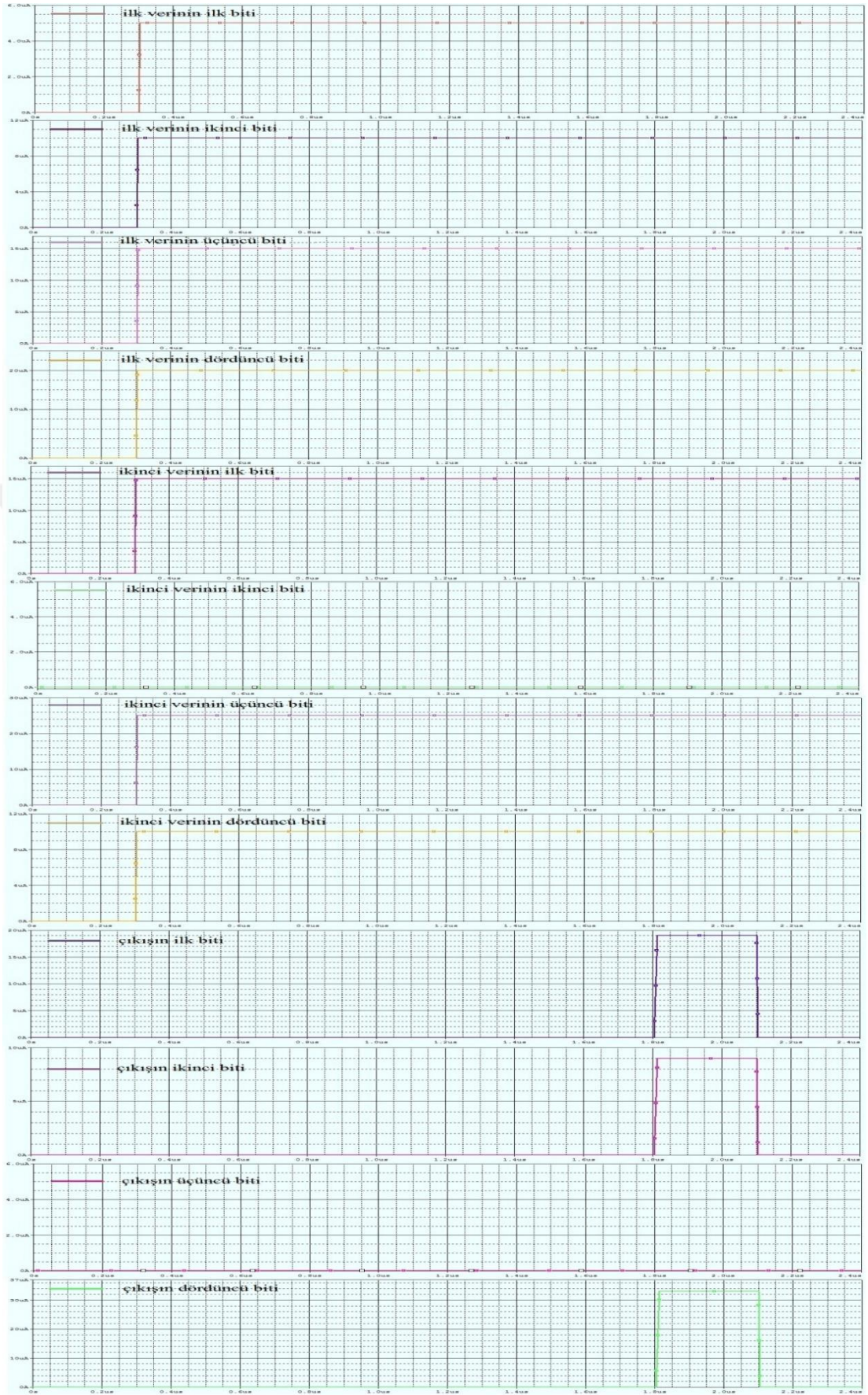
TOPLAMA PROGRAMI:

Opcode	Komut	Yorum
0001 0000	LDI A, 0000	Akümülatör içeriğini 0000 olarak başlat
0004 0000	LDM A, M1	İlk verileri alın ve Akümülatöre yükleyin
0020 0000	STA R, A	Akümülatörden R yazmacını yükleyin
0004 0000	LDM A, M2	İkinci verileri alın ve Akümülatöre yükleyin
0000 0001	EKLE A, R	Akümülatör + yazmaç → Akümülatör
0002 0000	Çıkış A	Akümülatördeki çıkışı okuyun
0000 0000	Durdur	Programı sonlandırın

Denetim birimi, normal olarak bir programı (komutları) veya tek bir talimatı (önerilen komutlara göre) alan ilk mikroişlemci birimidir. Denetim birimi daha sonra bu komutun Opcode' unu çözer ve veri yoluna uygun denetim sinyallerini iletir. Veri yolu sırayla istenen işlemi yürütür.

Cadence simülatörü, mikroişlemci çekirdeğimizi simüle edecek kadar güçlüdür. İlgili simülasyon sonucu Şekil 5.17' de sunulmuştur. Simülasyon sonucu, bu mikro işlemci çekirdeğinin, giriş sinyali=35 μ A olduğunda toplama programının yürütülmesi sırasında çıkış sinyalindeki en büyük hata ile (yaklaşık 0.8 μ A) uygun şekilde çalıştığını göstermektedir. Ayrıca, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık mevcuttur. Bu hata kabul edilebilirdir. Devre performansı, kapıdaki her bir transistör için yeni W/L oranı aranarak geliştirilebilir.





Şekil 5.17. Önerilen ÇDM mikroişlemci çekirdeğinin simülasyon sonucu

5.2. Önerilen ÇDM Mikroişlemci Çekirdeği Performans Analizi ve CMOS tabanlı İkili Mikro İşlemci Çekirdeği ile Karşılaştırılması

Her ne kadar Sekizli ÇDM sistemi içindeki tüm olası fonksiyonları yöneten yüksek hızlı mikro işlemci çekirdeği tasarlamış olsak da (her bir sekizli rakam, üç ikili haneye eşdeğerdir), aynı zamanda güç yitimi, yayılım gecikmesi ve transistör sayısı gibi diğer kritik parametreleri de dikkate aldık. Çizelge 5.1, önerilen ÇDM mikroişlemci çekirdeğinde ve CMOS ikili mikroişlemci çekirdeğindeki karşılığı içindeki her bir dilime yönelik performans parametrelerini göstermektedir.



Çizelge 5.1. Önerilen ÇDM mikroişlemci çekirdeği yapısının ortak parametreler açısından ve CMOS tabanlı İkili mikro işlemci çekirdeği ile performans karşılaştırılması

Sekizli ÇDM mikroişlemci çekirdek dilimi				CMOS ikili mikroişlemci çekirdeğindeki karşılığı			
İsim	Transistör Sayısı	Güç Kaybı	Yayılım Gecikmesi	İsim	Transistör Sayısı	Güç Kaybı	Yayılım Gecikmesi
Min	4	30 μ W	22 ps	And [61]	6	19.28 μ W	26.85 ps
Max	7	33 μ W	24 ps	OR [61]	6	19.63 μ W	28.51 ps
Mod-sum	10	37 μ W	33 ps	XOR [61]	6	47.81 μ W	66.02 ps
Mod-fark	12	40 μ W	39 ps	-	-	-	-
İnvertör	3	28 μ W	20 ps	İnvertör [61]	2	5.41 μ W	18.70 ps
Tam toplayıcı	12	40 μ W	33 ps	Tam toplayıcı [61]	28	342.7 μ W	117.3 ps
Tam çıkarıcı	15	45 μ W	37 ps	Çıkarıcı [38]	48	-	-
1×1 bit (sekizli) Çarpan	201	3.1 mW	1.7 ns	4×4 bit (ikili) Çarpan [26]	320	2.12mW	1.08ns
2-girişli ÇDM çoklayıcı	18	50 μ W	42 ps	2-girişli ikili çoklayıcı [28]	14	0.247 μ W	-
Mantıksal çıkarım	10	65 μ W	46 ps	-	-	-	-
Mantıksal eşdeğer	27	98 μ W	70 ps	-	-	-	-
Belirleyici literal	9	35 μ W	34 ps	-	-	-	-
Pencere literal	9	35 μ W	34 ps	-	-	-	-
Eşik literal	5	31 μ W	25 ps	-	-	-	-
Döngü	10	37 μ W	33 ps	-	-	-	-
Ardıl	10	37 μ W	33 ps	-	-	-	-
Öncül	12	40 μ W	20 ps	-	-	-	-
Evrensel kapı	159	1.2 mW	0.7 ns	-	-	-	-

5.3. Durum deęerlendirmesi

Geçtięimiz 20 yıl, mikroişlemci performansının etkileyici ilerlemeleri için gerçekten önemli günlerdi. Önümüzdeki 20 yıl (ilerleme devam ettikçe mikroişlemci performansı iyileştirmeleri için gelecek yeni günler) daha da zor olacaktır. Gelecekte işlemcileri oluşturmaanın anahtarlarından birisi de Çoklu Deęerli Mantıktır (ÇDM). Çoklu Deęerli Mantık kullanımı, hem çip alanında hem de cihaz hızında iyileştirmeler sağlamıştır.

Tasarlanan sistemin incelenmesi ve analizi, önerilen tasarımın günümüzdeki geçerlilięinin anlaşılması ve bu simülasyonların gerçek bir sisteme dönüştürülmesinin fizibilitesinin pratik modelleri kullanarak anlaşılmasının yanı sıra gelecekteki yanıtlar hakkında bilgi vermesi açısından da son derece önemlidir. Böylece, en iyi simülatörün seçilmesi de başka bir zorluk oluşturmaktadır. Günümüzde Cadence, özellikle de mikroişlemci gibi Çok büyük ebatlı tümleşik devrelere (VLSI) yönelik olarak elektrik ve elektronik simülasyon için standart Bilgisayar Destekli Tasarım (CAD) olmuştur. Bu nedenle, bu çalışmada, transistör seviyesi tasarımında önerilen tüm mikro işlemci ana bileşenleri ve bu mikro işlemci çekirdeęinin genel tasarımı, Cadence simülatörü kullanılarak başarıyla simüle edilmiş ve test edilmiştir. Bu bölümdeki ana bakışlar aşağıda özetlenmiştir.

1. Önerilen mikroişlemci çekirdeęi, CMOS transistörleri kullanılarak tasarlanmış ve gerçekleştirilmiştir. Bu, şu anda üretim ve iyileştirme için yeni bir teknoloji ihtiyacını ortadan kaldıracaktır.
2. Küçük sapma deęeri, kenarlarda geçici bozulma ve çıkış sinyalindeki bazı noktalarda kararsızlık gibi istenmeyen etkiler söz konusudur. Bu sorunun, önerilen tasarımın gerçekleştirilmesi için akım modu teknolojisini kullanmanın yanı sıra yüksek hızlı çalışma ve transistör uyumsuzluęından kaynaklandığı düşünülmektedir. Böylece, bu sorunu ortadan kaldırmak veya azaltmak amacıyla bu soruna müdahale etme yönünde bir araştırma alanı açılacaktır.
3. Mikroişlemci çekirdeęimizin bileşenlerinin performansını artırmak amacıyla bu bileşenlerde her bir transistör için yeni W/L oranı seçilebilir. Bazı bileşenlerdeki transistörlerin sayısı çok büyük olduęundan, her bir transistör

için W/L oranını ayarlama işlemi biraz karmaşıktır. Bu, söz konusu yöntemin dezavantajlarına bir ektir. Aynı tasarımda W/L oranı için farklı değerlerin kullanılmasının uyumsuzluğa yol açması durumunda, bu durum VLSI tasarımındaki en kötü sınırlayıcı faktör olarak kabul edilebilir.

4. Gerçekleştirilen çalışmada, verimliliği artırmak için yeni bir yöntem kullanılmıştır. Tüm mikroişlemci çekirdek bileşenleri elektronik devre tasarım performansı, (iyileştirme devresi) olarak adlandırılabilir. Geliştirme devresi hatayı ortadan kaldırır ve sinyali düzeltir. Giriş olarak herhangi bir geçide ait bir çıkış sinyali alır (bu, performansını iyileştirmeyi amaçlar) ve sinyali değiştirmek, ayarlamak ve düzeltmek için gerekli işlemleri yapar.



6. SONUÇLAR VE GELECEK ÇALIŞMALAR

Altıncı bölümde, sonuçlar analiz edilerek, gelecekte yapılacak çalışmalara yol göstermek adına öneriler sunulmuştur.

6.1. Sonuç

Bu çalışmada Post cebiri, Kleene cebiri, Allen ve Givone cebiri, Vranesic, Lee ve Smith cebirine ve Modüler cebire dayanan, yeni ve fonksiyonel olarak eksiksiz ÇDM mantık kapıları sistemi önerilmiştir. Önerilen ÇDM mantık kapı sistemine dayalı yeni bir 4-bit sekizlik ÇDM mikroişlemci çekirdeği tasarlanmıştır. Potansiyel avantajları nedeniyle, önerilen tüm mantık kapıları sistem kapılarını, sekizli ÇDM mikroişlemci çekirdeğini ve böylece sekizli ÇDM mikroişlemci çekirdeğini tam olarak oluşturmak için kullanılan tüm bileşimli ve ardışık devreleri gerçekleştirmek için akım modu gerçekleştirmesi seçilmiştir. Ayrıca, ÇDM mikro işlemci çekirdeğinin işletebileceği talimat setleri ve karşılık gelen kodlama tanımlanmıştır. Önerilen devreleri simüle etmek için, Cadence simülatöründe (SPICE) aracına sahip bir simülasyon programı kullanılmıştır. Sekizli ÇDM mikroişlemci çekirdeğinin performans analizi araştırılmıştır. CMOS tabanlı ikili mikro işlemci çekirdeği ile yapılan performans karşılaştırması sunulmuştur.

Temel sonuçlar aşağıdaki gibi özetlenebilir:

1. Yalnızca Boole cebirine dayanan, yani, çoklu değerli fonksiyonlar için genel olarak yeterli olmayan, geleneksel bir mantık kapı sistemi yerine bir cebirsel sistemden daha fazlasına dayanan bir ÇDM mantık kapı sistemi önerme fikri, yenilikçi ve başarılı bir fikirdir. Bu fikrin başarılı olması, simülasyon sonuçlarına göre, yenilikçi mantık kapıları sistemine dayanan sekizli mikroişlemci çekirdeği tasarımının başarısının bir yansımasıdır.
2. Çalışma, önerilen ÇDM mantık kapıları sistemi için herhangi bir fonksiyon değer seviyesi kısıtlaması olmadığı gerçeğini ortaya koymaktadır. Sadece bazı parametrelerin değiştirilmesi ve mantık kapılarının temel tasarımının değiştirilme zorunda kalınmaması, istenilen herhangi bir fonksiyon değer seviyesini seçebilme esnekliği sağlamaktadır.

3. Simülasyon sonuçları, bizim sekizli ÇDM mikroişlemci çekirdeğimizin, daha hızlı olma, daha az alan ve daha iyi performans verme bakımından CMOS tabanlı ikili mikroişlemci çekirdeği ile karşılaştırıldığında daha verimli olduğunu ortaya koymaktadır.
4. Akım modu CMOS tasarımları, stabil mantık durumları sağlar ve bu tasarımlar statik güç tüketimi ve devre karmaşıklığı pahasına mantıksal olarak eşdeğer olduğu ikili muadilleri için gerektiği kadar az sayıda transistörden üretilmektedir.
5. Önerilen sekizli ÇDM mikroişlemci çekirdeğinin ve bileşenlerinin akım modu gerçekleştirmesinde, küçük sapma değeri, kenarlarda geçici bozulma ve bazı noktalarda kararsızlık gibi çıkış sinyallerinde istenmeyen etkiler söz konusu olmuştur. Bununla birlikte, bu hata kabul edilebilir niteliktedir ve devredeki her transistör için yeni W/L oranı seçerek veya geliştirme devresini kullanarak (Bkz. Bölüm 5.2) olabildiğince azaltılabilir. Özellikle iki alanda daha fazla araştırmaya ihtiyaç duyulmaktadır: ilk olarak, MOSFET transistörlerinin performansını arttırmak veya akım modu gerçekleştirmesini kullanarak ÇDM devrelerini gerçekleştirmek amacıyla daha uygun olacak şekilde yeni bir transistör türünü geliştirmektir. İkinci olarak, karışık mod (hibrid mod) teknolojisi, kuantum fonksiyonel cihazlar veya optoelektronik gibi ÇDM devreleri gerçekleştirmek için diğer türlü realizasyon teknolojilerini kullanmaktır.
6. Önerilen komut kümeleri hakkında birkaç ilginç not bulunmaktadır. İlk olarak, önerilen komutların sayısı nispeten az olmasına rağmen, bu komutlar hesaplama algoritmalarını yüksek verimlilikle yürütmektedir. Özellikle, önerilen komutları kullanarak gerçekleştirilen çarpım algoritması, geleneksel ikili mikroişlemcide çoğaltma algoritması için gerekli temel adımlara kıyasla daha az adımla yazılmıştır. İkinci olarak, komut büyüklüğünün azaltılması önemli bir tasarım hedefi olduğundan, önerilen talimatlar sekiz adet sekizli bitten oluşan çoklu değerli bir kod ile kodlanmıştır. Bu şekilde, tipik bir program, tüm talimatlar için iki değerli kodun opcode olarak seçilmesinden daha kısa olacaktır.
7. Önerilen ÇDM devrelerini simüle etmek için, Cadence simülatörü tarafından temsil edilen güçlü ve geliştirilmiş simülasyon tekniği kullanılmasına rağmen, önerilen ÇDM devrelerinin tam olarak başarılı olup olmadıklarının

tespit edilmesi, sadece simülasyondan yapılmaz. Önerilen ÇDM devreleri tasarımları üretim sürecine tabi tutulmalıdır. Çünkü simülasyon ve gerçeklik arasında her zaman bazı farklılıklar vardır.

6.2. Gelecekte Yapılacak Çalışmalar

Özellikle aşağıdaki konularla ilgili olarak, bu çalışmanın kapsamını genişletmek için birçok fırsat vardır:

1. Önerilen yeni devrelere dayalı olarak tüm ÇDM mikroişlemciyi tasarlamak ve üretmek. Tüm ÇDM mikroişlemcisi, ÇDM bellekle birlikte ÇDM mikroişlemci çekirdeğinden oluşmaktadır. Sorun, ÇDM belleğinin oluşturulmasının temel unsurları olarak düşünülebilecek yüksek performanslı ÇDM mandal devrelerinin eksikliğidir. Akım modu mandalları hakkında çok az çalışma bulunmaktadır. Mevcut çalışmalar ya fonksiyon değer seviyesi-sınırlıdır ya da yüksek gecikmelere sahiptir. Bu tezde önerilen mandal devresi, literatürde yer alan diğer devrelerin çoğundan daha iyi performans göstermesine rağmen (Bkz. Bölüm 4.2.1.2), güç tüketimi söz konusu olduğunda ikili muadilleri ile rekabet edememektedir. Daha yüksek fonksiyon değer seviyelerine izin veren hızlı ve düşük güçlü mandal (latch) devresi tasarlamak, gelecekteki çalışmanın önemli bir konusu olacaktır.
2. Gerilim modu teknolojisi, karma mod (hibrid mod) teknolojisi, kuantum fonksiyonel cihazlar ve optoelektronik gibi diğer gerçekleştirme teknolojilerini kullanarak daha yüksek hızlı ve daha az güç tüketen ÇDM mikroişlemciyi tasarlamak ve üretmek. Henüz olgun bir aşamada olmamasına rağmen, optoelektronik yakın gelecekte ÇDM devrelerinin uygulanması için vazgeçilmez hale gelebilir.
3. Daha yüksek fonksiyon değer seviyesine sahip bir ÇDM mikroişlemcisini tasarlamak ve üretmek. Onaltılık ÇDM mikroişlemcisi, onaltılık sayısal sistem tarafından sunulan birçok özellik nedeniyle ümit verici bir üründür.
4. Çok çekirdekli ÇDM mikroişlemcisini tasarlamak ve üretmektir.
5. Genel olarak ÇDM için daha uygun olacak şekilde yeni komutları yeniden tasarlamaktır.

6. ÇDM devreleri tasarımına tahsis edilmiş Bilgisayar Destekli Tasarım (CAD) programları geliştirmektedir.

ÇDM mikroişlemci tasarımının iyileştirilmesinin gelecekteki araştırmacılar için gerçekten umut verici bir alan olabileceğini ve mikroişlemciler bilgisayar sisteminin kalbi olduğu için bu sektörde yapılan kapsamlı araştırmaların mikroişlemcinin performansını artıracaklarını düşünmekteyiz.



KAYNAKLAR

- [1] A. Ghosh, P. Choudhury and A. Basuray, Modified Ternary Optical Logic Gates and their Applications in Optical Computation. Innovations and Advanced Techniques in Systems, Computing Sciences and Software Engineering pp 87-92, 2008.
- [2] A. K. Ghosh and A. Basuray, Trinary flip-flops using Savart plate and spatial light modulator for optical computation in multivalued logic. Optoelectronics Letters, November 2008.
- [3] A. Kazeminejad, K. Navi, D. Etiemble, CML current mode full adders for 2.5-V power supply, Proceedings of 24th International Symposium on Multiple-Valued Logic (ISMVL'94).
- [4] Adit D. Singh, James R. Armstrong, A simultaneous, radix four, I2L multiplier mechanized via repeated addition, MVL '78 Proceedings of the eighth international symposium on Multiple-valued logic Pages 114-121, 1978.
- [5] B. A. Bernstein, Modular representations of finite algebras. In Proc. 7th Int. Congress Mathematicians, Univ. Toronto Press, 1928, vol. I, 1924, pp. 207–216.
- [6] B. Radanovic, M. Syrzycki, Current-mode CMOS adders using multiple-valued logic Canadian Conference on Electrical and Computer Engineering, (1996), 190-193.
- [7] B. Srinivasa Raghavan, V. S. Kanchana Bhaaskaran, Design of novel Multiple Valued Logic (MVL) circuits, 2017 International Conference on Nextgen Electronic Technologies: Silicon to Software (ICNETS2), March 2017
- [8] Bali, S. P., Linear Integrated Circuits. A Publication of the Tata McGraw-Hill, ISBN 10: 0-07-64807-7, 2008.
- [9] Berlin, R., Synthesis of N-valued Switching Circuits, IRE Transactions on Electronic Computers, No. 1, pp. 52-56, 1958.
- [10] C. M. Allen, D.D. Givone, A minimization technique for multiple-valued logic systems. IEEE Trans. Computer., vol. 17, pp. 182–184, 1968, doi:10.1109/TC.1968.227407.
- [11] Cristiano Lazzari, Paulo Flores, José Monteiro, Luigi Carro, A new quaternary FPGA based on a voltage-mode multi-valued circuit, 2010 Design, Automation & Test in Europe Conference & Exhibition (DATE 2010), Year: 2010, Page s: 1797 – 1802
- [12] Current, K., Voltage-Mode Quaternary Latch Circuit, Electronics Letters, Vol. 30, No. 23, pp. 1928-1929, 1994.
- [13] D. A. Bochvar, Ob odnom tr'ezhna'chom is'cisl'enii i 'ego prim'en'enii k analizu paradoksovkalssi'c'esкого rassir'ennogo funkcional 'nogo

isčislenija (tr. On a 3-valued logical calculus and its application to the analysis of contradictions). Mat'ematičeskij sbornik, vol. 4, pp. 287–308, 1939.

- [14] D. E. Muller, Application of Boolean algebra to switching circuit design and error detection. IRE Trans., vol. 1, pp. 6–12, 1954.
- [15] D. Etiemble, M. Israel, Comparison of binary and multivalued ICs according to VLSI criteria, Computer, Vol. 21, pp. 28-42, April 1988.
- [16] D. Etiemble, M. Israel, On the realization of multiple-valued flip-flops. Proceedings of the international symposium on Multiple-valued logic Pages 16-23, 1980.
- [17] D. Etiemble, M. Israel, Comparison between MVL and Binary Logic, IEEE Computer, ISMVL, pp.28-42, 1988.
- [18] D.A. Rich, K.L.C. Naiff, K.G. Smalley, A four-state ROM using multilevel process technology. IEEE Journal of Solid-State Circuits (Volume: 19 , Issue: 2 , April 1984).
- [19] David A. York, On the design and analysis of multiple-storage elements, Master. Thesis, Naval postgraduate school, Monterey, California, December 1989. DOI: 10.2200/S00065ED1V01Y200709DCS012.
- [20] E. L. Post, Introduction to a General Theory of Elementary Propositions, American Journal of Mathematics, Vol. 43, No. 3, pp. 163-185, 1921.
- [21] E. V. Dubrova, Y. Jiang, R. K. Brayton, Minimization of multiple-valued functions in Post algebra, in Proc. of Workshop on Logic Synthesis, pp. 132-138, June 2001.
- [22] Elena, D., Multiple-Valued Logic in VLSI: Challenges and Opportunities, Proceedings of NORCHIP'99, Oslo, Norway, November 8-9, 1999, pp. 340-350.
- [23] F. Sarica, Current mode CMOS sequential multiple-valued logic circuits, Ph.D. Thesis, Bogazici University, 2013.
- [24] G. Ruiz, J. A. Michell, Design and architecture for digital signal processing, InTech, First published January, ISBN: 978-953-51-0874-0(2013).
- [25] Giveone, Snlsire, Final report on the design of MVL systems. digital systems laboratory of the department of electrical engineering state university of new York buffalo 1968.
- [26] Goel. N., Singh. S, Comparative analysis of 4-bit multipliers using low power adder cells, International Journal of Engineering Research and Applications (IJERA). 2, 2, (2012), pp.1488-1491.

- [27] Guoqiang Hang, Xuanchang Zhou, Novel CMOS ternary flip-flops using double pass-transistor logic, 2011 International Conference on Electric Information and Control Engineering, Year: 2011, Page s: 5978 – 5981.
- [28] Gupta. P, Mehra. R, Layout Design and Simulation of CMOS Multiplexer, International Journal of Scientific Research Engineering & Technology (IJSRET). 2, 2, (2015), pp.23-27.
- [29] H. El-Aawar, Structural and hardware complexities of microprocessor design according to moore's law, International Journal of Computer Science and Information Technology, Vol. 6, No. 4, pp. 175–183, August 2014.
- [30] Haissam. El-Aawar, structural and hardware complexities of microprocessor design according to Moore's law, International Journal of Computer Science & Information Technology (IJCSIT) Vol 6, No 4, August 2014.
- [31] I. S. Reed, A class of multiple-error-correcting codes and their decoding scheme. IRE Trans. Information Theory, vol. 3, pp. 6–12, 1954.
- [32] Ifat Jahangir, Anindya Das, Masud Hasan, Design of novel quaternary encoders and decoders, 2012 International Conference on Informatics, Electronics & Vision (ICIEV), May 2012.
- [33] Intel data catalog 1976 , intel corporation
- [34] J. G. Posa, Four state cell doubles ROM bit capacity, Electronics, October 9, 1980, P. 39.
- [35] J. Lukasiewicz, O logice tr`ojwarto`sciowej, tr. on three-valued logic, Ruch Filozoficzny, vol. 5, pp. 169–171, 1920.
- [36] J. T. Butler, Guest editor's introduction: multiple-valued logic, Computer, Vol. 21, pp. 13-14, April 1988.
- [37] J.C.Muzio, I.C.Rosenberg, Introduction-Multiple-Valued Logic, IEEE Transections on Computers, Vol.c-35, No. 2, February 1986
- [38] Jan. M. R, Digital Integrated Circuits: a design perspective, A Publication in the Prentice Hall India (PHI), 2003, ISBN: 8178089912.
- [39] Jonathan Taylor, Alberto Nannarelli, Design and simulation of a quaternary memory cell based on a physical memristor, 2016 IEEE Nordic Circuits and Systems Conference (NORCAS), Nov. 2016.
- [40] Jordan Goblet, Wei Zhu, Regularity of Dirichlet nearly minimizing multiple-valued functions, Journal of Geometric Analysis, Volume 18, Issue 3, pp 765–794, July 2008.
- [41] K. C. Smith, Multiple-valued logic: a tutorial and appreciation, Computer, Vol. 21, pp. 17-27, April 1988.

- [42] K. Shimabukuro, C. Zukeran, Reconfigurable current-mode multiple-valued residue arithmetic circuits, Proc. 28th Int. Symp. Multiple-Valued Logic, (1998), 282-287.
- [43] K. W. Current, A CMOS quaternary latch, Proceedings of the Nineteenth International Symposium on Multiple-Valued Logic, pp. 54-57, May 1989.
- [44] K. W. Current, D. A. Mow, Four-valued threshold logic full adder circuit implementations, MVL '78 Proceedings of the eighth international symposium on Multiple-valued logic Pages 95-100, 1978.
- [45] K.Navi, V.Foroutan, B. Mazloomnejad, Sh. Bahrololoumi, O. Hashemipour, M.Haghparast, A six Transistor Full Adder, World Applied Science Journal, Vol.4, No.1, pp.142-149, 2008.
- [46] K.W. Current, Current-mode CMOS multiple-valued logic circuits, IEEE Journal of Solid-State Circuits (Volume: 29 , Issue: 2 , Feb 1994).
- [47] L. S. Phanindra, M. N. Rajath, V. Rakesh, K. S. Vasundara Patel, A novel design and implementation of multi-valued logic arithmetic full adder circuit using CNTFET, 2016 IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT), May, 2016.
- [48] Lee, C. and W. Chen, Several Valued Combinational Switching Circuits, Transactions of the American Institute of Electrical Engineers (Communication and Electronics), Vol. 75, No.1, pp. 278-283, 1956.
- [49] Linda Null, Julia Lobur, The Essentials of Computer Organization and Architecture, Jones and Bartlett Publishers, ISBN 0-7637-0444-X, 2003.
- [50] Lowenschuss, O., Non-binary Switching Theory, IRE National Convention Record, Vol. 1, pp. 305-317, 1958
- [51] M. Yoeli, G. Rosenfeld, Logical design of ternary switching circuits, IEEE Trans. Electron. Comput., vol. EC-14, pp.19 -29 1965.
- [52] Michael Yoeli, Israel Halperu, Ternary arithmetic unit, proceeding IEEE, 115 1968 1385.
- [53] Michael Yoeli, Ternary cellular cascade, IEEE Trans. on Computers, c 17 1968 66.
- [54] M. Michael, A. T. Mitchell, Multiple Valued Logic: Concepts and Representations. A Publication in the Morgan & Claypool Publishers series, ISSN 1932-3166, 2008.
- [55] N. Weste, K. Eshraghian, MOS transistor theory, in Principles of CMOS VLSI Design, pp. 43-49, Addison-Wesley, Reading, Massachusetts, 1985.

- [56] O. Ishizuka, D. Handoko, VLSI design of a quaternary multiplier with direct generation of partial products, Proc. 27th Int. Symp. Multiple-Valued Logic, (1997), 169-174.
- [57] Patrick G. Drennan, Colin C. McAndrew, Understanding MOSFET Mismatch for Analog Design, IEEE Journal of Solid-State Circuits, VOL. 38, NO. 3, March 2003.
- [58] Pouya. A, Keivan. N, A novel high-speed 54×54-bit multiplier. American Journal of Applied Sciences. 4, (2007), pp.666-672.
- [59] R. Adlhoch, Quaternary ROM Design Utilizing Variable Threshold Storage, Proceedings of the international symposium on Multiple-valued logic Pages 310-317, 1985.
- [60] R. Rudell, A. Sangiovanni-Vincentelli, Exact Minimization of Multiple-Valued Functions for PLA Optimization, The Best of ICCAD pp 205-216, 2003.
- [61] Rao G. S, Prasad B. Y, Design and Implementation of Basic Logic Gates and Adder Circuits with Memristor, International Journal of Scientific Research in Computer Science, Engineering and Information Technology. 2, 3, (2017), pp.143-155.
- [62] Rosenbloom, P. C., Post Algebras. I. Postulates and General Theory, American Journal of Mathematics, Vol. 64, No. 1, pp. 167-188, 1942.
- [63] Rosser. J. B, Turquette. A. R, Axiom Schemes for M-Valued Propositional Calculi. J. Symbolic Logic 10 (1945), no. 3, 61--82.
- [64] S. C. Kleene, On a notation for ordinal numbers, The Journal of Symbolic Logic, vol. 3, pp. 150–155, 1938, doi:10.2307/2267778.
- [65] S. L. Hurst, Semiconductor circuits for 3-state logic applications
- [66] S. Wei, K. Shimizu, Residue arithmetic multiplier based on the radix-4 signed-digit multiple-valued arithmetic circuits, 12th Int. Conf. on VLSI Design, (1999), 212-217.
- [67] Satoro. M. R, Horowitz. M. A, A pipelined 64×64-bit multiplier, IEEE Journal of Solid-State Circuits. 24, (1989), pp. 642-651.
- [68] Sepehr. Tabrizchi, Nooshin. Azimi, Keivan. Navi, A novel ternary half adder and multiplier based on carbon nanotube field effect transistors, Frontiers of Information Technology & Electronic Engineering March 2017, Volume 18, Issue 3, pp 423–433.
- [69] Sheffer, H. M, A set of five independent postulates for Boolean algebras, with application to logical constants, Transactions of the American Mathematical Society, 14: 481–488, doi:10.2307/1988701, (1913).
- [70] Shekhar, B. Andrew, A. C, The future of microprocessors. Communications of the ACM. 54, 5, (2011), pp. 67-77. DOI:10.1145/1941487.1941507.

- [71] Sheng Lin, Yong-Bin Kim, Fabrizio Lombardi, Design of a Ternary Memory Cell Using CNTFETs, IEEE Transactions on Nanotechnology (Volume: 11 , Issue: 5 , Sept. 2012), Page(s): 1019 – 1025.
- [72] T. Baba, Development of quantum functional devices for multiple-valued logic circuits, Proc. 29th Int. Symp. Multiple-Valued Logic, (1999), 2-8.
- [73] T. Chattopadhyay, J. Roy, Polarization-encoded all-optical quaternary universal inverter and design of multivalued flip-flop, Optical Engineering, 49(3), 035201 (2010).
- [74] T. Chattopadhyay, All-optical symmetric ternary logic gate, Optics & Laser Technology, Volume 42, Issue 6, September 2010, Pages 1014-1021.
- [75] T. Hanyu et al., Design and evaluation of a multiple-valued arithmetic integrated circuit based on differential logic IEE Proc. Circuits, Devices and Systems 143, 6, (1996), 331-336.
- [76] T. Hanyu, M. Kameyama, A 200 MHz pipelined multiplier using 1.5 V-supply multplevalued MOS current-mode circuits with dual-rail source-coupled logic, IEEE Journal of Solid-State Circuits 30, 11, (1995), 1239-1245.
- [77] T. Itoh et al., 10GHz operation of multiple-valued quantizers using resonant tunneling diodes, IEICE Trans. Inf. & Syst. E82-D, (1999), 949-954.
- [78] T. T. Dao, SEC-DED nonbinary code for fault-tolerant byte-organized memory implemented with quaternary logic, IEEE Transactions on Computers, Volume 30 Issue 9, September 1981, Pages 662-666.
- [79] T. Waho, Resonant tunneling transistor and its application of multiple-valued logic circuits, Proc. 25th Int. Symp. Multiple-Valued Logic, (1995), 130-138.
- [80] Turgay Temel, Avni Morgul, Implementation of Multi-Valued Logic Gates Using Full Current-Mode CMOS Circuits, Analog Integrated Circuits and Signal Processing, May 2004, Volume 39, Issue 2, pp 191–204.
- [81] U. Çini, Alternative arithmetic structures using redundant numbers and multi-valued circuit techniques, Ph.D. Thesis, Bogazici University, 2010.
- [82] W. Aljanabi, M. Albayrak. Design and Implementation 4-Bit Quaternary MVL Arithmetic and Logic Unit. // Technical Gazette 25, Suppl. 2(2018), 330-338 <https://doi.org/10.17559/TV-20170210143503>.
- [83] W.-S. Chu, W. Current, Current-mode CMOS quaternary multiplier circuit, Electronics Letters 31, 4, (1995), 267-268.
- [84] Xuanchang Zhou ; Guoqiang Hang, Design of ternary D flip-flop using one latch with neuron-MOS literal circuit, 2013 Ninth International Conference on Natural Computation (ICNC), Year: 2013, Page s: 272 - 276

- [85] Z. G. Vranesic, E. S. Lee, and K. C. Smith. A many-valued algebra for switching systems. *IEEE Trans. Computer.*, vol. 19, pp. 964–971, 1970, doi:10.1109/T-C.1970.222803.
- [86] Zhang, P. *Advanced Industrial Control Technology*. William Andrew is an imprint of Elsevier, ISBN 13: 978-1-4377-7807-6, 2010.



ÖZGEÇMİŞ

Kişisel Bilgiler:

Adı ve Soyadı : Wissam Mohsin Ali ALJANABI
Doğum Yeri : Bağdat / Irak
Doğum Tarihi : 24 / 07 /1982
Medeni Hali : Evli
e-Posta : wissam_28@yahoo.com

Eğitim Durumu:

Lise : 2001, Al-Mahmudiyah Lisesi
Lisans : 2005, Bağdat Teknoloji Üniversitesi. Bilgisayar ve Haberleşme
Mühendisliği Bölümü
Yüksek Lisans : 2013, Volodymyr Dahl Ulusal Üniversitesi / Ukrayna. Haberleşme
Mühendisliği Bölümü

Bilimsel Yayınlar ve Çalışmalar:

SCI, SSCI ve AHCI tarafından taranan dergilerde yayımlanan teknik not, editöre mektup, tartışma, vaka takdimi ve özet türünden yayınlar dışındaki makale

1. Wissam Aljanabi, Mehmet Albayrak. “Design and Implementation 4-Bit Quaternary MVL Arithmetic and Logic Unit”, Technical Gazette 25, Suppl. 2(2018), 330-338, <https://doi.org/10.17559/TV-20170210143503>.