



**EVİRİCİ TABANLI MİKROŞEBEKELER İÇİN GENELLEŞTİRİLMİŞ
KARARLILIK ANALİZİ**

Bülent DAĞ

**DOKTORA TEZİ
ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

EKİM 2015

Bülent DAĞ tarafından hazırlanan “EVİRİCİ TABANLI MİKROŞEBEKELER İÇİN GENELLEŞTİRİLMİŞ KARARLILIK ANALİZİ” adlı tez çalışması aşağıdaki jüri tarafından OY BİRLİĞİ ile Gazi Üniversitesi Elektrik Elektronik Mühendisliği Anabilim Dalında DOKTORA TEZİ olarak kabul edilmiştir.

Danışman: Doç. Dr. M. Timur AYDEMİR

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum

.....

Başkan : Prof. Dr. Sezai DİNÇER

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gazi Üniversitesi (Emekli)

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum

.....

Üye : Prof. Dr. Işık ÇADIRCI

Elektrik Elektronik Mühendisliği Anabilim Dalı, Hacettepe Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum

.....

Üye : Prof. Dr. İlhami ÇOLAK

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gelişim Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum

.....

Üye : Prof. Dr. İres İSKENDER

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum

.....

Tez Savunma Tarihi: 03 / 10 / 2015

Jüri tarafından kabul edilen bu tezin Doktora Tezi olması için gerekli şartları yerine getirdiğini onaylıyorum.

.....

Prof. Dr. Şeref SAĞIROĞLU

Fen Bilimleri Enstitüsü Müdürü

ETİK BEYAN

Gazi Üniversitesi Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Bülent Dağ

14 / 10 / 2015

EVİRİCİ TABANLI MİKROŞEBEKELER İÇİN GENELLEŞTİRİLMİŞ KARARLILIK ANALİZİ

(Doktora Tezi)

Bülent DAĞ

GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Ekim 2015

ÖZET

Mikroşebeke çok sayıda yenilenebilir enerji kaynağı içeren dağıtık üretim şebekelerine kontrol ve koruma esnekliği sağlaması bakımından geleceğin akıllı ağlar konsepti içerisinde umut verici bir elektrik şebeke uygulamasıdır. Üretim, depolama ve tüketim birimlerinden oluşan bir mikroşebeke ana şebeke bağlantılı çalışmanın yanında ada modu çalışabilme yeteneğine sahip kontrol edilebilir tek bir ünite gibi davranabilmelidir. Bu bakımdan, ada modu mikroşebekelerin kararlılık açısından incelenmesi gereken en kritik operasyonlarından birisi olarak belirmektedir. Literatürde bulunan düşüm kontrollü eviricilerden oluşan mikroşebekeler için geliştirilmiş olan kararlılık analizi yöntemlerinin tamamı şebeke topolojisine bağımlıdır. Bu durum şebeke büyüdükçe analizin zahmetli bir işlem olmasına sebep olmaktadır. Diğer yandan, küçük-sinyal anlamında gerçekleştirilen kararlılık analizi yöntemleri ek girdi parametreleri olarak durum değişkenlerinin denge noktası değerlerinin bilinmesini gerektirmektedir. Mevcut yöntemlerde, ortaya çıkan denge noktalarının belirlenmesinde ayrıca gerçekleştirilmesi gereken ön analizlere ihtiyaç olup bu durum özellikle mikroşebekelerin parametrik kararlılık profilini elde etmede analizin daha da zorlu bir işleme dönüşmesine sebep olmaktadır. Bu çalışmada, öncelikle her mikroşebeke topolojisinin kolayca dönüştürülebileceği sadeleştirilmiş genel bir mikroşebeke topolojisi geliştirilmiştir. Daha sonra, bu genel mikroşebeke topolojisi esas alınarak önceden denge noktası belirlenmesi gerektirmeyen bir kararlılık analizi yöntemi geliştirilmiştir. Basit ve kullanımı kolay bir yöntem olmasından dolayı geliştirilen yöntem mikroşebekelerin parametrik kararlılık profili analizlerinde ve herhangi büyüklükteki bir mikroşebekenin kararlılık durumunu belirlemede etkin bir şekilde kullanılabilir. Geliştirilen kararlılık analizi yöntemi benzetimler ile ve benzetim modeli deneysel sonuçlarla doğrulanmıştır. Ayrıca, analiz yöntemi kullanılarak literatürde bulunmayan yeni parametrik kararlılık profilleri elde edilmiştir.

Bilim Kodu : 905.1.033
Anahtar Kelimeler : Mikroşebeke, dağıtık üretim, evirici, düşüm kontrolü, kararlılık
Sayfa Adedi : 116
Danışman : Doç. Dr. M. Timur AYDEMİR

GENERALIZED STABILITY ANALYSIS FOR INVERTER BASED MICROGRIDS

(Ph. D. Thesis)

Bülent DAĞ

GAZİ UNIVERSITY

GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

October 2015

ABSTRACT

Microgrid is a promising electrical network application in the future smart grids concept in terms of the control and protection flexibility they provide to distributed generation networks consisting of many renewable energy sources. A microgrid, composed of generation, storage and consumption units, should behave as a controllable single unit with the ability of island mode of operation in addition to the main grid connected operation. In this respect, island mode appears to be one of the most critical operations of microgrids that needs to be examined in terms of stability. The stability analysis methods that have been developed for microgrids composed of droop controlled inverters available in the literature are all network topology dependent. This makes the analysis a demanding procedure as the microgrid enlarges. On the other hand, stability analysis methods, which are performed in small-signal sense, require equilibrium point values of state variables to be known as additional input parameters. In existing methods, in determination of emerging equilibrium points prerequisite analysis that need to be performed separately are required and this makes the analysis a further challenging procedure especially in obtaining parametric stability profile of microgrids. In this study, first of all a simplified common microgrid topology has been developed to which every microgrid topology can easily be converted. Afterwards, based on this common microgrid topology a stability analysis method has been developed which does not require prerequisite equilibrium point determination. Being simple and easy to handle the developed method can be used effectively to analyze stability profile of microgrids and determine stability condition of a microgrid with any size. The developed stability method has been validated with simulations and simulation model with experimental results. In addition, novel parametric stability profiles that are not available in the literature have been obtained by using the analysis method.

Science Code : 905.1.033

Key Words : Microgrid, distributed generation, inverter, droop control, stability

Page Number : 116

Supervisor : Assoc. Prof. M. Timur Aydemir

TEŞEKKÜR

Bu çalışmanın ortaya çıkmasında katkısı geçen herkese teşekkür ederim. Değerli hocam Doç. Dr. M. Timur Aydemir'e çalışma boyunca duyduğu güvenden ve sağladığı destekten dolayı teşekkürü borç bilirim. Ayrıca bana her zaman destek olan aileme, sevgili eşime ve varlıklarıyla hayatıma renk ve anlam katan canım kızıma ve oğluma çok teşekkür ederim.

İÇİNDEKİLER

	Sayfa
ÖZET	iv
ABSTRACT.....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ.....	x
ŞEKİLLERİN LİSTESİ.....	xi
RESİMLERİN LİSTESİ	xiv
SİMGELER VE KISALTMALAR.....	xv
1. GİRİŞ.....	1
2. MİKROŞEBEKE KONSEPTİ.....	5
2.1. Dağıtık Üreteç Modeli	7
2.2. Dağıtık Üreteç Evirici Kontrol Teknikleri.....	8
2.2.1. Düşüm tabanlı gerilim kontrolü	8
2.2.2. Şebeke modu için düşüm tabanlı gerilim kontrolü.....	21
2.2.3. Belirsiz güçlü akım kontrolü	22
2.3. Modüler Hibrid Mikroşebeke Mimarisi Önerisi.....	25
2.3.1. Aktif güç paylaşımı.....	27
2.3.2. Reaktif güç paylaşımı	28
2.4. Mikroşebeke Benzetim Çalışmaları.....	29
3. MİKROŞEBEKE KARARLILIK ANALİZLERİ	35
3.1. Belirsiz Güçlü Eviricilerin Güç Dinamikleri	37
3.2. Düşüm Kontrollü Eviricilerin Güç Dinamikleri.....	38
3.2.1. Yük ve bağlantı empedansı güç dinamikleri	41

	Sayfa
3.3. Birleştirilmiş Mikroşebeke Dinamik Modeli.....	42
3.4. Mikroşebeke Kararlılık Analizi Sonuçları.....	45
3.5. Mikroşebekelerin Parametrik Kararlılık Profili.....	56
4. DENEYSEL UYGULAMA DÜZENİĞİ.....	59
4.1. Sinyal Düzenleme.....	59
4.1.1. Akım ve gerilim algılayıcılar.....	59
4.1.2. Örtüşme önler filtre.....	61
4.1.3. Seviye değiştirici	63
4.2. Kontrol Kartı.....	64
4.2.1. ASÇ modülü.....	65
4.2.2. DGM modülü	68
4.3. Evirici ve Sürücü Kartı	74
4.4. Evirici Çıkış Filtresi ve Bağlantı Empedansları	74
4.5. Evirici Modelinin Doğruluğunun Deneylerle Kanıtlanması.....	75
5. SONUÇ VE ÖNERİLER.....	81
KAYNAKLAR	85
EKLER.....	91
EK-1. Sabit parametrelili üç eviricili mikroşebeke analizi için Matlab m-file algoritması	92
EK-2. İki eviricili mikroşebekenin parametrik kararlılık analizi için Matlab m-file algoritması.....	94
EK-3. N-tane eviricili mikroşebekenin kararlılık analizi için Matlab m-file algoritması.....	97
EK-4. Akım algılayıcısı veri sayfaları	99
EK-5. Gerilim algılayıcısı veri sayfaları	101
EK-6. PM50CL1A120 AGM veri sayfaları.....	103
EK-7. Bağlantı bobini çekirdeği veri sayfası	112

	Sayfa
EK-8. Filtre bobini çekirdeği veri sayfası.....	113
EK-9. Filtre kondansatörü veri sayfası.....	114
ÖZGEÇMİŞ	115

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 2.1. Mikroşebeke evirici ve şebeke parametreleri	30
Çizelge 3.1. Evirici parametreleri	46
Çizelge 4.1. Deney düzeneği parametreleri	76

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. Örnek mikroşebeke yapısı	5
Şekil 2.2. Genelleştirilmiş dağıtık üreteç modeli	8
Şekil 2.3. Düşüm tabanlı gerilim referans kontrolü	9
Şekil 2.4. Üç faz gerilim kaynağı evirici devre topolojisi	10
Şekil 2.5. Eviricinin S1 anahtarı için TT-SDGM tabanlı anahtarlama örneği	10
Şekil 2.6. Örnekle ve Tut işlemi	11
Şekil 2.7. Akım kontrol blok şeması	13
Şekil 2.8. Kapalı döngü akım kontrol şeması	15
Şekil 2.9. Sadeleştirilmiş kapalı döngü akım kontrol şeması	15
Şekil 2.10. Gerilim kontrol blok şeması	17
Şekil 2.11. Kapalı döngü gerilim kontrol şeması	17
Şekil 2.12. Sadeleştirilmiş kapalı döngü gerilim kontrol şeması	18
Şekil 2.13. Basitleştirilmiş kapalı döngü gerilim kontrol şeması	18
Şekil 2.14. Gerilim kontrol döngüsü çıkış empedansının Bode eğrileri	19
Şekil 2.15. Düşüm tabanlı güç kontrol şeması	20
Şekil 2.16. Belirsiz güçlü akım kontrol blok şeması	23
Şekil 2.17. Aktif güç kontrolcüsü	24
Şekil 2.18. Sadeleştirilmiş aktif güç kontrol döngüsü	24
Şekil 2.19. Önerilen mikroşebeke mimarisi	26
Şekil 2.20. Test mikroşebeke modeli	29
Şekil 2.21. Güç paylaşımı benzetim sonuçları	31
Şekil 2.22. 3 kW yük artışına düşüm kontrollü eviricilerin aktif güç cevabı (asimetrik bağlantı empedansı durumu)	32

Şekil	Sayfa
Şekil 2.23. 3 kW FV evirici gücü azalmasına düşüm kontrollü eviricilerin aktif güç cevabı (asimetrik bağlantı empedansı durumu)	32
Şekil 3.1. Mikroşebeke sistemi	36
Şekil 3.2. Sadeleştirilmiş genel mikroşebeke modeli	37
Şekil 3.3. Test mikroşebeke modeli	46
Şekil 3.4. Durum 1 için DÜ eviricilerinin frekans değişimleri	48
Şekil 3.5. DÜ eviricilerinin ve Yük-1 gerilimlerinin a-fazı için benzetim sonuçları	49
Şekil 3.6. DÜ1 eviricisinin analiz (Analiz-D gerilim faz açılarının denge noktası değerleri kullanılarak elde edilmiştir) ve benzetim sonuçları	49
Şekil 3.7. Durum 1 için reaktif yüklenmede DÜ1 frekans eğrileri	50
Şekil 3.8. Durum 1 için reaktif güç eğrileri (benzetim)	51
Şekil 3.9. Durum 1 için reaktif yüklenmede DÜ1 frekans eğrileri ($H=0,75$)	51
Şekil 3.10. Durum 2 için DÜ eviricilerinin frekans değişimleri	52
Şekil 3.11. Durum 2 için reaktif yüklenmede DÜ1 frekans eğrileri	53
Şekil 3.12. Durum 2 için reaktif güç eğrileri	53
Şekil 3.13. Durum 2 için reaktif yüklenmede DÜ1 frekans eğrileri ($H=0,75$)	54
Şekil 3.14. Durum 3 için DÜ eviricilerinin frekans değişimleri	55
Şekil 3.15. Durum 3 için DÜ eviricilerinin aktif-reaktif güç değişimleri	55
Şekil 3.16. Aktif güç - frekans düşüm katsayısına göre sistem köklerinin değişimi	57
Şekil 3.17. Bağlantı empedansı genliğine göre sistem köklerinin değişimi	57
Şekil 3.18. Bağlantı empedansı faz açısına göre sistem köklerinin değişimi	58
Şekil 3.19. Mikroşebeke gerilim seviyesine göre sistem köklerinin değişimi	58
Şekil 4.1. Deneysel evirici blok şeması	59
Şekil 4.2. LA 25-NP akım algılayıcısı devre şeması	60
Şekil 4.3. LV-25P gerilim algılayıcısı devre şeması	61

Şekil	Sayfa
Şekil 4.4. Örtüşme problemini gösteren örnekleme.....	62
Şekil 4.5. İkinci dereceden birim kazançlı Sallen Key alçak geçiş filtresi	62
Şekil 4.6. Seviye değiştirici devre.....	64
Şekil 4.7. F28335 ASÇ modülünün blok şeması	67
Şekil 4.8. x.DGM modülünün A kanalı için DGM dalga şekli örneği	69
Şekil 4.9. DGM alt modülleri ve modül içi kritik sinyal bağlantıları	70
Şekil 4.10. Olası ölü-bant dalga şekilleri	73
Şekil 4.11. Deney düzeneği devre şeması.....	76
Şekil 4.12. DÜ2 eviricisinin aktif güç değişimi deney ve benzetim sonuçları	78
Şekil 4.13. DÜ1 ve DÜ2 eviricileri için kararlı durum akım eğrileri deney sonuçları...	78
Şekil 4.14. DÜ1 ve DÜ2 eviricileri için kararlı durum gerilim eğrileri deney sonuçları	79

RESİMLERİN LİSTESİ

Resim	Sayfa
Resim 4.1. Deney düzeneği	77

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler

Açıklamalar

A	Amper
dB	Desibel
der	derece
F	Farad
H	Henry
Hz	Hertz
P	Aktif güç
Q	Reaktif güç
rad	radyan
s	saniye
V	Volt

Kısaltmalar

Açıklamalar

AA	Alternatif Akım
AG	Alçak Gerilim
AGF	Alçak Geçiş Filtresi
AGM	Akıllı Güç Modülü
AS	Akıllı Sayaç
ASÇ	Analog- Sayısal Çevirici
AÜ	Ana Ünite
ÇB	Çevirimi Başlat
DA	Doğru Akım
DGM	Darbe Genişliği Modülasyonu
DÜ	Dağıtık Üreteç
DYS	Dağıtım Yönetim Sistemi

Kısaltmalar**Açıklamalar****EKD**

Evre Kenetleme Döngüsü

FV

Fotovoltayik

KY

Kritik Yük

MD

Mikroşebeke Denetleyicisi

MİB

Merkezi İşlem Birimi

MK

Mikro-kaynak Kontrolcüsü

OG

Orta Gerilim

Ö/T

Örnekle-Tut

SAÇ

Sayısal-Analog Çevirici

SDT

Sıfır Dereceli Tutma

SSİ

Sayısal Sinyal İşlemcisi

TT-SDGM

Taşıyıcı Tabanlı-Sinüsoidal DGM

YEK

Yenilenebilir Enerji Kaynağı

YK

Yük Kontrolcüsü

YY

Yerleşim Yüğü

1. GİRİŞ

Elektrik enerjisi geleneksel olarak büyük ölçekli santrallerde üretilen elektriğin yüksek gerilim hatlarıyla uzun mesafelerde iletilip orta ve alçak gerilimde kullanıcıya ulaştırılması prensibine dayanmaktadır. Bununla beraber, büyük ölçekli enerji santrallerinin önemli bir kısmında elektrik enerjisi üretiminde fosil tabanlı yakıtlar kullanılmaktadır. Ancak kilometrelerce uzunluktaki iletim hatlarındaki kayıplar verimliliği düşürmekte, fosil yakıtların atıkları olarak ortaya çıkan karbonmonoksit gazları çevre kirliliğini önemli ölçüde artırmaktadır. Yüksek kurulum, bakım-onarım ve işletim maliyetleri ve düşük güvenilirlikli yapısı geleneksel elektrik şebekelerinin diğer dezavantajları arasındadır.

Küçük ölçekli üretim sistemlerinin ortaya çıkması ve yaygınlaşmaya başlamasıyla beraber elektrik enerjisi kullanıcıları için yerinde enerji üretimi fırsatları doğmuş olup bu kapsamda dağıtık üretim şebekeleri konsepti belirlemeye başlamıştır. Geleneksel şebeke yapısına alternatif olarak ele alındığında dağıtık üretim yapısının yukarıda bahsedilen problemleri çözdüğü görülmektedir. Dağıtık üretim birimleri kullanıcıya yakın konumlandırıldığından iletim kayıpları çok düşük seviyelerde olacaktır. Artan verimlilik yanında rüzgar, fotovoltaik ve yakıt pili gibi yenilenebilir kaynakların kullanımıyla beraber karbonmonoksit gaz salınımı asgari düzeyde olacaktır. Dağıtık üreteçlerin düşük işletim maliyetleri ve dağıtık üretim şebekelerinin yüksek güvenilirlikleri de dağıtık üretimin diğer avantajları arasındadır. Ancak, dağıtık üretim birimlerinin geleneksel şebekelere bağlantı miktarında teknik olarak sınırlamalar vardır. Bu sınırlamaların sebeplerinden birisi dağıtık üretimle beraber şebekede oluşan çift yönlü güç akışlarının geleneksel şebekelerdeki tek yönlü güç akışına dayalı koruma koordinasyonunu geçersiz kılmasıdır. Diğer bir sebebi ise rüzgar ve fotovoltaik gibi yenilenebilir enerji kaynaklarının hava koşullarına bağlı olarak kontrol edilemeyen süresiz ve düzensiz üretim karakteristikleridir. Her iki sorunun çözümüyle ilgili olarak bilgi ve haberleşme teknolojilerinin kullanımına dayanan akıllı şebekeler konsepti altında araştırmalar ve çalışmalar devam etmektedir. Ancak, bölgesel açıdan ele alındığında çok sayıda dağıtık üretim birimlerinin tek-tek gözlem ve denetimi için gerekecek haberleşme altyapısının ve büyük miktarlardaki verinin yönetiminin sıkıntı yaratacağı açıktır. Bu noktada mikroşebeke konsepti umut verici alternatif bir şebeke uygulaması olarak ortaya çıkmaktadır. Mikroşebeke, çok sayıda küçük ölçekli üretim, depolama ve tüketim birimlerinden oluşan, ana şebekeden bağımsız (otonom) çalışma

özelliğine sahip, ana şebekeye bağlandığında ise mikroşebeke denetleyicisi sayesinde tek bir ünite gibi davranabilen özel bir dağıtık üretim şebekesi uygulamasıdır. Mikroşebekenin sahip olduğu şebeke denetleyicisi sayesinde barındırdığı dağıtık üretim birimleriyle beraber tüm şebeke kontrol hiyerarşisi içerisinde denetlenebilir tek bir ünite gibi davranabilmesi akıllı şebeke uygulamalarının gerektirdiği geniş kapsamlı veri yönetimini rahatlatacaktır. Bununla beraber otonom (ada modu) çalışma özelliği şebekenin kesintisiz hizmet kalitesini ve güvenilirliğini artırması bakımından mikroşebekelerin en önemli özelliklerinden birisidir ve bu bakımdan önemle ele alınmaktadır. Bu noktada özellikle belirtilmesi gereken husus, bir çok dağıtık üretim biriminin ya kullandığı enerji tipinin doğası gereği (DA üreten fotovoltayik, yakıt pili veya değişken hızlı rüzgar türbinleri, yüksek hızlı mikrotürbinler gibi) ya da kontrol esnekliği sağlaması bakımından tercihen şebekeye güç elektroniği çeviricileriyle bağlanıyor olmalarıdır. AA şebekeleri söz konusu olduğunda her dağıtık üretim biriminin DA-AA evirici arayüzüyle şebekeye bağlandığı varsayımı doğru bir yaklaşım olacaktır. Bu bakımdan ele alındığında mikroşebekelerin ana şebekeden ayrı otonom çalışabilirliği eviricilerin paralel çalışması konusunu gündeme getirmektedir.

Mikroşebekelerin ada moduna yönelik evirici kontrolünde haberleşmeli ve haberleşmesiz olmak üzere iki ana yaklaşım bulunmaktadır. Haberleşmeli yöntemde eviricilerden birtanesi ana (master) ünite olarak atanır ve şebekenin gerilim genliğini ve frekansını belirleme görevini üstlenir. Şebekenin diğer üniteleri şebeke ile kendilerini eşzamanlayacak şekilde uydu (slave) modunda kontrol edilirler ve çıkış güçleri şebekeyi gözlemleyen bir gözcü (supervisory) denetleyici tarafından üretim-tüketim dengesi ve ünitelerin güç kapasiteleri dikkate alınarak belirlenir. Bu yöntem haberleşme sistemine bağımlılığından ve şebekede sadece bir adet ana ünite bulunmasından dolayı güvenilir bulunmamaktadır. Haberleşmeli yöntem genellikle az sayıda üreteçten oluşan ve küçük çaplı yükleri besleyen kritik olmayan uygulamalar için tercih edilebilmektedir. Diğer yandan, mikroşebekelerde haberleşmesiz evirici kontrolü geleneksel şebekelerde de uygulanmakta olan düşüm kontrolü prensibine dayanmaktadır. Düşüm kontrolü sayesinde birden çok eviricinin paralel çalıştırılması mümkün olabilmekle beraber düşüm katsayıları sayesinde herhangi bir haberleşme ağı gerekmeden eviriciler arasında güç paylaşımı sağlanabilmektedir. Bu bakımdan son yıllarda düşüm kontrollü eviricilerin paralel çalıştırılması üzerine birçok araştırma yapılmaktadır.

Her yeni sistem gibi mikroşebekelerin de yaygın olarak uygulamaya geçmesinden önce belirli çalışma koşullarını karşılayabilmesi açısından incelenmesi ve bu incelemeler sonucunda ortaya çıkan gereksinimleri karşılamaya yönelik tasarım araçlarına sahip olması gerekmektedir. Bir elektrik şebeke sistemi olarak ele alındığında, mikroşebekelerin normal çalışma koşullarındaki kararlılığı (küçük-sinyal kararlılığı) incelenmesi gereken konuların başındadır. Literatürde bu konu ile ilgili sınırlı sayıda çalışma vardır. Mevcut analiz yöntemleri incelendiğinde, geliştirilen yöntemlerin bu tür şebeke analiz araçlarında bulunması gereken genelliği, uygulama kolaylığını ve analiz esnekliğini barındırmadıkları gözlenmektedir. Literatürdeki çalışmalarda sınırlı sayıda evirici içeren mikroşebekeler incelenebilmiş olup geliştirilen analiz yöntemleri uygulandıkları mikroşebeke topolojisine bağlıdır. Şebeke topolojisi değiştiğinde önerilen analiz yöntemlerinin en başından itibaren yeni topolojiye yeniden uyarlanması gerekmektedir. Ayrıca elektrik şebekelerinin non-lineer yapısından dolayı mikroşebekeler küçük sinyal modunda incelendiğinden durum değişkenlerinin denge noktası değerlerinin ayrıca ek analizlerle belirlenip kararlılık analizine girdi olarak sağlanmaları gerekmektedir. Mevcut kararlılık analizi yaklaşımlarının bahsedilen bu gereksinimleri mikroşebeke büyüdükçe ve topolojisi değiştikçe analizlerin uygulama ve hesaplama açısından oldukça zahmetli bir hal almasına sebep olmaktadır.

Tezin Özgün Katkısı

Bu çalışmada her şebeke topolojisine uygulanabilen genelleştirilmiş bir mikroşebeke kararlılık analizi yöntemi geliştirilmiştir. Bununla beraber, geliştirilen yöntemde matematiksel bir çıkarımla denge noktaları için ek analizler gerektiren durum değişkenleri modelden düşürülerek analiz modeli sadece denge noktası değerleri belirli olan durum değişkenleri cinsinden elde edilmiştir. Bu kapsamda, ilk olarak her mikroşebeke topolojisinin kolayca dönüştürülebileceği sadeleştirilmiş genel bir mikroşebeke modeli önerilmiştir. Daha sonra sadeleştirilmiş genel mikroşebeke modeli baz alınarak genelleştirilmiş bir mikroşebeke kararlılık analizi yöntemi geliştirilmiştir. Küçük-sinyal yaklaşımı ile geliştirilen yöntemde durum değişkenlerinin denge noktası değerleri şebekenin ünitesel bazda yüklenme, şebeke çalışma gerilimi ve ilgili evirici parametreleri gibi önceden kolayca belirlenebilecek değerleri cinsinden hesaplanabildiğinden mikroşebekenin kararlılık analizi için herhangi bir fazladan ek analiz çalışmasına gerek kalmamaktadır. Geliştirilen yöntem uygulama esnekliğinden dolayı mikroşebekelerin geniş çaplı parametrik kararlılık

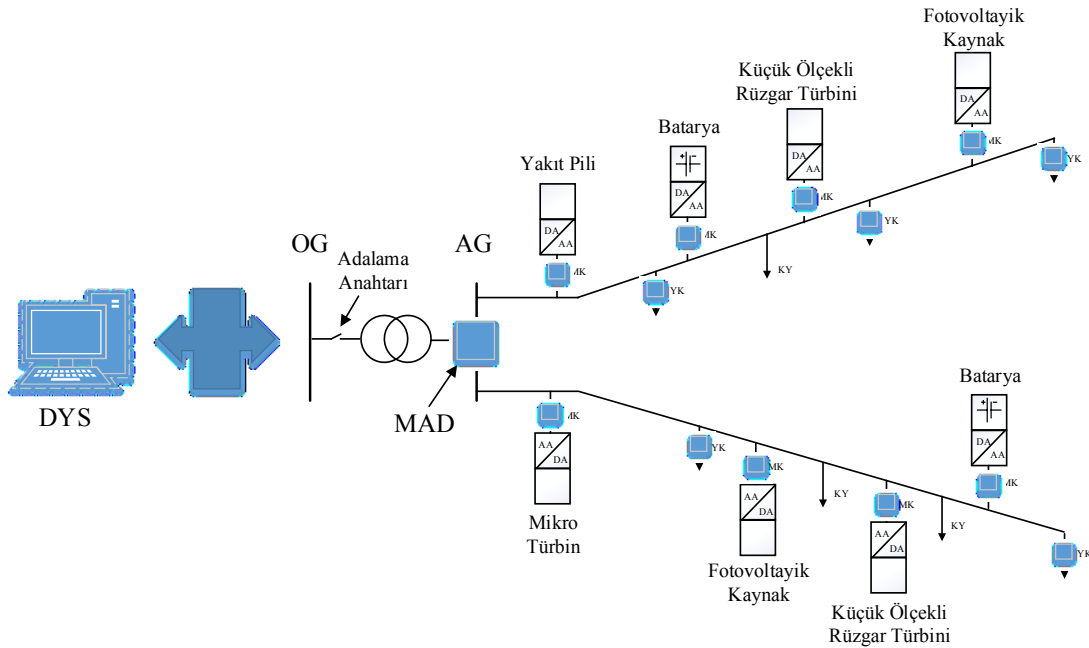
analizlerine imkan vermiş olup şebekedeki evirici sayısından ve şebeke topolojisinden bağımsız olarak geliştirilmiş bir yöntem olduğu için büyük çaplı mikroşebekelerin analizlerinde de kolaylıkla kullanılabilir.

Tezin 2. Bölümü'nde mikroşebeke konsepti genel olarak incelendikten sonra mikroşebekelerde kullanılan dağıtık üreteç modellerinden ve evirici kontrol tekniklerinden bahsedilmiştir. 3. Bölüm'de geliştirilen kararlılık analizi yöntemi detaylıca anlatılmıştır ve bir test mikroşebekesine uygulanan analiz yönteminin sonuçları benzetim sonuçlarıyla karşılaştırılarak yöntemin doğrulanması yapılmıştır. Bu bölümde ayrıca geliştirilen analiz yöntemi kullanılarak mikroşebekelerin kararlılık profili parametresel bazda incelenmiştir. 4. Bölüm'de çalışma kapsamında uygulanan deneysel düzenek detaylıca açıklandıktan sonra benzetimlerde kullanılan evirici modelinin deneysel olarak doğrulanması yapılmıştır. 5. Bölüm'de ise genel bir değerlendirmenin yapıldığı sonuçlar ve öneriler bulunmaktadır.

2. MİKROŞEBEKE KONSEPTİ

Dağıtık üretim birimlerinden, enerji depolama birimlerinden ve kullanıcı yüklerinden oluşan, hem şebekeye bağlı hem de şebekeden bağımsız ada modunda çalışabilme özelliği bulunan alçak gerilim dağıtık üretim şebekelerine mikroşebeke adı verilmektedir [1]. Şekil 2.1’de örnek bir mikroşebeke yapısı görülmektedir. Mikroşebekenin ana şebeke ile bağlantısı tek noktadan adalama anahtarı ile gerçekleştirilir. Mikroşebeke şebeke modunda iken mikroşebeke içerisindeki Dağıtık Üreteç (DÜ)’ler uydu modunda hiyerarşik veya dağıtık gözcü denetleme algoritmaları ile yüklenirler [2, 3]. Bu kapsamda DÜ’ler arasında ekonomik olarak optimum yük dağılımını sağlamaya yönelik enerji yönetim stratejileri akıllı şebekeler kapsamında incelenen konulardandır [4-6].

Mikroşebekenin ada moduna geçişi güvenlik açısından AG dağıtım trafosunun yüksek gerilim tarafına yerleştirilen adalama anahtarının açılması ile gerçekleştirilir. Bu sayede dağıtım trafosunun mikroşebeke içerisinde kalması sağlanarak DÜ’lerin lokal olarak topraklanmasına gerek kalmadan trafonun nötr – toprak hattı üzerinden mikroşebekenin topraklanması sağlanmış olur [7]. Mikroşebekenin ada modu operasyonu elektrik kesintisi (blackout) durumu veya elektrik şebekesinin bulunmadığı kırsal yerleşim bölgeleri uygulamalarında enerji sürekliliği açısından önemli avantaj sağlar. Bu kapsamda,



Şekil 2.1. Örnek mikroşebeke yapısı

mikroşebekenin ada modu kararlılığı, üretim tüketim dengesinin korunması, kritik yüklerin sürekli beslenmesi gibi konular ön plana çıkmaktadır. Özellikle yenilenebilir kaynakların süreksiz ve düzensiz enerji üretimi karakteristiklerinden ve eğirme rezervi (spinning reserve) eksikliklerinden dolayı üretim – tüketim dengesinin sağlanması bakımından mikroşebeke içerisinde batarya gibi enerji depolama birimlerinin bulundurulması önemlidir. Bu kapsamda, depolama birimlerinin ve yenilenebilir kaynakların hem şebeke modunda hem de ada modunda koordinasyonu literatürde göze çarpan araştırma konularından bir diğeridir [8-11]. Ayrıca geleceğin akıllı şebeke konsepti içerisinde elektrikli araçların yaygın kullanımı ile bu araçların bataryalarının enerji depolamada kullanılabilmesi de gündemdedir [12]. Ancak bu durumda elektrikli araçların kendilerine özgü yük karakteristiklerinden dolayı şebekeye olası etkilerinin incelenmesi ve şarj koordinasyonuna tabi tutulmaları söz konusu olabilmektedir [13]. Üretim tüketim dengesini sağlamanın bir diğer yolu ise yük atma (load shedding) uygulamasıdır [14]. Ancak Şekil 2.1’de görüldüğü gibi kritik yüklerin belirlenip özellikle ada modunda sürekli enerjilendirilebilmeleri doğrultusunda mikroşebeke stratejilerinin geliştirilmesi gerekmektedir. İlerleyen kısımlarda bu amaca yönelik bir mikroşebeke mimarisi önerisi de sunulacaktır.

Yukardaki açıklamalar ışığında genel olarak ele alındığında mikroşebekelerden beklenen en önemli operasyonel işlevler; uygun yönetsel kontrol teknikleriyle şebeke içerisinde denetlenebilir tek bir ünite gibi davranabilmeleri ve gerektiğinde isteğe bağlı veya zorunlu olarak kritik yüklere giden enerji akışını aksatmadan şebekeden ayrı ada modunda çalışabilmeleridir. Bu gereksinimler dikkate alındığında mikroşebekelerden beklenen ana operasyonel isterler aşağıdaki gibi sıralanabilir;

- Dağıtım Yönetim Sistemi (DYS)’nden talep edilen aktif (P) ve reaktif (Q) gücün sağlanabildiği şebeke modunda çalışabilme.
- Kritik yüklerin (KY) sürekli olarak beslenebildiği ada modunda kararlı çalışabilme.
- Her iki mod arasında yumuşak geçiş yapabilme.
- Geçici durum güç ihtiyacını karşılayabilmek için yeterli miktarda enerji depolama birimini bünyesinde barındırma.
- Zorunlu ada durumu tespiti ve ana şebekeye tekrar bağlanabilme.

Diğer yandan yenilenebilir kaynakları da içeren birçok dağıtık üretimin güç elektroniği

çeviriciler ile şebekeye bağlandığı düşünülürse yukarıda sıralanan isterlerin gerçekleştirilmesinde dağıtık üreteç eviricilerinin kontrolünün önemi anlaşılmaktadır. Özellikle mikroşebekelerin ada modu çalışmasında evirici kontrolü kritik önem taşımaktadır. Ada modunda gerilim referansı sağlayacak bir ana şebeke bulunmadığından güvenilirlik açısından enerji sürekliliği olan birden fazla DÜ eviricisinin haberleşmesiz olarak paralel modda çalışarak bu görevi üstlenmeleri gerekmektedir. İleriki kısımlarda detaylı olarak ele alınacak olan düşüm kontrolü bu amaçla DÜ eviricilerine ada modunda yaygın olarak uygulanmaktadır.

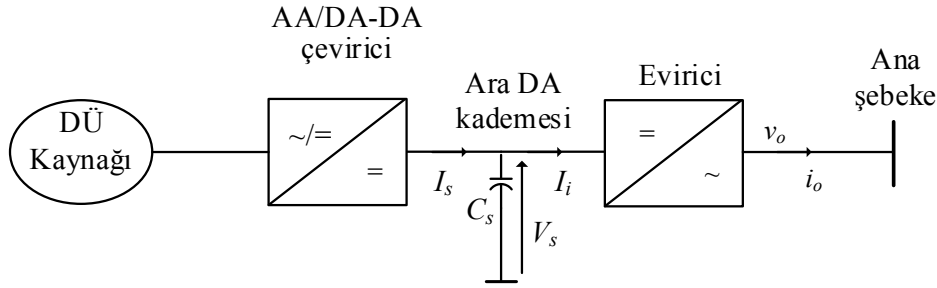
Çalışmanın bundan sonraki bölümlerinde mikroşebekelerin ada modu üzerinde durulacak olup, ana şebeke modu ile bağlantılı konulara yeri geldiğinde ve sonuç bölümünde değinilecektir. İleriki kısımlarda öncelikle genelleştirilmiş bir dağıtık üreteç modeli verilecektir. Dağıtık üretimde kullanılan kaynakların farklı kontrol yaklaşımları gerektiren kesikli veya sürekli güç üretimi sağlamalarına göre iki ana grup altında sınıflandırılması yapıldıktan sonra bu kaynaklara uygulanan, şebeke moduna ve kaynak tipine göre değişiklik gösteren evirici kontrol teknikleri detaylıca ele alınacaktır. En son olarak da yukarıda belirtilen gereksinimleri karşılayan bir mikroşebeke önerisi verilecektir ve önerilen mikroşebekenin, eviricileri arasındaki yük paylaşımı ve ani üretim ve tüketim değişiklikleri durumundaki cevabı benzetimlerle incelenecektir.

2.1. Dağıtık Üreteç Modeli

Dağıtık üretimde kullanılan bir çok kaynak şebeke entegrasyonu için güç elektroniği arayüzü gerektirmektedir. Şekil 2.2’de mevcut dağıtık üreteç yapıları dikkate alınarak genelleştirilmiş bir dağıtık üreteç modeli görülmektedir [15]. Şebeke arayüzü olarak kullanılan dağıtık üreteç eviricisi ile kaynak tarafı çeviricisi arasında uygulama tipine göre kondansatör veya batarya olabilen bir ara DA kademesi bulunmaktadır. Ara DA kademesi evirici ve çevirici arasında filtreleme ve dinamiksel izolasyon da sağlamaktadır. Bu bakımdan evirici tabanlı dağıtık üretim sistemlerinde şebekenin dinamik analizi yapılırken DÜ’ler, güç kaynağı ve AA-DA veya DA-DA çeviriciden oluşan kaynak tarafı dinamikleri ihmal edilerek sadece evirici dinamikleri ile sisteme dahil edilirler.

Dağıtık üretimde kullanılan güç kaynaklarını belirsiz güçlü ve belirli güçlü kaynaklar olarak iki ana sınıfa ayırmak mümkündür. Yenilenebilir türdeki belirsiz güçlü kaynakların anlık

güç kapasitesi çevre koşullarına bağlı olarak değişiklik gösterir. Bu sebeple bu tip kaynaklar mevcut anlık güçlerinin tamamının şebekeye aktarılabilceği maksimum güç noktasında çalışacak şekilde denetlenirler. Rüzgar ve fotovoltayik tipi kaynaklar bu tür kaynaklara örneklerdir. Belirli güçlü kaynaklar ise anlık güçlerini tasarlandıkları seviyede sürekli sağlayabilen kaynaklardır. Yenilenebilir kaynaklardan yakıt hücresi, jeotermal kaynaklar ve küçük çaplı hidro jeneratörler, yenilenemez türlerden mikrotürbinler, doğalgaz ve dizel jeneratörler bu guruba dahil edilebilirler. İlerleyen kısımlarda belirli ve belirsiz anlık güçlü kaynaklara uygulanan genelleştirilmiş evirici kontrol tekniklerinden detaylıca bahsedilecektir.



Şekil 2.2. Genelleştirilmiş dağıtık üreteç modeli

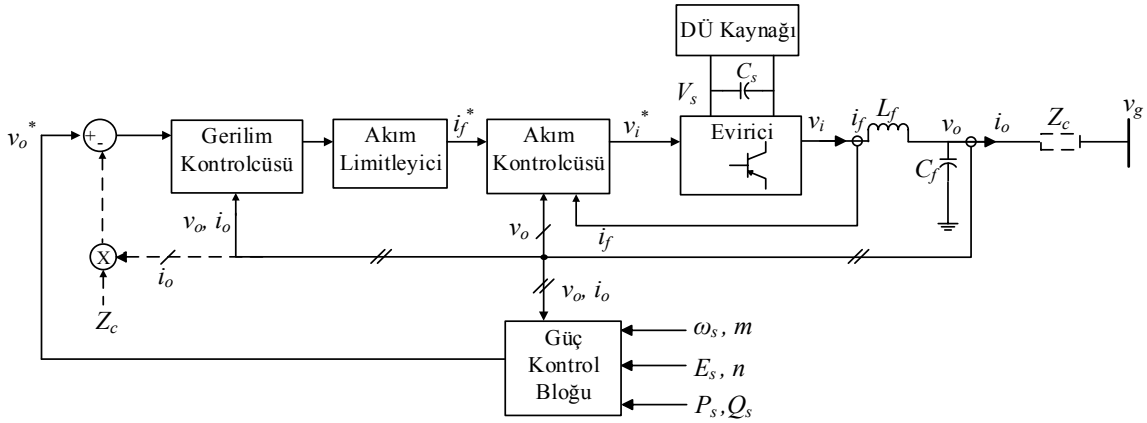
2.2. Dağıtık Üreteç Evirici Kontrol Teknikleri

Dağıtık Üreteç evirici kontrol teknikleriyle ilgili literatürdeki çalışmalar incelendiğinde dağıtık üretimde kullanılan eviriciler için şebekenin durumuna ve eviricinin bağlı olduğu kaynak tipine göre değişebilen birkaç temel kontrol yaklaşımı olduğu görülmüştür. Bu kontrol yaklaşımlarının temel mikroşebeke gereksinimlerini karşılamak üzere ele alınıp, gerekli uyarlamalara tabi tutulması ile ilerleyen kısımlarda detaylıca açıklanan genelleştirilmiş DÜ kontrol yaklaşımları elde edilmiştir.

2.2.1. Düşüm tabanlı gerilim kontrolü

Gerilim kontrolü DÜ eviricilerine bağlı oldukları şebekeye gerilim referansı sağlamaları amacı ile ana şebekenin olmadığı durumlarda uygulanır. Bu bakımdan enerji sürekliliği açısından belirli güçlü DÜ eviricilerine uygulanmaları daha uygundur. Evirici çıkış genliği için sabit genlik ve frekans referans değerlerinin uygulandığı gerilim kontrol algoritmaları

tek ana (single master) kaynaklı uygulamalarda ana kaynak eviricisine uygulanan tipik evirici kontrolü teknikleridir [16-18]. Ancak mikroşebeke gibi çoklu ana kaynaklı uygulamalarda haberleşme gerektirmeyen düşüm tabanlı gerilim kontrol tekniği yaygın olarak kullanılmaktadır [19-29]. Şekil 2.3’de düşüm tabanlı gerilim kontrolünün blok şeması görülmektedir. En içteki akım kontrol döngüsü sisteme daha iyi geçici durum ve kararlı durum performansı sağlamaktadır. Ayrıca akım döngüsü sayesinde evirici akımı sınırlanarak aşırı yüklenme veya kısa devre hatalarına karşı eviricinin korunması sağlanabilmektedir [30]. Eviricinin çıkışı L_f ve C_f den oluşan LC filtreden geçirildikten sonra Z_c bağlantı empedansı ile şebekeye bağlanmıştır. Bağlantı empedansı fiziksel olarak gerçek bir uygulama olabileceği gibi Şekil 2.3’de kesikli çizgilerle gösterilen kontrol uygulaması ile sanal olarak da uygulanabilir [25-29]. Sistem kararlılığında kritik etkileri olan Z_c empedansına 3. Bölüm’de detaylıca değinilecektir. İlerleyen kısımlarda evirici ve her bir kontrol bloğu detaylıca ele alınıp modelleneyecektir.



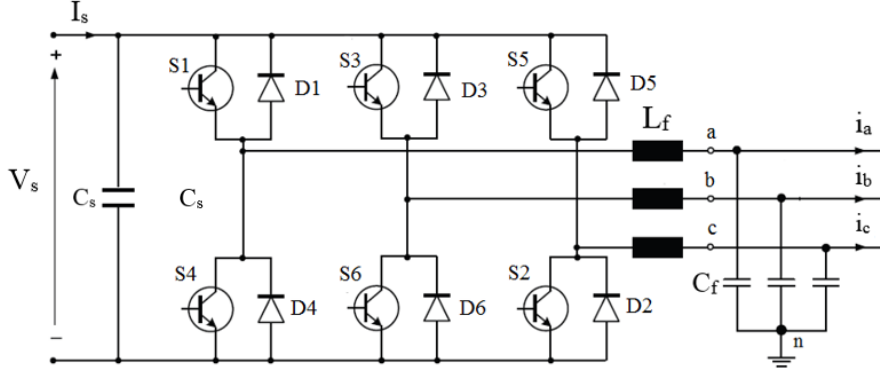
Şekil 2.3. Düşüm tabanlı gerilim referans kontrolü

Evirici

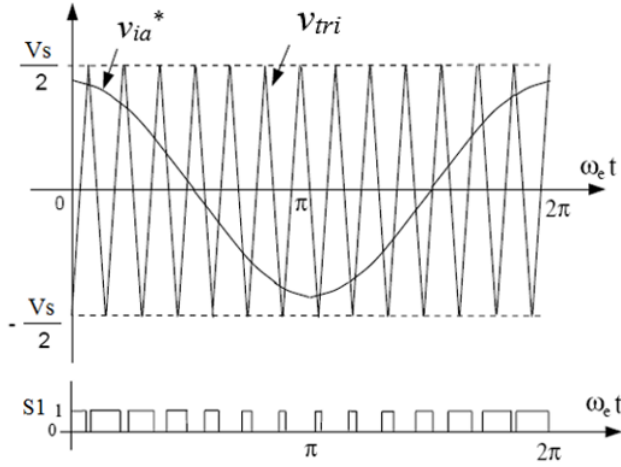
Bu çalışmada 3 faz dengeli mikroşebekelerin kararlılığı incelendiği için evirici topolojisi olarak Şekil 2.4’de görülen 3 bacaklı 3-faz gerilim kaynağı evirici (Voltage Source Inverter) topolojisi kullanılmıştır [15]. Eviricilerin sabit genlikli gerilim kaynağı olarak kullanıldığı uygulamalarda TT-SDGM (Taşıyıcı-Tabanlı Sinüsoidal DGM) anahtarlama tekniği uygulama kolaylığı açısından en uygunudur. Şekil 2.5’de görüldüğü gibi TT-SDGM uygulamasında her fazın sinüs referans sinyali (şekilde sadece a fazı görülmekte) ortak bir üçgen taşıyıcı sinyal (v_{tri}) ile karşılaştırılarak anahtarlama yapılır. Referans sinyalin genliğinin taşıyıcı sinyalin genliğinden küçük olduğu bölgede eviricinin giriş-çıkış

bağlantısı lineerdir ve aşağıdaki eşitlikle ifade edilir [30], [31];

$$v_i = v_i^* \frac{1}{|v_{tri}|} \frac{V_s}{2} \quad (2.1)$$



Şekil 2.4. Üç faz gerilim kaynağı evirici devre topolojisi [15]



Şekil 2.5. Eviricinin S1 anahtarı için TT-SDGM tabanlı anahtarlama örneği

Burada, v_i^* referans gerilim sinyali, v_i eviricinin çıkış geriliminin ana bileşeni, $|v_{tri}|$ taşıyıcı üçgen sinyalin genliği ve V_s eviricinin giriş gerilim seviyesidir. Ancak evirici transfer fonksiyonuna sayısal sistemlerde görülen gecikmelerin de dahil edilmesi gerekmektedir. DGM'nun sayısal uygulamalarında iki tip gecikmeyle karşılaşılır: Hesaplama gecikmesi T_c ve SDT (Sıfır Dereceli Tutma - ZOH) gecikmesi T_z .

Hesaplama gecikmesi

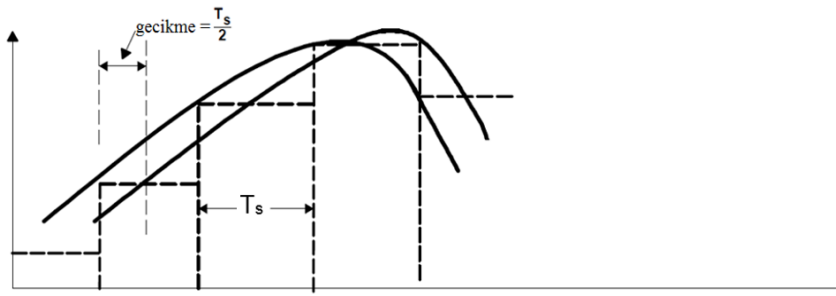
Hesaplama gecikmesi ASÇ (Analog-Sayısal Çevirici) örnekleme başlama anı ile bu örneklerden hesaplanan DGM modülasyon sinyal değerinin (v_i^*) işleme alınması (modülasyon sinyalinin güncellenmesi) anı arasında geçen zamana karşılık gelmektedir. Hesaplama gecikmesine ASÇ çevirim süresi ve kontrol algoritması hesaplama süresi de dahildir. TI28335 uygulamalarında içerisinde bulunulan örnekleme periyodunda hesaplanan modülasyon sinyal değerinin sisteme yüklenme anı için de seçenek sunulmaktadır. Bu çalışmada modülasyon sinyali güncelleme anı olarak bir sonraki ASÇ örnekleme başlama anı seçilmiştir. Bu da evirici giriş-çıkışı arasında bir örnekleme periyodu kadar gecikmeye karşılık gelmektedir. Bu durumda hesaplama gecikmesi örnekleme periyodu, T_s cinsinden $T_c = T_s$ olarak ifade edilir. Bu gecikmenin s alanındaki ifadesi aşağıdaki gibidir [32];

$$T_c = e^{-sT_s}$$

SDT gecikmesi

Güncellenen modülasyon sinyal değeri bir sonraki güncellemeye kadar bu değerde tutulur. Bu işleme sayısal uygulamalarda Sıfır Dereceli Tutma (SDT) adı verilir. Örneklenecek elde edilen ayrık (discrete) bir sinyal SDT yöntemi ile tekrar oluşturulduğunda (Şekil 2.6'daki kesikli sinyal) orjinal sinyal ile arasında yaklaşık olarak bekleme süresinin yarısı kadar gecikme olduğu görülür. Bekleme süresi bir örnekleme periyodu kadar olduğundan SDT gecikmesi $T_z = T_s / 2$ kadardır. SDT işlemi s alanında aşağıdaki gibi ifade edilir [32];

$$T_z = \frac{1 - e^{-sT_s}}{s}$$



Şekil 2.6. Örnekle ve Tut işlemi [32]

Literatürde zaman gecikmeleri s alanında yaklaşık olarak 1. dereceden alçak geçiş filtre modeliyle ifade edilmektedir [33], [34]. Toplam gecikme $T_d = T_s + \frac{1}{2} T_s = 1.5 T_s$ olduğundan, gecikmenin s alanındaki yaklaşık ifadesi;

$$T_d = \frac{1}{1+1.5T_s s} \quad (2.2)$$

Eş. 2.1 ve 2.2'den bir DGM eviricinin tansfer fonksiyonu G_{dgm} aşağıdaki gibi elde edilir;

$$\frac{v_i}{v_i^*} = G_{dgm} = \frac{1}{|v_{tri}|} \frac{V_s}{2} \frac{1}{1+1.5T_s s} \quad (2.3)$$

Akım kontrolcüsü

Şekil 2.3'de genel şeması görülen akım ve gerilim kontrolleri senkron referans sisteminde PI kontrolcü [31], [35-39] veya durgun referans sisteminde PR kontrolcü [40-44] kullanılarak uygulanabilir. Bilindiği üzere PI kontrolcüler sadece sabit girişlere sonsuz kazanç gösterirler. Bu yüzden, dengesiz şebekelerde, elde edilen gerilim veya akım d-q bileşenleri salınımlı olacağından PI kontrolcüler kararlı durum hatası verirler. Bu bakımdan uygulanmaları daha karmaşık olmasına rağmen PR kontrolcüler dengesiz şebekelerde tercih edilmektedirler. Ayrıca PR kontrolcülerin frekans seçme özellikleri aktif güç filtreleme uygulamalarında PR kontrolcülerini tercih sebebi yapmaktadır [45-46]. Ancak, dengeli şebekelerde PI kontrolcülerin performansı oldukça iyidir ve ayrıca gerilim kontrolcüsünde uygulanan yük dengeleyici ileri besleme tekniği ile gerilim kontrol döngüsünün çıkış empedans etkisi ve yük değişimlerinin kontrolcü performansına etkileri ortadan kaldırılabilir [36-38]. Bu çalışmamızda dengeli bir mikroşebeke incelendiğinden ve yukarıda belirtilen avantajlarından dolayı akım ve gerilim kontrolcüsü olarak PI kontrolcü kullanılmıştır [47]. Gerilim kontrol parametresi olarak evirici filtre endüktör akımı (i_f) veya filtre kapasitör akımı (i_c) seçilebilir. Akım limitleme uygulamasının etkin kullanılabilmesi için filtre endüktör akımının kontrol değişkeni olarak seçilmesi daha uygundur [30]. Bu durumda, uzay-fazör sisteminde filtre endüktör akımının dinamik eşitlikleri aşağıdaki gibi elde edilir (Bkz. Şekil 2.3);

$$L_f \frac{di_f}{dt} = \vec{v}_i - \vec{v}_o \quad (2.4)$$

Uzay-fazör sistemindeki bir $\vec{x}$ değişkeni d-q bileşenleri cinsinden aşağıdaki gibi ifade edilir;

$$\vec{x} = (X_d + jX_q)e^{j\omega t}, \text{ burada } \omega \text{ sistemin açısal frekansıdır } (\omega = 2\pi f).$$

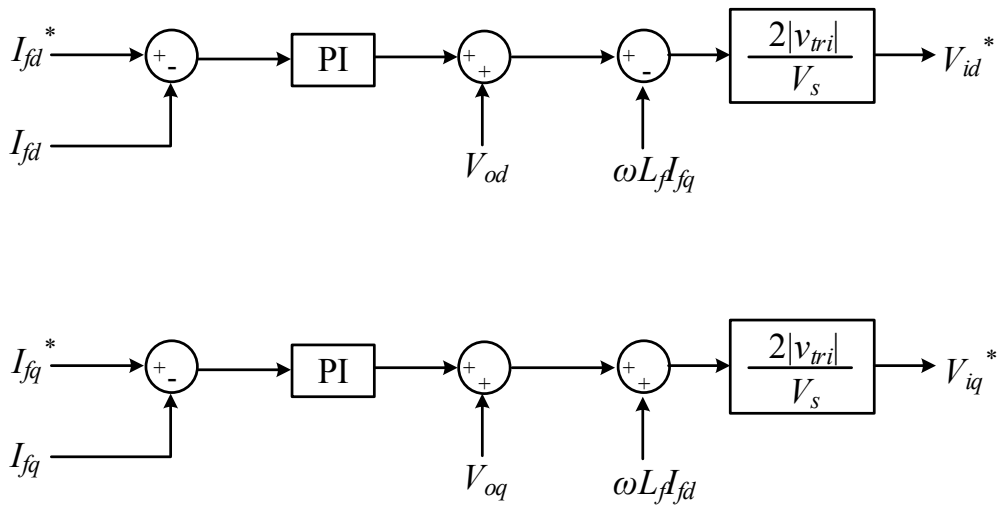
Eş. 2.4'deki akım dinamiği d-q bileşenleri cinsinden yazılırsa;

$$L_f \frac{d}{dt} [(I_{fd} + jI_{fq})e^{j\omega t}] = (V_{id} + jV_{iq})e^{j\omega t} - (V_{od} + jV_{oq})e^{j\omega t} \quad (2.5)$$

Eş. 2.5'den,

$$\begin{aligned} L_f \frac{dI_{fd}}{dt} &= V_{id} - V_{od} + L_f \omega I_{fq} \\ L_f \frac{dI_{fq}}{dt} &= V_{iq} - V_{oq} - L_f \omega I_{fd} \end{aligned} \quad (2.6)$$

Eş. 2.6'da endüktör akımı i_f kontrol değişkeni ve evirici çıkış gerilimi v_i kontrol edilen değişken olduğundan, çıkış kapasitör gerilimleri V_{od} , V_{oq} ve d-q parazit bağlaşımları (cross couplings – Eş. 2.6'da $L_f \omega I_{fd}$ ve $L_f \omega I_{fq}$) bozucu etken (disturbance) olarak değerlendirilmelidirler. Belirtilen bozucu etkenler ölçülebilir değişkenler olduklarından lineerliği sağlamak için ileri besleme bozucu etken giderme (feedforward disturbance rejection) tekniği uygulandığında d-q bileşenleri cinsinden akım kontrol blok şemaları Şekil 2.7'deki gibi elde edilir.



Şekil 2.7. Akım kontrol blok şeması

Şekil 2.7’de referans gerilimlerinden önceki $2|v_{tri}|/V_s$ katsayılı normalizasyon bloğu Eş. 2.3’den anlaşılacağı üzere akım kontrolcüsünü evirici giriş gerilimi V_s ’den ve taşıyıcı sinyalin genlik değerinden izole etmek amaçlıdır [30], [40]. Taşıyıcı üçgen sinyalin genliği $|v_{tri}|$ benzetimlerde genelde 1 değerindedir, ancak pratikteki sayısal uygulamalarda örnekleme periyoduna (T_s) ve kullanılan işlemcinin saat frekansına bağlı bir parametredir ve bunlara göre elde edilen değer kullanılmalıdır (Bkz. Kısım 4.2.2).

Akım kontrolcüsünün ayarlanması

Evirici filtre akımının d-eksen bileşeni için kapalı döngü akım kontrol şeması Şekil 2.8’de görülmektedir (q-ekseni kapalı döngü şeması benzer biçimdedir). Dikkat edilirse, filtre endüktörünün iç direnci r_f de modele dahil edilmiştir. Geri besleme yolundaki G_a , örtüşme önler filtre (anti-aliasing filter) transfer fonksiyonudur ve detayları 4. Bölüm’de verilmiştir. Aslında ikinci dereceden bir alçak geçiş filtresi olan G_a sadeleştirme amacıyla aynı köşe frekansında (ω_a), 1. dereceden bir alçak geçiş filtre modeliyle aşağıdaki gibi ifade edilebilir;

$$G_a = \frac{1}{1 + C_1(R_1 + R_2)s + R_1R_2C_1C_2s^2} \cong \frac{1}{1 + T_a s}$$

Burada $T_a = 1/\omega_a$.

Daha önce de belirtildiği gibi filtre endüktör modelindeki ölçülebilir bozucu etken değişkenleri akım kontrolcüsüne ters işaretlerle dahil edilerek sistem lineerleştirilmeye çalışılmıştır (feedforward disturbance rejection). Şekil 2.8’de görüldüğü gibi çıkış geriliminin d-eksen bileşeni V_{od} ve filtre akımının q-ekseni bileşeni $\omega L_f I_{fq}$ bozucu etken olarak ele alınmışlardır. Örnek olarak Şekil 2.8’e göre V_{od} bozucu etkeninin dinamiği;

$$V_{od}(1 - G_a G_{dgm}) \tag{2.7}$$

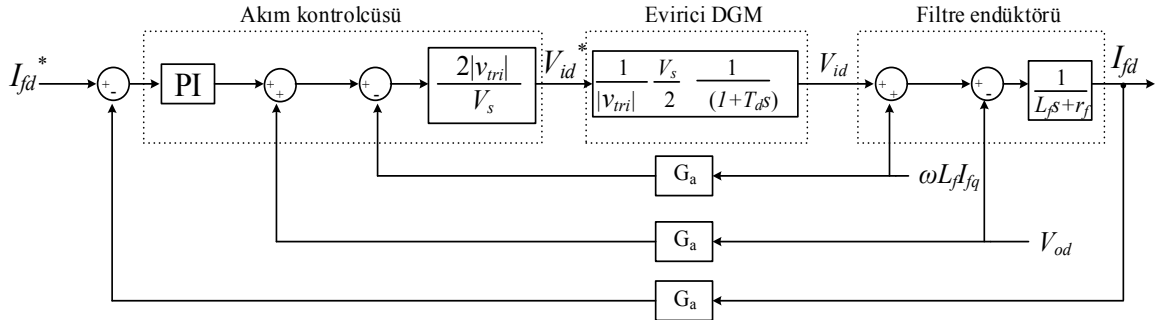
G_{dgm} normalize edilmiş evirici dinamik modelidir, $G_{dgm} = \frac{1}{1 + T_d s}$, $T_d = 1.5T_s$.

$G_a G_{dgm}$ kademeli iki adet gecikmeye karşılık gelip kararlı durumda genliği 1’dir. Bu durumda, Eş. 2.7’ye göre bozucu etken V_{od} kararlı durumda sifıra düşecektir. Dikkat edilirse

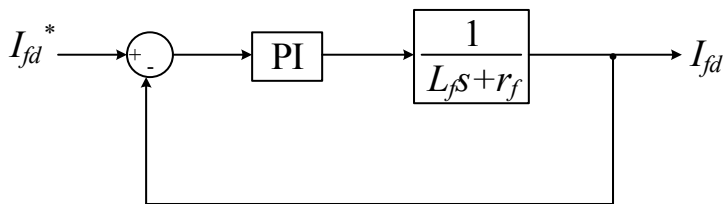
akım kontrol döngüsünün toplam iç gecikmesi de aynıdır. Akım kontrolcüsünü ayarlarken dikkat edilmesi gereken nokta iç $G_a G_{dgm}$ gecikmesinin görece olarak akım kontrol döngüsünün gecikmesinden yeteri kadar küçük olmasıdır. Böylece, döngü içerisindeki iç gecikmeler (G_a ve G_{dgm}) ihmal edilip PI akım kontrolcüsü Şekil 2.9'daki ideal lineer modele göre ayarlanabilir. Genel tasarım kriteri olarak bir kontrol döngüsü, içerisindeki gecikmeden 3-5 kat yavaş tasarlanırsa yeterli izolasyon sağlanabilir. Bu çalışmada genel kural olarak 4 katı uygulanmıştır. Toplam $G_a G_{dgm}$ gecikmesi $T_a + T_d$ olduğundan akım kontrol döngüsünün gecikmesi $T_c = 4*(T_a + T_d)$ olarak tasarlanmalıdır. Buna karşılık gelen akım kontrol döngüsü bant genişliği, ω_{adb} ,

$$\omega_{adb} = \frac{1}{4(T_a + T_d)} \text{ olacaktır.}$$

Şekil 2.9'daki PI kontrolcüsünün tasarım kriterleri 60° faz payı ile yukarıdaki eşitliğe göre hesaplanan ω_{adb} kontrol döngüsü bant genişliğidir. Ayrıca genel tasarım ilkesi olarak bozucu etkenleri zayıflatmak için döngü kazancının (loop gain) yüksek tutulması gerekliliği dikkate alınmalıdır. Matlab Simulink Şekil 2.9'daki gibi geri beslemeli lineer sistemler için belirtilen tasarım kriterleri doğrultusunda kontrolcü tasarımı imkanı sağlamaktadır.



Şekil 2.8. Kapalı döngü akım kontrol şeması



Şekil 2.9. Sadeleştirilmiş kapalı döngü akım kontrol şeması

Akım limitleyici

Akım limitleme uygulaması eviriciyi aşırı akımlara karşı korumak amaçlıdır. Mevcut DÜ evirici uygulamalarında evirici akımı anma değerine ulaştığında evirici tamamen kapatılmaktadır. Ancak geleceğin akıllı şebekelerinde hata tespitini kolaylaştırmak amacıyla yaygın beklenti, düzenlemelerin DÜ'lerin hatadan sonra da şebekeyi beslemeye devam etmesi yönünde olacaktır. Bu amaçla çeşitli akım limitleme uygulama yöntemleri vardır [35], [40]. Bunlardan en dikkat çeken, daha iyi hata performansı sağladığı iddia edilen hatadan sonra şebekeye reaktif güç basma yöntemidir [40]. Bu uygulamaya göre gerilim kontrolcüsünden gelen akım referans genliği limit (I_{lim}) seviyeye ulaştığında referans akım limit genlikte q-eksen bileşeni olarak akım kontrolcüsüne gönderilir. Bu uygulama aşağıdaki gibi ifade edilebilir;

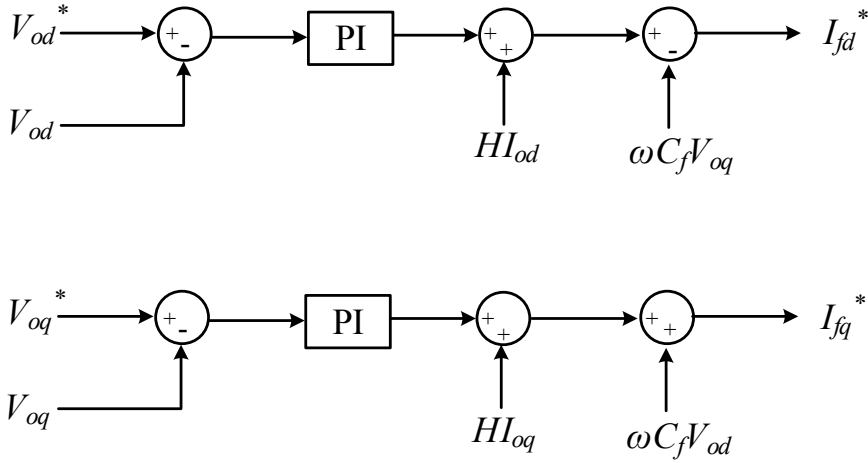
$$I_{dq}^* = \begin{cases} I_{dq}^* & |i_o^*| < I_{lim} \text{ için} \\ I_d = 0, I_q = I_{lim} & |i_o^*| \geq I_{lim} \text{ için} \end{cases}$$

Gerilim kontrolcüsü

Gerilim kontrolcüsü eviricinin filtre kondansatörü üzerindeki çıkış gerilimini kontrol eder. d-q referans ekseninde çıkış gerilimi dinamikleri, filtre akımı dinamiklerine benzer şekilde ele alındığında aşağıdaki gibi elde edilir;

$$\begin{aligned} C_f \frac{dV_{od}}{dt} &= I_{fd} - I_{od} + C_f \omega V_{oq} \\ C_f \frac{dV_{oq}}{dt} &= I_{fq} - I_{oq} - C_f \omega V_{od} \end{aligned} \quad (2.8)$$

Benzer şekilde çıkış akımı ve gerilim çapraz etkileşimleri bozucu etken olarak ele alınırsa d ve q eksenleri için Şekil 2.10'daki gerilim kontrol blok şemaları elde edilir. Şekil 2.10'da görülen H katsayısı gerilim kontrolcüsüne daha iyi bozucu etki bastırma (disturbance rejection) sağlamak amacı ile literatürde önerilmiştir [52], [53].

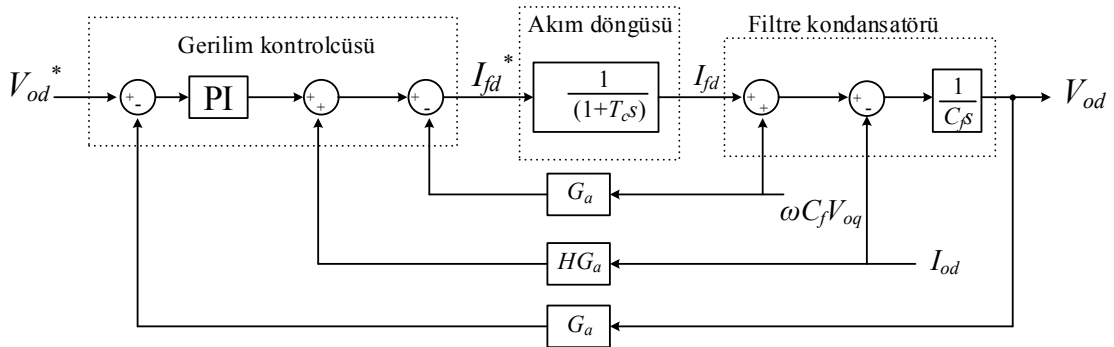


Şekil 2.10. Gerilim kontrol blok şeması

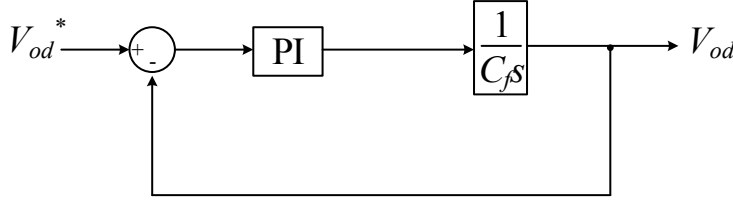
Gerilim kontrolcüsünün ayarlanması

Akım kontrolcüsüne benzer şekilde, çıkış geriliminin d-eksen bileşeni için kapalı döngü kontrol şeması Şekil 2.11'deki gibi elde edilir. Akım dinamiği, tasarım bant genişliğine karşılık gelen T_c gecikmesi ile birinci dereceden gecikme transfer fonksiyonu ile modellenmiştir. Görüldüğü gibi gerilim kontrol döngüsü içerisindeki toplam gecikme $T_v = T_c + T_a'$ dır. Buna göre ideal şartlar altında, akım kontrolcüsü ayarlama kısmında belirtilen genel tasarım kuralına göre Şekil 2.12'deki sadeleştirilmiş dinamik modeli kullanabilmek için kapalı döngü gerilim kontrol gecikmesi $4T_v$ olarak ayarlanmalıdır. Buna karşılık gelen bant genişliği aşağıdaki eşitlikteki gibidir;

$$\omega_{adb} = \frac{1}{4T_v} \cong \frac{1}{16T_d + 20T_a} \quad (2.9)$$

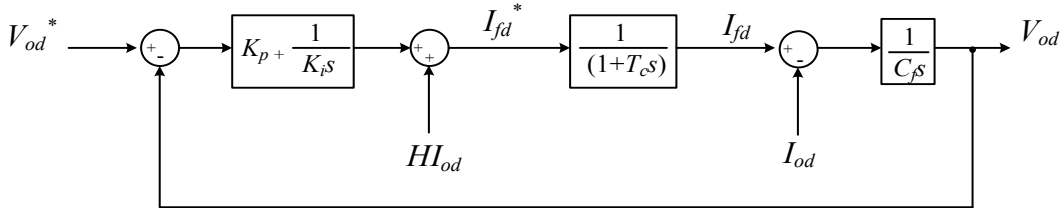


Şekil 2.11. Kapalı döngü gerilim kontrol şeması



Şekil 2.12. Sadeleştirilmiş kapalı döngü gerilim kontrol şeması

Ancak benzetim ve deneysel çalışmalar göstermiştir ki gerilim kontrol döngüsü önemli ölçüde bozucu etkene maruz kalmaktadır. Bir sonraki bölümde görüleceği gibi kalkış aşamasında eviricinin asimetrik anahtarlanmasından dolayı oluşan DA akım enjeksiyonu gerilim kontrol döngüsünün maruz kaldığı bozucu etkenlerden birisidir ve akım ve gerilim eğrilerinde şebeke frekansında salınımlara sebep olmaktadır. Literatürde gerilim kontrol döngüsündeki bozucu etkenleri azaltmak için akım ileri besleme kazancı H 'ın birden oldukça düşük bir değerde (0.5~0.8) tutulması yöntemi uygulanmıştır [52], [53]. Ancak bu yöntem gerilim kontrol döngüsünde çıkış empedans etkisi yaratmakta olup gerilim kontrolcüsünün kararlılığını olumsuz yönde etkilemektedir. Bu etki Şekil 2.13'de verilen basitleştirilmiş (örtüşme önler filtre ve gerilim parazit bağlaşımı ihmal edilmiş) kapalı döngü gerilim kontrol şemasının incelenmesinden anlaşılabilir.

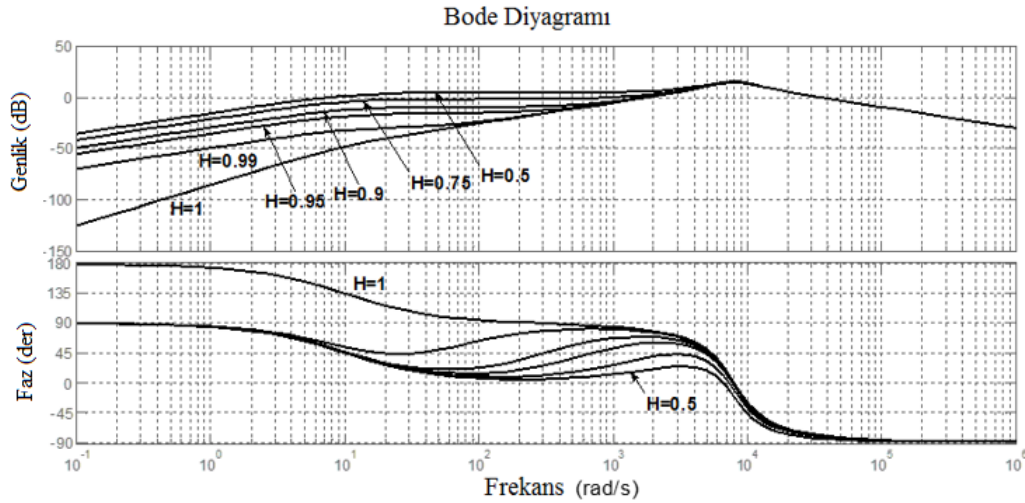


Şekil 2.13. Basitleştirilmiş kapalı döngü gerilim kontrol şeması

Şekil 2.13'de K_p ve K_i PI kontrolcü parametreleridir. Kapalı döngü transfer fonksiyonu $V_{od} = G_v(s)V_{od}^* - Z_o(s)I_{od}$ formunda yazılırsa çıkış empedansı transfer fonksiyonu $Z_o(s)$ aşağıdaki gibi elde edilir;

$$Z_o(s) = \frac{s^2 + (1-H)\omega_c s}{C_f s^3 + C_f \omega_c s^2 + K_p \omega_c s + K_i \omega_c} \quad (2.10)$$

Şekil 2.14’de H parametresinin 0,5 ile 1 arasında değişen değerleri ve $K_p = 0,3$, $K_i = 3$, $\omega_c = 1$ kHz ve $C_f = 30$ μ F için çıkış empedansı $Z_o(s)$ ’in Bode eğrileri görülmektedir. Görüldüğü gibi H değeri azaldıkça alçak frekans bandında çıkış gerilim genliği belirgin şekilde artmaktadır. Akım bant genişliğinin (ω_c) etkisinden dolayı H ’ın 1’e yakın değerlerinde çıkış empedansının hızlı değişimi dikkat çekicidir. Artan çıkış empedans genliği bir yandan gerilim kaynaklı bozucu etkenleri (DA akım enjeksiyonu) azaltırken diğer yandan çıkış akımının bozucu etken olarak belirmesine sebep olarak gerilim kontrol döngüsünün kararlılığını bozmaktadır. Burada özellikle belirtmek gerekmektedir ki, düşük gerilim kontrol döngüsü bant genişliğine karşılık gelen K_p değerinin düşürülmesi ve/veya K_i değerinin artırılması da çıkış empedansında benzer bir artışa sebep olmaktadır. Buradan çıkan sonuçla gerilim kontrolcüsü ayarlama stratejisi, H değerini 1’e yakın bir değerde tutarak ($\sim 0,95$) gerilim kontrol döngüsünü yeterli faz payı ile mümkün olan en yüksek bant genişliğinde ayarlamak olmalıdır. H parametresinin mikroşebeke kararlılığına etkileri 3. Bölüm’deki analiz sonuçları kısmında benzetim sonuçları ile gösterilmiştir.



Şekil 2.14. Gerilim kontrol döngüsü çıkış empedansının Bode eğrileri

Güç kontrol bloğu

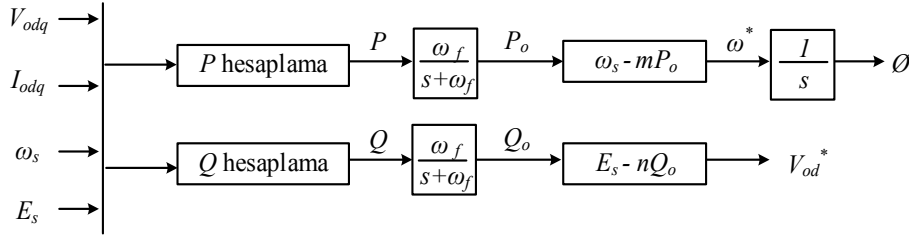
Güç kontrol bloğunda düşüm tabanlı gerilim referansı hesaplanmaktadır. Denetim algoritması d-q ekseninde uygulandığında, genel bir kontrol stratejisi olarak çıkış gerilimi d-ekseni üzerinden kontrol edilirken q-eksen referansı sıfır değerinde tutulur [18], [52], [53]. Buna göre, düşüm kontrol uygulaması gereği çıkış geriliminin frekansı aktif güç ile genliği

ise reaktif güç ile aşağıdaki eşitliklere göre düzenlenir;

$$\omega^* = \omega_s - mP_o \quad (2.11)$$

$$V_{od}^* = E_s - nQ_o, \quad V_{oq}^* = 0 \quad (2.12)$$

Burada, ω^* evirici gerilim frekansının referans değerini, V_{od}^* ve V_{oq}^* evirici çıkış geriliminin d-eksen ve q-eksen bileşenlerinin referans değerlerini, m ve n sırasıyla aktif güç-frekans ve reaktif güç-genlik düşüm katsayılarını, ω_s ve E_s frekans ve genlik değişkenlerinin set değerlerini ifade etmektedirler. P_o ve Q_o filtrelenmiş aktif ve reaktif çıkış güçleridir. Çıkış güçlerinin filtrelenme işlemi hem dengesiz şebekelerin d-q eksen bileşenlerinde görülen ω ve 2ω frekans bileşenlerini elemek hem de sisteme frekans değişim hızını sınırlayan sanal eylemsizlik (virtual inertia) sağlamak amacıyla uygulanabilir. Alçak geçiş güç filtresi (AGF) tasarımında, 50-60 Hz şebekeler için 5-10 Hz bant genişliği yeterli olabilmektedir [52], [53]. Düşüm tabanlı güç kontrol bloğunun iç şeması Şekil 2.15’de görülmektedir.



Şekil 2.15. Düşüm tabanlı güç kontrol şeması

Aktif güç değeri, P ve reaktif güç değeri, Q anlık güç teorisi kullanılarak aşağıdaki gibi hesaplanır;

$$P = \frac{3}{2}(V_{od}I_{od} + V_{oq}I_{oq})$$

$$Q = \frac{3}{2}(V_{oq}I_{od} - V_{od}I_{oq}) \quad (2.13)$$

Çıkış gerilimini oluşturan DGM modülasyon sinyallerini ve akım ve gerilim d-q eksen bileşenlerini hesaplamada kullanılan faz açısı aşağıdaki eşitlikteki gibi referans gerilim frekansının integrali alınarak elde edilir.

$$\phi = \int \omega_r dt$$

abc-dq-abc dönüşümü

abc referans sistemindeki v_{abc} değişkeninin d-q bileşen değerleri Park dönüşümü kullanılarak aşağıdaki gibi hesaplanır;

$$V_d = \frac{2}{3} \left(v_a \sin(\emptyset) + v_b \sin\left(\emptyset - \frac{2\pi}{3}\right) + v_c \sin\left(\emptyset + \frac{2\pi}{3}\right) \right)$$

$$V_q = \frac{2}{3} \left(v_a \cos(\emptyset) + v_b \cos\left(\emptyset - \frac{2\pi}{3}\right) + v_c \cos\left(\emptyset + \frac{2\pi}{3}\right) \right)$$

dq-abc dönüşümü için ise aşağıdaki eşitliklerde verilen ters Park dönüşümü kullanılır;

$$v_a = V_d \sin \emptyset + V_q \cos \emptyset$$

$$v_b = V_d \sin\left(\emptyset - \frac{2\pi}{3}\right) + V_q \cos\left(\emptyset - \frac{2\pi}{3}\right)$$

$$v_c = V_d \sin\left(\emptyset + \frac{2\pi}{3}\right) + V_q \cos\left(\emptyset + \frac{2\pi}{3}\right)$$

2.2.2. Şebeke modu için düşün tabanlı gerilim kontrolü

Bu çalışmada mikroşebekelerin ada modu operasyonları inceleniyor olsa da mikroşebeke DÜ'lerinin şebeke modu kontrolü ile ilgili literatürde göze çarpan uygulamalara da değinmek gelecek çalışmalara ışık tutması açısından faydalı olacaktır. Mikroşebeke ana şebeke modunda iken belirli güçlü kaynakların merkezi bir denetleyici tarafından kendilerine set edilen aktif güç, P_s ve reaktif güç, Q_s değerlerini sağlamaları beklenir. Set edilen güç değerleri bir post-primer (mevcut geleneksel uygulamalarda sekonder ve tersiyer denetime karşılık gelmektedir) denetim (supervisory control) algoritması sonucu belirlenir ve belirli güçlü DÜ'lere iletilir.

Bu amaca uygun evirici kontrol tekniği literatürde P-Q kontrol olarak geçmektedir ve prensip olarak akım referanslarının P-Q set değerlerine göre hesaplandığı bir akım kontrol tekniğidir [16-18], [20]. Ancak, hem ada modu hem de şebeke modunda çalışma gerektiren mikroşebeke uygulamalarında modlar arası geçişlerde sert geçiş problemleri görülebilmektedir. Modlar arası geçişleri yumuşatmak için literatürde modifiye edilmiş düşün kontrolü aşağıdaki eşitliklerdeki gibi önerilmiştir [46], [56];

$$\omega^* = \omega_s + m(P_s - P_o) \quad (2.14)$$

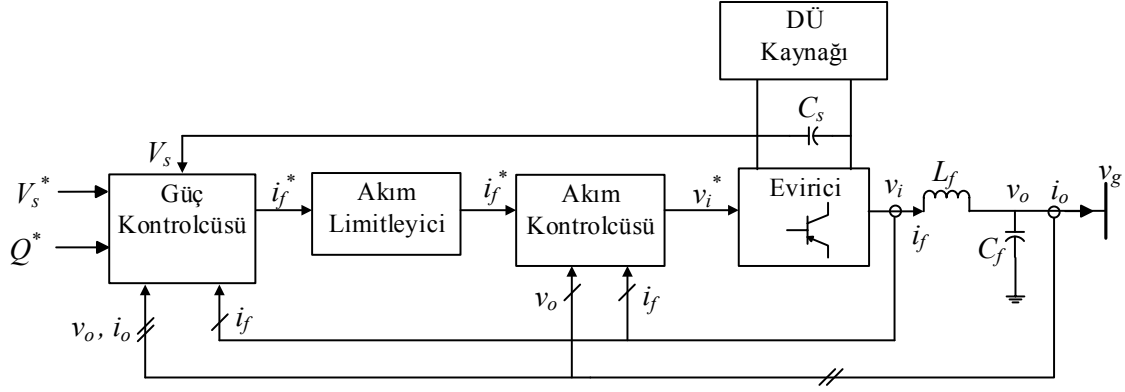
$$V_{od}^* = E_s + n(Q_s - Q_o) + \frac{k_i}{s}(Q_s - Q_o) \quad (2.15)$$

Burada P_s ve Q_s evirici aktif ve reaktif güçlerinin set değerleridir. Kararlı durumda şebekenin her noktasında gerilim frekanslarının eşit olması gerektiğinden frekansı düzenleyen Eş. 2.14'de ω_s şebeke frekansı ile aynı değerde tutulduğunda, kararlı durumda eviricinin çıkış gerilimi P_o set değeri P_s 'e eşit olacaktır. Ancak aynı durum gerilim için geçerli değildir, yani kararlı durumda evirici genliklerinin eşit olması gerekliliği yoktur. Bu yüzden Eş. 2.15'deki integral terim çıkış reaktif güç Q_o ile set değeri Q_s eşitleninceye kadar referans gerilim genliğini ayarlar. Ada modunda set değerler P_s ve Q_s sifıra eşitlenmeli ve ayrıca integral terimin katsayısı k_i sifıra eşitlenmelidir. Böylece Eş. 2.11 ve Eş. 2.12'de verilen ada modu düşüm eşitlikleri elde edilmiş olur.

2.2.3. Belirsiz güçlü akım kontrolü

Rüzgar ve fotovoltaik gibi anlık gücü çevresel koşullara bağlı olan yenilenebilir enerji kaynaklarına bağlı eviriciler mikroşebekenin heriki modunda da (şebeke ve ada) kaynak tarafındaki anlık maksimum gücü şebekeye aktaracak şekilde kontrol edilirler. Mevcut uygulamalarda bu tip yenilenebilir kaynakların şebekeye reaktif güç basması beklenmez. Ancak geleceğin akıllı şebeke uygulamalarında post-primer gerilim kontrolü kapsamında bu tür kaynaklara da belirli değerlerde reaktif güç atanması söz konusu olabilir.

Belirsiz güçlü kaynakların aktif güç kontrol değişkeni olarak genelde DA bağ kondansatör gerilimi kullanılır ve kontrol stratejisi olarak kondansatör gerilimi maksimum güç noktasına referans edilir [18], [31], [33]. Şekil 2.16'da belirsiz güçlü akım kontrol blok şeması görülmektedir. Bu kontrol yapısı evirici akım referansının maksimum güç noktasına göre hesaplandığı bir akım kontrollü evirici uygulamasıdır. Bu sebeple gerilim kontrol döngüsü mevcut değildir. Akım limitleme ve kontrol stratejileri önceki kısımlarda anlatılan düşüm tabanlı evirici kontrolündeki ile aynıdır. Burada sadece güç kontrol bloğuna değinilecektir.



Şekil 2.16. Belirsiz güçlü akım kontrol blok şeması

Güç kontrol bloğu

Güç kontrol bloğu, DA bağ kondansatör referans gerilimi (V_s^*) ve reaktif güç referans değerlerinden (Q^*) çıkış filtresi akım referansını üretir. d-q ekseninde gerçekleştirildiğinde, çıkış filtre akımının d-eksen bileşeni DA bağ kondansatör gerilimini düzenlemede, filtre akımının q-eksen bileşeni reaktif gücü düzenlemede kullanılır. Şekil 2.2'ye göre aktif güç döngüsü ele alındığında DA bağ kondansatörünün dinamiği;

$$I_s - I_i = sC_s V_s \quad (2.16)$$

Burada I_s kaynak çıkış akımı, I_i evirici giriş akımı, C_s ve V_s DA bağ kondansatörünün kapasitans ve gerilim değerleridir. Diğer yandan, evirici üzerindeki kayıplar ihmal edilirse evirici giriş gücü çıkış aktif gücüne eşitlenebilir;

$$V_s I_i = 1.5(V_{od} I_{od} + V_{oq} I_{oq}) \quad (2.17)$$

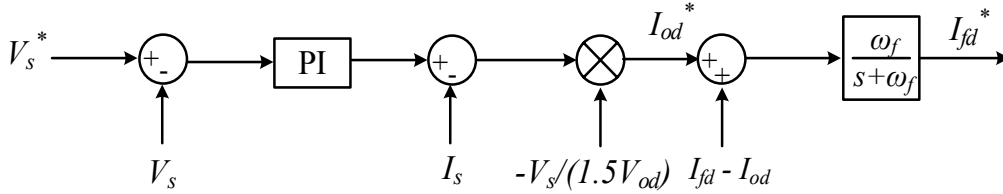
Akım kontrollü eviriciler bağlı oldukları şebekeye çıkış (bağlantı noktası) geriliminin fazını belirleyen bir EKD (Evre Kenetleme Döngüsü - PLL) algoritması kullanarak senkronlanırlar. Çıkış gerilimi tabanlı bir EKD algoritması ile çıkış geriliminin d-q eksen bileşen değerleri hesaplanırsa q-eksen bileşeni sıfır elde edilir. Bu durumda Eş. 2.16 ve 2.17'den;

$$I_s - \frac{1.5V_{od}}{V_s} I_{od} = sC_s V_s \quad (2.18)$$

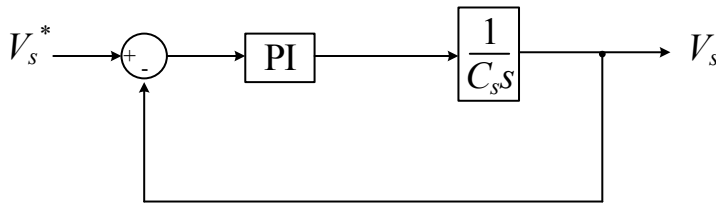
Eş. 2.18 çıkış akımının d-eksen bileşeni I_{od} ile DA bağ kondansatör gerilimi V_s arasındaki dinamik ilişkiyi vermektedir. Burada kaynak çıkış akımı I_s bozucu etken olarak ele alınmalıdır. Ayrıca kontrol elemanı filtre endüktör akımı olduğundan filtre kondansatör akımı eşitliği $i_{cf} = i_f - i_o$ 'e göre referans filtre akımı ölçülen değerler de kullanılarak aşağıdaki gibi hesaplanmalıdır;

$$I_{fd}^* = I_{od}^* + I_{fd} - I_{od} \quad (2.19)$$

Eş. 2.18 ve 2.19'a göre oluşturulan aktif güç kontrolcüsü Şekil 2.17'de verilmiştir. Çıkıştaki alçak geçiş filtresi dengesiz şebekelerde, d-q eksen bileşenlerinde görülen ω ve 2ω frekanslarındaki salınımları filtrelemek içindir. Bu filtrelerde 50-60 Hz şebekeler için 5-10 Hz bant genişliği yeterli olmaktadır. Akım kontrol ve akım-gerilim algılayıcılarının dinamikleri alçak geçiş filtresine göre çok hızlı olduklarından ihmal edilebilirler. Bu durumda kapalı döngü aktif güç kontrolcüsü için 1-2 Hz bant genişliği yeterli olacaktır. PI ayarlamada Şekil 2.18'deki sadeleştirilmiş aktif güç kontrol döngüsü kullanılabilir.



Şekil 2.17. Aktif güç kontrolcüsü



Şekil 2.18. Sadeleştirilmiş aktif güç kontrol döngüsü

Diğer yandan çıkış akımının q-eksen bileşeninin referans değeri reaktif güç referans geçerinden aşağıdaki gibi hesaplanabilir (Bkz. Eş. 2.13);

$$I_{oq}^* = \frac{-Q^*}{1.5V_{od}} \quad (2.20)$$

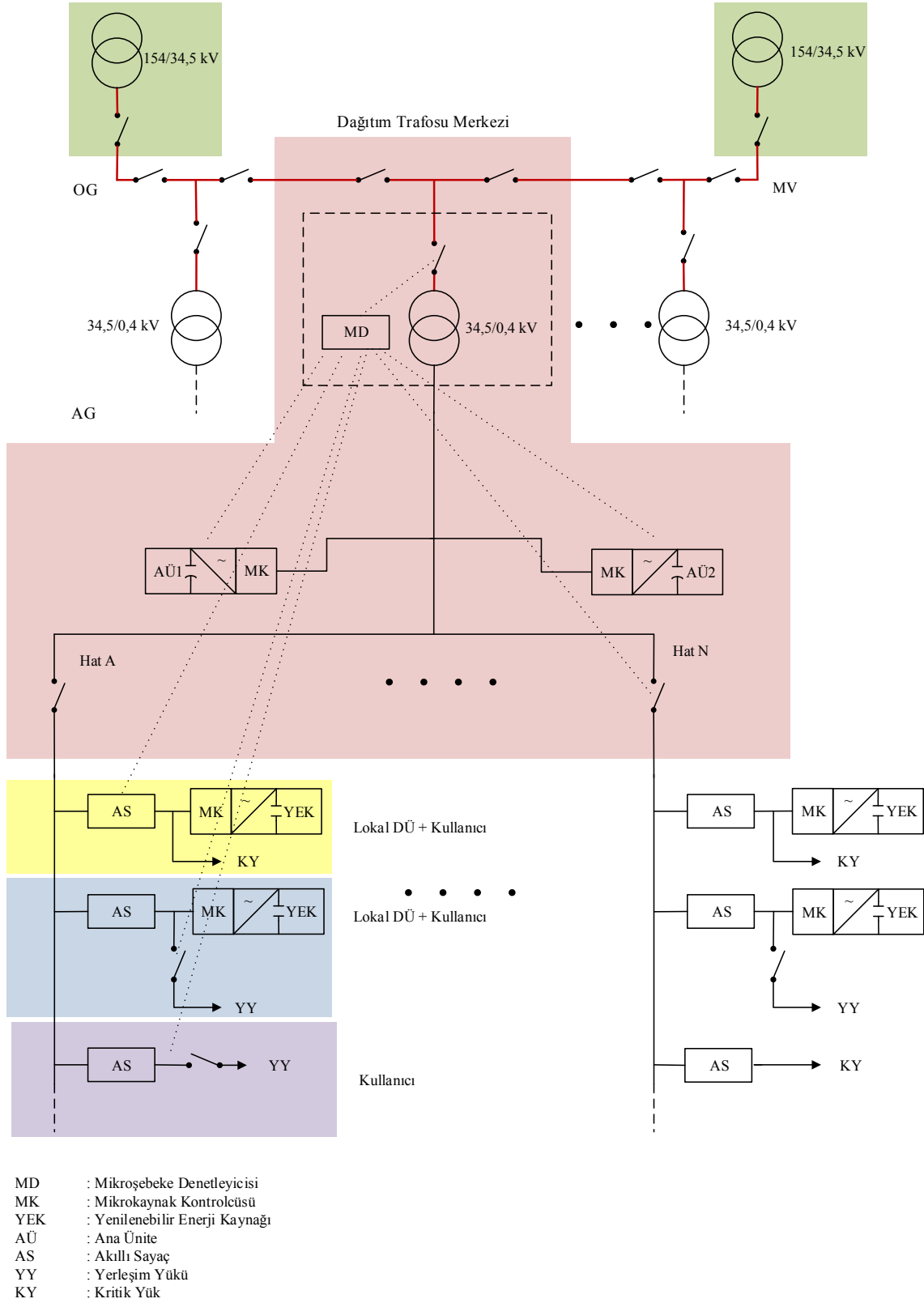
Benzer şekilde, filtre akım referansı ölçülen değerlerden aşağıdaki gibi elde edilmelidir;

$$I_{fq}^* = I_{oq}^* + I_{fq} - I_{oq}$$

2.3. Modüler Hibrid Mikroşebeke Mimarisi Önerisi

Kısım 2.1’de belirtilen asgari mikroşebeke gereksinimleri ve Kısım 2.2’de verilen DÜ kontrol prensipleri göz önüne alınarak, mevcut alçak gerilim dağıtım şebekelerinde asgari düzenlemeyle uygulanabilecek bir mikroşebeke yapısı bu çalışma kapsamında Şekil 2.19’da görüldüğü gibi önerilmektedir. Önerilen genelleştirilmiş mikroşebeke modelinde yenilenebilir kaynakların yaygın kullanımına olanak sağlamak amacıyla kullanıcılara küçük ölçekli belirsiz güçlü DÜ’ler atanmıştır. Mikroşebekenin ada modunda kontrolü ve sürekliliği sağlamak amacıyla dağıtım trafo merkezine yakın bir konumda yerleştirilmiş belirli güçlü kaynaklardan oluşan iki adet ana ünite bulunmaktadır (AÜ1, AÜ2). Ana ünitelerin amacı ada modunda mikroşebekeye gerilim referansı sağlamak ve kritik yüklerin enerjilenme sürekliliğini sağlamaktır. Bu bakımdan ana ünitelerin sayısı şebeke güvenilirliği açısından yedeklilik ihtiyacı da göz önünde bulundurularak en az iki adet olmalıdır. Sistemde ani yük değişimlerini karşılayabilecek döner kütleler olmadığı için evirici tabanlı mikroşebekeler enerji depolama birimleri de gerektirir. Ancak önerilen modelde yüksek maliyetlerinden dolayı yenilenebilir kaynaklara enerji depolama bataryaları atanmamıştır, enerji depolama sadece ana ünitelere atanmıştır. Ana üniteler için tasarım kriterlerini de belirleyecek olan aşağıdaki ana fonksiyonlar öngörülmektedir;

- Ada modunda kritik yükleri besleyebilecek kapasitede olmalıdırlar.
- Mikroşebeke içerisinde güç dengesini lokal olarak sağlayabilecek yeterlilikte rezerve sahip olmalıdırlar.
- Şebeke modunda yenilenebilir kaynakların hava şartlarından kaynaklanan ani güç kayıplarını operatör tarafından belirlenecek belirli oranlarda karşılayabilecek kapasitede olmalıdırlar.



Şekil 2.19. Önerilen mikroşebeke mimarisi

Önerilen mikroşebeke yapısının kontrol mimarisi içerisinde dağıtım trafo merkezine konumlandırılmış bir adet mikroşebeke merkezi denetleyicisi (MD) bulunmaktadır. MD

düşük bant genişlikli bir haberleşme sistemi ile şebekeyi gözlemleyerek gerekli denetleme ve optimizasyon işlemlerini gerçekleştirmelidir. Post-primer denetim kapsamında ana ünitelere şebeke modunda güç referans değerlerinin atanması merkezi denetleyicinin esas görevlerinden birisidir. Ayrıca koruma koordinasyonu, ada modu tespiti ve şebekeye tekrar bağlanma gibi ek işlevleri de üstlenebilir.

Önerilen mikroşebekenin detaylı operasyonel analizi bu çalışmanın dışındadır. Bu çalışmada ada modu üzerinde durulacak olup ilerleyen kısımlarda ilk önce düşüm kontrollü eviriciler arasındaki aktif ve reaktif güç paylaşımına değinilecektir. Daha sonra eviricilerin yük paylaşımı ve mikroşebekenin anlık yük değişimleri ve yenilenebilir kaynak gücü değişimleri durumundaki cevabı benzetim çalışmaları ile incelenecektir. Bir sonraki bölümde ise mikroşebekenin ada modu kararlılık analizleri gerçekleştirilecektir.

2.3.1. Aktif güç paylaşımı

Kararlı durumda mikroşebekenin her düğümündeki gerilim frekansı eşit olacağından herbir evirici için Eş. 2.11'deki mP_o değeri eşit olacaktır (eviricilerin frekans set değerleri (ω_s) aynıdır). Buradan, eviricilerin anma güçleri ile orantılı aktif güç paylaşımı için aktif güç düşüm katsayılarının,

$$m_1S_1 = m_2S_2 = \dots = m_NS_N \quad (2.21)$$

eşitliğini sağlaması yeterli olacaktır. Burada $m_1, m_2, \dots, m_N$ mikroşebekedeki düşüm kontrollü eviricilerin aktif güç düşüm katsayıları, $S_1, S_2, \dots, S_N$ eviricilerin anma güçleri ve N şebekedeki toplam evirici sayısıdır. m değerini belirlemede her bir evirici için azami yüklenme (P_{mi}) koşulunda şebekenin sağlaması beklenen asgari frekans değeri (ω_{min}) belirleyici bir kriter olabilir [52], [53], [56]. Buna göre;

$$m_i = \frac{\omega_s - \omega_{min}}{P_{mi}}$$

$$i = 1, 2, \dots, N.$$

2.3.2. Reaktif güç paylaşımı

Daha önce de belirtildiği gibi reaktif güç paylaşımı aktif güçteki gibi sadece düşüm katsayılarına bağlı olarak kontrol edilememektedir. Bunun sebebi kararlı durumda şebeke düğüm (nod) gerilimlerinin aynı olma zorunluluğunun bulunmamasıdır. Eviriciler arasında reaktif güç paylaşımında düşüm katsayısı n 'in yanında eviriciler arasındaki bağlantı empedansları da etkili olmaktadır. Sadece rezistif bağlantı için gerçekleştirilmiş olan [60]'daki analiz yöntemi evirilerin çıkışındaki genel bir bağlantı empedansı $Z_i \angle \theta_i$ için genişletirse aşağıdaki gibi bir reaktif güç paylaşım düzeni elde edilir;

$$Q_i \left(n_i + \frac{Z_i}{V_L \sin \theta_i} \right) = \text{sabit} \quad (2.22)$$

Yukarıdaki eşitlikte V_L şebeke ortak bağlantı noktası gerilimi genliğidir (Bkz. Şekil 3.2). Yukarıdaki eşitliğe göre, aktif güçtekine benzer bir düzende reaktif güç düşüm katsayısına bağlı reaktif güç paylaşımı için evirici çıkış empedanslarının sağlanması gereken yeterli koşul aşağıdaki gibi elde edilir;

$$\frac{n_1 \sin \theta_1}{Z_1} = \frac{n_2 \sin \theta_2}{Z_2} = \dots = \frac{n_i \sin \theta_i}{Z_i} \quad (2.23)$$

Burada Z_i evirici çıkış empedansının genliği, θ_i çıkış empedansının faz açısıdır. Genel bir tasarım kriteri olarak,

$$\theta_1 = \theta_2 = \dots = \theta_N = \theta \quad (2.24)$$

seçilirse, Eş. 2.23'den bağlantı empedanslarının sağlanması gereken koşul aşağıdaki gibi elde edilir;

$$Z_1 S_1 = Z_2 S_2 = \dots = Z_N S_N \quad (2.25)$$

Evirici çıkış empedansları için (2.24) ve (2.25) sağlandığında, reaktif güç düşüm katsayıları için sağlanacak olan Eş. 2.26'da verilen koşul şebekedeki toplam reaktif gücün eviriciler arasında anma güçleri ile orantılı olarak paylaşılmasını sağlayacaktır.

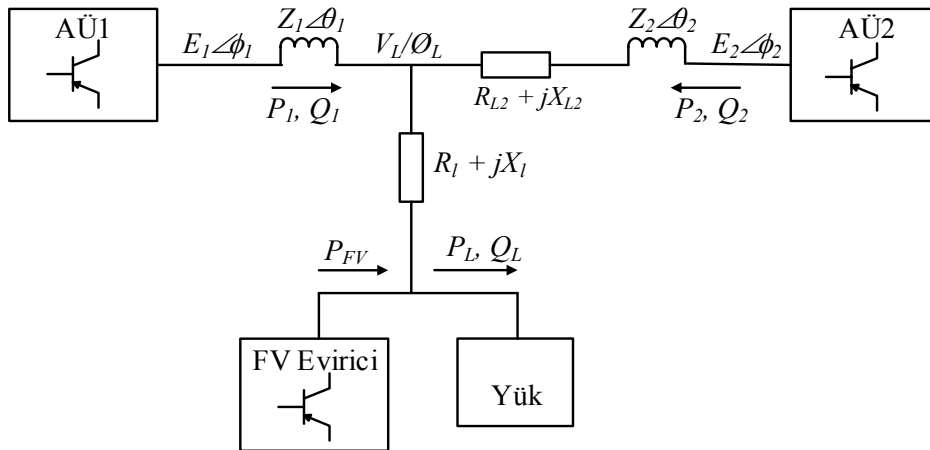
$$n_1 S_1 = n_2 S_2 = \dots = n_N S_N \quad (2.26)$$

Aktif güç düşüm katsayısı m değerini belirlemede olduğu gibi, azami reaktif yüklenme (Q_{mi}) koşulunda şebekenin sağlaması beklenen asgari gerilim genliği değeri (E_{min}) eviricilerin reaktif güç düşüm katsayısı n değerlerini belirlemek için kullanılabilir;

$$n_i = \frac{E_s - E_{min}}{Q_{mi}}$$

2.4. Mikroşebeke Benzetim Çalışmaları

Önerilen mikroşebeke yapısının ada modu Şekil 2.20’de görüldüğü gibi iki adet ana DÜ ünitesi, bir adet fotovoltayık (FV) üreteç ve bir adet ortak yükten oluşacak şekilde sadeleştirilmiştir. Benzetim çalışmaları Matlab-Simulink ortamında gerçekleştirilmiştir. Ana üniteler birbirinin eşleniği olup bu ünitelere düşüm tabanlı evirici kontrol algoritması uygulanmıştır. Fotovoltayık kaynak sabit bir akım kaynağı olarak modellenmiştir ve evirici kontrolünde ise belirsiz güçlü akım kontrolü uygulanmıştır. Yük olarak pasif rezistif ve endüktif yükler kullanılmıştır. DÜ evirici ve diğer şebeke parametreleri Çizelge 2.1’de verilmiştir. Şekil 2.20’de $Z_1 \angle \theta_1$ ve $Z_2 \angle \theta_2$ ana DÜ eviricilerinin bağlantı empedansları, R_l ve X_l yük hattının rezistif ve endüktif empedans değerleridir. R_{L2} ve X_{L2} empedansları AÜ2 evirici hattına, eviriciler arasında asimetrik bağlantıların geçici durum yük dağılımına etkilerini incelemek amacıyla eklenmiştir. Mikroşebeke 3-faz, 220 V_{L-L}, 60 Hz çalışma koşullarına göre tasarlanmıştır.

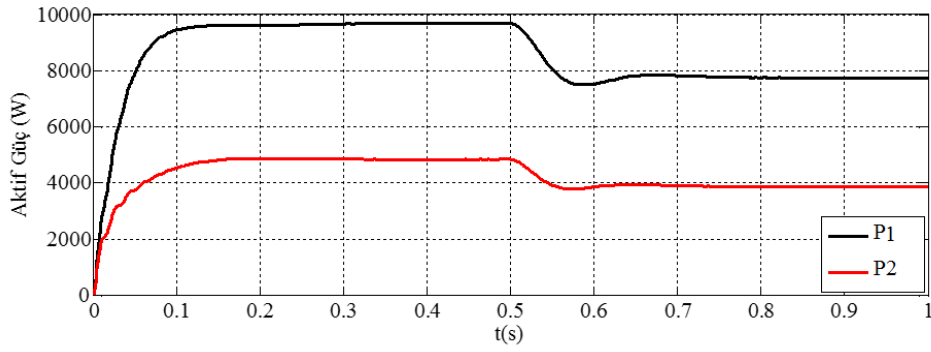


Şekil 2.20. Test mikroşebeke modeli

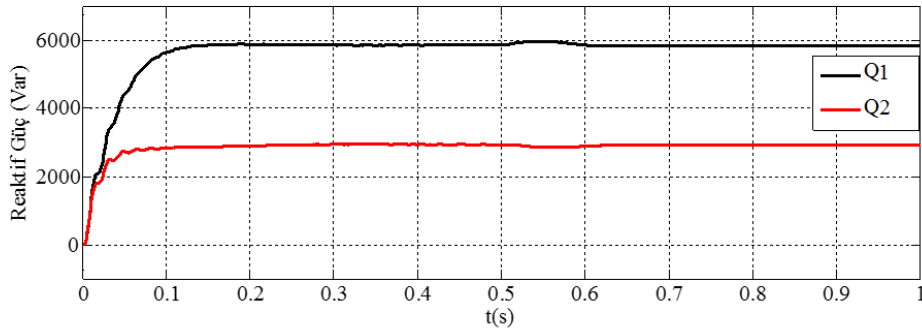
Benzetimlerin ilk aşamasında ana ünite eviricilerine farklı düşüm katsayıları atanarak aktif ve reaktif güç paylaşımları incelenmiştir. Bu amaçla AÜ1 eviricisinin AÜ2 eviricisinin iki katı yüklenmesini sağlayacak şekilde düşüm katsayıları $m_1 = 0,0001$, $m_2 = 0,0002$, $n_1 = 0,0005$, $n_2 = 0,001$ olarak belirlenmiştir. Düşüm kontrollü reaktif güç paylaşımı için Eş. 2.24 ve 2.25'in gerektirdiği koşullara göre ana unitelerin bağlantı empedansları $Z_1 = 0,3 \Omega$, $Z_2 = 0,6 \Omega$, $\theta_1 = \theta_2 = 45^\circ$ olarak atanmıştır. 3 kW gücüne set edilen FV evirici senkronlanmak için bir şebeke bağlantısı gerektirdiğinden $t = 0.5$ s anında devreye alınmıştır. Bu durumda elde edilen AÜ1 ve AÜ2 aktif ve reaktif güç eğrileri ve FV evirici çıkış akımı Şekil 2.21'de görülmektedir. Beklendiği üzere aktif ve reaktif güçler düşüm kontrollü ana eviriciler arasında düşüm katsayıları ile ters orantılı biçimde paylaşılmıştır.

Çizelge 2.1. Mikroşebeke evirici ve şebeke parametreleri

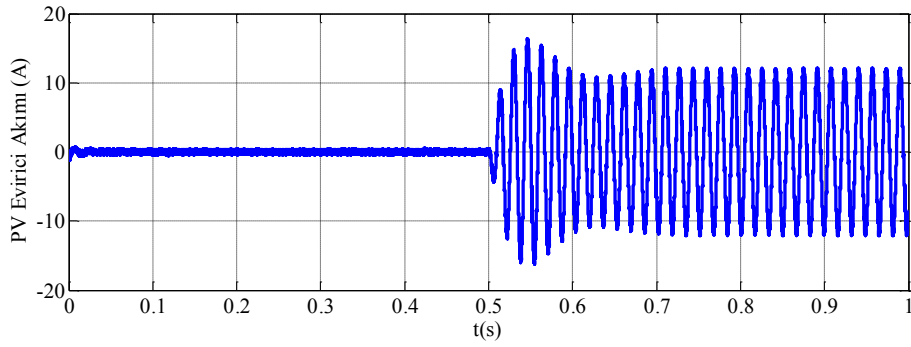
Düşüm kontrollü evirici parametreleri		Fotovoltaik evirici parametreleri	
Parametre	Değer	Parametre	Değer
f_s	10 kHz	f_s	10 kHz
ω_f	31,85 rad/sec	ω_f	62,5 rad/sec
L_f	1,84 mH	L_f	2,3 mH
r_f	0,11 Ω	r_f	0,13 Ω
C_f	30 μ F	C_f	10 μ F
V_s	600 V	V_s	600 V
C_s	1,1 mF	C_s	1 mF
K_{pv}	0,04	K_p	0,033
K_{iv}	10	K_i	0,33
K_{pc}	11		
K_{ic}	20000		
Şebeke Parametreleri			
$V_{L-L} = 220$ V			
$f = 60$ Hz			
$R_l = 0,08 \Omega$, $X_l = 0,07 \Omega$ (500 m AG ana hat empedansı)			
$R_{L2} = 0,12$, $X_{L2} = 0,45$			



a)



b)

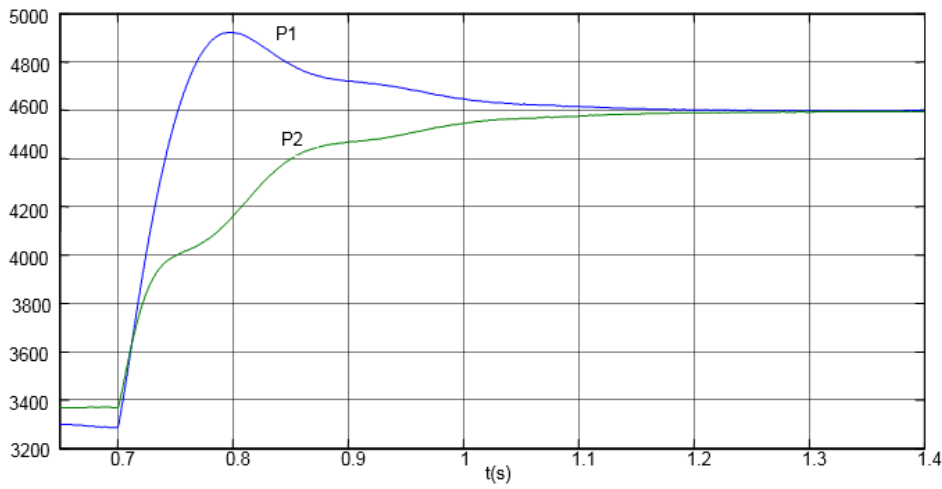


c)

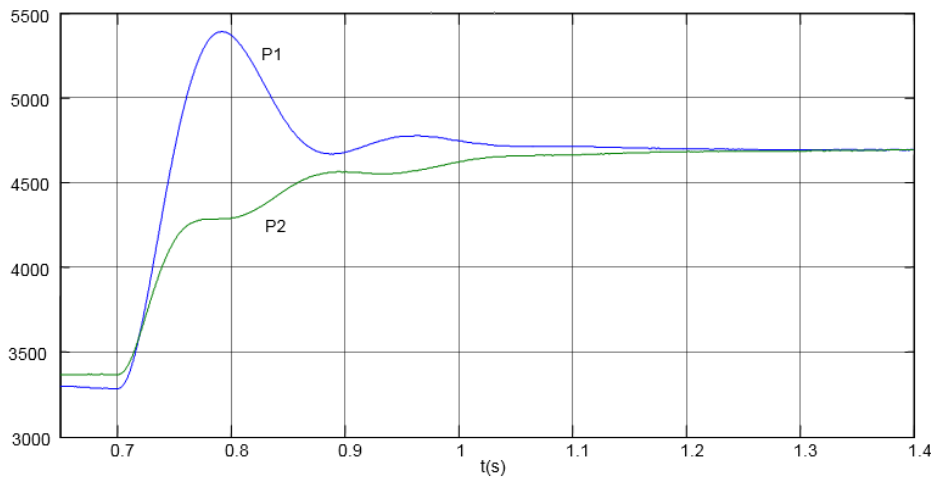
Şekil 2.21. Güç paylaşımı benzetim sonuçları a) AÜ1 ve AÜ2 aktif çıkış güçleri b) AÜ1 ve AÜ2 reaktif çıkış güçleri c) FV evirici çıkış akımı

Benzetimlerde daha sonra düşüm kontrollü eviricilerin asimetrik bağlantı (farklı bağlantı empedansı değerleri) empedanslı durumları incelenmiştir. Bu amaçla eviricilerin düşüm katsayıları $m_1 = m_2 = 0,0001$, $n_1 = n_2 = 0,001$ değerlerinde ve bağlantı empedansları $Z_1 = Z_2 = 0,12 + j0,45$ değerlerinde eşit tutulup AÜ2 tarafına aynı değerde $R_{L2} + jX_{L2}$ bağlantı empedansı da eklenmiştir. Bu durumda düşüm kontrollü eviricilerin 3 kW yük artışına ve 3 kW FV evirici gücü azalmasına cevapları sırasıyla Şekil. 2.22 ve Şekil 2.23’de

görülmektedir. Asimetrik bağlantıdan dolayı eviricilerin farklı geçici durum cevabı sergiledikleri ve düşük bağlantı empedanslı eviricinin daha yüksek hedef aşımına (overshoot) maruz kaldığı görülmektedir. Bu durum FV evirici dinamiklerinden kaynaklanan hedef aşımı ile birleşince (Bkz. Şekil 2.21(c)), aynı miktardaki güç değişimine karşın FV gücü azaldığında geçici durum hedef aşımının yük artışındakine göre daha fazla olduğu gözlenmiştir (Bkz. Şekil 2.23). Bu duruma mikroşebeke koruma koordinasyonunda yanlış kapatmaları önlemek açısından özellikle dikkat edilmesinin gerekebileceği düşünülmektedir.



Şekil 2.22. 3 kW yük artışına düşüm kontrollü eviricilerin aktif güç cevabı (asimetrik bağlantı empedansı durumu)



Şekil 2.23. 3 kW FV evirici gücü azalmasına düşüm kontrollü eviricilerin aktif güç cevabı (asimetrik bağlantı empedansı durumu)

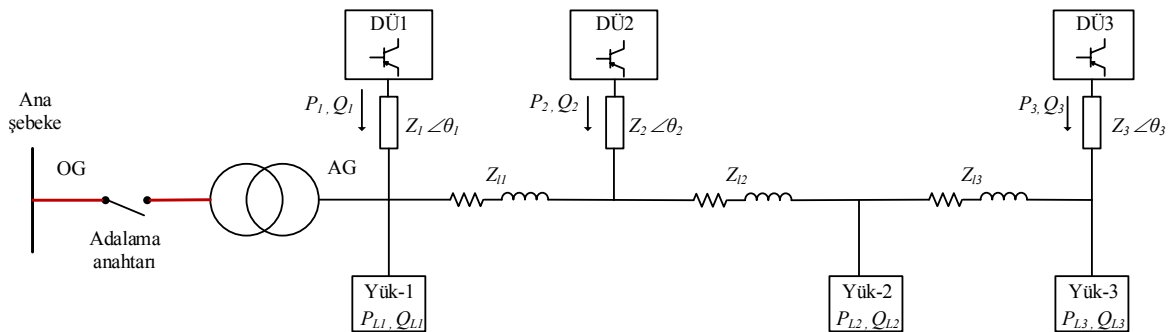
Şekil 2.20’de verilen test mikroşebeke modeli üzerinden benzetimlerle incelenen önerilen mikroşebeke modelinin otonom yük paylaşımı gibi ana ada modu gereksinimlerini gerçekleştirdiği gözlenmiştir. Bundan sonraki bölümde mikroşebekenin küçük sinyal kararlılık analizleri bu tez çalışması kapsamında geliştirilen genelleştirilmiş bir analiz yöntemi ile gerçekleştirilecektir. Daha sonra analiz yöntemi kullanılarak kritik mikroşebeke parametrelerinin kararlılığı nasıl etkilendiği incelenecektir.

3. MİKROŞEBEKE KARARLILIK ANALİZLERİ

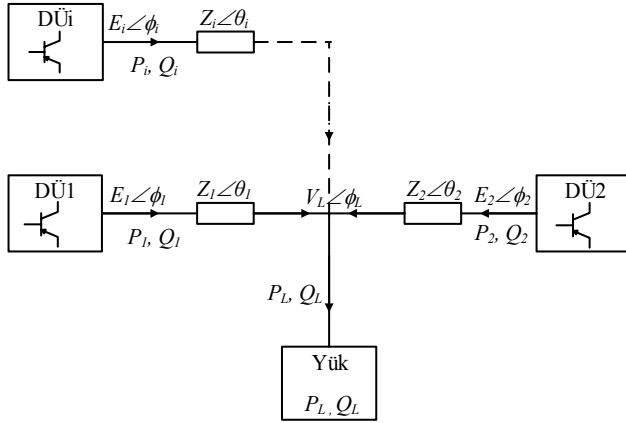
Mikroşebeke bir sistem olarak ele alındığında mikroşebekelerin en kritik operasyonlarından olan ada modu için kararlılık analizleri, kararlı çalışma kriterleri ve yeterli pay (margin) ile kararlılığı sağlayacak şekilde şebeke parametrelerinin belirlenmesine yönelik analizler ilk aşamada ele alınması gereken konulardandır. Burada kararlılık ile kastedilen sistemin normal şartlar altında küçük çaplı yük ve güç değişimlerine verdiği cevabı inceleyen küçük sisyal kararlılığıdır. Büyük çaplı etkilere karşı sistemin davranışı geçici durum kararlılığı (Transient stability) başlığı altında şebeke koruma konusu dahilinde ayrıca ele alınmaktadır [48]. Literatürde düşüm kontrollü eviricilerden oluşan mikroşebeke sistemlerinin ada çalışma modu için küçük sinyal kararlılık analizine yönelik çalışmalar bulunmaktadır [50-54]. Bu çalışmalardan ilk göze çarpan [50]'deki çalışmada düşüm kontrollü tek bir eviricinin ana şebekeye (sabit genlikli, sabit frekanslı) bağlı çalışma durumundaki kararlılığı incelenmiştir. Her ne kadar, birden çok eviricinin karşılıklı etkileşimini dikkate almadığı için belirtilen çalışmada elde edilen sonuçlar mikroşebeke kararlılık analizi için uygun olmasa da kullanılan yaklaşım bu çalışmaya önemli bir referans sağlamıştır. Aynı yazarların [51]'deki çalışmasında iki düşüm kontrollü eviriciden oluşan bir sistemin ada modu kararlılık analizi incelenmiştir. Çalışmada yüksek hızlı akım ve gerilim dinamikleri ihmal edilerek sadeleştirme sağlanmış olsa da lineerleştirilmiş küçük sinyal uygulamalarının gerektirdiği denge noktası parametre değerlerinin belirlenmesi ek bir analiz (yük akış analizi gibi) daha gerektirmektedir. Ayrıca uygulanan yöntemin şebeke topolojisine bağlı olması büyük mikroşebekelerde yöntemin kullanılmasını oldukça zorlaştırmaktadır. [52] ve [53]'de üç eviriciden oluşan bir mikroşebekenin akım ve gerilim dinamiklerini de içeren detaylı kararlılık analizleri yapılmıştır. Bu çalışmalarda beklendiği gibi, görece olarak hızlı olan akım ve gerilim dinamiklerinin mikroşebeke kararlılığında etkileri olmadığı, düşüm tabanlı güç dinamiklerinin mikroşebeke kararlılığında en önemli belirleyici olduğu doğrulanmıştır. Ancak uygulanan yöntem istenilen genellikten ve pratiklikten oldukça yoksundur, uygulandığı mikroşebeke topolojisine bağımlıdır ve denge noktası değerleri için ek analizler gerektirmektedir. Mikroşebeke kararlılık analizinde genelleştirme iddasında olan tek çalışma [40]'da verilen çalışmadır. Ancak bu çalışma da uygulama açısından oldukça karmaşıktır. Ayrıca, çalışmada uygulanan oldukça fazla sayıdaki varsayımların ve sadeleştirmelerin yanıltıcı sonuçlar doğuracağı elde edilen sonuçlardan da açıkça görülmektedir. Bu bölümde, bu tez çalışması kapsamında geliştirilen, şebeke topolojisinden

bağımsız olarak her yapıdaki evirici tabanlı mikroşebeke topolojisine uygulanabilen, geliştirilmiş ve pratik bir kararlılık analizi yöntemi açıklanacaktır. Ayrıca geliştirilen analiz yöntemi matematiksel bir çıkarım sayesinde denge noktaları için ek analizler gerektirmemektedir. Bu durum analiz yönteminin uygulanmasını oldukça rahatlatmaktadır.

Şekil 3.1’de örnek bir AG mikroşebeke modeli görülmektedir. Mikroşebekedeki dağıtık üreteçler birer bağlantı empedansı ile şebekeye bağlanmışlardır (Bkz. Şekil 3.1’de $Z_1 \angle \theta_1$, $Z_2 \angle \theta_2$, $Z_3 \angle \theta_3$). AG şebekelerde hat empedansları özellikle de ana dağıtım hatları için oldukça düşük değerlerdedir (Şekil 3.1’de Z_{l1} , Z_{l2} , Z_{l3}). Diğer yandan, gerilim kontrol modunda paralel çalıştırılan düşüm kontrollü DÜ eviricilerinin çıkışındaki bağlantı empedans genliğinin mikroşebeke kararlılığı açısından belirli bir değerin altında olmaması gerekmektedir [51], [Kısım 3.4]. Bu amaçla çıkış empedansları fiziksel olarak endüktif bir bağlantıyla veya sanal empedans uygulamasıyla hat empedanslarından baskın olacak şekilde özellikle tasarlanabilirler [26], [60]. Bu durumda, eviricilerin bağlantı empedanslarına göre küçük kalan mikroşebeke hat empedansları mikroşebeke sistemi içerisinde ihmal edilebilirler. Sonuç olarak, Şekil 3.1’deki gibi bir mikroşebeke modeli, bütün düşüm kontrollü DÜ’lerin kendi bağlantı empedansları üzerinden ortak bir yüke paralel bağlandıkları Şekil 3.2’deki gibi sadeleştirilmiş genel bir model ile temsil edilebilir. Şekil 3.2’deki ortak yük mikroşebekedeki toplam yüke karşılık gelmektedir. Yukarıda belirtildiği gibi akım ve gerilim dinamikleri uygun şekilde ayarlandıklarında sistem kararlılığına etkileri olmadığından mikroşebeke sistemi sadece güç dinamikleri açısından incelenecektir. Bu sebeple mikroşebenin ilgili parametrelerinin (akımlar, gerilimler, empedanslar) karmaşık düzlemde fazör ifadeleri yeterli olacaktır.



Şekil 3.1. Mikroşebeke sistemi



Şekil 3.2. Sadeleştirilmiş genel mikroşebeke modeli

Şekil 3.2’de E_i ve ϕ_i düşüm kontrollü eviricilerin gerilim genliği ve faz açısıdır ($v_{ia} = E_i \sin(\phi_i)$), $i = 1, 2, \dots, N$, N mikroşebekedeki düşüm kontrollü evirici sayısıdır. Z_i ve θ_i bağlantı empedanslarının genliği ve faz açısı, V_L ve ϕ_L ortak bağlantı noktası geriliminin genliği ve faz açısıdır. P_i ve Q_i düşüm kontrollü eviricilerin aktif ve reaktif çıkış güçlerini temsil etmektedirler. P_L ve Q_L ise mikroşebekedeki toplam aktif ve reaktif yüke karşılık gelmektedir.

Bundan sonraki kısımlarda, ilk olarak, kararlılık analizi kapsamında mikroşebeke sistemine dahil edilmeyen belirsiz güçlü kaynakların güç dinamiklerinin sistem kararlılığında etkisiz olduğu analitik olarak gösterilecektir. Daha sonra düşüm kontrollü eviricilerin ve yüklerin dinamik güç eşitlikleri elde edilecektir. Bu aşamada, matematiksel bir çıkarım ile yük akış analizi gerektiren durum değişkenlerinin denge noktası değerleri dinamik eşitliklerin katsayılarından düşürülerek analiz yönteminin daha da basitleştirilmesi sağlanacaktır. Daha sonra, elde edilen eşitlikler Şekil 3.2’deki genelleştirilmiş model üzerinden düzenlenerek kararlılık analizi yöntemi geliştirilecektir. Bir sonraki kısımda ise analiz yöntemi bir test mikroşebekesine uygulanıp sonuçlar benzetim sonuçlarıyla karşılaştırılarak analiz yöntemi doğrulanacaktır. Son olarak, geliştirilen analiz yöntemi kullanılarak mikroşebekelerin parametrik kararlılık profili elde edilecektir.

3.1. Belirsiz Güçlü Eviricilerin Güç Dinamikleri

Yenilenebilir kaynaklara uygulanan belirsiz güçlü akım kontrol tekniği Kısım 2.2.3’de detaylıca anlatılmıştır. Belirsiz güçlü eviricilerin çalışma prensibi genel olarak çıkış

gerilimine bağılı akım kontrollü üreteç olarak tanımlanabilir. Şekil 2.17’de verilen yenilenebilir kaynağın DA bağ kondansatör gerilim dinamiği sistemin güç dinamiğinden oldukça yavaştır (1~2 Hz). Bu durumda, kaynağın maksimum güç noktası sabit kabul edilebilir. Buna göre, Eş. 2.18’de eşitliğin sağ tarafı sıfıra eşitlenir ve Şekil 2.17’deki alçak geçiş filtresi de dikkate alınırsa eviricinin çıkış akım dinamiği aşağıdaki biçimde ifade edilebilir;

$$I_{od} = \frac{P_{ri}}{1.5V_{od}} \frac{\omega_f}{s+\omega_f} \quad (3.1)$$

Burarda P_{ri} yenilenebilir kaynağın V_{sI_s} değerine karşılık gelen anlık giriş gücüdür. Belirsiz güçlü eviricinin çıkış gücünün (P_{ro}) dinamik denklemi Eş. 2.17’den;

$$P_{ro} = 1.5V_{od}I_{od} \quad (3.2)$$

Eş. 3.2 küçük sinyal yaklaşımıyla şebeke değişkeni V_{od} ’ye göre doğrusallaştırıldığında;

$$\Delta P_{ro} = 1.5(\Delta V_{od}I_{od} + V_{od} \frac{\partial I_{od}}{\partial V_{od}} \Delta V_{od}) \quad (3.3)$$

Eş. 3.1 ve 3.3’den;

$$\Delta P_{ro} = 1.5 \left(\Delta V_{od} \frac{P_{ri}}{V_{od}} \frac{\omega_f}{s+\omega_f} + V_{od} \frac{-P_{ri}}{V_{od}^2} \frac{\omega_f}{s+\omega_f} \Delta V_{od} \right) = 0 \quad (3.4)$$

Eş. 3.4’den anlaşıldığı üzere belirsiz güçlü kaynakların kontrol yaklaşımlarından kaynaklanan dinamik özelliklerinden dolayı şebeke güç dinamiklerine etkileri yoktur.

3.2. Düşüm Kontrollü Eviricilerin Güç Dinamikleri

Düşüm kontrollü eviricilerin çıkış gerilimlerinin frekansları ve genlikleri çıkış aktif ve reaktif güçleri kullanılarak Eş. 2.11 ve 2.12’de verilen düşüm eşitliklerine göre düzenlenirler. Diğer yandan Şekil 3.2 baz alındığında, i nci eviricinin çıkış aktif (P_i) ve reaktif (Q_i) güçleri çıkış gerilimi $E_i \angle \phi_i$, ortak bağlantı noktası gerilimi $V_L \angle \phi_L$ ve bağlantı empedansı $Z_i \angle \theta_i$ cinsinden aşağıdaki eşitliklerle ifade edilirler;

$$P_i = p \left(\frac{E_i^2}{Z_i} \cos \theta_i - \frac{E_i V_L}{Z_i} \cos(\theta_i + \phi_i - \phi_L) \right) \quad (3.5)$$

$$Q_i = p \left(\frac{E_i^2}{Z_i} \sin \theta_i - \frac{E_i V_L}{Z_i} \sin(\theta_i + \phi_i - \phi_L) \right) \quad (3.6)$$

Eş. 3.5 ve 3.6'daki p katsayısı sistemin faz sayısına bağlı bir parametredir ve tek faz sistemler için 1/2 üç faz sistemler için 3/2 değerindedir. Buna uygun olarak, eşitliklerdeki gerilim değerleri faz-nötr gerilimlerinin tepe değerleri ve güç değerleri üç faz toplam aktif ve reaktif güç olmalıdır. Eş. 3.5 ve 3.6'da verilen güç eşitlikleri nonlineer ifadelerdir ve lineer kontrol analiz tekniklerinin uygulanabilmesi için lineerleştirilmeleri gerekmektedir. Ana şebekeye bağlantı durumundan farklı olarak ada modunda ortak bağlantı noktası gerilimi de değişken olarak alınmalıdır. Bu durumda, çıkış gerilimi ve ortak bağlantı noktası gerilimi değişkenlerinin denge noktaları etrafında lineerleştirilmiş güç eşitlikleri aşağıdaki gibi elde edilir;

$$\Delta P_i = k_{i1} \Delta E_i + k_{i2} \Delta \phi_i + k_{i3} \Delta V_L + k_{i4} \Delta \phi_L \quad (3.7)$$

$$\Delta Q_i = k_{i5} \Delta E_i + k_{i6} \Delta \phi_i + k_{i7} \Delta V_L + k_{i8} \Delta \phi_L \quad (3.8)$$

Lineerleştirme algoritmasına göre Eş. 3.7 ve 3.8'deki katsayılar aşağıdaki gibi elde edilir;

$$k_{i1} = p \left(\frac{2E_i}{Z_i} \cos \theta_i - \frac{V_L}{Z_i} \cos(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i2} = p \left(\frac{E_i V_L}{Z_i} \sin(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i3} = p \left(\frac{-E_i}{Z_i} \cos(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i4} = p \left(\frac{-E_i V_L}{Z_i} \sin(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i5} = p \left(\frac{2E_i}{Z_i} \sin \theta_i - \frac{V_L}{Z_i} \sin(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i6} = p \left(\frac{-E_i V_L}{Z_i} \cos(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i7} = p \left(\frac{-E_i}{Z_i} \sin(\theta_i + \phi_i - \phi_L) \right)$$

$$k_{i8} = p \left(\frac{E_i V_L}{Z_i} \cos(\theta_i + \phi_i - \phi_L) \right). \quad (3.9)$$

Eş. 3.7 ve 3.8’de değişkenlerin önündeki Δ ilgili değişkenin denge noktası etrafında ele alındığını ifade etmektedir. Bu durumda Eş. 3.9’daki değişken değerleri ilgili değişkenlerin denge noktası değerleridir. Bu değişkenlerden özellikle gerilimlerin faz açılarının denge noktası değerlerini elde etmek için literatürde önerilen yöntemlerde fazlardan bir çalışma olarak tüm sistemin sistemin dinamik benzetiminin veya yük akış analizinin yapılması gerekmekte olup bu sebeple kararlılık analizleri daha da karmaşık hale gelmektedir. Neyse ki, dikkatli incelendiğinde Eş. 3.5 ve 3.6’daki aktif ve reaktif güç eşitliklikleri ile Eş. 3.9’daki katsayı eşitlikleri arasında benzerlikler olduğu farkedilmektedir. Eş. 3.9’da verilen katsayı eşitlikleri Eş. 3.5 ve 3.6’da verilen güç eşitlikleri ile karşılaştırılıp gerekli yerleştirmeler yapıldığında, Eş. 3.9’da verilen katsayı eşitliklerinin gerilim faz açılarının denge noktaları elenerek aşağıdaki gibi elde edilebildiği görülür;

$$\begin{aligned} k_{i1} &= \frac{P_i}{E_i} + p \frac{E_i}{Z_i} \cos \theta_i \\ k_{i2} &= p \frac{E_i^2}{Z_i} \sin \theta_i - Q_i \\ k_{i3} &= \frac{P_i}{E_i} - p \frac{E_i}{Z_i} \cos \theta_i = \frac{2P_i}{E_i} - k_{i1} \\ k_{i4} &= Q_i - p \frac{E_i^2}{Z_i} \sin \theta_i = -k_{i2} \\ k_{i5} &= \frac{Q_i}{E_i} + p \frac{E_i}{Z_i} \sin \theta_i \\ k_{i6} &= P_i - p \frac{E_i^2}{Z_i} \cos \theta_i \\ k_{i7} &= \frac{Q_i}{E_i} - p \frac{E_i}{Z_i} \sin \theta_i = \frac{2Q_i}{E_i} - k_{i5} \\ k_{i8} &= p \frac{E_i^2}{Z_i} \cos \theta_i - P_i = -k_{i6} \end{aligned} \quad (3.10)$$

Eş. 3.10’da verilen yeniden düzenlenmiş katsayı eşitlikleri incelendiğinde analizin artık sadece DÜ’lerin kararlı durum (denge durumu) yüklenmeleri, kararlı durum çıkış gerilim genlikleri ve bağlantı empedans değerleri gerektirdiği görülür. DÜ’lerin kararlı durum aktif ve reaktif yüklenmeleri sırasıyla Eş. 2.21 ve 2.22’den, kararlı durum genliği ise Eş. 2.12’den

elde edilebilirler. Dikkat edilirse kararlılık analizi bu şekilde yük akış analizlerindeki gibi sadece şebeke ve evirici parametreleri gerektiren basit bir işleme dönüşmüştür.

Diğer yandan Eş. 2.11 ve 2.12’de verilen düşüm eşitliklerine Şekil 2.15’de gösterilen filtrelenmiş çıkış güçleri de eklendiğinde, lineerleştirilmiş düşüm eşitlikleri aşağıdaki gibi elde edilirler;

$$\Delta\omega_i = -m_i \frac{w_{fi}}{s + w_{fi}} \Delta P_i \quad (3.11)$$

$$\Delta E_i = -n_i \frac{w_{fi}}{s + w_{fi}} \Delta Q_i \quad (3.12)$$

Ayrıca, faz açısı ile frekans arasındaki dinamik ilişki aşağıdaki gibidir;

$$\Delta\phi_i = \frac{1}{s} \Delta\omega_i \quad (3.13)$$

3.2.1. Yük ve bağlantı empedansı güç dinamikleri

Bu çalışmada akım ve gerilim dinamikleri bulunmayan pasif yükler kullanılmıştır. Şebekenin eşdeğer yük empedansı fazör cinsinsinden $Z_L \angle \theta_L$ olarak ifade edilirse aktif ve reaktif yükler aşağıdaki eşitliklerle ifade edilirler;

$$P_L = \frac{V_L^2}{Z_L} \cos \theta_L \quad (3.14)$$

$$Q_L = \frac{V_L^2}{Z_L} \sin \theta_L \quad (3.15)$$

Eş. 3.14 ve 3.15’ deki nonlinear eşitlikler lineerleştirildiğinde;

$$\Delta P_L = \frac{2V_L}{Z_L} \cos \theta_L \Delta V_L \quad (3.16)$$

$$\Delta Q_L = \frac{2V_L}{Z_L} \sin \theta_L \Delta V_L \quad (3.17)$$

Eş. 3.16 ve 3.17, Eş. 3.14 ve 3.15'deki güç eşitlikleriyle karşılaştırılıp yeniden düzenlendiğinde kararlı durum (denge durumu) aktif ve reaktif yük güçleri cinsinden elde edilmiş lineerleştirilmiş yük eşitlikleri aşağıdaki gibi elde edilir;

$$\Delta P_L = \frac{2P_L}{V_L} \Delta V_L \quad (3.18)$$

$$\Delta Q_L = \frac{2Q_L}{V_L} \Delta V_L \quad (3.19)$$

Eş. 3.18 ve 3.19'da yük gerilim genliği V_L mikroşebekenin anma gerilim değeri olarak alınabilir. Çok gerekli olmasa da yük gerilim genliği Eş. 3.5 kullanılarak daha hassas belirlenebilir. Diğer yandan, bağlantı empedanslarının güç dinamikleri de DÜ ve yük güç dinamiklerine benzer şekilde elde edilebilir ve sisteme dahil edilebilirler. Ancak bağlantı empedanslarının güç dinamiklerinin sistem kararlılık analizine önemli bir etkisinin olmadığı gözlenmiştir. Bu sebeple işlem kalabalığı yapmamak için bağlantı empedanslarının güç dinamikleri ihmal edilecektir.

3.3. Birleştirilmiş Mikroşebeke Dinamik Modeli

Güç dinamikleri açısından bir düşünüm kontrollü evirici ikisi alçak geçiş filtre dinamiklerinden birisi de frekans-faz açısı dinamiğinden kaynaklanan üçüncü dereceden bir dinamik sistemdir. Bu sebeple her bir evirici için üç adet durum değişkeni $\Delta \omega_i, \Delta E_i$ ve $\Delta \phi_i$ olarak belirlenebilir. Bu durumda Eş. 3.11-3.13'den i 'nci eviricinin dinamik eşitlikleri aşağıdaki gibi elde edilir;

$$\Delta \dot{E}_i = (-w_{fi} - n_i w_{fi} k_{i5}) \Delta E_i - n_i w_{fi} k_{i6} \Delta \phi_i - n_i w_{fi} k_{i7} \Delta V_L - n_i w_{fi} k_{i8} \Delta \phi_L \quad (3.20)$$

$$\Delta \dot{\omega}_i = -m_i w_{fi} k_{i1} \Delta E_i - m_i w_{fi} k_{i2} \Delta \phi_i - m_i w_{fi} k_{i3} \Delta V_L - m_i w_{fi} k_{i4} \Delta \phi_L - w_{fi} \Delta \omega_i \quad (3.21)$$

$$\dot{\phi}_i = \Delta \omega_i \quad (3.22)$$

Eş. 3.20 ve 3.21’de durum değişkeni olmayan ΔV_L ve $\Delta \phi_L$ durum değişkenleri cinsinden elde edilerek sisteme dahil edilmelidirler. Bunun için Şekil 3.2’de ortak bağlantı noktasındaki güç korunum prensibi kullanılabilir. Buna göre;

$$\sum_{i=1}^N \Delta P_i = \Delta P_L \quad (3.23)$$

$$\sum_{i=1}^N \Delta Q_i = \Delta Q_L \quad (3.24)$$

Eş. 3.7, 3.8, 3.18 ve 3.19 Eş. 3.23 ve 3.24’de yerlerine konulursa;

$$\sum k_{i1} \Delta E_i + \sum k_{i2} \Delta \phi_i + \sum k_{i3} \Delta V_L + \sum k_{i4} \Delta \phi_L = \frac{2P_L}{V_L} \Delta V_L \quad (3.25)$$

$$\sum k_{i5} \Delta E_i + \sum k_{i6} \Delta \phi_i + \sum k_{i7} \Delta V_L + \sum k_{i8} \Delta \phi_L = \frac{2Q_L}{V_L} \Delta V_L \quad (3.26)$$

Eş. 3.25 ve 3.26’dan ΔV_L ve $\Delta \phi_L$ aşağıdaki gibi elde edilir;

$$\Delta V_L = \sum_{j=1}^N (-\alpha_1 k_{j1} - \alpha_2 k_{j5}) \Delta E_j + \sum_{j=1}^N (-\alpha_1 k_{j2} - \alpha_2 k_{j6}) \Delta \phi_j \quad (3.27)$$

$$\Delta \phi_L = \sum_{j=1}^N (-\alpha_3 k_{j1} - \alpha_4 k_{j5}) \Delta E_j + \sum_{j=1}^N (-\alpha_3 k_{j2} - \alpha_4 k_{j6}) \Delta \phi_j \quad (3.28)$$

Burada;

$$\begin{bmatrix} \alpha_1 & \alpha_2 \\ \alpha_3 & \alpha_4 \end{bmatrix} = \begin{bmatrix} \sum k_{i3} - \frac{2P_L}{V_L} & \sum k_{i4} \\ \sum k_{i7} - \frac{2Q_L}{V_L} & \sum k_{i8} \end{bmatrix}^{-1}$$

Eş. 3.27 ve 3.28’deki ΔV_L ve $\Delta \phi_L$ Eş. 3.20 ve 3.21’de yerlerine konulursa Şekil 3.2’deki gibi N tane düşün kontrollü eviriciden oluşan genelleştirilmiş mikroşebeke modeli için durum eşitlikleri aşağıdaki gibi elde edilirler;

$$\begin{aligned}
\Delta \dot{E}_i &= \sum_{j=1}^N a_{ij} \Delta E_j + \sum_{j=1}^N b_{ij} \Delta \phi_j \\
\Delta \dot{\omega}_i &= \sum_{j=1}^N c_{ij} \Delta E_j + \sum_{j=1}^N d_{ij} \Delta \phi_j - w_{fi} \Delta \omega_i \\
\dot{\phi}_i &= \Delta \omega_i
\end{aligned} \tag{3.29}$$

Burada $i, j = 1, 2, \dots, N$ ve,

$$\begin{aligned}
a_{ij} &= \left\{ \begin{array}{l} -w_{fi} - n_i w_{fi} k_{i5} + n_i w_{fi} k_{i7} (\alpha_1 k_{j1} + \alpha_2 k_{j5}) \\ + n_i w_{fi} k_{i8} (\alpha_3 k_{j1} + \alpha_4 k_{j5}) \quad \text{for } i = j \\ n_i w_{fi} k_{i7} (\alpha_1 k_{j1} + \alpha_2 k_{j5}) \\ + n_i w_{fi} k_{i8} (\alpha_3 k_{j1} + \alpha_4 k_{j5}) \quad \text{for } i \neq j \end{array} \right\} \\
b_{ij} &= \left\{ \begin{array}{l} -n_i w_{fi} k_{i6} + n_i w_{fi} k_{i7} (\alpha_1 k_{j2} + \alpha_2 k_{j6}) \\ + n_i w_{fi} k_{i8} (\alpha_3 k_{j2} + \alpha_4 k_{j6}) \quad \text{for } i = j \\ n_i w_{fi} k_{i7} (\alpha_1 k_{j2} + \alpha_2 k_{j6}) \\ + n_i w_{fi} k_{i8} (\alpha_3 k_{j2} + \alpha_4 k_{j6}) \quad \text{for } i \neq j \end{array} \right\} \\
c_{ij} &= \left\{ \begin{array}{l} -m_i w_{fi} k_{i1} + m_i w_{fi} k_{i3} (\alpha_1 k_{j1} + \alpha_2 k_{j5}) \\ + m_i w_{fi} k_{i4} (\alpha_3 k_{j1} + \alpha_4 k_{j5}) \quad \text{for } i = j \\ m_i w_{fi} k_{i3} (\alpha_1 k_{j1} + \alpha_2 k_{j5}) \\ + m_i w_{fi} k_{i4} (\alpha_3 k_{j1} + \alpha_4 k_{j5}) \quad \text{for } i \neq j \end{array} \right\} \\
d_{ij} &= \left\{ \begin{array}{l} -m_i w_{fi} k_{i2} + m_i w_{fi} k_{i3} (\alpha_1 k_{j2} + \alpha_2 k_{j6}) \\ + m_i w_{fi} k_{i4} (\alpha_3 k_{j2} + \alpha_4 k_{j6}) \quad \text{for } i = j \\ m_i w_{fi} k_{i3} (\alpha_1 k_{j2} + \alpha_2 k_{j6}) \\ + m_i w_{fi} k_{i4} (\alpha_3 k_{j2} + \alpha_4 k_{j6}) \quad \text{for } i \neq j \end{array} \right\}
\end{aligned} \tag{3.30}$$

Eş. 3.29 uzay-durum formunda yazılırsa kararlılık analizlerinde kullanılacak olan durum matrisi A aşağıdaki gibi elde edilir;

$$\begin{aligned}
\Delta \dot{E}_i \\
\Delta \dot{\omega}_i \\
\Delta \dot{\phi}_i
\end{aligned}
= \underbrace{\begin{bmatrix} [a_{ij}] & [0] & [b_{ij}] \\ [c_{ij}] & [-w_{fi}] & [d_{ij}] \\ [0] & [I] & [0] \end{bmatrix}}_A \begin{bmatrix} \Delta E_i \\ \Delta \omega_i \\ \Delta \phi_i \end{bmatrix} \tag{3.31}$$

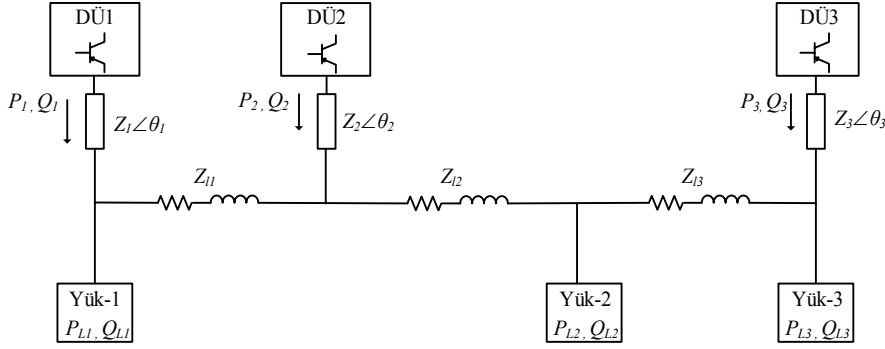
A matrisinin alt matrislerinin herbirinin boyutu mikroşebekedeki toplam düşüm kontrollü evirici sayısı olan N kadardır. Buna göre A matrisinin boyutu $3N$ dir. A matrisinde I birim matristir. $[-w_{fi}]$ alt matrisi $-w_{fi}I$ formunda köşegen matristir. $[0]$ ise boş (null) matristir. A matrisini oluşturmak için yeterli olacak parametreler, her bir evirici için; denge durumu yüklenmeleri P_i ve Q_i , bağlantı empedansı $Z_i \angle \theta_i$, düşüm katsayıları m_i, n_i , güç filtrelerinin köşe (cut-off) frekansı w_{fi} ve mikroşebeke için; anma gerilim genliği V_L ve toplam aktif ve reaktif yük miktarı P_L, Q_L 'dir.

3.4. Mikroşebeke Kararlılık Analizi Sonuçları

Geliştirilen mikroşebeke kararlılık analizi yöntemi Şekil 3.3'de görülen test mikroşebeke modeline uygulanmıştır. Mikroşebeke değişik varyasyonlarda yerleştirilmiş üç adet eşlenik düşüm kontrollü eviriciden ve yüklerden oluşmaktadır. Evirici parametreleri, eviricilerin bağlantı empedans değerleri ve mikroşebeke parametreleri Çizelge 3.1'de verilmiştir. Test mikroşebekesi dengeli üç faz bir sistem olup, 180 V gerilim genliğine ve 60 Hz şebeke frekansına göre oluşturulmuştur. DÜ eviricileri üç bacaklı, üç telli yapıdadır. Eviricilerin gerilim ve akım kontrolcülerini d-q referans ekseninde yük dengeleyici ileri besleme metodu ile kontrol edilmişlerdir [36], [52], [53], [47]. Mikroşebekenin ana dağıtım hattının uzunluğu ve bağlantı hat özellikleri CIGRE dağıtım şebekesi modeli ile uyumlu olacak şekilde seçilmiştir [57]. Benzetimler Matlab - Simulink ortamında Şekil 3.3'deki gerçek sistem kullanılarak gerçekleştirilmiştir. Analizler ise bağlantı hatlarının iç empedanslarının ihmal edildiği ve kümülatif tek bir yükün kullanıldığı Şekil 3.2'deki sadeleştirilmiş genel mikroşebeke modeli üzerinden geliştirilen analiz yöntemi ile gerçekleştirilmiştir.

Analizler için Eş. 3.31'de verilen sistem durum matrisi (A) kullanılarak sistemin kökleri elde edilmiştir. Ayrıca sistem kökleri kullanılarak durum değişkenlerinin değişimleri grafiksel olarak aşağıdaki eşitliği kullanarak elde edilebilir. Eş. 3.32'de X_{ke} X_k değişkeninin denge noktası değeri, $X_k(0)$ ise başlangıç noktası değeridir. E_i ve ω_i durum değişkenleri için başlangıç ve denge noktası değerleri Eş. 2.11 ve 2.12'den elde edilebilirler. ϕ_i durum değişkeninin başlangıç noktası değeri sıfır olup denge noktası değeri Eş. 3.5'den elde edilebilir (elde edilen değer in eksi değerlisi).

$$X_k = X_{ke} + \sum_{k=1}^{3N} C_k e^{\lambda_k t}, \quad C_k \text{ verilen } X_k(0) \text{ değerlerinden} \quad (3.32)$$



Şekil 3.3. Test mikroşebeke modeli

Çizelge 3.1. Evirici parametreleri

Parametre	Tanımı	Değeri (birimi)
Düşüm kontrollü eviriciler ve Bağlantı empedansları		
f_s	Anahtarlama frekansı	10 (kHz)
L_f, r_f	Filtre induktansı ve iç direnci	1,84 (mH), 0,11 (Ω)
C_f	Filtre kapasitansı	30 (μ F)
ω_f	Güç filtreleri köşe frekansı	31,85 (rad/sec)
ω_s	Frekans set değeri	380 (rad/sec)
V_s	DA giriş gerilimi	400 V
L_{c1}, r_{c1}	$\overline{Z_1}$ bağlantı empedansının endüktansı ve iç direnci	1,57 (mH), 0,19 (Ω)
L_{c2}, r_{c2}	$\overline{Z_2}$ bağlantı empedansının endüktansı ve iç direnci	2,46 (mH), 0,29 (Ω)
L_{c3}, r_{c3}	$\overline{Z_3}$ bağlantı empedansının endüktansı ve iç direnci	2 (mH), 0,24 (Ω)
Bağlantı hatları		
Z_{l1}	250 m hat empedansı	$41 + j34$ (m Ω)
Z_{l2}	100 m hat empedansı	$16,3 + j13,6$ (m Ω)
Z_{l3}	150 m hat empedansı	$24,5 + j20,4$ (m Ω)
Yükler		
P_{L1}, Q_{L1}	Yük-1 aktif ve reaktif güçleri	6 kW, 4 kVar
P_{L2}, Q_{L2}	Yük-2 aktif ve reaktif güçleri	2 kW, 1 kVar
P_{L3}, Q_{L3}	Yük-3 aktif ve reaktif güçleri	4 kW, 3 kVar

Eviricilere uygulanan düşüm katsayıları birbirinin eşleniği olup benzetimler ve analizler evirici parametrelerinin aşağıda belirtilen üç farklı kombinasyonu için gerçekleştirilmiştir.

Evirici parametreleri birinci durumda sistemde negatif gerçek kökler (kararlı sistem), ikinci durumda negatif gerçek değerli karmaşık kökler (kararlı-salınımlı sistem), üçüncü durumda ise pozitif gerçek değerli karmaşık kökler (kararsız-salınımlı sistem) oluşturacak şekilde seçilmişlerdir. Gerçek uygulamalar için, izin verilen azami frekans ve gerilim sapmalarına dayalı aktif ve reaktif düşüm katsayısı belirleme yöntemi Kısım 2.3.1 ve 2.3.2’de verilmiştir.

Durum 1: $m = 0,0001 \text{ rad/(Ws)}$, $n = 0,0002 \text{ V/Var}$, endüktif bağlantı empedansları.

Durum 2: $m = 0,0025 \text{ rad/(Ws)}$, $n = 0,005 \text{ V/Var}$, endüktif bağlantı empedansları.

Durum 3: $m = 0,0015 \text{ rad/(Ws)}$, $n = 0,003 \text{ V/Var}$, rezistif bağlantı empedansları.

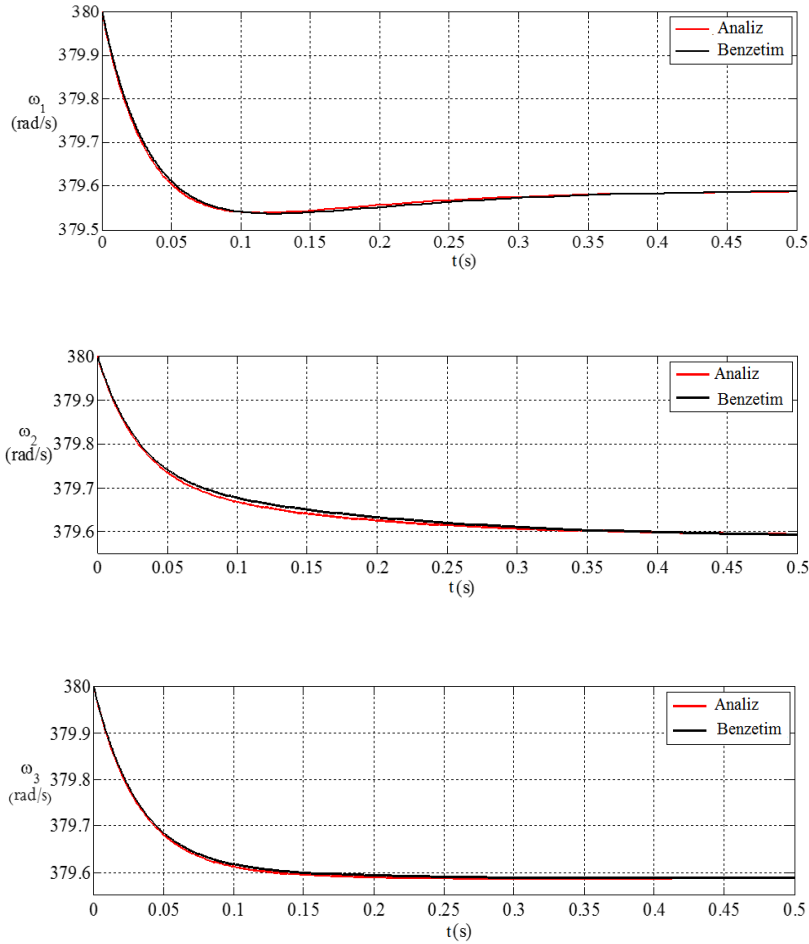
Durum 1: Analiz ve benzetimler düşüm katsayıları $m = 0,0001$ ve $n = 0,0002$ için önce sadece Çizelge 3.1’de verilen rezistif yüklenme durumu için gerçekleştirilmiştir (toplam 12 kW). Çizelge 3.1’e ve Durum 1 düşüm katsayılarına göre sistem durum matrisini oluşturmak için gereken parametreler aşağıdaki gibi elde edilir;

$p = 3/2$, $P_L = 12 \text{ kW}$, $Q_L = 0$, $Z_1 \angle \theta_1 = 0,62 \angle 1,26$, $Z_2 \angle \theta_2 = 0,97 \angle 1,27$, $Z_3 \angle \theta_3 = 0,79 \angle 1,26$, $\omega_s = 380 \text{ rad/s}$, $V_L = 180 \text{ V}$, $w_f = 31,85 \text{ rad/s}$. Bağlantı empedansları Z_1 , Z_2 , Z_3 ’ün faz açıları bu durumda (ve 2. Durumda) endüktif ağırlıklıdır ($\gg \pi/4 = 0,785$). Analiz ve benzetimlerde kullanılacak gerilim set değeri E_s mikroşebekenin reaktif yük durumuna göre Eş. 2.12 ve 3.5 kullanılarak istenilen şebeke gerilimi değerini sağlayacak şekilde belirlenmelidir. Yukarıda belirtilen koşullarda Eş. 3.31’de verilen sistem durum matrisinden sistemin kökleri aşağıdaki gibi elde edilir;

$\lambda_1 = 0$, $\lambda_2 = -6,9$, $\lambda_3 = -10,3$, $\lambda_4 = -21,3$, $\lambda_5 = -24,8$, $\lambda_6 = -31,9$, $\lambda_7 = -31,9$, $\lambda_8 = -33,8$, $\lambda_9 = -34,4$.

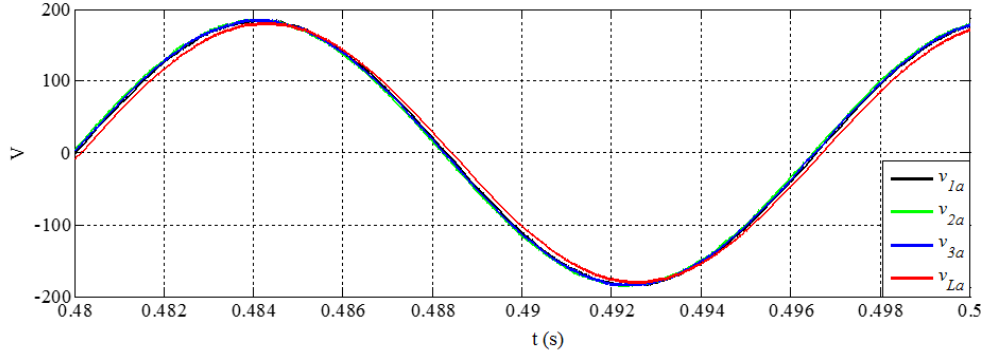
Negatif gerçek kökler sistemin kararlı olduğunu göstermektedir. Şekil 3.4’de, sistem köklerinden Eş. 3.32 kullanılarak elde edilen evirici frekanslarının analiz eğrileri ve benzetim sonuçlarından elde edilen frekans eğrileri herbir evirici için aynı grafik üzerinde gösterilmiştir. Sonuçların uyumundan görüldüğü gibi geliştirilen analiz modeli sistemi başarılı bir şekilde temsil etmektedir. Frekansların başlangıç değeri Çizelge 1’de verilen frekans set değeri 380 rad/s’dir. Toplam 12 kW yüklenme bağlantı empedanslarının iç dirençlerindeki kayıplar ile beraber her bir eviriciye eşit şekilde 4,1 kW olarak dağılmıştır. Eş. 2.11’den frekansların denge durumu değeri $\omega_s - m_i P_{io} = 379,59$ olarak elde edilir. Şekil

3.4’de görüldüğü gibi evirici frekansları bu iki değer arasında sistem köklerinin belirlediği dinamik karakteristikte (negatif gerçek köklerden dolayı aşırı sönümlü (overdamped)) değişim göstermiştir.



Şekil 3.4. Durum 1 için DÜ eviricilerinin frekans değişimleri

Bu aşamada, denge noktası gerektirmeyen analiz yöntemini doğrulamak amacıyla analizler Eş. 3.9’da verilen denge noktası içeren katsayılar kullanılarak da gerçekleştirilmiştir. Gerilimlerin denge noktası faz farklarını belirlemek için Şekil 3.3’de verilen test modelinin dinamik benzetim sonuçları kullanılmıştır. Şekil 3.5’de evirici çıkış gerilimlerinin (v_1, v_2, v_3) ve Yük-1 geriliminin (v_L) a-fazlarının benzetim sonuçları görülmektedir. Eş. 3.9’da görüldüğü gibi katsayılar gerilimlerin faz farklarını gerektirmektedir. Gerilimlerin $t = 0.5$ anındaki faz değerleri (kararlı durumdaki herhangi bir an seçilebilir) aynı andaki gerilim değerleri ve gerilimlerin tepe değerleri kullanılarak $V(0.5) = V_p \sin(\phi(0.5))$ eşitliğinden aşağıdaki gibi hesaplanmıştır;



Şekil 3.5. DÜ eviricilerinin ve Yük-1 gerilimlerinin a-fazı için benzetim sonuçları

$$\phi_{1a}(0.5) = 1,2971, \phi_{2a}(0.5) = 1,3264, \phi_{3a}(0.5) = 1,3117, \phi_{La}(0.5) = 1,2455$$

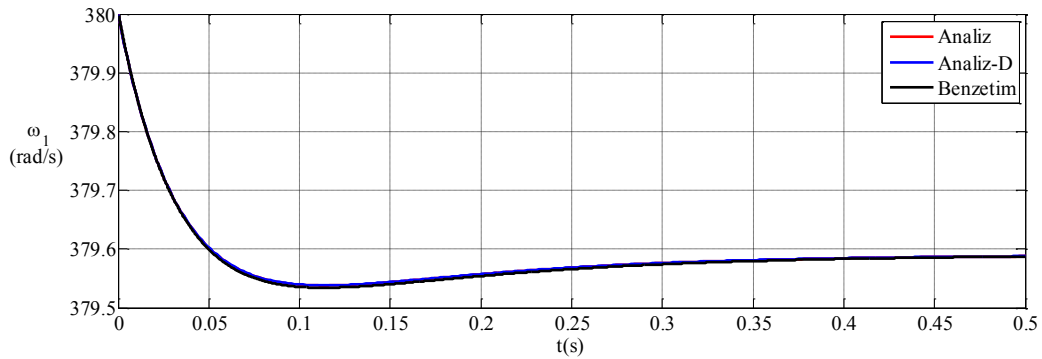
Bu değerlere göre, ilgili faz farkı değerleri aşağıdaki gibi elde edilir (Bkz. Eş. 3.9);

$$\phi_1 - \phi_L = 0,0516$$

$$\phi_2 - \phi_L = 0,0809$$

$$\phi_3 - \phi_L = 0,0662$$

Şekil 3.6’da, A matrisinde Eş. 3.9’un kullanılması ile elde edilen DÜ1 eviricisinin frekans eğrisi (mavi/Analiz-D), faz farklarının denge noktaları değerlerinin düşürüldüğü Eş. 3.10 kullanılarak elde edilen frekans eğrisi (kırmızı) ve benzetim sonucu (siyah) aynı grafik üzerinde verilmiştir. Görüldüğü gibi Eş. 3.9 ve Eş. 3.10 kullanılarak elde edilen frekans analiz eğrileri çıkarımda herhangi bir sadeleştirme olmadığından birebir uyumludur.

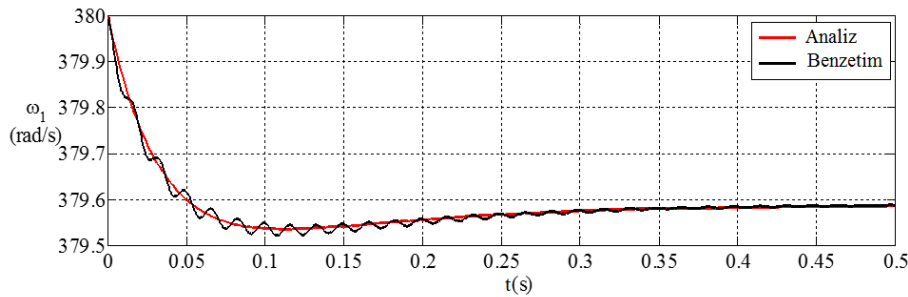


Şekil 3.6. DÜ1 eviricisinin analiz (Analiz-D gerilim faz açılarının denge noktası değerleri kullanılarak elde edilmiştir) ve benzetim sonuçları

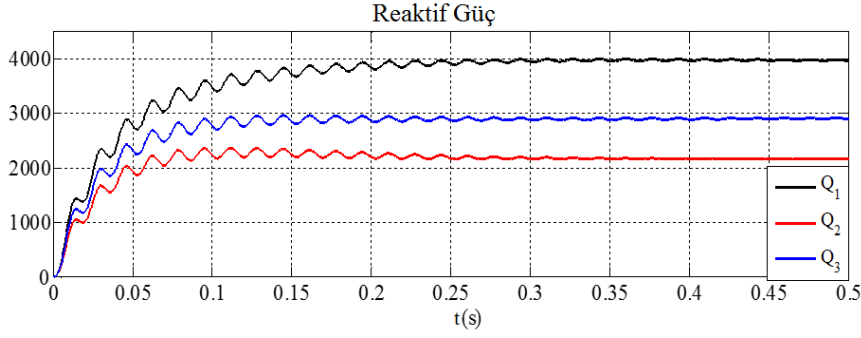
Durum 1'in ikinci aşamasında sisteme Çizelge 1'de verilen reaktif yüklenme de eklenmiş ve analiz ve benzetimler bu durum için gerçekleştirilmiştir. Sistemdeki toplam reaktif yükten (8 kVar) ve Eş.2.22'den her bir eviricinin reaktif yüklenmesi $Q_1 = 3,3$ kVar, $Q_2 = 2,1$ kVar, $Q_3 = 2,6$ kVar olarak elde edilir. Bu değerler ve yukarıda verilen sistemin diğer parametreleri kullanılarak analiz gerçekleştirildiğinde sistem kökleri aşağıdaki gibi elde edilir;

$$\lambda_1 = 0, \lambda_2 = -7,3, \lambda_3 = -11,2, \lambda_4 = -20,5, \lambda_5 = -24,4, \lambda_6 = -31,85, \lambda_7 = -32, \lambda_8 = -34, \lambda_9 = -34,7.$$

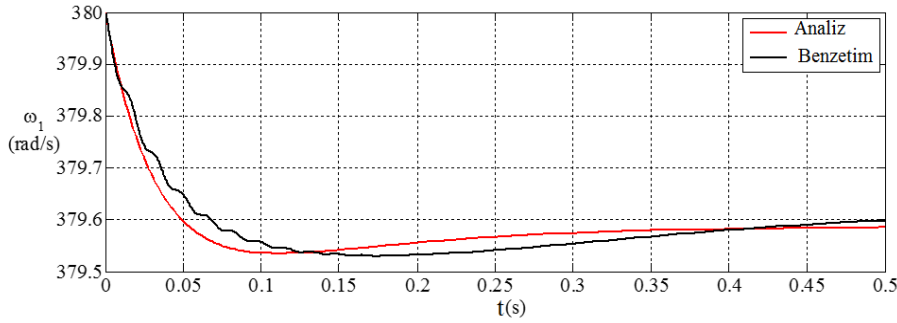
Köklerden görüldüğü gibi reaktif yüklenme sistem köklerinde, sadece rezistif yüklenmenin olduğu bir önceki duruma göre önemli bir değişikliğe sebep olmamıştır. Şekil 3.7 ve 3.8'de sırasıyla reaktif yüklenme durumunda DÜ1 frekans değişiminin analiz ve benzetim sonuçları ve eviriciler arasındaki reaktif güç paylaşımının benzetim sonuçları görülmektedir. Eğrilerde görülen şebeke frekansındaki salınımlar sisteme reaktif güç eklendikten sonra ortaya çıkmıştır. Bu salınımların eviricilerin kalkış anında asimetrik anahtarlanması sonucu oluşan DA akım enjeksiyonunun kaynaklandığı düşünülmektedir. Kısım 2.2.1'de belirtildiği gibi gerilim kontrolcüsündeki akım ileri besleme kazancı H 'ın birim değerden yeterince düşük tutulması bu salınımları bastırmaktadır. Ancak belirtilen kısımda tartışıldığı üzere bu yöntem, diğer yandan sistemin kararlılığını da bozmaktadır. Durum 1 için benzetimlerde set edilen H değeri 0,95'dir. Azaltılmış H etkisi Şekil 3.9'da verilen, $H = 0,75$ için gerçekleştirilmiş benzetim sonuçlarından görülebilir. Görüldüğü gibi salınımlar azalmakla beraber gerilim kontrol döngüsünün çıkış empedans etkisinden dolayı benzetim sonuçları analiz sonuçlarından sapmıştır.



Şekil 3.7. Durum 1 için reaktif yüklenmede DÜ1 frekans eğrileri



Şekil 3.8. Durum 1 için reaktif güç eğrileri (benzetim)



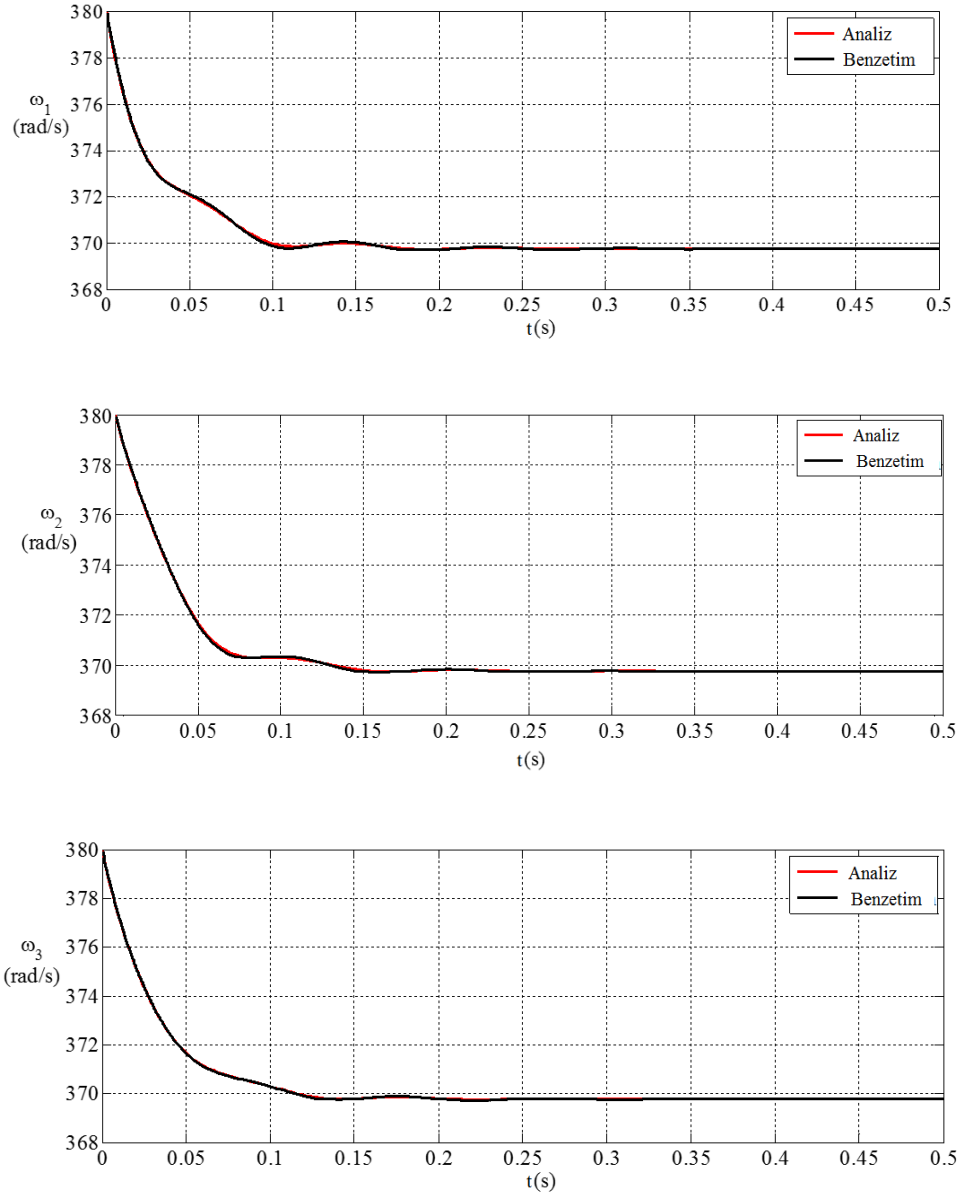
Şekil 3.9. Durum 1 için reaktif yüklenmede DÜ1 frekans eğrileri ($H = 0,75$)

Diğer yandan, Şekil 3.8'deki eviricilerin reaktif güç yüklenmelerinin benzetim sonuçları Eş. 2.22'den hesaplanan değerlerle uyumlu görünmekle beraber değerlerde farklılıklar görülmektedir. Bu farklılıklar analize dahil edilmeyen bağlantı empedanslarının reaktif yüklenmelerinden dolayıdır. Ancak analiz sonuçlarından da anlaşıldığı üzere bağlantı empedansları üzerindeki güç kayıplarının sistem dinamiklerine belirgin bir etkisi yoktur.

Durum 2: 2. Durum'da sisteme kompleks köklerle salınımlı bir dinamik sağlamak amacıyla düşüm katsayıları $m = 0,0025$ ve $n = 0,005$ olarak artırılmıştır. Ayrıca gerilim kontrol döngüsü çıkış empedansının etkisini en aza indirmek için H değeri 1'e yükseltilmiştir. Analizler ve benzetimler yine ilk olarak mikroşebekenin rezistif yüklenmesi için gerçekleştirilmiştir. Bu durumda analiz sonuçlarından elde edilen sistem kökleri aşağıdaki gibidir;

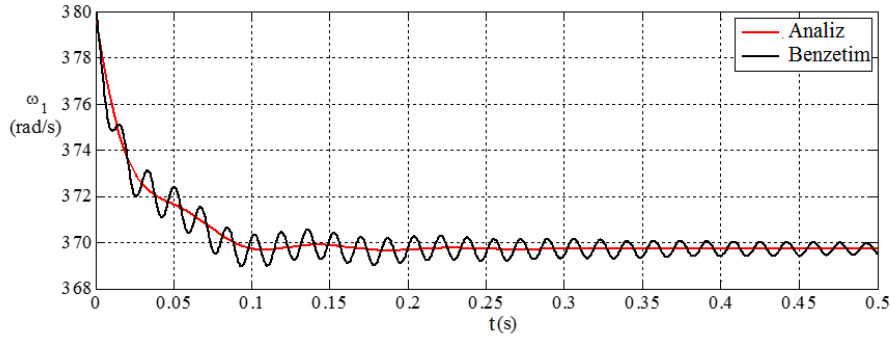
$$\lambda_1 = 0, \lambda_2 = -31,85, \lambda_3 = -32,3, \lambda_4 = -81,15, \lambda_5 = -95,4, \lambda_6 = -14,5 + j74,2, \lambda_7 = -14,5 - j74,2, \\ \lambda_8 = -14,8 + j64,7, \lambda_9 = -14,8 - j64,7.$$

Köklerin negatif gerçek kısımları kararlı bir sistemi göstermektedir. Ancak sanal kısımların varlığı salınımsal bir cevaba işaret etmektedir. 2. Durum için analiz ve benzetim sonuçları Şekil 3.10'da verilmiştir. 1. Durum'a göre azaltılmış çıkış empedans etkisinden dolayı ($H = 1$) 2. Durum'da analiz ve benzetim sonuçlarının daha uyumlu olduğu görülmektedir. Negatif gerçek değerli karmaşık köklerden dolayı evirici frekansları başlangıç ve denge noktaları arasında eksik sönümlü (underdamped) bir davranış sergilemişlerdir.

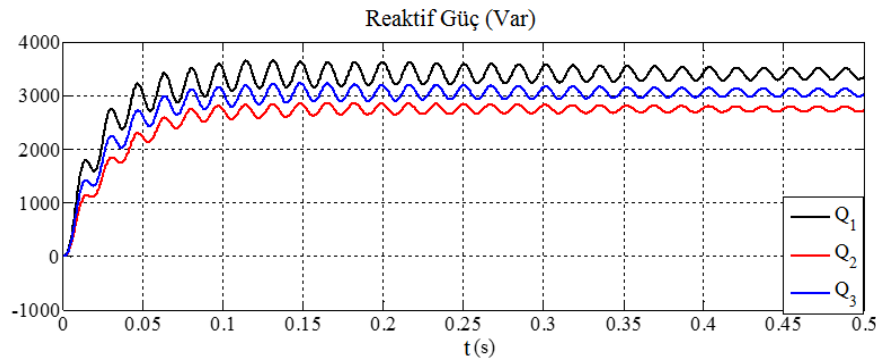


Şekil 3.10. Durum 2 için DÜ eviricilerinin frekans değişimleri

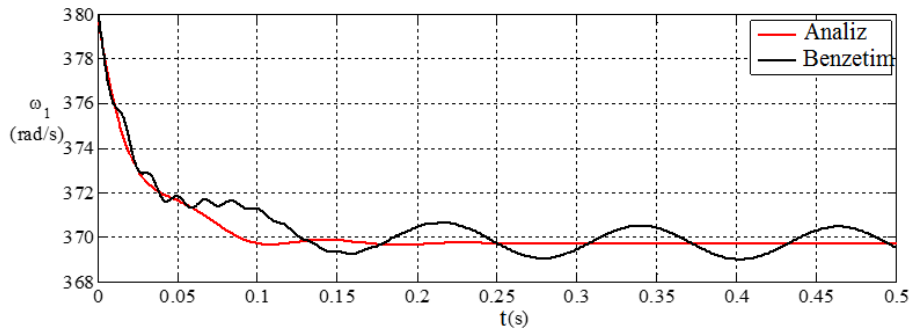
Sisteme Durum 1'deki gibi reaktif yüklenme eklendiği durumda DÜ1 eviricisinin frekans değişiminin analiz ve benzetim sonuçları Şekil 3.11'de verilmiştir. Artan H değerinden dolayı DA akım enjeksiyonu salınımlarında artış gözlenmiştir. Azaltılmış H değeri etkisi $H = 0,75$ için gerçekleştirilmiş Şekil 3.13'de verilen benzetim sonucunda görülmektedir. Beklendiği gibi salınımlar azalmış olmakla beraber çıkış empedans etkisinden dolayı sistem neredeyse kararsız duruma gelmiştir. Şekil 3.12'de ise 2. Durum için reaktif yük paylaşımları görülmektedir. Görüldüğü gibi artan n değerinden dolayı eviricilerin reaktif yüklenmeleri birbirlerine daha yakın değerlere gelmiştir. Buradan anlaşılabileceği üzere düşüm katsayısı n 'in değeri arttıkça reaktif güç paylaşımında bağlantı empedanslarının etkisi, Eş. 2.22 ile de uyumlu olacak şekilde, azalma eğilimi göstermektedir.



Şekil 3.11. Durum 2 için reaktif yüklenmede DÜ1 frekans eğrileri



Şekil 3.12. Durum 2 için reaktif güç eğrileri



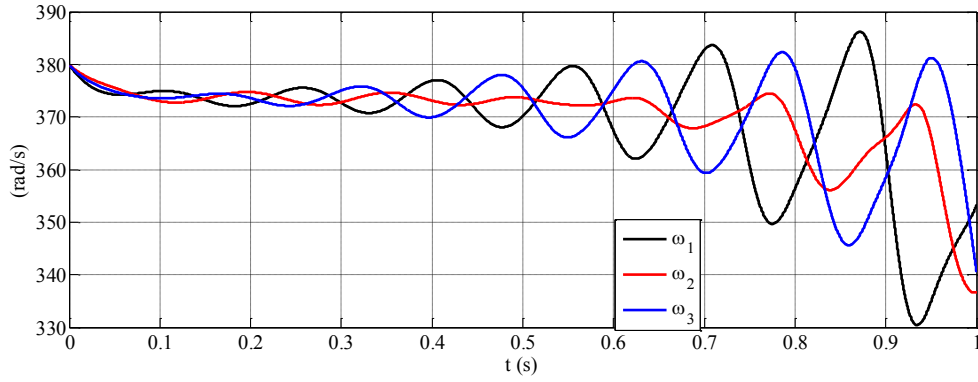
Şekil 3.13. Durum 2 için reaktif yüklenmede DÜ1 frekans eğrileri ($H = 0,75$)

Durum 3: Analiz ve benzetimlerin gerçekleştirildiği 3. Durum'da kararsız bir sistem oluşturmak için düşüm katsayıları $m = 0,0015$, $n = 0,003$ değerlerine set edilirken bağlantı empedanslarının (Z_1 , Z_2 , Z_3) genlikleri Çizelge 1' deki değerlerde sabit tutulup faz açıları sıfıra eşitlenerek tamamen rezistif bir hal almaları sağlanmıştır. Analizler ve benzetimler mikroşebekenin rezistif yüklenme durumu için gerçekleştirilmiştir. Bu durum için gerçekleştirilen analiz sonuçlarına göre sistem kökleri aşağıdaki gibi elde edilmiştir;

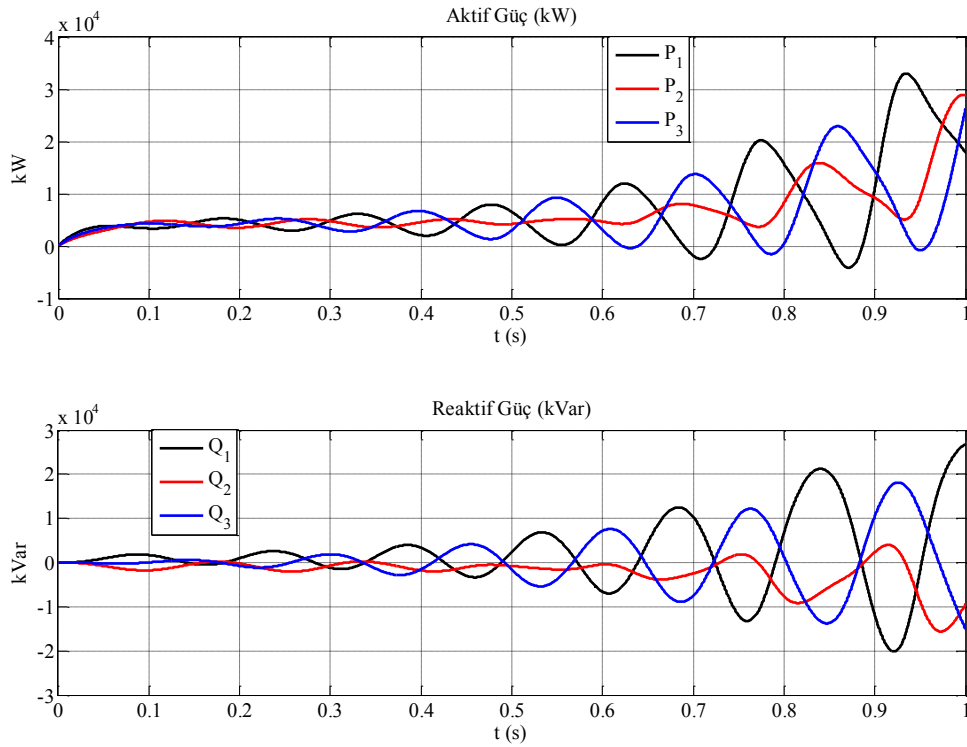
$$\lambda_1 = 0, \lambda_2 = -31,85, \lambda_3 = -31,85, \lambda_4 = -67,8, \lambda_5 = -75,8, \lambda_6 = 6,1 + j43,5, \lambda_7 = 6,1 - j43,5, \lambda_8 = 2,1 + j35,9, \lambda_9 = 2,1 - j35,9.$$

Pozitif gerçekte değerli karmaşık köklerin varlığı kararsız ve salınımlı bir sisteme işaret etmektedir. Bu durumdaki yüklenme ve bağlantı empedansı değerlerine göre Eş. 3.5 çözümsüz olduğundan faz açıları için denge noktası değerleri elde edilememiştir. Bu sebeple, sistem köklerine göre durum değişkenlerinin değişimi elde edilemediğinden sadece benzetim sonuçları verilecektir. Şekil 3. 14'de Durum 3 için elde edilen evirici frekans değişimleri görülmektedir. Yukarıda verilen, analiz yöntemiyle elde edilen köklere göre sistem salınımlarında iki frekans değeri görülmektedir; $43,5/2 \pi = 6,9$ Hz ve $35,9/2 \pi = 5,7$ Hz. Şekil 3.14'de verilen eğrilerdeki 6,5 Hz civarındaki salınımların ilk frekans değeri ile uyumlu olduğu görülmektedir.

Şekil 3.15'de ise Durum 3 için elde edilen aktif ve reaktif güç eğrileri görülmektedir. Güç eğrileri de frekans eğrileri gibi bir süre denge noktaları etrafında artan genlikte salınımlar sergiledikten sonra $t = 0.8$ civarında anlamsız değerlere doğru yönelmeye başlamışlardır.



Şekil 3.14. Durum 3 için DÜ eviricilerinin frekans değişimleri



Şekil 3.15. Durum 3 için DÜ eviricilerinin aktif-reaktif güç değişimleri

Yukarıdaki kısımda, üç farklı durum için incelenen test mikroşebekesi üzerinde gerçekleştirilen analiz ve benzetim sonuçları, geliştirilen analiz modelinin mikroşebeke sistemini oldukça başarılı bir şekilde temsil ettiğini göstermektedir. Bir sonraki kısımda geliştirilen analiz modeli kullanılarak bazı kritik evirici ve mikroşebeke parametrelerinin sistem kararlılığını nasıl etkilediği incelenecektir.

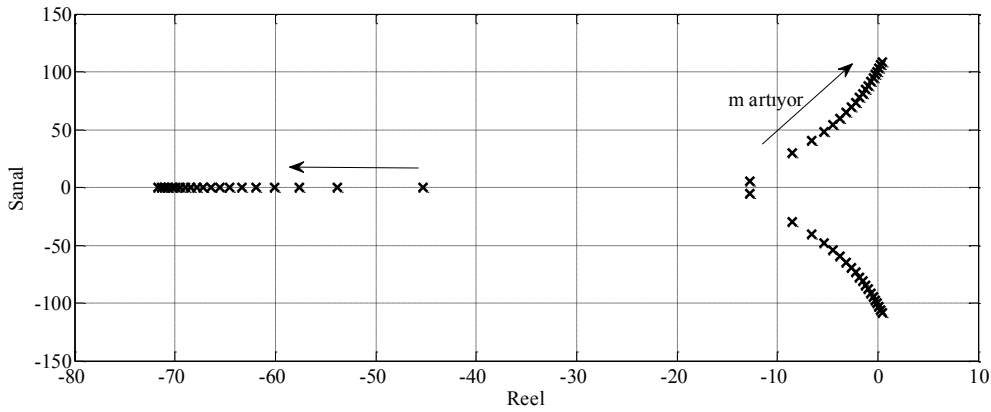
3.5. Mikroşebekelerin Parametrik Kararlılık Profili

Mikroşebekelerin parametrik kararlılık profili evirici güç kontrol parametreleri ve şebeke parametrelerinin sistem kararlılığına etkilerinin incelenmesi amacıyla gerçekleştirilen bir çalışmadır. Bu amaçla iki eşlenik eviricili bir sistem kullanılarak, seçilen parametre değiştirilirken diğer parametreler sabit tutulup sistemin köklerinin incelenmesi istenilen profili sağlayacaktır. Sabit tutulan parametrelerin değerleri incelenen parametrenin profilini belirgin şekilde yansıtacak değerlerde rasgele seçilmiştir. Parametrik kararlılık profili Eş. 3.31'deki sistem karakteristik matrisinin Matlab m-file ortamında oluşturularak, matrisin özdeğerlerinin değişen parametre değerlerine göre hesaplanması ile elde edilmiştir. Analizlerde, değişik durumlar için kullanılan m-file algoritmaları EK-1,2,3'de verilmiştir.

Şekil 3.16 aktif güç - frekans düşüm katsayısı m 0,0001 – 0,01 değerleri arasında değişirken sistem köklerinin yönelimlerini göstermektedir. Sabit tutulan parametrelerin değerleri grafiğin altında verilmiştir. Görüldüğü gibi m arttıkça sistem kökleri kararsız bölgeye doğru yaklaşmaktadır. Kararsızlığa meyil düşük bağlantı empedansı genlikli ($Z < 0,5$) rezistif ($\theta < \pi/4$) şebekelerde daha belirgin olmaktadır. Şekilde görüldüğü gibi düşüm katsayısı m 'in belirli bir değerinden sonra sistem kararsızlaşmaktadır. Bağlantı empedansı genliği Z 'nin, 0,1 – 1 değerleri arasında değişimine göre sistem köklerinin yönelimi Şekil 3.17'de verilmiştir. Görüldüğü gibi mikroşebeke sisteminin kararlılığı için bağlantı empedansı genliğinin belirli bir değerin üzerinde olması gerekmektedir (Şekil 3.17'de $Z_{min} = 0,4$). Bu sonuç, geliştirilen kararlılık analizi yönteminin dayandığı sadeleştirilmiş genel mikroşebeke modelindeki (Bkz. Şekil 3.2) bağlantı empedanslarının hat empedanslarına baskın olduğu kabulünü de doğrular niteliktedir.

Yukarıda bahsedilen parametrik kararlılık profilleri literatürde de mevcut olup oradaki sonuçlarla uyumludur. Geliştirilen analiz yönteminin pratikliği ve esnekliği farklı parametrelerin de kararlılık profillerinin kolayca incelenmesini sağlamıştır. Bunlardan en dikkat çekenlerden birisi Şekil 3.18'de verilmiş olan bağlantı empedansının faz açısına göre sistem köklerinin değişimidir ($0 < \theta < \pi/2$). Bağlantı empedansının karakteristiği rezistiften ($\theta = 0^\circ$) endüktife ($\theta = 90^\circ$) yöneldikçe sistemin daha sönümlü ancak salınımlı bir karakteristiğe büründüğü görülmektedir. Bağlantı empedansında artan endüktivitenin kararlılığı artıracağı beklenen bir sonuçtur. Ancak salınımların da artması istenmeyen etkiler yaratabileceğinden gerçek uygulamalarda faz açısı için ara bir değerin daha uygun

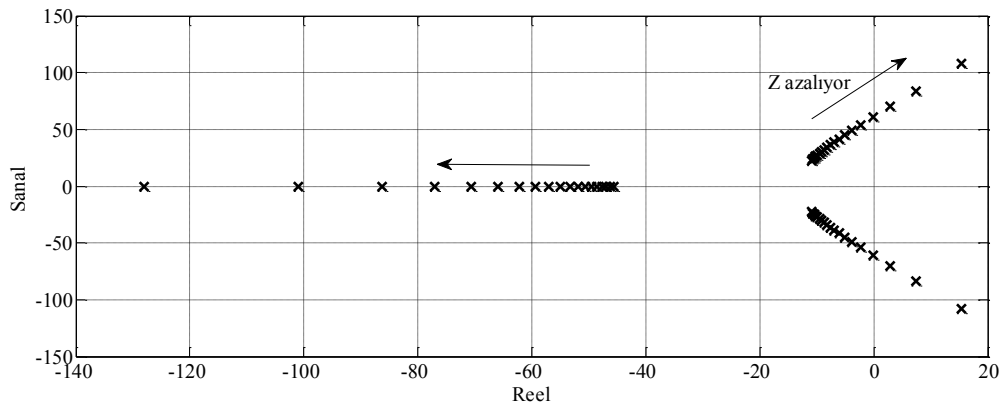
olabileceği düşünülmektedir. Bir diğer kritik profil sistem gerilim genliği değişiminden elde edilmiştir. Şekil 3.19’da mikroşebeke gerilim genliği V ’nin 90 – 380 değerleri arasındaki değişimine göre sistem köklerinin yönelimi görülmektedir. Görüldüğü gibi gerilim genliği arttıkça sistem kararsızlığa doğru yönelmekte ve genliğin belirli bir değerinden sonra kararsızlaşmaktadır. Bu sonuca göre, gerilim seviyelerinin yükseldiği özellikle orta gerilim uygulamalarında gerilim genliğine bağlı mikroşebeke kararlılığının dikkat edilmesi gereken konulardan birisi olduğu ortaya çıkmaktadır.



$$0,0001 < m < 0,01$$

$$P = 5 \text{ kW}, Q = 3 \text{ kVar}, n = 0,001, Z = 0,5, \theta = \pi/8, V = 180 \text{ V}, \omega_f = 31,85 \text{ rad/s}$$

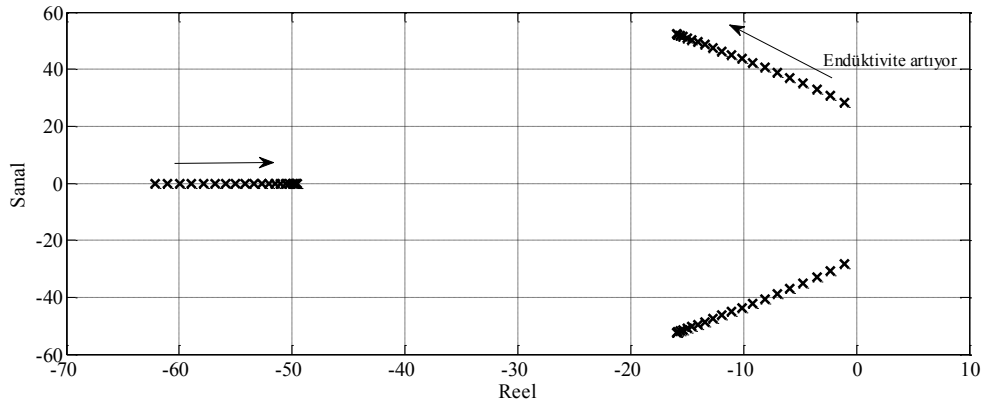
Şekil 3.16. Aktif güç - frekans düşüm katsayısına göre sistem köklerinin değişimi



$$0.1 < Z < 1$$

$$P = 5 \text{ kW}, Q = 3 \text{ kVar}, m = 0,001, n = 0,001, \theta = \pi/8, V = 180 \text{ V}, \omega_f = 31,85 \text{ rad/s}$$

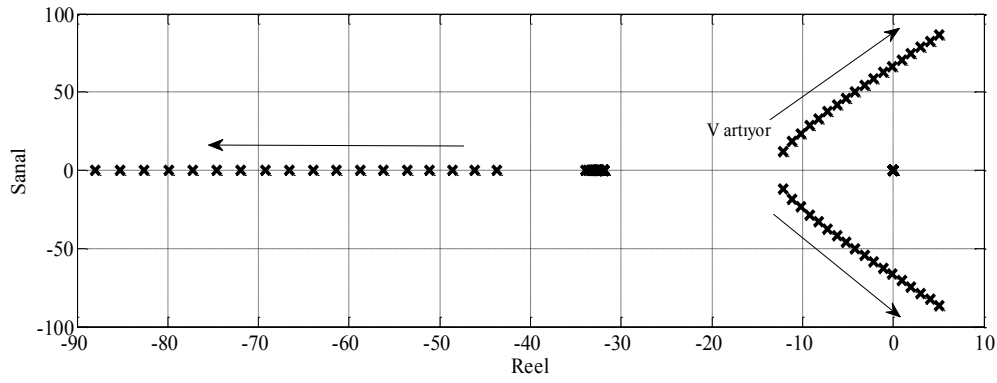
Şekil 3.17. Bağlantı empedansı genliğine göre sistem köklerinin değişimi



$$0 < \theta < \pi/2$$

$$P = 5 \text{ kW}, Q = 3 \text{ kVar}, m = 0,001, n = 0,001, Z = 0,5, V = 180 \text{ V}, \omega_f = 31,85 \text{ rad/s}$$

Şekil 3.18. Bağlantı empedansı faz açısına göre sistem köklerinin değişimi



$$90 < V < 380$$

$$P = 5 \text{ kW}, Q = 3 \text{ kVar}, m = 0,001, n = 0,001, Z = 0,5, \theta = \pi/8, \omega_f = 31,85 \text{ rad/s}$$

Şekil 3.19. Mikroşebeke gerilim seviyesine göre sistem köklerinin değişimi

4. DENEYSEL UYGULAMA DÜZENİĞİ

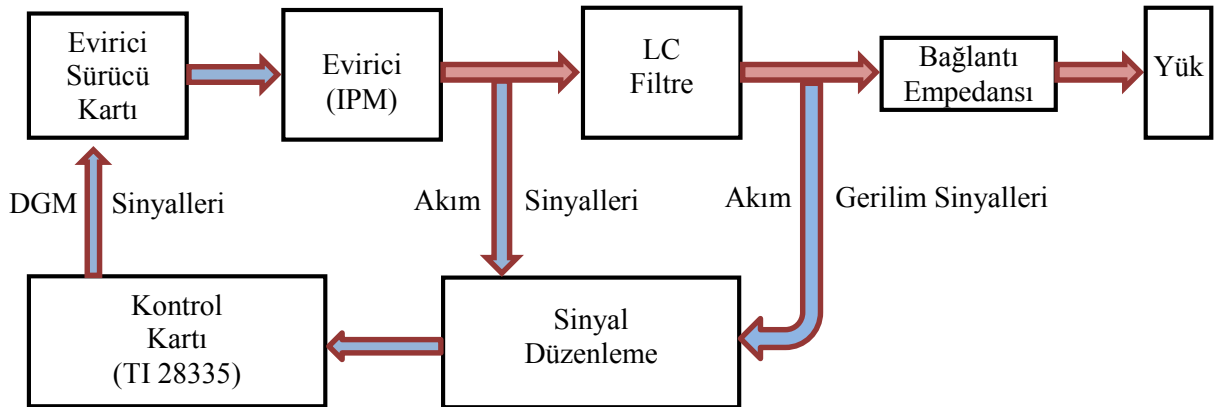
Benzetimlerde kullanılan düşüm kontrollü DÜ evirici modelini doğrulamak amacı ile deneysel bir uygulama düzeneği oluşturulmuştur. Şekil 4.1’de deneysel olarak oluşturulan eviricinin blok şeması görülmektedir. İlerleyen kısımlarda her bir bloğun detaylı açıklaması verilmiştir. Bölümün sonunda ise deney düzeneği ve deney sonuçları ile benzetim sonuçlarının karşılaştırması bulunmaktadır.

4.1. Sinyal Düzenleme

Sinyal düzenleme bloğu ölçülen akım gerilim sinyallerinin denetleyici kartın girişine uygun hale getirilmesi işlevlerini gerçekleştirmektedir. Bu blok akım ve gerilim algılayıcılardan, örtüşme önler filtreden ve seviye değiştirici devrelerinden oluşmaktadır.

4.1.1 Akım ve gerilim algılayıcılar

Akım ve gerilim algılayıcıları olarak LA25-NP ve LV25-P Hall etkili algılayıcılar kullanılmıştır (Bkz. EK-4, EK-5). Bu algılayıcılar prensip olarak giriş akımıyla orantılı bir çıkış akımı oluştururlar. Çıkış akımının giriş akımına göre kazanç değerleri veri dökümanlarında belirtilmiştir. Çıkış akımı bir çıkış direnci (R_M) ile gerilime dönüştürülüp kullanılır hale getirilir.

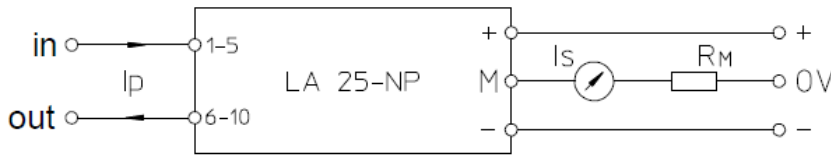


Şekil 4.1. Deneysel evirici blok şeması

Akım algılayıcı

LA25-NP akım algılayıcı giriş ve çıkış pinlerinin bağlantı şekline göre en fazla 25 A (rms)'e kadar olan akımları ölçebilmektedir (1..5 pinleri ve 1..6 pinleri ortaklanıp giriş uçları olarak kullanıldığı durumda). Şekil 4.2'de akım algılayıcının devre şeması görülmektedir. Giriş akımı (I_P) ve M noktasındaki çıkış gerilimi V_M arasındaki bağlantı;

$$I_P = V_M / K_a R_M \quad (4.1)$$



Şekil 4.2. LA25-NP akım algılayıcısı devre şeması (Bkz. EK-4)

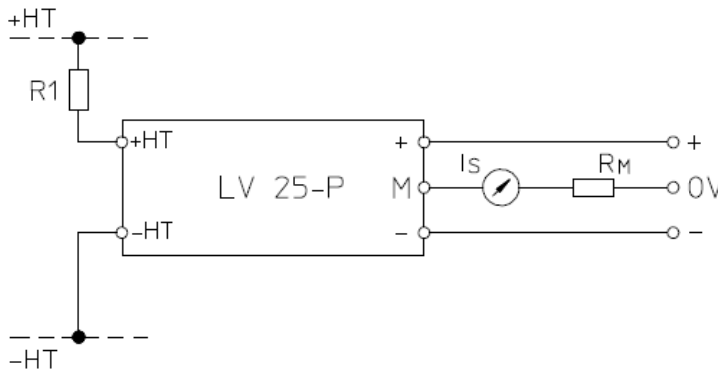
$K_a = (I_S / I_P)$ akım algılayıcının veri dökümanında belirtilen akım kazancıdır (Şekil 4.2'deki pin konfigürasyonu için değeri 1/1000'dir). Ölçüm hassasiyeti açısından, R_M değeri belirlenirken giriş akımı ve çıkış geriliminin en büyük (azami) değerleri kullanılmalıdır. Evirici 3 faz, 127 Vrms, 5 kW anma değerlerinde olduğundan ölçülmesi gereken en büyük tepe akım değeri $I_P = \sqrt{2} * 5000 / 127 / 3 = 18,56$ A(peak) olacaktır. Diğer yandan, çalışmada kullanılan kontrol kartı (Bkz. Kısım 4.2) giriş gerilim değeri olarak en fazla 3 V kabul edebildiğinden R_M direnci belirtilen en büyük akım değerine karşılık çıkış gerilimi V_M 3 V veya altında bir değerde olacak şekilde seçilmelidir. Eş. 4.1'e göre $V_M = I_P K_a R_M < 3$ 'den $R_M < 161,6 \Omega$ elde edilir. R_M direnci için piyasada bulunan en yakın değer olan 160 Ω seçilmiştir. Buna göre algılayıcının hesaplamalarda kullanılacak giriş/çıkış (I_P / V_M) kazancı $1 / K_a R_M = 1000 / 160 = 6,25$ 'dir.

Direnç üzerinden geçecek en büyük akım $I_S = I_P K_a = 18,56$ mA(peak) = 13,12 mA(rms)'dir. Buna göre R_M direnci anma gücü $160 * (13,12 \text{ mA})^2 = 28 \text{ mW}$ 'dan büyük olacak şekilde seçilmelidir.

Gerilim algılayıcı

LV-25P'nin devre şeması Şekil 4.3'de görülmektedir. Algılayıcının giriş akımı anma değeri 10 mA ve I_S/I_P akım kazancı $K_a = 2,5$ olarak belirtilmiştir. Algılayıcının giriş gerilimi V_P (+HT ve -HT terminalleri arasına uygulanan) ile çıkış gerilimi V_M arasındaki bağlantı;

$$V_M = (V_P/R_1)K_aR_M \quad (4.2)$$

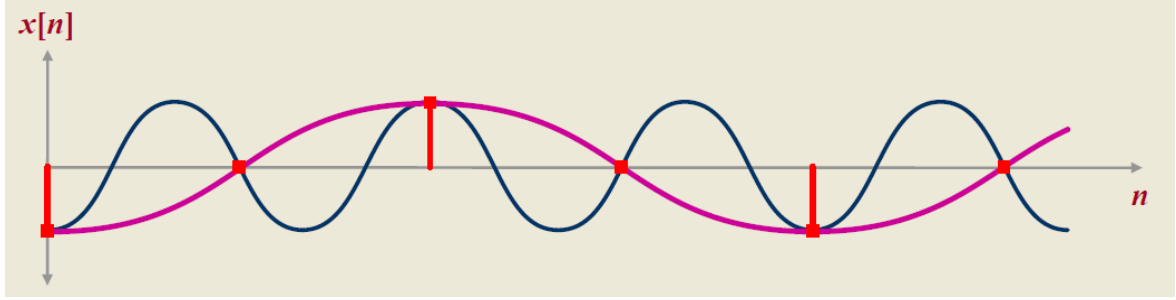


Şekil 4.3. LV-25P gerilim algılayıcısı devre şeması (Bkz. EK-5)

Evirici 127 V(rms) = 180 V(peak) anma çıkış geriliminde tasarlandığı için algılayıcının giriş R_1 direnci 180 V için 10 mA akım geçirecek şekilde seçilmelidir. Buna göre $R_1 = 18,2 \text{ k}\Omega$ olarak seçilmiştir. R_M direnci ise kontrol kartına gidecek olan V_M gerilimi 3 V'u geçmeyecek şekilde seçilmelidir. Buna göre, $(V_P/R_1)K_aR_M < 3$ den $R_M = 120 \text{ }\Omega$ olarak seçilmiştir. Bu durumda hesaplamalarda kullanılacak olan giriş/çıkış (V_P/V_M) kazancı $R_1/K_aR_M = 60,67$ 'dir.

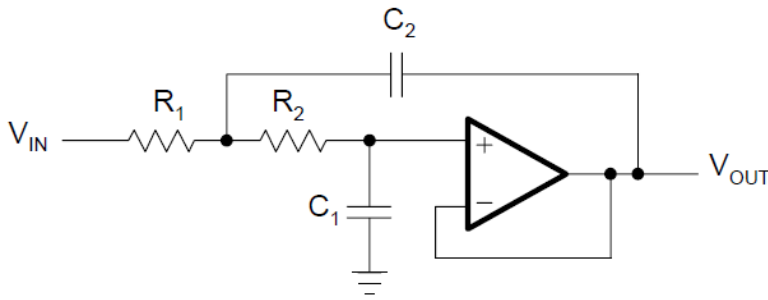
4.1.2 Örtüşme önler filtre

Nyquist teoremine göre örneklenen bir sinyalin doğru temsil edilebilmesi için örnekleme frekansının, örneklenen sinyaldeki en büyük frekanslı elemanın frekansının en az iki katı olması gerekir. Şekil 4.4'de görüldüğü gibi mavi renkli sinüs sinyali Nyquist frekansından düşük değerde örneklendiği için hatalı şekilde pembe renkli sinyale dönüşmektedir.



Şekil 4.4. Örtüşme problemini gösteren örnekleme [61]

Örtüşme probleminden dolayı, örneklenen analog sinyaldeki olası yüksek frekanslı elemanları elemek için analog alçak geçiş filtreleri kullanılır. Bu amaçla kullanılan en popüler AGF uygulaması Şekil 4.5’de devre şeması verilmiş olan birim kazançlı Sallen Key filtre yapısıdır [61].



Şekil 4.5. İkinci dereceden birim kazançlı Sallen Key alçak geçiş filtresi [62]

Sallen Key filtresinin, köşe frekansına ($\omega_c = 2\pi f_c$) göre normalize edilmiş ω ($s = j\omega$, $\omega = \omega/\omega_c$) frekansı cinsinden transfer fonksiyonu;

$$A(s) = \frac{1}{1 + \omega_c C_1 (R_1 + R_2) s + \omega_c^2 R_1 R_2 C_1 C_2 s^2} \quad (4.3)$$

Düz geçiş bandı sağlamasından dolayı örtüşme önleme uygulamalarında tercih edilen Butterworth normalize edilmiş 2. dereceden alçak geçiş filtresi aşağıdaki gibi ifade edilir [62];

$$A(s) = \frac{1}{1 + as + bs^2}$$

$$\begin{aligned} a &= 1,4142 \\ b &= 1 \end{aligned} \quad (4.4)$$

Eş. 4.3 ve 4.4 karşılaştırılarak filtre tasarım kriterleri elde edilebilir;

$$\begin{aligned} \omega_c C_1 (R_1 + R_2) &= a \\ \omega_c^2 R_1 R_2 C_1 C_2 &= b \end{aligned} \quad (4.5)$$

Filtre tasarımında, R_1 ve R_2 değerleri seçilen C_1 ve C_2 değerlerinden aşağıdaki gibi hesaplanır;

$$R_{1,2} = \frac{a C_2 \pm \sqrt{a^2 C_2^2 - 4b C_1 C_2}}{4\pi f_c C_1 C_2} \quad (4.6)$$

Eş. 4.6'da gerçek (reel) direnç değerleri elde edebilmek için C_1 ve C_2 seçiminde aşağıdaki bağıntıya uymak gerekir [62];

$$C_2 \geq C_1 \frac{4b}{a^2}$$

Deney düzeneğindeki uygulamada eviricilerin örnekleme frekansı $f_s = 10$ kHz olduğu için 5 kHz'den daha yüksek frekanslı sinyaller yanlış örneklenecektir. Bu sebeple alçak geçiş filtresinin köşe frekansı 5 kHz'in altında bir değerde olmalıdır. Deney düzeneğinde yukardaki koşullara göre seçilen filtre elemanlarının değerleri aşağıdaki gibidir;

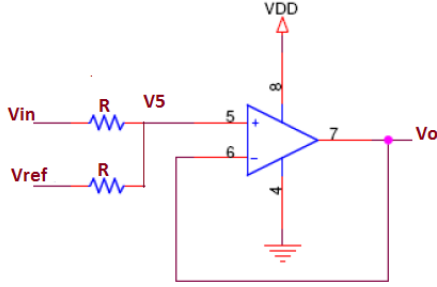
$C_1 = 2,2$ nF, $C_2 = 6,8$ nF, $R_1 = 11$ k Ω , $R_2 = 45,3$ k Ω . Buna göre filtrenin köşe frekansı Eş. 4.5'den 1,8 kHz olarak hesaplanır. Filtrede kullanılan Op-Amp modeli AD8674AR'dir.

4.1.3 Seviye değiştirici

Kullanılan kontrol kartının analog girişleri 0-3 V arasındaki sinyal gerilim değerlerini kabul edebilmektedir. Bu sebeple, anma çalışma durumunda ± 3 V arasında elde edilecek şekilde ayarlanan akım gerilim sinyallerine 3 V eklenip elde edilen sinyal ikiye bölündükten sonra

denetleyici karta iletilmelidir. Şekil 4.6'daki tampon (buffer) seviye değıştirici devresi bu işlevi gerçekleştirmektedir.

$$\frac{V_{in}-V_5}{R} = \frac{V_5-V_{ref}}{R} \quad \longrightarrow \quad V_5 = V_o = \frac{V_{in}+V_{ref}}{2}$$



Şekil 4.6. Seviye değıştirici devre [61]

Devre elemanları olarak $R = 51,1 \text{ k}\Omega$, $VDD = 3,3 \text{ V}$ (AP1086 Linear regulator), $V_{ref} = 3 \text{ V}$ (TI REF3230 Series voltage reference) ve Op-Amp (AD8630 Single supply) kullanılmıştır.

4.2. Kontrol Kartı

Kontrol kartı eviricinin akım, gerilim ve güç kontrol algoritmalarının gerçekleştirildiği en önemli elemanlarından birisidir. Önceki bölümlerde ele alınan evirici kontrol ve uygulama gereksinimleri dikkate alındığında kontrol kartında bulunması gereken asgari özellikler ve tercih sebebi olan özellikler aşağıdaki gibi listelenebilir;

- *9 ASÇ (Analog-Sayısal Çevirici) giriş kanalı* Her faz için birer adet olmak üzere evirici filtre endüktör akımı, çıkış akımı ve çıkış gerilimi (filtre kondansatör gerilimi) için toplam dokuz adet ASÇ girişine ihtiyaç vardır.
- *3-Faz DGM* Üç çift DGM sinyali birbirleriyle senkronlanarak 10 kHz anahtarlama sağlayacak şekilde düzenlenmelidir. Ayrıca ASÇ dönüşümü DGM sinyalleri ile senkronlanabilmelidir. Bu çalışmada uygulamanın gerektirdiği yoğun işlem kapasitesinden dolayı DGM modülasyon parametresinin her ASÇ çevirim periyodunun sonunda güncellenmesi seçeneği seçilmiştir (diğer bir seçenek de modülasyon

parametresinin ASÇ çeviriminin ortasında güncellenmesidir). Böylelikle kontrolcü parametrelerinin hassas ayarı için gereken ASÇ dönüşüm ve hesaplama gecikmeleri bir örnekleme periyodu olarak sabitlenmiştir.

- *MİB (CPU) Hızı* Uygulamanın gerektirdiği yoğun işlem kapasitesinden dolayı kullanılan kontrol kartının MİB hızı ve kayan virgüllü (floating point) veya sabit virgüllü (fixed point) işlemcili olması önemli olmaktadır. Özellikle kayan virgüllü işlemciler ondalıklı sayıların işlemlerinde daha az saat çevrimi (clock cycle) gerektirdiğinden işlem hızı açısından kayan virgüllü bir işlemci tercih sebebi olmalıdır.

Yukarıda belirtilen özellikler dikkate alınarak, bu çalışma için Texas Instruments'in TMS320F28335 kontrol kartı tercih edilmiştir. F28335 150 MHz saat kapasitesinde (6,67 ns çevrim süresi), 32 bit, kayan virgüllü bir SSİ (DSP)'dir. Çalışmada kullanılan XDS510USB emülatör ile birlikte yerleşik (on-board) programlama ve hata ayıklama (debugging) mümkün olmaktadır. Aşağıdaki kısımlarda kartın ilgili modüllerinden detaylıca bahsedilmiştir.

4.2.1 ASÇ modülü

ASÇ modülünün blok şeması Şekil 4.7'de görülmektedir. ASÇ modülü 8 girişli iki bağımsız alt modülden oluşmakta olup toplam 16 ASÇ kanalı sunmaktadır. ASÇ'nin her alt modülünün kendisine ait Ö/T (S/H) devresi olup iki ayrı dizileyici (sequencer) sayesinde alt modüllerin bağımsız olarak farklı zamanlarda örnekleme alabildiği eşiz (dual) modu ve 16 girişli tek bir ASÇ gibi davranabildiği tekli (single) modu bulunmaktadır. Alt modüllere ait iki ayrı Ö/T devresi bulunması her iki modda iki adet eş zamanlı örnekleme alımını mümkün kılmaktadır. Ö/T devresi örnekleme yaptıktan sonra ASÇ modülü örneklenen değeri 12 bit sayısal değere çevirir. ASÇ'nin nasıl davranacağı dizileyicilerde yer alan ASÇ kontrol yazmaçları (register) tarafından belirlenir. Örnekleme serisi başladıktan sonra Dizileyici 1 ve 2'deki sıralamaya ve örnekleme moduna göre (eş zamanlı veya sıralı) kanallardaki analog sinyaller örneklenirler, 12 bit sayısal sayılara çevrilirler ve bir sonraki örnekleme serisi başlayana kadar sonuç yazmaçlarında (ilk çevirim Reg 0 dan başlayarak sırasıyla) tutulurlar. Bir ASÇ serisini başlatmak için ÇB (SOC-Start of Conversion) sinyali gerekmektedir. ÇB sinyali tercihe göre üç farklı kaynaktan sağlanabilir;

S/W Yazılım içerisinde bu bit (S/W) set veya reset edilerek

ePWM SOCA/B DGM modülü tarafından

GPIO/XINT2 Genel amaçlı I/O pini üzerinden dışarıdan bir kaynaktan.

ASÇ kanalları 0-3 V sinyal gerilimi aralığında lineer davranır. Giriş analog sinyal değerlerine karşılık gelen sayısal değerler şöyledir;

Analog giriş değeri ≤ 0 sayısal değer = 0

$0 < \text{Analog giriş değeri} < 3$ sayısal değer = $4096 (= 2^{12}) \times \frac{\text{Analog giriş değeri} - \text{ASÇofset}}{3}$

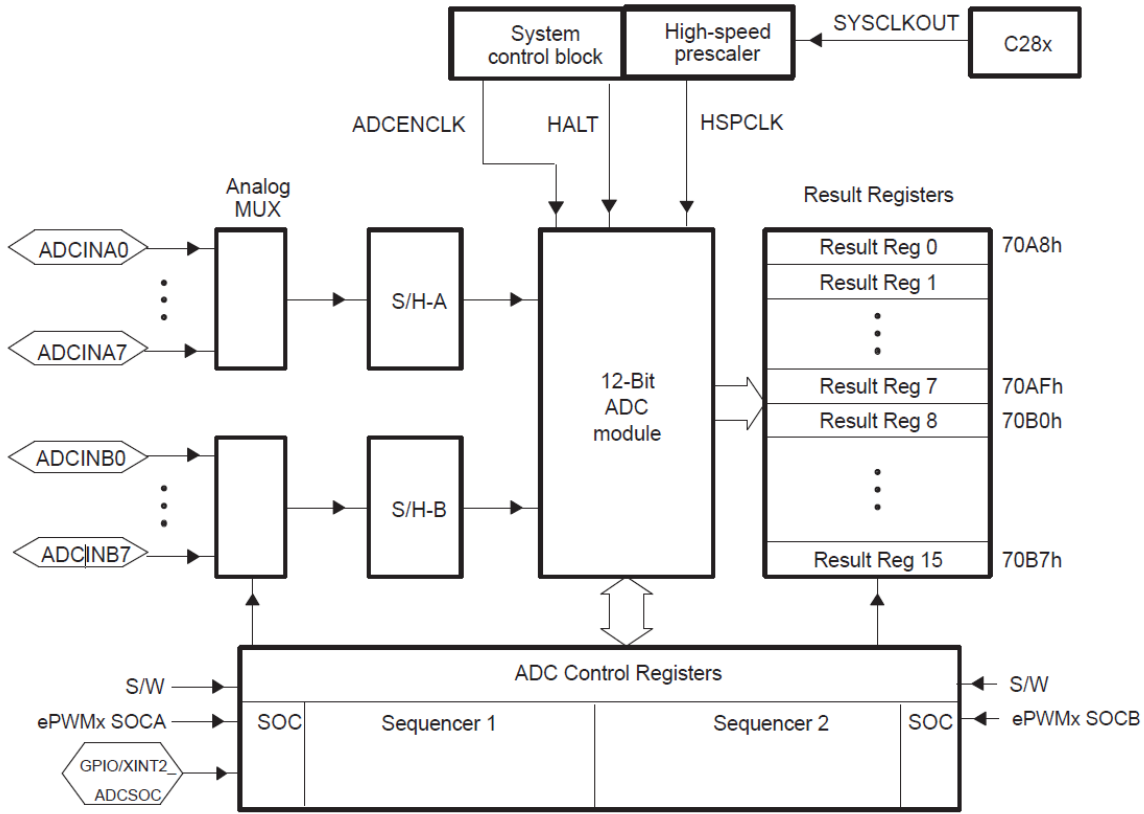
Analog giriş değeri ≥ 3 sayısal değer = 4096

ASÇofset ASÇ'nin örneklediği sinyallerde seviye kaydırımı yapmak istendiğinde tercih edilen değer ASÇ başlatma dosyalarında set edilen bir parametredir ve normalde sıfır değerindedir.

Diğer kritik konulardan birisi olan ASÇ çevrim süresi ASÇ saat frekansı tarafından belirlenir. ASÇ saat frekansı sistem saat frekansının ön ölçeklenmesinden (prescaling) elde edilir ve optimum en yüksek değeri 12,5 MHz olmalıdır [58]. ASÇ frekansını belirleyen yazmaçlar ve işlevleri şöyledir;

HSPCLK Periferik (peripheral) saat ön ölçekleyici. Normal değeri 0x0001 dir ve bu değer ile $150/(2 \times 1) = 75$ MHz periferik saat frekansına karşılık gelir.

ADCLKPS ASÇ saat ön ölçekleyici. 0 değerinde etkisiz olup sıfırdan büyük değerler için periferik saat değerini kendi değerinin iki katı kadar daha düşürür. ASÇ saat = Periferik saat / $(2 \times \text{ADCLKPS})$.



Şekil 4.7. F28335 ASÇ modülünün blok şeması [58]

CPS Çekirdek (core) saat ön ölçekleyici. 1 değerindeyken periferik saat değerinde $\frac{1}{2}$ oranında fazladan ölçekleme sağlar. 0 değerinde etkisizdir.

ACQ_PS Edinim pencere boyutu (Acquisition window size). Bu parametre Ö/T süresini belirler. Ö/T süresi bu yazmaçtaki değerin bir fazlası kadar ASÇ saat süresine set edilir.

Burada dikkat edilmesi gereken nokta bir ASÇ örnekleme periyodunun Ö/T ve analog-sayısal çevirim olmak üzere iki aşamadan oluştuğudur. Ö/T süresi en az bir ASÇ saat çevrimi kadardır ve tercihe göre bu süre yukarıda bahsedilen ACQ_PS değeri ile uzatılabilir. Gürültülü ve göreceli olarak yavaş sinyalleri örneklerken Ö/T süresini uzatmak sinyal kalitesi açısından faydalı olabilir. Ancak hızlı sinyallerde Ö/T süresi arttıkça dikkate değer faz kayması olacağı gözden kaçırılmamalıdır. Örneklemenin diğer aşaması olan analog-sayısal çevrimi ise bir ASÇ saat çevrimi süresinde sabittir. Buna göre örneğin 12,5 MHz en yüksek ASÇ saat frekansında, ACQ_PS = 0 değeri ile Ö/T süresi bir ASÇ saat periyoduna set edilirse toplam ASÇ örnekleme süresi iki ASÇ saat çevrimi sürecektir. Buna

göre saniyedeki en yüksek örnekleme frekansı $12,5 \text{ M}/2 = 6,25 \text{ M}$ örnek/saniye olacaktır. Bu yaklaşım kullanılarak örneklemler arasındaki gecikmeler ve toplam örnekleme süresi hesaplanabilir. ASÇ modülü hakkında daha detaylı bilgilere modülün veri sayfalarından ulaşılabilir [58].

4.2.2 DGM modülü

Bir DGM modülünün amacı bir modülasyon parametresiyle (CMPA/B) bir testere dişi dalga şeklini karşılaştırarak her bir kanal çıkışından amaca uygun bir kare dalga üretmektir. Örnek bir DGM dalga şekli oluşumu Şekil 4.8’de görülmektedir.

TMS320F28335 altı adet bağımsız gelişmiş DGM (ePWM) modülüne sahiptir. ‘Gelişmiş’ den kastedilen, modülün karmaşık DGM dalga şekillerini MİB kaynaklarının asgari düzeyde kullanımıyla üretebiliyor olmasıdır. Herbir DGM modülünün iki adet çıkış kanalı vardır, ePWMxA ve ePWMxB. Burada ‘x’ 1 ile 6 arasında bir rakam olup, modül numarasına karşılık gelmektedir. Her DGM modülü, herbiri DGM dalgaşekli üretiminde farklı işlevleri olan yedi alt modülden oluşmaktadır. Tek bir DGM modülünün alt modüllerini ve alt modüller arası kritik sinyal bağlantılarını gösteren tam şeması Şekil 4.9’da görülmektedir. Aşağıdaki kısımlarda bu alt modüller ayrı ayrı ele alınmıştır.

Zaman-tabanı (Time-base) alt modülü

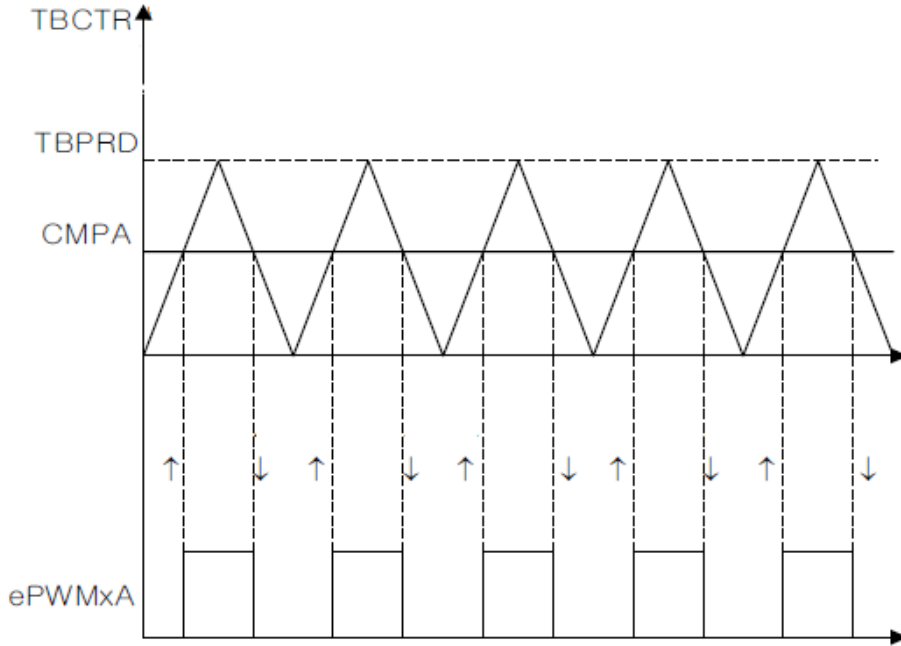
Zaman-tabanı alt modülü DGM modülünün zamanlama ayarlarının yapıldığı alt modüldür. En önemli görevlerinden birisi DGM modülünün zaman-tabanı saatinin sistem saatine göre düzenlenmesidir. Zaman-tabanı saat periyodu T_{TBCLK} ile sistem saat periyodu $T_{SYSCLOCK}$ arasındaki ilişki;

$$T_{TBCLK} = T_{SYSCLOCK} * CLKDIV * HSPCLKDIV \quad (4.7)$$

Burada $CLKDIV$ ve $HSPCLKDIV$ zaman-tabanı kontrol yazmacının (TBCTL) DGM modülünün zaman ölçeklemesiyle ilgili ‘bit’ leridir. Zaman-tabanı alt modülü ayrıca DGM dalga şeklinin periyodunu belirlemek için de kullanılır. Bu amaçla TBCTR sayacı (counter) ve TBPRD yazmacı atanmıştır.

Üç çeşit testere dişi dalga şekli mevcuttur, artan (UP), azalan (DOWN) ve artan-azalan (UP-DOWN). Artan ve azalan testere dişleri dik üçgen şeklindeyken artan-azalan testere dişi Şekil 4.8'deki gibi eşkenar üçgen şeklindedir. Artan testere dişi uygulamasında TBCTR sıfırdan başlayarak her DGM zaman-tabanı saat çeviriminde değerini bir sayı artırır ve TBPRD değerine ulaştığında tekrar başa yani sıfıra döner ve bu işlemi sürekli tekrarlar (azalanda ise tam tersi şekilde sayaç TBPRD den başlar sıfıra ulaşınca tekrar başa döner). Artan-azalan da ise TBCTR sıfırdan başlayarak artar, TBPRD ye ulaştığında azalmaya başlar ve sıfıra ulaştığında bu işlemi tekrarlar. Artan-azalan dalga şekli harmonik üretimi açısından daha avantajlı olduğundan bu çalışmada artan-azalan testere dişi şekli seçilmiştir [31]. Artan-azalan uygulamasında TBPRD değeri aşağıdaki eşitliğe göre elde edilir;

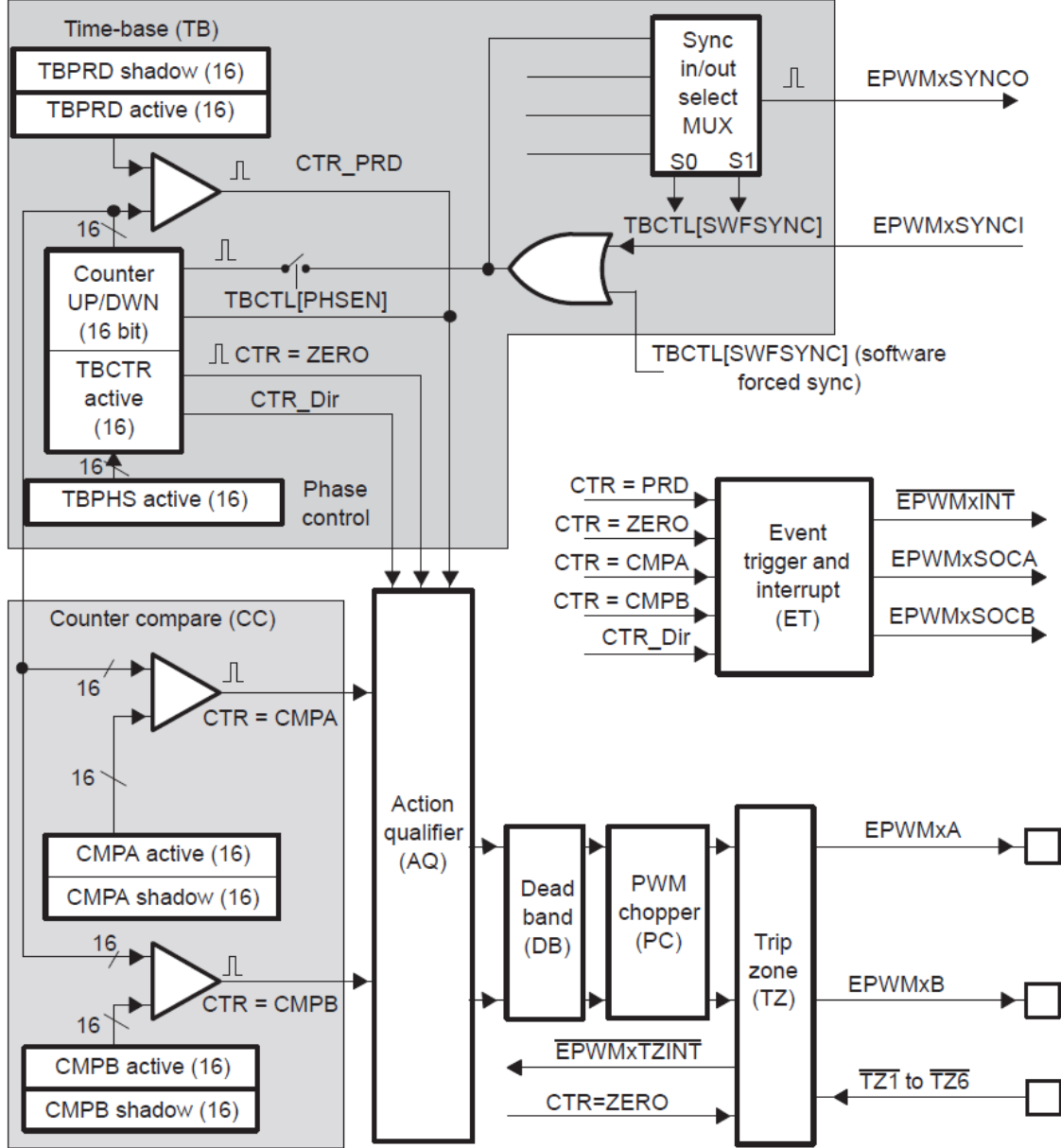
$$TBPRD = \frac{1}{2} \frac{f_{SYSCLKOUT}}{f_{PWM} * CLKDIV * HSPCLKDIV} \quad (4.8)$$



Şekil 4.8. x.DGM modülünün A kanalı için DGM dalga şekli örneği [63]

Örnek olarak, DGM zaman-tabanı saati, sistem saati ($f_{SYSCLKOUT} = 150$ Mhz) ile eşit iken ($CLKDIV = 1$, $HSPCLKDIV = 1$) 10 kHz bir anahtarlama için gereken TBPRD değeri

$\frac{1}{2} * 150e6 / 10e3 = 7500$ olacaktır. Artan veya azalan testere dişi uygulamalarında Eş. 4.8'deki $\frac{1}{2}$ faktörünün bulunmayacağı gözden kaçırılmamalıdır.



Şekil 4.9. DGM alt modülleri ve modül içi kritik sinyal bağlantıları [63]

Farklı DGM modüllerinin senkronlanması zaman-tabanı alt modülünde gerçekleştirilen işlemlerden bir diğeridir. Üç fazlı sistemlerde her faz için ayrı bir DGM modülü gereklidir. Üç faz sistemlerde akım ve gerilim sinyallerinin faz değerleri arasında 120^0 bulunmaktadır. DGM uygulamalarında bu faz farkı modülasyon sinyallerinde bulunur. Her faz için modülasyon sinyallerinin karşılaştırıldığı testere dişi sinyalleri ise aynı fazda ve birbirinin

eşleniği olmalıdır. DGM modüllerinin senkronlanmasında her modül bir senkronlama giriş sinyali (EPWMxSYNCl), bir senkronlama çıkış sinyali (EPWMxSYNCO) ve bir faz yazmacı (TBPHS) kullanır. Örneğin üç faz sistemler için kullanılan üç adet DGM modülünden birincisi ana (master) olarak atanır. Sadece ana modül senkronlama giriş sinyali gerektirmeden çıkış sinyali üretmek üzere programlanır. Ana modülün çıkış sinyali zamanı için sayacın (CTR) = 0 anı uygun bir zamandır. Diğer iki modül uydu (slave) olarak atanır ve kendisinden bir önceki modülden senkronlama sinyali geldiği anda bir sonraki modüle senkronlama sinyali gönderir ve aynı anda sayaca faz değerini yükler (CTR = TBPHS). Modüller arası faz farkı sıfır olduğu için her üç modül için de TBPHS değeri sıfır olmalıdır.

Sayaç-karşılaştırma (Counter-compare) alt modülü

Pratikte bir DGM sinyali, bir modülasyon sinyalinin bir testere diş sinyali ile karşılaştırılmasından elde edilir. DGM modülünde testere diş sinyali modülün sayacı (TBCTR) ile temsil edilirken modülasyon sinyalleri olarak modülün A ve B kanalları için iki adet yazmaç atanmıştır (CMPA ve CMPB). Sayaç-karşılaştırma alt modülünde CMPA ve CMPB modülasyon sinyallerinin yüklenme modu tanımlanır (modülasyon sinyallerinin DGM modülü içerisinde atanan sabit değerlerden mi yoksa dışarıdaki bir kaynaktan mı sağlandığı) ve bu sinyaller için başlangıç değerleri atanır.

Eylem-eleme (Action-qualifier) alt modülü

Eylem-eleme alt modülünde sayacın durumuna göre DGM sinyalinin şeklini belirleyecek aksiyonlar tanımlanır. Bu işlem için eylem-eleme çıkış kontrol yazmaçları AQCTLA ve AQCTLB kullanılırlar. Bir modülün her bir kanalı için TBCTR=0, TBCTR=TBPRD, TBCTR=CMPA (TBCTR artarken), TBCTR=CMPA (TBCTR azalırken) , TBCTR=CMPB (TBCTR artarken) ve TBCTR=CMPB (TBCTR azalırken) olaylarını içeren toplam altı adet olaya karşı alınabilecek toplam dört adet aksiyon vardır; clear, set, do nothing, toggle. Örneğin Şekil 4.8'deki gibi bir DGM sinyali elde etmek için altı olaya karşılık gelen aksiyonlar şu şekilde olmalıdır; TBCTR=0 iken ePWMxA (do nothing), TBCTR=TBPRD iken ePWMxA (do nothing), TBCTR=CMPA (TBCTR artarken) iken ePWMxA (set), TBCTR=CMPA (TBCTR azalırken) iken ePWMxA (clear) , TBCTR=CMPB (TBCTR artarken) iken ePWMxA (do nothing) ve TBCTR=CMPB (TBCTR azalırken) iken ePWMxA (do nothing). Bu çalışmada Şekil 2.5'deki DGM sinyal oluşturma biçimi

kullanılmıştır yani, yukarıdaki kritik iki aksiyon tam tersi şekilde olacaktır; TBCTR=CMPA (TBCTR artarken) iken ePWMxA (clear), TBCTR=CMPA (TBCTR azalırken) iken ePWMxA (set). Üç faz DGM uygulamalarında CMPA ve CMPB aynı modülasyon sinyali ile yüklenmelidir ve kanallar birbirinin tersi şekilde eylemlendirilmelidir.

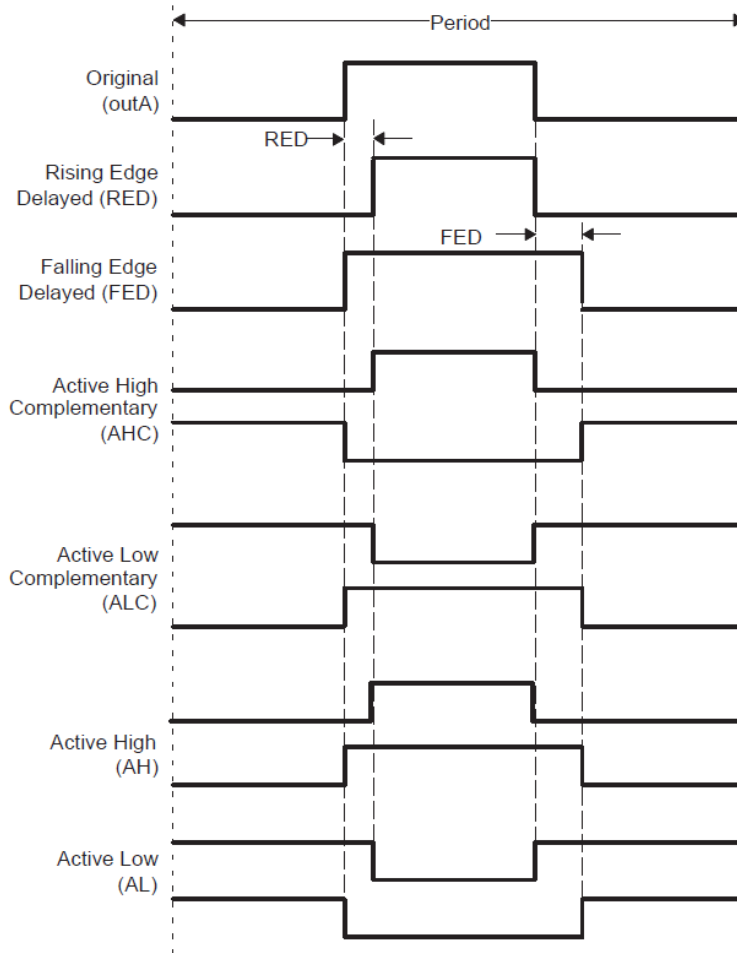
Eylem-eleme alt modülünde ayrıca modülasyon sinyalleri CMPA ve CMPB' nin güncellenme zamanları da belirlenir. Bu işlem için sayacın durumuna göre dört seçenek vardır; CTR = 0, CTR = TBPRD, either, freeze. Bu çalışmada modülasyon sinyallerinin güncellenme zamanı olarak CTR = 0 anı seçilmiştir. Bu durumda, örneğin içinde bulunan örnekleme çevirimi için ASÇ sinyallerinden değerler okunup, ilgili kontrol algortiması işlemleri yapıp, modülasyon sinyalleri elde edildikten sonra bu değerlerin CMPA ve CMPB' ye yüklenmesi örnekleme periyodunun sonunda yani CTR = 0 anında olacaktır. Bu da sistemde bir örnekleme periyodu kadar gecikmeye sebep olacaktır.

Ölü-bant (Dead-band) alt modülü

Evirici uygulamalarında eviricinin aynı ayağındaki iki anahtardan herbiri birbirini tamamlayıcı (complementary) DGM sinyalleri ile, bir anahtar açılırken diğeri kapanacak şekilde sürülürler. Ancak iki anahtarın aynı anda açık olma durumunu garantili olarak engellemek için PWMxA ve PWMxB sinyalleri arasında ölü-bant denilen ölü zaman bulundurmak gerekir. Şekil 4.10'da olası ölü zaman dalga şekilleri görülmektedir. Görüldüğü gibi, iki anahtarın aynı anda açık olmasını engelleyen uygulama Active High Complementary (AHC) ölü zaman uygulamasıdır. Bunun için PWMxA veya PWMxB kanallarından birisinin referans olarak belirlenmesi gereklidir. PWMxA kanalının çıkışı referans olarak alınırsa AHC için PWMxA sinyalinin 'high' konumuna geçerken orjinal sinyale göre RED (Rising Edge Delay) zamanı kadar gecikmesi gerekmektedir. PWMxA sinyali 'low' konumuna orjinal sinyal ile aynı zamanda geçer. Diğer yandan PWMxB sinyali 'low' konumuna normal zamanında geçerken 'high' konumuna FED (Falling Edge Delay) zamanı kadar gecikmeli olarak geçer. Bu ayarlamalar ölü-bant kontrol yazmacında (DBCTL) konfigüre edilirler. Bu çalışmada kullanılan AGM (IPM: Intelligent Power Module) modülü için tavsiye edilen ölü zaman $>2,5 \mu s$ 'dir. DGM zaman-tabanı saati sistem saati ile aynı tutulduğundan ve sistem saat periyodu 1/150 MHz olduğundan RED ve FED için 400 değeri seçilmiştir. Bu değer $400/150 \text{ M} = 2,67 \mu s$ ölü zaman aralığına karşılık gelmektedir.

Olay-tetikleme (Event-trigger) alt modülü

ASÇ kısmında belirtildiği gibi ASÇ çevirimini başlatmanın yollarından birisi de DGM modülünden ÇB (SOC) sinyalinin gönderilmesidir. Olay-tetikleme alt modülünde bu özelliğin etkinleştirilmesi ve ASÇ ÇB sinyalinin gönderim zaman ayarları yapılır. Bir örnekleme periyodu ASÇ çevrimi ile başlar, ASÇ’de örneklenmiş değerler kontrol algoritmasında kullanılarak DGM modülasyon sinyalleri hesaplanır ve bu modülasyon sinyal değerlerine göre DGM sinyalleri üretilir. Bu çalışmada DGM modülünün CMPA/B modülasyon parametrelerinin güncellenme zamanı örnekleme süresinin sonuna denk gelen $CTR=0$ zamanı seçildiği için, bir sonraki örnekleme periyodunun başlangıç zamanı bu an olarak seçilebilir. Yukarı-aşağı testere dişi DGM uygulamasında bir diğer yaygın kullanılan ASÇ ÇB sinyali gönderim zamanı örnekleme periyodunun tam ortasına denk gelen $CTR=TBPRD$ anıdır.



Şekil 4.10. Olası ölü-bant dalga şekilleri [63]

Modülasyon sinyalinin normalizasyonu

Eş. 2.1’de evirici transfer fonksiyonu;

$$v_i = v_i^* \frac{1}{|v_{tri}|} \frac{V_s}{2}$$

olarak belirtilmişti. Burada evirici gerilim referans sinyali v_i^* modülasyon sinyaline karşılık gelmektedir. Kısım 2.2.1’deki akım denetleyici bölümünde, Şekil 2.7’de görüldüğü gibi evirici performansına birim kazanç ve giriş geriliminden bağımsızlık sağlamak için gerilim referansı $|v_{tri}| \frac{2}{V_s}$ ile çarpılarak normalize edilmiştir. Burada $|v_{tri}|$ testere dişi sinyalinin genlik değeri olup Şekil 2.5’de görüldüğü gibi TBPRD değerinin yarısına eşittir. Ayrıca DGM uygulamasında testere dişi eğrisi 0 ile TBPRD arasında değiştiğinden normalize edilen modülasyon sinyaline yukarı doğru TBPRD/2 kadar seviye kaydırımı yapılması gerekmektedir. Bu durumda DGM’nun modülasyon değişkenleri CMPA/B aşağıdaki şekilde uygulanmalıdır;

$$\text{CMPA/B} = \frac{\text{TBPRD}}{V_s} v_i^* + \frac{\text{TBPRD}}{2}$$

4.3. Evirici ve Sürücü Kartı

Bu çalışmada evirici güç devresi olarak Mitsubishi firmasının PM50CL1A120 AGM (IPM) modülü kullanılmıştır. Sürücü kartı olarak da gene aynı firmanın bu tip AGM’leri için ürettiği L1S1 Series IPM Evaluation Board kullanılmıştır. Sürücü uygulama örneğinin de bulunduğu AGM veri sayfaları EK-6’da verilmiştir.

4.4. Evirici Çıkış Filtresi ve Bağlantı Empedansları

Çıkış filtresi LC yapısındadır. Filtre için anahtarlama frekansına göre endüktans ve kapasitans değerleri belirlendikten sonra filtre ve bağlantı empedansı bobinlerinin taşıyacağı azami akım ve etkin frekans değerlerine göre uygun bobin çekirdekleri, kablo kesitleri ve sarım sayıları belirlenmelidir. Firmaların sunduğu hazır çekirdek seçme yazılımları bobin çekirdeği seçmede yardımcı olmaktadır. Bobin çekirdeği seçerken dikkat edilmesi gereken

noktalardan birisi bobinin etkin olması gereken frekans seviyesidir. Filtre bobinlerinin anahtarlama frekansında (~ 10 kHz) etkin olmaları gerekirken bağlantı bobinleri için şebeke frekansı seviyesi (50~60 Hz) yeterlidir. Bu çalışmada kullanılan filtre bobini çekirdeği, bağlantı bobini çekirdeği ve filtre kondansatörü veri sayfaları EK-(7-9)'da verilmiştir.

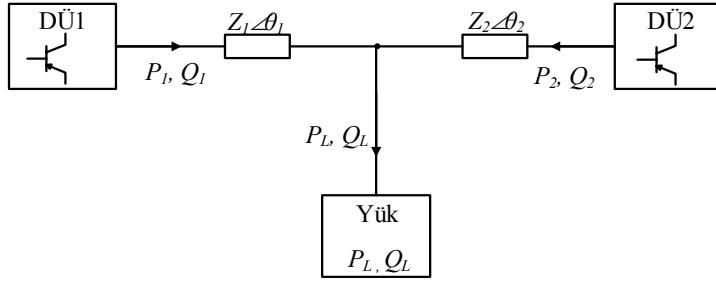
4.5. Evirici Modelinin Doğruluğunun Deneylerle Kanıtlanması

Tez çalışmasının bu aşamasında eldeki imkanlar dahilinde gerçekleştirilen deneysel uygulama çalışmasından ve uygulama sonuçlarından bahsedilecektir. Deneysel çalışmanın amacı benzetimlerde kullanılan evirici modelinin doğrulanmasıdır. Deneysel uygulama düzeneği Şekil 4.11'de blok şeması görülen, bağlantı empedansları ile paralellenmiş iki adet düşüm kontrollü 3-faz eviriciden ve bir adet ortak rezistif yükten oluşmaktadır. Eviricilerin bağlantı empedansları $Z_1 \angle \theta_1$ ve $Z_2 \angle \theta_2$ ile temsil edilmiştir. Eviriciler birbirinin eşleniği olup Tablo 4.1'de evirici, bağlantı empedansları ve yük parametreleri verilmiştir.

Evirici kartlarında SAÇ (Sayısal-Analog Çevirici) bulunmadığından deney verisi sadece bilgisayara bağlı eviriciden TI'nın SSI programlama yazılımı CCS (Code Composer Studio) aracılığıyla alınabilmektedir. Bu sebeple 1. evirici şimşek (flash) bellekten programlanarak başlatıldıktan sonra bilgisayara bağlı ikinci evirici manuel olarak devreye alınmıştır. Eviricilerin senkronlanması 1. eviricinin b fazının sıfır geçişinin 2. evirici tarafından belirlenip 2. eviricinin tam bu noktada başlatılmasıyla sağlanmıştır. Tam bir senkronlama olmasa bile bu yöntem en yumuşak başlamayı sağlamıştır. Deneysel uygulama sırasında karşılaşılan diğer bir problem ise muhtemelen yüksek gerilim anahtarlamaından oluşan gürültüden dolayı CCS ile bilgisayardan (RAM bellek üzerinden) kontrol edilen eviricinin bilgisayar bağlantısının kopması ve veri alımının mümkün olmamasıydı. Bu problem özellikle 100 V'dan yüksek giriş gerilimlerinde ortaya çıktığından deneyler 100 V giriş geriliminde, çıkış AA gerilim genliği 40 V(peak) olacak şekilde gerçekleştirilmiştir. Ortak yük olarak 40 V gerilim seviyesi için 750 W aktif yüke karşılık gelen $3,2 \Omega$ 'luk rezistif yük kullanılmıştır. Resim 4.1'de deneysel uygulama düzeneğinin bir resmi görülmektedir. Eviricilere uygulanan düşüm parametreleri $m_1 = m_2 = 0,025$, $n_1 = n_2 = 0,015$ ve $H = 0,95$ 'dir.

3. Bölüm'de bahsedildiği gibi gerçek sayısal uygulamalarda evirici dinamik modelinde SDT gecikmesi ($0,5T_s$) ve modülasyon sinyali güncelleme zamanı gecikmesi (T_s) belirlemektedir. Bu sebeple, evirici benzetim modelinde modülasyon sinyali, bir örnekleme periyodu (T_s)

kadar tutma sağlayan SDT bloğu ve bir örnekleme periyodu kadar gecikme sağlayan gecikme (delay) bloğundan geçirildikten sonra DGM'na uygulanmıştır. Ayrıca, benzetim modelinde ideal anahtarlar kullanılmış olup ölü zaman uygulaması modele dahil edilmemiştir.

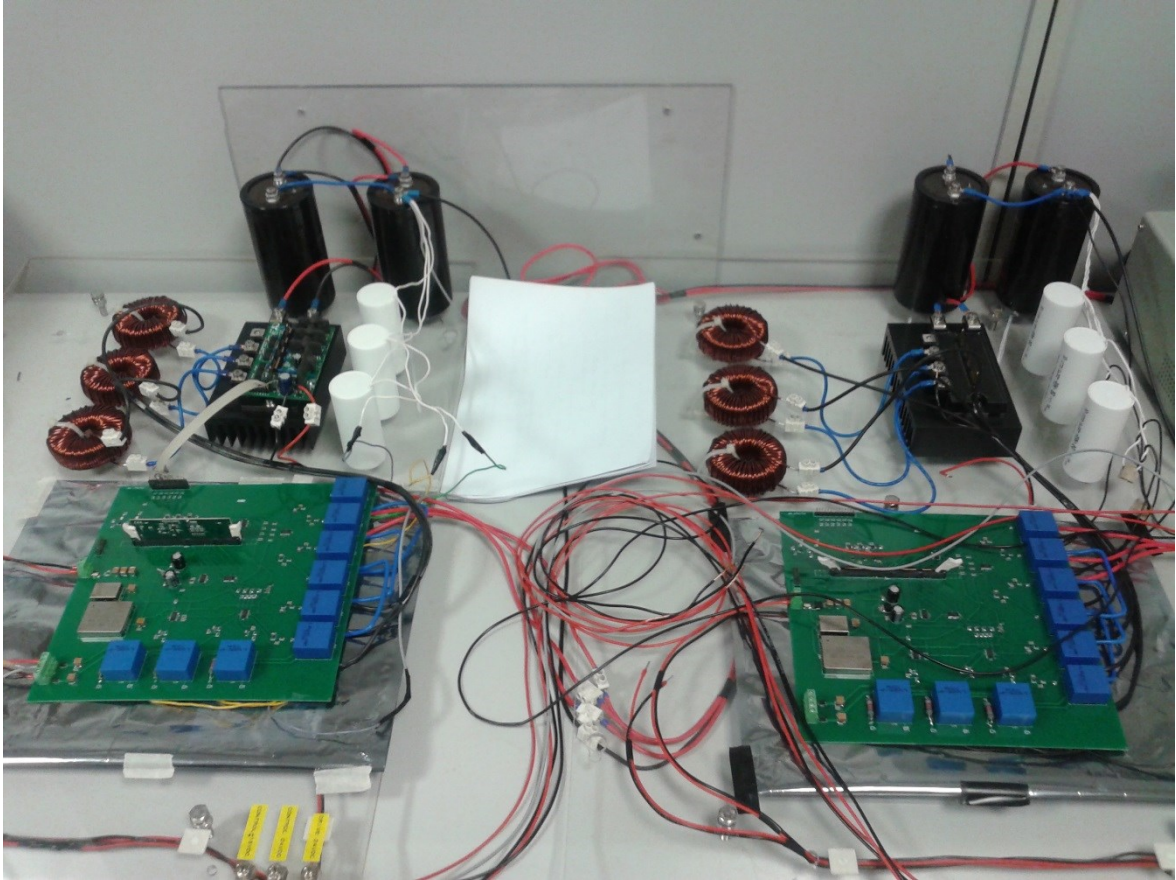


Şekil 4.11 Deney düzeneği devre şeması

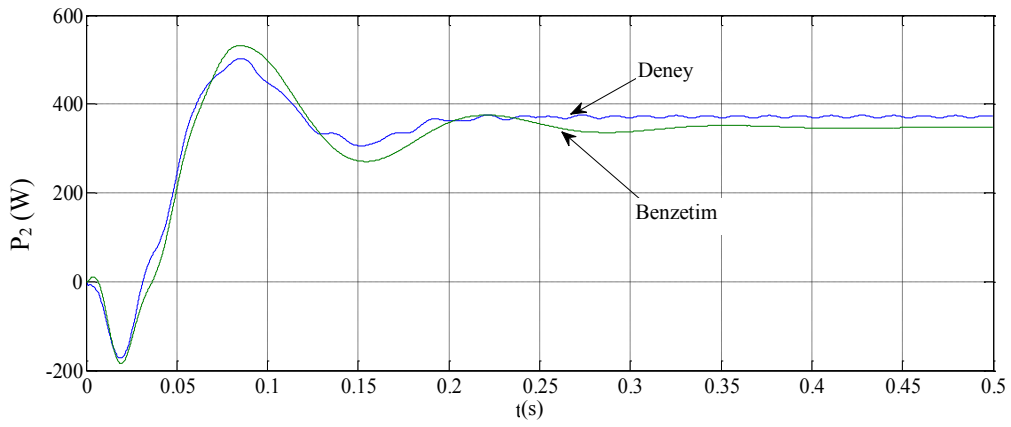
Çizelge 4.1 Deney düzeneği parametreleri

Parametre	Tanımı	Değeri (birimi)
Düşüm kontrollü eviriciler ve Bağlantı empedansları		
f_s	Anahtarlama frekansı	10 (kHz)
f	Evirici çıkış gerilimi frekansı	60 Hz
L_f, r_f	Filtre endüktansı ve iç direnci	1,84 (mH), 0,11 (Ω)
C_f	Filtre kapasitansı	30 (μ F)
ω_f	Güç filtreleri köşe frekansı	31,85 (rad/sec)
ω_s	Frekans set değeri	380 (rad/sec)
V_s	DA giriş gerilimi	100 V
L_{c1}, r_{c1}	$\bar{Z}_1$ Bağlantı empedansının endüktansı ve iç direnci	1,57 (mH), 0,19 (Ω)
L_{c2}, r_{c2}	$\bar{Z}_2$ Bağlantı empedansının endüktansı ve iç direnci	2,46 (mH), 0,29 (Ω)
m	Aktif güç-frekans düşüm katsayısı	0,025
n	Reaktif güç-gerilim genliği düşüm katsayısı	0,015
h	Gerilim kontrolcüsü çıkış akımı ileri besleme kazancı	0,95
Yük		
R_L	Yük rezistansı	3,2 (Ω)

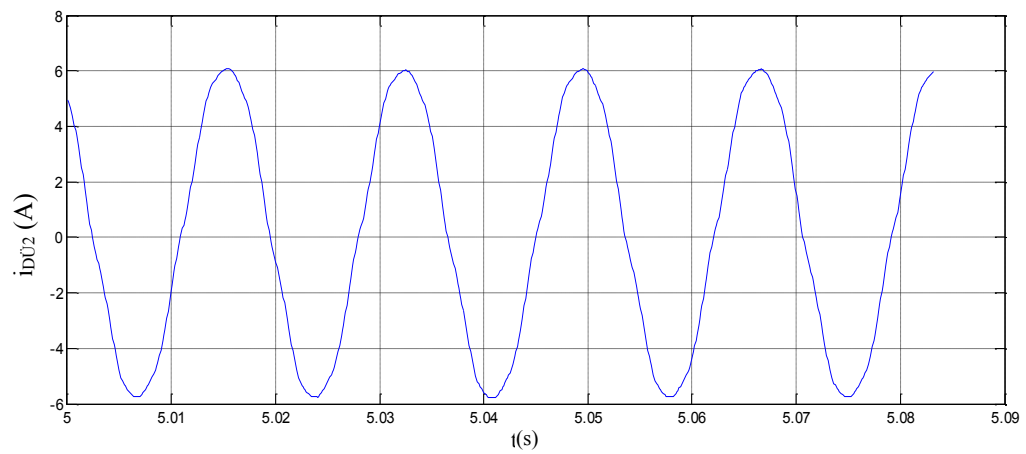
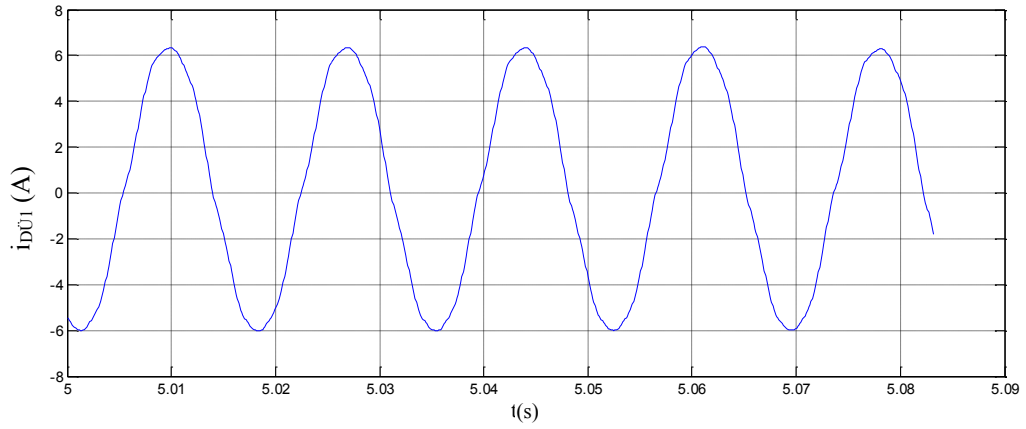
Şekil 4.12’de DÜ2 eviricisinin yukarıda belirtilen başlangıç koşullarıyla devreye alındığı andan itibaren elde edilen aktif güç eğrisinin deneysel ve benzetim sonuçları görülmektedir. Görüldüğü gibi deney sonuçları ve benzetim sonuçları uyumludur. Başlangıç aşamasında görülen ters güç akışı DÜ2’nin devreye alındığı anda evirici gerilimleri arasındaki faz farkından kaynaklanmaktadır. Deneysel sonuçlardaki hafif güç fazlalığı benzetimde dikkate alınmayan anahtarlama kayıplarından kaynaklanmaktadır. Şekil 4.13 ve 4.14’de ise farklı zamanlarda ancak aynı deneysel koşullarda elde edilmiş DÜ1 ve DÜ2 eviricilerinin kararlı durum deneysel akım ve gerilim sonuçları görülmektedir. Akım ve gerilimler eviricilerin aynı fazları içindir. Akım seviyelerinin eşit olması yüklerin eşit paylaşıldığını göstermektedir. Akım eğrilerinde görülen yukarı yönlü hafif seviye kaymaları algılayıcılardaki ofset ve/veya sinyal düzenleme devresi hatalarından kaynaklanan DA akım enjeksiyonu sonucudur. Evirici çıkış akımlarındaki bu DA akım enjeksiyonu, Şekil 4.12’de verilen evirici çıkış aktif gücünün deney sonucunda görülen ağ frekansındaki (60 Hz) salınımlarla da kendisini göstermektedir.



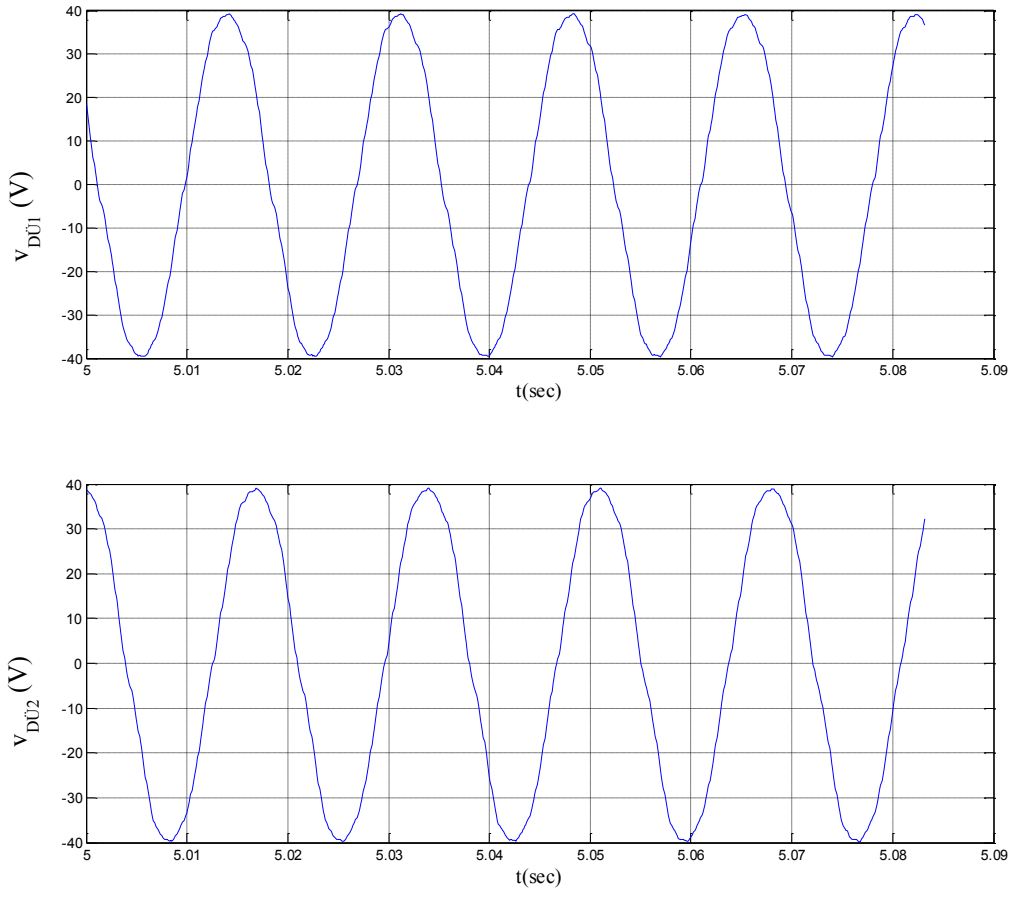
Resim 4.1. Deney düzeneği



Şekil 4.12. DÜ2 eviricisinin aktif güç değişimi deney ve benzetim sonuçları



Şekil 4.13. DÜ1 ve DÜ2 eviricileri için kararlı durum akım eğrileri deney sonuçları



Şekil 4.14. DÜ1 ve DÜ2 eviricileri için kararlı durum gerilim eğrileri deney sonuçları

5. SONUÇ VE ÖNERİLER

Bu tez çalışmasında düşüm kontrollü eviricilerden oluşan mikroşebekelerin ada modu için genelleştirilmiş bir kararlılık analizi yöntemi geliştirilmiştir. Düşüm kontrolü, geleneksel olarak merkezi enerji santrallerinde yıllardır uygulanmakta olan frekansın aktif güç ile gerilim genliğinin ise reaktif güç ile düzenlendiği bir kontrol yöntemidir. Düşüm kontrolü şebekeden ayrı modda paralel olarak çalıştırılan birden fazla eviriciye otonom (haberleşme gerektirmeyen) yük paylaşımı sağlamasından dolayı ilk olarak kesintisiz güç kaynaklarında, daha sonra da mikroşebekelerde uygulanmaya başlanmıştır. Ada modunda paralel çalıştırılan düşüm kontrollü eviricilerden oluşan enerji sistemlerinin kararlılık analizi de bu kapsamda bir araştırma konusu olarak literatürde yer bulmaya başlamıştır. Buradaki amaç evirici ve ağ parametrelerinin mikroşebeke kararlılığını nasıl etkilediğini görmek ve yeterli pay ile kararlılığı sağlayacak şekilde parametre seçmektir. Ancak mevcut kararlılık analizi yöntemleri incelendiğinde iki önemli problem göze çarpmaktadır. İlk olarak, mevcut yöntemler uygulandıkları sınırlı sayıda eviriciden oluşan (iki veya üç eviricili sistemler) mikroşebeke topolojilerine bağımlıdır. Mikroşebeke mimarisi değiştiğinde veya evirici sayısı arttığında analiz yöntemlerinin en baştan yeniden oluşturulması gerekmektedir. İkinci olarak ise, elektrik şebekelerinin nonlinear yapısından dolayı mikroşebekelerin dinamik modeli küçük sinyal yaklaşımıyla elde edilmektedir. Dolayısı ile mikroşebeke durum değişkenlerinin denge noktaları etrafında gerçekleştirilen analizler bu durum değişkenlerinin denge noktaları değerlerini de gerektirmektedir. Literatürde önerilen yöntemlerin tamamında durum değişkenlerinin denge noktalarını belirlemek için yük akış analizleri gibi ek analizler veya dinamik benzetimler kullanılmıştır. Bu durum mevcut analiz yöntemlerinin uygulanabilirliğini mikroşebeke büyüdükçe daha da zorlaştırmaktadır.

Bu çalışmada yukarıda bahsedilen iki problemi ortadan kaldıran genelleştirilmiş bir mikroşebeke kararlılık analizi yöntemi geliştirilmiştir. Geliştirilen analiz yöntemi eviricilerin çıkışındaki bağlantı empedanslarının AG hat empedanslarına baskın olduğu kabulü baz alınarak oluşturulmuştur. Bu kabul ile herhangi topolojideki ve büyüklükteki mikroşebeke modeli geliştirilen analiz yönteminin uygulandığı sadeleştirilmiş genel bir mikroşebeke modeline dönüştürülebilmektedir. Analiz sonuçlarının ortaya çıkardığı, mikroşebeke kararlılığı için eviriciler arasında belirli asgari büyüklükte bağlantı empedansı gereksinimi bu kabulü güçlendirmiştir. Bununla beraber, hat empedanslarını ihmal eden

analiz sonuçlarının hat empedanslarını dahil eden benzetim sonuçları ile uyumluluğu da bu yaklaşımın doğruluğunu göstermiştir. İkinci olarak, analiz yöntemi matematiksel bir çıkarım ile kritik durum değişkenlerinin denge noktalarının gereksimini ortadan kaldırmıştır. Bu çıkarım sonucunda mikroşebekenin dinamik model parametreleri denge noktaları belirli olan durum değişkenleri cinsinden elde edilmiştir. Bu durum analizin uygulanmasını oldukça kolaylaştırmıştır. Bu haliyle analiz yöntemi DÜ yüklenmeleri, bağlantı empedansları ve düşüm katsayıları gibi bilinen parametrelere açık bir şekilde dayandığı için tasarım aşamasında mikroşebeke parametrelerinin optimum değerlerini belirlemede rahatlıkla kullanılabilir durumdadır.

Diğer yandan, çalışmalar sırasında benzetim sonuçları göstermiştir ki, gerilim kontrolcüsünün çıkış empedans etkisi gerilim kontrolcüsünü ayarlama aşamasında dikkat edilmesi gereken kritik konulardan birisidir. Çıkış akımının gerilim kontrolcüsüne bozucu etken olarak belirmesini engellemek için gerilim kontrolcüsü ayarlama stratejisi; çıkış akımı ileri besleme kazancını birim değere yakın bir değerde tutarak ($H \cong 1$) gerilim kontrol döngüsüne mümkün olan en büyük bant genişliğini sağlamak olmalıdır.

Çalışmadan çıkan sonuçlara göre yapılabilecek öneriler ise şu şekildedir; Çalışmanın deneysel uygulamalar aşamasında gürültü problemi yüzünden deneyler düşük gerilimlerde gerçekleştirilebilmiştir. Kontrolcü baskı kartı tasarımında ve kablolamada gürültü azaltıcı tekniklerin uygulanmasının bu gürültüleri azaltacağı düşünülmektedir. Ayrıca kontrolcü kartına SAÇ modülü dahil edilmediği için deneyler sırasında veri toplama işlemi sınırlı olarak gerçekleştirilebilmiştir. Devam çalışmalarının deneysel aşamalarında bu hususların da dikkate alınması önerilmektedir.

Bu çalışmada düşüm kontrollü eviricilerden oluşan mikroşebekelerin ada modundaki kararlılığı incelenmiştir. Ada modu kararlılığını etkileyen en kritik parametreler aktif güç düşüm katsayısı, m ve bağlantı empedansı, $Z\angle\theta$ olarak belirmektedir. Dolayısı ile bu parametrelerin belirlenmesine yönelik mikroşebeke tasarım kuralları faydalı bir çalışma olacaktır. Kısım 2.3.1’de aktif güç düşüm katsayısı için mikroşebekenin çalışma frekans limitlerine göre bir değer belirleme yöntemi verilmiştir. Bununla beraber, reaktif güç düşüm katsayısına bağlı reaktif yük paylaşımı için bağlantı empedanslarının sağlanması gereken koşullar Kısım 2.3.2’de verilmiştir. Buna göre, Eş. 2.24 ve 2.25 tasarım kriterleri olarak alınıp, bağlantı empedansı genliklerinin kararlılık için gereken azami kritik değerlerinin ağır

değerleri belirli diğer parametreleri cinsinden analitik olarak belirlenmesi gelecek çalışma konusu olarak önerilmektedir. Yukarıdaki eşitliklerde belirtilen bağlantı empedansı kriterlerinin bu çalışmada denenmemiş olan sanal empedans uygulamasıyla kolayca sağlanabileceği öngörülmektedir. Bu amaçla, belirtilen kriterlerin geliştirilen kararlılık analizi yöntemine dahil edilip eşitliklerde sadeleşme aranması yoluna gidilmesi gerekeceği düşünülmektedir.

Son olarak, bu çalışmada sadece ada modu incelendiğinden mikroşebekenin ana şebeke modu çalışması da incelenmesi gereken konulardan birisi olarak belirmektedir. Her ne kadar mikroşebekenin ana şebekeye bağlı durumdaki kararlılığı uydu kontrol modundan dolayı kritik önem taşımasa da ada modundan şebeke moduna veya tam tersi geçişlerdeki geçici durum davranışı incelenmesi gereken konulardan birisidir. Bu amaçla, Kısım 2.2.2’de referans verilerek önerilen şebeke moduna uyarlanmış düşüm kontrolü yönteminin geçişlerdeki geçici durum performansı incelenmelidir. Buna ek olarak, koruma konusu kapsamında incelenmesi gereken, zorunlu ada modu (unintentional islanding) durumunda mikroşebekedeki güç dengesini sağlamaya yönelik hata sonrası (post-fault) mikroşebeke denetimi ve enerji yönetimi kapsamında incelenmesi gereken, ada ve şebeke modlarında eviriciler arasında en iyileştirilmiş (optimum) güç dağılımını sağlamaya yönelik denetim ve kontrol algoritmalarının geliştirilmesi gelecek araştırma konuları olarak önerilmektedir.

KAYNAKLAR

1. İnternet: Hatziargyriou, Nikos. MICROGRIDS-Large Scale Integration of Micro-Generation to Low Voltage Grids. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fmicrogrids.eu%2Fmicro2000%2Fpresentations%2F19.pdf&date=2015-11-03>, Son Erişim Tarihi: 03.11.2015.
2. Bidram, A., Davoudi, A. (2012, Dec.). Hierarchical structure of microgrids control system. *IEEE Transactions on Smart Grid*, 3(4), 1963–1976.
3. Nutkani, I. U., Loh, P. C., Wang, P., and Blaabjerg, F. (2015). Decentralized economic dispatch scheme with online power reserve for microgrids. *IEEE Transactions on Smart Grid*, This article has been accepted for inclusion in a future issue of this journal. Content is final as presented, with the exception of pagination.
4. Nikmehr, N., Ravadanegh, S. N. (2015, July). Optimal power dispatch of multi-microgrids at future smart distribution grids. *IEEE Transactions on Smart Grid*, 6(4), 1648–1657.
5. Wang, Z., Chen, B., Wang, J., Begovic, M. M., and Chen, C. (2015, Jan.). Coordinated energy management of networked microgrids in distribution systems. *IEEE Transactions on Smart Grid*, 6(1), 45–53.
6. Shi, W., Xie, X., Chu, C-C., and Gadh, R. (2015, May). Distributed optimal energy management in microgrids. *IEEE Transactions on Smart Grid*, 6(3), 1137–1146.
7. Jayawarna, N., Jenkins, N., Barnes, M., Lorentzou, M. Papthanassiou, S., and Hatziargyriou, N. (2005). Safety analysis of a microgrid. *International Conference of Future Power Systems*, DOI: 10.1109/FPS.2005.204228.
8. Shirzeh, H., Naghdy, F., Ciufo, P., and Ros, M. (2015, March). Balancing energy in the smart grid using distributed value function (DVF). *IEEE Transactions on Smart Grid*, 6(2), 808 – 818.
9. Chen, S. X., Gooi, H. B., Wang, M. Q. (2012, March). Sizing of energy storage for microgrids. *IEEE Transactions on Smart Grid*, 3(1), 142 – 151.
10. Katayoun, R., Xu, J., Zhang, R. (2015, Jan.). Real-time energy storage management for renewable integration in microgrid: an off-line optimization approach. *IEEE Transactions on Smart Grid*, 6(1), 124 – 134.
11. Wu, D., Tang, F., Dragicevic, T., Vasquez, J. C., and Guerrero, J. M. (2015, May). A control architecture to coordinate renewable energy sources and energy storage systems in islanded microgrids. *IEEE Transactions on Smart Grid*, 6(3), 1156 – 1166.
12. Meng, T., Ai, X. (2011, March). The operation of microgrid containing electrical vehicles. *Power and Energy Engineering Conference (APPEEC)*, Wuhan, 1 – 5, DOI: 10.1109/APPEEC.2011.5748366.

13. Deilami, S., Masoum, A. S., Moses, P. S., and Masoum, M. A. S. (2011, Sept.). Real-time coordination of plug-in electrical vehicle charging in smart grids to minimize power losses and improve voltage profile. *IEEE Transactions on Smart Grid*, 2(3), 456 – 467.
14. Ketabi, A., Fini, M. H. (2015, Jan.). An underfrequency load shedding scheme for hybrid and multiarea power systems. *IEEE Transactions on Smart Grid*, 6(1), 82 – 91.
15. İnternet: Mohd, Alaa. Energy Management. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fcdn.intechopen.com%2Fpdfs-wm%2F10166.pdf&date=2015-11-03> , Son Eriřim Tarihi: 03.11.2015.
16. Engler, A. (2005, Jan.). Applicability of droops in low voltage grids. *International Journal of Distributed Energy Sources and Smart Grids*, No. 1, 1 - 5.
17. Engler, A., Soultanis, N. (2005, Nov.). Droop control in LV-Grids. *International Conference of Future Power Systems*, Amsterdam, 1–6, DOI: 10.1109/FPS.2005.204224.
18. Mohd, A., Ortjohann, E., Sinsukthavorn, W., Lingemann, M., Hamsic, N., and Morton, D. (2009, March). Supervisory control and energy management of an inverter-based modular smart grid. *Power Systems Conference and Exposition. PSCE'09. IEEE PES*, Seattle WA, 1 – 6, DOI: 10.1109/PSCE.2009.4840000.
19. Arulampalam, A., Barnes, M., Engler, A., Goodwin, A., and Jenkins, N. (2004, Sept.). Control of power electronic interfaces in distributed generation microgrids. *International Journal of Electronics*, 91(9), 503-523.
20. Lopes, J. A. P., Moreira, C. L., Madureira, A. G. (2006, May). Defining control strategies for microgrids islanded operation. *IEEE Transactions on Power Systems*, 21(2), 916 - 924.
21. Chandorkar, M. C., Divan, D. M., Adapa, R. (1993, Jan/Feb). Control of parallel connected inverters in standalone AC supply systems. *IEEE Transactions on Industry Applications*, 29(1), 136 - 143.
22. Hua, C-C., Liao, K-A., Lin, J-R. (2002). Parallel operation of inverters for distributed photovoltaic power supply system. *Power Electronics Specialists Conference IEEE 33rd Annual*, Cairns, Old., Australia, 1979-1983, DOI: 10.1109/PSEC.2002.1023104.
23. Guerrero, J. M., Vicuna, L. G., Matas, J., Castilla M., and Miret, J. (2004, September). A wireless controller to enhance dynamic performance of parallel inverters in distributed generation system. *IEEE Transactions on Power Electronics*, 19(5), 1205-1213.
24. Katiraei, F., Iravani, M. R. (2006, November). Power management strategies for a microgrid with multiple distributed generation units. *IEEE Transactions on Power System*, 21(4), 1821 - 1831.
25. Tuladhar, A., Jin, H., Unger, T., and Mauch, K. (2000, January/February). Control of parallel inverters in distributed AC power systems with consideration of line impedance effect. *IEEE Transactions on Industrial Applications*, 36(1), 131 - 138.

26. Guerrero, J. M., Matas, J., Vicuna, L. G., Castilla, M., and Miret, J. (2006, October). Wireless-control strategy for parallel operation of distributed-generation inverters. *IEEE Transactions on Industrial Electronics*, 53(5), 1461 – 1470.
27. Guerrero, J. M., Matas, J., Vicuna, L. G., Castilla, M., and Miret, J. (2007, April). Decentralized control for parallel operation of distributed generation inverters using resistive output impedance. *IEEE Transactions on Industrial Electronics*, 54(2), 994 – 1004.
28. Kim, J., Guerrero, J. M., Rodriguez, P., Teodorescu, R., and Nam, K. (2011, March). Mode adaptive droop control with virtual output impedances for an inverter-based flexible ac microgrid. *IEEE Transactions on Power Electronics*, 26(3), 689 – 701.
29. He, J., Li, Y. W., Guerrero, J. M., Vasquez, J. C., and Blaabjerg, F. (2012, June). An islanding microgrid reactive power sharing scheme enhanced by programmed virtual impedances. *3rd IEEE International Symposium on Power Electronics for Distributed Generation Systems*, Aalborg, 229 – 235, DOI: 10.1109/PEDG.2012.6254006.
30. Li, Y. W. (2009). Control and resonance damping of voltage-source and current-source converters with LC filters. *IEEE Transactions on Industrial Electronics*, 56(5), 1511 – 1521.
31. Kazmierkowski, M. P., Blaabjerg, F., Krishnan, R. (2002). *Control In Power Electronics*. San Diego: Academic Press, 91-92.
32. İnternet: Choudhury, S. Designing a TMS320F280x Based Digitally Controlled DC-DC Switching Power Supply. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fwww.ti.com.cn%2Fcn%2Flit%2Fan%2Fspiraab3%2Fspiraab3.pdf&date=2015-11-03>, Son Erişim Tarihi: 03.11.2015.
33. İnternet: Raducu, G. A. Control of Grid Side Inverter in a B2B Configuration for WT Applications. URL: http://www.webcitation.org/query?url=http%3A%2F%2Fprojekter.aau.dk%2Fprojekte%2Ffiles%2F14482869%2Fs08_alin-raducu.pdf&date=2015-11-03, Son Erişim Tarihi: 03.11.2013.
34. Ninad, N. A., Lopes, L. A. C. (2008, August). A low power utility interactive inverter for residential PV generation with small DC link capacitor. *Proceedings of 3rd Canadian Solar Building Conference*, 28-36.
35. Marwali, M. N., Keyhani, A. (2004, November). Control of distributed generation systems – Part I: Voltages and current control. *IEEE Transactions on Power Electronics*, 19(6), 1541 – 1550.
36. Yazdani, A. (2008, July). Control of an islanded distributed energy resource unit with load-compensating feed-forward. *IEEE Power Energy Soc. General Meeting*, Pittsburgh PA, 1-7, DOI: 10.1109/PES.2008.4595978.
37. Delghavi, M. B., Yazdani, A. (2011, April). Islanded-mode control of electronically coupled distributed-resource units under unbalanced and nonlinear load conditions. *IEEE Transactions on Power Delivery*, 26(2), 661 – 673.

38. Delghavi, M. B., Yazdani, A. (2011, July). An adaptive feedforward compensation for stability enhancement in droop-controlled inverter-based microgrids. *IEEE Tansactions on Power Delivery*, 26(3), 1764 – 1773.
39. Zamani, M. A., Yazdani, A., Sidhu, T. S. (2012, October). A control strategy for enhanced operation of inverter-based microgrids under transient disturbances and network faults. *IEEE Tansactions on Power Delivery*, 27(4), 1737 – 1747.
40. Plet, C. A., Graovac, M., Green, T. C., and Iravani, R. (2010, July). Fault response of grid-connected inverter dominated networks. *IEEE Power and Energy Society General Meeting*, Minneapolis, 1 -8, DOI: 10.1109/PES.2010.5589981.
41. Yu, X., Khambadkone, A. M., Wang, H., and Terence, S. T. S. (2010, December). Control of parallel-connected power converters for low-voltage microgrid-part I: A hybrid control architecture. *IEEE Tansactions on Power Electronics*, 25(12), 2962 – 2970.
42. Roslan, A. M., Ahmed, K. H., Finney, S. J., and Williams, B. W. (2011, March). Improved instantaneous average current-sharing control scheme for parallel-connected inverter considering line impedance impact in microgrid networks. *IEEE Tansactions on Power Electronics*, 26(3), 702 – 716.
43. Zhang, X., Spencer, J. W. (2011, December). Linear voltage-control scheme with duty-ratio feedforward for digitally controlled parallel inverters. *IEEE Tansactions on Power Electronics*, 26(12), 3642 – 3652.
44. Vasques, J. C., Guerrero, J. M., Savaghebi, M., Eloy-Garcia, J., and Teodorescu, R. (2013, April). Modelling, analysis, and design of stationary-reference-frame droop-controlled parallel three-phase voltage-source inverters. *IEEE Tansactions on Industrial Electronics*, 60(4), 1271 – 1280.
45. Teodorescu, R., Blaabjerg, F., Liserre, M., and Loh, P. C. (2006, September). Proportional-resonant controllers and filters for grid-connected voltage-source converters. *IEEE Proceedings Electric Power Applications*. 153(5), 750 – 762.
46. He, J., Li, Y. W. (2013, May). Hybrid voltage and current control approach for DG-Grid interfacing converters with LCL filters. *IEEE Tansactions on Industrial Electronics*, 60(5), 1797 – 1809.
47. Canizares, C. A., Palma-Behnke, R. (2014, July). Trends in microgrid control. IEEE PES Task Force on Microgrid Control, *IEEE Transactions on Smart Grid*, 5(4), 1905–1919.
48. Kundur, P. (1994). *Power Systems Stability and Control*. New York: McGraw-Hill, 699 – 826.
49. Dağ, B., Aydemir, M. T., Nadar, A., and Smiai, M. S. (2012). Modelling, analysis and simulation of hybrid microgrids. *[IEEE-PES-MIDDLE-EAST] Saudi Arabia Smart Grid*, Jeddah, Saudi Arabia.

50. Coelho, E. A. A., Cortizo, P. C., Garcia, P. F. D. (1999, Oct.). Small signal stability for single phase inverter connected to stiff AC system. *Industry Applications Conference, Thirty-Fourth IAS Annual Meeting, Phoenix, AZ*, 2180 – 2187, DOI: 10.1109/IAS.1999.798756.
51. Coelho, E. A. A., Cortizo, P. C., Garcia, P. D. F. (2002, March/April). Small-signal stability for parallel-connected inverters in stand-alone AC supply systems. *IEEE Transactions on Industry Applications*, 38(2), 533 - 542.
52. Pogaku, N., Prodanovic, M., Green, T. C. (2007, March). Modelling, analysis and testing of autonomous operation of an inverter-based microgrid. *IEEE Transactions on Power Electronics*, 22(2), 613 - 625.
53. Mohamed, Y. A-R. I., El-Saadany, E. F. (2008, November). Adaptive decentralized droop controller to preserve power sharing stability of paralleled inverters in distributed generation microgrids. *IEEE Transactions on Power Electronics*, 23(6), 2806 - 2816.
54. Iyer, S. V., Belur, M. N., Chandorkar, M. C. (2010, September). A generalized computational method to determine stability of a multi-inverter microgrid. *IEEE Transactions on Power Electronics*, 25(9), 2420 - 2432.
55. Guerrero, J. M., Chandorkar, M., Lee, T-L., and Loh, P. C. (2013, April). Advanced control architectures for intelligent microgrids – part I: Decentralized and hierarchical control. *IEEE Transactions on Industrial Electronics*, 60(4), 1254 - 1262.
56. Li, Y., Vilathgamuwa, D. M., Loh, P. C. (2004, September). Design, analysis and real-time testing of a controller for multibus microgrid system. *IEEE Transactions on Power Electronics*, 19(5), 1195 - 1204.
57. Bhutto, G. M., Bak-Jensen, B., Bak, C. L., and Pillai, J. R. (2013, December). Protection of low voltage CIGRE distribution network. *Smart Grid and Renewable Energy*, 4(9), 1195 – 1204.
58. İnternet: Texas Instruments. TMS320x2833x Analog-to-Digital Converter Module Reference Guide. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fwww.ti.com.cn%2Fcn%2Flit%2Fug%2Fspru812a%2Fspru812a.pdf&date=2015-11-03>, Son Erişim Tarihi: 03.11.2015.
59. Varghese, A., Alwarsamy, T. (2013, Aug.-Sep.). DC injection elimination using modified resonant controller in unipolar switched transformerless H-Bridge PV inverter. *International Journal of Engineering and Technology*, 5(4), 3443-3449.
60. Zhong, Q-C. (2013, April). Robust droop controller for accurate proportional load sharing among inverters operated in parallel. *IEEE Transactions on Industrial Electronics*. 60(4), 1281–1290.
61. İnternet: Sinha, P. Hardware Conditioning of Sensor Signals, Microchip WebSeminars URL: http://www.webcitation.org/query?url=http%3A%2F%2Fwww.microchip.com%2Fstel%2Fgroups%2FSiteComm_sg%2Fdocuments%2FDeviceDoc%2Fen542976.pdf&date=2015-11-03 , Son Erişim Tarihi: 03.11.2015.

62. İnternet: Texas Instruments. Active Filter Design Techniques. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fwww.ti.com%2Flit%2Fml%2Fsloa088%2Fsloa088.pdf&date=2015-11-03> , Son Erişim Tarihi: 03.11.2015.
63. İnternet: Texas Instruments. TMS320x2833x Enhanced Pulse Width Modulator (ePWM) Module, Reference Guide. URL: <http://www.webcitation.org/query?url=http%3A%2F%2Fwww.ti.com%2Flit%2Fug%2Fsprug04a%2Fsprug04a.pdf&date=2015-11-03> , Son Erişim Tarihi: 03.11.2015.

EKLER

EK-1. Sabit parametrelili üç eviricili mikroşebeke analizi için Matlab m-file algoritması

```

N=3; % evirici sayısı
ph=3/2; % mikroşebeke faz katsayısı
pe=4.1e3; % evirici aktif güçleri
qe=[0 0 0]; % evirici reaktif güçleri
PL=N*pe; % toplam aktif yük
QL=0; % toplam reaktif yük
me=1e-4; % aktif güç-frekans düşüm katsayısı
ne=2e-4; % reaktif güç-genlik düşüm katsayısı
t(1)=1.26; % bağlantı empedansları faz açıları
t(2)=1.27;
t(3)=1.26;
z(1)=0.62; % bağlantı empedansları genlikleri
z(2)=0.97;
z(3)=0.79;
e=183.5; % evirici çıkış gerilimleri
wf=31.85; % güç filtreleri köşe frekansı
for i=1:N
    p(i)=pe;
    q(i)=qe(i);
    m(i)=me;
    n(i)=ne;
end

for i=1:N
    ki1(i)=p(i)/e+ph*(e/z(i))*cos(t(i));
    ki2(i)=ph*((e^2)/z(i))*sin(t(i))-q(i);
    ki3(i)=2*p(i)/e-ki1(i);
    ki4(i)=-ki2(i);
    ki5(i)=q(i)/e+ph*(e/z(i))*sin(t(i));
    ki6(i)=p(i)-ph*((e^2)/z(i))*cos(t(i));
    ki7(i)=2*q(i)/e-ki5(i);
    ki8(i)=-ki6(i);
end
ks(1,1)=-2*PL/180; % evirici çıkış gerilimleri
ks(1,2)=0;
ks(2,1)=-2*QL/180;
ks(2,2)=0;
for i=1:N
    ks(1,1)=ks(1,1)+ki3(i);
    ks(1,2)=ks(1,2)+ki4(i);
    ks(2,1)=ks(2,1)+ki7(i);
    ks(2,2)=ks(2,2)+ki8(i);
end
al=inv(ks);
for i=1:N
    for j=1:N
        if i==j

```

EK-1. (devam) Sabit parametreli üç eviricili mikroşebeke analizi için Matlab m-file algoritması

```

a(i,j)=(-1)*wf+(-1)*n(i)*wf*ki5(i)+n(i)*wf*ki7(i)*
(al(1,1)*ki1(j)+al(1,2)*ki5(j))+n(i)*wf*ki8(i)*(al(2,1)*ki1(
j)+al(2,2)*ki5(j));
a(i,(N+j))=0;
a(i,(2*N+j))=(-1)*n(i)*wf*ki6(i)+n(i)*wf*ki7(i)*(al(1,1)*ki2
(j)+al(1,2)*ki6(j))+n(i)*wf*ki8(i)*(al(2,1)*ki2(j)+
al(2,2)*ki6(j));
a((N+i),j)=(-1)*m(i)*wf*ki1(i)+m(i)*wf*ki3(i)*(al(1,1)*
ki1(j)+al(1,2)*ki5(j))+m(i)*wf*ki4(i)*(al(2,1)*ki1(j)+
al(2,2)*ki5(j));
a((N+i),(N+j))=(-1)*wf;
a((N+i),(2*N+j))=(-1)*m(i)*wf*ki2(i)+m(i)*wf*ki3(i)*
(al(1,1)*ki2(j)+al(1,2)*ki6(j))+m(i)*wf*ki4(i)*(al(2,1)*ki2(
j)+al(2,2)*ki6(j));
a((2*N+i),j)=0;
a((2*N+i),(N+j))=1;
a((2*N+i),(2*N+j))=0;
    else

a(i,j)=n(i)*wf*ki7(i)*(al(1,1)*ki1(j)+al(1,2)*ki5(j))+
n(i)*wf*ki8(i)*(al(2,1)*ki1(j)+al(2,2)*ki5(j));
a(i,(N+j))=0;
a(i,(2*N+j))=n(i)*wf*ki7(i)*(al(1,1)*ki2(j)+al(1,2)*
ki6(j))+n(i)*wf*ki8(i)*(al(2,1)*ki2(j)+al(2,2)*ki6(j));
a((N+i),j)=m(i)*wf*ki3(i)*(al(1,1)*ki1(j)+al(1,2)*
ki5(j))+m(i)*wf*ki4(i)*(al(2,1)*ki1(j)+al(2,2)*ki5(j));
a((N+i),(N+j))=0;
a((N+i),(2*N+j))=m(i)*wf*ki3(i)*(al(1,1)*ki2(j)+al(1,2)*ki6(
j))+m(i)*wf*ki4(i)*(al(2,1)*ki2(j)+al(2,2)*ki6(j));
        a((2*N+i),j)=0;
        a((2*N+i),(N+j))=0;
        a((2*N+i),(2*N+j))=0;
    end
end
end

b=eig(a);
plot(b,'x','MarkerSize',9);

```

EK-2. İki eviricili mikroşebekenin parametrik kararlılık analizi için Matlab m-file algoritması

```

PL=10e3; % Toplam aktif yük
QL=6e3; % Toplam reaktif yük
p1=5e3; % Evirici aktif güçleri
p2=5e3;
q1=3e3; % Evirici reaktif güçleri
q2=3e3;
km1=1e-3; % Aktif güç-frekans düşüm katsayısı
km2=1e-3;
kn1=1e-3; % reaktif güç-genlik düşüm katsayısı
kn2=1e-3;
z=[0.1:0.05:1]; % Bağlantı empedansı genliği
                    (incelenen parametre)
t1=pi/8; % bağlantı empedansı faz açısı
t2=pi/8;
e=180; % Mikroşebeke gerilimi
wf=31.85; % Güç filtreleri köşe frekansı
for i=1:19
    z1=z(i);
    z2=z(i);
    k11=p1/e+(e/z1)*cos(t1)*3/2;
    k21=p2/e+(e/z2)*cos(t2)*3/2;
    k12=(e^2)/z1*sin(t1)*3/2-q1;
    k22=(e^2)/z2*sin(t2)*3/2-q2;
    k13=2*p1/e-k11;
    k23=2*p2/e-k21;
    k14=-k12;
    k24=-k22;
    k15=q1/e+(e/z1)*sin(t1)*3/2;
    k25=q2/e+(e/z2)*sin(t2)*3/2;
    k16=p1-(e^2)/z1*cos(t1)*3/2;
    k26=p2-(e^2)/z2*cos(t2)*3/2;
    k17=2*q1/e-k15;
    k27=2*q2/e-k25;
    k18=-k16;
    k28=-k26;

    ks(1,1)=k13+k23-2*PL/e;
    ks(1,2)=k14+k24;
    ks(2,1)=k17+k27-2*QL/e;
    ks(2,2)=k18+k28;
    al=inv(ks);

    a(1,1)=-wf-kn1*wf*k15+kn1*wf*k17*(al(1,1)*k11+al(1,2)*k15)+
    kn1*wf*k18*(al(2,1)*k11+al(2,2)*k15);
    a(1,2)=kn1*wf*k17*(al(1,1)*k21+al(1,2)*k25)+kn1*wf*k18*
    (al(2,1)*k21+al(2,2)*k25);
    a(1,3)=0;

```

EK-2. (devam) İki eviricili mikroşebekenin parametrik kararlılık analizi için Matlab m-file algoritması

```

a(1,4)=0;
a(1,5)=-kn1*wf*k16+kn1*wf*k17*(al(1,1)*k12+al(1,2)*k16)+kn1*
wf*k18*(al(2,1)*k12+al(2,2)*k16);
a(1,6)=kn1*wf*k17*(al(1,1)*k22+al(1,2)*k26)+kn1*wf*k18*
(al(2,1)*k22+al(2,2)*k26);
a(2,1)=kn2*wf*k27*(al(1,1)*k11+al(1,2)*k15)+kn2*wf*k28*
(al(2,1)*k11+al(2,2)*k15);
a(2,2)=-wf-kn2*wf*k25+kn2*wf*k27*(al(1,1)*k21+al(1,2)*
k25)+kn2*wf*k28*(al(2,1)*k21+al(2,2)*k25);
a(2,3)=0;
a(2,4)=0;
a(2,5)=kn2*wf*k27*(al(1,1)*k12+al(1,2)*k16)+kn2*wf*k28*
(al(2,1)*k12+al(2,2)*k16);
a(2,6)=-kn2*wf*k26+kn2*wf*k27*(al(1,1)*k22+al(1,2)*k26)+kn2*
wf*k28*(al(2,1)*k22+al(2,2)*k26);
a(3,1)=-km1*wf*k11+km1*wf*k13*(al(1,1)*k11+al(1,2)*k15)+km1*
wf*k14*(al(2,1)*k11+al(2,2)*k15);
a(3,2)=km1*wf*k13*(al(1,1)*k21+al(1,2)*k25)+km1*wf*k14*
(al(2,1)*k21+al(2,2)*k25);
a(3,3)=-wf;
a(3,4)=0;
a(3,5)=-km1*wf*k12+km1*wf*k13*(al(1,1)*k12+al(1,2)*k16)+km1*
wf*k14*(al(2,1)*k12+al(2,2)*k16);
a(3,6)=km1*wf*k13*(al(1,1)*k22+al(1,2)*k26)+km1*wf*k14*
(al(2,1)*k22+al(2,2)*k26);
a(4,1)=km2*wf*k23*(al(1,1)*k11+al(1,2)*k15)+km2*wf*k24*
(al(2,1)*k11+al(2,2)*k15);
a(4,2)=-km2*wf*k21+km2*wf*k23*(al(1,1)*k21+al(1,2)*k25)+km2*
wf*k24*(al(2,1)*k21+al(2,2)*k25);
a(4,3)=0;
a(4,4)=-wf;
a(4,5)=km2*wf*k23*(al(1,1)*k12+al(1,2)*k16)+km2*wf*k24*
(al(2,1)*k12+al(2,2)*k16);
a(4,6)=-km2*wf*k22+km2*wf*k23*(al(1,1)*k22+al(1,2)*k26)+km2*
wf*k24*
(al(2,1)*k22+al(2,2)*k26);
    a(5,1)=0;
    a(5,2)=0;
    a(5,3)=1;
    a(5,4)=0;
    a(5,5)=0;
    a(5,6)=0;
    a(6,1)=0;
    a(6,2)=0;
    a(6,3)=0;
    a(6,4)=1;
    a(6,5)=0;
    a(6,6)=0;

```

EK-2. (devam) İki eviricili mikroşebekenin parametrik kararlılık analizi için Matlab m-file algoritması

```
b=eig(a);  
d(:,i)=b;  
end  
plot(d,'x','MarkerSize',9);
```

EK-3. N-tane eviricili mikroşebekenin kararlılık analizi için Matlab m-file algoritması

```

N=5; % Evirici sayısı
ph=3/2; % mikroşebeke faz parametresi
pe=5e3; % Evirici aktif güçleri
qe=0; % Evirici reaktif güçleri
PL=N*pe; % Toplam aktif yük
QL=N*qe; % Toplam reaktif yük
me=1e-3; % Aktif güç-frekans düşüm katsayısı
ne=1e-2; % Reaktif güç-genlik düşüm katsayısı
te=pi/4; % Bağlantı empedansı faz açısı
ze=0.5; % Bağlantı empedansı genliği
e=180; % Mikroşebeke gerilimi
wf=31.85; % Güç filtreleri köşe frekansı
for i=1:N
    p(i)=pe;
    q(i)=qe;
    m(i)=me;
    n(i)=ne;
    t(i)=te;
    z(i)=ze;
end

for i=1:N
    ki1(i)=p(i)/e+ph*(e/z(i))*cos(t(i));
    ki2(i)=ph*((e^2)/z(i))*sin(t(i))-q(i);
    ki3(i)=2*p(i)/e-ki1(i);
    ki4(i)=-ki2(i);
    ki5(i)=q(i)/e+ph*(e/z(i))*sin(t(i));
    ki6(i)=p(i)-ph*((e^2)/z(i))*cos(t(i));
    ki7(i)=2*q(i)/e-ki5(i);
    ki8(i)=-ki6(i);
end
ks(1,1)=-2*PL/e;
ks(1,2)=0;
ks(2,1)=-2*QL/e;
ks(2,2)=0;
for i=1:N
    ks(1,1)=ks(1,1)+ki3(i);
    ks(1,2)=ks(1,2)+ki4(i);
    ks(2,1)=ks(2,1)+ki7(i);
    ks(2,2)=ks(2,2)+ki8(i);
end
al=inv(ks);
for i=1:N
    for j=1:N
        if i==j

```

EK-3. (devam) N-tane eviricili mikroşebekenin kararlılık analizi için Matlab m-file algoritması

```

a(i,j)=(-1)*wf+(-1)*n(i)*wf*ki5(i)+n(i)*wf*ki7(i)*(al(1,1)*
ki1(j)+al(1,2)*ki5(j))+n(i)*wf*ki8(i)*(al(2,1)*ki1(j)+
al(2,2)*ki5(j));
a(i,(N+j))=0;
a(i,(2*N+j))=(-1)*n(i)*wf*ki6(i)+n(i)*wf*ki7(i)*(al(1,1)*
ki2(j)+al(1,2)*ki6(j))+n(i)*wf*ki8(i)*(al(2,1)*ki2(j)+
al(2,2)*ki6(j));
a((N+i),j)=(-1)*m(i)*wf*ki1(i)+m(i)*wf*ki3(i)*(al(1,1)*
ki1(j)+al(1,2)*ki5(j))+m(i)*wf*ki4(i)*(al(2,1)*ki1(j)+
al(2,2)*ki5(j));
a((N+i),(N+j))=(-1)*wf;
a((N+i),(2*N+j))=(-1)*m(i)*wf*ki2(i)+m(i)*wf*ki3(i)*(al(1,1)*
*ki2(j)+al(1,2)*ki6(j))+m(i)*wf*ki4(i)*(al(2,1)*ki2(j)+
al(2,2)*ki6(j));
a((2*N+i),j)=0;
a((2*N+i),(N+j))=1;
a((2*N+i),(2*N+j))=0;
    else

a(i,j)=n(i)*wf*ki7(i)*(al(1,1)*ki1(j)+al(1,2)*ki5(j))+n(i)*
wf*ki8(i)*(al(2,1)*ki1(j)+al(2,2)*ki5(j));
a(i,(N+j))=0;
a(i,(2*N+j))=n(i)*wf*ki7(i)*(al(1,1)*ki2(j)+al(1,2)*ki6(j))+
n(i)*wf*ki8(i)*(al(2,1)*ki2(j)+al(2,2)*ki6(j));
a((N+i),j)=m(i)*wf*ki3(i)*(al(1,1)*ki1(j)+al(1,2)*ki5(j))+
m(i)*wf*ki4(i)*(al(2,1)*ki1(j)+al(2,2)*ki5(j));
a((N+i),(N+j))=0;
a((N+i),(2*N+j))=m(i)*wf*ki3(i)*(al(1,1)*ki2(j)+al(1,2)*
ki6(j))+m(i)*wf*ki4(i)*(al(2,1)*ki2(j)+al(2,2)*ki6(j));
a((2*N+i),j)=0;
a((2*N+i),(N+j))=0;
a((2*N+i),(2*N+j))=0;
        end
    end
end

b=eig(a);
plot(b,'x','MarkerSize',9);

```

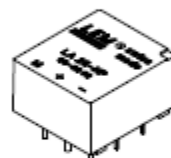
EK-4. Akım algılayıcısı veri sayfaları



Current Transducer LA 25-NP

 $I_{PN} = 5-6-8-12-25 \text{ A}$

For the electronic measurement of currents : DC, AC, pulsed, mixed, with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



Electrical data

I_{PN}	Primary nominal r.m.s. current	25	At
I_p	Primary current, measuring range	$0 \dots \pm 36$	At
R_M	Measuring resistance	R_{Mmin} R_{Mmax}	
	with $\pm 15 \text{ V}$		
	@ $\pm 25 \text{ At}_{max}$	100 320	Ω
	@ $\pm 36 \text{ At}_{max}$	100 190	Ω
I_{SN}	Secondary nominal r.m.s. current	25	mA
K_N	Conversion ratio	1-2-3-4-5 : 1000	
V_C	Supply voltage ($\pm 5\%$)	± 15	V
I_C	Current consumption	$10 + I_s$	mA
V_d	R.m.s. voltage for AC isolation test, 50 Hz, 1 mn	2.5	kV
V_b	R.m.s. rated voltage ¹⁾ , safe separation basic isolation	800 1700	V

Accuracy - Dynamic performance data

X	Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	± 0.5	%
E_L	Linearity	< 0.2	%
		Typ	Max
I_0	Offset current ²⁾ @ $I_p = 0$, $T_A = 25^\circ\text{C}$	± 0.05	± 0.15 mA
I_{OM}	Residual current ³⁾ @ $I_p = 0$, after an overload of $3 \times I_{PN}$	± 0.05	± 0.15 mA
I_{OT}	Thermal drift of I_0	$0^\circ\text{C} \dots +25^\circ\text{C}$	$\pm 0.08 \pm 0.25$ mA
		$+25^\circ\text{C} \dots +70^\circ\text{C}$	$\pm 0.10 \pm 0.35$ mA
t_r	Response time ⁴⁾ @ 90 % of I_{pmax}	< 1	μs
di/dt	di/dt accurately followed	> 50	A/ μs
f	Frequency bandwidth (-1 dB)	DC .. 150	kHz

General data

T_A	Ambient operating temperature	$0 \dots +70$	$^\circ\text{C}$
T_s	Ambient storage temperature	$-25 \dots +85$	$^\circ\text{C}$
R_p	Primary resistance per turn @ $T_A = 25^\circ\text{C}$	< 1.25	m Ω
R_s	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
R_{is}	Isolation resistance @ 500 V, $T_A = 25^\circ\text{C}$	> 1500	M Ω
m	Mass	22	g
	Standards ⁵⁾	EN 50178	

Notes : ¹⁾ Pollution class 2²⁾ Measurement carried out after 15 mn functioning³⁾ The result of the coercive field of the magnetic circuit⁴⁾ With a di/dt of 100 A/ μs ⁵⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) multi-range current transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

Applications

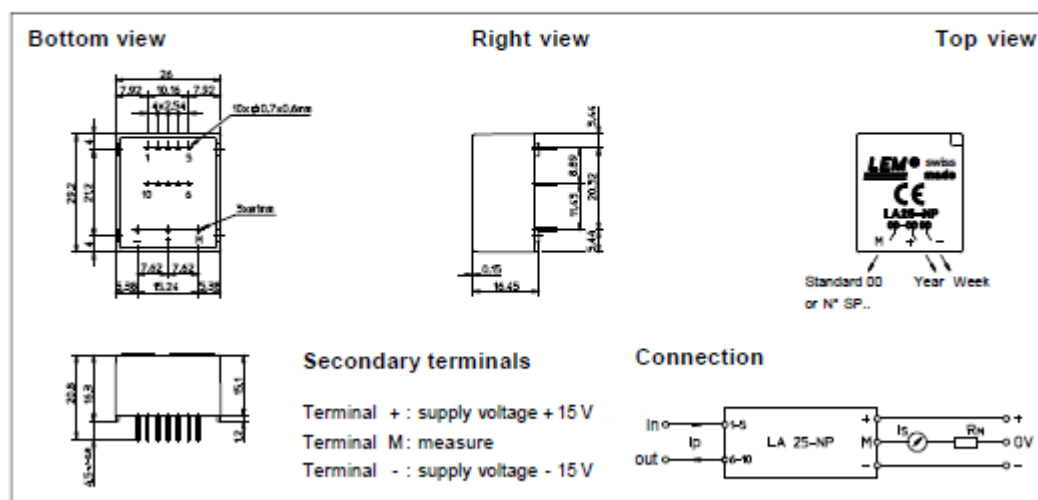
- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

980909/8

EK-4. (devam) Akım algılayıcısı veri sayfaları



Dimensions LA 25-NP (in mm. 1 mm = 0.0394 inch)



Number of primary turns	Primary current		Nominal output current I_{ON} [mA]	Turns ratio K_N	Primary resistance R_p [mΩ]	Primary Insertion Inductance L_p [μH]	Recommended connections
	nominal I_{PN} [A]	maximum I_p [A]					
1	25	36	25	1/1000	0.3	0.023	
2	12	18	24	2/1000	1.1	0.09	
3	8	12	24	3/1000	2.5	0.21	
4	6	9	24	4/1000	4.4	0.37	
5	5	7	25	5/1000	6.3	0.58	

Mechanical characteristics

- General tolerance ± 0.2 mm
- Fastening & connection of primary 10 pins 0.7×0.6 mm
- Fastening & connection of secondary 3 pins $\varnothing 1$ mm
- Recommended PCB hole 1.2 mm

Remarks

- I_0 is positive when I_p flows from terminals 1, 2, 3, 4, 5 to terminals 10, 9, 8, 7, 6
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.

LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.

EK-5. Gerilim algılayıcısı veri sayfaları



Voltage Transducer LV 25-P

For the electronic measurement of voltages : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high voltage) and the secondary circuit (electronic circuit).



$$I_{PN} = 10 \text{ mA}$$

$$V_{PN} = 10 \dots 500 \text{ V}$$



Electrical data

I_{PN}	Primary nominal r.m.s. current	10	mA
I_P	Primary current, measuring range	0 .. ± 14	mA
R_M	Measuring resistance	$R_{M \min}$ $R_{M \max}$	
	with $\pm 12 \text{ V}$	@ $\pm 10 \text{ mA}_{\max}$	30 190 Ω
		@ $\pm 14 \text{ mA}_{\max}$	30 100 Ω
	with $\pm 15 \text{ V}$	@ $\pm 10 \text{ mA}_{\max}$	100 350 Ω
		@ $\pm 14 \text{ mA}_{\max}$	100 190 Ω
I_{SN}	Secondary nominal r.m.s. current	25	mA
K_N	Conversion ratio	2500 : 1000	
V_C	Supply voltage ($\pm 5\%$)	$\pm 12 \dots 15$	V
I_C	Current consumption	10 (@ $\pm 15 \text{ V}$) + I_S	mA
V_d	R.m.s. voltage for AC isolation test ¹⁾ , 50 Hz, 1 mn	2.5	kV

Accuracy - Dynamic performance data

X_G	Overall Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	@ $\pm 12 \dots 15 \text{ V}$	± 0.9	%
		@ $\pm 15 \text{ V} (\pm 5\%)$	± 0.8	%
ϵ_L	Linearity		< 0.2	%
I_O	Offset current @ $I_P = 0$, $T_A = 25^\circ\text{C}$	Typ	Max	
I_{OT}	Thermal drift of I_O	0 $^\circ\text{C} \dots +25^\circ\text{C}$	± 0.06 ± 0.25	mA
		+25 $^\circ\text{C} \dots +70^\circ\text{C}$	± 0.10 ± 0.35	mA
t_r	Response time ²⁾ @ 90 % of $V_{P \max}$	40		μs

General data

T_A	Ambient operating temperature	0 .. +70	$^\circ\text{C}$
T_S	Ambient storage temperature	-25 .. +85	$^\circ\text{C}$
R_P	Primary coil resistance @ $T_A = 70^\circ\text{C}$	250	Ω
R_S	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
m	Mass	22	g
	Standards ³⁾	EN 50178	

Notes : ¹⁾ Between primary and secondary

²⁾ $R_i = 25 \text{ k}\Omega$ (L/R constant, produced by the resistance and inductance of the primary circuit)

³⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) voltage transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

Principle of use

- For voltage measurements, a current proportional to the measured voltage must be passed through an external resistor R_i which is selected by the user and installed in series with the primary circuit of the transducer.

Advantages

- Excellent accuracy
- Very good linearity
- Low thermal drift
- Low response time
- High bandwidth
- High immunity to external interference
- Low disturbance in common mode.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Power supplies for welding applications.

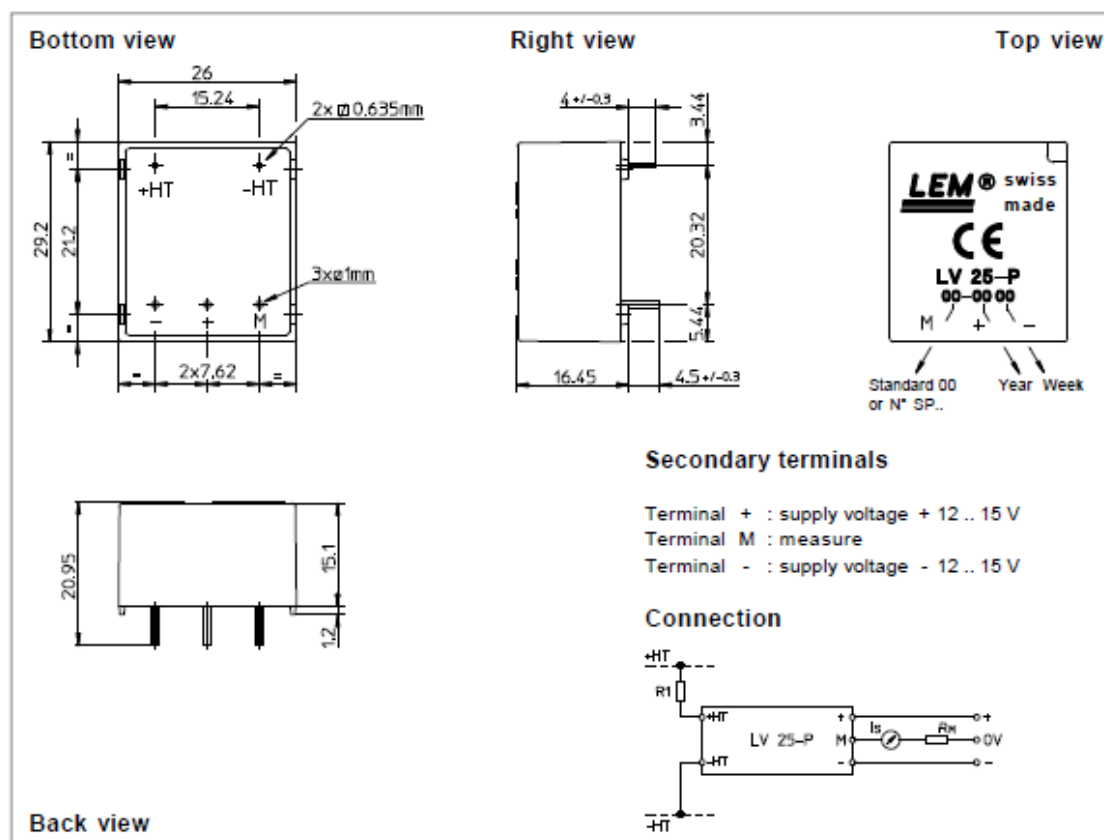
981125/14

LEM Components

www.lem.com

Tope Co., Ltd. Tel: (02) 8228-0658 Fax: (02) 8228-0659 <http://www.sensor.com.tw> e-mail: tope@ms1.hinet.net

EK-5. (devam) Gerilim algılayıcısı veri sayfaları


Dimensions LV 25-P (in mm. 1 mm = 0.0394 inch)

Mechanical characteristics

- General tolerance ± 0.2 mm
- Fastening & connection of primary 2 pins
0.635 x 0.635 mm
- Fastening & connection of secondary 3 pins $\varnothing 1$ mm
- Recommended PCB hole 1.2 mm

Remarks

- I_s is positive when V_p is applied on terminal +HT.
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.

Instructions for use of the voltage transducer model LV 25-P

Primary resistor R_1 : the transducer's optimum accuracy is obtained at the nominal primary current. As far as possible, R_1 should be calculated so that the nominal voltage to be measured corresponds to a primary current of 10 mA.

Example: Voltage to be measured $V_m = 250$ V

- a) $R_1 = 25 \text{ k}\Omega / 2.5 \text{ W}$, $I_p = 10 \text{ mA}$ Accuracy = $\pm 0.8 \%$ of V_m (@ $T_A = +25^\circ\text{C}$)
b) $R_1 = 50 \text{ k}\Omega / 1.25 \text{ W}$, $I_p = 5 \text{ mA}$ Accuracy = $\pm 1.6 \%$ of V_m (@ $T_A = +25^\circ\text{C}$)

Operating range (recommended) : taking into account the resistance of the primary windings (which must remain low compared to R_1 in order to keep thermal deviation as low as possible) and the isolation, this transducer is suitable for measuring nominal voltages from 10 to 500 V.

LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.

EK-6. PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120FLAT-BASE TYPE
INSULATED PACKAGE**PM50CL1A120****FEATURE**

Inverter + Drive & Protection IC

- a) Adopting new 5th generation Full-Gate CSTBT™ chip
- b) The over-temperature protection which detects the chip surface temperature of CSTBT™ is adopted.
- c) Error output signal is possible from all each protection upper and lower arm of IPM.
- d) Compatible L-series package.

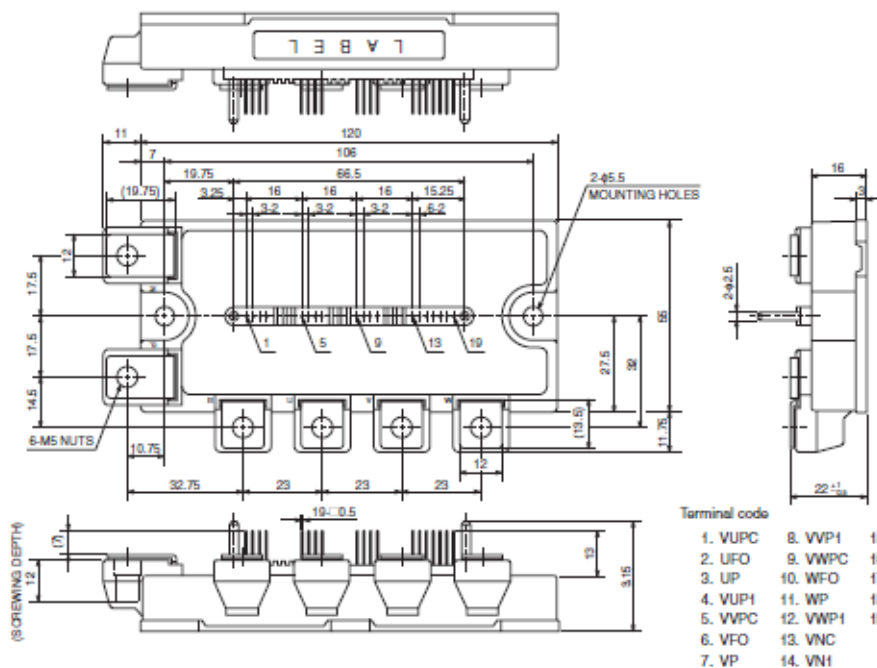
- 3 ϕ 50A, 1200V Current-sense and temperature sense IGBT type inverter
- Monolithic gate drive & protection logic
- Detection, protection & status indication circuits for, short-circuit, over-temperature & under-voltage (P-Fo available from upper arm devices)
- UL Recognized

APPLICATION

General purpose inverter, servo drives and other motor controls

PACKAGE OUTLINES

Dimensions in mm



May 2009

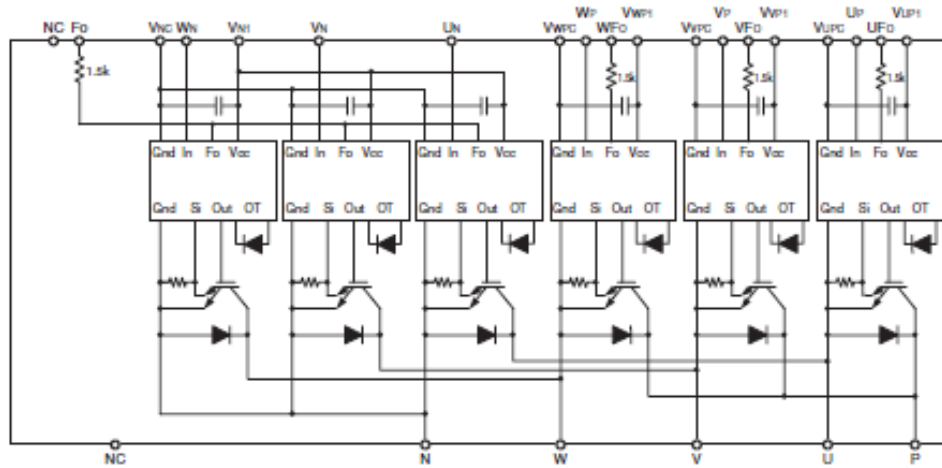
EK-6. (devam) PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120

FLAT-BASE TYPE
INSULATED PACKAGE

INTERNAL FUNCTIONS BLOCK DIAGRAM



MAXIMUM RATINGS ($T_J = 25^\circ\text{C}$, unless otherwise noted)

INVERTER PART

Symbol	Parameter	Condition	Rating	Unit
V_{CES}	Collector-Emitter Voltage	$V_D = 15\text{V}$, $V_{CIN} = 15\text{V}$	1200	V
$\pm I_C$	Collector Current	$T_C = 25^\circ\text{C}$ (Note-1)	50	A
$\pm I_{CP}$	Collector Current (Peak)	$T_C = 25^\circ\text{C}$	100	A
P_C	Collector Dissipation	$T_C = 25^\circ\text{C}$ (Note-1)	462	W
T_J	Junction Temperature		$-20 \sim +150$	$^\circ\text{C}$

*: T_C measurement point is just under the chip.

CONTROL PART

Symbol	Parameter	Condition	Rating	Unit
V_D	Supply Voltage	Applied between : $V_{UP1}-V_{UPC}$, $V_{VP1}-V_{VPC}$, $V_{WP1}-V_{WPC}$, $V_{NI1}-V_{NIC}$	20	V
V_{CIN}	Input Voltage	Applied between : U_P-V_{UPC} , V_P-V_{VPC} , W_P-V_{WPC} , $U_N \cdot V_N \cdot W_N-V_{NC}$	20	V
V_{FO}	Fault Output Supply Voltage	Applied between : $U_{FO}-V_{UPC}$, $V_{FO}-V_{VPC}$, $W_{FO}-V_{WPC}$, F_O-V_{NC}	20	V
I_{FO}	Fault Output Current	Sink current at U_{FO} , V_{FO} , W_{FO} , F_O terminals	20	mA

May 2009

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120

FLAT-BASE TYPE
INSULATED PACKAGE

TOTAL SYSTEM

Symbol	Parameter	Condition	Rating	Unit
V _{CE(prot)}	Supply Voltage Protected by SC	V _D = 13.5 ~ 16.5V Inverter Part, T _J = +125°C Start	800	V
V _{CE(surge)}	Supply Voltage (Surge)	Applied between : P-N, Surge value	1000	V
T _{stg}	Storage Temperature		-40 ~ +125	°C
V _{iso}	Isolation Voltage	60Hz, Sinusoidal, Charged part to Base, AC 1 min.	2500	V _{rms}

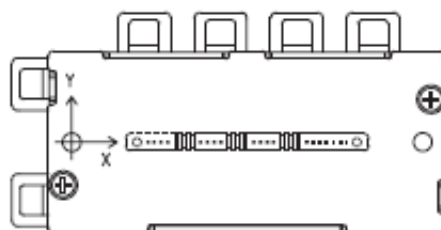
THERMAL RESISTANCES

Symbol	Parameter	Condition	Limits			Unit
			Min.	Typ.	Max.	
R _{th(j-c)}	Junction to case Thermal Resistances	Inverter IGBT part (per 1 element) (Note-1)	—	—	0.27	°C/W
R _{th(j-f)}		Inverter FWDi part (per 1 element) (Note-1)	—	—	0.47	
R _{th(c-f)}	Contact Thermal Resistance	Case to fin, (per 1 module) Thermal grease applied (Note-1)	—	—	0.038	

* If you use this value, R_{th(j-a)} should be measured just under the chips.(Note-1) T_C (under the chip) measurement point is below.

(unit : mm)

axis	UP		VP		WP		UN		VN		WN	
	IGBT	FWDi	IGBT	FWDi	IGBT	FWDi	IGBT	FWDi	IGBT	FWDi	IGBT	FWDi
X	28.6	28.6	65.4	65.4	87.4	87.4	38.6	38.6	54.6	54.6	76.6	76.6
Y	-8.4	0.2	-8.4	0.2	-8.4	0.2	6.8	-1.8	6.8	-1.8	6.8	-1.8



Bottom view

ELECTRICAL CHARACTERISTICS (T_J = 25°C, unless otherwise noted)

INVERTER PART

Symbol	Parameter	Condition	Limits			Unit
			Min.	Typ.	Max.	
V _{CE(sat)}	Collector-Emitter Saturation Voltage	V _D = 15V, I _C = 50A V _{CIN} = 0V, Pulsed (Fig. 1)	—	1.65	2.15	V
		T _J = 25°C	—	1.85	2.35	
V _{CE}	FWDi Forward Voltage	-I _C = 50A, V _D = 15V, V _{CIN} = 15V (Fig. 2)	—	2.3	3.3	V
t _{on}	Switching Time	V _D = 15V, V _{CIN} = 0V ↔ 15V V _{CE} = 600V, I _C = 50A T _J = 125°C Inductive Load (Fig. 3,4)	0.3	0.8	2.0	μs
t _{tr}			—	0.3	0.8	
t _{o(on)}			—	0.4	1.0	
t _{off}			—	1.2	2.8	
t _{o(off)}			—	0.4	1.2	
ICES	Collector-Emitter Cutoff Current	V _{CE} = V _{CE(sat)} , V _D = 15V (Fig. 5)	—	—	1	mA
		T _J = 125°C	—	—	10	

May 2009

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120

FLAT-BASE TYPE
INSULATED PACKAGE

CONTROL PART

Symbol	Parameter	Condition	Limits			Unit
			Min.	Typ.	Max.	
I_D	Circuit Current	$V_D = 15V, V_{CIN} = 15V$	—	6	12	mA
		$V_{N1}-V_{NC}$	—	2	4	
$V_{th}(ON)$	Input ON Threshold Voltage	Applied between : UP-VUPC, VP-VVPC, WP-VWPC	1.2	1.5	1.8	V
$V_{th}(OFF)$	Input OFF Threshold Voltage	UN • VN • WN-VNC	1.7	2.0	2.3	
SC	Short Circuit Trip Level	$-20 \leq T_j \leq 125^\circ C, V_D = 15V$ (Fig. 3,6)	100	—	—	A
$t_{ot}(SC)$	Short Circuit Current Delay Time	$V_D = 15V$ (Fig. 3,6)	—	0.2	—	μs
OT	Over Temperature Protection	Detect Temperature of IGBT chip	Trip level	135	—	$^\circ C$
			Hysteresis	—	20	
UV	Supply Circuit Under-Voltage Protection	$-20 \leq T_j \leq 125^\circ C$	Trip level	11.5	12.0	V
			Reset level	—	12.5	
$I_{FO}(H)$	Fault Output Current	$V_D = 15V, V_{CIN} = 15V$ (Note-2)	—	—	0.01	mA
$I_{FO}(L)$			—	10	15	
t_{FO}	Minimum Fault Output Pulse Width	$V_D = 15V$ (Note-2)	1.0	1.8	—	ms

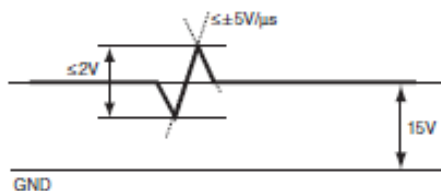
(Note-2) Fault output is given only when the internal SC, OT & UV protections schemes of either upper or lower arm device operate to protect it.

MECHANICAL RATINGS AND CHARACTERISTICS

Symbol	Parameter	Condition	Limits			Unit
			Min.	Typ.	Max.	
—	Mounting torque	Mounting part screw : M5	2.5	3.0	3.5	N • m
—		Main terminal part screw : M5	2.5	3.0	3.5	N • m
—	Weight	—	—	380	—	g

RECOMMENDED CONDITIONS FOR USE

Symbol	Parameter	Condition	Recommended value	Unit
V_{CC}	Supply Voltage	Applied across P-N terminals	≤ 800	V
V_D	Control Supply Voltage	Applied between : VUP1-VUPC, VVP1-VVPC, VWP1-VWPC, VN1-VNC (Note-3)	15.0 ± 1.5	V
$V_{CIN}(ON)$	Input ON Voltage	Applied between : UP-VUPC, VP-VVPC, WP-VWPC	≤ 0.8	V
$V_{CIN}(OFF)$	Input OFF Voltage	UN • VN • WN-VNC	≥ 9.0	
f_{PWM}	PWM Input Frequency	Using Application Circuit of Fig. 8	≤ 20	kHz
t_{load}	Arm Shoot-through Blocking Time	For IPM's each input signals (Fig. 7)	≥ 2.5	μs

(Note-3) With ripple satisfying the following conditions: dv/dt swing $\leq \pm 5V/\mu s$, Variation $\leq 2V$ peak to peak

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

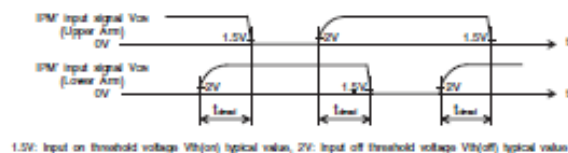
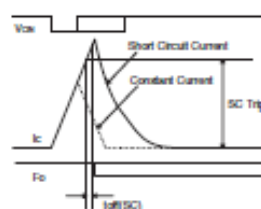
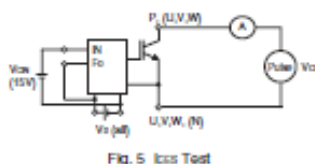
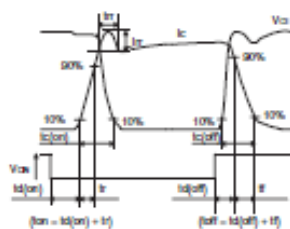
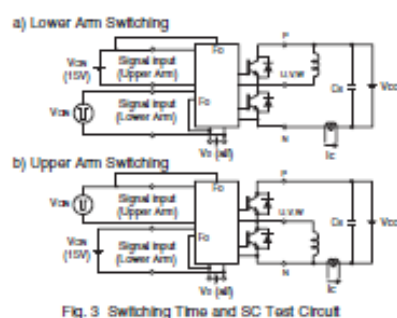
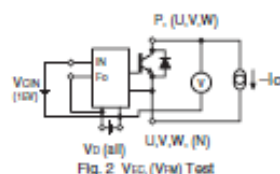
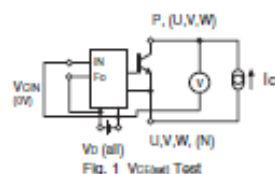
MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120

FLAT-BASE TYPE
INSULATED PACKAGE

PRECAUTIONS FOR TESTING

- Before applying any control supply voltage (V_b), the input terminals should be pulled up by resistors, etc. to their corresponding supply voltage and each input signal should be kept off state.
After this, the specified ON and OFF level setting for each input signal should be done.
- When performing "SC" tests, the turn-off surge voltage spike at the corresponding protection operation should not be allowed to rise above V_{CES} rating of the device.
(These test should not be done by using a curve tracer or its equivalent.)



EK-6. (devam) PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

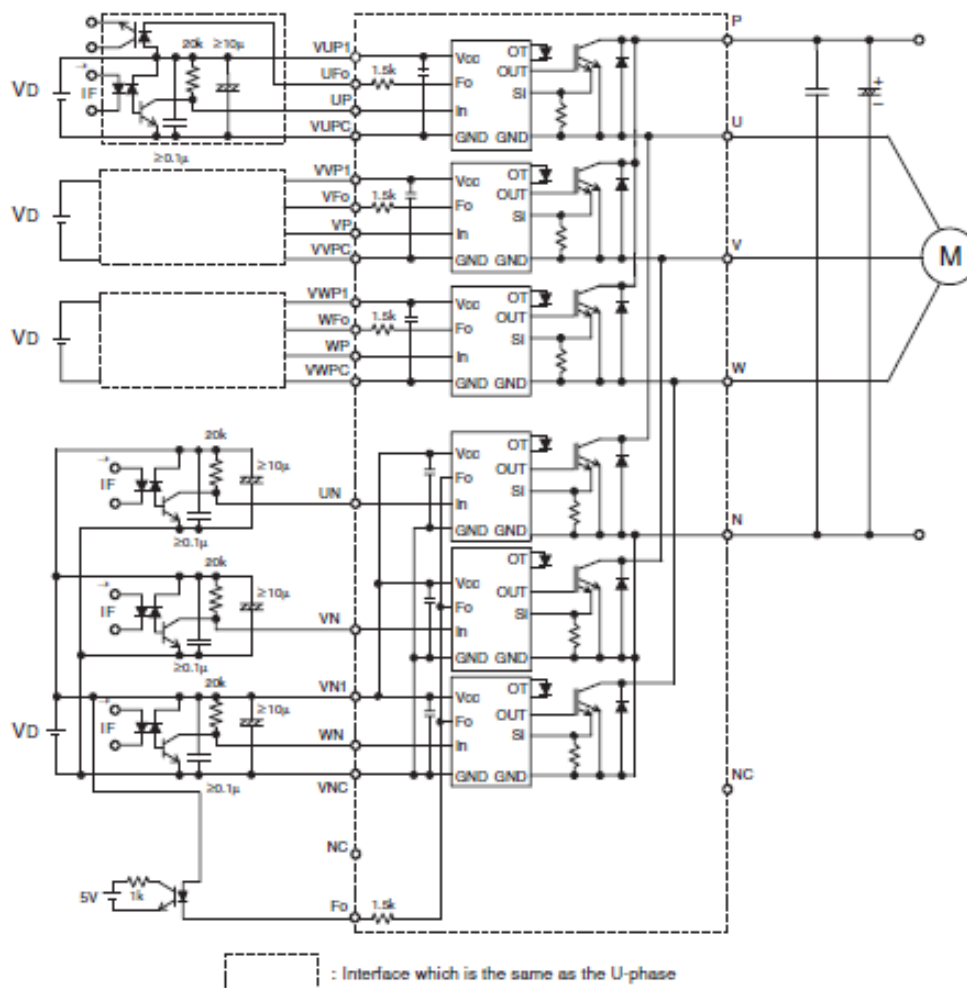
PM50CL1A120**FLAT-BASE TYPE
INSULATED PACKAGE**

Fig. 8 Application Example Circuit

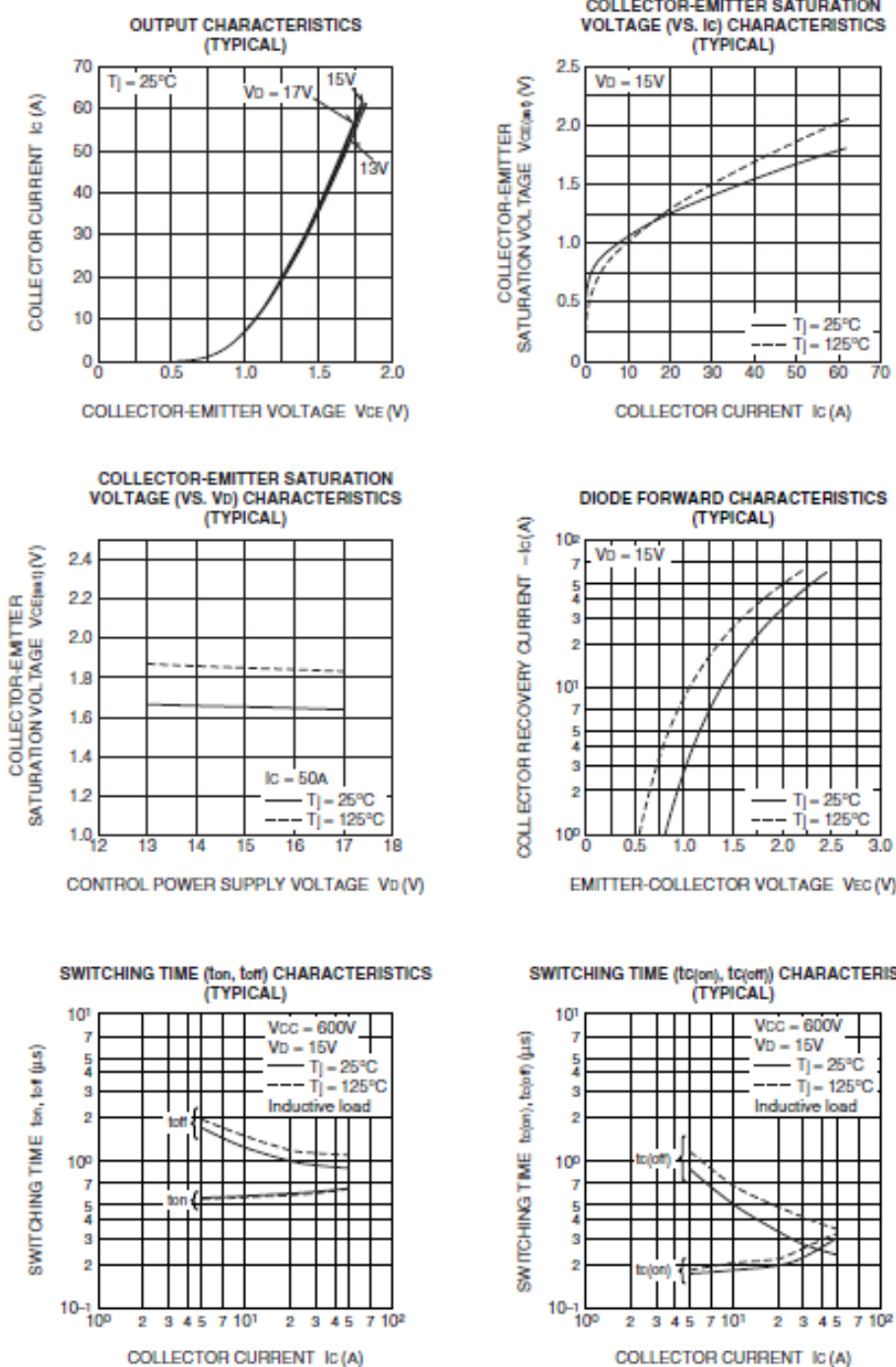
NOTES FOR STABLE AND SAFE OPERATION ;

- Design the PCB pattern to minimize wiring length between opto-coupler and IPM's input terminal, and also to minimize the stray capacity between the input and output wirings of opto-coupler.
- Connect low impedance capacitor between the Vcc and GND terminal of each fast switching opto-coupler.
- Fast switching opto-couplers: $t_{PLH}, t_{PHL} \leq 0.8\mu s$, Use High CMR type.
- Slow switching opto-coupler: CTR > 100%
- Use 4 isolated control power supplies (Vd). Also, care should be taken to minimize the instantaneous voltage charge of the power supply.
- Make inductance of DC bus line as small as possible, and minimize surge voltage using snubber capacitor between P and N terminal.
- Use line noise filter capacitor (ex. 4.7nF) between each input AC line and ground to reject common-mode noise from AC line and improve noise immunity of the system.

May 2009

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

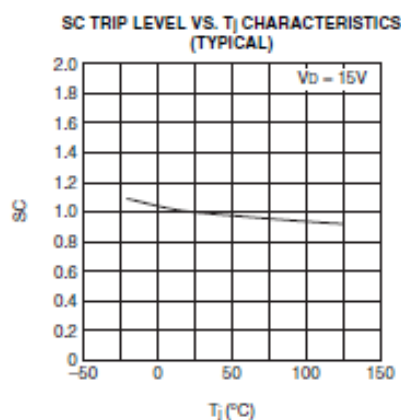
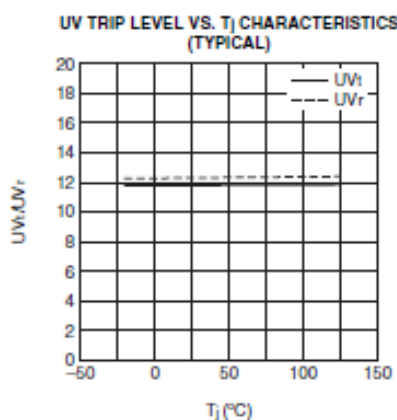
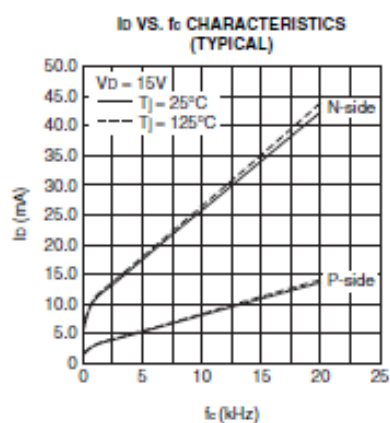
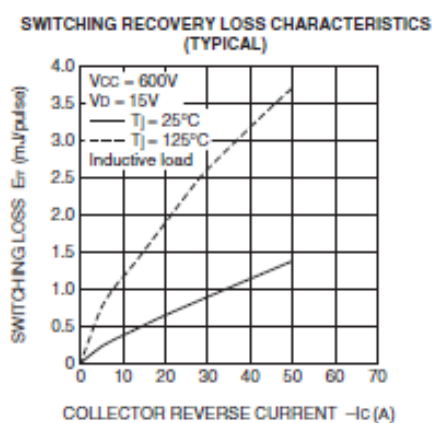
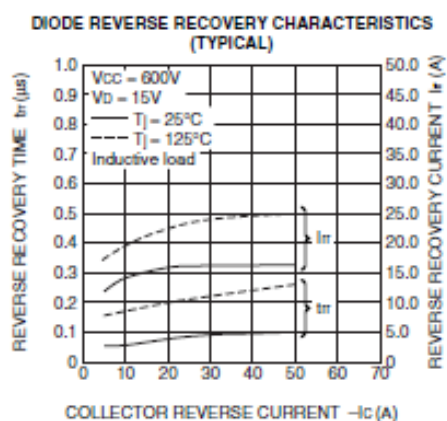
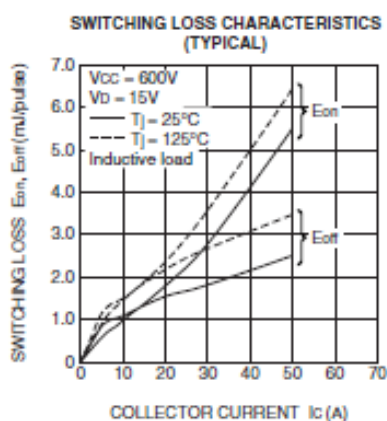
MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120FLAT-BASE TYPE
INSULATED PACKAGE**PERFORMANCE CURVES**

May 2009

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

MITSUBISHI <INTELLIGENT POWER MODULES>

PM50CL1A120**FLAT-BASE TYPE
INSULATED PACKAGE**

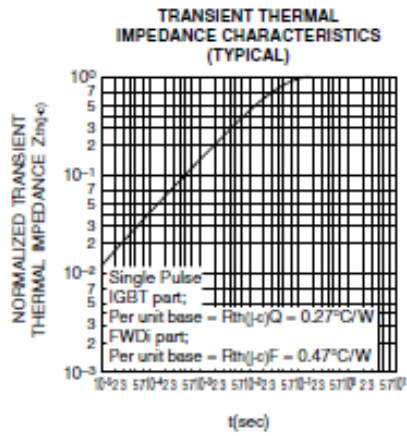
May 2009

EK-6. (devam) PM50CL1A120 AGM veri sayfaları

mitsubishi <INTELLIGENT POWER MODULES>

PM50CL1A120

FLAT-BASE TYPE
INSULATED PACKAGE



May 2009

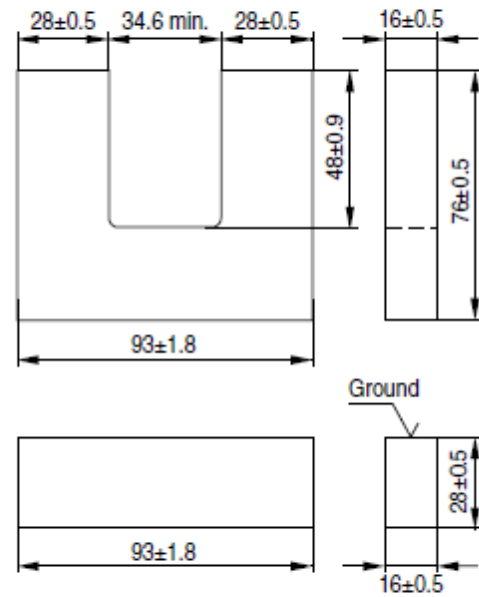
EK-7. Bağlantı bobini çekirdeği veri sayfası

**U 93/76/16 cores****UI 93/104/16 cores****B67345**

■ For power transformers >1 kW (20 kHz)

Magnetic characteristics (per set)

	UU 93/152/16	UI 93/104/16	
$\Sigma I/A$	0.79	0.58	mm ⁻¹
I_e	354	258	mm
A_e	448	448	mm ²
A_{min}	448	448	mm ²
V_e	159000	116000	mm ³
m	800	600	g/set



FUS0011-A

U and I cores are supplied as single units. The A_L value in the table applies to a core set comprising two ungapped cores.

Material	A_L value nH	μ_e	P_V W/set	Ordering code
Combination UU 93/152/16				
N27	2900 +30/-20%	1820	< 32 (200 mT, 25 kHz, 100 °C)	B67345B0003X027
N87	3100 +30/-20%	1950	< 14 (200 mT, 25 kHz, 100 °C)	B67345B0003X087
Combination UI 93/104/16				
N27	3800 +30/-20%	1740	< 24 (200 mT, 25 kHz, 100 °C)	B67345B0003X027 (U) B67345B0004X027 (I)
N87	4100 +30/-20%	1880	< 11 (200 mT, 25 kHz, 100 °C)	B67345B0003X087 (U) B67345B0004X087 (I)

EK-8. Filtre bobini çekirdeği veri sayfası



Magnetics XFLUX[®] cores

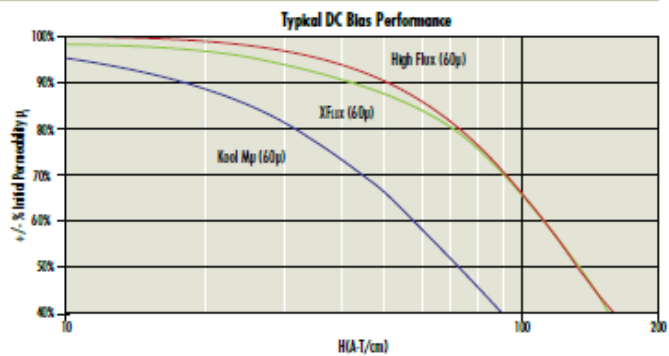
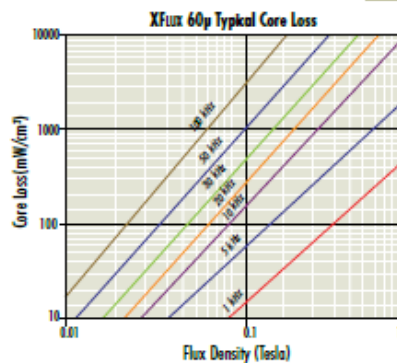
6.5 SiFe cores for high current applications.

Material Properties

Composition	6.5 SiFe alloy
Saturation Flux Density	1.6 Tesla
Typical Core Loss (50kHz, 100mT)	650 mW/cm ³
Curie Temperature	700°C
Operating Temperature Range	-30°C to 200°C
DC Bias (80%) A-T/cm	60 min
DC Bias (50%) A-T/cm	120 min

Material Comparison

Core Materials	Core Loss	Perm vs. DC Bias	Relative Cost	μ flat to...	Saturation Flux Density (Tesla)	Temp. Stability
XFLUX	High	Best	Low	500 kHz	1.6	Good
MPP	Lowest	Better	High	2 MHz	0.75	Best
High Flux	Moderate	Best	Medium	1 MHz	1.5	Very Good
Kool Mu	Low	Good	Low	900 kHz	1.05	Good
Powdered Iron	Highest	Good	Lowest	500 kHz	1.2-1.5	Poor
Ferrite	Lowest	Poor	Lowest	200 kHz	0.45	Poor



Part Number	Permeability	$A_p \pm 8\%$ (mH/T ²)	Dimensions (after finish)			Magnetic Data				
			OD(mm) max	ID(mm) min	HT(mm) max	W_p (mm ²)	L_p (mm)	A_p (mm ²)	V_p (mm ³)	Weight (g)
78051A7	60	27	13.5	6.98	5.52	38.3	31.2	10.9	340	2.5
78121A7	60	35	17.3	9.52	7.12	71.2	41.2	19.2	791	5.6
78381A7	60	43	18.1	9.01	7.12	63.8	41.4	23.2	960	7.2
78848A7	60	32	21.1	12.0	7.12	114	50.9	22.1	1,120	7.9
78059A7	60	43	23.7	13.3	8.39	139	56.7	31.7	1,800	13
78351A7	60	51	24.4	13.7	9.66	149	58.8	38.8	2,280	16
78894A7	60	75	27.89	14.1	12.0	156	63.5	65.4	4,150	29
78071A7	60	61	33.66	19.4	11.5	297	81.4	65.6	5,340	38
78586A7	60	38	35.18	22.5	9.78	399	89.5	46.4	4,150	29
78076A7	60	56	36.71	21.5	11.4	364	89.8	67.8	6,090	43
78083A7	60	81	40.77	23.3	15.4	427	98.4	107	10,600	78
78439A7	60	135	47.63	23.3	19.0	427	107	199	21,300	150
78090A7	60	86	47.63	27.88	16.2	610	116	134	15,600	110
78716A7	60	73	51.69	30.93	14.4	751	127	125	15,900	110
78192A7	60	138	58.04	25.57	16.2	514	125	229	28,600	200
78110A7	60	75	58.04	34.74	14.9	948	143	144	20,700	150
78072A7	60	143	69.40	34.70	21.4	945	158	314	49,700	339
78867A7	60	68	78.95	48.20	13.9	1,820	196	176	34,500	240
78907A7	60	85	78.95	48.20	17.1	1,820	196	221	43,400	320

NAFTA SALES
Toll-Free: 1 800 245 3984 • Phone: 412 696 1333 • Fax: 412 696 0333
Web: www.mag-inc.com • Email: magnetics@spang.com

International Sales
Phone: +852 3102 9337 • Fax: +852 3585 1482
Email: asiasales@spang.com • China Hotline +86 139 1147 1417

EK-9. Filtre kondansatörü veri sayfası

Capacitors

250V Grip Wire Plastic Case M8 x 12 stud fixing

Value (nF)	Tolerance	Product Type	Dimensions	Rig	Order Code Dia x L (mm)	Box	Quantity
4.0	±10%	4/250	25 x 52	28	R1008CR040P25	165	
5.0	±10%	5/250	25 x 52	28	R1008CR050P25	110	
6.0	±10%	6/250	25 x 70	28	R1008CR060P25	165	
8.0	±10%	8/250	30 x 74	28	R1008CR080P25	110	
10.0	±10%	10/250	30 x 74	28	R1008CR100P25	110	
12.0	±10%	12/250	30 x 74	28	R1008CR120P25	110	
16.0	±10%	16/250	35 x 74	28	R1008CR160P25	85	
20.0	±10%	20/250	40 x 70	28	R1008CR200P25	85	
25.0	±10%	25/250	35 x 98	28	R1008CR250P25	85	
30.0	±10%	30/250	40 x 84	28	R1008CR300P25	65	
40.0	±10%	40/250	50 x 98	28	R1008CR400P25	65	

250V Grip Wire Plastic Case Snap-in fixing

Value (nF)	Tolerance	Product Type	Dimensions	Rig	Order Code Dia x L (mm)	Box	Quantity
4.0	±10%	4/250	25 x 52	30	R1008CR040P25	140	
6.0	±10%	6/250	25 x 70	30	R1008CR060P25	140	
8.0	±10%	8/250	30 x 74	30	R1008CR080P25	110	
12.0	±10%	12/250	30 x 74	30	R1008CR120P25	110	

250V Grip Wire Aluminium Case M8 x 12 stud fixing

Value (nF)	Tolerance	Product Type	Dimensions	Rig	Order Code Dia x L (mm)	Box	Quantity
2.0	±10%	2/250	25 x 58	27	R1008AL020A25	165	
4.0	±10%	4/250	25 x 58	27	R1008AL040A25	165	
6.0	±10%	6/250	25 x 76	27	R1008AL060A25	165	
8.0	±10%	8/250	30 x 76	27	R1008AL080A25	110	
10.0	±10%	10/250	30 x 76	27	R1008AL100A25	110	
12.0	±10%	12/250	30 x 76	27	R1008AL120A25	85	
30.0	±10%	30/250	40 x 100	27	R1008AL300A25	65	
40.0	±10%	40/250	50 x 100	27	R1008AL400A25	65	

250V 300mm Leads Plastic Case M8 x 12 stud fixing

Value (nF)	Tolerance	Product Type	Dimensions	Rig	Order Code Dia x L (mm)	Box	Quantity
1.5	±10%	1.5/250	25 x 52	27	R1008HP015P25	165	
2.0	±10%	2.0/250	25 x 52	27	R1008HP020P25	165	
3.0	±10%	3.0/250	25 x 52	27	R1008HP030P25	165	
4.0	±10%	4.0/250	25 x 52	27	R1008HP040P25	165	
5.0	±10%	5.0/250	25 x 70	27	R1008HP050P25	165	
5.5	±10%	5.5/250	25 x 70	27	R1008HP055P25	165	
6.0	±10%	6.0/250	25 x 70	27	R1008HP060P25	165	
7.0	±10%	7.0/250	25 x 70	27	R1008HP070P25	165	
7.2	±10%	7.2/250	30 x 74	27	R1008HP072P25	165	
8.0	±10%	8.0/250	30 x 74	27	R1008HP080P25	110	
8.4	±10%	8.4/250	30 x 74	27	R1008HP084P25	110	
10.0	±10%	10.0/250	30 x 74	27	R1008HP100P25	110	
12.0	±10%	12/250	30 x 74	27	R1008HP120P25	110	
14.0	±10%	14/250	35 x 74	27	R1008HP140P25	85	
15.0	±10%	15/250	35 x 74	27	R1008HP150P25	85	
16.0	±10%	16/250	35 x 74	27	R1008HP160P25	85	
18.0	±10%	18/250	35 x 74	27	R1008HP180P25	85	
20.0	±10%	20/250	35 x 98	27	R1008HP200P25M	65	
25.0	±10%	25/250	35 x 98	27	R1008HP250P25	85	
30.0	±10%	30/250	40 x 84	27	R1008HP300P25M	65	
35.0	±10%	35/250	40 x 84	27	R1008HP350P25	65	
40.0	±10%	40/250	50 x 98	27	R1008HP400P25	65	
45.0	±10%	45/250	50 x 98	27	R1008HP450P25	40	
50.0	±10%	50/250	50 x 98	27	R1008HP500P25	40	
55.0	±10%	55/250	50 x 98	27	R1008HP550P25	35	
60.0	±10%	60/250	50 x 98	27	R1008HP600P25	40	

Continued on page 50



+ (44) 0845-2302222 Fax + (44) 0845-2302077 www.venturelightingeurope.com E-mail: sales@venturelighting.co.uk



ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : DAĞ, Bülent
 Uyruğu : T.C.
 Doğum tarihi ve yeri : 31.05.1975, Malatya
 Medeni hali : Evli
 Telefon : 0 (312) 210 13 10 - 1272
 Faks : 0 (312) 202 37 10
 e-mail : bulent.dag@tubitak.gov.tr



Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Yüksek lisans	ODTÜ EE Mühendisliği	2002
Lisans	ODTÜ EE Mühendisliği	1998
Lise	Mersin Dumlupınar Lisesi	1992

İş Deneyimi

Yıl	Yer	Görev
2006-Halen	TÜBİTAK	Uzman Araştırmacı
2005-2006	VESTEL	Donanım Tasarım Müh.
2003-2004	Eindhoven Teknik Üniversitesi EEMB	Araştırma Görevlisi
1998-2003	ODTÜ EE Müh. Böl.	Araştırma Görevlisi

Yabancı Dil

İngilizce

Yayınlar

1. Dağ, B., Aydemir, M. T. (2015, October). A stability analysis method for inverter based microgrids. *IEEE Transactions on Smart Grids*, submitted.
2. Ateş, Y., Uzunoğlu, M., Karakaş, A., Boynueğri, A. R., Nadar, A., and Dağ, B. (2015, October). Adaptive relay coordination in distribution systems including distributed generation. *Journal of Cleaner Production*, DOI: 10.1016/j.jclepro.2015.10.066.
3. Dağ, B., Nadar, A., Boynueğri, A. R., Karakaş, A., and Ateş, Y. (2014, March). A fault

- analysis method for microgrids consisting of inverter interfaced distributed generators. *12th IET International Conference on Developments in Power System Protection (DPSP 2014)*, Copenhagen, 1 – 5, DOI: 10.1049/cp.2014.0143.
4. Dağ, B., Aydemir, M. T., Smiai, M. S. (2013, May). Modelling and analysis of unsymmetrical multi-microgrid operation of active distribution networks. *4th International Conference on Power Engineering, Energy and Electrical Drives*, Istanbul, 569 – 575, DOI: 10.1109/PowerEng.2013.6635671.
 5. Dağ, B., Aydemir, M. T., Nadar, A., and Smiai, M. S. (2012, December). Modelling, analysis and simulation of standardized hybrid microgrids. *[IEEE-PES-MIDDLE-EAST] Saudi Arabia Smart Grid 2012*, Jeddah, ID: 48.
 6. Dağ, B., Aydemir, M. T., Smiai, M. S. (2012, September). An unbalanced load flow analysis tool for inverter interfaced distributed generation networks. *European Workshop On Renewable Energy Systems (EWRES)*, Antalya, Turkey, ISBN: 978-605-86911-0-0.
 7. Dağ, B., Aydemir, M. T. (2012, June). A standardized hybrid microgrid for LV residential areas. *A Forum for M.Sc. Students in Electrical Electronical Engineering (MASFOR 2012)*, Istanbul, PID: 40985931.
 8. Dağ, B., Aydemir, M. T., Nadar, A. (2011, Kasım). Yerleşim bölgeleri için evirici arayüzlü hibrid yenilenebilir enerji kaynakları içeren bir mikroşebeke felsefesi. *II. Elektrik Tesisat Ulusal Kongresi, ETUK 2011*, İzmir, 296-302.
 9. Akin, M., Dag, B. (2007, June). RASAT Leo satellite power system design and operation. *3rd International Conference on Recent Advances in Space Technologies*, Istanbul, 491 – 496, DOI: 10.1109/RAST.2007.4284040.
 10. Ertan, H. B., Dağ, B., Capolino, G. (2005, September). Calculations of parameters of single-phase PM motor for design optimization. *IEEE Transactions on Energy Conversion*, 20(3), 538 – 548.
 11. Laro, D. A. H., Ven, S. C. L. v. d., Spronck, J. W., Lebedev, A., Lomonova, E., and Dag, B. (2004, April). A linear magnetic bearing with integrated long stroke propulsion - design and realization of an IU-module. *Second IET International Conference on Power Electronics, Machines and Drives*, Edinburgh, Vol. 1, 431–435, DOI: 10.1049/cp:20040326.
 12. Ertan, H. B., Dag, B., Capolino, G. (2002, August). An accurate model for the calculation of some parameters of single-phase permanent magnet motors. *International Conference on Electrical Machines*, Brugge.
 13. Ertan, H. B., Dag, B., Capolino, G. (2002, May). Calculation of some parameters of single phase PM motor for design optimization. *International Conference on Optimization of Electrical and Electronic Equipments*, Braşov, 351 - 356.

Hobiler

Sinema, Müzik, Spor

A

Adalama anahtarı · 34
Alçak geçiş filtresi · 14, 23, 60
Akım algılayıcı · 57, 95
Akım kontrolcüsü · 12
Akım limitleyici · 15
Aktif güç · 20
Analog-sayısal çevirici · 10, 62

B

Bağlantı empedansı · 9, 34, 39, 57
Bozucu etken · 13

Ç

Çıkış empedansı · 18
Çıkış filtresi · 9, 71

D

Dağıtık üreteç · 1, 8, 34
Dağıtık üretim · 1, 5, 8
Dağıtım yönetim sistemi · 6
DGM · 10, 62, 65, 66
Düşüm kontrol · 19, 20
Düşüm katsayısı · 19, 21, 26, 27

E

Evirici · 9, 10, 57, 71
Evre kenetleme döngüsü · 23
Eylem-eleme · 68

G

Giriş · 1
Geri besleme · 14, 15
Gerilim algılayıcı · 58, 97
Gerilim kontrolcüsü · 16
Güç filtresi · 16
Güç kontrol · 19, 22
Güç paylaşımı · 26, 27

H

Hesaplama gecikmesi · 10
Hibrid mikroşebeke · 24

İ

İleri besleme · 12, 18, 42

K

Kararlılık · 33, 52
Kontrolcü ayarlama · 14, 17, 18
Kontrol kartı 57, 61

L

LC filtre · 9
Literatür · iv, 3, 33

M, N

Merkezi denetleyici · 26
Mikroşebeke · 5, 24
Normalizasyon · 13, 70, 71

O

Olay -tetikleme· 69

Ö

Ölü-bant · 69, 70
Özet · iv
Özgeçmiş · 111

P

Parametrik kararlılık · 52
Park dönüşümleri · 20
PI kontrolcü · 12, 15, 18
PR kontrolcü · 12

S

Sallen Key · 59, 60
Sayaç- karşılaştırma · 68
SDT gecikmesi · 49
Sürücü kartı · 71

T

Teşekkür · vi

Z

Zaman tabanı · 65



GAZİ GELECEKTİR..