

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIM KULLANARAK
CMOS KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI**

YÜKSEK LİSANS TEZİ

Muhammet Sait ALTUNER

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

MAYIS 2015

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIM KULLANARAK
CMOS KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI**

YÜKSEK LİSANS TEZİ

**Muhammet Sait ALTUNER
(504121383)**

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

Tez Danışmanı: Doç. Dr. Metin YAZGI

MAYIS 2015

İTÜ, Fen Bilimleri Enstitüsü'nün 504121383 numaralı Yüksek Lisans Öğrencisi **Muhammet Sait ALTUNER**, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “**ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIM KULLANARAK CMOS KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI**” başlıklı tezini aşağıdaki imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Doç. Dr. Metin YAZGI**
İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Prof. Dr. İ. Serdar ÖZOĞUZ**
İstanbul Teknik Üniversitesi

Yrd. Doç. Dr. Umut E. AYTEN
Yıldız Teknik Üniversitesi

.....

Teslim Tarihi : **22 Mayıs 2015**
Savunma Tarihi : **17 Haziran 2015**

Herkese ve hiç kimseye,

ÖNSÖZ

Bu çalışmam süresince bilgisi ve güler yüzü ile çalışmama ışık tutan değerli danışmanım Doç. Dr. Metin YAZGI'ya katkılarından ve sabrından dolayı teşekkür ederim.

Akademik ve sosyal yaşamımda birinci rehberim babama ve ailemin diğer bireylerine maddi ve manevi olarak sağladıkları tüm destekler için ve bana inandıkları için teşekkür ederim.

Başta Yük. Müh. Mesut ATASOYU ve Yük. Müh. Emrah ABTİOĞLU olmak üzere emeği geçen çalışma arkadaşlarıma da teşekkürlerimi sunarım.

Mayıs 2015

Muhammet Sait ALTUNER
(Elektronik ve Haberleşme Mühendisi)

İÇİNDEKİLER

Sayfa

ÖNSÖZ	vii
İÇİNDEKİLER	ix
KISALTMALAR.....	xi
ÇİZELGE LİSTESİ.....	xiii
ŞEKİL LİSTESİ.....	xv
ÖZET	xvii
SUMMARY	xix
1. GİRİŞ	1
1.1 Motivasyon	1
1.2 Kazancı Ayarlanabilir Kuvvetlendiriciler	2
1.2.1 Çalışma prensibi	2
1.2.2 Literatür araştırması.....	4
1.2.3 Uygulamaları	4
1.3 Tezin Kapsamı	5
2. ÜSTEL FONKSİYON KONTROLLÜ KAZANCI AYARLANABİLİR KUVVETLENDİRİCİLER.....	7
2.1 Temel Kontrol Yapıları	7
2.1.1 Gerilim ile kontrol	7
2.1.2 Akım ile kontrol	9
2.2 Yöntemine Göre Üstel Kontrollü Kazancı Ayarlanabilir Kuvvetlendiriciler .	10
2.2.1 Üstel fonksiyonun gerçekleşmesi.....	10
2.2.1.1 Bipolar teknoloji ile	10
2.2.1.2 CMOS teknolojisi ile	11
2.2.2 Üstel fonksiyona yaklaşım yöntemleri	14
2.2.2.1 Taylor seri açılımı	14
2.2.2.2 Sözde üstel ifade	16
2.2.2.3 Sözde Taylor serisi ifadesi	18
3. ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIMLA KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI	23
3.1 Önerilen Üstel Fonksiyona Yaklaşım Yöntemi	23
3.2 Önerilen Yöntemin Devre Uygulaması	25
3.3 Tasarlanan Devrelerin Benzetimi	29
4. SONUÇLAR VE ÖNERİLER.....	33
4.1 Sonuçlar	33
4.2 Öneriler.....	34

KAYNAKLAR.....	35
ÖZGEÇMİŞ	41

KISALTMALAR

CMOS	: Bütünleyici Metal Oksit Yarı İletken
BiCMOS	: Bipolar Bütünleyici Metal Oksit Yarı İletken
WCDMA	: Geniş Bant Kod Bölücü Çoklu Erişim
DC	: Doğru Akım
BJT	: Bipolar Jonksiyonlu Transistör
MOSFET	: Metal Oksit Yarı İletkenli Alan Etkili Tansistör

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 2.1: Bipolar teknolojide gerçekleştirilmiş tasarımların karşılaştırılması.....	11
Çizelge 2.2: CMOS teknolojisi ile gerçekleştirilmiş üstel ifadeli yapıların karşılaştırılması.	13
Çizelge 2.3: Taylor serisiyle kontrol edilen tasarımların karşılaştırılması.	15
Çizelge 2.4: a terimine bağlı kazanç ve kontrol aralıkları.....	17
Çizelge 2.5: Sözde üstel ifadeyle kontrol edilen tasarımların karşılaştırılması.....	18
Çizelge 2.6: Sözde Taylor serisi ifadesi ile kontrol edilen tasarımların karşılaştırılması.	21
Çizelge 3.1: Tasarımlarda kullanılan transistör boyutları.....	26
Çizelge 4.1: Tasarlanan devrelerin geniş dinamik aralıkta karşılaştırılması.	33
Çizelge 4.2: Tasarlanan devrelerin geniş bant genişliğinde karşılaştırılması.	34

ŞEKİL LİSTESİ

	<u>Sayfa</u>
Şekil 1.1 : Kazancı ayarlanabilir kuvvetlendiricinin temel blok şeması.....	2
Şekil 1.2 : Gilbert hücresi.	3
Şekil 2.1 : BJT Gilbert hücresi.....	8
Şekil 2.2 : Gerilim işareti kontrollü CMOS yapılar.	8
Şekil 2.3 : Akım işareti kontrollü CMOS yapılar.	9
Şekil 2.4 : Bipolar teknolojide tasarlanmış devre örneği.	10
Şekil 2.5 : PMOS transistörde parazitik bipolar yapılar.	11
Şekil 2.6 : Parazitik BJT'lerle tasarlanmış devre örneği.....	12
Şekil 2.7 : Eşikaltı bölgedeki MOSFET'lerle tasarlanmış bir kontrol yapısı.	13
Şekil 2.8 : İkinci dereceden Taylor seri açılımının hata fonksiyonu.....	14
Şekil 2.9 : İkinci dereceden Taylor serisinin dinamik aralığı.	14
Şekil 2.10 : Taylor serisi ile gerçekleştirilen kuvvetlendirici örneği.....	15
Şekil 2.11 : Kullanılan aktif dirençler.	15
Şekil 2.12 : Sözde üstel ifadenin hata fonksiyonu.	16
Şekil 2.13 : Sözde üstel ifadenin dinamik aralığı.	17
Şekil 2.14 : Sözde üstel ifadeyle tasarlanmış kontrol yapısı örneği.....	17
Şekil 2.15 : Sözde Taylor serisi ifadesinin hata fonksiyonu.	19
Şekil 2.16 : Sözde Taylor serisi ifadesinin dinamik aralığı.....	19
Şekil 2.17 : Sözde Taylor serisi ifadesi ile tasarlanmış kontrol yapısı.....	20
Şekil 2.18 : Sözde Taylor serisi ifadesi ile tasarlanmış devre.	20
Şekil 3.1 : Önerilen ifadelerin ve ilgili üstel ifadelerin grafikleri.	24
Şekil 3.2 : Önerilen ifadelerin, ilgili üstel ifadelere göre hata fonksiyonları.....	24
Şekil 3.3 : Önerilen ifadelerin ve ilgili üstel ifadelerin kazanç grafikleri.	25
Şekil 3.4 : Zayıflatıcı terimin blok şeması.	25
Şekil 3.5 : Kazanç teriminin gerçekleşmesi.	26
Şekil 3.6 : Ayarlanabilir direnç.	26
Şekil 3.7 : $1/x$ terimli devre.	27
Şekil 3.8 : $1/x$ terimli devrenin serim çizimi.	27
Şekil 3.9 : $1/x^2$ terimli devre.	28
Şekil 3.10 : $1/x^2$ terimli devrenin serim çizimi.	28
Şekil 3.11 : Ayarlanabilir direncin benzetim sonucu.	29
Şekil 3.12 : $1/x$ terimli ifadenin dinamik aralığı.	29
Şekil 3.13 : $1/x$ terimli ifadenin alternatif işaret analizi.	30
Şekil 3.14 : $1/x^2$ terimli ifadenin dinamik aralığı.....	30
Şekil 3.15 : $1/x^2$ terimli ifadenin alternatif işaret analizi.	31

ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIM KULLANARAK CMOS KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI

ÖZET

Kazancı ayarlanabilir kuvvetlendiriciler, geniş dinamik aralık gerektiren uygulamalar açısından vazgeçilmez bir unsurdur. Kontrol işlemi, geniş dinamik aralık söz konusu olduğunda üstel fonksiyonların kullanımını zorunlu kılar. Bu sebeple günümüzde bu yapıların tasarımında üstel fonksiyonların kullanımı ön plana çıkmaktadır. Fakat modern teknolojilerde geniş dinamik aralığı ihtiyacıyla birlikte yüksek frekans, düşük güç tüketimi, düşük gürültü, küçük kırımlık alanı gibi ihtiyaçlar da söz konusu olduğu için tasarım yöntemleri, kullanılan teknolojiler ve kullanılan bloklar farklılaşmaktadır. Bu çalışmada, $0.18\mu\text{m}$ CMOS teknolojisi kullanılarak bir kazancı ayarlanabilir kuvvetlendirici tasarlanmıştır.

Elektronik sistemlerde işaretlerin algılanması veya işlenmesi için gerekli ihtiyaçlardan biri de işaretin bloklar arası geçişi sırasında uyumluluk sağlanmasıdır. Kabaca işaret uyumlaması ihtiyacı iki genel durumda ortaya çıkar; bunlardan ilki, tasarımcının bir giriş işareti seviyesini uygulanacak elemanın giriş aralığına uyumlamasını gerektiren durumlardır, ikincisi ise, tasarımcının çeşitli kayıpların yerini doldurmak için giriş değerini sabitleme ihtiyacı olduğu durumlardır. Kazancı ayarlanabilir kuvvetlendiriciler bu ihtiyaca yönelik tasarlanmış devrelerin temelini oluşturan yapılardır. Genel anlamıyla, kazanç değerini elektronik olarak ayarlayarak işaret uyumlaması yapan kuvvetlendiricilerdir. Kazanç değerini ayarlama işlemi için kullanılan yöntemler; geniş kontrol aralığı, geniş frekans aralığı, yüksek doğruluk, yüksek hız gibi uygulama alanına yönelik ihtiyaçlara göre farklılık göstermektedir.

Kazancı kontrol eden yapıların temelleri Gilbert tarafından 1968 yılında yapılmıştır. Daha sonra, "ayarlanabilir kazanç kontrol hücresi" adlı bu devreler Willy Sansen tarafından geliştirilerek bugünkü topolojilerin ilk örnekleri gerçekleştirilmiştir. Bu çalışmalar akım yönlendirme yöntemi kullanılarak bipolar transistörlerle tasarlanan kuvvetlendirici yapılarıyla oluşturulmuştur. 80'li yıllarda BiCMOS teknolojisi, 90'lı yıllarda da CMOS teknolojisi ile kazancı ayarlanabilir kuvvetlendirici örnekleri ortaya çıkmıştır. CMOS teknolojisinin kullanımıyla birlikte matematiksel gerekliliklerden dolayı yeni kontrol yöntemleri önerilmeye başlanmıştır. Dolayısıyla kazancın üstel fonksiyon yaklaşıklıklarıyla kontrol edilmesi yöntemi de bu dönemlere denk gelmektedir. Öte yandan günümüzde en çok tercih edilen yöntemlerden olan sözde üstel fonksiyon yaklaşımının ilk örnekleri 1995 yılında Harjani tarafından önerilmiştir.

Bu çalışmada, kazancı ayarlanabilir kuvvetlendiricilerin çalışmasının anlaşılması için literatürdeki kazanç ayarlama yöntemleri incelenip, sınıflandırması yapıldıktan sonra bu yöntemlerden biri olan sözde üstel fonksiyon yaklaşımı yöntemi için geniş frekans aralığı ihtiyacı gözetilerek yeni bir üstel yaklaşım önerilmiştir. Gerçeklemek üzere kazancı ayarlanabilir kuvvetlendirici yapısı tasarlanarak, gerekli analizler yapılmıştır.

DESIGN OF CMOS VARIABLE GAIN AMPLIFIER USING A NEW EXPONENTIAL FUNCTION APPROXIMATION

SUMMARY

Variable gain amplifiers are an essential part for applications which need wide dynamic range. When it comes to wide dynamic range, usage of exponential functions in control operation is a must. For this reason, instead of other methods exponential functions must be used in the design of these kind of structures. Even though the need of wide dynamic range is essential, need of high frequency, low power dissipation, low noise, small chip area differentiate the design technology and structure. In this work, a variable gain amplifier designed in $0.18\mu\text{m}$ CMOS technology.

One of the needs for signal processing in electronic systems is to provide compatibility between the blocks. Briefly, need for signal matching appears in two general condition. First condition is when designer needs to match input signal range to the input range of device that is applied. Second condition is when designer needs to fix the input range from some losses such as noise, etc... Variable gain amplifiers are essential for circuits to answer these needs. Generally, a variable gain amplifier is a signal matching amplifier that electronically sets the gain value. Methods to set gain value differ on application specific conditions like wide dynamic range, wide band, high precision, high speed.

Variable gain amplifier is an indispensable building block to maximize the dynamic range of modern wireless communication systems, as well as medical equipment, hearing aids, disk drives, and so on. A VGA is typically employed in a feedback loop to realize automatic gain control.

There are two different techniques for VGA building. One employs a number of gain stages and the gain is discrete and digitally controlled. Therefore, this type of variable gain amplifier can be called programmable gain amplifier. The other employs a continuous amplifier and an analog gain control signal. Analog gain control is generally preferred because discrete gain control may cause some problems such as phase discontinuity.

Various technologies, such as bipolar technology, BiCMOS technology and CMOS technology, can be used for the variable gain amplifier realization. However, the low cost and easy integration with the other parts of an integrated circuit have caused CMOS variable gain amplifiers to be preferred over other technologies. The gain of a variable gain amplifier is generally required to be an exponential function of a control signal. The exponential gain control is required to achieve a wide dynamic range and to maintain the AGC loop settling time independent of the input signal level. The exponential gain control can be easily obtained in bipolar transistor technology by means of the inherent exponential characteristics.

However, it is difficult to realize this exponential function due to its inherent square or linear characteristics in CMOS technology. Although a transistor operating in a subthreshold region has an exponential characteristic, it is generally not preferred due to noise and small bandwidth. Another possible method is to use parasitic bipolar transistors to generate the exponential function. The linear-in-decibel gain control signal is generated using the relationship between a collector current and base-to-emitter voltage. This is strongly dependent on the temperature and process parameters. As a result, CMOS technologies do not give exponential characteristics except in weak inversion region. However the weak inversion is suitable only for low-frequency applications.

To realize the exponential function in strong inversion region several approaches have been presented in the literature. In recent CMOS-based VGA designs, dB-linear gain variation characteristics are realized by the circuit implementations of rational expressions, pseudo exponential and Taylor series approximation functions. In order to realize wide decibel-linear range, high order approximation must be adopted.

Another important aspect of a wide band variable gain amplifier is a large bandwidth. There are many systems for high-speed data communications such as ultra-wide band systems, wireless local area networks, and Bluetooth. These systems provide a high data rate with relatively low power consumption in short-range wireless communications. For high-speed data communication, the bandwidth of a variable gain amplifier must be very wide. Therefore, a wide band VGA is a key component.

This study can be investigated in two parts. First part is research part which forms a basis for the new method. In the research part, the exponentially controlled variable gain amplifiers are investigated. Basic structures and basic blocks used in these structures are studied first. The basics of gain controlling structures are developed by Barrie Gilbert in 1968. Then methods are investigated. These are designs in Bipolar technology, in CMOS technology using weak inversion, designs which use Taylor approximation and designs which use Pseudo Exponential methods respectively.

First, variable gain amplifiers which use Bipolar technology examined. Second variable gain amplifiers designed to work in weak inversion region are examined. After that the early designs in strong inversion region, which use Taylor series approximations are examined. And last, the important part of the study which is most used design technique nowadays in CMOS technology, Pseudo exponential function and its improved versions are researched. Pseudo exponential function, first proposed in 1995 by Harjani. After that various functions based on Harjani's function are proposed.

In this paper, a new pseudo-exponential function is described which is an improved form of pseudo exponential function. After that a new CMOS exponential-control variable gain amplifier based on the new function is introduced. The new variable gain amplifier improved with a slight change. And these two circuits are designed, their layouts are generated and simulated. No multiplier is needed in the proposed approach.

The variable gain amplifier operates in current mode and includes two different stages. The first stage is a simple current amplifier while the second stage is an attenuator. The overall behaviour of the stages gives the new pseudo-exponential function. The

variable gain amplifier circuit has been designed and simulated for a $0.18\mu\text{m}$ CMOS process.

1. GİRİŞ

Elektronik sistemlerde işaretlerin algılanması veya işlenmesi için gerekli ihtiyaçlardan biri de işaretin bloklar arası geçişi sırasında uyumluluk sağlanmasıdır. Kabaca işaret uyumlaması ihtiyacı iki genel durumda ortaya çıkar. Bunlardan ilki, tasarımcının bir giriş işareti seviyesini uygulanacak elemanın giriş aralığına uyumlamasını gerektiren durumlardır. İkincisi ise, tasarımcının çeşitli kayıpların yerini doldurmak için giriş değerini sabitleme ihtiyacı olduğu durumlardır [1].

Kazancı ayarlanabilir kuvvetlendiriciler; genel anlamıyla, kazanç değerini elektronik olarak ayarlayarak çıkış işaretinin seviyesini değiştirme işlemini gerçekleştirdiği için işaret uyumlamasında kullanılan elektronik devrelerin temelini oluşturan yapılardır. Bu bilgiler ışığında bu çalışmaya konu olarak bu yapılar seçilmiş ve $0.18\mu\text{m}$ CMOS teknolojisi kullanılarak bir kazancı ayarlanabilir kuvvetlendirici tasarlanmıştır.

1.1 Motivasyon

Modern teknolojilerde işaret uyumlaması işleminin gerçekleştirilmesinde ön plana çıkan ihtiyaç yüksek hız ihtiyacıdır. Bununla birlikte yüksek bant genişliği, düşük güç tüketimi, düşük gürültü, küçük kırımlı alanı gibi ihtiyaçlar da söz konusu olduğu için kazancı ayarlanabilir kuvvetlendiricilerin tasarım yöntemleri, kullanılan teknolojiler ve kullanılan bloklar farklılaşmaktadır.

Bir kazancı ayarlanabilir kuvvetlendiricinin hızı, kazancın dinamik aralığıyla doğru orantılıdır. Geniş dinamik aralık söz konusu olduğunda kontrol işlemi için üstel fonksiyon kullanımı zorunlu hale gelir. Bu sebeple günümüzde bu yapıların tasarımında üstel fonksiyon kullanımı veya üstel fonksiyona yaklaşım gösteren fonksiyonların kullanımı ön plana çıkmaktadır.

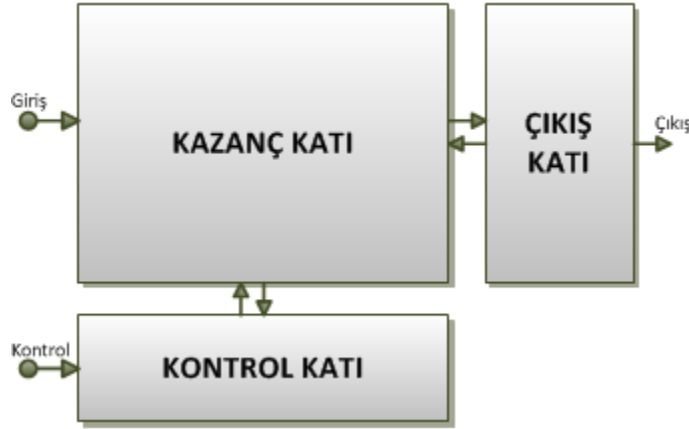
Bu çalışmada, öncelikle kazancı ayarlanabilir kuvvetlendiricilerin çalışmasının anlaşılması için literatürdeki kazanç ayarlama yöntemleri incelenmiştir. Ardından,

daha iyi performans elde etmek için yeni bir tasarım yapılması amaçlanmıştır. Bu tasarımda kullanılacak üretim teknolojisi ve performans göz önünde bulundurularak kontrol yöntemi için sözde üstel ifade yönteminden yararlanılarak yeni bir yaklaşım önerilmiştir. Bu yaklaşımı gerçeklemek amacıyla bir kazancı ayarlanabilir kuvvetlendirici yapısı tasarlanmıştır. Devre, Cadence Spectre araçlarıyla analiz edilmiştir.

1.2 Kazancı Ayarlanabilir Kuvvetlendiriciler

1.2.1 Çalışma prensibi

Kazancı ayarlanabilir kuvvetlendiricinin temel olarak gerçekleştirdiği işlem; giriş işaretini, bir kontrol işaretinden yardım alarak ayarladığı kazanç değeriyle beklenen seviyeye kuvvetlendirmektir. Buradan hareketle bir kazancı ayarlanabilir kuvvetlendirici, kontrol ve kuvvetlendirme yapılarının bir araya getirilmesiyle oluşur denilebilir. Bu açıklamaya uygun olarak Şekil 1.1’de bir kazancı ayarlanabilir kuvvetlendiricinin temel blok şeması görülmektedir.

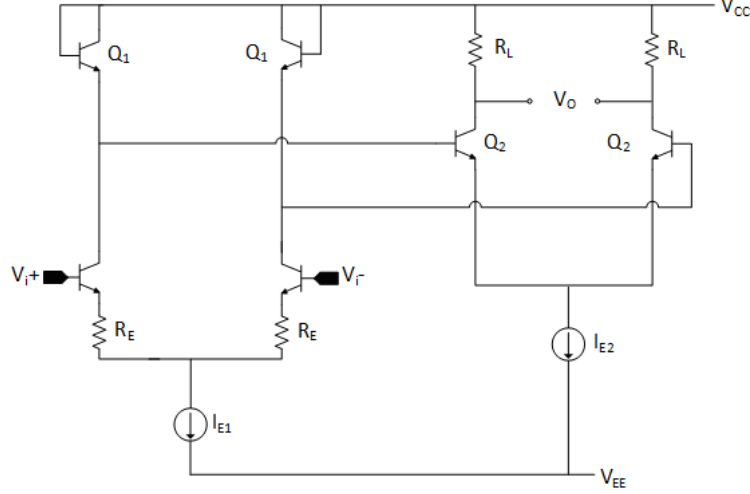


Şekil 1.1: Kazancı ayarlanabilir kuvvetlendiricinin temel blok şeması.

Görüldüğü gibi kazancı ayarlanabilir kuvvetlendiriciler 3 temel bloktan oluşur. Bu bloklar; gerekli kazanç değerini ayarlayan kontrol katı, kazanç katı ve kuvvetlendirme işlemini tamamlayıcı yapıları içeren çıkış katıdır.

Çalışma şeklini daha iyi anlayabilmek için, en temel kazancı ayarlanabilir kuvvetlendirici devrelerinden olan ve "Gilbert Hücresi" diye adlandırılan yapı Şekil 1.2’de örnek gösterilmiştir [2]. Şekildeki devrede kazanç kontrol işlemi, giriş

geriliminin bir farksal çifte uygulanmasıyla gerçekleştirilmektedir. Farksal çiftten elde edilen çıkış değeri, diğer bir farksal çiftin girişine uygulanarak kuvvetlendirme işlemi sağlanmaktadır. Burada çıkış katı yük direncinden oluşmaktadır.



Şekil 1.2: Gilbert hücresi.

Kontrol işareti olarak, bir gerilim işareti kullanıldığı gibi akım işareti de kullanılabilir. Dolayısıyla kazancı ayarlanabilir kuvvetlendiricileri kontrol işaretine bağlı olarak akım kontrollü veya gerilim kontrollü şeklinde adlandırmak mümkündür. Öte yandan kazancı ayarlanabilir kuvvetlendiriciler analog ve sayısal olmak üzere iki başlıkta incelenir. Her iki yapı da analog işaretlerle kontrol etmesine rağmen bu kontrol işaretinin uygulanma biçimine göre ayrılırlar:

- Sayısal kazancı ayarlanabilir kuvvetlendiriciler, yalnızca kontrol işaretinin anahtarlabilir olduğu durumlarda kullanılır. Bu yapıların kazanç basamakları ayrık zamanlıdır. Bu yapılarda kontrol işareti, ikili kod veya bir sayısal mesaj şeklindedir. Kontrol işareti, anahtarlama direnç veya anahtarlama kapasite içeren yapılar üzerinden uygulanır.
- Analog kazancı ayarlanabilir kuvvetlendiricilerde ise kazanç basamakları sürekli zamanlıdır. Kontrol işlemi, kazancın giriş işaretinin fonksiyonları üzerinden ayarlanması temeline dayanır. Bu işlemi gerçekleştirmek için kontrol işaretini değişken iletkenlikli veya dirençli yapılar üzerinden uygulamak yeterlidir.

1.2.2 Literatür araştırması

Kazancı kontrol eden yapıların temelleri Gilbert tarafından 1968 yılında atılmıştır. Dolayısıyla bu çalışma kapsamında ilk olarak bu temel yapılar ve bu devrelerde kullanılan temel bloklar incelenmiştir [2–5]. Devamında kronolojik açıdan kazancı ayarlanabilir kuvvetlendiriciler sırayla incelenmiştir. Önce bipolar teknolojiye gerçekleştirilen devreler literatürdeki önemi açısından değerlendirilerek incelemeye eklenmiştir [6–13].

CMOS teknolojisinin yaygınlaşmaya başladığı dönemlerde ortaya çıkan ve yine üstel karakteristiğe sahip elemanlarla oluşturulan tasarımlar da incelemenin önemli bir kısmını doldurmuştur [14–21].

CMOS teknolojisinde transistörlerin kuvvetli evirtim bölgesinde kullanılması için yaklaşıklık yöntemlerinin kullanılmasıyla değişen tasarımları incelemek için önce Taylor serisini kullanan tasarımlar incelenmiştir [22–30].

Sonrasında 95 yılında Harjani'nin ortaya attığı sözde üstel ifade yöntemi incelenmiştir [31–42]. Bu yöntem kazancı ayarlanabilir kuvvetlendirici tasarımlarında önemli bir yenilik oluşturmaktadır.

Son olarak sözde üstel ifade ve Taylor serisi yöntemlerinin birlikte kullanılmasıyla geliştirilen sözde Taylor serisi ifadesi incelenerek tasarım yöntemleri incelemesi tamamlanmıştır [43–48].

1.2.3 Uygulamaları

Kazancı ayarlanabilir kuvvetlendiriciler aşağıdaki alanlarda geniş kullanımdadır:

- CDMA sistemleri
- ses/görüntü işleme sistemleri
- taşınabilir cihazlar, uydu ve kablosuz haberleşme cihazları
- disk sürücüler
- biyomedikal cihazlar

1.3 Tezin Kapsamı

Bu tezde 1. bölümde yapılan çalışmanın motivasyonu ve kapsamı açıklanmış olup, kazancı ayarlanabilir kuvvetlendiricilerin çalışma prensibi, literatürdeki çalışmalar ve uygulama alanları incelenmiştir.

2. bölümde kazancı ayarlanabilir kuvvetlendiriciler, tasarımında kullanılan kontrol yapıları açısından incelenip, kontrol işlemi için kullanılan yöntemlere göre sınıflandırılmıştır.

3. bölümde yeni bir üstel yaklaşım önerilmiştir. Gerçeklemek için tasarımı yapılmış ve benzetimi yapılarak sonuçları incelenmiştir. 4. bölümde sonuçlar yorumlanıp, sonrası için öneriler paylaşılmıştır.

2. ÜSTEL FONKSİYON KONTROLLÜ KAZANCI AYARLANABİLİR KUVVETLENDİRİCİLER

Kazancı ayarlanabilir kuvvetlendiricilerde kazanç değişimi lineer veya üstel biçimdeki matematiksel fonksiyonlarla modellenir. Lineer fonksiyonları kullanarak kazanç kontrolü gerçeklemesi mümkün olsa da dinamik aralığın çok geniş olmamasından dolayı fazlaca tercih edilen bir yöntem değildir [49,50].

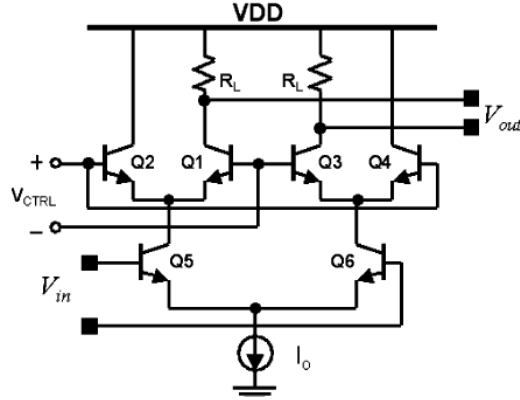
Kazancın dinamik aralığının geniş olması için üstel fonksiyon kullanımı tasarımlarda tercih edilmektedir. BJT'ler üstel karakteristiğe sahip olmasına karşın MOSFET yapılar kuvvetli evirtim bölgesinde bu karakteristiği sağlamaz. CMOS yapıların kuvvetli evirtim bölgesinde kullanılması için yaklaşıklık yöntemleri kullanılmıştır. Bu bölümde önce üstel kontrolde kullanılan temel yapılar sonra kullanılan yöntemler incelenecektir.

2.1 Temel Kontrol Yapıları

Bölüm 1'de görüldüğü üzere kazancı ayarlanabilir kuvvetlendiriciler temelde kontrol işareti üretici ve bir kuvvetlendiriciye dayanmaktadır. Kuvvetlendiricinin, bir farksal çifti temel alacağı açıktır. Kontrol bloğu ise kullanılan yönteme ve kullanılan işaret türüne göre değişiklik göstermektedir. Temel yapılar incelenirken kontrol işaretinin akım veya gerilim işareti olmasına göre bir sınıflandırma yapılmıştır.

2.1.1 Gerilim ile kontrol

BJT'lerde gerilim doğrudan üstel fonksiyonun değişkeni olarak kullanılabilir. Bu durumdan faydalanarak tasarlanan "Gilbert Hücresi" kazancı ayarlama işleminin başlangıç noktasıdır. Devre işaret toplayıcı yapı olarak da adlandırılır. Kuyruk akımları farksal çift üzerinden elde edilen ve kazançları kontrol gerilimiyle değiştirilen kuvvetlendiricilerden oluşur. Şekil 2.1'deki BJT'li Gilbert hücresi olarak bilinen blok, gerilim kontrollü yapıların temel örneklerinden biridir [51].

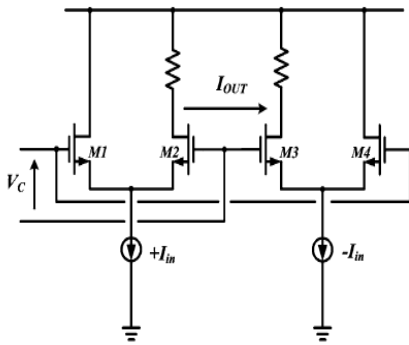


Şekil 2.1: BJT Gilbert hücresi.

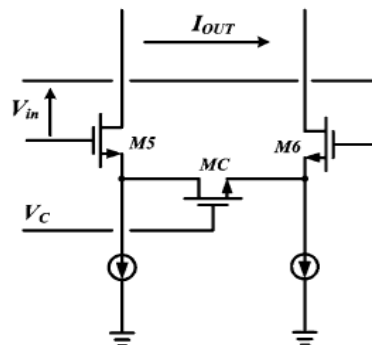
Bu yapının kazanç kontrol katındaki ortak bazlı transistörler yüksek frekanslarda çalışma olanağı sağlamaktadır. Fakat bu yapıların teknolojik uyumsuzluk, fazla alan kaplama gibi önemli dezavantajları mevcuttur. CMOS teknolojisi ile gerilimi üstel fonksiyonun değişkeni haline getirmek için iki yöntem vardır. Bunlar, parazitik BJT'lerin ve eşikaltı bölgenin kullanılmasıdır.

Gilbert Hücresinin kullandığı mekanizmayı CMOS teknolojisiyle gerçekleyen ve CMOS Gilbert hücresi olarak adlandırılan blok bu yöntemlerde çok tercih edilmektedir. Şekil 2.2 (a)'da CMOS Gilbert hücresi görülmektedir [52].

Şekil 2.2 (b)'de ise kontrol ayarlaması, kaynak dejenerasyon görevi gören ayarlanabilir dirençle sağlanmaktadır [52]. Buna ek olarak geribeslemede de direnç kullanıldığı örnekler mevcuttur. Devre Taylor serisini gerçeklemektedir. Kullanılacak değişken lineerlik şartına uymalıdır. Dolayısıyla bu yapılarda ayarlanabilir direnç için genelde doymasız bölgedeki transistörler kullanılır.



(a) CMOS Gilbert hücresi.



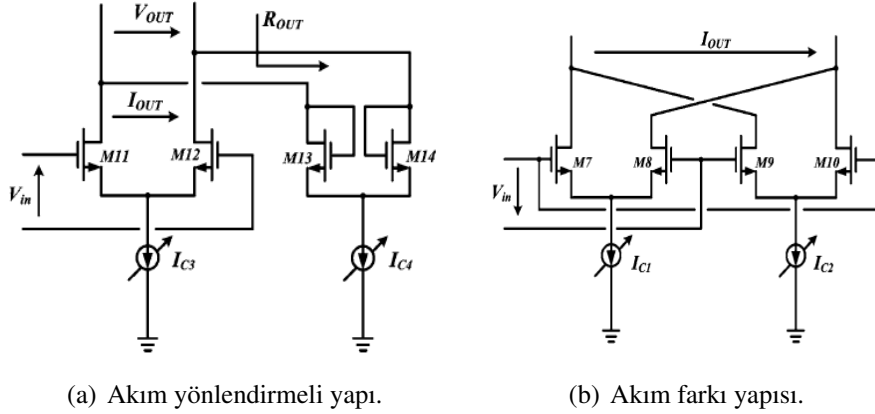
(b) Kaynak dejenerasyonlu yapı.

Şekil 2.2: Gerilim işareti kontrollü CMOS yapılar.

CMOS Gilbert hücresi ile gerçekleştirilebilen tasarımlarda kullanılan parazitik BJT'lerde gürültünün ve sıcaklığın kazanç olumsuz etkisi yüksektir. Eşikaltı bölgede çalışan alan etkili transistörler ise yüksek frekanslarda çalışamaz. Kaynak dejenerasyonlu yapının dezavantajı ise aktif dirençlerin sağladığı dinamik aralığın geniş olmamasıdır.

2.1.2 Akım ile kontrol

Kontrol işareti akım olduğunda bu akımları birlikte kullanmak için akım yönlendirme tekniğine başvurmak gerekmektedir. Literatürde, yönlendirilen akımlarla kutuplama yapısı ve akım farkı yapısı olmak üzere akım yönlendirme tekniği kullanılan iki temel yapı vardır. Bunlardan ilki, Şekil 2.3 (a)'da görülen, bir iletkenlik bloğu ile birlikte ayarlanabilir direnç biçimindeki diyot bağlı transistörlerle oluşturulan akım yönlendirmeli yapı olarak adlandırdığımız bloktur. Devrede giriş geriliminin uygulandığı farksal çiftin kuyruk akımı ve farksal çiftin çıkışının uygulandığı akım - gerilim dönüştürücünün kuyruk akımı kontrolü sağlamaktadır. Yaklaşıklık yöntemlerinin geliştirilmesiyle ortaya çıkmış bir tasarımıdır. Yapının önemli dezavantajı ise kazanç aralığının genişletilmesinin çalışma bandında daralmaya yol açmasıdır [52].



Şekil 2.3: Akım işareti kontrollü CMOS yapılar.

Şekil 2.3 (b)'de ise iki paralel farksal çift kullanılarak akımlar yönlendirildikten sonra farkları alınan bir yapı görülmektedir. Bu yapıda da tüm transistörler doymalı bölgede çalışmaktadır. Dolayısıyla yaklaşıklık ifadelerinde sık tercih edilen yöntemlerin bir diğeridir. Dinamik aralık genişleyince girişe bağlı olarak kazanç değişiminin doğrusallığında bozulma problemi ortaya çıkmaktadır.

2.2 Yöntemine Göre Üstel Kontrollü Kazancı Ayarlanabilir Kuvvetlendiriciler

Üstel kontrollü yapılar, kontrolde kullanılan ifadeye göre üstel fonksiyonu gerçekleyen ve yaklaşıklık ifadesi kullanılan yapılar olmak üzere iki ana başlıkta incelenmiştir.

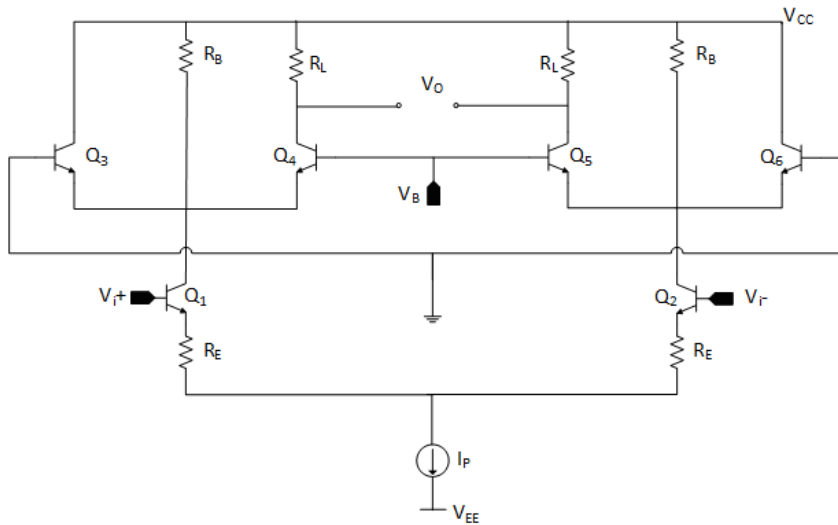
2.2.1 Üstel fonksiyonun gerçekleştirilmesi

2.2.1.1 Bipolar teknoloji ile

Bipolar teknoloji, tarihsel önceliği ve BJT'nin üstel karakteristiği nedeniyle kazancı ayarlanabilir kuvvetlendirici tasarımının çıkış noktasıdır. Bir bipolar transistör, ileri aktif bölgede kutuplandığında akım - gerilim karakteristiği (2.1)'de ifade edilir.

$$I_C = I_S \times e^{V_{BE}/V_T} \quad (2.1)$$

Bu ifade bir farksal yapıda kullanılarak kazanç ayarlaması yapılabilir. Yönteme örnek göstermek amacıyla 1974'te Willy Sansen tarafından önerilen "Gilbert Hücresi"nin geliştirilmesiyle oluşturulmuş kazancı ayarlanabilir kuvvetlendirici incelenmiştir. Şekil 2.4'te bu kuvvetlendiricinin kontrol yapısı görülmektedir [6]. Devrede kontrol gerilimi eşdeğer kuvvetlendiricilerin girişine uygulanarak Q_4 ve Q_5 transistörlerinin akımlarını yani kazancı kontrol etmektedir. Uygulanan V_i giriş gerilimi ise, farksal çiftteki Q_1 ve Q_2 transistörlerinin kollektör akımlarına etki ederek kuvvetlendiricilerin kutuplama akımlarını değiştirir. Sonuç olarak kuvvetlendiricilerin çıkış katındaki transistörlerin akımı R_L yük direnci üzerinden gerilime çevrilir.



Şekil 2.4: Bipolar teknolojiye tasarlanmış devre örneği.

Gilbert'in 1968'de yayınladığı kazancı ayarlanabilir kuvvetlendirici yapısından bu yana BJT kullanılarak gerçekleştirilen bir çok yapı tasarlanmıştır. Bu süreçte gerçekleştirilmiş olan tasarımların başlıcaları Çizelge 2.1'de incelenmiştir.

Çizelge 2.1: Bipolar teknolojiye gerçekleştirilmiş tasarımların karşılaştırılması.

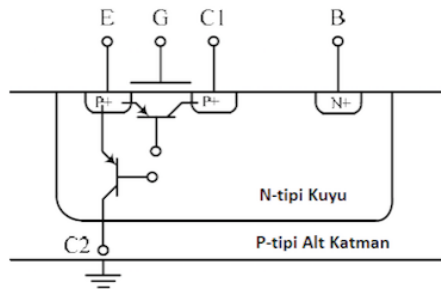
Kaynak	Din. Ara. (dB)	Bant Genişliği (MHz)	Yayın Tarihi
[6]	34.5	70	1974
[7]	90	250	1997
[10]	98	50	2001
[11]	90	200	2003
[12]	70	100	2003
[13]	77	400	2005

Bipolar transistörlü yapılar yüksek frekans ihtiyacı duyulan uygulamalarda kullanım alanına sahiptir. Bununla birlikte üretim teknolojisinin pahalı olması ve CMOS teknolojilere göre daha fazla alan kaplaması, CMOS entegre teknolojisi ile gerçekleştirilen analog ve karışık işaretli devrelere uyumlu olmaması gibi dezavantajlarından dolayı tasarımlarda daha az tercih edilmektedir.

2.2.1.2 CMOS teknolojisi ile

Bilindiği gibi alan etkili transistörlerin doymalı ve doymasız bölgedeki akım - gerilim karakteristikleri üstel fonksiyon biçiminde değildir. Dolayısıyla CMOS yapılarla üstel fonksiyon gerçeklemek için iki teknik kullanılmaktadır.

Bunlardan ilki, CMOS üretim sürecinde alan etkili transistörün p ve n tipi bölgelerinin kesişim noktalarında oluşan eklemlerden yararlanarak parazitik bipolar transistörler oluşturmaktır. Şekil 2.5'te PMOS bir yapıdaki parazitik bipolar transistörler görülmektedir. Bu yapılardan üstel ifade sağlansa da sıcaklıktan etkilenme ve üretim parametrelerine bağımlılık, gürültü gibi sorunlar ortaya çıkmaktadır.

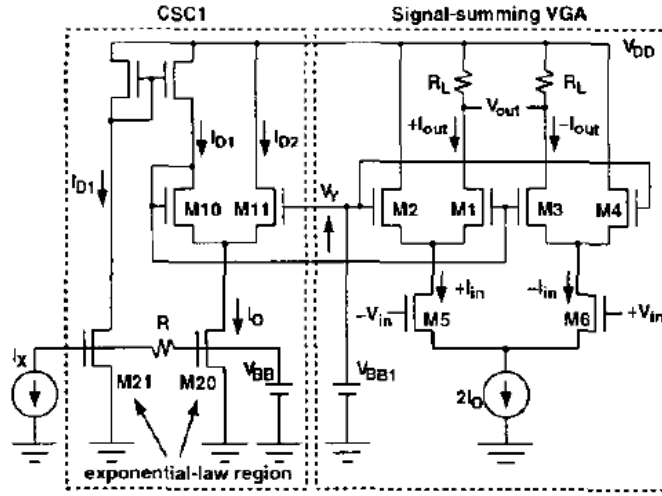


Şekil 2.5: PMOS transistörde parazitik bipolar yapılar.

Bu parazitik bipolar transistörlerin akım - gerilim karakteristiği (2.2) ile ifade edilmektedir [14]. Burada η üretimden gelen bir sabit ve V_T de ısıl gerilimdir.

$$I_C = I_S \times e^{(V_{BE}/\eta V_T)} \quad (2.2)$$

Elde edilen üstel ifadeyi kullanarak BJT'li kazancı ayarlanabilir kuvvetlendiricilerde olduğu gibi tasarımlar yapmak mümkündür. Şekil 2.6'da bu yöntemle gerçekleştirilmiş bir devre görülmektedir [16]. Devrede kontrol yapısı CMOS Gilbert hücresidir.



Şekil 2.6: Parazitik BJT'lerle tasarlanmış devre örneği.

Devrede I_X kontrol akımının uygulandığı M_{20} ve M_{21} transistörlerindeki parazitik BJT'lerle elde edilen I_{D1} akımı $I_{D1} = I_0 \times e^{(V_{BE}/\eta V_T)}$ ifadesindeki gibidir. Kontrol işlemi iki farklı bölge üzerinden yapılmaktadır. $M_{1,3,10}$ transistörleri doymalı bölgedeyken akım kazancı;

$$G_I = \frac{\sqrt{I_{D1}}}{\sqrt{I_{D1}} + \sqrt{I_{D2}}} = (1 + 2\sqrt{I_{D1}I_{D2}/I_0})^{-1/2} \times e^{(-RI_X/2\eta V_T)} \quad (2.3)$$

ve $M_{1,3,10}$ transistörleri parazitik bipolar bölgedeyken akım kazancı;

$$G_I \cong \left[\frac{\sqrt{I_0/\beta}}{2\eta V_T} \right] \times e^{(-RI_X/\eta V_T)} \quad (2.4)$$

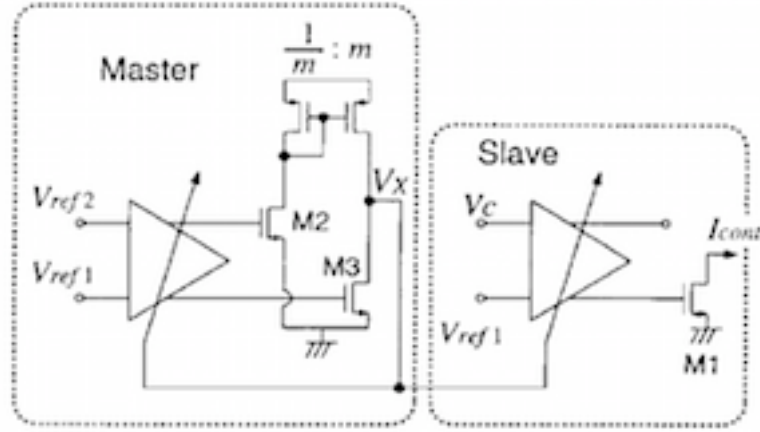
şeklinde. Birinci bölge yüksek kazanç, ikinci bölge ise düşük kazanç bölgesidir. Üstel ifadelerden de anlaşılacağı gibi iki bölgenin kazanç eğimleri farklıdır.

CMOS yapılarla üstel fonksiyon gerçeklemek için kullanılan diğer bir yöntem ise alan etkili transistörlerin eşikaltı bölgede sahip oldukları üstel karakteristikten faydalanarak geliştirilmiştir.

Bir NMOS transistör, eşikaltı bölgedeki bir V_G gerilimi ile üstel değişen savak akımına sahiptir. K ile I_0 sabit ve $V_{DS} > 4V_T$ olmak üzere savak akımı (2.5) biçiminde bulunur.

$$I_D = I_0 \times \left(\frac{W}{L} \right) \times e^{(KV_G - V_S/V_T)} \quad (2.5)$$

Şekil 2.7’de bu yöntemle gerçekleştirilmiş bir devrenin kontrol yapısı görülmektedir. Şekildeki kontrol yapısı akım yönlendirmeli yapıyı temel alan bir usta-çırak topolojisiyle tasarlanmıştır [19].



Şekil 2.7: Eşikaltı bölgedeki MOSFET’lerle tasarlanmış bir kontrol yapısı.

Giriş işaretinin V_C basamaklı gerilim bölücüye uygulanmasıyla elde edilen referans gerilimleri eşikaltı bölgede çalışan M_2 ve M_3 transistörlerine uygulanarak üstel değişimli V_X gerilimini üretmekte, bu gerilim çırak bloğundaki gerilim kazancını kontrol etmektedir. Bu devreler düşük güçte çalışmasına rağmen, sadece düşük frekanslı uygulamalarda kullanıma uygundur.

CMOS yapılardan üstel fonksiyon elde edilmesiyle tasarlanarak üretilmiş olan kazancı ayarlanabilir kuvvetlendiricilerin başlıcaları Çizelge 2.2’de incelenmiştir.

Çizelge 2.2: CMOS teknolojisi ile gerçekleştirilmiş üstel ifadeli yapıların karşılaştırması.

Kaynak	Kontrol Yapısı	Kullan. Yöntem	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
[15]	Akım Yön.	Paraz.	30	50	150	1992
[16]	CMOS Gilbert	Paraz.	80	380	63.25	2002
[17]	Akım Yön.	Paraz.	83	383	6.12	2005
[18]	CMOS Gilbert	Paraz.	95	400	21.96	2007
[19]	Akım Yön.	Eşikal.	80	180	27.5	2002
[20]	Akım Yön.	Eşikal.	40	-	0.6	2012

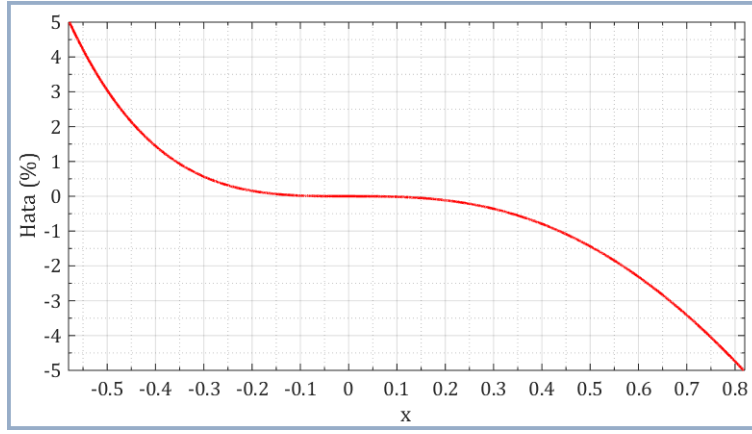
2.2.2 Üstel fonksiyona yaklaşım yöntemleri

2.2.2.1 Taylor seri açılımı

a bir sabit olmak üzere e^{ax} şeklindeki bir üstel fonksiyon, Taylor serisi yaklaşıklık yöntemiyle (2.6)'daki gibi seriye açılabilir.

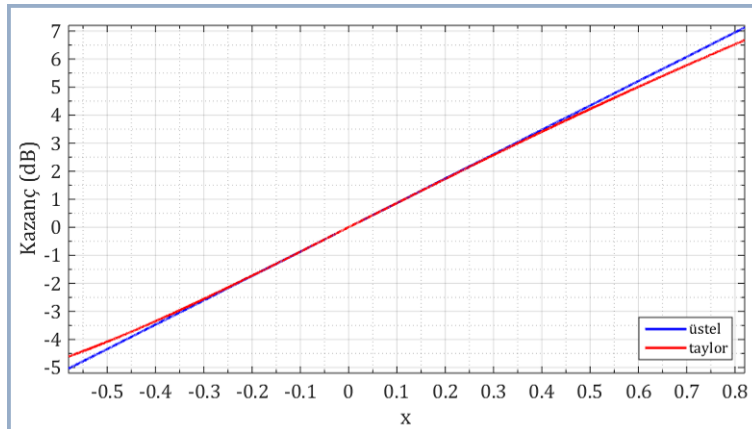
$$e^{ax} = 1 + ax + \frac{1}{2!}(ax)^2 + \dots + \frac{1}{n!}(ax)^n \quad (2.6)$$

İkinci dereceden Taylor serisi, $|ax| \leq 1$ şartıyla üstel fonksiyona kabul edilir seviyede yaklaşmaktadır. MATLAB ile hesaplanan $a = 1$ için ikinci dereceden Taylor serisinin üstel fonksiyona göre $\pm\%5$ hata bölgesi Şekil 2.8'de grafiğe aktarılmıştır.



Şekil 2.8: İkinci dereceden Taylor seri açılımının hata fonksiyonu.

Şekil 2.9'da yaklaşıklık bölgesinde üstel ifade ve serinin kazancı hesaplanmıştır.



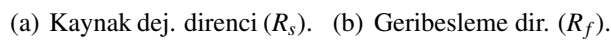
Şekil 2.9: İkinci dereceden Taylor serisinin dinamik aralığı.

Görüldüğü üzere kabul edilebilir yaklaşıklık bölgesinde maksimum dinamik aralık 11.7 dB civarında olmaktadır. Bu aralık bir çok uygulama için yeterli olamamaktadır.

The diagram shows a differential pair of NMOS transistors, M_{1a} and M_{1b} , with their sources connected to a common source resistor $2R_S$. The gates of M_{1a} and M_{1b} are connected to a common gate voltage V_B . The drains of M_{1a} and M_{1b} are connected to V_{DD} through load resistors R_f . The output voltages are V_{out+} and V_{out-} . The circuit is biased with a tail current I_B and a differential-mode input signal αI_B . The transistors M_{2a} and M_{2b} are connected to the sources of M_{1a} and M_{1b} respectively, and their gates are connected to a common gate voltage V_B . The transistors M_{2a} and M_{2b} are biased with a tail current I_B and a differential-mode input signal αI_B . The transistors M_{2a} and M_{2b} are connected to the sources of M_{1a} and M_{1b} respectively, and their gates are connected to a common gate voltage V_B . The transistors M_{2a} and M_{2b} are biased with a tail current I_B and a differential-mode input signal αI_B .

Aktif dirençli kaynak dejenarasyonu ile giriş transistörlerinin iletkenliğini ayarlayan geçiş iletkenliği kuvvetlendiricisinin çıkışı, aktif direnç geribeslemeli bir geçiş direnci kuvvetlendiricisi yardımıyla kazancı ayarlanmış işareti üretmektedir. α akım kazancı olmak üzere geçiş direnci kazancı (2.7)'deki gibidir.

Şekil 2.11’de ise devrede kullanılan aktif dirençler görülmektedir [27].



Taylor serisi ile gerçekleştirilmiş tasarımların başlıcaları Çizelge 2.3'te incelenmiştir.

Kaynak	Kontrol Yapısı	Kullanılan Teknoloji	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
[27]	Kaynak Dej.	0.35 μ m	20	10.9	0.9	2006
[28]	Akım Yön.	0.35 μ m	20	2.9	30	2009

2.2.2.2 Söзде üstel ifade

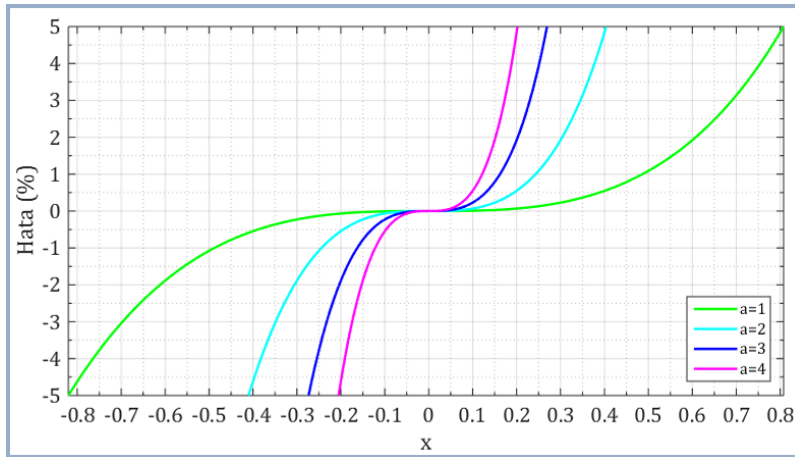
Üstel fonksiyona yaklaşım yöntemlerinden bir diğeri ise söзде üstel ifade yaklaşımıdır. Bu yöntem e^{ax} ve e^{-ax} fonksiyonları için Taylor serisinin ilk iki teriminin bir rasyonel ifadeye aktarılmasından ibarettir. 1995 yılında Harjani tarafından önerilen bu fonksiyon (2.8) ile verilmiştir.

$$e^{2ax} \cong \left[\frac{(1+ax)}{(1-ax)} \right] \quad (2.8)$$

Bu ifade için gerekli yaklaşıklık bölgesinde giriş aralığı yeterince geniş olmamasına rağmen kazanç aralığının çoğu uygulamaya yetecek genişlikte olmasına olanak sağlar. (2.8) ifadesi $|x| \leq 1$ şartı altında üstel fonksiyona yaklaşıklık sağlanmaktadır [31]. Söзде üstel ifadenin, üstel fonksiyona göre hatasını hesaplamak için aşağıdaki fonksiyon kullanılmıştır.

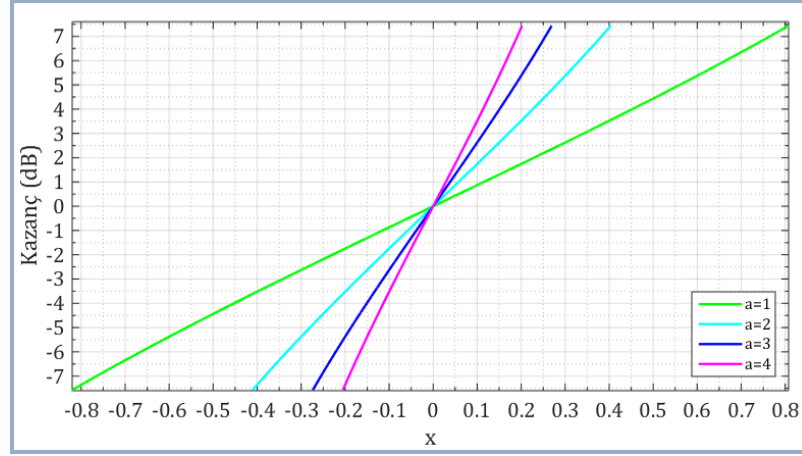
$$Hata = \left[\frac{(1+ax)}{(1-ax)} - e^{2ax} \right] / e^{2ax} \quad (2.9)$$

Bu hata fonksiyonu kullanılarak; $a = 1, 2, 3, 4$ için MATLAB programı ile $\pm\%5$ hata bölgesi olmak üzere giriş aralıkları bulunmuştur. Bulunan sonuçlar Şekil 2.12’de grafiğе aktarılmıştır.



Şekil 2.12: Söзде üstel ifadenin hata fonksiyonu.

Şekil 2.13’te ise $a = 1, 2, 3, 4$ için yaklaşıklık bölgesindeki yine MATLAB ile hesaplanan kazanç grafikleri görülmektedir.



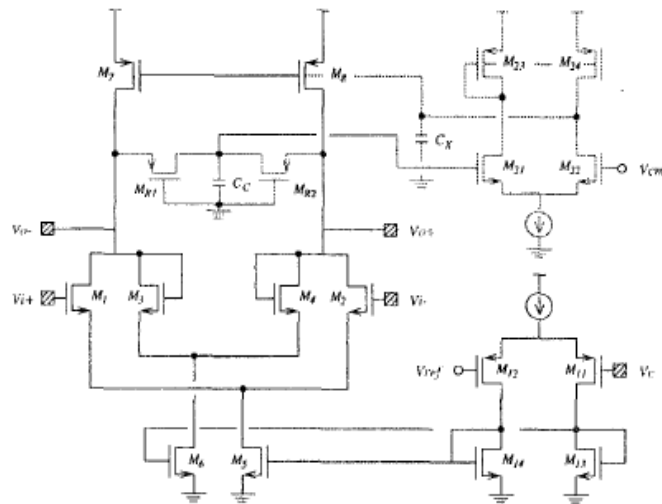
Şekil 2.13: Sözde üstel ifadenin dinamik aralığı.

Çizelge 2.4'te a terimine göre kontrol ve kazanç aralıkları değerleri görülmektedir. a terimi ile kazanç aralığı genişletilmekte karşılığında kontrol aralığı daralmaktadır.

Çizelge 2.4: a terimine bağlı kazanç ve kontrol aralıkları.

	$a = 1$	$a = 2$	$a = 3$	$a = 4$
Kazanç Aralığı (dB)	15	23.6	30.8	37.2
Kontrol Aralığı (V)	1.6	0.8	0.55	0.4

Şekil 2.14'de sözde üstel ifade ile gerçekleştirilen bir kontrol yapısı örneği görülmektedir [32]. Kontrol bloğu akım yönlendirme yapısını kullanmaktadır. Kontrol işlemi, kontrol geriliminin uygulandığı akım üreticinden gelen akımın diyot bağlı transistörlerin geçiş iletkenliği değerini kontrol etmesiyle gerçekleştirilmektedir.



Şekil 2.14: Sözde üstel ifadeyle tasarlanmış kontrol yapısı örneği.

$$I_{M2} = I_b + I_1 \quad (2.10)$$

$$I_{M4} = I_b - I_1$$

Akımlar (2.10)'daki gibi olmak üzere farksal çiftin kazancı gm_2/gm_4 olduğundan I_{kont} akımı aracılığıyla (2.8)'deki kazanç ifadesi sözde üstel fonksiyonu gerçekleştirmiş olur.

$$K = \sqrt{\frac{\beta_2}{\beta_4} \left[\frac{1 + I_{kont}/I_b}{1 - I_{kont}/I_b} \right]^{1/2}} \quad (2.11)$$

Sözde üstel ifade ile gerçekleştirilmiş devrelerin başlıcaları Çizelge 2.5'tedir.

Çizelge 2.5: Sözde üstel ifadeyle kontrol edilen tasarımların karşılaştırılması.

Kaynak	Kontrol Yapısı	Kullanılan Teknoloji	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
[32]	Akım Yön.	$0.5\mu m$	15	150	12.5	1998
[33]	Akım Yön.	$0.6\mu m$	73	20	23.3	2000
[36]	Akım Yön.	$0.18\mu m$	32.3	22	10.8	2003
[38]	Akım Yön.	$0.18\mu m$	12	36	0.48	2004

2.2.2.3 Sözde Taylor serisi ifadesi

İkinci dereceden Taylor serisi açılımı ve sözde üstel ifade yöntemlerinde kazanç aralığı genişletildiğinde yaklaşık bölgesi için x girişinin aralığı daralmaktadır. Bu problemi çözmek için bu iki yöntemin bileşik biçimde kullanılmasına dayanan bir diğer yaklaşım önerilmiştir. İkinci derece Taylor serisiyle e^{ax} ve e^{-ax} fonksiyonları;

$$\begin{aligned} e^{ax} &\cong 1 + ax + \frac{1}{2!}(ax)^2 = \frac{1}{2} [1 + (1 + ax)^2] \\ e^{-ax} &\cong 1 - ax + \frac{1}{2!}(-ax)^2 = \frac{1}{2} [1 + (1 - ax)^2] \end{aligned} \quad (2.12)$$

biçiminde düzenlenip $e^{2ax} = e^{ax}/e^{-ax}$ eşitliğine uygulanarak sağlanan (2.13) ifadesinin

$$e^{2ax} \cong \left[\frac{1 + (1 + ax)^2}{1 + (1 - ax)^2} \right] \quad (2.13)$$

$|2ax| \leq 1$ şartı altında üstel fonksiyona yaklaşıklık göstereceği açıktır [43]. Sözde üstel ifade yaklaşıklıkından hareketle a ve k bir sabit olmak üzere elde edilen

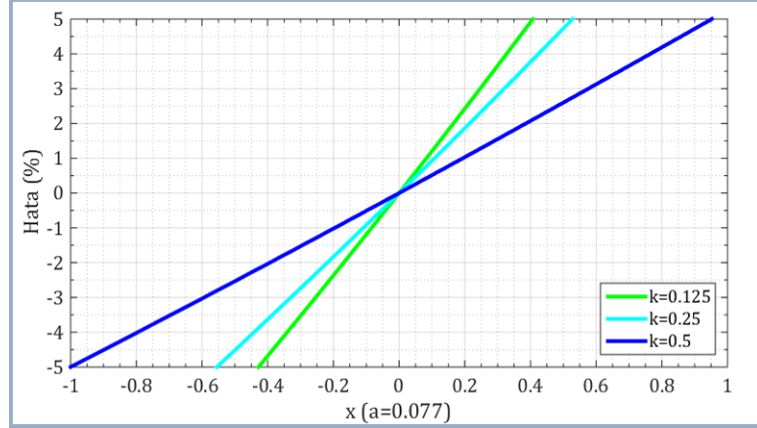
$$e^{2ax} \cong \left[\frac{k + (1 + ax)^2}{k + (1 - ax)^2} \right] \quad (2.14)$$

ifadesi $|2ax| \ll 1$ şartı altında üstel fonksiyona yaklaşıklık göstermektedir. Böylelikle x değişkeninin aralığı genişletilmiş olur. k bir tasarım parametresi olup 0.125 civarında seçildiğinde maksimum kazanç elde edilmektedir [44].

$|2ax| \ll 1$ şartı ile x girişinin normalize aralığında sözde Taylor serisi ifadesinin üstel fonksiyona göre $\pm 5\%$ hata bölgesinde en büyük a değeriyle $k = 0.125, 0.25, 0.5$ için hata fonksiyonu aşağıdaki fonksiyona göre hesaplanmıştır.

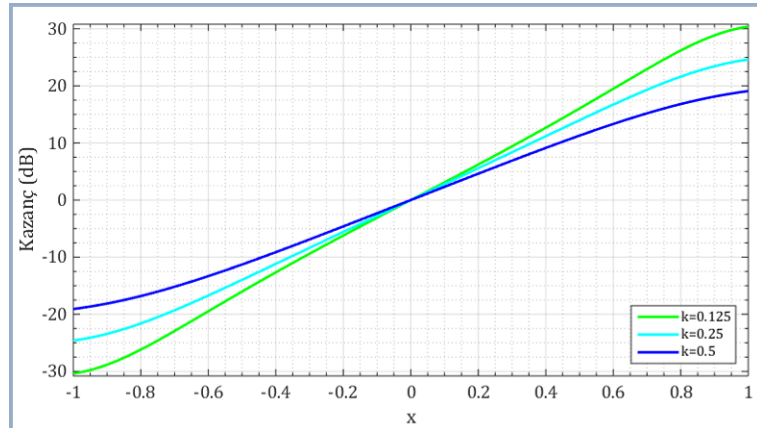
$$Hata = \left[\left(\frac{k + (1 + ax)^2}{k + (1 - ax)^2} \right) - e^{2ax} \right] / e^{2ax} \quad (2.15)$$

MATLAB programıyla görüntüye aktarılıp, Şekil 2.15'te gösterilmiştir.



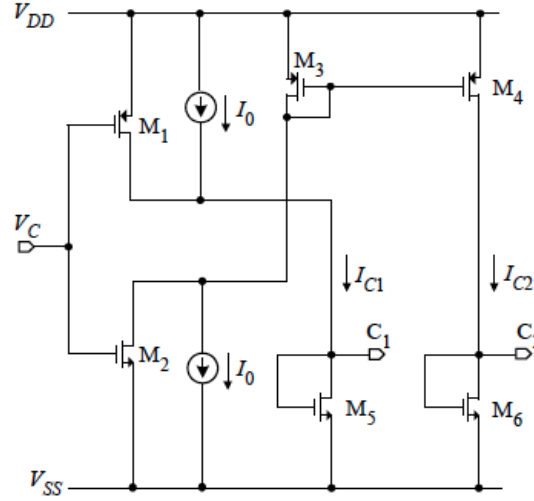
Şekil 2.15: Sözde Taylor serisi ifadesinin hata fonksiyonu.

$a = 0.077$ ve daha küçük değerler için bu yaklaşıklık sınırları içinde kalmak mümkün olmaktadır. $k = 0.125, 0.25, 0.5$ için oluşacak kazanç aralıkları ise yine MATLAB ile hesaplanarak Şekil 2.16'da grafiğe aktarılmıştır.



Şekil 2.16: Sözde Taylor serisi ifadesinin dinamik aralığı.

k parametresinin farklı değerleri için eğimler ve kazanç aralıkları değişmektedir. En geniş kazanç aralığı olan 60 dB, $k = 0.125$ olduğunda bulunur. Bu yöntemi kullanan örnek için yöntemi öneren Duong'un bir tasarımı incelenmiştir. Şekil 2.17'de kontrol işareti üretici görülmektedir. $k = 0.12$ seçilerek tasarlanmıştır [45].



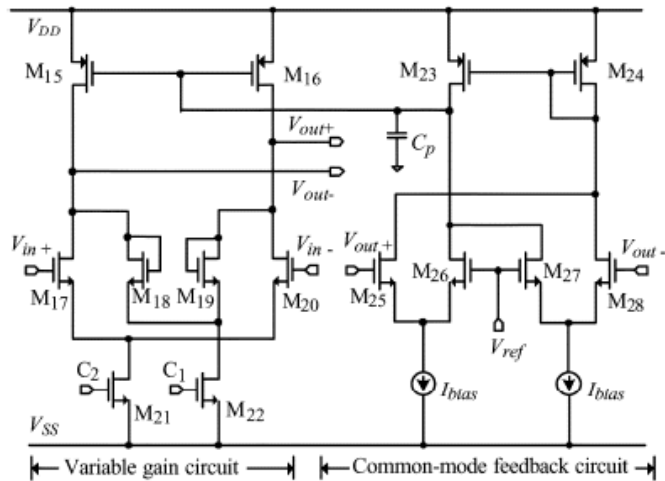
Şekil 2.17: Sözde Taylor serisi ifadesi ile tasarlanmış kontrol yapısı.

$K_p = K_n = K$, $V_{DD} = -V_{SS}$, $V_{THn} = |V_{THp}| = V_{TH}$ olacak şekilde seçilirse;

$$\frac{I_{C2}}{I_{C1}} = \frac{\frac{I_0}{K(V_{DD}-|V_{TH}|)^2} + \left[1 + \frac{V_C}{(V_{DD}-|V_{TH}|)}\right]^2}{\frac{I_0}{K(V_{DD}-|V_{TH}|)^2} + \left[1 - \frac{V_C}{(V_{DD}-|V_{TH}|)}\right]^2} \quad (2.16)$$

ile sağlanan akım oranı $k = I_0/K(V_{DD} - |V_{TH}|)^2$, $a = I_0/(V_{DD} - |V_{TH}|)$ ve $x = V_C$ biçiminde düzenlendiğinde (2.14) haline gelmektedir [43].

Şekil 2.18’de devrenin kuvvetlendirici kısmı görülmektedir. Devre akım yönlendirmeli yapıyı kullanmaktadır.



Şekil 2.18: Sözde Taylor serisi ifadesi ile tasarlanmış devre.

Üretilen akımların CMOS iletkenlik elemanlarına uygulanmasıyla elde edilecek gerilimler farksal çiftin kutuplama akımlarını belirleyerek çıkışta (2.17)’daki kazanç

ifadesiyle ayarlanmış işareti vermektedir.

$$A_V = \frac{g_{mgir}}{g_{my}} = \sqrt{\frac{(W/L)_{gir} I_{C2}}{(W/L)_{yuk} I_{C1}}} \quad (2.17)$$

Sözde Taylor serisi ifadesi ile gerçekleştirilmiş devrelerin başlıcaları Çizelge 2.6'da karşılaştırılmaktadır.

Çizelge 2.6: Sözde Taylor serisi ifadesi ile kontrol edilen tasarımların karşılaştırılması.

Kaynak	Kontrol Yapısı	Kullanılan Teknoloji	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
[44]	Akım Yön.	0.18 μm	84	40	6.48	2005
[45]	Akım Yön.	0.6 μm	95	32	6.5	2006
[47]	Akım Yön.	0.18 μm	48	3	0.55	2011

3. ÜSTEL FONKSİYON İÇİN YENİ BİR YAKLAŞIMLA KAZANCI AYARLANABİLİR KUVVETLENDİRİCİ TASARIMI

Bu bölümde yeni bir üstel fonksiyona yaklaşım yöntemi önerilmiş, bu yöntemi gerçekleyen yeni bir kontrol yapısı İ.T.Ü. VLSI Laboratuvarının sağladığı imkanlarla CMOS TSMC 0.18 μ m standardında Cadence Spectre araçlarıyla serimi çizilerek benzetimi yapılmıştır. Elde edilen sonuçlar literatürdeki çalışmalarla karşılaştırılmıştır.

3.1 Önerilen Üstel Fonksiyona Yaklaşım Yöntemi

Önceki bölümlerde bahsedildiği gibi CMOS teknolojisinde kuvvetli evirtim bölgesinde çalışan transistörlerle kazancı ayarlanabilir kuvvetlendirici tasarımı için üstel fonksiyona yaklaşım yöntemlerinin kullanılması gerekmektedir. Bu yöntemlerin en önemli eksiklerinden biri yüksek frekansta çalışamamaları veya kazanç aralıklarının bu frekanslarda düşmesidir. Önerilen yöntem ve kontrol yapısı ile bu soruna çözüm aranmaya çalışılmıştır.

Üstel bir fonksiyon logaritmik olarak doğrusal bir grafik çizer. Buradan hareketle yaklaşım yöntemlerinin geçerliliğinde birincil şart logaritmik kazanç artışının doğrusal olmasıdır denilebilir. Bu doğrusallığın sağlanması için $e^{f(x)}$ ifadesinde $f(x) = ax + b$ biçiminde olmalıdır.

$$e^{-2x} \cong \left(\frac{1-x}{1+x} \right) \quad (3.1)$$

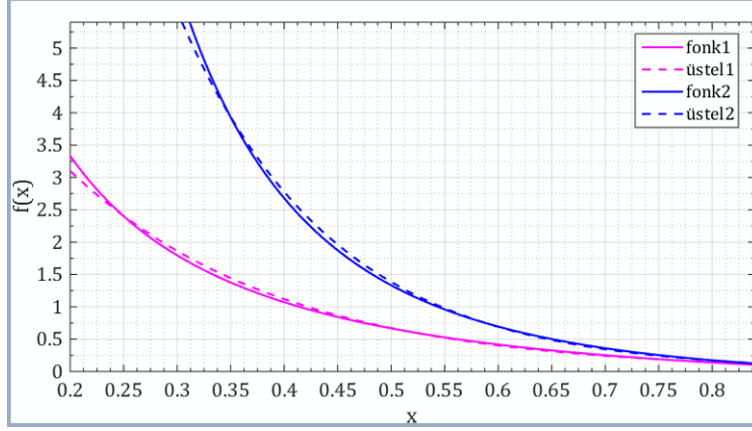
$e^{(ax+b)}$ fonksiyonu $a = -2$ ve $b = 0$ olmak üzere sözde üstel ifade yöntemi ile (3.1) şeklinde ifade edilir. Bu ifade $1/x$ terimi ile genişletildiğinde elde edilen (3.2) fonksiyonu $a \cong -5.1$ ve $b \cong 2.2$ olmak üzere $e^{(ax+b)}$ ifadesine yakınsamaktadır.

$$e^{(-5.1x+2.2)} \cong \frac{1}{x} \left(\frac{1-x}{1+x} \right) \quad (3.2)$$

(3.1) ifadesi $1/x^2$ terimi ile genişletildiğinde ise $a \cong -7$ ve $b \cong 3.8$ olacak şekilde üstel fonksiyona yakınsamaktadır.

$$e^{(-7x+3.8)} \cong \frac{1}{x^2} \left(\frac{1-x}{1+x} \right) \quad (3.3)$$

Bulunan bu yaklaşım ifadeleri, yakınsadıkları üstel fonksiyonlarla birlikte MATLAB programı yardımıyla hesaplanarak Şekil 3.1’de grafiğe aktarılmıştır.



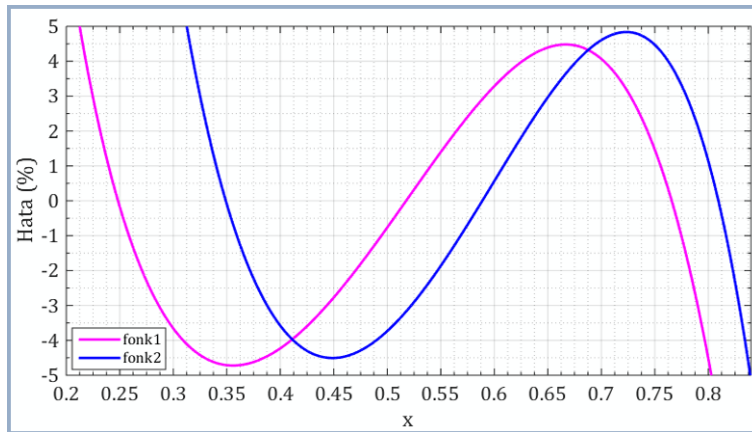
Şekil 3.1: Önerilen ifadelerin ve ilgili üstel ifadelerin grafikleri.

Yaklaşıklık fonksiyonları için doğrusallık hatası $\% \pm 0.5$ sınırı yaklaşıklık için yeterli kabul edilmektedir [33, 37, 39]. Bu doğrusallık hatası toplamda 1 dB kazanç hatasına veya üstel ifadeye göre $\% \pm 5$ hata bölgesine karşılık düşer. önerilen ifadelerin ilgili üstel fonksiyonlara göre hata fonksiyonları (3.3) ve (3.4) eşitliklerindeki gibidir.

$$Hata = \left[\left(\frac{1}{x} \left[\frac{1-x}{1+x} \right] \right) - e^{(-5.1x+2.2)} \right] / e^{(-5.1x+2.2)} \quad (3.4)$$

$$Hata = \left[\left(\frac{1}{x^2} \left[\frac{1-x}{1+x} \right] \right) - e^{(-7x+3.8)} \right] / e^{(-7x+3.8)} \quad (3.5)$$

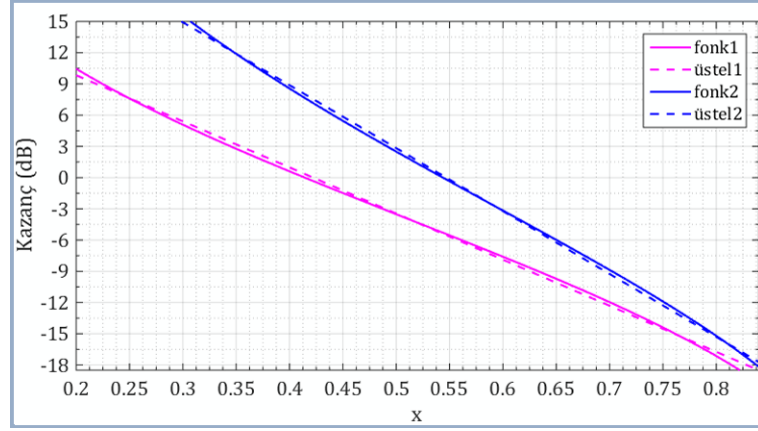
Bu fonksiyonlar, MATLAB ile hesaplanıp Şekil 3.2’de grafiğe aktarılmıştır.



Şekil 3.2: Önerilen ifadelerin, ilgili üstel ifadelerle göre hata fonksiyonları.

Görüldüğü üzere $1/x$ terimli yaklaşım ifadesi $x = [0.21, 0.8]$ aralığında kabul edilebilir bölgede, $1/x^2$ terimli ifade ise $x = [0.31, 0.84]$ giriş aralığında kabul edilebilir yaklaşıklık bölgesindedir. Dolayısıyla giriş aralıkları, Taylor serisi açılımı ve sözde

üstel ifade yöntemlerine göre genişletilmiştir. Kabul edilebilir bölgeye karşılık düşen kazanç grafikleri MATLAB ortamında hesaplanarak Şekil 3.3'te gösterilmiştir.

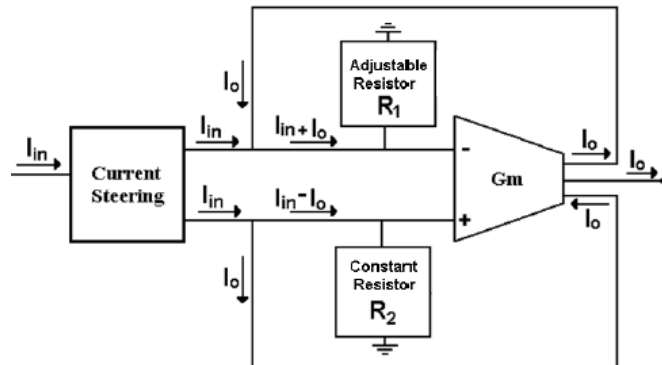


Şekil 3.3: Önerilen ifadelerin ve ilgili üstel ifadelerin kazanç grafikleri.

Kazancın dinamik aralığı ise $1/x$ terimli yaklaşım ifadesi için yaklaşık 27 dB, $1/x^2$ terimli yaklaşım ifadesi için yaklaşık 32.7 dB olmaktadır.

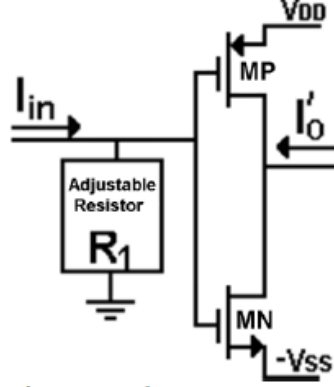
3.2 Önerilen Yöntemin Devre Uygulaması

Önerilen yöntem iki terimin kombinasyonu şeklinde düşünülebilir. İlk terim kazanç etkisi, ikinci terim ise zayıflatıcı davranışı sergiler. Dolayısıyla iki terim ayrı olarak gerçekleştirilebilir. Akım modlu bir kontrol yapısı için zayıflatıcı terim yeniden düzenlenirse I_o çıkış akımı, I_{in} giriş akımı olmak üzere $I_o = I_{in} [(1-x)/(1+x)]$ şeklinde olur. Şekil 3.4'te tasarlanan devre için bu terimin blok şeması görülmektedir.



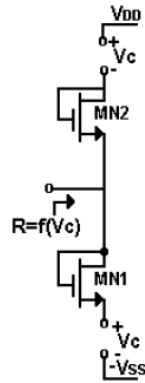
Şekil 3.4: Zayıflatıcı terimin blok şeması.

Devre $G_m(R_1 + R_2) \gg 1$ şartı altında $x = R_2/R_1$ olacak şekilde $\frac{I_o}{I_{in}} \cong -\left(\frac{1-x}{1+x}\right)$ ifadesini sağlar. Kazanç terimi ise $1/x$ veya $1/x^2$ biçiminde olduğundan $1/x$ ifadesi Şekil 3.5'teki gibi bir akım - gerilim dönüştürücü ile gerçekleştirilebilir.



Şekil 3.5: Kazanç teriminin gerçekleştirilmesi.

Burada x değişkenini V_c gerilimiyle kontrol eden ayarlanabilir direnç R_1 için doymalı bölgedeki transistörlerle çalışan bir blok kullanılmıştır. R_2 ise $V_c = 0$ değerinde elde edilen dirençtir. Şekil 3.6'de ayarlanabilir direnç yapısı görülmektedir.



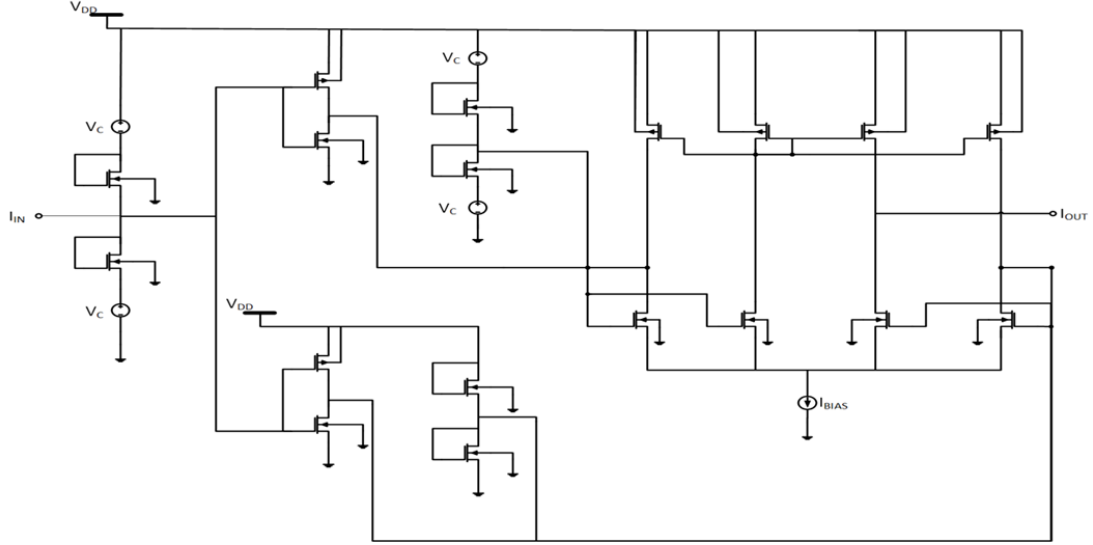
Şekil 3.6: Ayarlanabilir direnç.

Bu bloklar kullanılarak, $1/x$ ve $1/x^2$ kazanç terimleri olmak üzere iki farklı devre elde edilmiştir. Devrelerde kullanılan transistörlerin boyutları Çizelge 3.1'de verilmiştir.

Çizelge 3.1: Tasarımlarda kullanılan transistör boyutları.

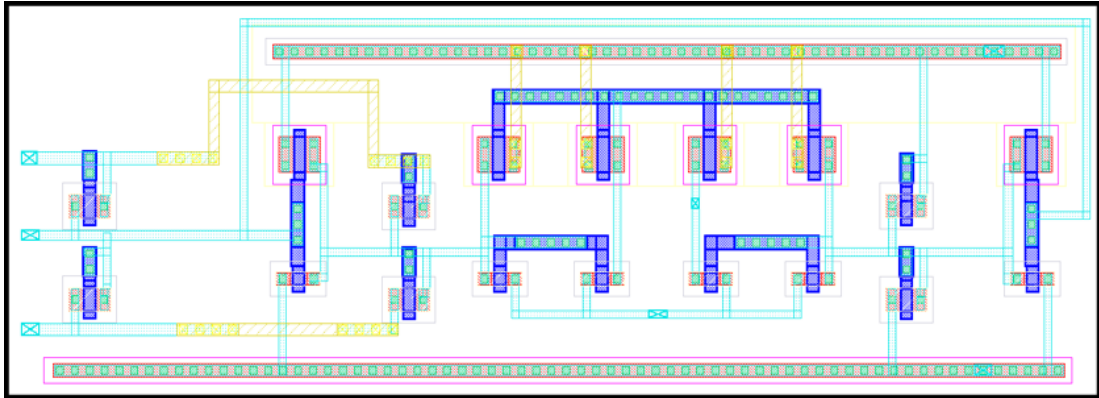
Transistörler	W [μm]	L [μm]
Ayarl. direnç	0.72	0.36
Kazanç PMOS	1.08	0.36
Kazanç NMOS	0.36	0.36
OTA - PMOS	1.08	0.36
OTA - NMOS	0.36	0.36

$1/x$ terimli devrenin şematik çizimi Şekil 3.7’de görülmektedir. Devrede geçiş iletkenliği kuvvetlendiricisi için kutuplama akımı $200 \mu A$, $V_{DD} = 1.8V$ ve $V_{SS} = 0V$ seçilerek tasarlanmıştır.



Şekil 3.7: $1/x$ terimli devre.

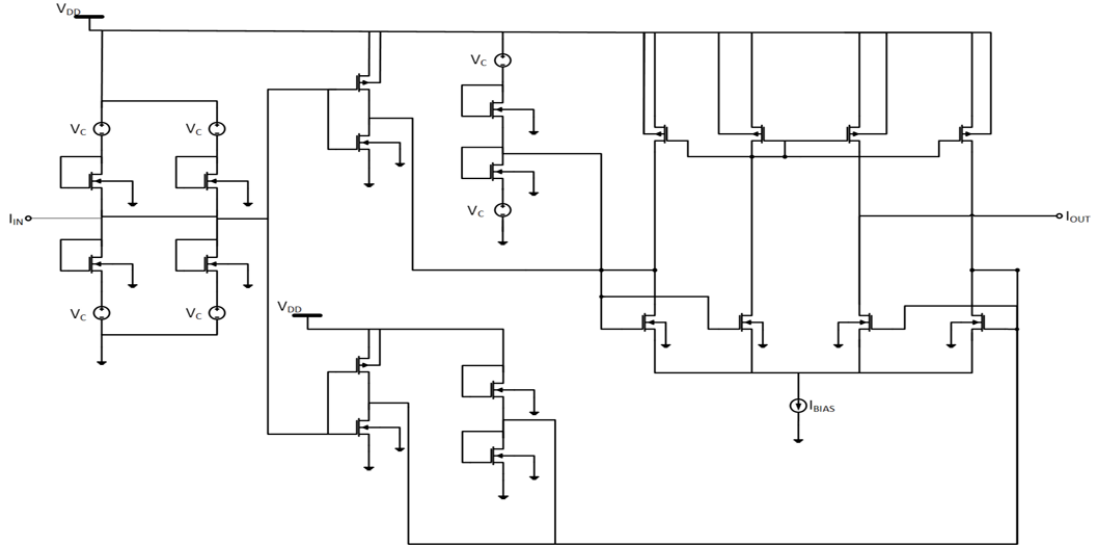
Şekildeki devre Cadence araçlarıyla serime aktarılmıştır. Elde edilen serim çıktısı Şekil 3.8’de verilmiştir.



Şekil 3.8: $1/x$ terimli devrenin serim çizimi.

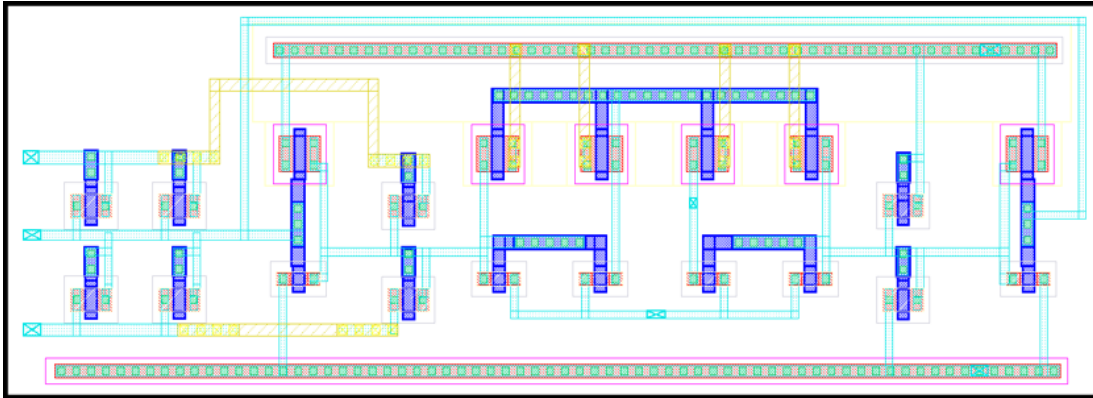
Ayarlanabilir direnç yapısının iki kere arka arkaya kullanılmasıyla oluşturulan $1/x^2$ terimli devrenin şematik çizimi Şekil 3.9’da görülmektedir. Devrede tüm bloklardaki transistör boyutları yine Çizelge 3.1’de verilen boyutlardır.

Devrede geçiş iletkenliği kuvvetlendiricisi için kutuplama akımı $120 \mu A$, $V_{DD} = 1.8V$ ve $V_{SS} = 0V$ seçilerek tasarlanmıştır.



Şekil 3.9: $1/x^2$ terimli devre.

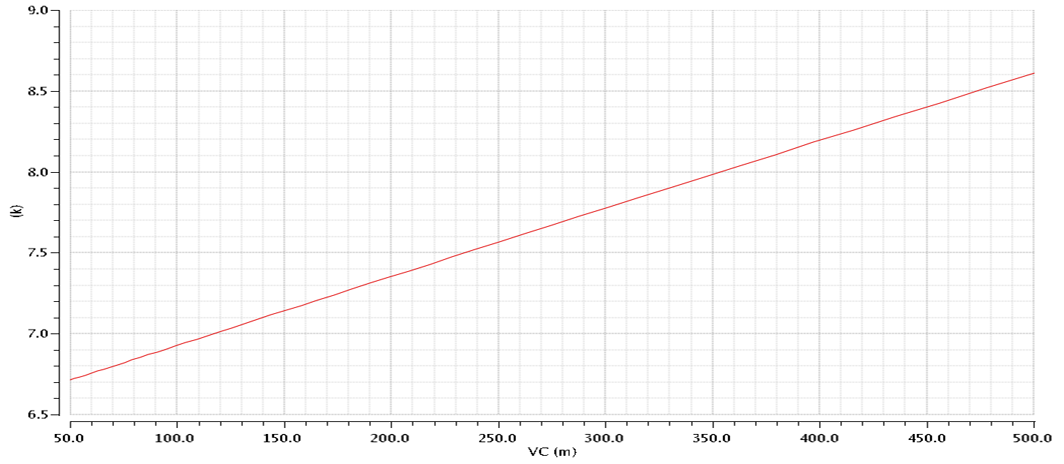
Şekildeki devre Cadence araçlarıyla serime aktarılmıştır. Elde edilen serim çıktısı Şekil 3.10'da verilmiştir.



Şekil 3.10: $1/x^2$ terimli devrenin serim çizimi.

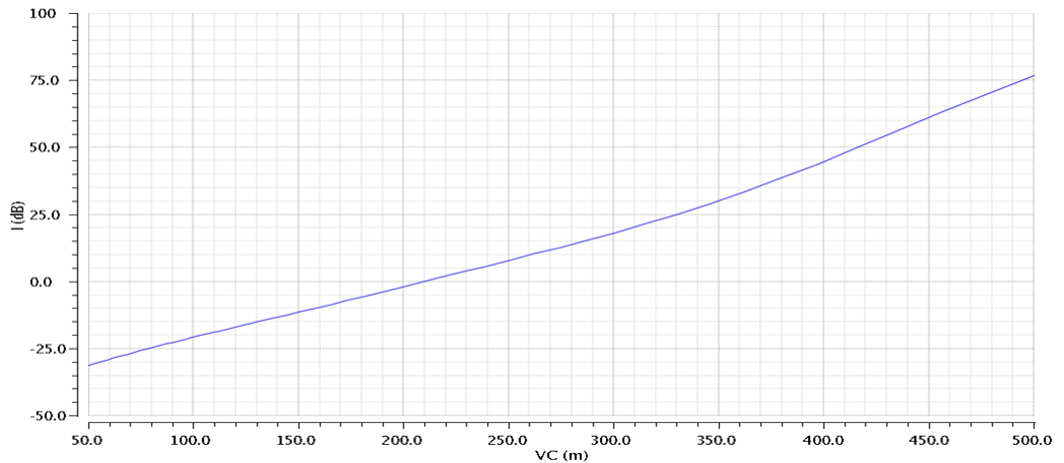
3.3 Tasarlanan Devrelerin Benzetimi

Devrenin benzetimi için ilk önce x değişkenini belirleyen ayarlanabilir direnç yapısının doğru akım karakteristiği çıkarılmıştır. Şekil 3.11’de görülen sonuç grafiğindeki doğrusal karakteristik elde edilmiştir. Devrenin çalışma aralığında toplamda $2k\Omega$ değerinde bir değişim gözlenmiştir. Bu değer giriş akımıyla gerilime dönüştürülüp kuvvetlendiricinin girişinde yeterli gerilim farkı oluşturmak için uygundur.



Şekil 3.11: Ayarlanabilir direncin benzetim sonucu.

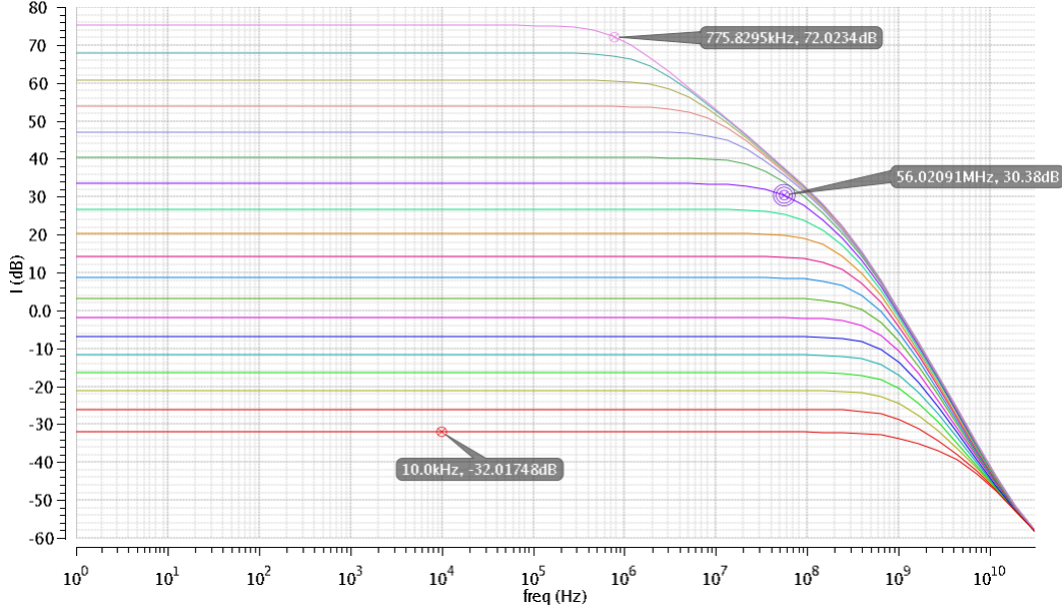
Sonrasında $1/x$ terimli yaklaşım ifadesini gerçekleyen devrenin dinamik aralığının V_c gerilimine göre doğrusallığı frekans 10 kHz’de sabit tutularak analiz edilmiştir. Şekil 3.12’de analiz sonucu görülmektedir.



Şekil 3.12: $1/x$ terimli ifadenin dinamik aralığı.

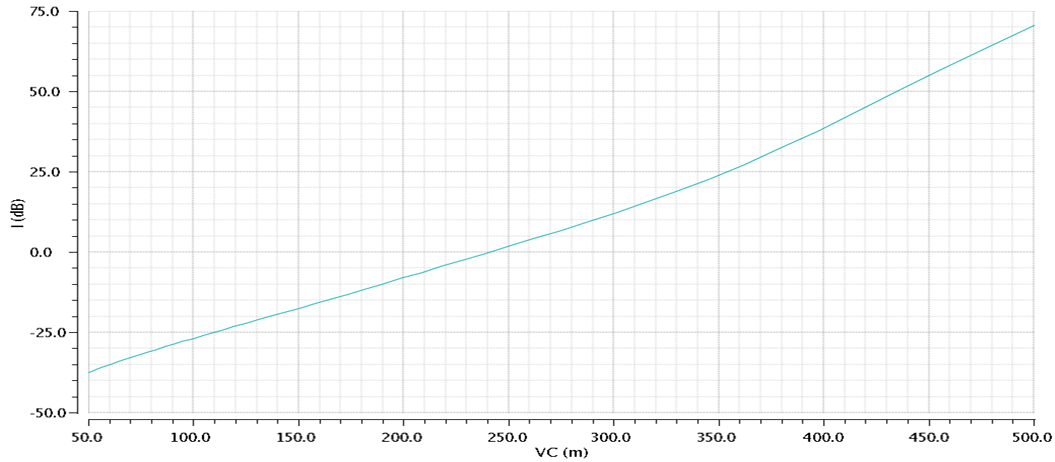
Bu analizin sonucunda belirlenen aralıkta alternatif işaret analizi yapılmıştır. Devrenin maksimum dinamik aralığı 107.2 dB civarında çıkmaktadır. Bu aralıkta bant

genişliği yaklaşık 0.78 MHz bulunmuştur. Ancak geçiş iletkenliği kuvvetlendiricisinin kazanç-bant genişliği çarpımından dolayı dinamik aralık genişledikçe bant genişliğini daralmaktadır. Bu sebeple giriş aralığı daraltılarak 65.4 dB kazanç aralığı elde edilmiştir. Bu aralık için bant genişliği 56 MHz bulunmuştur. Ölçüm sonuçları Şekil 3.13'te verilmiştir.



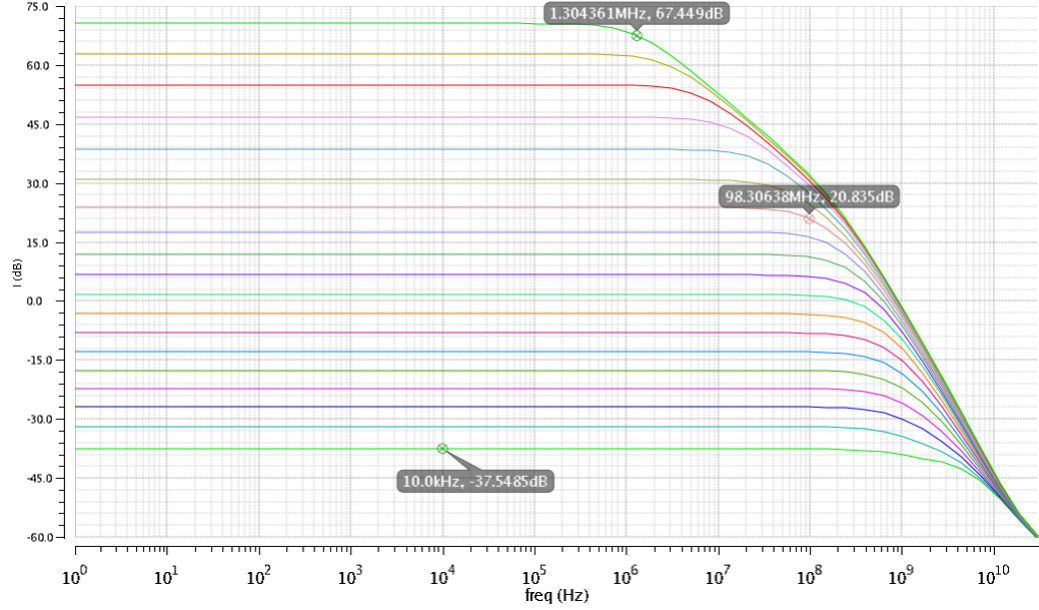
Şekil 3.13: $1/x$ terimli ifadenin alternatif işaret analizi.

Önerilen diğer yöntem kullanılarak benzetime devam edilmiştir. $1/x^2$ terimli yaklaşım ifadesini gerçekleyen devrenin dinamik aralığının V_c gerilimine göre doğrusallığı frekans 10 kHz'de sabit tutularak analiz edilmiştir. Şekil 3.14'te analiz sonucu görülmektedir.



Şekil 3.14: $1/x^2$ terimli ifadenin dinamik aralığı.

Devrenin maksimum dinamik aralığı yine 108 dB civarında çıkmaktadır. Bu aralıkta bant genişliği yaklaşık 1.3 MHz bulunmuştur. Ancak geçiş iletkenliği kuvvetlendiricisinin kazanç-bant genişliği çarpımından dolayı dinamik aralık genişledikçe bant genişliğini daralmaktadır. Bu sebeple giriş aralığı daraltılarak 61.4 dB kazanç aralığı elde edilmiştir. Bu aralık için bant genişliği 98.3 MHz bulunmuştur. Ölçüm sonuçları Şekil 3.15'te verilmiştir.



Şekil 3.15: $1/x^2$ terimli ifadenin alternatif işaret analizi.

4. SONUÇLAR VE ÖNERİLER

4.1 Sonuçlar

Bu tez çalışmasında, kazancı ayarlanabilir kuvvetlendiriciler ve kontrol yapıları incelendikten sonra yöntemlerine göre sınıflandırılmıştır.

Üstel fonksiyona yeni bir yaklaşım getirilerek kazancı ayarlanabilir kuvvetlendirici önerilmiştir. Bu yöntemi gerçeklemek için akım farkı alan mekanizmaya sahip iki farklı kazancı ayarlanabilir kuvvetlendirici tasarlanmıştır. Benzetim sonuçlarından hareketle, bu tasarımların literatürdeki yaklaşım yöntemleri ile tasarlanan önceki tasarımlara kıyasla geniş dinamik aralığa sahip olduğu ve yüksek frekansta çalıştığı görülmüştür.

Çizelge 4.1’de tasarlanan devrelerin geniş dinamik aralığa sahip giriş aralığında, diğer yaklaşım yöntemi kullanan tasarımlarla karşılaştırılması görülmektedir.

Çizelge 4.1: Tasarlanan devrelerin geniş dinamik aralıkta karşılaştırılması.

Devre	Kontrol Yapısı	Kullanılan Teknoloji	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
$1/x^2$ terimli	-	$0.18\mu m$	108	1.3	0.43	
$1/x$ terimli	-	$0.18\mu m$	107.2	0.78	0.54	
[45]	Akım Yön.	$0.6\mu m$	95	32	6.5	2006
[44]	Akım Yön.	$0.18\mu m$	84	40	6.48	2005
[33]	Akım Yön.	$0.6\mu m$	73	20	23.3	2000
[47]	Akım Yön.	$0.18\mu m$	48	3	0.55	2011
[36]	Akım Yön.	$0.18\mu m$	32.3	22	10.8	2003
[27]	Kaynak Dej.	$0.35\mu m$	20	10.9	0.9	2006
[28]	Akım Yön.	$0.35\mu m$	20	2.9	30	2009
[32]	Akım Yön.	$0.5\mu m$	15	150	12.5	1998
[38]	Akım Yön.	$0.18\mu m$	12	36	0.48	2004

Çizelge 4.2’de ise tasarlanan devrelerin geniş bant genişliğine sahip giriş aralığında, diğer yaklaşım yöntemi kullanan tasarımlarla karşılaştırılması görülmektedir.

Çizelge 4.2: Tasarlanan devrelerin geniş bant genişliğinde karşılaştırılması.

Devre	Kontrol Yapısı	Kullanılan Teknoloji	Din. Ara. (dB)	Bant Gen. (MHz)	Güç Tük. (mW)	Yayın Tarihi
[32]	Akım Yön.	$0.5\mu m$	15	150	12.5	1998
$1/x^2$ terimli	-	$0.18\mu m$	61.4	98.3	0.43	
$1/x$ terimli	-	$0.18\mu m$	65.4	56	0.54	
[44]	Akım Yön.	$0.18\mu m$	84	40	6.48	2005
[38]	Akım Yön.	$0.18\mu m$	12	36	0.48	2004
[45]	Akım Yön.	$0.6\mu m$	95	32	6.5	2006
[36]	Akım Yön.	$0.18\mu m$	32.3	22	10.8	2003
[33]	Akım Yön.	$0.6\mu m$	73	20	23.3	2000
[27]	Kaynak Dej.	$0.35\mu m$	20	10.9	0.9	2006
[47]	Akım Yön.	$0.18\mu m$	48	3	0.55	2011
[28]	Akım Yön.	$0.35\mu m$	20	2.9	30	2009

4.2 Öneriler

Bu çalışma üzerine gelecek çalışmalarda kazanç kompanzasyonu ve yöntemin katsayılarının düzenlenmesi öncelikli olmalıdır. Elde edilen sonuçlar yeni yöntemin literatürde önemli bir yer alacağı düşünülmektedir.

KAYNAKLAR

- [1] **Tuite, D.**, (2008). Variable Gain Amplifiers Design FAQs, Analog Devices, <http://www.analog.com>.
- [2] **Gilbert, B.** (1968). A new wide-band amplifier technique, *IEEE Journal of Solid-State Circuits*, **3**(4).
- [3] **Bénéteau, E., Cherry, E. ve Hooper, D.** (1963). The design of wide-band transistor feedback amplifiers, *Proceedings of the Institution of Electrical Engineers*, **110**(9), 1617.
- [4] **Davis, W. ve Solomon, J.** (1968). A high-performance monolithic IF amplifier incorporating electronic gain control, *IEEE Journal of Solid-State Circuits*, **3**(4).
- [5] **Gilbert, B.** (2007). A Precise Four-Quadrant Multiplier with Subnanosecond Response, *IEEE Solid-State Circuits Newsletter*, **12**(4).
- [6] **Sansen, W. ve Meyer, R.** (1974). An integrated wide-band variable-gain amplifier with maximum dynamic range, *IEEE Journal of Solid-State Circuits*, **9**(4).
- [7] **Sahota, G.S. ve Persico, C.J.** (1997). High dynamic range variable-gain amplifier for CDMA wireless applications, *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, cilt 40, s.374–375.
- [8] **van Lieshout, P. ve van de Plassche, R.** (1997). A power-efficient, low-distortion variable gain amplifier consisting of coupled differential pairs, *Solid-State Circuits, IEEE Journal of*, **32**(12), 2105–2110.
- [9] **Coffing, D., Main, E. ve Randol, M.** (2001). A variable gain amplifier with 50 dB control range for 900 MHz applications, *Proceedings of the 2001 BIPOLAR/BiCMOS Circuits and Technology Meeting (Cat. No.01CH37212)*.
- [10] **Nah, K.S. ve Park, B.H.** (2001). A 50-MHz 98-dB dynamic-range dB-linear programmable-gain amplifier with 2-dB gain steps for 3-V power supply, *2001 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.01CH37185)*, **11**(2), 218–223.
- [11] **Beck, S., Hwang, M.W., hoon Lee, S., Cho, G.H. ve Lee, J.R.** (2003). A precise temperature-insensitive and linear-in-dB variable gain amplifier, *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, cilt 1, s.285–288.

- [12] **Aggarwal, S., Khosrowbeygi, A. ve Daanen, A.** (2003). A single-stage variable-gain amplifier with 70-dB dynamic range for CDMA2000 transmit applications, *Solid-State Circuits, IEEE Journal of*, **38**(6), 911–917.
- [13] **Carrara, F. ve Palmisano, G.** (2005). High-dynamic-range VGA with temperature compensation and linear-in-dB gain control, *IEEE Journal of Solid-State Circuits*, **40**(10), 2019–2024.
- [14] **Pan, T.W. ve Abidi, A.** (1989). A 50 dB variable gain amplifier using parasitic bipolar transistors in CMOS, *Solid-State Circuits, IEEE Journal of*, **24**(4), 951–961.
- [15] **Gomez, R. ve Abidi, A.** (1992). A 50-MHz CMOS variable gain amplifier for magnetic data storage systems, *IEEE Journal of Solid-State Circuits*, **27**(6).
- [16] **Watanabe, O., Otaka, S., Ashida, M. ve Itakura, T.** (2002). A 380-MHz CMOS linear-in-dB signal-summing variable gain amplifier with gain compensation techniques for CDMA systems, *2002 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.02CH37302)*, **3**, 136–139.
- [17] **Duong, Q.H., Kim, C.W. ve Lee, S.G.** (2005). An 83dB Low-Power High-Linearity Variable Gain Amplifier, *2005 IEEE Custom Integrated Circuits Conference*, s.211–214.
- [18] **Fu, C.T. ve Luong, H.** (2007). A CMOS linear-in-dB high-linearity variable-gain amplifier for UWB receivers, *2007 IEEE Asian Solid-State Circuits Conference, A-SSCC*, 103–106.
- [19] **Yamaji, T., Kanou, N. ve Itakura, T.** (2002). A temperature-stable CMOS variable-gain amplifier with 80-dB linearly controlled gain range, *Solid-State Circuits, IEEE Journal of*, **37**(5), 553–558.
- [20] **Kalenteridis, V., Vlassis, S. ve Siskos, S.** (2012). 1.5-V CMOS exponential current generator, *Analog Integrated Circuits and Signal Processing*, **72**(2), 333–341.
- [21] **Kao, C.H., Lin, W.P. ve Hsieh, C.S.** (2005). Low-voltage low-power current mode exponential circuit, *Circuits, Devices and Systems, IEE Proceedings*, **152**(6), 633–635.
- [22] **Hadidi, K., Jenabi, M., Sobhi, J. ve Hasankhaan, A.** (1998). A 300 MHz 18 dB variable gain amplifier, *1998 IEEE International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology (Cat. No.98EX196)*, **3**, 373–375.
- [23] **Lin, C.H., Pimenta, T. ve Ismail, M.** (1998). Universal exponential function implementation using highly-linear CMOS V-I converters for dB-linear (AGC) applications, *1998 Midwest Symposium on Circuits and Systems (Cat. No. 98CB36268)*, 1–4.

- [24] **Chang, C.C., Lin, M.L. ve Liu, S.I.** (2001). CMOS current-mode exponential-control variable-gain amplifier, *Electronics Letters*, **37**(14), 868.
- [25] **Kwon, J.K., Kim, K.D., Song, W. ve Cho, G.H.** (2003). Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications, *Electronics Letters*, **39**(10), 759–760.
- [26] **Arthansiri, T. ve Kasemsuwan, V.** (2006). Current-mode pseudo-exponential control variable gain amplifier using fourth-order Taylor's series approximation, *Electronics Letters*, **42**(7), 379.
- [27] **Naktongkul, P. ve Thanachayanont, A.** (2006). 1.5-V 900- μ W 40-dB CMOS variable gain amplifier, *2006 IEEE International Symposium on Circuits and Systems*.
- [28] **Zheng, Y., Yan, J. ve Xu, Y.P.** (2009). A CMOS VGA With DC Offset Cancellation for Direct-Conversion Receivers, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, **56**(1), 103–113.
- [29] **Arthansiri, T., Kasemsuwan, V. ve Ahn, H.K.** (2005). A ± 1.5 V high frequency four quadrant current multiplier, *Proceedings - IEEE International Symposium on Circuits and Systems, Ccii*, 1016–1019.
- [30] **Khumsat, P., Sakphrom, S. ve Thanachayanont, A.** (2007). A class-AB CMOS variable gain amplifier for low-voltage applications, *2007 International Symposium on Integrated Circuits, ISIC*, 49–52.
- [31] **Harjani, R.** (1995). Low-power CMOS VGA for 50 Mb/s disk drive read channels, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, **42**(6), 370–376.
- [32] **Huang, P.C.H.P.C., Chiou, L.Y.C.L.Y. ve Wang, C.K.W.C.K.** (1998). A 3.3-V CMOS wideband exponential control variable-gain-amplifier, *ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Circuits and Systems (Cat. No.98CH36187)*, **1**, 285–288.
- [33] **Mangelsdorf, C.** (2000). A variable gain CMOS amplifier with exponential gain control, *2000 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.00CH37103)*, 2–5.
- [34] **Green, M. ve Joshi, S.** (2000). A 1.5 V CMOS VGA based on pseudo-differential structures, *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings (IEEE Cat No.00CH36353)*, **4**(3), 461–464.
- [35] **Abdelfattah, K.M. ve Soliman, A.M.** (2002). A new approach to realize variable gain amplifiers, *Analog Integrated Circuits and Signal Processing*, **30**(3), 257–263.

- [36] Saito, R., Hosoda, K., Hyogo, A., Maruyama, T., Komuraki, H., Sato, H. ve Sekzne, K. (2003). A 1.8-V 73-dB dynamic-range CMOS variable gain amplifier, *European Solid-State Circuits Conference*, 301–304.
- [37] Liu, W. ve Liu, S.I. (2003). CMOS exponential function generator, *Electronics Letters*, **39**(1), 1.
- [38] Liu, W., Liu, S.I. ve Wei, S.K. (2004). CMOS exponential-control variable gain amplifiers, *IEE Proceedings - Circuits, Devices and Systems*, **151**(2), 83.
- [39] Duong, Q.H., Nguyen, T.K. ve Lee, S.G. (2004). Ultra low-voltage low-power exponential voltage-mode circuit with tunable output range, *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, cilt 2, s.19–22.
- [40] Liu, W., Liu, S.I. ve Wei, S.K. (2005). CMOS current-mode divider and its applications, *IEEE Transactions on Circuits and Systems II: Express Briefs*, **52**(3), 145–148.
- [41] De La Cruz-Blas, C. ve Lopez-Martin, A. (2007). A ± 0.75 -V compact CMOS Class-AB current-mode exponential variable gain amplifier, *IEEE Transactions on Circuits and Systems II: Express Briefs*, **54**(12), 1042–1046.
- [42] Lu, Z., Ma, K. ve Yeo, K.s. (2014). A 1.2-GHz bandwidth variable gain amplifier with continuous dB-linear control in 65nm CMOS, *2014 XXXIth URSI General Assembly and Scientific Symposium (URSI GASS)*, s.1–4.
- [43] Duong, Q.H., Nguyen, T. ve Lee, S.G. (2004). CMOS exponential current-to-voltage circuit based on newly proposed approximation method, *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, cilt 2, s.II–865–8 Vol.2.
- [44] Duong, Q.H., Le-Quan ve Lee, S.G. (2005). An all CMOS 84dB-linear low-power variable gain amplifier, *IEEE Symposium on VLSI Circuits, Digest of Technical Papers*, **2005**(3), 114–117.
- [45] Duong, Q.H., Le, Q., Kim, C.W. ve Lee, S.G. (2006). A 95-dB linear low-power variable gain amplifier, *IEEE Transactions on Circuits and Systems I: Regular Papers*, **53**(8), 1648–1657.
- [46] Yang, S.H. ve Wang, C.C. (2011). A 48-dB dynamic gain range/stage linear-in-dB low power Variable Gain Amplifier for direct-conversion receivers, *2011 International SoC Design Conference*, 182–1–182–4.
- [47] Lei, Q., Chen, Z., Shi, Y. ve Xu, Q. (2008). A low-power CMOS VGA with 60-dB linearly controlled gain range for GPS application, *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, s.1669–1672.

- [48] **AL-Tamimi, K.M., AL-Absi, M.a. ve Abuelma'atti, M.T.** (2014). Temperature insensitive current-mode CMOS exponential function generator and its application in variable gain amplifier, *Microelectronics Journal*, **45**(3), 345–354.
- [49] **Calvo, B., Celma, S. ve Sanz, M.** (2003). High-frequency digitally programmable gain amplifier, *Electronics Letters*, **39**(15), 1095–1096.
- [50] **Jianhong, X., Mehr, I. ve Silva-Martinez, J.** (2007). A high dynamic range CMOS variable gain amplifier for mobile DTV tuner, *IEEE Journal of Solid-State Circuits*, **42**(2), 292–301.
- [51] **Lee, H.D., Lee, K.A. ve Hong, S.** (2007). A wideband CMOS variable gain amplifier with an exponential gain control, *IEEE Transactions on Microwave Theory and Techniques*, **55**(6), 1363–1373.
- [52] **Yun, T.H., Yin, L., Huang, C., Wu, J.H. ve Shi, L.X.** (2007). A low-distortion CMOS if VGA with linear-in-dB control and temperature compensation, *Analog Integrated Circuits and Signal Processing*, **50**(3), 185–194.

ÖZGEÇMİŞ

Ad Soyad: Muhammet Sait ALTUNER

Doğum Yeri ve Tarihi: Erzurum / 16.07.1988

Adres: İ.T.Ü. Ayazağa Kampüsü Elektrik-Elektronik Fakültesi Oda: 3106
Sarıyer/İSTANBUL

E-Posta: msaltuner@itu.edu.tr

Lisans: Elektronik ve Haberleşme Mühendisliği, Yıldız Teknik Üniversitesi

