

**T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**DÜŞÜK GÜÇLÜ MOS TASARIM YÖNTEMLERİNİN
İNCELENMESİ VE BAZI ÜNİVERSAL AKTİF
ELEMANLARA UYGULANMASI**

**Hazırlayan
Pelin DOĞAN SEKRETER**

**Danışman
Prof. Dr. Mustafa ALÇI
Dr. Öğr. Üyesi Atilla UYGUR**

Yüksek Lisans Tezi

**Haziran 2024
KAYSERİ**

**T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**DÜŞÜK GÜÇLÜ MOS TASARIM YÖNTEMLERİNİN
İNCELENMESİ VE BAZI ÜNİVERSAL AKTİF
ELEMANLARA UYGULANMASI
(Yüksek Lisans Tezi)**

**Hazırlayan
Pelin DOĞAN SEKRETER**

**Danışman
Prof. Dr. Mustafa ALÇI
Dr. Öğr. Üyesi Atilla UYGUR**

**Haziran 2024
KAYSERİ**

BİLİMSEL ETİĞE UYGUNLUK

Bu çalışmadaki tüm bilgilerin, akademik ve etik kurallara uygun bir şekilde elde edildiğini beyan ederim. Aynı zamanda bu kural ve davranışların gerektirdiği gibi, bu çalışmanın özünde olmayan tüm materyal ve sonuçları tam olarak aktardığımı ve referans gösterdiğimi belirtirim.

Pelin DOĞAN SEKRETER

İmza

“Düşük Güçlü MOS Tasarım Yöntemlerinin İncelenmesi ve Bazı Ünlversal Aktif Elemanlara Uygulanması” adlı Yüksek Lisans Tezi, Erciyes Üniversitesi Lisansüstü Tez Önerisi ve Tez Yazma Yönergesi’ ne uygun olarak hazırlanmıştır.

Hazırlayan

Pelin DOĞAN SEKRETER

Danışman

Prof. Dr. Mustafa ALÇI

İmza

Elektrik Elektronik Mühendisliği ABD Başkanı

Prof. Dr. ENİS GÜNAY

TEŞEKKÜR

Bana çalışmalarım süresince her türlü yardımı ve fedakârlığı sağlayan, bilgi birikimleriyle çalışmalarına yön veren ve konuya farklı açılardan bakmamı sağlayan sayın hocalarım Prof. Dr. Mustafa ALÇI ve Dr. Öğr. Üyesi Atilla UYGUR'a teşekkür ederim.

Tüm hayatım boyunca yanımda olan, maddi manevi desteklerini üzerimden esirgemeyen aileme ve eşime teşekkür ederim.

Pelin DOĞAN SEKRETER

Haziran, 2024, KAYSERİ

DÜŞÜK GÜÇLÜ MOS TASARIM YÖNTEMLERİNİN İNCELENMESİ VE BAZI ÜNİVERSAL AKTİF ELEMANLARA UYGULANMASI

Pelin DOĞAN SEKRETER

Erciyes Üniversitesi, Fen Bilimleri Enstitüsü

Yüksek Lisans Tezi, Haziran 2024

Danışman: Prof. Dr. Mustafa ALÇI, Dr. Öğr. Üyesi Atilla UYGUR

ÖZET

Son dönemlerde düşük güç ve düşük gerilimli sistemlerin giyilebilir biyomedikal ürünler, taşınabilir teknolojik ürünler gibi birçok alanda kullanılması üzerine daha düşük gerilimler ile çalışan devrelerin tasarlanması yaygınlaşmaktadır. Fakat besleme gerilimi transistör boyutlarının küçülmesi ile azalırken eşik gerilimi azalmamaktadır. Bu durum, düşük gerilimli sistemlerin analog devre tasarımında karşılaşılan temel zorluklardan biri olan eşik gerilimi sorununu ortaya çıkarmaktadır. Bu sorunun üstesinden gelmek için yeni yaklaşımlar önerilmektedir. Bu yeni yaklaşımlar ile tasarlanan sistem, devre ve eleman tabanlı çalışmalar, analog devre tasarımı araştırmalarında önemli bir yer tutmaktadır. Bu tez kapsamında bu yeni yaklaşımlar kullanılarak tasarlanan bazı universal aktif elemanlara yer verilmektedir. Yeni yaklaşımlardan dinamik eşik gerilimli MOS (DTMOS), yüzen geçit MOS (FGMOS), gövdeden sürülen MOS (BDMOS) transistörler düşük besleme gerilimlerinde çalışırken yüksek performans gösterebilen yöntemlerdir. Bu yöntemler, gerilim modlu universal aktif elemanlardan biri olan gerilim farkı alan geçiş iletkenliği kuvvetlendiricisi (VDTA) ve akım modlu universal aktif elemanlardan biri olan akım farkını alan geçiş iletkenliği kuvvetlendiricisi (CDTA) devrelerine uyarlanmakta ve sunulmaktadır. Tasarlanan devrelerin performansı, süzgeç devreleri ile gösterilmekte ve LTSPICE benzetim yapılarak sunulmaktadır. DTMOS, FGMOS, BDMOS yöntemlerinin düşük maliyetli üretim olanakları ve düşük güç tüketimi gibi avantajları, gelecekte analog devre tasarımında yapılacak çalışmalar için önemli bir potansiyel sunduğu gösterilmektedir.

Anahtar Kelimeler: Düşük Güç, Düşük Gerilim, DTMOS, FGMOS, BDMOS, CDTA, VDTA

INVESTIGATION OF LOW POWER MOS DESIGN METHODS AND APPLICATION TO SOME UNIVERSAL ACTIVE ELEMENTS

Pelin DOĞAN SEKRETER

**Erciyes Üniversitesi, Fen Bilimleri Enstitüsü
Yüksek Lisans Tezi, Haziran 2024**

Danışman: Prof. Dr. Mustafa ALÇI, Dr. Öğr. Üyesi Atilla UYGUR

ABSTRACT

Recently, as low power and low voltage systems are used in many areas such as wearable biomedical products and portable technological products, it has become common to design circuits that operate with lower voltages. However, as the supply voltage decreases as the transistor sizes decrease, the threshold voltage decreases. This situation arises the threshold voltage problem, which is one of the main difficulties in the analog circuit design of low voltage systems. New general information for the widespread use of this problem. System, circuit and element-based studies designed with these new approaches have an important place in analog circuit design research. In this thesis, some universal active elements designed using these new approaches are included. Among the new methods, dynamic equivalent voltage MOS (DTMOS), floating gate MOS (FGMOS), body-classified MOS (BDMOS) transistors are variations that can show high performance when operating at low supply voltages. These changes are presented by stimulating the voltage difference transconductance amplifier (VDTA), which is one of the voltage-mode universal active elements, and the current-difference transconductance amplifier (CDTA), which is one of the current-mode universal active elements. The performance of the designed circuits is demonstrated with simple crossover circuits and LTSPICE simulation features are presented. Parts of DTMOS, FGMOS, BDMOS methods such as low food production opportunities and low power consumption offer significant potential for future studies in analog circuit design.

Keywords: Low Power, Low Voltage, DTMOS, FGMOS, BDMOS, CDTA, VDTA

İÇİNDEKİLER

DÜŞÜK GÜÇLÜ MOS TASARIM YÖNTEMLERİNİN İNCELENMESİ VE BAZI ÜNİVERSAL AKTİF ELEMANLARA UYGULANMASI

YÖNERGEYE UYGUNLUK.....	iii
KABUL VE ONAY	iv
TEŞEKKÜR.....	v
ÖZET.....	vi
ABSTRACT.....	vii
İÇİNDEKİLER	viii
KISALTMALAR	xi
TABLolar LİSTESİ.....	xii
ŞEKİLLER LİSTESİ	xiii
GİRİŞ	1

1. BÖLÜM

GENEL BİLGİLER ve LİTERATÜR ÇALIŞMASI

1.1. Problem Durumu	1
1.2. Araştırmanın Amacı	1
1.3. Araştırmanın Önemi.....	1
1.4. Genel Bilgiler	4
1.4.1.Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemleri	4
1.4.1.1.Eşik Altı Bölgede Çalışan MOSFET	4
1.4.1.2.Gövdeden Sürülen MOS.....	6
1.4.1.3.Yüzen Geçit MOS.....	8
1.4.1.4.Sözde FGMOS	12
1.4.1.5.Dinamik Eşik Gerilimli MOS.....	13
1.4.1.6.Gövdeden Sürülen Yüzen Geçit MOS.....	15
1.4.1.7.Gövdeden Sürülen Sözde Yüzen Geçit MOS.....	17
1.4.2.Bazı Üniversal Aktif Elemanlar	19

1.4.2.1. Akım Farkını Alan Geçiş İletkenliği Kuvvetlendiricisi (CDTA) ..	19
1.4.2.2. Gerilim farkı alan geçiş iletkenliği kuvvetlendiricisi (VDTA)	20
1.4.2.3. Voltaj Farkını Alan Tamponlanmış Kuvvetlendirici (VDBA)	21
1.4.2.4. Akım Farkı Alan Tamponlanmış Kuvvetlendirici (CDBA)	22
1.5. Literatür Taraması	23

2. BÖLÜM

YÖNTEM VE MATERYAL

2.1. Yöntem	31
2.1.1. DTMOS Yöntemi	31
2.1.2. FGMOS Yöntemi	32
2.1.3. BDMOS Yöntemi	35
2.2. Materyal	36
2.2.1. VDTA Devresi	36
2.2.1.1. FCS (Yüzen Akım Kaynağı)	36
2.2.1.2. VDTA'nın FCS Yapısı Kullanılarak Gerçekleştirilmesi	37
2.2.2. CDTA Devresi	38

3. BÖLÜM

BULGULAR

3.1. Düşük Güç Düşük Gerilimli MOS Tasarım Yöntemleri ile VDTA Tasarımı ..	40
3.1.1. DTMOS Yöntemi ile VDTA Tasarımı	40
3.1.1.1 DTMOS VDTA Tabanlı Süzgeç Devreleri	43
3.1.2. FGMOS Yöntemi ile VDTA Tasarımı	46
3.1.2.1. FGMOS VDTA Tabanlı Süzgeç Devreleri	49
3.1.3. BDMOS Yöntemi ile VDTA Tasarımı	51
3.1.3.1. BDMOS VDTA Tabanlı Süzgeç Devreleri	54
3.2. Düşük Güç Düşük Gerilimli MOS Tasarım Yöntemleri ile CDTA Tasarımı ..	56
3.2.1. DTMOS Yöntemi ile CDTA Tasarımı	56
3.2.1.1 DTMOS CDTA Tabanlı Süzgeç Devreleri	60
3.2.2. FGMOS Yöntemi ile CDTA Tasarımı	63
3.2.2.1 FGMOS CDTA Tabanlı Süzgeç Devreleri	67

3.2.3. BDMOS Yöntemi ile CDTA Tasarımı	70
3.2.3.1 BDMOS CDTA Tabanlı Süzgeç Devreleri.....	73
3.3. Önerilen Devrelerin Karşılaştırılması.....	76
3.3.1. Önerilen VDTA Devrelerinin Karşılaştırılması	76
3.3.2. Önerilen CDTA Devrelerinin Karşılaştırılması	79

4. BÖLÜM

TARTIŞMA-SONUÇ ve ÖNERİLER

4.1. Sonuç ve Öneriler	83
KAYNAKÇA	85
ÖZGEÇMİŞ.....	97

KISALTMALAR

BD-FGMOS	: Gövdeden Sürülen Yüzen Geçit MOS (Bulk-Driven Floating-Gate MOS)
BDMOS	: Gövdeden Sürülen MOS (Bulk Driven MOS)
BD-QFGMOS	:Gövdeden Sürülen Sözde Yüzen Geçit MOS (Bulk-Driven Quasi Floating-Gate MOS)
CCII	: İkinci Nesil Akım Taşıyıcı
CCIII	: Üçüncü Nesil Akım Taşıyıcı
CDBA	: Akım Farkı Alan Tamponlanmış Kuvvetlendirici
CDTA	: Akım Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi
CMOS	: Bütünleyici Metal Oksit Yarı İletken (Complementary Metal Oxide Semiconductor)
DT-CDTA	: Dinamik Eşik Gerilimli MOSFET Tabanlı CDTA
DTMOS	: Dinamik Eşik Gerilimli MOS (Dynamic Threshold MOS)
FCS	: Yüzen Akım Kaynağı (Floating Current Source)
FG-CDTA	: Yüzen Geçit MOSFET Tabanlı CDTA
FGMOS	: Yüzen Geçit MOS (Floating Gate MOS)
FPAA	: Alan Programlanabilir Analog Dizin
GBW	: Kazanç Bant Genişliği Çarpımı
GPDK	: Genel Yöntem Tasarım Kiti (Generic Process Design Kit)
JFET	: Birleşim Yüzeyli Alan Etkili Transistör (Junction Field Effect Transistor)
KHN	: Kerwin-Heulsman-Newcomb
MOSFET	: Metal oksit yarı iletken alan etkili transistör (Metal Oxide Semiconductor Field Effect Transistör)
OTA	:İşlemsel Geçiş İletkenliği Kuvvetlendiricisi (Operational Transconductance Amplifier)
QFGMOS	: Sözde Yüzen Geçit MOS
THD	: Toplam Harmonik Distorsiyon
TSMC	:Tayvan Yarı İletken Üretim Şirketi (Taiwan Semiconductor Manufacturing Company)
VDBA	: Voltaj Farkını Alan Tamponlanmış Kuvvetlendirici
VDTA	: Gerilim Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi

TABLOLAR LİSTESİ

Tablo 3.1. Önerilen VDTA devresinin transistör boyutları.....	41
Tablo 3.2. DTMOS tabanlı VDTA performans özeti.....	43
Tablo 3.3. Önerilen VDTA devresinin transistör boyutları.....	47
Tablo 3.4. FGMOS tabanlı VDTA performans özeti.....	49
Tablo 3.5. Önerilen VDTA devresinin transistör boyutları.....	52
Tablo 3.6. BDMOS tabanlı VDTA performans özeti.....	54
Tablo 3.7. Önerilen CDTA devresinin transistör boyutları.....	57
Tablo 3.8. DTMOS tabanlı CDTA performans özeti.....	60
Tablo 3.9. Önerilen CDTA devresinin transistör boyutları.....	64
Tablo 3.10. FGMOS tabanlı CDTA performans özeti.....	67
Tablo 3.11. Önerilen CDTA devresinin transistör boyutları.....	70
Tablo 3.12. BDMOS tabanlı CDTA performans özeti.....	73
Tablo 3.13. Önerilen VDTA devresinin transistör boyutları.....	77
Tablo 3.14. DTMOS-FGMOS-BDMOS VDTA devrelerinin karşılaştırılması.....	78
Tablo 3.15. Önerilen CDTA devresinin transistör boyutları.....	79
Tablo 3.16. DTMOS-FGMOS-BDMOS tabanlı CDTA devrelerinin karşılaştırılması...	82

ŞEKİLLER LİSTESİ

Şekil 1.1. Bir MOSFET'in idealdeki ve pratikteki ID ve VGS karakteristiği	4
Şekil 1.2. Tipik bir MOS transistörün eşik altı I-V karakteristiği	5
Şekil 1.3. BDMOS için Akıttıcı akımı ve Gövdeden ve Geçitten Sürülen akım-voltaj eğrisi [7].....	7
Şekil 1.4. (a) BDMOS (b) JFET eşdeğer devresi	8
Şekil 1.5. N girişli FGMOS eşdeğer devresi	9
Şekil 1.6. İki girişli N-FGMOS için (a) sembol gösterimi, (b) eşdeğer devresi.....	10
Şekil 1.7. İki girişli FGMOS için I-V transfer karakteristiği	10
Şekil 1.8. İki girişli FGMOS için çıkış I-V karakteristiği	11
Şekil 1.9. QFGMOS eşdeğer devresi.....	12
Şekil 1.10. DTMOS eşdeğer devresi ve sembolü	14
Şekil 1.11. $VDS = -0.1 V$ iken DTMOS ve MOS transistörlerin $ID - VGS$ eğrisi.....	15
Şekil 1.12. BD-FGMOS sembolü.....	16
Şekil 1.13. BD-FGMOS eşdeğer devresi.....	16
Şekil 1.14. BD-QFGMOS sembolü.....	17
Şekil 1.15. BD-QFGMOS eşdeğer devresi.....	18
Şekil 1.16. CDTA'nın a) sembolik gösterimi b) eşdeğer devresi.....	19
Şekil 1.17. VDTA sembolik gösterimi	20
Şekil 1.18. VDTA'nın CMOS gerçekleştirimi	21
Şekil 1.19. VDBA şematik gösterimi	22
Şekil 1.20. CDBA'nın a) şematik gösterimi b) eşdeğer devresi.....	23
Şekil 2.1. İki girişli N-FGMOS için (a) sembol gösterimi, (b) eşdeğer devresi [16]	33
Şekil 2.2. Ramirez tarafından önerilen FGMOS simülasyon modeli	33
Şekil 2.3. Sanchez-Sinencio tarafından önerilen FGMOS simülasyon modeli.....	34
Şekil 2.4. CMOS yapıları ile gerçekleştirilmiş FCS devresi	37
Şekil 2.5. CMOS FCS yapıları ile gerçekleştirilmiş VDTA devresi	38
Şekil 2.6. CDTA blok yapısı	39
Şekil 3.1. Önerilen DTMOS tabanlı VDTA devresi	40
Şekil 3.2. CMOS ve DTMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri.....	42
Şekil 3.3. CMOS ve DTMOS ile gerçekleştirilmiş VDTA'nın kazanç- frekans eğrileri	42

<i>Şekil 3.4.</i> Önerilen DTMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi.	43
<i>Şekil 3.5.</i> VDTA tabanlı süzgeç devresi.....	44
<i>Şekil 3.6.</i> Önerilen DTMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	45
<i>Şekil 3.7.</i> Önerilen DTMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	45
<i>Şekil 3.8.</i> Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	46
<i>Şekil 3.9.</i> Önerilen FGMOS tabanlı VDTA devresi.....	46
<i>Şekil 3.10.</i> CMOS ve FGMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri	48
<i>Şekil 3.11.</i> CMOS ve FGMOS ile gerçekleştirilmiş VDTA'nın kazanç-frekans eğrileri	48
<i>Şekil 3.12.</i> Önerilen FGMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi	49
<i>Şekil 3.13.</i> Önerilen FGMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	50
<i>Şekil 3.14.</i> Önerilen FGMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	50
<i>Şekil 3.15.</i> Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	51
<i>Şekil 3.16.</i> Önerilen BDMOS tabanlı VDTA devresi	51
<i>Şekil 3.17.</i> CMOS ve BDMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri.....	53
<i>Şekil 3.18.</i> CMOS ve BDMOS ile gerçekleştirilmiş VDTA'nın kazanç-frekans eğrileri	53
<i>Şekil 3.19.</i> Önerilen BDMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi-frekans eğrisi	54
<i>Şekil 3.20.</i> Önerilen BDMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	55
<i>Şekil 3.21.</i> Önerilen BDMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	55
<i>Şekil 3.22.</i> Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	56
<i>Şekil 3.23.</i> Önerilen DTMOS tabanlı CDTA devresi.....	58
<i>Şekil 3.24.</i> CMOS ve DTMOS ile gerçekleştirilmiş CDTA'nın DC karakteristikleri	59
<i>Şekil 3.25.</i> CMOS ve DTMOS ile gerçekleştirilmiş CDTA'nın kazanç-frekans eğrileri	59
<i>Şekil 3.26.</i> Önerilen DTMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi-frekans eğrisi	60
<i>Şekil 3.27.</i> CDTA tabanlı süzgeç devresi.....	61

Şekil 3.28. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	62
Şekil 3.29. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	62
Şekil 3.30. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş yüksek geçiren süzgecin frekans cevabı.....	62
Şekil 3.31. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	63
Şekil 3.32. Önerilen FGMOS tabanlı CDTA devresi($V_b=0$ V, $V_{b1}=0.2$ V)	65
Şekil 3.33. CMOS ve FGMOS ile gerçekleştirilmiş CDTA'nın DC karakteristikleri	66
Şekil 3.34. CMOS ve FGMOS ile gerçekleştirilmiş CDTA'nın kazanç-frekans eğrileri	66
Şekil 3.35. Önerilen FGMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi	67
Şekil 3.36. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	68
Şekil 3.37. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	68
Şekil 3.38. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş Yüksek Geçiren süzgecin frekans cevabı.....	69
Şekil 3.39. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	69
Şekil 3.40. Önerilen BDMOS tabanlı CDTA devresi ($V_b=0$ V).....	71
Şekil 3.41. CMOS ve BDMOS ile gerçekleştirilmiş CDTA'nın DC karakteristikleri.....	72
Şekil 3.42. CMOS ve BDMOS ile gerçekleştirilmiş CDTA'nın Kazanç-frekans eğrileri	72
Şekil 3.43. Önerilen BDMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi	73
Şekil 3.44. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı.....	74
Şekil 3.45. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı.....	74
Şekil 3.46. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş yüksek geçiren süzgecin frekans cevabı.....	75
Şekil 3.47. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı	76
Şekil 3.48. Önerilen VDTA devresi	76
Şekil 3.49. DTMOS-FGMOS-BDMOS tabanlı VDTA'nın DC karakteristikleri.....	77

<i>Şekil 3.50.</i> DTMOS-FGMOS-BDMOS tabanlı VDTA Devrelerinin kazanç-frekans eğrileri	78
<i>Şekil 3.51.</i> Önerilen CDTA devresi.....	80
<i>Şekil 3.52.</i> DTMOS-FGMOS-BDMOS tabanlı CDTA'nın DC karakteristikleri	81
<i>Şekil 3.53.</i> DTMOS-FGMOS-BDMOS tabanlı CDTA devrelerinin kazanç-frekans eğrileri	81



GİRİŞ

Düşük güç ve düşük gerilim sistemleri giyilebilir biyomedikal ürünler, taşınabilir teknolojik ürünler gibi daha çok pille çalışan ürünler için kullanılmaktadır. Bu durum araştırma ve geliştirme konusu olarak görülmekte ve üzerine birçok çalışma yapılmaktadır.

Besleme gerilimi transistör boyutlarının küçülmesi ile azalırken eşik gerilimi azalmamaktadır. Bu durum, düşük gerilimli analog devre tasarımında karşılaşılan temel zorluklardan biri olan eşik gerilimi sorununu ortaya çıkarmaktadır. Analog devre tasarımlarında bu sorunu çözmek amacıyla standart devre çözümlerine ek olarak yeni metotlara ihtiyaç duyulmakta ve bu alanda birçok çalışma yapılarak yeni yöntemler geliştirilmektedir [1]. Bu yöntemlerden bazıları:

- Eşik Altı Bölgede Çalışan MOS
- Gövdeden Sürülen MOS (BDMOS- Bulk Driven MOS)
- Yüzen Geçit MOS (FGMOS- Floating Gate MOS)
- Sözde (Quasi) FGMOS (QFGMOS)
- Dinamik Eşik Gerilimli MOS (DTMOS-Dynamic Threshold MOS)
- Gövdeden Sürülen Yüzen Geçit MOS (Bulk-Driven Floating-Gate MOS, BD-FGMOS)
- Gövdeden Sürülen Sözde Yüzen Geçit MOS (Bulk Driven- QFGMOS)

MOS teknolojisi, BJT teknolojisine oranla üretim sırasındaki işlem adımlarının daha az olması, maliyetin daha düşük olması ve daha az kırımlı alanı kaplaması nedeniyle analog sistemlerde daha avantajlıdır. Bununla birlikte, giriş direncinin yüksek olması ve düşük güç tüketimine sahip olmaları da MOS transistörlü yapıların avantajları arasında yer almaktadır [2].

Kollektör akımları aynı olan MOSFET ve bipolar transistör karşılaştırıldığında MOSFET'in geçiş iletkenliği değerinin daha düşük olduğu görülmekte ve bu durum devre tasarımında dezavantaj oluşturmaktadır. Bu dezavantajı giderebilmek için kazanç katında yüksek değerli dirençler kullanılabilir. Fakat direnç değeri ile kullanılacak kırmık alanı doğru orantılı olduğundan MOSFET'lerde yüksek değerli dirençleri elde etmek oldukça zor olmaktadır. Bu nedenle yüksek kazanç elde etmek amacıyla aktif elemanlar kullanılmalıdır. Dezavantajlarından bir diğeri ise MOS transistörlerin frekans cevabının (bant genişliğinin), bipolar transistöre göre daha düşük olmasıdır [2,3].

Bu dezavantajlara rağmen MOS transistörler analog devreler ve dijital devrelerin iç içe girmesi nedeniyle yaygın olarak kullanılmaktadır.

Bu çalışmanın kapsamında MOS teknolojisi ile gerçekleştirilen düşük gerilim ve güçlü tasarım yöntemleri bazı universal aktif elemanlara uygulanmakta ve karşılaştırılmaktadır. Birinci bölümde, literatürde yer alan düşük güçlü ve düşük gerilimli MOS tasarım yöntemleri ve bazı universal aktif elemanlar incelenmektedir. Bu yöntemlerin avantaj ve dezavantajları ele alınmaktadır. Aynı zamanda bu bölümde bazı universal aktif elemanlar tanıtılmakta ve uç denklemleri verilmektedir. Bu universal aktif elemanlara ait literatür taraması yapılmakta ve literatürde yer alan düşük güçlü düşük gerilimli MOS tasarım yöntemleri kullanarak tasarlanan bazı universal aktif eleman tasarımları incelenmektedir. İkinci bölümde, bu tez kapsamında gerçekleştirilecek olan düşük güçlü ve gerilimli MOS tasarım yöntemlerine ve bu yöntemler kullanılarak tasarlanacak olan devre yapılarına yer verilmektedir. Üçüncü bölümde, DTMOS, FGMOS, BDMOS yöntemleri kullanılarak tasarlanan gerilim farkı alan geçiş iletkenliği kuvvetlendiricisi (VDTA) ve akım farkını alan geçiş iletkenliği kuvvetlendiricisi (CDTA) devrelerine yer verilmektedir. Bu yöntemler uygulanarak tasarlanan devrelerden elde edilen sonuçlar karşılaştırılmaktadır. Dördüncü bölümde ise sonuçlar ve öneriler sunulmuştur.

1. BÖLÜM

GENEL BİLGİLER ve LİTERATÜR ÇALIŞMASI

1.1. Problem Durumu

Düşük güç ve düşük gerilimli sistemler, giyilebilir biyomedikal cihazlar, taşınabilir teknolojik ürünler gibi pille çalışan ürünlerde yaygın bir şekilde kullanılmaktadır. Ancak, besleme gerilimi transistör boyutlarının küçülmesi ile azalırken eşik gerilimi azalmamaktadır. Bu durum, düşük gerilimli sistemlerin analog devre tasarımında karşılaşılan temel zorluklardan biri olan eşik gerilimi sorununu ortaya çıkarmaktadır. Analog devrelerde bu sorunu çözmek için standart devre çözümlerine ek olarak yeni yöntemlere ihtiyaç duyulmaktadır. Bu ihtiyaca cevap vermek için birçok araştırma ve geliştirme çalışması yapılmaktadır ve yeni yöntemler geliştirilmektedir. Bu geliştirilen yöntemlerden biri de MOS tasarım yöntemleridir. MOS teknolojisinin analog devrelerde yaygın olarak kullanılmasından dolayı geliştirilen MOS tasarım yöntemleri analog devre yapı taşlarına da uygulanmaktadır.

1.2. Araştırmanın Amacı

Bu çalışmanın amacı, MOS teknolojisi ile gerçekleştirilen düşük gerilim ve düşük güçlü tasarım yöntemlerini bazı universal aktif elemanlara uygulamak ve karşılaştırmaktır.

1.3. Araştırmanın Önemi

Kapsamlı bir literatür taraması ile bu yöntemlerin devre yapılarına sağladığı avantajlar ve dezavantajlar karşılaştırmalı olarak bu tez kapsamında detaylı bir şekilde aktarılmaktadır. Bu yöntemlerden DT MOS, FGMOS, BDMOS yöntemleri kullanılarak akım ve gerilim modlu bazı universal aktif elemanlar tasarlanmakta ve sonuçları karşılaştırılmaktadır.

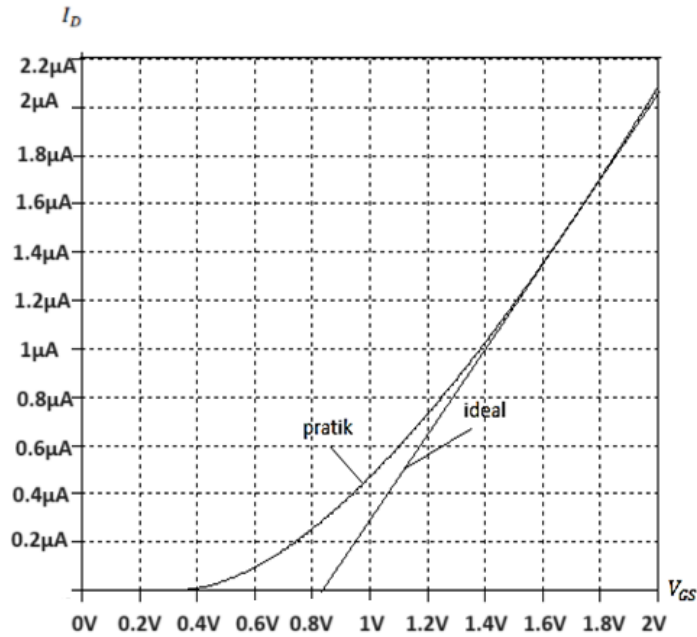
1.4. Genel Bilgiler

1.4.1. Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemleri

1.4.1.1. Eşik Altı Bölgede Çalışan MOSFET

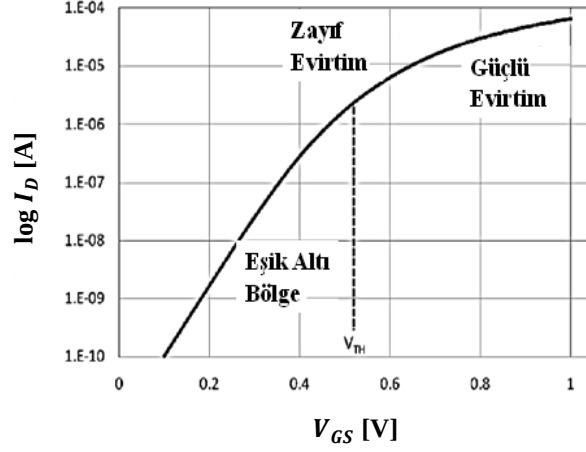
Temel tasarımlarda, MOSFET’lerdeki ideal akım-gerilim ilişkisi; geçit-kaynak voltajının (V_{GS}) eşik gerilimi voltajına (V_{TH}) eşit veya az olması durumunda akıtıcı akımı (I_D) sıfır olarak kabul edilir. Fakat pratik olarak $V_{GS} \leq V_{TH}$ olduğunda I_D sıfır değildir. Şekil 1.1’de idealdeki ve pratikteki durumların akım-gerilim karakteristiği gösterilmektedir [4].

MOSFET’in aktif çalışma bölgesi analog devre tasarımında önemli bir etmendir. Optimum analog devre tasarımında; minimum güç tüketimi, minimum alan ve yeterli frekans tepkisi istenilen karakteristik özellikler arasında yer almaktadır [1].



Şekil 1.1. Bir MOSFET'in idealdeki ve pratikteki I_D ve V_{GS} karakteristiği

Düşük güç tüketimi için geliştirilen yöntemlerden biri ise MOSFET'lerin eşik altı bölgede çalıştırılmasıdır. Şekil 1.2, MOSFET'in aktif çalışma bölgesini içermektedir.



Şekil 1.2. Tipik bir MOS transistörün eşik altı I-V karakteristiği

Karakteristik incelendiğinde, $\log I_D$ akımı, V_T 'ye kadar doğrusal olarak artarken $V_{GS} = V_T$ olduğunda doğrusallıktan sapmaktadır.

Güçlü evirtim (strong inversion) bölgesinde çalışan MOSFET'in iyi bir frekans cevabına sahip olmasına ve az alan kaplamasına rağmen güç tüketimi fazladır. Bu bölgede çalışırken giriş geriliminin eşik geriliminden yaklaşık 100 mV daha yüksek olması istenir.

Denklem 1.1'de MOSFET için toplam akıttıcı akımı verilmektedir.

$$I_D (SI) = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (1.1)$$

Burada λ kanal boyu modülasyon katsayısı ve V_{DS} akıttıcı-kaynak voltajıdır [1].

Düşük güçlü sistemlerin tasarımında MOSFET'lerin güçlü evirtim bölgesinde güç tüketimi fazla olduğu için zayıf evirtim (weak inversion) bölgesinde çalışması istenmektedir. Zayıf evirtim bölgesi eşik geriliminden daha düşük gerilim uygulamaları için uygundur. Çekilebilecek akımın sınırlı olması nedeniyle sistemlerin düşük güç tüketmesi sağlanmaktadır. Yük taşıyıcıların sayısı azdır ve bu nedenle geçidin altında çok zayıf bir ters çevirme katmanı oluşturulur. Zayıf evirmede difüzyon akımı, V_{GS} voltajına üstel olarak bağımlı ve MOS transistöründen geçen toplam akımın baskın bir bileşenidir. Denklem 1.2'de bu bağımlılık görülmektedir [1].

$$I_D (WI) = 2 \mu C_{ox} \frac{W}{L} U_T^2 \exp \frac{V_{GS} - V_{T0}}{U_T} \quad (1.2)$$

Burada V_{T0} , $V_{BS} = 0$ durumundaki eşik voltajı; W/L , kanal genişliğinin kanal boyuna oranı ve U_T ($U_T = kT/q$) termal gerilimdir. Denklem incelendiğinde eşik altı çalışan MOSFET'lerin akıttıcı akımının termal gerilime dolayısıyla sıcaklığa bağlı olarak değişim gösterdiği anlaşılmaktadır.

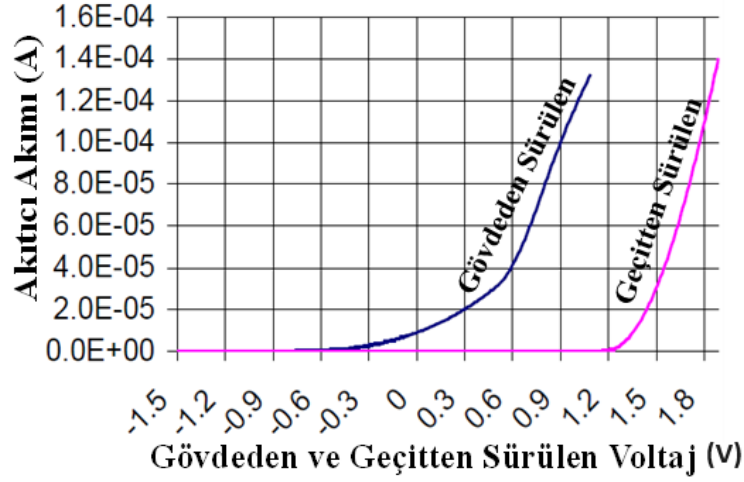
Analog devre tasarımında eşik altı bölgede çalışılması, eşik gerilimi uygulama gereksinimini ortadan kaldırarak çok düşük besleme gerilimleriyle ve çok düşük güç tüketerek çalışabilen sistemlerin tasarlanabilmesini sağlamaktadır [5].

Analog devre tasarımında eşik altı bölgede çalışan MOSFET'lerin; sıcaklık değişiminden etkilenmeleri, çekilebilecek akımın sınırlı olması, frekans cevabının zayıf olması, $V_{DS} < 3U_T$ için lineerliğin oldukça zayıf olması ise eşik altı bölgede çalışan MOSFET'lerin dezavantajları arasında yer almaktadır [5,6].

1.4.1.2.Gövdeden Sürülen MOS

Gövdeden sürülen MOSFET, geleneksel MOSFET'lere alternatif olarak düşük güçlü sistemlerde eşik geriliminin üstesinden gelmek için kullanılan yöntemlerden biridir. Bu yöntemde, kaynak bağlantısı üzerindeki bir ters yönde kutuplama eşik geriliminin artmasına neden olurken benzer şekilde, ileri yönde kutuplama ise eşik voltajının düşmesine neden olacaktır [7].

BDMOS, eşik voltajı probleminin çözülmesi amacıyla geliştirilmiş yöntemlerden biridir. BDMOS, azaltan tip (depletion type, D-tipi) MOSFET yapısına sahip olduğundan negatif, sıfır ve hatta biraz pozitif polarizasyonla da çalışabilir durumdadır. Şekil 1.3'te yer alan karakteristikte geleneksel geçit terminali üzerinden sürülen MOSFET ve gövde terminali üzerinden sürülen MOSFET'e ait akım voltaj eğrisi yer almaktadır. Karakteristik incelendiğinde geleneksel MOSFET'lere göre BDMOS transistörün eşik geriliminin daha düşük olduğu görülmektedir.



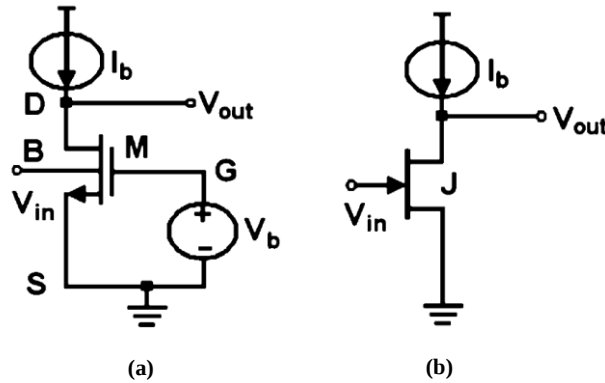
Şekil 1.3. BDMOS için Akıtcı akımı ve Gövdeden ve Geçitten Sürülen akım-voltaj eğrisi [7]

Geleneksel MOS transistörünün akıtcı akımı (I_D) geçit-kaynak gerilimine (V_{GS}) bağlı olarak değişmektedir. Bu akım ayrıca, genellikle parazitik bir etki olarak kabul edilen ve istenmeyen gövde geçiş iletkenliğine (g_{mb}) neden olabilen gövde kaynak voltajı (V_{BS}) tarafından da kontrol edilebilir. Bu bilgilerden yararlanarak BDMOS transistöründe kutuplama voltajı V_{GS} sabit tutulursa ve gövde terminaline giriş işareti uygulanırsa JFET eşdeğer devresi elde edilir. Şekil 1.4'te BDMOS ve JFET eşdeğer devresi yer almaktadır [1].

Gövde geçiş iletkenliği (g_{mb}), MOS transistörlerde küçük sinyal parametresi olarak tanımlanır ve akıtcı akımının (I_D) türevinin gövde kaynak voltajının (V_{BS}) türevine oranıdır ve Denklem 1.3'te verilmektedir.

$$g_{mb} = \frac{\partial i_d}{\partial V_{BS}} = \frac{\partial i_D}{\partial V_{TH}} \frac{\partial V_{TH}}{\partial V_{BS}} = -g_m \frac{\partial V_{TH}}{\partial V_{BS}} = \frac{\gamma g_m}{2\sqrt{-2\phi_F - V_{BS}}} \quad (1.3)$$

Burada ϕ_F fermi potansiyeli ve γ taban (substrate) katsayısıdır.



Şekil 1.4. (a) BDMOS (b) JFET eşdeğer devresi

V_{BS} voltajının artması, gövde etkisi ve eşik geriliminin (V_{TH}) azalmasına yol açacaktır. Gerilim salınımı, $V_{OV(max)} = V_{GS} - V_{TH}$ ile akıtıcı akımı artırır. Gövde geçiş iletkenliği Denklem 1.4'te verilen ve tipik olarak 0,2 ile 0,4 arasında değişen η oranına sahiptir. Bu, gövde geçiş iletkenliğinin geçit geçiş iletkenliğinden yaklaşık 2,5 ila 5 kat daha düşük olduğu anlamına gelmektedir [1]. Bu ise frekans cevabının ve kazanç bant genişliği çarpımının (GBW) daha düşük olmasına yol açmaktadır. Bu durum BDMOS için bir dezavantaj oluşturmaktadır.

$$\eta = \frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{-2\phi_F - V_{BS}}} = n - 1 = \frac{C_{dep}}{C_{ox}} \quad (1.4)$$

Burada C_{dep} geçit azaltan katmanının kapasitesini temsil etmektedir.

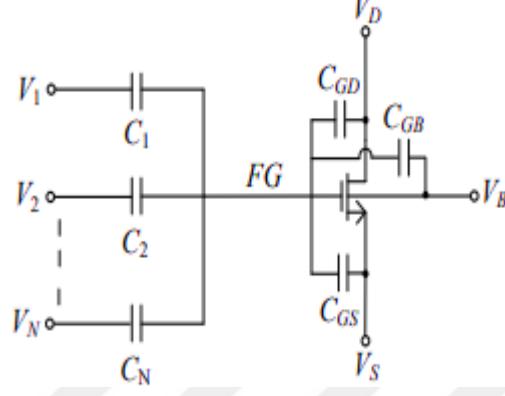
BDMOS transistörün yapısı; akıtıcı (D), geçit (G), kaynak (S) ve gövde (B) olmak üzere dört terminalden oluşmaktadır.

BDMOS transistörün; eşik voltajı sınırlamasını ortadan kaldırması, geçiş iletkenliğini artırması, düşük voltajlı çalışma imkânı sunması, geleneksel MOS transistörler kullanılarak modellenenilmesi ve geniş bir giriş çalışma sahası sağlaması sunduğu avantajlar arasında yer alırken giriş gürültüsünü artırması ve mandallama (latch-up) etkisine yol açması ise sahip olduğu dezavantajlar arasında yer almaktadır [5, 8].

1.4.1.3.Yüzen Geçit MOS

Düşük güçlü sistemlerde eşik geriliminin üstesinden gelmek amacıyla geliştirilen yöntemlerden biri ise FGMOS yöntemidir.

FGMOS transistörlerde çoklu giriş kapıları ve bu kapılara bağlanan kondansatörler bulunmaktadır. Eşik voltajı, kondansatör değerleri ve uygulanan ön gerilim ile ayarlanmaktadır [9,10]. Şekil 1.5'te N girişli FGMOS yer almaktadır [11].



Şekil 1.5. N girişli FGMOS eşdeğer devresi

Bu şekilde yer alan C_{GD} , C_{GS} , C_{GB} yüzen geçit ile sırasıyla akıtcı, kaynak ve gövde arasındaki kapasitelerdir [12,13]. Tasarımlarda giriş kapasite değerleri çok yüksek seçilirse bu kapasiteler ihmal edilebilir ve parazitik kapasite olarak adlandırılır [11]. Ek olarak, bu parazitik kapasiteler akıtcı akımını etkimezler.

Akıtcı akımı, kapasitif kuplaj oranlarına bağlı olarak tüm girişlerin lineer toplamıdır. Denklem 1.5'te saturasyon bölgesinde N girişli FGMOS için akıtcı akımı verilmektedir [14].

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{FG} - V_{TH})^2 \quad (1.5)$$

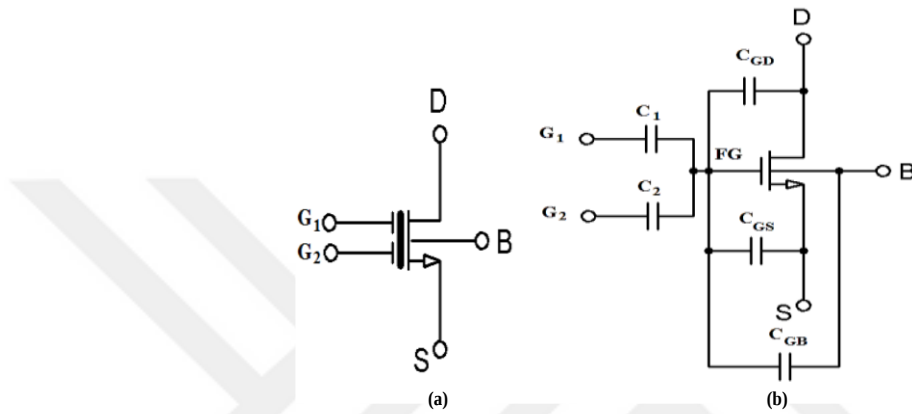
Eşitliği incelediğimizde akıtcı akımının V_{FG} ve V_{TH} bağlı olarak değiştiği görülmektedir. V_{FG} düğümü ise Denklem 1.6'da ifade edilmiştir [15].

$$V_{FG} = \sum_i^N \frac{C_i}{C_T} V_i + \frac{C_{GS}}{C_T} V_S + \frac{C_{GD}}{C_T} V_D + \frac{C_{GB}}{C_T} V_B + \frac{Q_{FG}}{C_T} \quad (1.6)$$

Burada N giriş sayısını temsil eder. C_i , giriş geçiti ile yüzen geçit arasındaki kapasite ve V_i giriş voltajıdır. C_{GS} , C_{GD} ve C_{GB} terminaller arasındaki kapasiteler ve C_T ise toplam kapasite değeridir ve Denklem 1.7'de verilmektedir [15].

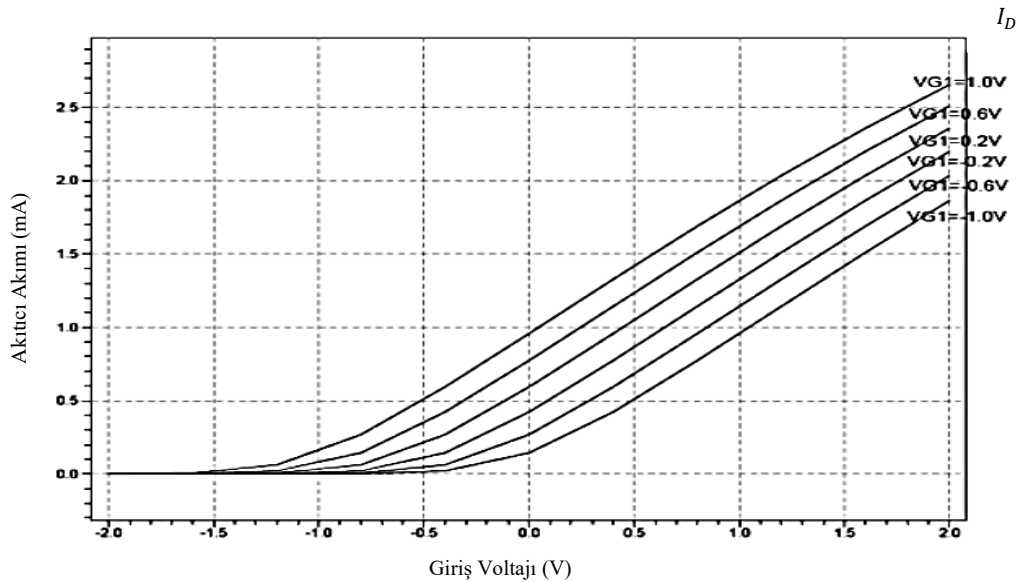
$$C_T = \sum_i^N C_i + C_{GS} + C_{GD} + C_{GB} \quad (1.7)$$

Bu denklemden görüldüğü gibi FGMOS yapısında bulunan kapasitelerin V_{FG} ile giriş gerilimleri arasındaki ilişkiyi etkileyen bir faktör olduğu görülmektedir. Şekil 1.6’da iki girişli FGMOS yapısının sembolü ve eşdeğer devresi yer almaktadır [16].



Şekil 1.6. İki girişli N-FGMOS için (a) sembol gösterimi, (b) eşdeğer devresi

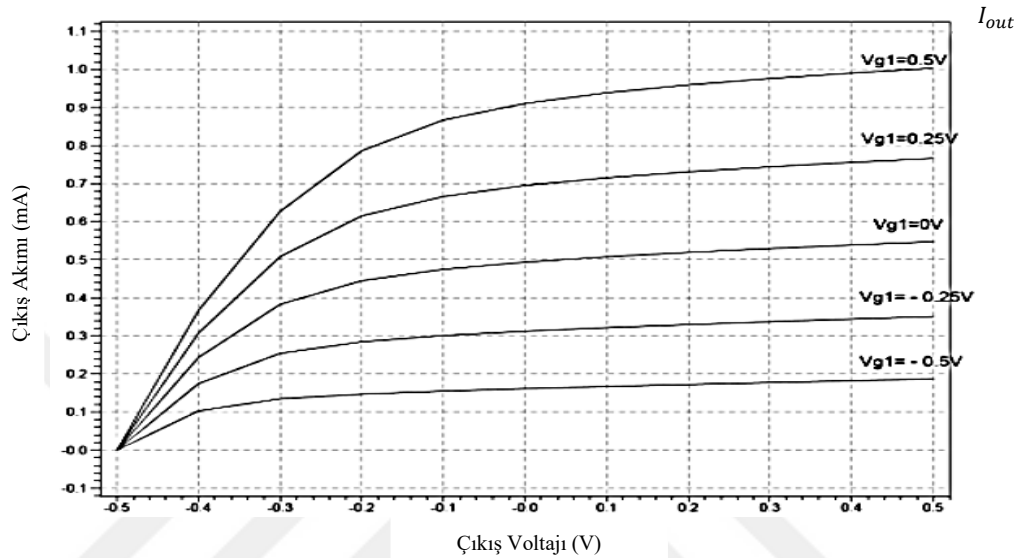
Benzetim programı kullanılarak iki girişli FGMOS yapısının farklı giriş değerleri için elde edilen I-V transfer karakteristiği Şekil 1.7’de verilmektedir [17].



Şekil 1.7. İki girişli FGMOS için I-V transfer karakteristiği

V_{bias} olmasa bile farklı giriş değerleri için FGMOS yapısının farklı transfer karakteristiğine sahip olduğu Şekil 8’de görülmektedir.

Şekil 1.8’de benzetim programı kullanılarak iki girişli bir FGMOS yapısı için çıkış I-V karakteristiği yer almaktadır [17].



Şekil 1.8. İki girişli FGMOS için çıkış I-V karakteristiği

Kontrol girişleri ile ilgilenilmiyorsa FGMOS transistörler geleneksel MOSFET’ler ile fiziksel yapı olarak aynıdır. FGMOS modellemesi yapılırken geleneksel MOSFET yapıları kullanılabilir. Fakat FGMOS transistörler geleneksel MOSFET’lere göre daha düşük eşik gerilimi ile çalışır. Bu yüzden düşük güçlü uygulamalar için daha uygundur [18].

FGMOS transistörün düşük güçlü sistemlerde eşik gerilimi probleminin çözülmesi amacı ile geliştirilmiş yöntemlerden biri olmasının yanı sıra, veri saklama ve dijital veri depolama işlemleri için de kullanılan yöntemlerden biridir.

Özellikle bellek hücreleri ve dijital veri depolama cihazlarında FGMOS kullanılmasının ana nedeni, elektriksel olarak programlanabilir ve veri saklamak için uzun süreli kararlılık sağlayabilen bir yapıya sahip olmasıdır. Bellek hücrelerinde FGMOS kullanımının sebeplerinden bir diğeri ise güç kaynağı kesintisinde bile verilerin kalıcı olarak saklanabilmesine olanak sağlamasıdır. Aynı zamanda küçük boyutlu üretimlerinin mümkün olması ile daha az çip alanı kaplaması da yine bellek hücrelerinde FGMOS kullanılmasının sebeplerinden biridir [19, 20, 21].

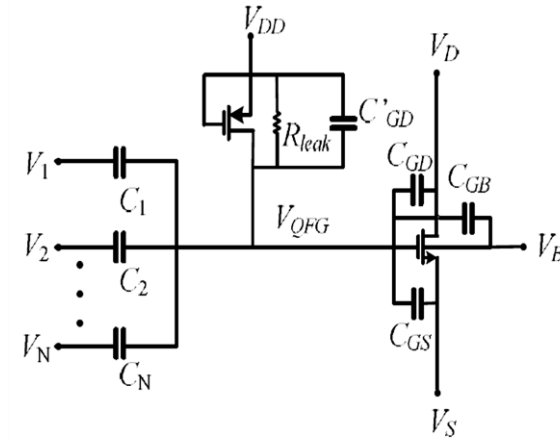
1.4.1.4.Sözde FGMOS

QFGMOS tıpkı FGMOS yöntemi gibi eşik geriliminin düşürülerek düşük gerilimli, düşük güçlü sistemlerde kullanılmak üzere geliştirilen yöntemlerden biridir.

FGMOS transistörlerde eşik geriliminin düşürülmesi, geçit terminaline bağlanan yüksek değerli kapasitör ve uygun bir ön gerilim ile mümkün olmaktadır. Fakat bu büyük kapasitör çip alanının artmasına ve bant genişliğinin daralmasına neden olmaktadır. Bu sorunların üstesinden gelmek amacıyla QFGMOS yöntemi geliştirilmiştir [19,22].

FGMOS yöntemindeki sorunları çözebilmek için kesim bölgesinde çalışan diyot bağlantılı bir MOSFET'in ters kutuplamalı yüksek değerli sızıntı (leakage) direnci kullanılarak geçit terminalinin uygun bir DC voltajına bağlanması ile QFGMOS yöntemi geliştirilmiştir [23].

QFGMOS transistörler FGMOS transistörler gibi çoklu giriş yapısına sahiptir. Şekil 1.9'da QFGMOS eşdeğer devresi yer almaktadır [24].



Şekil 1.9. QFGMOS eşdeğer devresi

V_{QFG} 'nin açılımı Denklem 1.8'de verilmektedir.

$$V_{QFG} = V_{in} \frac{sR_{leak}C_{Total}}{1 + sR_{leak}C_{Total}} \quad (1.8)$$

Burada,

$$C_{Total} = \sum_{i=1}^N C_i + C_{GS} + C_{GD} + C_{GB} + C'_{GD} \quad (1.9)$$

$$V_{in} = \frac{1}{C_{Total}} (\sum_{i=1}^N C_i V_i + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B) \quad (1.10)$$

Denklem 1.10, Denklem 1.8'de yerine yazılırsa Denklem 1.11 elde edilir [24, 25].

$$V_{QFG} = \frac{1}{C_{Total}} \left(\sum_{i=1}^N C_i V_i + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B \right) \frac{sR_{leak} C_{Total}}{1 + sR_{leak} C_{Total}} \quad (1.11)$$

Satürasyon bölgesinde n kanal tek girişli QFGMOS için akıttıcı akımı Denklem 1.12'de verilmektedir.

$$I_D = \frac{\beta}{2} \left[\left(\frac{C_1}{C_T} V_{in} + \frac{C_{GD}}{C_T} V_{DD} \right) - V_T \right]^2 = \frac{\beta}{2} K_1^2 [V_{in} - V_{T,eff}]^2 \quad (1.12)$$

Burada,

$$V_{T,eff} = \frac{V_T - k_2 V_{DD}}{k_1}; k_1 = \frac{C_1}{C_T}; k_2 = \frac{C_{GD}}{C_T} \quad (1.13)$$

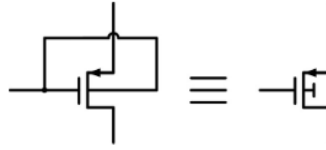
$V_{T,eff}$ etkin eşik gerilimidir ve bu gerilim QFGMOS transistörlerde geleneksel MOSFET'lere göre daha düşük değere sahiptir [26,27].

QFGMOS transistörler FGMOS transistörlerin sağladığı avantajlara da sahip olmasının yanı sıra, FGMOS transistörlere göre geçiş iletkenliği ve bant genişliği daha yüksektir.

1.4.1.5.Dinamik Eşik Gerilimli MOS

Düşük güçlü sistemlerde eşik geriliminin üstesinden gelmek amacıyla geliştirilen yöntemlerden biri de DTMOS yöntemidir.

DTMOS transistör ve eşdeğer devresi Şekil 1.10'da yer almaktadır [28]. Bu şekilden de görüldüğü üzere DTMOS transistör MOS transistörün gövde ve geçit terminallerinin bağlanmasıyla oluşan bir yöntemdir.



Şekil 1.10. DTMOS eşdeğer devresi ve sembolü

DTMOS transistörün eşik gerilimi Denklem 1.14'te verilmektedir.

$$V_{TH} = V_{TH0} + \gamma \left[\sqrt{|2\phi_F| + V_{BS}} - \sqrt{2|\phi_F|} \right] \quad (1.14)$$

Burada, ϕ_F fermi potansiyeli; γ , gövde etkisi faktörü; V_{TH0} , $V_{BS} = 0$ olduğu durumdaki eşik gerilimi olup 0.4 V-0.5 V aralığında değişmektedir. Gövde etkisi geçit oksit kapasitesine, silikon geçirgenliğine ve diğer parametrelere bağlıdır ve Denklem 1.15'te verilmektedir.

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}} \quad (1.15)$$

Burada; ϵ_{si} , silikon dielektrik geçirgenliği; N_A , katkılama oranı, C_{ox} ise oksit kapasitesidir [28,29,30].

Denklem 1.14'ten de görüldüğü gibi eşik voltajı V_{BS} gerilimine bağlı olarak değişmektedir. $V_{BS} = V_{GS} = 0$ durumunda eşik gerilimi yükselmekte, $V_{BS} = V_{GS} = V_{DD}$ durumunda eşik gerilimi azalmaktadır [31]. Yani DTMOS transistörün giriş geriliminin artması ile eşik gerilimi azalmaktadır.

DTMOS transistörün akıttıcı akımı Denklem 1.16'da yer almaktadır.

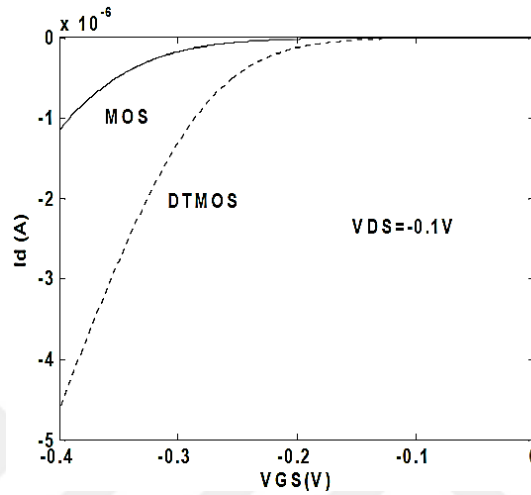
$$I_D = I_0 \cdot T^n \exp \frac{q(V_{GS} + \phi_{b1} \pm V_{GAP,0})}{kT} \quad (1.16)$$

Burada; ϕ_{b1} bariyer düşürme voltajı, $V_{GAP,0}$ ise malzeme bant aralığıdır ve Denklem 1.17 ve Denklem 1.18'de verilmektedirler [32].

$$\phi_{b1} = \frac{\phi_{GW} C_{OX}}{C_{OX} + C_{depletion}(\phi_{b1})} \quad (1.17)$$

$$V_{GAP,apparent} = V_{GAP,0} \pm \phi_{b1} \quad (1.18)$$

Düşük gerilimli ve güçlü sistemlerde, DTMOS transistörler geleneksel MOSFET transistörlere göre daha yüksek akım sürmekte ve yüksek geçiş iletkenliğine sahiptirler. Eşik geriliminin düşük olması ve yüksek akım akıtmaları sebebiyle düşük gerilim düşük güçlü sistemlerde kullanılmaktadırlar [33].



Şekil 1.11. $V_{DS} = -0.1 V$ iken DTMOS ve MOS transistörlerin $I_D - V_{GS}$ eğrisi

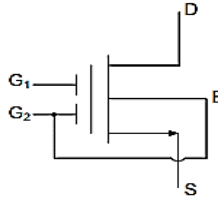
Karakteristik incelendiğinde DTMOS transistörlerin geleneksel MOSFET'lere göre daha fazla akım ilettiği görülmektedir [34].

DTMOS transistörler; eşik geriliminin düşük olması, yüksek geçiş iletkenliğine sahip olması, yüksek akım sürme gibi avantajlara sahiptirler. DTMOS transistörler; mandallama etkisine yol açması, yüksek gövde akımlarına neden olabilmesi, büyük boyutlu olması, giriş kapasitelerinin yüksek olması gibi dezavantajlara sahiptirler [31,35,36].

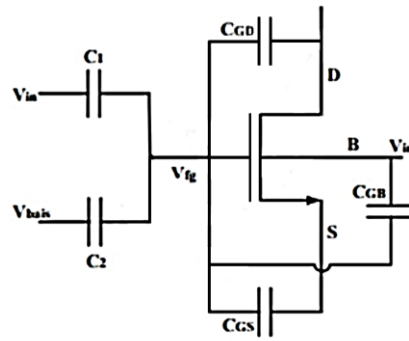
1.4.1.6.Gövdeden Sürülen Yüzen Geçit MOS

Düşük gerilim düşük güçlü sistemlerde eşik gerilimi problemini çözebilmek için geliştirilen yöntemlerden biri olan BD-FGMOS, gövdeden sürülen ve yüzen geçit yöntemlerinin dezavantajlarını ortadan kaldırmak amacıyla geliştirilen yeni yöntemlerden biridir.

Şekil 1.12'de BD-FGMOS sembolü Şekil 1.13'te ise eşdeğer devresi yer almaktadır [37,38].



Şekil 1.12. BD-FGMOS sembolü



Şekil 1.13. BD-FGMOS eşdeğer devresi

Geleneksel MOSFET'lerin iletme geçebilmesi için geçit terminaline uygulanan giriş geriliminin eşik geriliminden fazla olması gerekmektedir. Uygulanan giriş gerilimini düşürebilmek adına MOSFET yapısında bulunan gövde terminalinden giriş gerilimi verilir ve gövde- geçit bağlantısı yapılarak uygun ön gerilim uygulanır. Bu yüzden BD-FGMOS yapısında BDMOS tercih edilmiştir [37].

FGMOS transistörün geçiş iletkenliğini ve geçici frekans cevabını artırmak aynı zamanda BDMOS transistörün de düşük geçiş iletkenliğini artırmak için iki yöntem kombine edilerek BD-FGMOS yöntemi geliştirilmiştir. BD-FGMOS geçiş iletkenliği Denklem 1.19'da verilmektedir [38,39].

$$g_{m,bdfg} = \left[\frac{C_1 + C_{GB}}{C_{TG}} \right] g_m + g_{mb} \quad (1.19)$$

Burada; g_m geçiş iletkenliği, g_{mb} gövde geçiş iletkenliklerinin toplamı, C_1 giriş voltajı ile ilgili kapasite değeri, C_{TG} yüzen geçitteki toplam kapasite, C_{GB} ise geçit-gövde kapasitesidir.

BD-FGMOS transistörün çıkış iletkenliği ise Denklem 1.20'de verilmektedir.

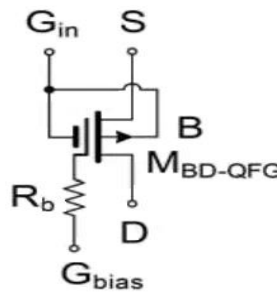
$$\left(\frac{\partial I_D}{\partial V_{DS}}\right)_{bdfg} = \frac{C_{GD}}{C_{TG}} g_m + \lambda I_{D,sat} \quad (1.20)$$

Burada; C_{GD} ise geit-akıtıcı kapasitesi, $\lambda I_{D,sat}$ geleneksel transistörün ıkış iletkenliğıdir. Denklemdede görüldüğü gibi BD-FGMOS transistörün ıkış iletkenliğı geleneksel MOSFET'lere göre daha yüksektir. Bir MOSFET'in daha iyi akım kaynağı özelliğı sunabilmesi için ıkış iletkenliğinin düşük olması gerekir. Bu yüzden daha fazla ip alanı kaplaması göze alınarak C_1 , C_2 büyük giriş kapasiteleri bağlanılır ve $\frac{C_{GD}}{C_{TG}} g_m$ artış faktörü azaltılır [38].

BD-FGMOS transistörler hem FGMOS hem de BDMOS transistörlerin avantajlarına sahip olmalarının yanı sıra FGMOS ve BDMOS transistörlerin düşük geiş iletkenliğı gibi dezavantajlarını da ortadan kaldıran kombine bir yapıdır.

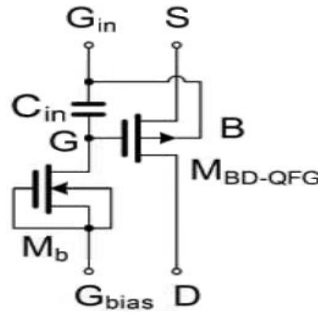
1.4.1.7. Gövdeden Sürülen Sözde Yüzen Geit MOS

BDMOS transistörün geiş iletkenliğini artırmak amacıyla literatürde birçok alışma yapılmaktadır. Bu alışmalardan biri olan BD-QFGMOS yöntemi, BDMOS transistörün DC davranışını etkilemeden AC performansını geliştiren bir yöntemdir. Şekil 1.14'te BD-QFGMOS transistörün sembolü yer almaktadır [40,41].



Şekil 1.14. BD-QFGMOS sembolü

R_b direnci ok yüksek değeri olduğundan kaplayacağı ip alanı düşünülerek diren yerine MOS yapısının kullanılması tercih edilmektedir. Şekil 1.15'te R_b direnci yerine MOS yapısı kullanılarak elde edilmiş devre yer almaktadır. [41]



Şekil 1.15. BD-QFGMOS eşdeğer devresi

BD-QFGMOS geçit terminaline bağlanan çok yüksek değerli direnç (R_b) üzerinden uygun ön gerilim (G_{bias}) uygulanması ile elde edilen bir yapıdır. Şekilden de görüldüğü üzere C_{in} kapasitesi kullanılarak G_{in} giriş gerilimi geçit terminaline uygulanır. Böylelikle QFG yapısı elde edilmektedir. Aynı zamanda giriş gerilimi gövde terminaline de uygulanarak BD-QFGMOS yapısı oluşturulmaktadır. Denklem 1.21’de BD-QFGMOS transistörün geçit voltajı yer almaktadır.

$$V_G = \frac{sR_b}{1 + sR_b C_{Total}} [V_{in}(C_{in} + C_{gb}) + C_{gd}V_D + C_{gs}V_S] \quad (1.21)$$

$$C_{Total} = C_{in} + C_{gb} + C_{gd} + C_{gs} + C_{gdb} \quad (1.22)$$

Burada C_{gdb} , M_b diyot bağlantılı transistörün geçit- akıtcı kapasitesidir.

Zayıf evirtim bölgesindeki akıtcı akımı Denklem 1.23’te yer almaktadır.

$$I_D = I_{D0} \cdot e^{qV_{GS}/nkT} e^{-qV_{BS}/nkT} (1 - e^{-qV_{DS}/kT}) \quad (1.23)$$

Burada I_{D0} ters sızıntı akımı, q elektron yükü, k Boltzmann sabiti ve T mutlak sıcaklıktır [41].

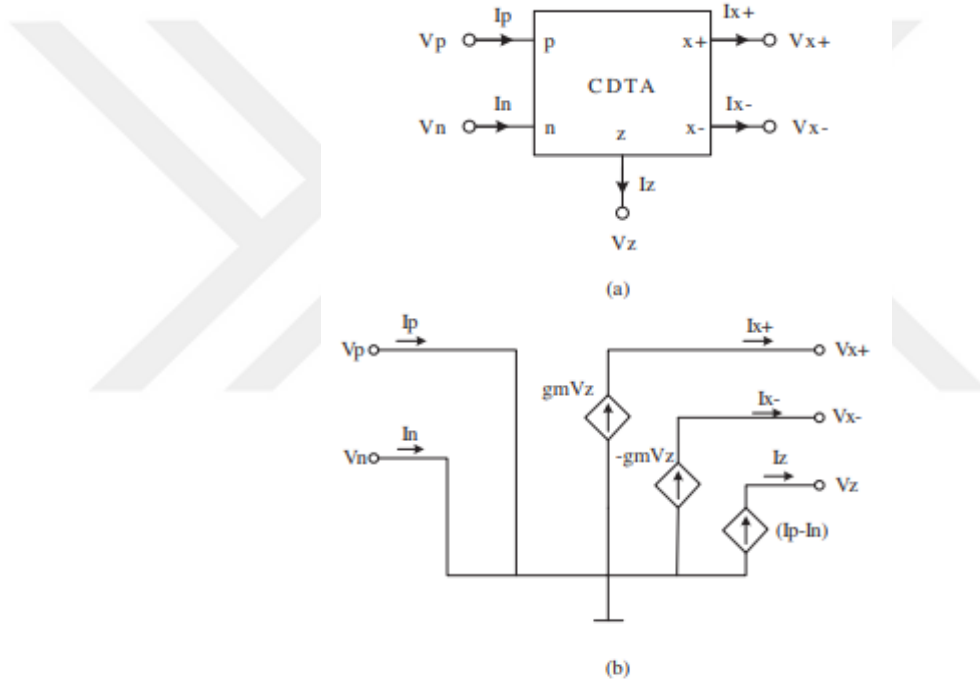
BD-QFGMOS transistörünün BD-FGMOS transistöründen farkı bağlanan R_b direnci ve girişte tek kapasite olmasıdır. Böylelikle bant genişliği artmaktadır [42].

BD-QFGMOS hem BDMOS hem de QFGMOS avantajlarını sağlamasının yanı sıra BDMOS ve QFGMOS yöntemlerine göre geçici frekans cevabının ve geçiş iletkenliğinin daha yüksek olması bu yapıyı daha avantajlı hale getirmektedir [40].

BD-QFGMOS yapısının dezavantajlarından biri tek bir girişinin olması nedeniyle diferansiyel fark kuvvetlendiricisi ve diferansiyel fark akım taşıyıcısı gibi devre yapılarında kullanımı zorlaşmaktadır [43]. Bu probleminde üstesinden gelebilmek adına çok girişli BD-QFGMOS tasarımı literatürde yapılan çalışmalar arasında yer almaktadır [44].

1.4.2. Bazı Üniversal Aktif Elemanlar

1.4.2.1. Akım Farkını Alan Geçiş İletkenliği Kuvvetlendiricisi (CDTA)



Şekil 1.16. CDTA'nın a) sembolik gösterimi b) eşdeğer devresi

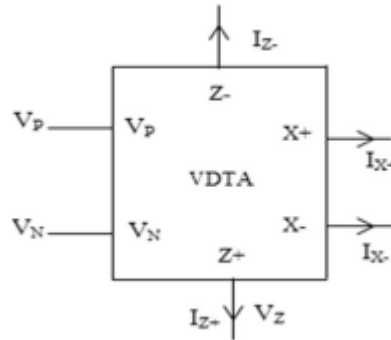
Akım farkını alan geçiş iletkenliği kuvvetlendiricisi (CDTA) için temel sembol ve eşdeğer devre Şekil 1.16'da gösterilmektedir. CDTA'nın temel sembolü toplamda beş terminal içerir: iki giriş terminali (P ve N), bir yardımcı terminal (Z), ve iki çıkış terminali (X^+ ve X^-). Z yardımcı terminalinde giriş terminalleri arasındaki akım farkına eşdeğer bir çıkış üretilir. Bu yardımcı terminaldeki akım farkı, daha sonra harici bir empedanstan geçirilerek eşdeğer bir voltaj olan V_z 'yi üretir. Elde edilen bu voltaj, bir sonraki aşama için girdi olarak kullanılır. Bu aşama, X^+ ve X^- çıkış terminallerinde çift polariteli bir çıkış akımı üreterek devam etmektedir. Bu ilişkiler matris formunda Denklem 1.24'te ifade edilmiştir [45].

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & \pm gm \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_x \\ V_z \end{bmatrix} \quad (1.24)$$

Bir CDTA'nın diğer temel analog yapı taşlarından daha düşük kazanç hataları (yüksek duyarlılık), daha yüksek doğrusallık, daha yüksek iletkenlik ve daha geniş frekans cevabına sahip olması analog devre tasarımında tercih edilen universal aktif elemanlardan biri olmasını sağlamaktadır [45, 46].

1.4.2.2. Gerilim farkı alan geçiş iletkenliği kuvvetlendiricisi (VDTA)

Gerilim farkı alan geçiş iletkenliği kuvvetlendiricisi (VDTA), akım farkını alan geçiş iletkenliği kuvvetlendiricisinin (CDTA) bir alternatifidir ve voltaj girişlerine sahiptir [47,48].

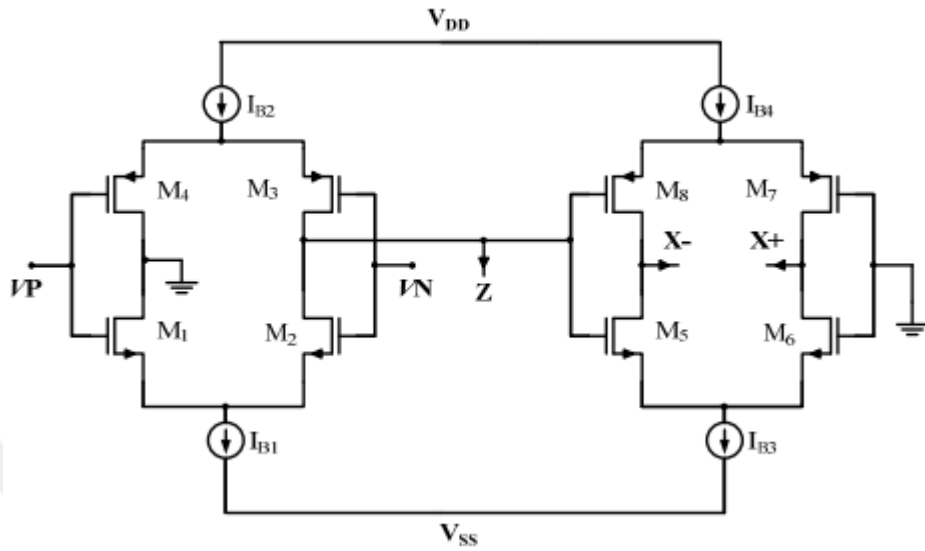


Şekil 1.17. VDTA sembolik gösterimi

Şekil 1.17'de verilen sembolik gösterimde V_p ve V_n , pozitif ve negatif giriş terminallerini temsil eder. Z^+ , Z^- , X^+ , ve X^- ise çıkış terminalleridir. VDTA'da tüm giriş ve çıkış terminalleri yüksek empedansa sahiptir. Diferansiyel giriş voltajı ($V_p - V_n$), Z terminallerinde (Z^+ , Z^-) VDTA'nın birinci geçiş iletkenliğiyle (gm_1) orantılı akımlar üretir. Z^+ terminalindeki voltaj düşüşü, X terminallerinde (X^+ , X^-) ikinci geçiş iletkenliğiyle (gm_2) orantılı akımlara neden olur. Bu ilişkiler matris formunda Denklem 1.25'te ifade edilmiştir [47,48].

$$\begin{bmatrix} I_z \\ I_{X+} \\ I_{X-} \end{bmatrix} = \begin{bmatrix} gm_1 & -gm_1 & 0 \\ 0 & 0 & gm_2 \\ 0 & 0 & -gm_2 \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \end{bmatrix} \quad (1.25)$$

Şekil 1.18’de yer alan VDTA’nın CMOS gerçekleştirimi 2011 yılında Yeşil ve arkadaşları tarafından gerçekleştirilmiştir [49].

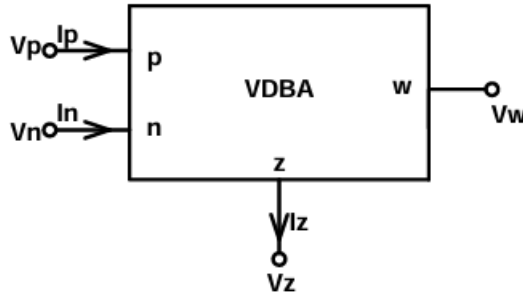


Şekil 1.18. VDTA’nın CMOS gerçekleştirimi

VDTA’nın hem akım hem de gerilim modlu cihaz olarak davranma yeteneği, onu süzgeç, osilatör gibi çeşitli devrelerin tasarımında kullanılabilir kılmaktadır. Bu özellikler, VDTA’nın geniş bir uygulama yelpazesi için esnek bir çözüm sunduğunu göstermektedir. Analog sinyal işleme alanındaki gelişmelerle birlikte, VDTA gibi yeni ve esnek devre yapıları, daha karmaşık sistemlerin tasarımında kullanılarak daha etkili ve optimize edilmiş çözümler sağlayabilmektedir [47,48].

1.4.2.3. Voltaj Farkını Alan Tamponlanmış Kuvvetlendirici (VDBA)

Voltaj farkını alan tamponlanmış kuvvetlendirici (VDBA) devresi, popüler bir analog yapı taşı olup, iki çıkış ve iki giriş terminaline sahiptir. VDBA’nın şematik gösterimi Şekil 1.19’da bulunmaktadır. Bu şekilde, devrenin p ve n terminalleri girişleri temsil ederken, z ve w terminalleri çıkışları temsil etmektedir [50,51].



Şekil 1.19. VDBA şematik gösterimi

VDBA, OTA'nın çıkış terminaline tampon kuvvetlendirici eklenmesiyle elde edilmiştir. Gerilim farkı ise OTA'nın diferansiyel girişinde gerçekleşir. Diferansiyel giriş voltajı, iletkenlik kazancıyla ilişkilidir ve z terminalindeki akıma transfer edilir [50].

VDBA yapısı yüksek giriş empedansı, düşük çıkış empedansı, yüksek kazanç, yüksek bant genişliği, az güç tüketme, yüksek değişim hızı (slew-rate) gibi özellikleri ile analog devre tasarımında tercih edilen yapılardan biridir [52].

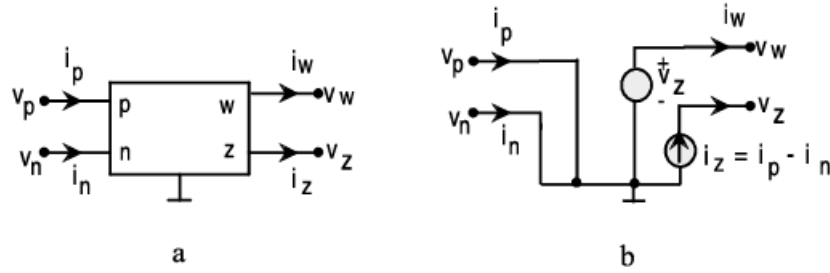
VDBA'nın terminal akımları ve gerilimleri arasındaki ilişki Denklem 1.26'daki matrisle karakterize edilebilir:

$$\begin{bmatrix} I_p \\ I_n \\ I_z \\ V_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ gm & -gm & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \end{bmatrix} \quad (1.26)$$

Burada, V_p ve V_n yüksek empedanslı voltaj girişlerini, I_z yüksek empedanslı akım çıkışını ve V_w düşük empedanslı voltaj çıkışını temsil eder. Yukarıdaki matriste verilen bu ilişkiler, devrenin çalışma prensiplerini ve terminal bağlantılarını ifade etmektedir [50].

1.4.2.4. Akım Farkı Alan Tamponlanmış Kuvvetlendirici (CDBA)

Akım farkı alan tamponlanmış kuvvetlendirici (CDBA)'nın devre sembolü Şekil 1.20'de gösterilmiştir, bu sembolde p ve n terminalleri düşük empedanslı girişleri temsil ederken, w ve z terminalleri çıkışları ifade etmektedir. Z terminalinden geçen akım, p terminalinden ve n terminalinden geçen akımların farkıdır [53].



Şekil 1.20. CDBA'nın a) şematik gösterimi b) eşdeğer devresi

CDBA yapısı, yüksek empedanslı akım çıkış terminali olan z terminaline ve bu akım çıkışının tamponlanmasıyla elde edilen düşük empedanslı voltaj çıkış terminali olan w terminaline sahiptir. Bu yapının bağlantıları ise Denklem 1.27'de yer almaktadır [54].

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ V_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_z \\ I_w \end{bmatrix} \quad (1.27)$$

1.5. Literatür Taraması

Tümleşik devre tasarımıındaki ilerlemeler, cihaz boyutlarının sürekli olarak küçülmesiyle birlikte, analog sinyal işleme devrelerinin akım modlu yaklaşımına olan ilgiyi artırmıştır. Bu bağlamda, gerilim modundan ziyade tamamen akım modunda çalışan çok yönlü bir cihaz olan akım farkını alan geçiş iletkenliği kuvvetlendiricisi (CDTA), düşük güç tüketimi ve yüksek frekanslı uygulamalarda kullanılmak üzere yeni analog modüllerin tasarımında oldukça önemli bir role sahiptir.

CDTA'lar, akım moduyla çalıştıkları için geniş bant genişliği ve geniş dinamik aralık sağlayarak çeşitli fonksiyonları gerçekleştirebilmektedir. Bu özellikleri sayesinde, çarpıcılardan [55-57] modülatörlere [58,59], doğrultuculardan [60-62] kare alıcı ve karekök alıcı devrelerine [55] kadar birçok uygulamada kullanılabilirler. Literatürde bahsedilen bazı uygulamalar arasında çeşitli süzgeçler [63-68], osilatörler [69-72], Schmitt tetikleyiciler [73-75], akım sınırlayıcılar [76] ve integratörler [77] bulunmaktadır.

CDTA'nın kullanım alanlarından biri de alan programlanabilir analog dizilerin (FPAA) uygulanmasıdır. Yeniden yapılandırılabilirlik özelliği, yarı iletken endüstrisinde esneklik

sağlayarak her bir uygulama için ayrı bir çip tasarlamadan özelleştirmeyi mümkün kılmaktadır. Bu sayede, bir dizi analog sinyal işleme fonksiyonu FPAA'ya kolayca uygulanabilir ve devre, farklı uygulamalar için yeniden programlanabilmektedir [55,78].

Son dönemlerde düşük güç tüketiminin önem kazanması ile analog devre tasarımında yaygın kullanılan üniversal aktif elemanlarının da düşük güçlü tasarımları yapılmaktadır. Bu elemanlardan biri olan CDTA devreleri ile ilgili yapılan literatürdeki çalışmaların bir kısmı aşağıda verilmektedir.

İlk olarak, Biolek [79] tarafından 2003 yılında öne sürülen CDTA kavramı, akım farkını alan tamponlanmış kuvvetlendirici (CDBA) ile operasyonel geçiş iletkenliği kuvvetlendiricisinin (OTA) bir kombinasyonunu içermektedir. İlk temel CDTA tasarımı, iki diferansiyel akım taşıyıcı ve ardından tek girişli, çift akım çıkışlı bir OTA (DO-OTA) kullanılarak gerçekleştirilmiştir. Bu CDTA'nın geçiş iletkenliği 0,479 mA/V, kutuplama akımı ise 200 μ A değerindedir. Önerilen CDTA devresi, çok girişli integratör devrelerinin kolay uygulanabilmesini sağlamaktadır.

Uygur ve Kuntman [80] tarafından, 2007 yılında CDTA tasarımı için yeni bir yaklaşımını önermektedirler. Yazarlar, CDTA devresini uygulamak için diferansiyel akım kontrollü bir akım kaynağı ünitesi ve OTA bloğunu uygulamak için değişken bir akım kaynağı ünitesi kullanarak gerçekleştirilmiştir. Önerilen CDTA devresinde 0.5 μ m MIETEC parametrelerini kullanarak toplam 22 MOS transistör kullanılmıştır. Devrenin kompaktlığı sayesinde yüksek frekanslarda çalışma kapasitesine sahip olduğu belirtilmiştir. Önerilen CDTA devresinin geçiş iletkenliği 400 μ A/V, güç tüketimi ise 4 mW olduğu belirtilmiştir. Yazarlar, bu CDTA devresini kullanarak yalnızca 0.1 dB'lik geçiş bantı dalgalanmasına sahip yedinci dereceden eliptik süzgecini başarıyla uygulamaktadırlar.

Biolek ve ark. [81,82] tarafından, 2008 yılında CDTA için yeni bir devre tanıtmaktadırlar. Bu devrede, CDBA'nın uygulanmasında akım aynalı bir voltaj tamponu kullanılmış ve OTA, çift çıkışlı iki evirici kuvvetlendirici kullanılarak gerçekleştirilmiştir. Giriş aşamasında devrede kullanılan voltaj tamponları nedeniyle giriş empedansı düşük olduğu belirtilmiştir. Bu CDTA tasarımı, 0,35 μ m TSMC teknolojisi kullanılarak simüle edilmiştir. Bu CDTA'nın yine Biolek tarafından daha önce yapılan çalışmaya [79] göre çok daha düşük giriş empedansına (1,92 Ω) sahip olduğu ve daha geniş bir bant

genişliğine (yaklaşık 1 GHz) sahip olduğu belirtilmiştir. Önerilen CDTA devresi 6.31 mW güç tüketmektedir. Ayrıca bu çalışmalarda önerilen CDTA ile hassas tam dalga doğrultucu [82] ve alçak geçiren, yüksek geçiren ve bant geçiren akım modlu biquad süzgeç [81] tasarımları gerçekleştirilmiştir.

Kaçar ve Kuntman [45] tarafından, 2011 yılında diferansiyel akım kontrollü akım kaynağı ile yüksek performanslı çift çıkışlı geçiş iletken elemanı ile birleştirilerek CDTA'yı gerçekleştirmişlerdir. Önceki çalışmalara kıyasla yüksek bir sayı olan 60 transistör kullanılarak CDTA uygulanmıştır. Önerilen CDTA, TSMC 0.35- μ m CMOS parametreleri kullanılarak simüle edilmiş ve klasik CDTA devresi ile kıyaslanarak sunulmuştur. Devrenin güç tüketiminin ise 3.61 mW olduğu belirtilmiştir. Önerilen devrenin düşük giriş direnci, yüksek çıkış direnci, geniş lineer aralığa sahip olduğu için yüksek performans ile çalıştığı belirtilmiştir. Önerilen CDTA devresi ile akım modlu biquadratik süzgeç tasarımı gerçekleştirilmiştir.

Alaybeyoğlu ve ark. [83] tarafından, 2014 yılında yeni bir tasarım önerisi sunmaktadırlar. Önerilen tasarımda, CDTA'nın mevcut kapasitesini geliştirmek için yardımcı terminale z-kopya bölümü de eklenmiştir. CDTA'nın giriş empedanslarını iyileştirmek için pozitif geri besleme yaklaşımı benimsenmektedir. Önerilen CDTA, akım farkı ünitesi ve yüzen akım kaynağı yapılarından oluşmaktadır ve önerilen devrede yalnızca 24 transistör bulunmaktadır. Bu çalışmada önerilen CDTA, AMS 0.18- μ m parametreleri kullanılarak simüle edilmiştir ve devre 1.08 mW güç tüketmektedir. CDTA devresinin uygulanabilirliğini kanıtlamak için bu CDTA yapısı kullanılarak süzgeç tasarımları gerçekleştirilmiştir.

Alaybeyoğlu ve Kuntman [84] tarafından, 2016 yılında yeni bir z-kopya CDTA tasarımını gerçekleştirmişlerdir; bu CDTA akım farkı ünitesi, üçüncü nesil akım taşıyıcı (CCIII) ve çift çıkışlı OTA (DO-OTA) yapılarından oluşmaktadır. Z terminalinin akım hassasiyetini artırmak amacıyla üçüncü nesil akım taşıyıcı (CCIII) kullanılmıştır. Bu devrede kullanılan transistör sayısı 36'dır. Önerilen CDTA, AMS 0.18- μ m CMOS parametreleri kullanılarak simüle edilmiş ve 518.26 μ W güç tüketmiştir. Önceki çalışması [83] ile karşılaştırıldığında güç tüketiminin oldukça düşük olduğu görülmektedir. Fakat kullanılan transistör sayısının artması nedeniyle kapladığı çip alanında artış olduğu

görülmektedir. Bu çalışmada ayrıca önerilen CDTA yapısı ile süzgeç tasarımları gerçekleştirilmiştir.

Alaybeyoğlu ve Kuntman [64, 85] tarafından, 2016 yılında analog sinyal işleme için CDTA'ları kullanan yeni bir yeniden yapılandırılabilir süzgeç önerilmektedir. Süzgeç yapısı universal aktif eleman olarak CDTA'lardan ve pasif eleman olarak sadece iki kapasitörden oluşmaktadır. Bu çalışmada kullanılan CDTA yapısı [84]'ün değiştirilmiş bir versiyonudur. Bu çalışmada önerilen CDTA'nın akım farkı ünitesi devresi benzer ancak çıkış katı değişken akım kaynağı ünitesi olarak değiştirilmiştir. Önerilen bu devrede toplamda 29 transistör kullanılmaktadır ve 3.88 mW güç tüketmektedir. Bu CDTA, konumlandırma sistemi [64] ve yeniden yapılandırılabilir süzgeç yapısı [85] tasarlamak için kullanılmıştır.

Khateb ve Biolek [86] tarafından 2011 yılında tanıtılan düşük güçlü düşük gerilimli CDTA (BD-CDTA) tasarımında gövdeden sürülen MOS (BDMOS) prensibi kullanılmaktadır. Önerilen CDTA'da akım farkı ünitesi bölümü ve OTA'dan oluşmaktadır. Akım farkı ünitesi iki gövdeden sürülen ikinci nesil akım taşıyıcıdan (CCII) oluşmaktadır. Önerilen bu devrede pasif dirençler ve kapasitörlerle birlikte toplam 39 transistör kullanılmıştır. Bu BD-CDTA, 0.25 μm CMOS teknolojisi parametreleri kullanılarak simüle edilmekte ve 143 μW güç tüketmektedir. Ayrıca bu çalışmada önerilen CDTA ile üçüncü dereceden eliptik alçak geçiren süzgeç tasarımı da gerçekleştirilmiştir.

Gövdeden sürülen akım farkını alan geçiş iletkenliği kuvvetlendiricisi (BD-CDTA) devresi, diğer tüm CDTA türleriyle karşılaştırıldığında çok daha az güç tüketimine ve düşük besleme voltajına sahip olduğu görülmektedir. Ancak diğer CDTA devrelerine göre giriş direnç değerlerinde artma ve çıkış direnç değerlerinde azalma görülmektedir.

Shaktour [87] tarafından, 2015 yılında [86]'daki benzer bir topolojiyi kullanarak BD-CDTA tasarımı gerçekleştirmiştir. Önerilen CDTA devresi akım farkı ünitesi bölümü ve çift çıkışlı OTA'dan oluşmaktadır. Akım farkı ünitesi iki ikinci nesil akım taşıyıcıdan (CCII) oluşmaktadır. Bu BD-CDTA, 0.18 μm CMOS teknolojisiyle simüle edilmekte ve 264 μW güç tüketmektedir. Önerilen bu CDTA, düşük frekanslı uygulamalar için uygun olduğu belirtilmektedir. Bu devrenin tasarımında toplam 43 transistör kullanılmaktadır.

BD-CDTA yapısı, diğer yapılan CDTA'lara göre çok daha küçük besleme voltajına ve çok daha az güç tüketimine sahiptir. Ancak bant genişliği BD-CDTA yapılarında diğer CDTA'lara göre daha dar olmaktadır.

Rana ve ark. [88] tarafından 2018 yılında yüzen geçit MOS (FGMOS) kullanarak yeni bir düşük gerilim düşük güçlü CDTA gerçekleştirilmiştir. Bu yüzen geçit MOSFET tabanlı CDTA'da (FG-CDTA), OTA'nın yapısında yer alan akım aynasındaki MOSFET'in yüzen geçit MOSFET'lerle değiştirilmesi ile FG-CDTA tasarımı sunulmaktadır. Önerilen bu FGCDTA devresinde 24 transistör kullanılmakta ve 2.60 mW güç tüketmektedir. Önerilen devre 130 nm TSMC teknolojisiyle simüle edilmektedir. Ayrıca bu çalışmada önerilen FG-CDTA devresi ile osilatör ve Schmitt tetikleyici devre tasarımları da sunularak simüle edilmektedir.

Yıldırım ve ark. [89] tarafından 2016 yılında biyomedikal sinyal işleme uygulamaları için, CDTA yapısından oluşan bir süzgeç tasarımı gerçekleştirilmiştir. DTMOS transistör kullanılması ile CDTA devresinin daha küçük değerli kapasitör ve daha düşük besleme gerilimi ile çalışması sağlanmıştır. Buna ek olarak, küçük değerli kapasitör kullanımı ile kullanılan çip alanının da azalması sağlanmaktadır. Önerilen bu DT-CDTA devresinde 22 transistör kullanılmakta ve 90 nW güç tüketmektedir. Önerilen devre 0.18 μm TSMC teknolojisiyle simüle edilmektedir.

Voltaj farkını alan geçiş iletkenliği kuvvetlendirici (VDTA), aktif bir elemandır ve analog sinyal işleme alanında kullanılmaktadır. Diğer universal aktif elemanlardan farklı olarak, VDTA'nın avantajı, iki farklı geçiş iletkenliği değeri ($gm_F - gm_S$) sunmasıdır. Bu özellik, biquadratik süzgeçler [90,91], osilatörler [92,93] ve frekansa bağımlı negatif direnç (FDNR) [94,95] gibi çeşitli uygulamalara olanak tanımaktadır. Ayrıca, giriş terminallerinin gerilim ve çıkış terminallerinin akım olması, geçiş iletkenlik modlu uygulamalarında kolaylıkla kullanılabilmesini sağlamaktadır. Literatürde, VDTA'nın osilatörler [92,93] ve gerilim, akım modlu süzgeçler [94-96] gibi çeşitli analog sinyal işleme devrelerinde kullanıldığı görülmektedir.

Son zamanlarda, düşük güç tüketimi önemli hale geldiğinden, analog devre tasarımında yaygın olarak kullanılan universal aktif elemanların düşük güçlü tasarımları da yapılmaktadır. Bu elemanlardan biri olan VDTA devreleri ile ilgili yapılan literatürdeki çalışmaların bir kısmı aşağıda verilmektedir.

İlk olarak, Biolek [99] tarafından 2008 yılında öne sürülen VDTA kavramı, akım farkını alan geçiş iletkenliği kuvvetlendiricisine (CDTA) alternatif olarak geliştirilmiştir. VDTA, voltaj farkını alan tamponlanmış kuvvetlendirici (VDBA) ile operasyonel geçiş iletkenliği kuvvetlendiricisinin (OTA) bir kombinasyonunu içermektedir. VDTA devre bloğunun temel özelliği, iletkenlik kazancındaki (gm) değişkenlik ile elektronik kontrol edilebilirlik olduğu belirtilmektedir.

Yeşil ve ark. [49] tarafından 2011 yılında yapılan bu çalışmada, voltaj farkını alan geçiş iletkenliği kuvvetlendiricisinin (VDTA) yeni ve basit bir CMOS gerçekleştirilmesi sunulmaktadır. Önerilen blok, iki voltaj girişi ve iki akım çıkışına sahiptir. Ayrıca, VDTA'nın sunmuş olduğu iki farklı geçiş iletkenlik değeri sayesinde analog devre tasarımları için harici dirençlere ihtiyaç duyulmamaktadır. Bu da analog devre tasarımcıları için önemli bir avantajdır. Önerilen VDTA yüksek frekanslı uygulamalar için uygun olup, besleme gerilimi ise $\pm 0,9$ V'tur. Önerilen devrenin besleme gerilimine dikkat çekerek düşük gerilimli uygulamalar için uygun olduğu belirtilmiştir. Önerilen VDTA devresi 18 MOS transistörden oluşmaktadır. Ayrıca önerilen VDTA ile VDTA tabanlı süzgeç tasarımı yapılmakta ve $0.18 \mu\text{m}$ TSMC teknolojisiyle simüle edilmektedir. Önerilen VDTA devresinin, $150 \mu\text{A}$ kutuplama akımı ve $gm_1 = gm_2 = 636.3 \mu\text{A/V}$ geçiş iletkenliğine sahip olduğu belirtilmektedir.

Prasad ve ark. [91] tarafından 2013 yılında yapılan bu çalışmada, Biolek tarafından sunulan [99] VDTA devresi kullanılarak yeni bir akım modlu tek giriş çok çıkışlı biquadratik süzgeç tasarımı sunulmaktadır. Önerilen bu süzgeç, alçak geçiren, bant geçiren, yüksek geçiren süzgeç yanıtlarını gerçekleştirebilmektedir. Ayrıca, doğal açıl frekans (ω_0) ve bant genişliği bağımsız olarak ayarlanabilmektedir. Önerilen devre $0.18 \mu\text{m}$ TSMC teknolojisiyle simüle edilmektedir.

Satansup ve ark. [96] tarafından 2013 yılında yapılan bu çalışmada, elektronik olarak ayarlanabilen tek girişli beş çıkışlı voltaj modlu evrensel süzgecin tasarımı için voltaj farkını alan geçiş iletkenliği kuvvetlendiricisinin (VDTA) olası bir kullanımını sunmaktadır. Önerilen VDTA devresi, 18 MOS transistörden oluşmaktadır. Ayrıca bu çalışmada önerilen VDTA ile süzgeç devresi tasarımı yapılmaktadır. Önerilen süzgeç devresi, alçak geçiren, bant geçiren, yüksek geçiren ve bant durduran süzgeçleme yanıtlarını aynı anda gerçekleştirebilmektedir. VDTA'ların geçiş iletkenliği kazançları

aracılığıyla doğal açısal frekansın (ω_0) ve kalite faktörünün (Q) bağımsız bir elektronik kontrolünü sağlayabilmektedir. Önerilen devreler 0.35 μm TSMC teknolojisiyle simüle edilmektedir.

Alaybeyoğlu ve Kuntman [100] tarafından 2015 yılında yapılan bu çalışmada, VDTA tasarımı ve bu tasarlanan VDTA ile yeni bir voltaj modlu frekans çevik (agile) süzgeci sunulmaktadır. Önerilen VDTA devresi 17 MOS transistörden oluşmakta ve 747.4 μm çip alanı kaplamaktadır. Tek bir VDTA ve iki kapasitör kullanılarak tasarlanan süzgeç, yüksek çalışma frekanslarına ulaşmak için geleneksel kapasitörler yerine MOS kapasitör tekniğini kullanmaktadır. Süzgecin çevikliği, farklı boyutlardaki MOS kapasitörlerinin seçilmesiyle sağlanmıştır. Tasarlanan devreler AMS 0,18 μm parametreleri kullanılarak simüle edilmektedir.

Shaktour [101] tarafından 2011 yılında yapılan bu çalışmada, düşük gerilim düşük güçlü uygulamalar için VDTA devre tasarımı sunulmaktadır. VDTA devre tasarımında gövdeden sürülen MOS (BDMOS) tekniği kullanılmıştır. Önerilen VDTA, diferansiyel giriş tek çıkış (DISO) ve tek giriş diferansiyel çıkış (SIDO) olmak üzere iki OTA'dan oluşmaktadır. Bu önerilen devre, $\pm 0,6$ V gibi düşük besleme voltajına sahiptir. 0.18 μm TSMC teknolojisiyle simüle edilmektedir. Önerilen VDTA devresinde 35 MOS transistör bulunmakta ve 206 μW güç tüketmektedir.

Biolek ve ark. [102] tarafından 2012 yılında yapılan bu çalışmada, Shaktour [101] tarafından önerilen VDTA devresi ile VDTA-C KHN süzgeci (Kerwin-Heulsman-Newcomb) tasarımı sunularak 0.18 μm MIETEC teknolojisi ile simüle edilmektedir. Besleme voltajı olarak ± 0.6 V kullanılmaktadır.

Rana ve ark. [103] tarafından 2018 yılında yapılan bu çalışmada, düşük güç uygulamalarının artan talebini karşılamak amacıyla FGMOS tabanlı voltaj farkını alan geçiş iletkenliği kuvvetlendirici üzerine bir çözüm sunulmaktadır. Önerilen devre $\pm 0.7\text{V}$ ile beslenmektedir. Devre, CMOS VDTA yapısına göre daha düşük besleme voltajlarında çalışırken daha az güç kaybıyla etkin bir şekilde çalışabilmektedir. Ayrıca devre, MOS VDTA yapısına göre daha geniş bir bant genişliği sağlayarak performansını artırmaktadır. Önerilen FGMOS tabanlı VDTA'nın alçak gerilim analog sinyal işleme uygulamalarında kullanımının uygun olduğu belirtilmiştir. Önerilen FGMOS tabanlı VDTA devresi ile süzgeç tasarımları yapılmakta ve 180 nm TSMC teknolojisi ile simüle edilmektedir.

Singh [104] tarafından 2019 yılında yapılan bu çalışmada, düşük güçlü düşük gerilimli VDTA devresi FGMOS tekniği kullanılarak sunulmaktadır. Önerilen devrede, VDTA yapısında bulunan akım aynalarında FGMOS tekniği kullanılması ile düşük gerilimli VDTA tasarımı amaçlanmaktadır. Önerilen devre ± 0.75 V ile beslenmektedir. Önerilen FGMOS tabanlı VDTA devresi ile süzgeç tasarımları yapılmakta ve 0.18 μm TSMC teknolojisi ile simüle edilmektedir.

Uygur ve Kuntman [47] tarafından 2013 yılında yapılan bu çalışmada, ultra düşük gerilimli ve ultra düşük güçlü voltaj farkını alan geçiş iletkenliği kuvvetlendiricisi (VDTA) tasarımı sunulmaktadır. Tasarımın temelinde, düşük besleme voltajlarını etkin bir şekilde kullanabilmek için DTMOS transistörleri yer almaktadır. Önerilen VDTA, eşik altı bölgede çalışan iki operasyonel geçiş iletkenlik kuvvetlendiricisinden (OTA) oluşur. 0,18 μm TSMC teknolojisi ile simüle edilmekte ve simetrik $\pm 0,2$ V besleme gerilimi kullanılmaktadır. Önerilen VDTA'nın toplam güç tüketimi ise 5,96 nW olarak belirtilmiştir. Önerilen VDTA devresi daha sonra EEG (beyin çizelgesi yöntemi) veri ölçümlerini işlemek için dördüncü dereceden çift ayarlı bant geçiren süzgeçte kullanılmıştır.

Krishna ve Nagar [105] tarafından 2023 yılında yapılan bu çalışmada, tek bir VDTA'ya dayalı dört bölgeli bir çarpıcı/bölücü devre yapısı sunulmaktadır. Bu devrenin yapısında yer alan VDTA devresinin besleme gerilimini ve güç tüketimini en aza indirebilmek amacıyla DTMOS tekniği kullanılmıştır. Önerilen dört bölgeli bir çarpıcı/bölücü devresinde 0,2 V gerilim kaynağı tercih edilmektedir. Önerilen bu devre, 90 nm GPDK teknolojisi kullanılarak simüle edilmekte ve 0,144 μW güç tüketimi değeriyle oldukça verimli çalışmaktadır.

2. BÖLÜM

YÖNTEM VE MATERYAL

Düşük güç, düşük gerilimli sistemlerin tasarımında, DTMOS, FGMOS ve BDMOS gibi teknikler, yaygın olarak kabul görmüş önemli yaklaşımlar olarak bilinmektedir. Bu çalışmada, bu tekniklerin VDTA ve CDTA gibi önemli universal aktif elemanlarda nasıl kullanılabileceği incelenmiştir. VDTA (Voltage Differencing Transconductance Amplifier) ve CDTA (Current Differencing Transconductance Amplifier), modern analog devre tasarımında temel yapı taşları olarak kabul edilmektedirler. Ancak, düşük güç ve düşük gerilim koşullarında bu devrelerin performansını optimize etmek için mevcut olan tekniklerin adaptasyonu ve uyarlama süreci, literatürde genellikle yeterince ele alınmamıştır. Bu çalışma, DTMOS, FGMOS ve BDMOS gibi tekniklerin VDTA ve CDTA devrelerine uyarlanmasını detaylı bir şekilde araştırarak, düşük güç düşük gerilimli sistemlerin analog devre tasarımındaki etkinliğini artırmayı amaçlamaktadır.

2.1. Yöntem

2.1.1. DTMOS Yöntemi

Dinamik Eşik Gerilimli MOS (DTMOS) transistör, düşük besleme gerilimlerinde yüksek performans sergileyebilen bir yöntem olarak öne çıkmaktadır. Bu yöntemde giriş, gövde ve geçit terminaline aynı anda uygulanır, yani geçit ve gövde terminalleri birbirine bağlanarak giriş buradan verilmektedir. Aynı zamanda gövde kaynak jonksiyonunun ileri yönde kutuplanması ile düşük gerilimli olarak işlev görme prensibine dayanan bir eleman olmaktadır.

Bu çalışma prensibi, transistörün eşik geriliminin gövde kaynak gerilimine bağlı olarak değişmesinden kaynaklanmaktadır. Dolayısıyla, DTMOS transistör, gövde kaynak gerilimi değişimine bağlı olarak dinamik bir karakteristik göstermektedir. Ayrıca,

geleneksel MOS transistörlere göre daha yüksek geçiş iletkenliği sergilemekte, bu da daha düşük besleme gerilimlerinde daha yüksek akım akıtarak düşük güç tüketimli ve düşük gerilimli analog devreler için ideal bir seçenek olmasını sağlamaktadır.

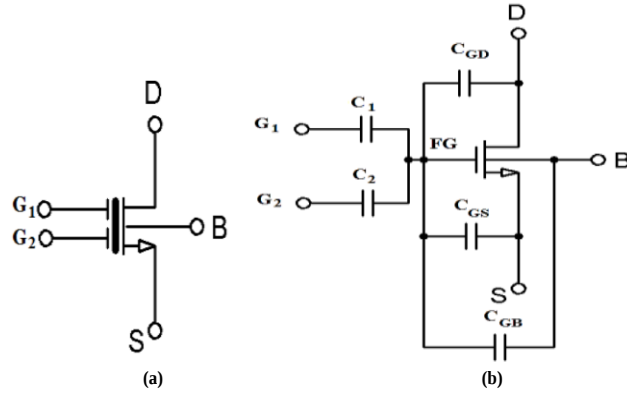
DTMOS transistörler, literatürde özellikle sayısal devrelerde düşük besleme gerilimlerinde güç tasarrufu sağlama ve düşük kaçak akımı nedeniyle önerilmiştir. Aynı zamanda düşük besleme gerilimli analog devrelerde de yüksek geçiş iletkenliği göstererek devrelerin performansını arttırmakta ve bu nedenle düşük besleme gerilimli analog devre tasarımları için de uygun olmaktadır [34].

2.1.2. FGMOS Yöntemi

Yüzen Geçit MOS (FGMOS) transistör, düşük besleme gerilimlerinde yüksek performans sergileyebilen yöntemlerden biridir. Bu yöntemin belirgin farkı, çok girişli olması ve yüzen geçide sahip olmasıdır; her bir girişin etkisi, giriş ile yüzen geçit arasındaki kapasitif orana bağlı olarak belirlenir.

FGMOS transistörlerinin benzetimi yapılırken, girişlere seri kapasiteler eklendiğinden dolayı makro modeller gereklidir. Makro modeller oluşturulurken, transistörde ve yüzen geçitte parazitik ve örtüşme kapasiteleri dahil edilmesi gerekmektedir.

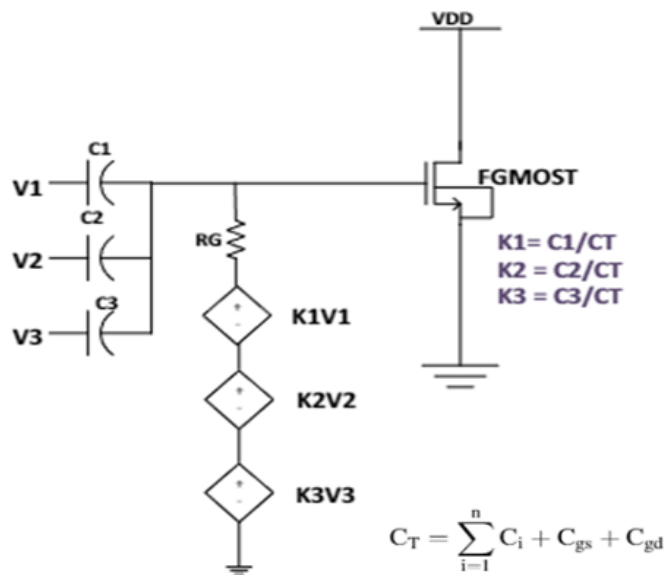
Şekil 2.1’de iki girişli FGMOS transistörün eşdeğer devresi yer almaktadır. Giriş, C_1 ve C_2 kapasiteleri ile geçit terminaline bağlanmakta ve FG düğümünü oluşturmaktadır. Ancak, FG düğümünden toprağa DC bir yol bulunmaması, benzetim programlarının FG düğümünü yüzen bir düğüm olarak algılamasına neden olur ve Şekil 2.1’deki eşdeğer devrenin benzetimi gerçekleştirilemez. Bu nedenle, yüzen geçit potansiyelini girişler ve transistorun diğer uç gerilimleri cinsinden hesaplayabilen bir modele ihtiyaç duyulmaktadır.



Şekil 2.1. İki girişli N-FGMOS için (a) sembol gösterimi, (b) eşdeğer devresi [16]

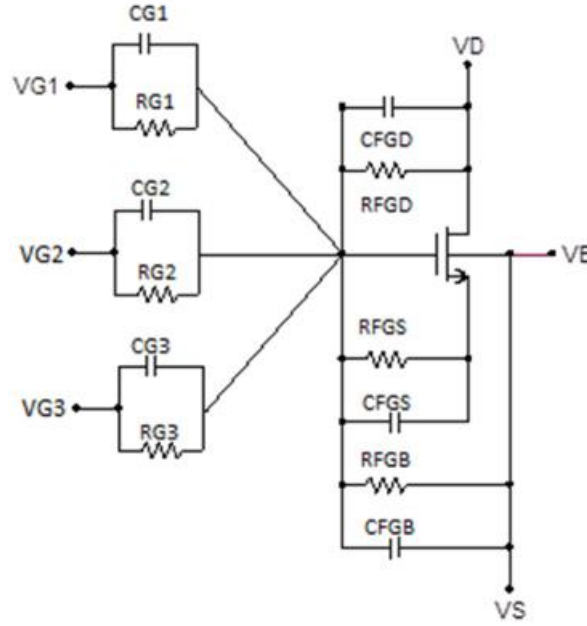
Literatürde farklı FGMOS makro modellerine rastlanmaktadır; bunlar arasında en sık kullanılanlar Sanchez-Sinencio (2000) [106] tarafından önerilen model ve Ramirez (1997) [107] tarafından önerilen modellerdir.

Ramirez [107] tarafından önerilen model Şekil 2.2’de gösterilmektedir. Bu modelde, C_1 , C_2 ve C_3 giriş kapasitelerinin toplam kapasiteye (C_T) oranı ile oluşturulan gerilimler ile FG düğümü oluşturulur ve böylece FG düğümünün simülasyon tarafından yüzen bir düğüm olarak algılanması engellenmektedir. RG direnci büyük değerde seçilerek direnç üzerinden akıtılacak akım minimuma indirgenmeye çalışılmaktadır.



Şekil 2.2. Ramirez tarafından önerilen FGMOS simülasyon modeli

Sanchez-Sinencio [106] tarafından önerilen Şekil 2.3'te gösterilen bu modelde ise, benzetim programları toprağa DC bağlantısı olmayan yüzen noktaları kabul etmediği için her bir kapasite ile bir de direnç eklenmiştir. Bu dirençlerin değerleri, getirecekleri yükleme etkisini en aza indirmek için büyük seçilmelidir. Ayrıca, her bir kolun aynı zaman sabitine sahip olması için zaman sabiti Denklem 2.1'deki gibi seçilmelidir.



Şekil 2.3. Sanchez-Sinencio tarafından önerilen FGMOS simülasyon modeli

$$R_1 C_1 = R_2 C_2 = R_3 C_3 = \dots = R_n C_n = R_{FGD} C_{FGD} = R_{FGS} C_{FGS} = R_{FGB} C_{FGB} \quad (2.1)$$

Direnç ve kapasite çarpımları birbirine eşit olduğundan Denklem 2.2 bağlantısı elde edilir [108].

$$V_{FG} = \frac{C_{FGD} V_D + C_{FGS} V_S + C_{FGB} V_B + \sum C_i V_i}{C_T} \quad (2.2)$$

Genellikle bir FGMOS transistorda giriş kapasiteleri diğer kapasitelerden daha büyük ve yaklaşık olarak CFGS kapasitesinin 10 katı olarak belirlenmiştir [108].

$$C_i \gg C_{FGD}, C_{FGS}, C_{FGB} \quad (2.3)$$

Bu kapasite deęerleri, FGMOS transistorun boyutlarına ve kullanılan teknoloji parametrelerine baęlı olarak deęişmektedir ve doyum bölgesinde çalışma koşulları için Denklem 2.4'teki gibi hesaplanmaktadır [108].

$$\begin{aligned}
 C_{FGB} &= C_{GBO} \cdot L \\
 C_{FGS} &= C_{GSO} \cdot W + \frac{2}{3} C_{OX} \cdot W \cdot L \\
 C_{FGD} &= C_{GDO} \cdot W
 \end{aligned} \tag{2.4}$$

Burada, C_{GBO} , C_{GSO} ve C_{GDO} teknolojiye baęlı parametreler olup MOS transistorun birim etkin uzunluk başına düşen örtüşme kapasitelerini belirtir ve parametre setinde yer almaktadır. C_{OX} aktif bölgenin birim alan başına düşen kapasite miktarını ifade ederken W , L ise transistorun boyutlarıdır [108].

Literatürde bu makro modellerin kullanıldığı ve başarımının kanıtlandığı birçok çalışma yer almaktadır [5, 9-17, 108]. Literatürde uygulama kolaylığı ve dięer yöntemlere göre daha verimli sonuçlar verdiğinden Sanchez-Sinencio'nun modelinin daha yaygın olarak kullanıldığı belirlenmiş ve bu model bu tezde de kullanılmıştır.

2.1.3. BDMOS Yöntemi

Gövdeden Sürülen MOS (BDMOS) yöntemi, MOS transistörlerin çalışma prensiplerini temel almakta ve güç tüketimini optimize etmek için tasarlanmış bir tekniktir. Bu yöntem, özellikle düşük güç tüketimi ve yüksek performans gerektiren uygulamalarda kullanılmaktadır.

Geleneksel MOS transistörler, geçidin üzerinde oluşan (V_{GS}) voltajı ile kontrol edilmektedir. Ancak, BDMOS yönteminde transistör gövde terminalinde oluşan gerilim tarafından kontrol edilmektedir. Bu sayede, transistörün çalışması ve güç tüketimi optimize edilmektedir.

2.2. Materyal

2.2.1. VDTA Devresi

VDTA (Voltage Differencing Transconductance Amplifier), Biolek tarafından 2008'de tanımlanan bir devredir ve beş terminale sahiptir. Bu devre, iki giriş, iki çıkış ve ara terminalden oluşmaktadır.

VDTA devresinin işleyişi, giriş terminallerindeki gerilim farkını alarak birinci geçiş iletkenliği katı ile çarpıp ara terminale akım olarak iletilmesiyle başlamaktadır. Ara terminale bağlı bir empedans kullanılarak gerilim oluşturulmakta ve bu gerilim ikinci katın girişine verilmektedir. İkinci katta, bu gerilim ikinci katın geçiş iletkenliği ile çarpılarak çıkış terminallerinde pozitif ve negatif akımlar oluşturmaktadır.

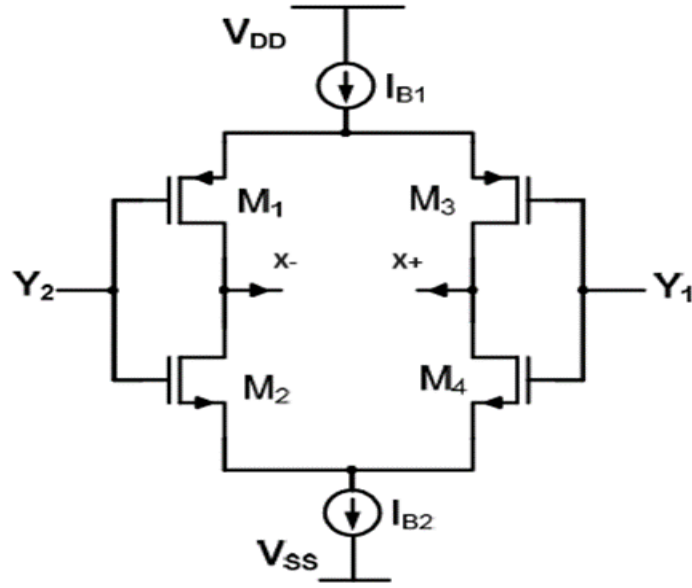
Devrenin gerçeklemede, birinci katın gerilim farkını alan bir geçiş iletkenliği yapısına sahip olması ve giriş ve çıkış empedanslarının yüksek olması gerekmektedir. Birinci kat için, farksal geçiş iletkenliği yapısına sahip olan OTA veya yüzen akım kaynağı (Floating Current Source, FCS) gibi yapılar kullanılmaktadır. İkinci kat ise geçiş iletkenliği katı özelliği göstermektedir.

Çıkış katında ise, sadece ara terminal ZP'de oluşan gerilim kullanılmaktadır. Giriş katında olduğu gibi çıkış empedanslarının da yüksek olması gerekmektedir. Çıkış katını gerçeklemek için OTA, FCS ve evirici bloklarından oluşan yapılar kullanılmaktadır. Bu tez kapsamında FCS yapıları kullanılacaktır [109].

2.2.1.1.FCS (Yüzen Akım Kaynağı)

FCS (Floating Current Source), dört transistor ve iki akım kaynağından oluşan bir yapıdır. Bu basit ve sade yapı, yüksek frekanslarda çalışma imkânı sağlamaktadır. Ayrıca, çıkış akımlarının yüksek hassasiyetle birbirlerini takip etmesi, devrenin önemli bir özellikleri arasında yer almaktadır.

FCS yapısı, Arbel ve Goldminz (2002) tarafından 1998 yılında akım modlu geri beslemeli kuvvetlendiricilerin (CFAs) çıkış katı olarak önerilmiştir. Temeli, iki evirici yapısının karşılıklı bağlanarak analog olarak kullanılmasına ve bu eviricilerin iki akım kaynağı ile beslenmesi prensibine dayanmaktadır. Ayrıca, yapı iki fark kuvvetlendiricisinin üst üste bağlanması şeklinde de düşünülebilmektedir.



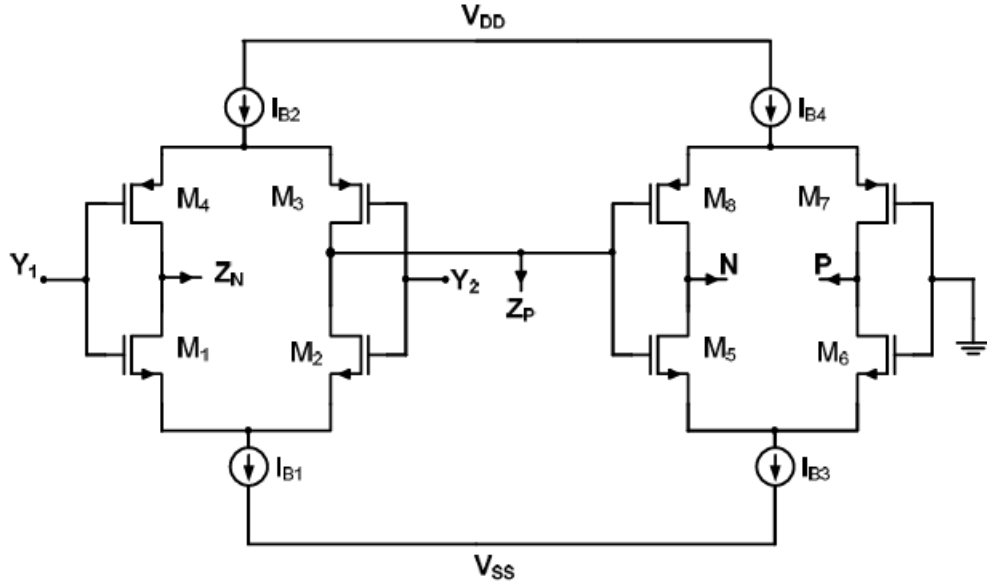
Şekil 2.4. CMOS yapıları ile gerçekleştirilmiş FCS devresi

FCS yapısının CMOS transistörler ile gerçekleştirilmiş hali Şekil 2.4'te gösterilmektedir. Yapı, OTA yapısına benzerlik göstermektedir. Giriş gerilimlerinin farkını geçiş iletkenliği ile çarparak çıkış akımını, X+ ve X- terminallerinde oluşturmaktadır. X+ ve X- terminalleri arasındaki akım genlik değerleri, bulundukları evirici yapısındaki transistörlerin geçiş iletkenliklerinin toplamının yarısına eşit olmakta ve aralarında 180° derece faz farkı bulunmaktadır. Yapının geçiş iletkenliği, Denklem 2.5'te verilmektedir [109].

$$g_{m1} = (g_3 + g_4)/2 \text{ ve } g_{m2} = -(g_1 + g_2)/2 \quad (2.5)$$

2.2.1.2. VDTA'nın FCS Yapısı Kullanılarak Gerçekleştirilmesi

VDTA'nın CMOS ile gerçekleştirilmiş hali Şekil 2.5'te gösterilmektedir. Bu devre, iki FCS yapısı kullanılarak gerçekleştirilmektedir. Yapının çıkış katında bir terminalin topraklanmasının nedeni, sadece ZP terminalindeki gerilime bağımlı geçiş iletkenliği elde etmektir [109].

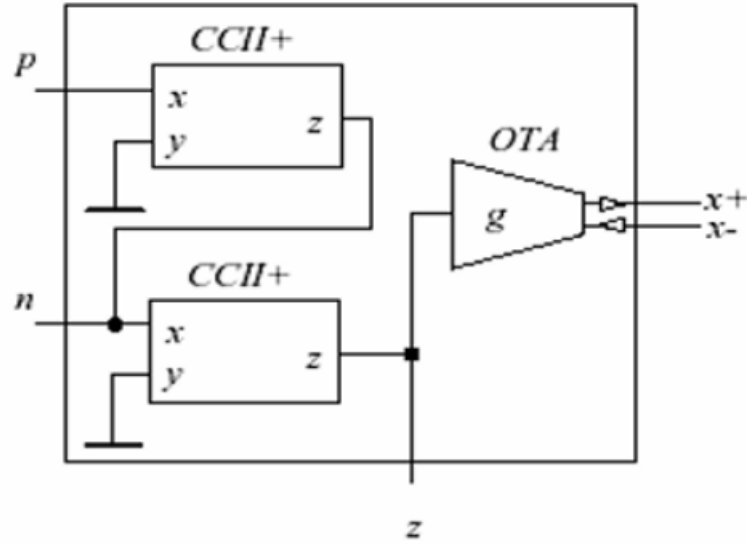


Şekil 2.5. CMOS FCS yapıları ile gerçekleştirilmiş VDTA devresi

Bu tez kapsamında, kullanılan VDTA devresi Şekil 2.5'te yer almaktadır. Akım kaynakları yerine akım aynası kullanarak bu devre gerçekleştirilmiştir. Devre ve benzetim sonuçları üçüncü bölümde yer almaktadır.

2.2.2. CDTA Devresi

Akım farkını alan geçiş iletkenliği kuvvetlendiricisi (CDTA), 2003 yılında Biolek tarafından önerilmiş beş uçlu bir akım modlu aktif devre bloğudur. Bu yapı, iki giriş ucu, bir ara terminal ve iki çıkış terminalinden oluşmaktadır. Girişlere uygulanan akım farkını alan bir devre bloğudur. Bu fark akımı, giriş katından ara terminale aktarılmakta ve bu terminale bağlı harici bir empedans aracılığıyla gerilime dönüştürülmektedir. Dönüştürülen bu gerilim, elemanın geçiş iletkenliği parametresiyle çarpılarak dengeli iki akıma dönüştürülmekte ve çıkışta elde edilmektedir [110].



Şekil 2.6. CDTA blok yapısı

CDTA devresini oluşturmak için çeşitli devre yapıları kullanılmaktadır. Bu tez kapsamında kullanılan CDTA devresi, iki ikinci nesil akım taşıyıcı (CCII) ve geçiş iletkenliği yapısından oluşmaktadır. Bu yöntemle oluşturulan CDTA Şekil 2.6'da gösterilmektedir.

Şekil 2.6'da akım farkını alan geçiş iletkenliği kuvvetlendiricisinin giriş katı, iki adet ikinci nesil akım taşıyıcı kullanılarak tasarlanmıştır. CCII elemanlarının y giriş terminalleri topraklanmıştır ve böylece birinci CCII elemanının z ucundan CDTA elemanının p giriş terminalinin akımı akmaktadır. Birinci CCII elemanının z ucu, ikinci CCII elemanının x giriş terminaline bağlanarak çıkışında CDTA elemanının giriş terminal akımlarının farkı akmaktadır. Bu nokta, CDTA elemanının z terminalini oluşturur ve genel olarak eleman kullanılırken buraya topraklı bir empedans bağlanarak gerilim X^+ ve X^- terminallerine aktarılmaktadır [110].

Bu tez kapsamında CDTA yapısında yer alan ikinci nesil akım taşıyıcı için Uygur ve Kuntman [111] tarafından önerilen devre yapısı ve transistör boyutları kullanılmaktadır. Devre ve benzetim sonuçları üçüncü bölümde yer almaktadır.

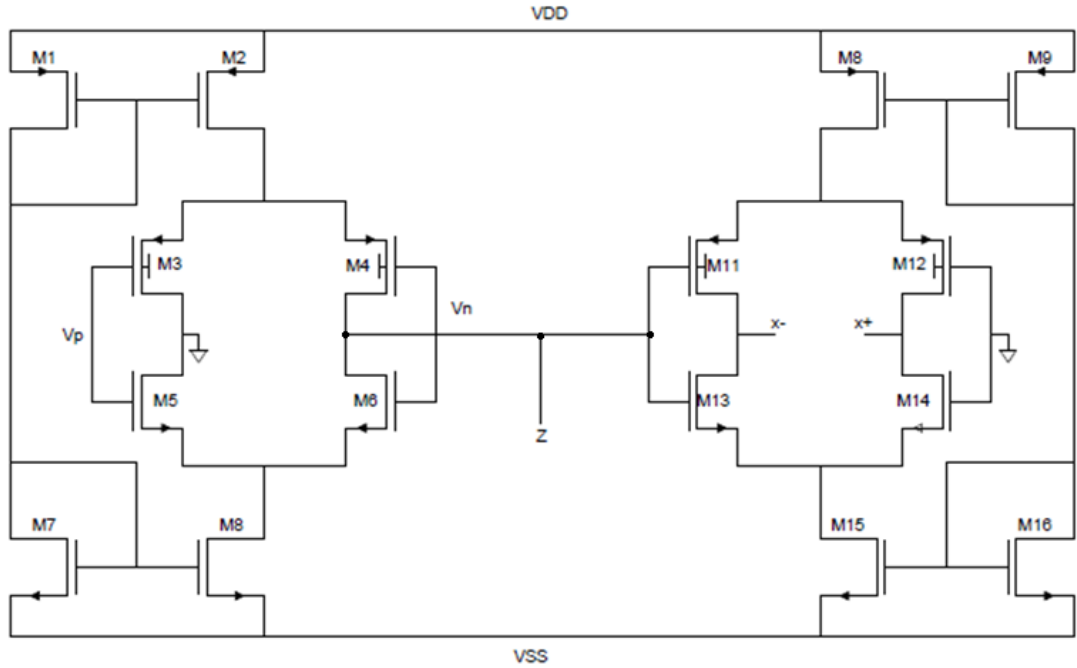
3. BÖLÜM

BULGULAR

3.1. Düşük Güç Düşük Gerilimli MOS Tasarım Yöntemleri ile VDTA Tasarımı

3.1.1. DTMOS Yöntemi ile VDTA Tasarımı

Önerilen DTMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.1’de sunulmaktadır. İki yüzen akım kaynağının birbirine bağlanması ile VDTA devresi oluşturulmuştur. Yüzen akım kaynağı yapısında yer alan bağımsız akım kaynakları için akım aynası tercih edilmiştir. M3, M4, M11, M12 transistörlerinde DTMOS yöntemi kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.



Şekil 3.1. Önerilen DTMOS tabanlı VDTA devresi

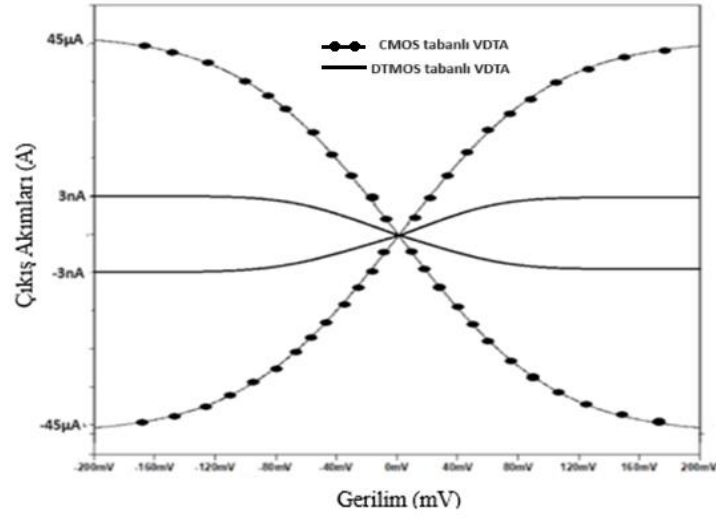
NMOS transistörlerinin ortak bir kuyuyu paylaşarak DTMOS transistörleri oluşturulması mümkün olmadığı için DTMOS yöntemi PMOS transistörler için uygundur. Bu yüzden önerilen VDTA devresinde DTMOS yöntemi M3, M4, M11, M12 transistörlerinde kullanılmaktadır.

Şekil 3.1’de önerilen VDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.1’de yer almaktadır.

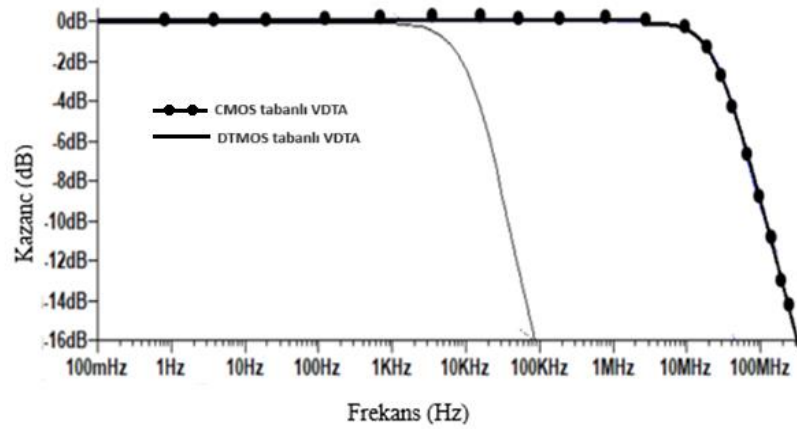
Tablo 3.1. Önerilen VDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M9, M10	150 μm	20 μm
M3, M4, M11, M12	150 μm	2 μm
M5, M6, M13, M14	50 μm	2 μm
M7, M8, M15, M16	50 μm	20 μm

Önerilen DTMOS tabanlı VDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı VDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.2’de DC karakteristiği ve Şekil 3.3’te ise kazanç- frekans eğrisi verilmektedir. Şekil 3.2’de görüldüğü üzere CMOS tabanlı VDTA devresi μA mertebesinde akım çekerken DTMOS tabanlı VDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.3’te görüldüğü gibi CMOS tabanlı VDTA devresinin DTMOS tabanlı VDTA devresine göre bant genişliği daha geniştir. DTMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.

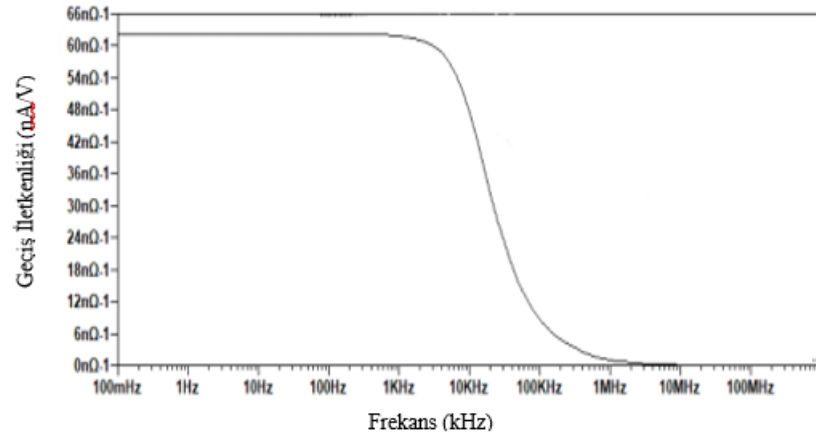


Şekil 3.2. CMOS ve DTMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri



Şekil 3.3. CMOS ve DTMOS ile gerçekleştirilmiş VDTA'nın kazanç- frekans eğrileri

Önerilen DTMOS tabanlı VDTA devresinin kesim frekansının 12 kHz olduğu Şekil 3.3'te ve geçiş iletkenliğinin $Gm=Gm_1=Gm_2=62$ nA/V olduğu Şekil 3.4'te görülmektedir. Önerilen DTMOS tabanlı VDTA devresinin performans özeti Tablo 3.2'de sunulmuştur.



Şekil 3.4. Önerilen DTMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi

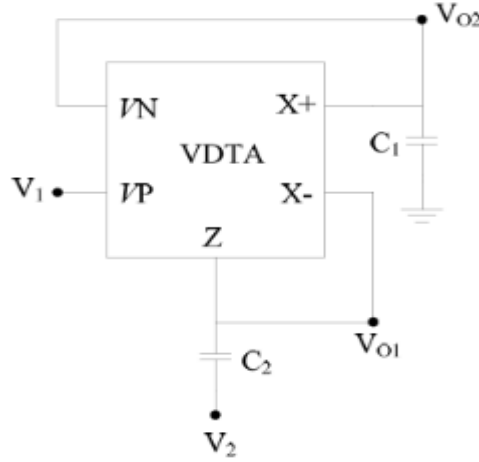
Tablo 3.2. DTMOS tabanlı VDTA performans özeti

Teknoloji	TSMC 0.18 μm
Besleme Voltajı	$\pm 0.2 \text{ V}$
Güç Tüketimi	6.41 nW
Geçiş İletkenliği ($Gm_1=Gm_2$)	62 nA/V
Kesim Frekansı (f_c)	12 kHz
THD	%4.91

Tablo 3.2’den görüldüğü üzere önerilen DTMOS tabanlı VDTA devresinin güç tüketiminin sadece 6.4 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

3.1.1.1 DTMOS VDTA Tabanlı Süzgeç Devreleri

Bu bölümde, Yeşil ve ark. [49] tarafından önerilen VDTA tabanlı uygulama devresi kullanılmaktadır. Bu devre, ikinci dereceden iki girişli iki çıkışlı gerilim modlu süzgeç devresidir ve Şekil 3.5’te verilmektedir. Bu yapı bir aktif eleman ve iki kapasiteden oluşmaktadır. Giriş terminallerine göre bu süzgeç çeşitli standart süzgeç türlerini gerçekleyebilmektedir.



Şekil 3.5. VDTA tabanlı süzgeç devresi

Denklem 3.1’de $V_1 = V_{IN}$ ve $V_2 = 0$ iken VDTA tabanlı alçak geçiren ve bant geçiren süzgeç uygulamasına ait transfer fonksiyonu yer almaktadır [49].

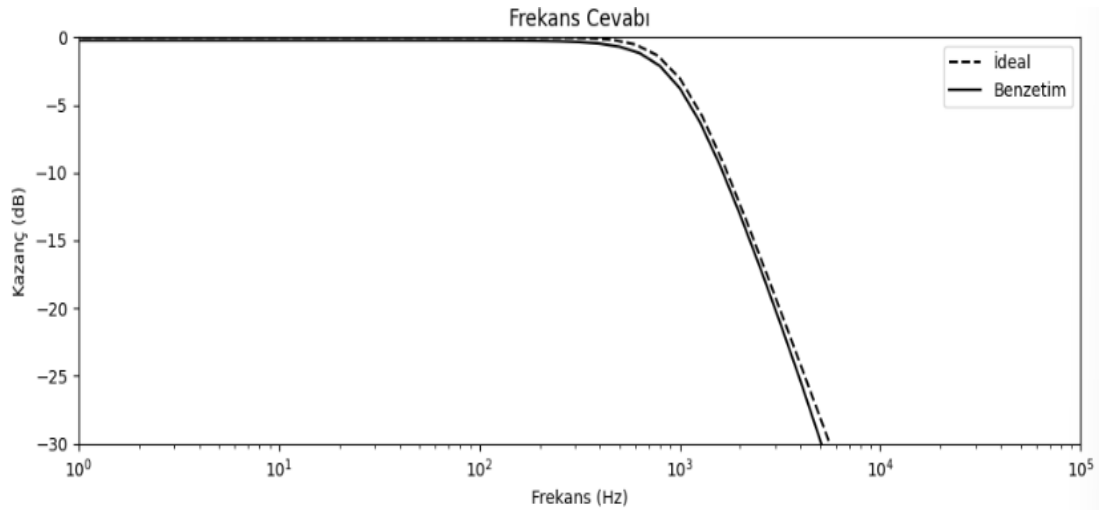
$$\begin{aligned} \text{BG} \rightarrow \frac{V_{OUT1}}{V_{IN}} &= \frac{sC_1g_{m1}}{s^2C_1C_2 + sC_1g_{m2} + g_{m1}g_{m2}} \\ \text{AG} \rightarrow \frac{V_{OUT2}}{V_{IN}} &= \frac{g_{m1}g_{m2}}{s^2C_1C_2 + sC_1g_{m2} + g_{m1}g_{m2}} \end{aligned} \quad (3.1)$$

Denklem 3.2 ve Denklem 3.3’te doğal frekans (w_0) ve kalite faktörü (Q) verilmektedir.

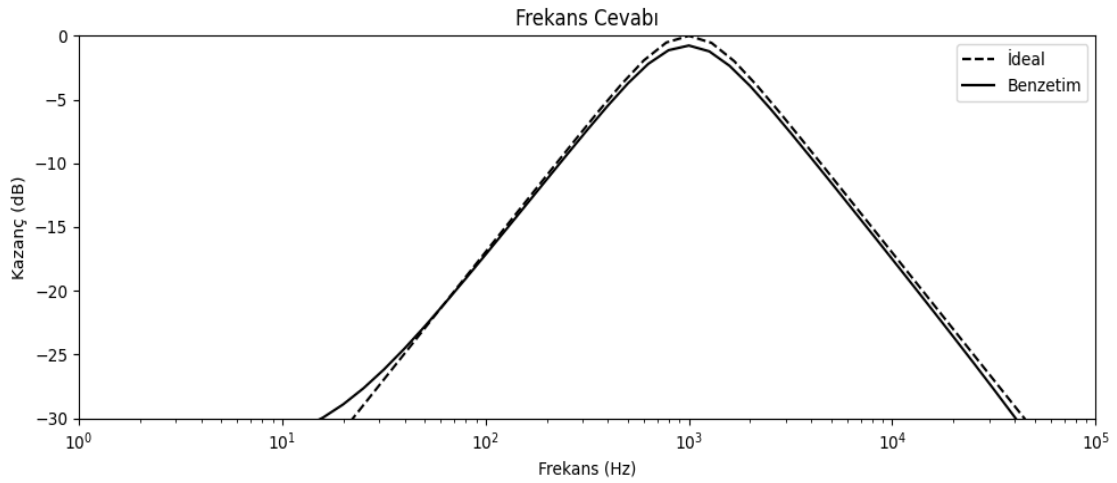
$$w_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.2)$$

$$Q = \sqrt{\frac{C_2g_{m1}}{C_1g_{m2}}} \quad (3.3)$$

Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan VDTA devresi için Şekil 3.1’de önerilen devre kullanılmaktadır. VDTA yapısında kullanılan transistör boyutları ise Tablo 3.1’de verilen boyutlar ile aynıdır. Besleme voltajı ± 0.2 V olarak kullanılmaktadır. Önerilen VDTA geçiş iletkenliği $G_{m1}=G_{m2}=62$ nA/V olarak belirtilmiştir. Süzgeç uygulaması için Butterworth fitre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1$ kHz seçilmektedir. Bu değerler doğrultusunda kapasite değerleri $C_1 = 14$ pF ve $C_2 = 7$ pF olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.6 ve Şekil 3.7’de yer almaktadır.

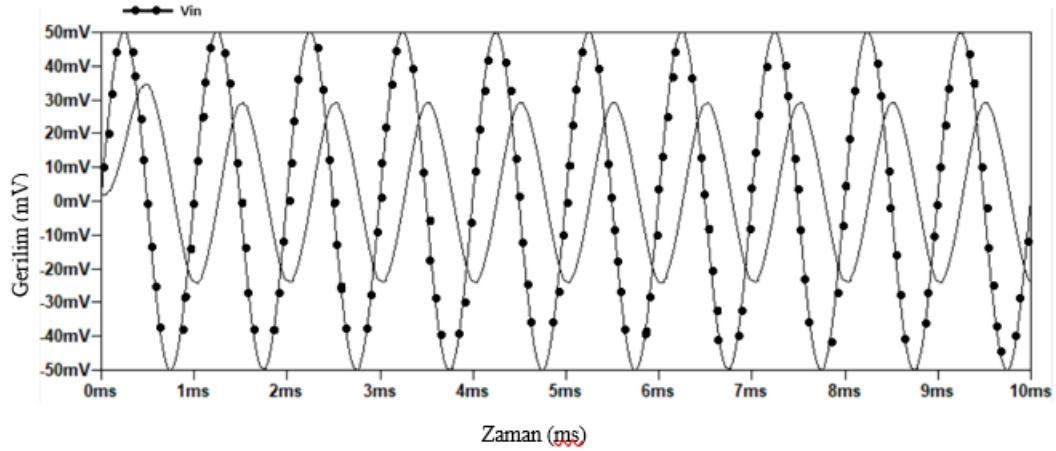


Şekil 3.6. Önerilen DTMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı



Şekil 3.7. Önerilen DTMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı

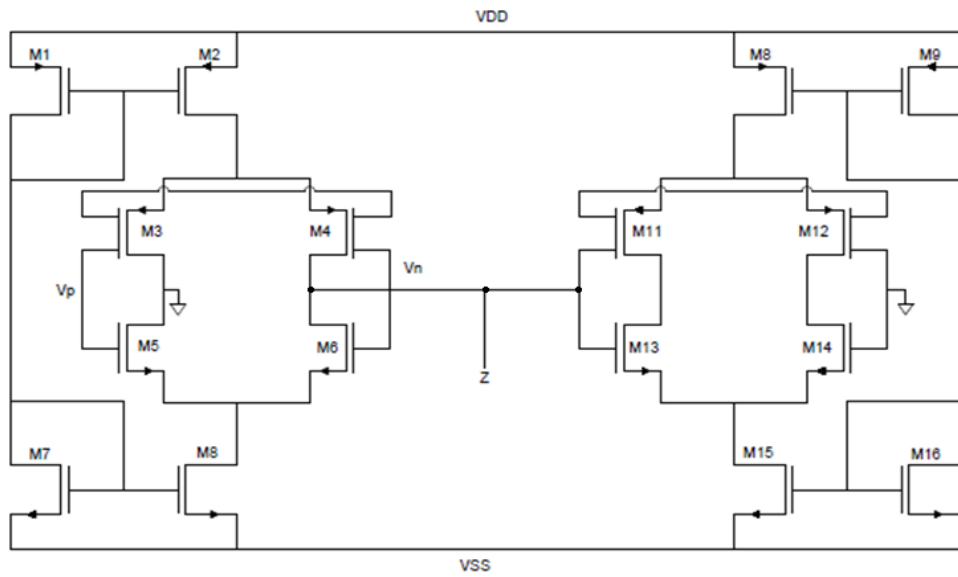
Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 100 mV tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.8’de gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %7.35 olduğu gözlemlenmiştir.



Şekil 3.8. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

3.1.2. FGMOS Yöntemi ile VDTA Tasarımı

Önerilen FGMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.9’da sunulmaktadır. İki yüzen akım kaynağının birbirine bağlanması ile VDTA devresi oluşturulmuştur. Yüzen akım kaynağı yapısında yer alan bağımsız akım kaynakları için akım aynası tercih edilmiştir. M3, M4, M11, M12 transistörlerinde FGMOS yöntemi kullanılmıştır. Benzetimlerde Sanchez-Sinencio’nun makromodeli kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.



Şekil 3.9. Önerilen FGMOS tabanlı VDTA devresi

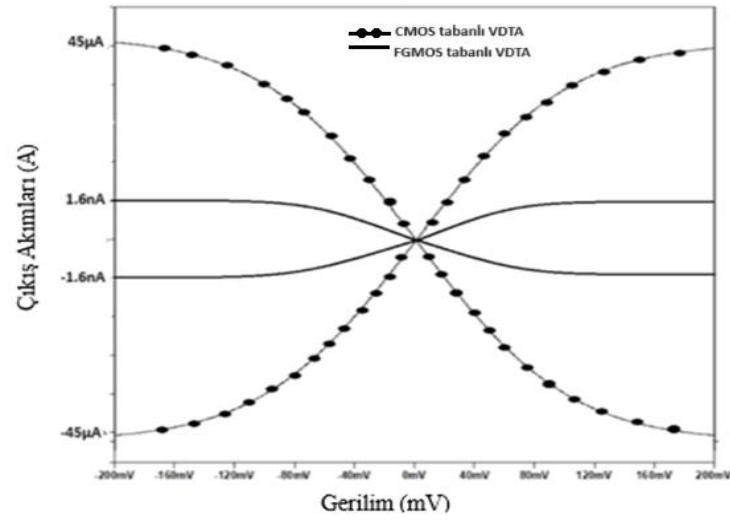
C_{FGD} , C_{FGS} ve C_{FGB} kapasite değerleri sırasıyla 20 fF, 2 fF ve 4 fF olarak hesaplanmıştır. Giriş kapasite değerleri ise Denklem 2.3'te verilen koşul gereğince $C_i=200$ fF olarak seçilmektedir. $R_i=1000$ G gibi büyük bir değerde seçilmesi, önerilen modelde FG düğümünün simülasyon tarafından yüzen bir düğüm olarak algılanmasını engellemeye yardımcı olmaktadır. Bu seçim, giriş kapasitelerinin toplam kapasiteye oranıyla oluşturulan gerilimlerin FG düğümüne uygulanmasını sağlamaktadır.

Şekil 3.9'da önerilen VDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.3'te yer almaktadır. Düşük gerilim düşük güçlü MOS tasarım yöntemlerini tam anlamıyla karşılaştırabilmek için DTMOS tabanlı VDTA devresi ile aynı transistör boyutları kullanılmaktadır.

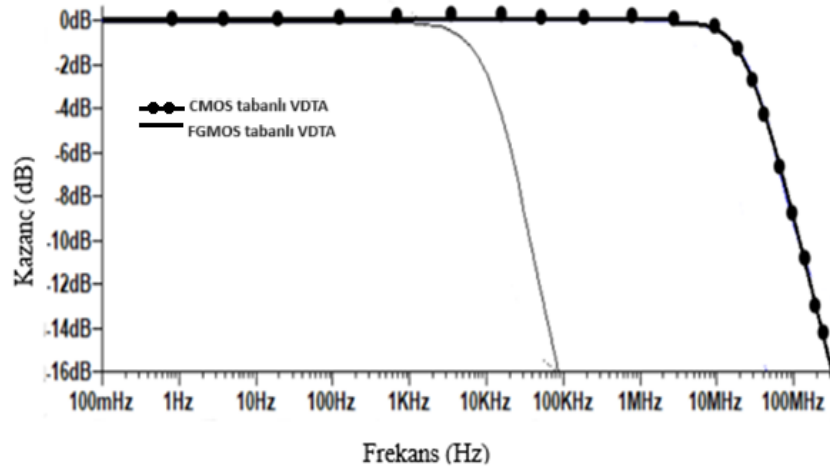
Tablo 3.3. Önerilen VDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M9, M10	150 μm	20 μm
M3, M4, M11, M12	150 μm	2 μm
M5, M6, M13, M14	50 μm	2 μm
M7, M8, M15, M16	50 μm	20 μm

Önerilen FGMOS tabanlı VDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı VDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.10'da DC karakteristiği ve Şekil 3.11'de ise kazanç-frekans eğrisi verilmektedir. Şekil 3.10'da görüldüğü üzere CMOS tabanlı VDTA devresi μA mertebesinde akım çekerken FGMOS tabanlı VDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.11'de görüldüğü gibi CMOS tabanlı VDTA devresinin FGMOS tabanlı VDTA devresine göre bant genişliği daha geniştir. FGMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.

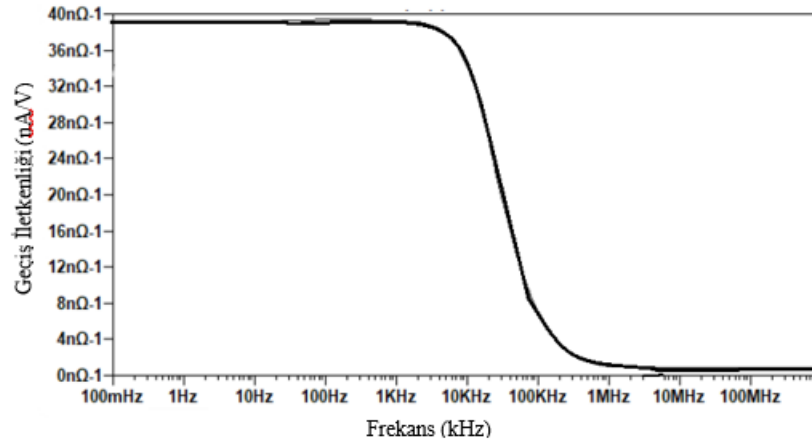


Şekil 3.10. CMOS ve FGMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri



Şekil 3.11. CMOS ve FGMOS ile gerçekleştirilmiş VDTA'nın kazanç-frekans eğrileri

Önerilen FGMOS tabanlı VDTA devresinin kesim frekansının 17 kHz olduğu Şekil 3.11'de ve geçiş iletkenliğinin $Gm = Gm_1 = Gm_2 = 38 \text{ nA/V}$ olduğu Şekil 3.12'de görülmektedir. Önerilen FGMOS tabanlı VDTA devresinin performans özeti Tablo 3.4'te sunulmuştur.



Şekil 3.12. Önerilen FGMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi

Tablo 3.4. FGMOS tabanlı VDTA performans özeti

Teknoloji	TSMC 0.18 μm
Besleme Voltajı	$\pm 0.2\text{ V}$
Güç Tüketimi	6.68 nW
THD	%2.26
Geçiş İletkenliği ($Gm_1=Gm_2$)	38 nA/V
Kesim Frekansı (f_c)	17 kHz

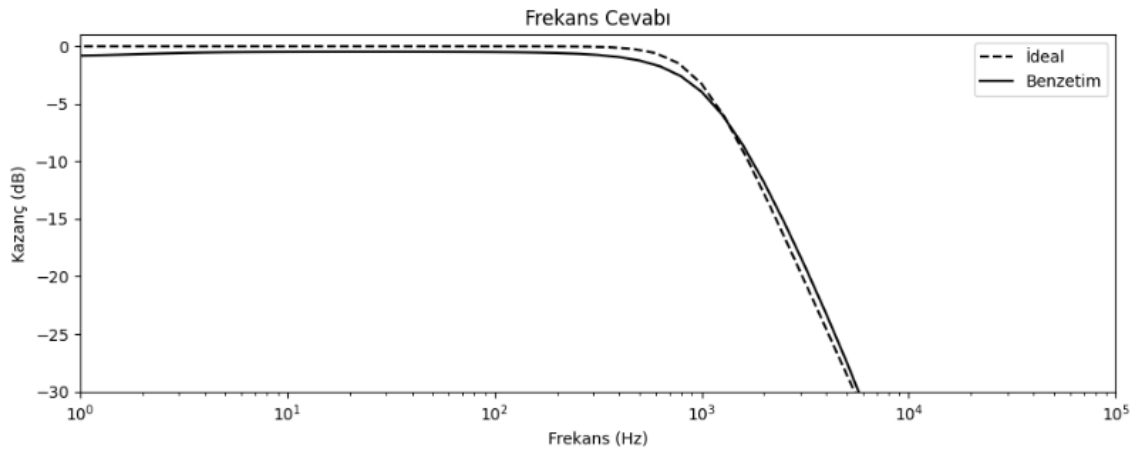
Tablo 3.4'ten görüldüğü üzere önerilen FGMOS tabanlı VDTA devresinin güç tüketiminin sadece 6.68 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

3.1.2.1. FGMOS VDTA Tabanlı Süzgeç Devreleri

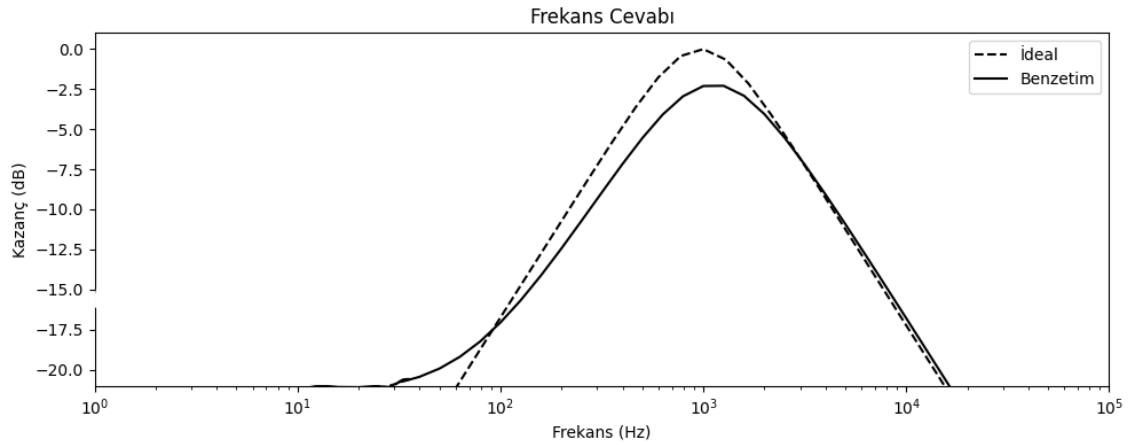
Bu bölümde, Yeşil ve ark. [49] tarafından önerilen ve Şekil 3.5'te verilen VDTA tabanlı uygulama devresi kullanılmaktadır. Giriş terminallerine göre çeşitli standart süzgeç türlerini gerçekleyebilen bu süzgecin bu bölümde Denklem 3.1'de transfer fonksiyonu ve Denklem 3.2 ve Denklem 3.3'te verilen doğal frekans ve kalite faktörü formülleri kullanılarak süzgeç uygulamaları yapılmaktadır.

Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan VDTA devresi için Şekil 3.9'da önerilen devre kullanılmaktadır. VDTA yapısında kullanılan transistör boyutları ise Tablo

3.3'te verilen boyutlar ile aynıdır. Besleme voltajı ± 0.2 V olarak kullanılmaktadır. Önerilen VDTA geçiş iletkenliği $Gm_1=Gm_2=38$ nA/V olarak belirtilmiştir. Süzgeç uygulaması için Butterworth fitre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1$ kHz seçilmektedir. Bu değerler doğrultusunda kapasite değerleri $C_1 = 8.8$ pF ve $C_2 = 4.4$ pF olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.13'te ve Şekil 3.14'te yer almaktadır.

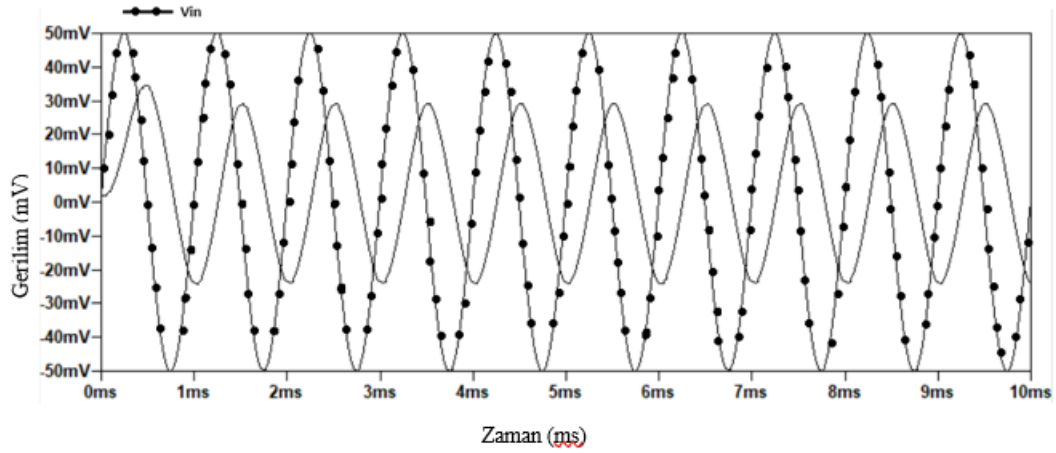


Şekil 3.13. Önerilen FGMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı



Şekil 3.14. Önerilen FGMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı

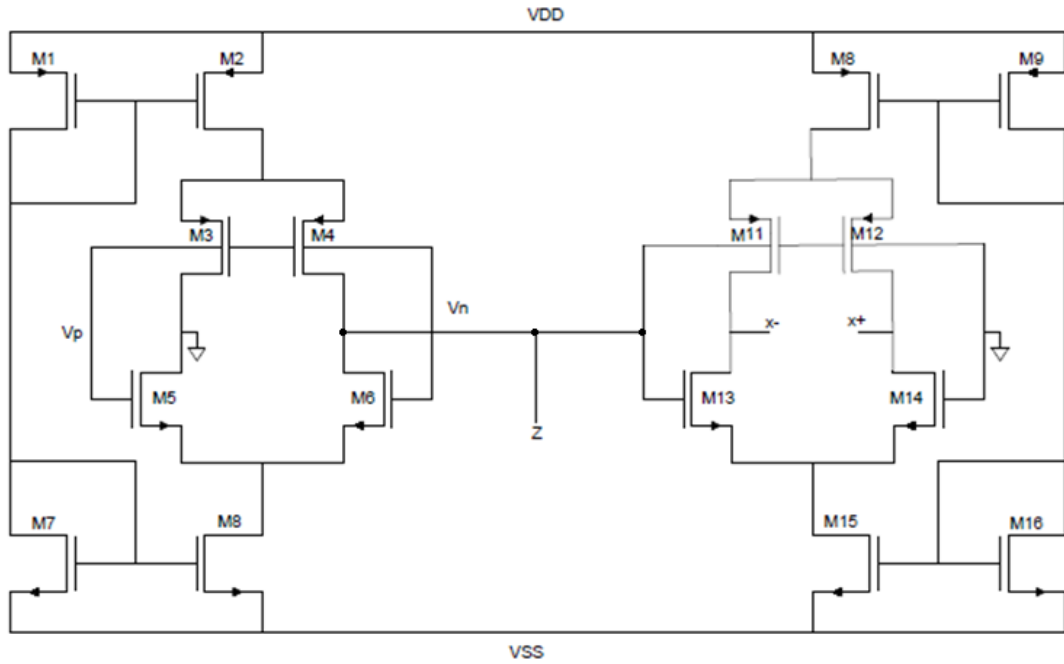
Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 100 mV tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.15'te gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %5.77 olduğu gözlemlenmiştir.



Şekil 3.15. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

3.1.3. BDMOS Yöntemi ile VDTA Tasarımı

Önerilen BDMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.16’da sunulmaktadır. İki yüzen akım kaynağının birbirine bağlanması ile VDTA devresi oluşturulmuştur. Yüzen akım kaynağı yapısında yer alan bağımsız akım kaynakları için akım aynası tercih edilmiştir. M3, M4, M11, M12 transistörlerinde BDMOS yöntemi kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.



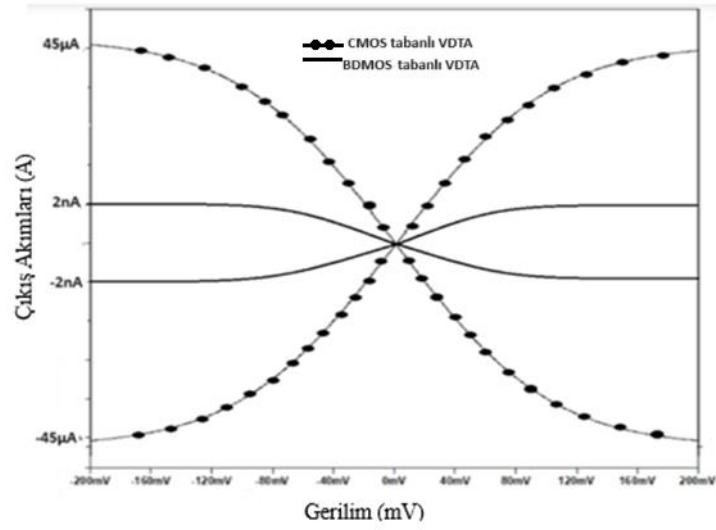
Şekil 3.16. Önerilen BDMOS tabanlı VDTA devresi

Şekil 3.16’da önerilen VDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.5’te yer almaktadır. Düşük gerilim düşük güçlü MOS tasarım yöntemlerini tam anlamıyla karşılaştırabilmek için DTMOS tabanlı VDTA ve FGMOS tabanlı VDTA devreleri ile aynı transistör boyutları kullanılmaktadır.

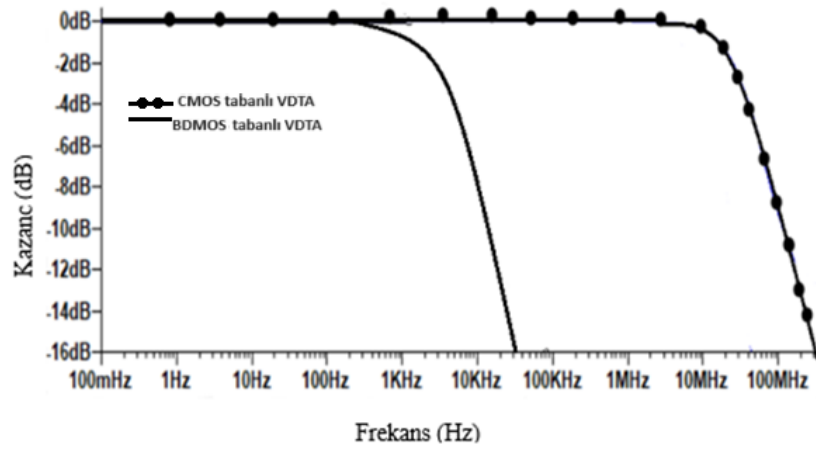
Tablo 3.5. Önerilen VDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M9, M10	150 μm	20 μm
M3, M4, M11, M12	150 μm	2 μm
M5, M6, M13, M14	50 μm	2 μm
M7, M8, M15, M16	50 μm	20 μm

Önerilen BDMOS tabanlı VDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı VDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.17’de DC karakteristiği ve Şekil 3.18’de ise kazanç-frekans eğrisi verilmektedir. Şekil 3.17’de görüldüğü üzere CMOS tabanlı VDTA devresi μA mertebesinde akım çekerken BDMOS tabanlı VDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.18’de görüldüğü gibi CMOS tabanlı VDTA devresinin BDMOS tabanlı VDTA devresine göre bant genişliği daha geniştir. BDMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.

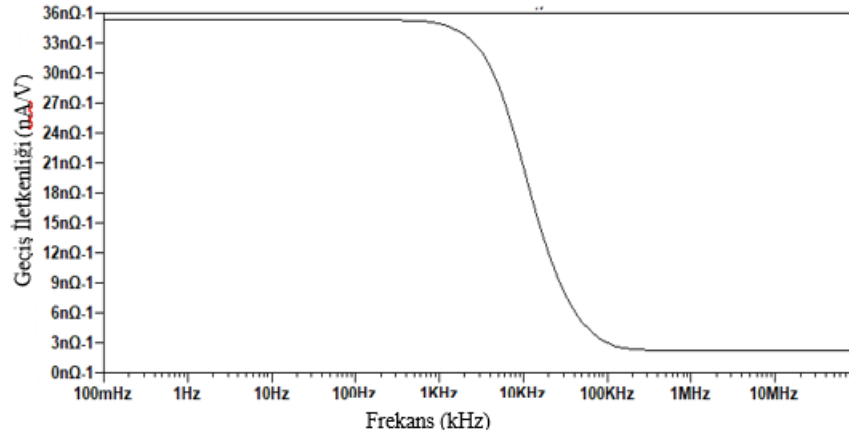


Şekil 3.17. CMOS ve BDMOS ile gerçekleştirilmiş VDTA'nın DC karakteristikleri



Şekil 3.18. CMOS ve BDMOS ile gerçekleştirilmiş VDTA'nın kazanç-frekans eğrileri

Önerilen BDMOS tabanlı VDTA devresinin kesim frekansının 7 kHz olduğu Şekil 3.18'de ve geçiş iletkenliğinin $Gm=Gm_1=Gm_2=35$ nA/V olduğu Şekil 3.19'da görülmektedir. Önerilen BDMOS tabanlı VDTA devresinin performans özeti Tablo 3.6'da sunulmuştur.



Şekil 3.19. Önerilen BDMOS tabanlı VDTA devresinin geçiş iletkenliği-frekans eğrisi-frekans eğrisi

Tablo 3.6. BDMOS tabanlı VDTA performans özeti

Teknoloji	TSMC 0.18 μm
Besleme Voltajı	± 0.2 V
Güç Tüketimi	6.7 nW
THD	%2.68
Geçiş İletkenliği ($Gm_1 = Gm_2$)	35 nA/V
Kesim Frekansı (f_c)	7 kHz

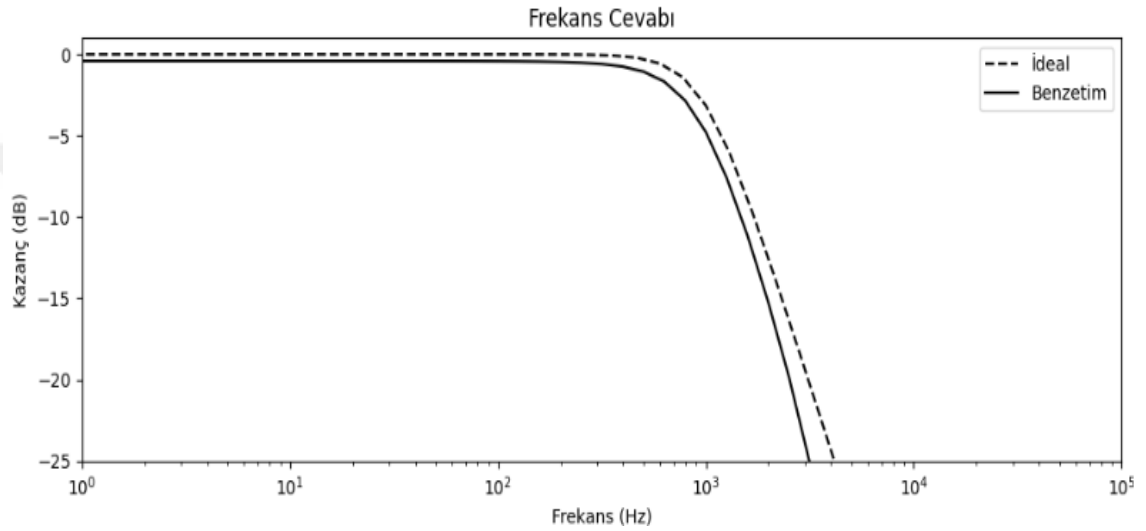
Tablo 3.6'dan görüldüğü üzere önerilen BDMOS tabanlı VDTA devresinin güç tüketiminin sadece 6.7 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

3.1.2.1. BDMOS VDTA Tabanlı Süzgeç Devreleri

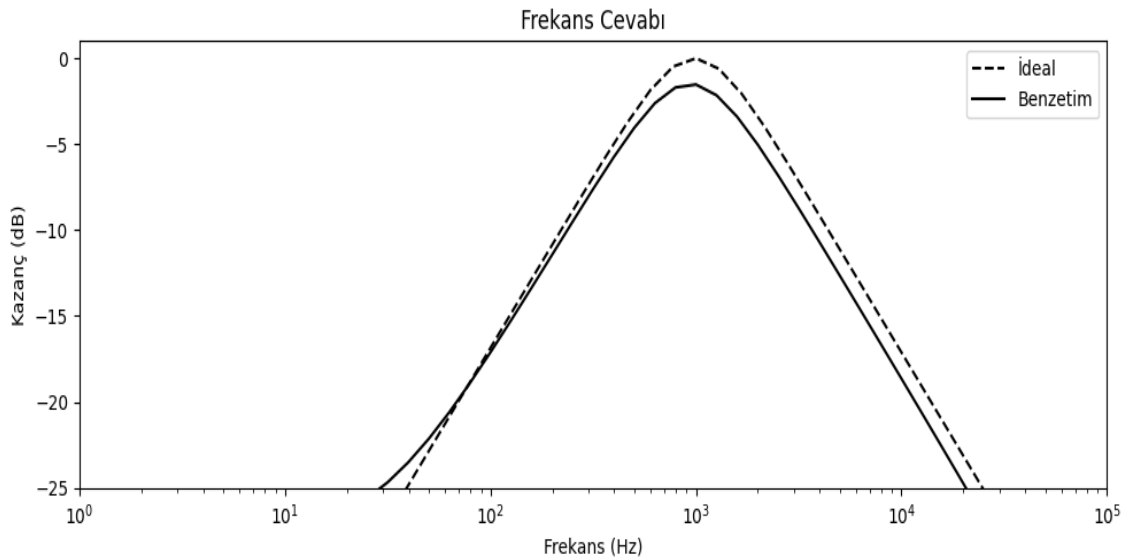
Bu bölümde, Yeşil ve ark. [49] tarafından önerilen ve Şekil 3.5'te verilen VDTA tabanlı uygulama devresi kullanılmaktadır. Giriş terminallerine göre çeşitli standart süzgeç türlerini gerçekleyebilen bu süzgecin bu bölümde Denklem 3.1'de transfer fonksiyonu ve Denklem 3.2 ve Denklem 3.3'te verilen doğal frekans ve kalite faktörü formülleri kullanılarak süzgeç uygulamaları yapılmaktadır.

Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan VDTA devresi için Şekil 3.16'da

önerilen devre kullanılmaktadır. VDTA yapısında kullanılan transistör boyutları ise Tablo 3.5'te verilen boyutlar ile aynıdır. Besleme voltajı ± 0.2 V olarak kullanılmaktadır. Önerilen VDTA geçiş iletkenliği $Gm_1=Gm_2=35$ nA/V olarak belirtilmiştir. Süzgeç uygulaması için Butterworth fitre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1$ kHz seçilmektedir. Bu değerler doğrultusunda kapasite değerleri $C_1 = 8$ pF ve $C_2 = 4$ pF olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.20 ve Şekil 3.21'de yer almaktadır.

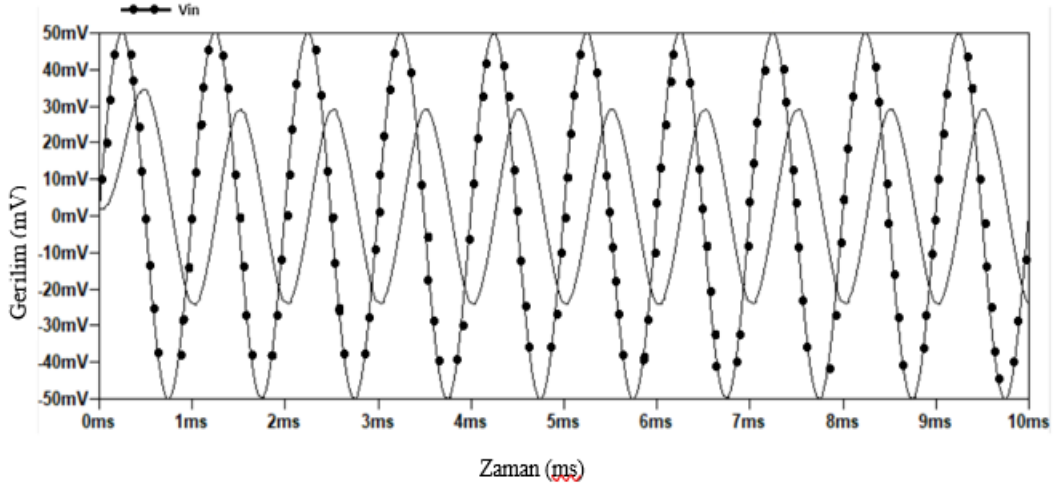


Şekil 3.20. Önerilen BDMOS tabanlı VDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı



Şekil 3.21. Önerilen BDMOS tabanlı VDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı

Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 100 mV tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.22’de gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %6.95 olduğu gözlemlenmiştir.



Şekil 3.22. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

3.2. Düşük Güç Düşük Gerilimli MOS Tasarım Yöntemleri ile CDTA Tasarımı

3.2.1. DTMOS Yöntemi ile CDTA Tasarımı

Önerilen DTMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.23’te sunulmaktadır. CDTA devresi, iki ikinci nesil akım taşıyıcı (CCII) ve geçiş iletkenliği yapısından oluşmaktadır. Önerilen CDTA yapısında yer alan ikinci nesil akım taşıyıcı için Uygur ve Kuntman [111] tarafından önerilen devre yapısı ve transistör boyutları kullanılmaktadır. Önerilen CDTA yapısında yer alan OTA için bağımsız akım kaynakları yerine akım aynası tercih edilmiştir. M1, M2, M5, M7, M9, M10, M13, M15, M19, M20 transistörlerinde DTMOS yöntemi kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.

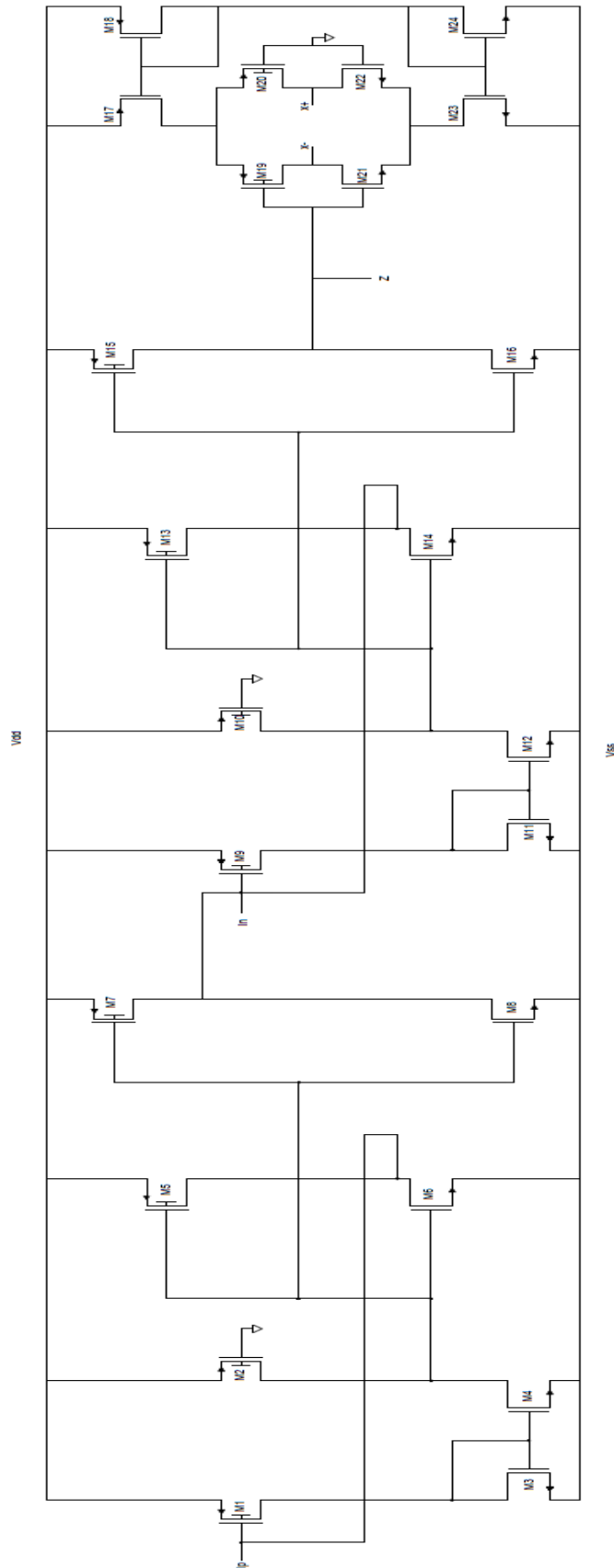
NMOS transistörlerinin ortak bir kuyuyu paylaşarak DTMOS transistörleri oluşturulması mümkün olmadığı için DTMOS yöntemi PMOS transistörler için uygundur. Bu yüzden önerilen CDTA devresinde DTMOS yöntemi M1, M2, M5, M7, M9, M10, M13, M15, M19, M20 transistörlerinde kullanılmaktadır.

Şekil 3.23'te önerilen CDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.7'de yer almaktadır.

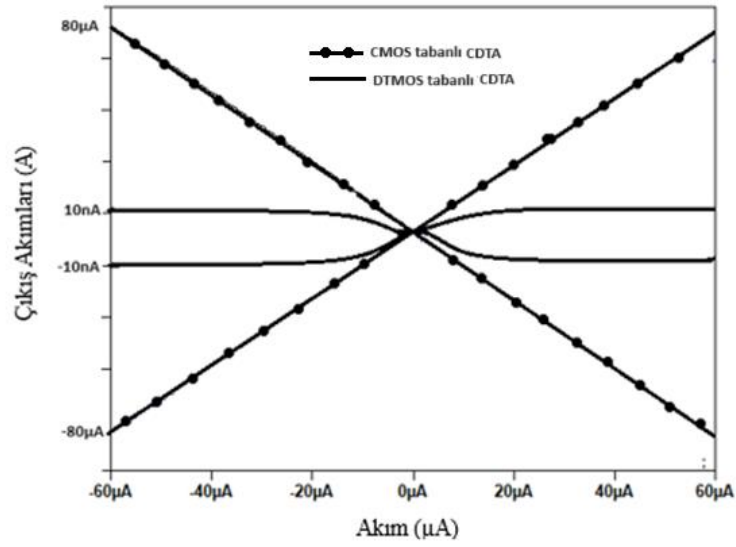
Tablo 3.7. Önerilen CDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M5, M7 M9, M10, M13, M15	300 μm	2 μm
M3, M4, M11, M12	50 μm	2 μm
M6, M8, M14, M16	320 μm	0.4 μm
M17, M18	600 μm	20 μm
M19, M20	600 μm	2 μm
M21, M22	200 μm	2 μm
M23, M24	200 μm	20 μm

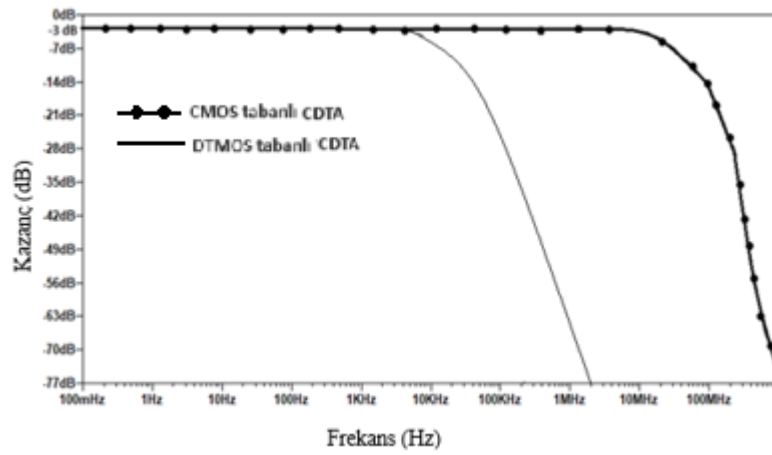
Önerilen DTMOS tabanlı CDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı CDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.24'te DC karakteristiği ve Şekil 3.25'te ise kazanç-frekans eğrisi verilmektedir. Şekil 3.24'te görüldüğü üzere CMOS tabanlı CDTA devresi μA mertebesinde akım çekerken DTMOS tabanlı CDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.25'te görüldüğü gibi CMOS tabanlı CDTA devresinin DTMOS tabanlı CDTA devresine göre bant genişliği daha geniştir. DTMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.



Şekil 3.23. Önerilen DTMOS tabanlı CDTA devresi

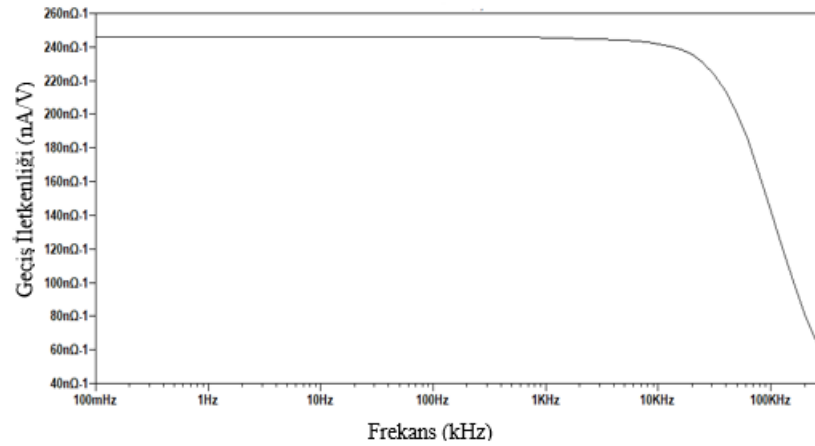


Şekil 3.24. CMOS ve DTMOS ile gerçekleştirilmiş CDTA'nın DC karakteristikleri



Şekil 3.25. CMOS ve DTMOS ile gerçekleştirilmiş CDTA'nın kazanç-frekans eğrileri

Önerilen DTMOS tabanlı CDTA devresinin kesim frekansının 24 kHz olduğu Şekil 3.25'te ve geçiş iletkenliğinin $G_m=245$ nA/V olduğu Şekil 3.26'da görülmektedir. Önerilen DTMOS tabanlı CDTA devresinin performans özeti Tablo 3.8'de sunulmuştur.



Şekil 3.26. Önerilen DTMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi-frekans eğrisi

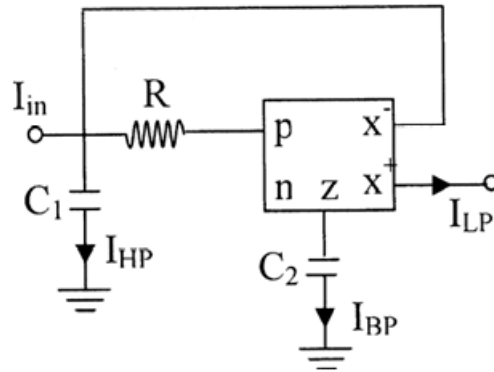
Tablo 3.8. DTMOS tabanlı CDTA performans özeti

Teknoloji	TSMC 0.18 μm
Besleme Voltajı	± 0.2 V
Güç Tüketimi	791.6 nW
Geçiş İletkenliği (G_m)	245 nA/V
Kesim Frekansı (f_c)	24 kHz
THD	%2.38

Tablo 3.8’den görüldüğü üzere önerilen DTMOS tabanlı CDTA devresinin güç tüketiminin sadece 791.6 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

3.2.1.1 DTMOS CDTA Tabanlı Süzgeç Devreleri

Bu bölümde, Shah ve ark. [112] tarafından önerilen CDTA tabanlı uygulama devresi kullanılmaktadır. Bu devre, bir aktif eleman, bir direnç ve iki kapasiteden oluşan ikinci dereceden akım modlu süzgeç devresidir ve Şekil 3.27’de verilmektedir. Bu süzgeç devresi tüm standart süzgeç türlerini gerçekleyebilmektedir.



Şekil 3.27. CDTA tabanlı süzgeç devresi

Denklem 3.4'te CDTA tabanlı süzgeç uygulamasına ait transfer fonksiyonu yer almaktadır. [112]

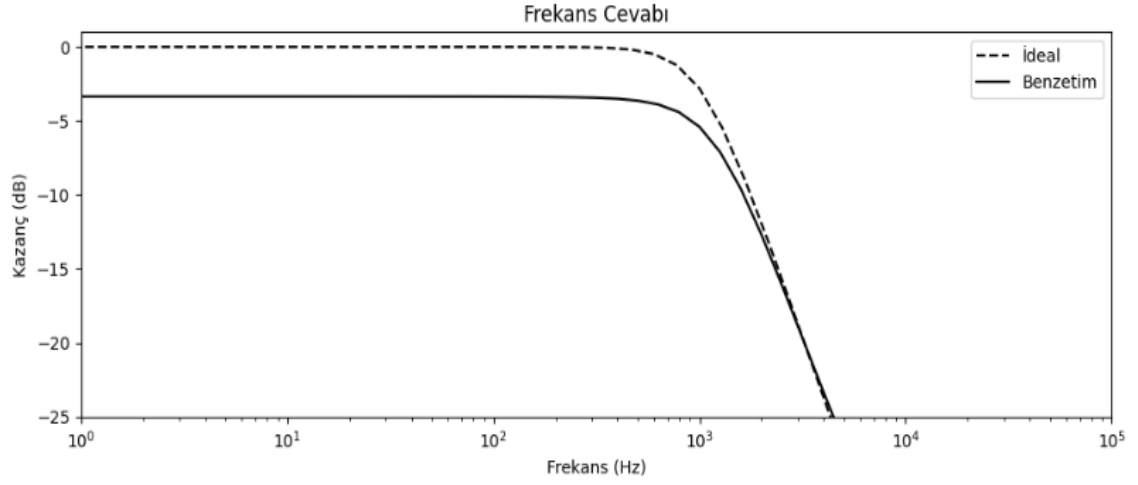
$$\begin{aligned}
 AG \rightarrow \frac{I_{LP}}{I_{in}} &= \frac{g_m}{s^2 C_1 C_2 R + s C_2 + g_m} \\
 BG \rightarrow \frac{I_{BP}}{I_{in}} &= \frac{s C_2}{s^2 C_1 C_2 R + s C_2 + g_m} \\
 YG \rightarrow \frac{I_{HP}}{I_{in}} &= \frac{s^2 C_1 C_2 R}{s^2 C_1 C_2 R + s C_2 + g_m}
 \end{aligned} \quad (3.4)$$

Denklem 3.5 ve Denklem 3.6'da doğal frekans (ω_0) ve kalite faktörü (Q) verilmektedir.

$$\omega_0 = \sqrt{\frac{g_m}{C_1 C_2 R}} \quad (3.5)$$

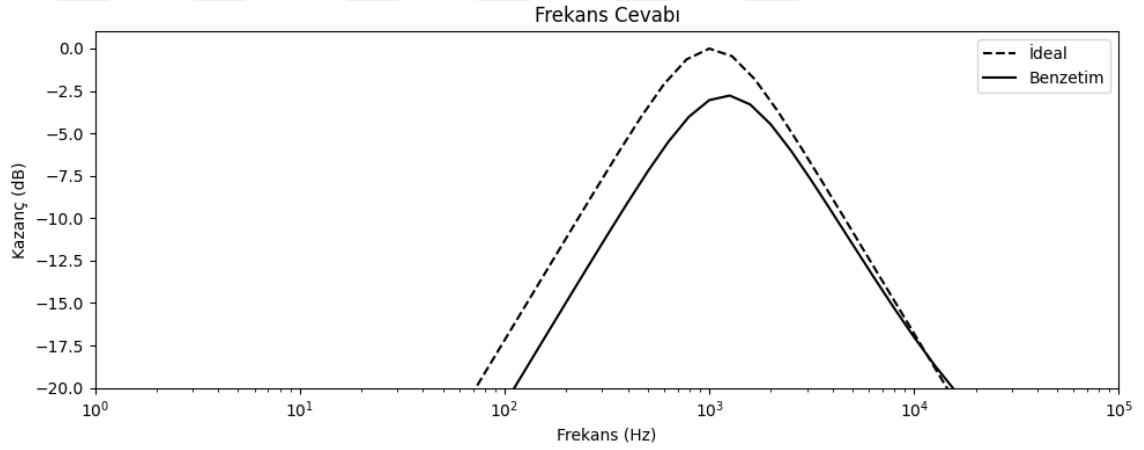
$$Q = \sqrt{\frac{C_1 R g_m}{C_2}} \quad (3.6)$$

Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan CDTA devresi için Şekil 3.23'te önerilen devre kullanılmaktadır. CDTA yapısında kullanılan transistör boyutları ise Tablo 3.7'de verilen boyutlar ile aynıdır. Besleme voltajı ± 0.2 V olarak kullanılmaktadır. Önerilen CDTA geçiş iletkenliği $G_m = 245$ nA/V olarak belirtilmiştir. Süzgeç uygulaması için Butterworth fitre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1$ kHz seçilmektedir. Bu değerler doğrultusunda $R = 10$ M ve kapasite değerleri $C_1 = 11$ pF, $C_2 = 55$ pF olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.28, Şekil 3.29 ve Şekil 3.30'da yer almaktadır.



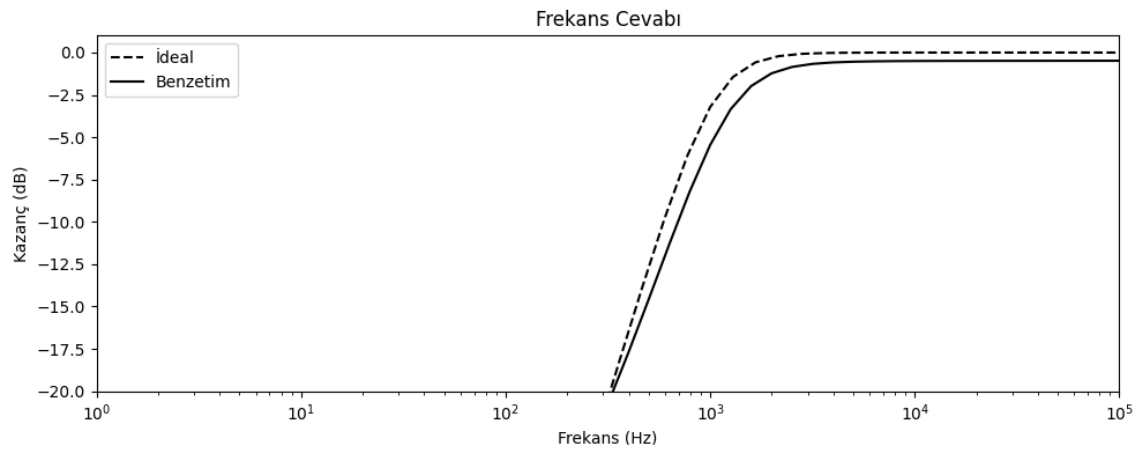
Şekil 3.28. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin

frekans cevabı



Şekil 3.29. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin

frekans cevabı



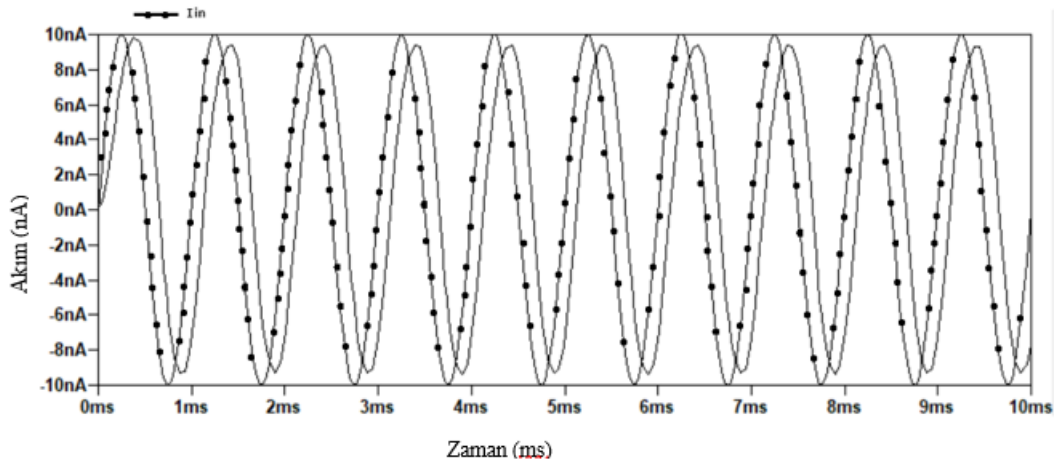
Şekil 3.30. Önerilen DTMOS tabanlı CDTA ile gerçekleştirilmiş yüksek geçiren

süzgecin frekans cevabı

Şekil 3.28 ve Şekil 3.29’da verilen alçak ve bant geçiren süzgeç devrelerinde, kapasitörlerin DC sinyalleri engellemesi, dirençlerin frekans karakteristiğine olan etkisi ve ideal olmayan bileşenlerin etkisinden kaynaklanan DC kazanç kaybının meydana geldiği görülmektedir.

Bu durum, kapasitif elemanların düşük frekanslardaki sinyalleri engelleyerek DC sinyallerin iletilmesini önlemesinden kaynaklanmaktadır. Aynı şekilde, dirençlerin frekans karakteristiği, süzgeç devresinin belirli bir frekans aralığındaki davranışını etkilemekte ve bu da DC kazancının azalmasına yol açmaktadır. Ayrıca, devre bileşenlerin ideal olmayan özellikleri, süzgeç devresinin istenmeyen davranışlarına katkıda bulunmakta ve sonuç olarak DC kazanç kaybına neden olmaktadır.

Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 20 nA tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.31’de gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %10.43 olduğu gözlemlenmiştir.



Şekil 3.31. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

3.2.2. FGMOS Yöntemi ile CDTA Tasarımı

Önerilen FGMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.32’de sunulmaktadır. CDTA devresi, iki ikinci nesil akım taşıyıcı (CCII) ve geçiş iletkenliği yapısından oluşmaktadır. Önerilen CDTA yapısında yer alan ikinci nesil akım taşıyıcı için Uygur ve Kuntman [111] tarafından önerilen devre yapısı ve transistör boyutları kullanılmaktadır. Önerilen CDTA yapısında yer alan OTA için bağımsız akım kaynakları yerine akım

aynası tercih edilmiştir. M1, M2, M5, M7, M9, M10, M13, M15, M19, M20 transistörlerinde FGMOS yöntemi kullanılmıştır. Benzetimlerde Sanchez-Sinencio'nun makromodeli kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.

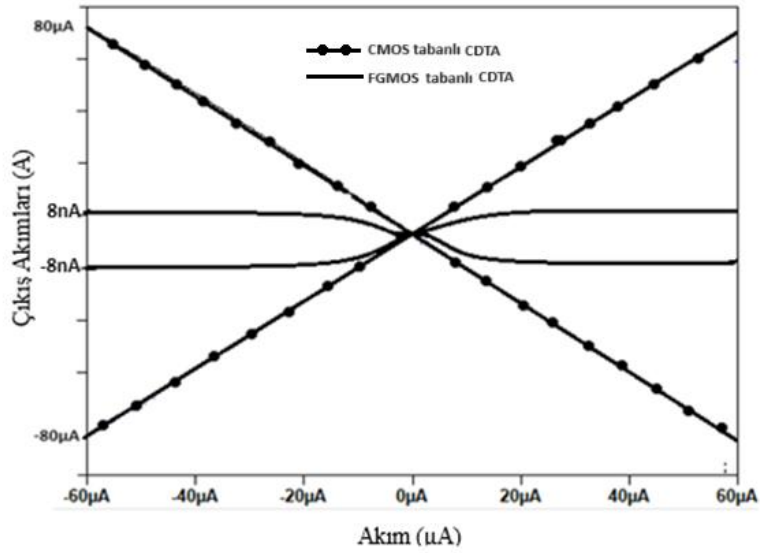
C_{FGD} , C_{FGS} ve C_{FGB} kapasite değerleri M1, M2, M5, M7, M9, M10, M13, M15 transistörleri için sırasıyla 40 fF, 4 fF ve 4 fF olarak hesaplanmıştır. M19, M20 transistörleri için ise sırasıyla 80 fF, 8 fF ve 8 fF olarak hesaplanmıştır. Giriş kapasite değerleri ise Denklem 2.3'te verilen koşul gereğince $C_i=400$ fF ve OTA katında ise $C_i=800$ fF olarak seçilmektedir. $R_i=1000$ G ve $R_{iOTA}=500$ G gibi büyük bir değerde seçilmesi, önerilen modelde FG düğümünün simülasyon tarafından yüzen bir düğüm olarak algılanmasını engellemeye yardımcı olmaktadır. Bu seçim, giriş kapasitelerinin toplam kapasiteye oranıyla oluşturulan gerilimlerin FG düğümüne uygulanmasını sağlamaktadır.

Şekil 3.32'de önerilen CDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.9'da yer almaktadır.

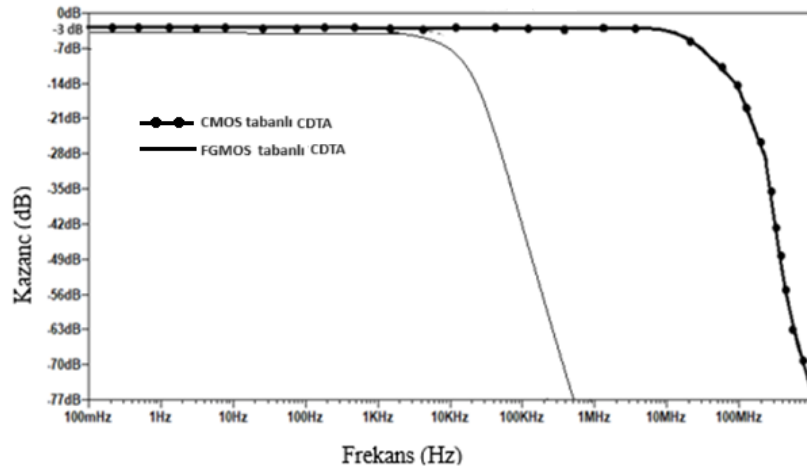
Tablo 3.9. Önerilen CDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M5, M7 M9, M10, M13, M15	300 μm	2 μm
M3, M4, M11, M12	50 μm	2 μm
M6, M8, M14, M16	320 μm	0.4 μm
M17, M18	600 μm	20 μm
M19, M20	600 μm	2 μm
M21, M22	200 μm	2 μm
M23, M24	200 μm	20 μm

Önerilen FGMOS tabanlı CDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı CDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.33'te DC karakteristiği ve Şekil 3.34'te ise kazanç-frekans eğrisi verilmektedir. Şekil 3.33'te görüldüğü üzere CMOS tabanlı CDTA devresi μA mertebesinde akım çekerken FGMOS tabanlı CDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.34'te görüldüğü gibi CMOS tabanlı CDTA devresinin FGMOS tabanlı CDTA devresine göre bant genişliği daha geniştir. FGMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.

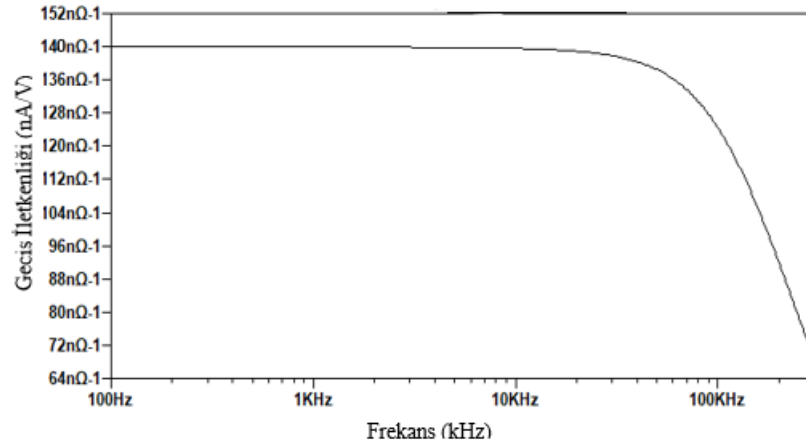


Şekil 3.33. CMOS ve FGMOS ile gerçekleştirilmiş CDTA'nın DC karakteristikleri



Şekil 3.34. CMOS ve FGMOS ile gerçekleştirilmiş CDTA'nın kazanç-frekans eğrileri

Önerilen FGMOS tabanlı CDTA devresinin kesim frekansının 36 kHz olduğu Şekil 3.34'te ve geçiş iletkenliğinin $G_m=140$ nA/V olduğu Şekil 3.35'te görülmektedir. Önerilen FGMOS tabanlı CDTA devresinin performans özeti Tablo 3.10'da sunulmuştur.



Şekil 3.35. Önerilen FGMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi

Tablo 3.10. FGMOS tabanlı CDTA performans özeti

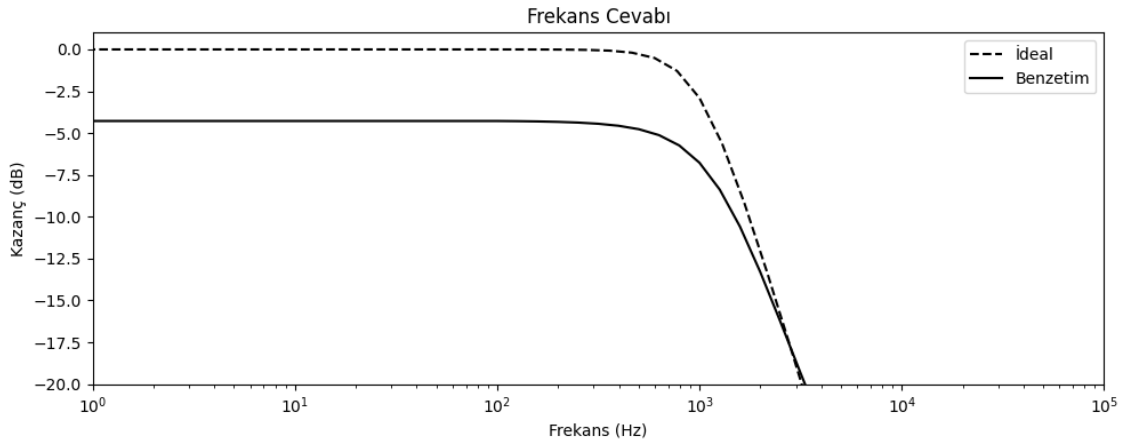
Teknoloji	TSMC 0.18 μm
Besleme Voltajı	± 0.2 V
Güç Tüketimi	300 nW
Geçiş İletkenliği (G_m)	140 nA/V
Kesim Frekansı (f_c)	36 kHz
THD	%2.32

Tablo 3.10'den görüldüğü üzere önerilen FGMOS tabanlı CDTA devresinin güç tüketiminin sadece 300 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

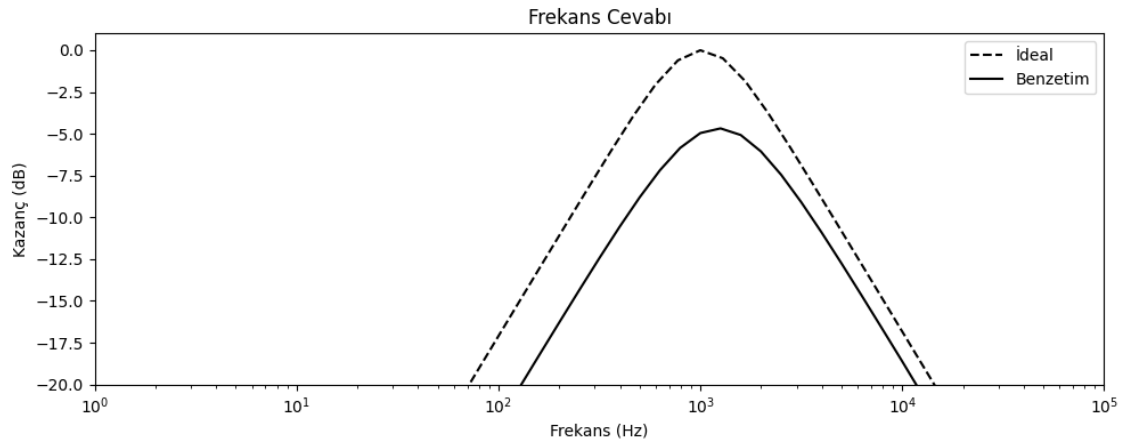
3.2.2.1 FGMOS CDTA Tabanlı Süzgeç Devreleri

Bu bölümde, Shah ve ark. [112] tarafından önerilen ve Şekil 3.27'de verilen CDTA tabanlı uygulama devresi kullanılmaktadır. Tüm standart süzgeç türlerini gerçekleyebilen bu süzgecin bu bölümde Denklem 3.4'te transfer fonksiyonu ve Denklem 3.5 ve Denklem 3.6'da verilen doğal frekans ve kalite faktörü formülleri kullanılarak süzgeç uygulamaları yapılmaktadır.

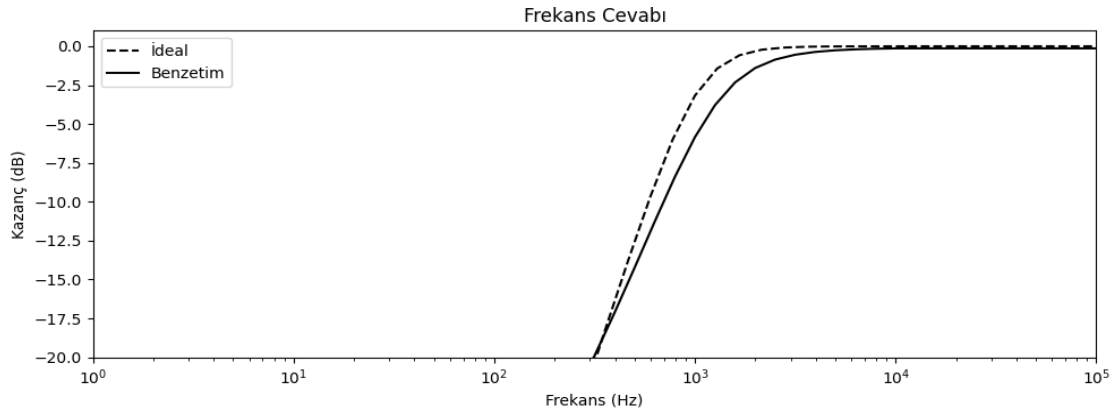
Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan CDTA devresi için Şekil 3.32’de önerilen devre kullanılmaktadır. CDTA yapısında kullanılan transistör boyutları ise Tablo 3.9’da verilen boyutlar ile aynıdır. Besleme voltajı $\pm 0.2\text{ V}$ olarak kullanılmaktadır. Önerilen CDTA geçiş iletkenliği $G_m=140\text{ nA/V}$ olarak belirtilmiştir. Süzgeç uygulaması için Butterworth fitre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1\text{ kHz}$ seçilmektedir. Bu değerler doğrultusunda $R= 6.5\text{ M}$ ve kapasite değerleri $C_1 = 17\text{ pF}$, $C_2 = 32\text{ pF}$ olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.36, Şekil 3.37 ve Şekil 3.38’de yer almaktadır.



Şekil 3.36. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı



Şekil 3.37. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı

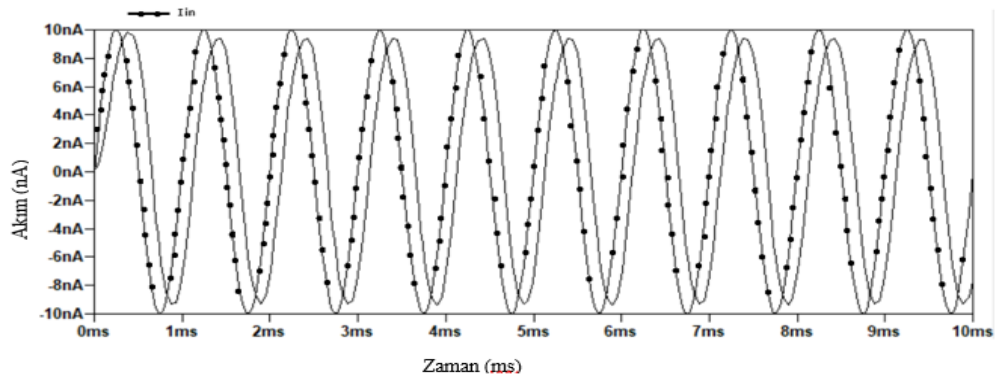


Şekil 3.38. Önerilen FGMOS tabanlı CDTA ile gerçekleştirilmiş Yüksek Geçiren süzgecin frekans cevabı

Şekil 3.36 ve Şekil 3.37’de verilen alçak ve bant geçiren süzgeç devrelerinde, kapasitörlerin DC sinyalleri engellemesi, dirençlerin frekans karakteristiğine olan etkisi ve ideal olmayan bileşenlerin etkisinden kaynaklanan DC kazanç kaybının meydana geldiği görülmektedir.

Bu durum, kapasitif elemanların düşük frekanslardaki sinyalleri engelleyerek DC sinyallerin iletilmesini önlemesinden kaynaklanmaktadır. Aynı şekilde, dirençlerin frekans karakteristiği, süzgeç devresinin belirli bir frekans aralığındaki davranışını etkilemekte ve bu da DC kazancının azalmasına yol açmaktadır. Ayrıca, devre bileşenlerin ideal olmayan özellikleri, süzgeç devresinin istenmeyen davranışlarına katkıda bulunmakta ve sonuç olarak DC kazanç kaybına neden olmaktadır.

Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 20 nA tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.39’da gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %11.07 olduğu gözlemlenmiştir.



Şekil 3.39. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

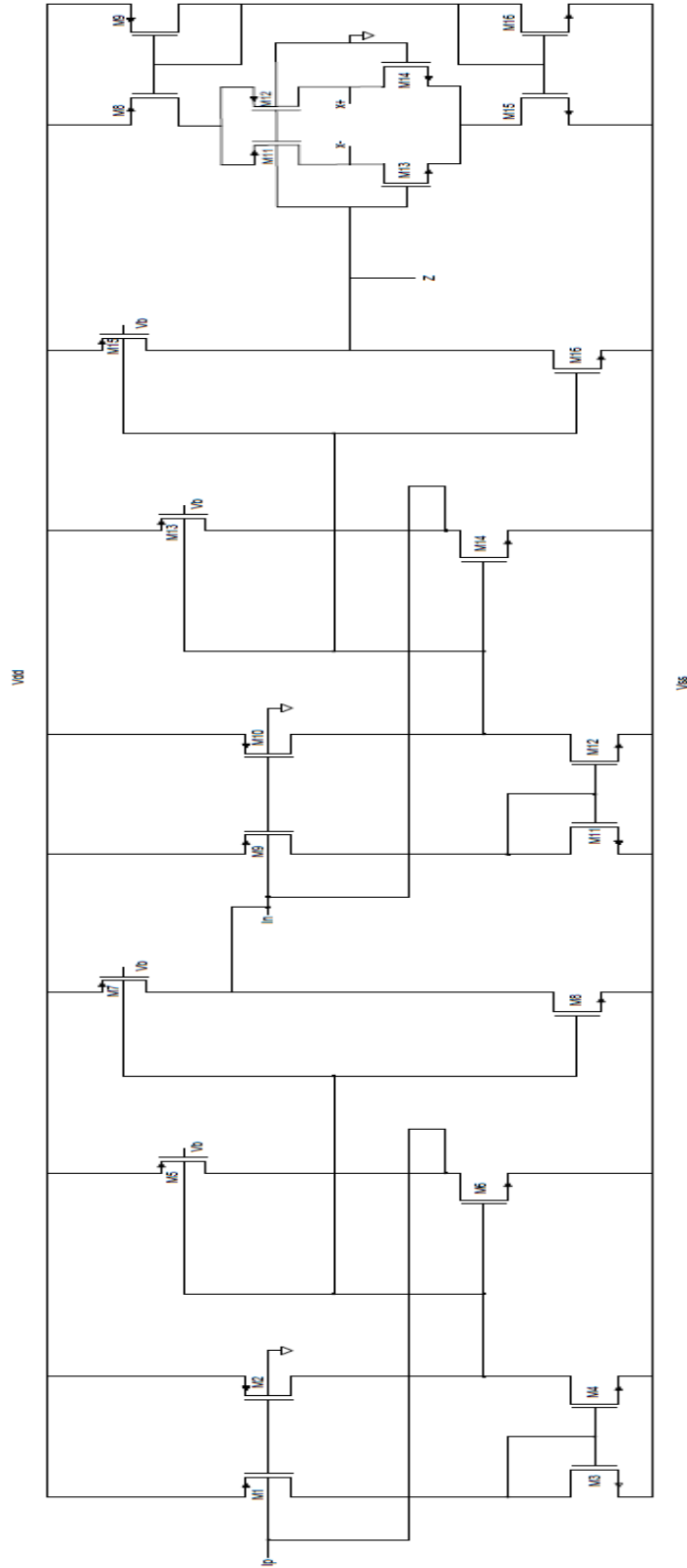
3.2.3. BDMOS Yöntemi ile CDTA Tasarımı

Önerilen BDMOS yöntemi ile gerçekleştirilmiş devre Şekil 3.40'ta sunulmaktadır. CDTA devresi, iki ikinci nesil akım taşıyıcı (CCII) ve geçiş iletkenliği yapısından oluşmaktadır. Önerilen CDTA yapısında yer alan ikinci nesil akım taşıyıcı için Uygur ve Kuntman [111] tarafından önerilen devre yapısı ve transistör boyutları kullanılmaktadır. Önerilen CDTA yapısında yer alan OTA için bağımsız akım kaynakları yerine akım aynası tercih edilmiştir. M1, M2, M5, M7, M9, M10, M13, M15, M19, M20 transistörlerinde BDMOS yöntemi kullanılmıştır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir.

Şekil 3.40'ta önerilen CDTA yapısının karakteristik özelliklerinin performansını göstermek için LTSPICE programı ve transistörler için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Transistör boyutları Tablo 3.11'de yer almaktadır.

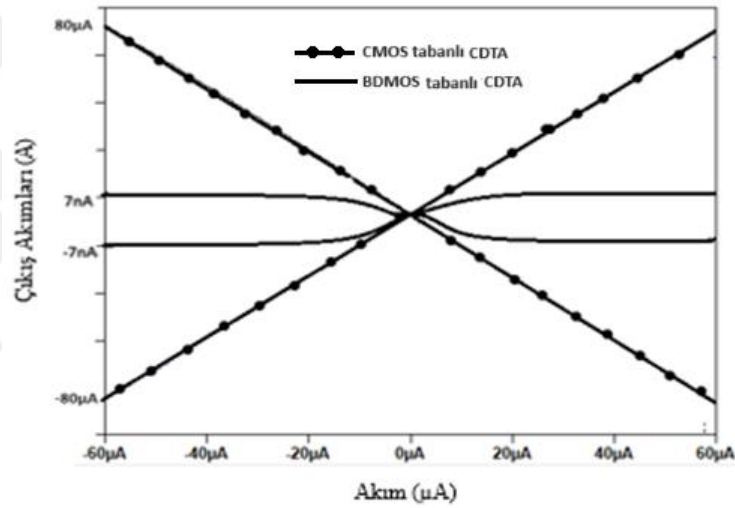
Tablo 3.11. Önerilen CDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M5, M7 M9, M10, M13, M15	300 μm	2 μm
M3, M4, M11, M12	50 μm	2 μm
M6, M8, M14, M16	320 μm	0.4 μm
M17, M18	600 μm	20 μm
M19, M20	600 μm	2 μm
M21, M22	200 μm	2 μm
M23, M24	200 μm	20 μm

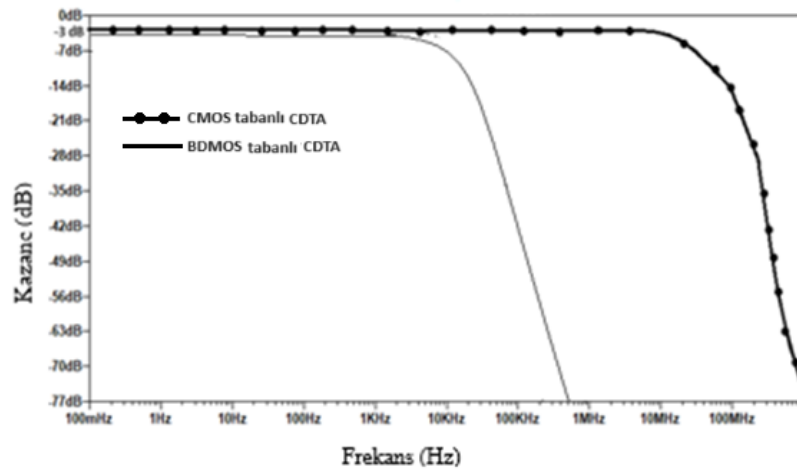


Şekil 3.40. Önerilen BDMOS tabanlı CDTA devresi ($V_b=0$ V)

Önerilen BDMOS tabanlı CDTA devresinin karakteristikleri, aynı transistör boyutları kullanılarak gerçekleştirilmiş CMOS tabanlı CDTA devresi ile karşılaştırmalı olarak verilmektedir. Şekil 3.41’de DC karakteristiği ve Şekil 3.42’de ise kazanç-frekans eğrisi verilmektedir. Şekil 3.41’de görüldüğü üzere CMOS tabanlı CDTA devresi μA mertebesinde akım çekerken BDMOS tabanlı CDTA devresi nA mertebesinde akım çekmektedir. Bu da önerilen devrenin daha düşük akım çekerek daha düşük gerilimde ve güçte çalıştığını göstermektedir. Şekil 3.42’de görüldüğü gibi CMOS tabanlı CDTA devresinin BDMOS tabanlı CDTA devresine göre bant genişliği daha geniştir. BDMOS yönteminin düşük frekanslı uygulamalar için uygun olduğu görülmektedir.

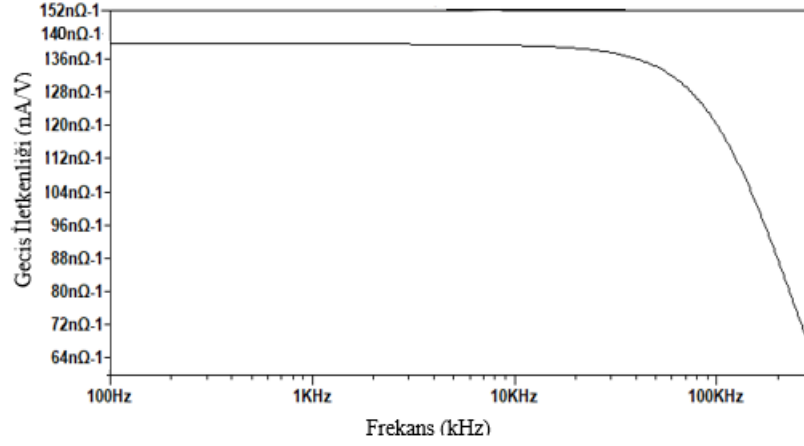


Şekil 3.41. CMOS ve BDMOS ile gerçekleştirilmiş CDTA’nın DC karakteristikleri



Şekil 3.42. CMOS ve BDMOS ile gerçekleştirilmiş CDTA’nın Kazanç-frekans eğrileri

Önerilen BDMOS tabanlı CDTA devresinin kesim frekansının 16 kHz olduğu Şekil 3.42’de ve geçiş iletkenliğinin $G_m=138$ nA/V olduğu Şekil 3.43’te görülmektedir. Önerilen BDMOS tabanlı CDTA devresinin performans özeti Tablo 3.12’de sunulmuştur.



Şekil 3.43. Önerilen BDMOS tabanlı CDTA devresinin geçiş iletkenliği-frekans eğrisi

Tablo 3.12. BDMOS tabanlı CDTA performans özeti

Teknoloji	TSMC 0.18 μm
Besleme Voltajı	± 0.2 V
Güç Tüketimi	808 nW
Geçiş İletkenliği (G_m)	138 nA/V
Kesim Frekansı (f_c)	16 kHz
THD	%2.16

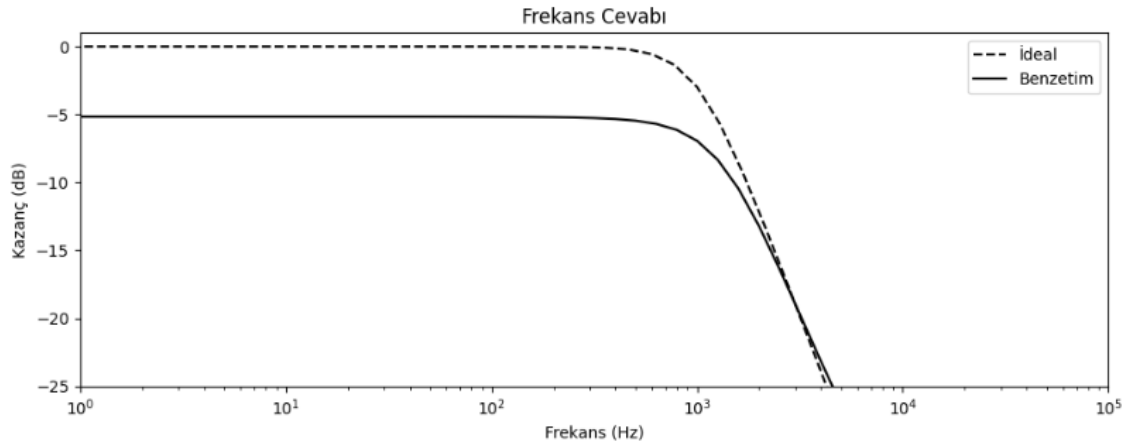
Tablo 3.12’den görüldüğü üzere önerilen BDMOS tabanlı CDTA devresinin güç tüketiminin sadece 808 nW olduğu görülmektedir ki bu da düşük güç düşük gerilimli sistemler için oldukça uygun olduğunu göstermektedir.

3.2.3.1 BDMOS CDTA Tabanlı Süzgeç Devreleri

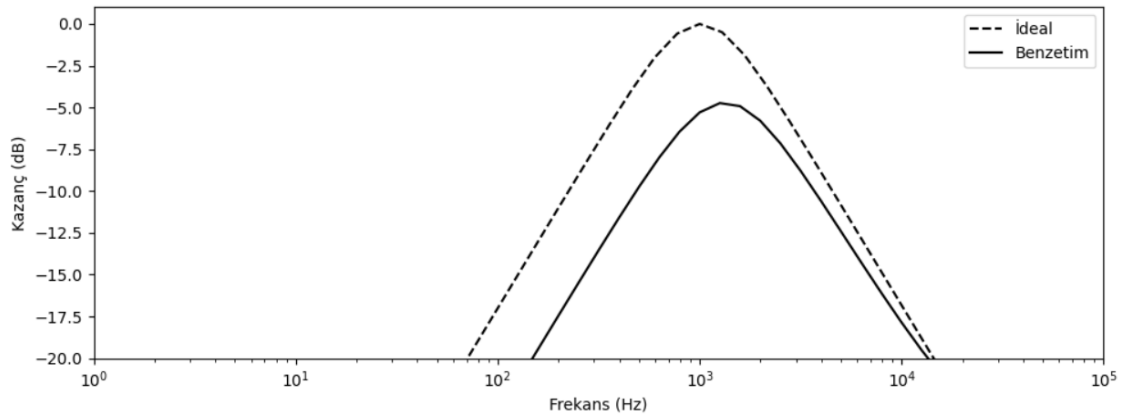
Bu bölümde, Shah ve ark. [112] tarafından önerilen ve Şekil 3.27’de verilen CDTA tabanlı uygulama devresi kullanılmaktadır. Tüm standart süzgeç türlerini gerçekleyebilen bu süzgecin bu bölümde Denklem 3.4’te transfer fonksiyonu ve Denklem 3.5 ve Denklem

3.6’da verilen doğal frekans ve kalite faktörü formülleri kullanılarak süzgeç uygulamaları yapılmaktadır.

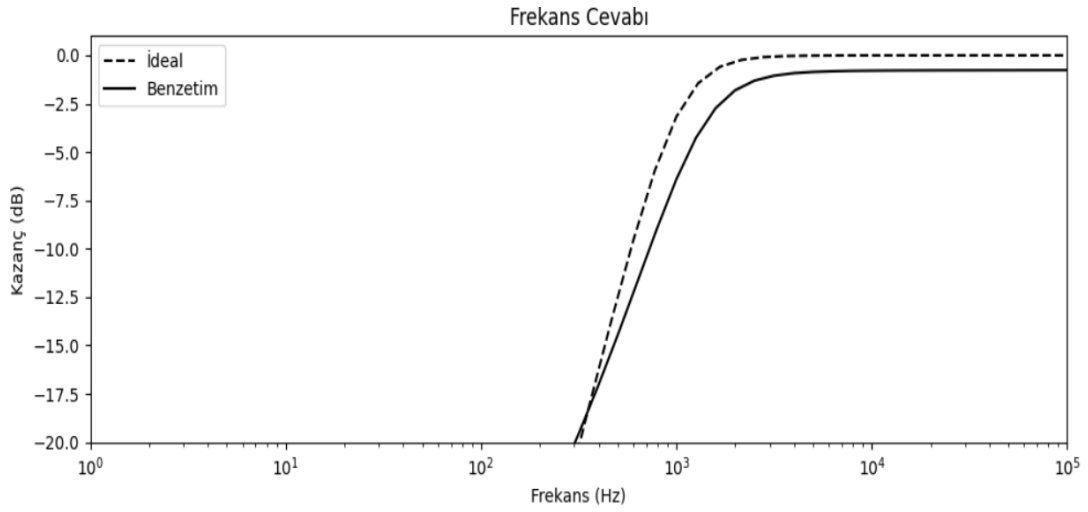
Süzgeç uygulaması LTSPICE programı ile TSMC 0.18 μm proses parametreleri kullanılarak yapılmaktadır. Süzgeç yapısında yer alan CDTA devresi için Şekil 3.40’ta önerilen devre kullanılmaktadır. CDTA yapısında kullanılan transistör boyutları ise Tablo 3.11’de verilen boyutlar ile aynıdır. Besleme voltajı $\pm 0.2\text{ V}$ olarak kullanılmaktadır. Önerilen CDTA geçiş iletkenliği $G_m=138\text{ nA/V}$ olarak belirtilmiştir. Süzgeç uygulaması için Butterworth filtre yaklaşımı kullanılmaktadır. $Q = 1/\sqrt{2}$ ve $f_c = 1\text{ kHz}$ seçilmektedir. Bu değerler doğrultusunda $R = 17\text{ M}$ ve kapasite değerleri $C_1 = 6.5\text{ pF}$, $C_2 = 31\text{ pF}$ olarak hesaplanmakta ve kullanılmaktadır. Süzgecin benzetim sonuçları Şekil 3.44, Şekil 3.45 ve Şekil 3.46’da yer almaktadır.



Şekil 3.44. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş alçak geçiren süzgecin frekans cevabı



Şekil 3.45. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş bant geçiren süzgecin frekans cevabı

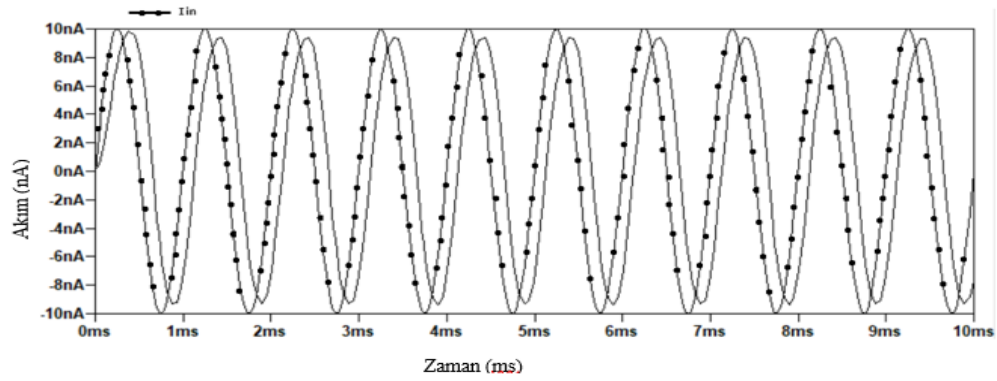


Şekil 3.46. Önerilen BDMOS tabanlı CDTA ile gerçekleştirilmiş yüksek geçiren süzgecin frekans cevabı

Şekil 3.44 ve Şekil 3.45'te verilen alçak ve bant geçiren süzgeç devrelerinde, kapasitörlerin DC sinyalleri engellemesi, dirençlerin frekans karakteristiğine olan etkisi ve ideal olmayan bileşenlerin etkisinden kaynaklanan DC kazanç kaybının meydana geldiği görülmektedir.

Bu durum, kapasitif elemanların düşük frekanslardaki sinyalleri engelleyerek DC sinyallerin iletilmesini önlemesinden kaynaklanmaktadır. Aynı şekilde, dirençlerin frekans karakteristiği, süzgeç devresinin belirli bir frekans aralığındaki davranışını etkilemekte ve bu da DC kazancının azalmasına yol açmaktadır. Ayrıca, devre bileşenlerin ideal olmayan özellikleri, süzgeç devresinin istenmeyen davranışlarına katkıda bulunmakta ve sonuç olarak DC kazanç kaybına neden olmaktadır.

Süzgecin zaman dönemindeki davranışını incelemek amacıyla alçak geçiren süzgeç uygulamasına 1 kHz 20 nA tepeden tepeye sinüzoidal işaret uygulanmış ve cevabı Şekil 3.47'de gösterilmiştir. Aynı zamanda uygulanan süzgecin Toplam Harmonik Distorsiyon (THD) değerinin %10.55 olduğu gözlemlenmiştir.

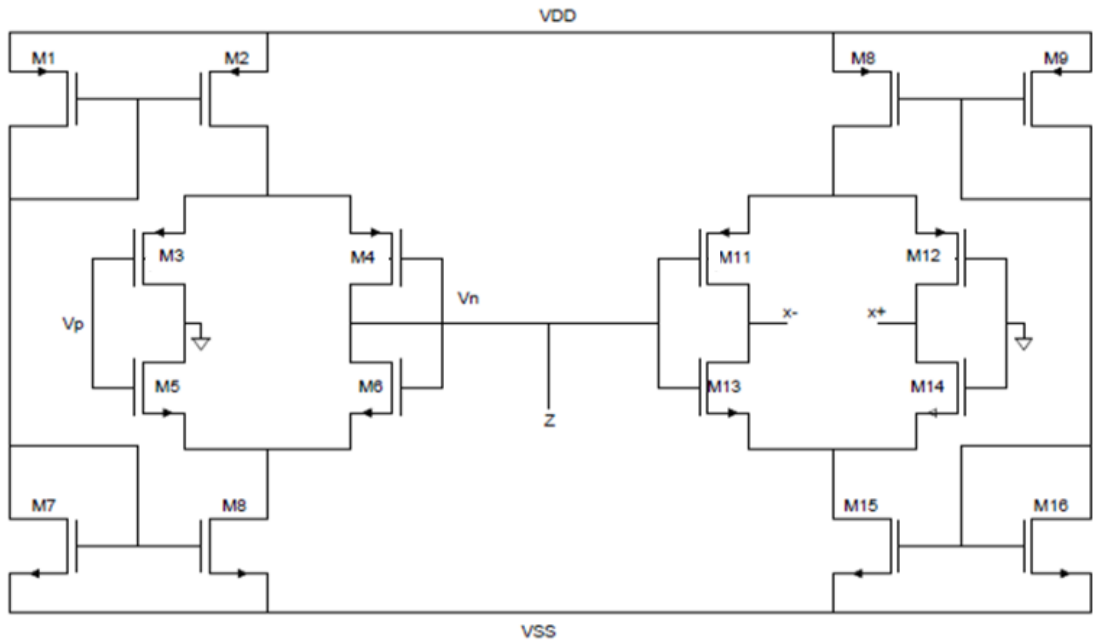


Şekil 3.47. Uygulanan alçak geçiren süzgecin sinüzoidal cevabı

3.3. Önerilen Devrelerin Karşılaştırılması

3.3.1. Önerilen VDTA Devrelerinin Karşılaştırılması

Bu tez kapsamında önerilen VDTA devresi Şekil 3.48’de sunulmaktadır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir. İki yüzen akım kaynağının birbirine bağlanması ile oluşturulan bu VDTA devresinde, bu tez kapsamında M3, M4, M11, M12 transistörlerinde üç farklı düşük güçlü düşük gerilimli MOS tasarım yöntemleri uygulanmıştır. Bu yöntemler sonucunda elde edilen veriler verilmiştir. Bu verilerin güç tüketimi, geçiş iletkenliği, bant genişliği, kullanılan transistör sayısı gibi özelliklerinin karşılaştırılması da verilmektedir.



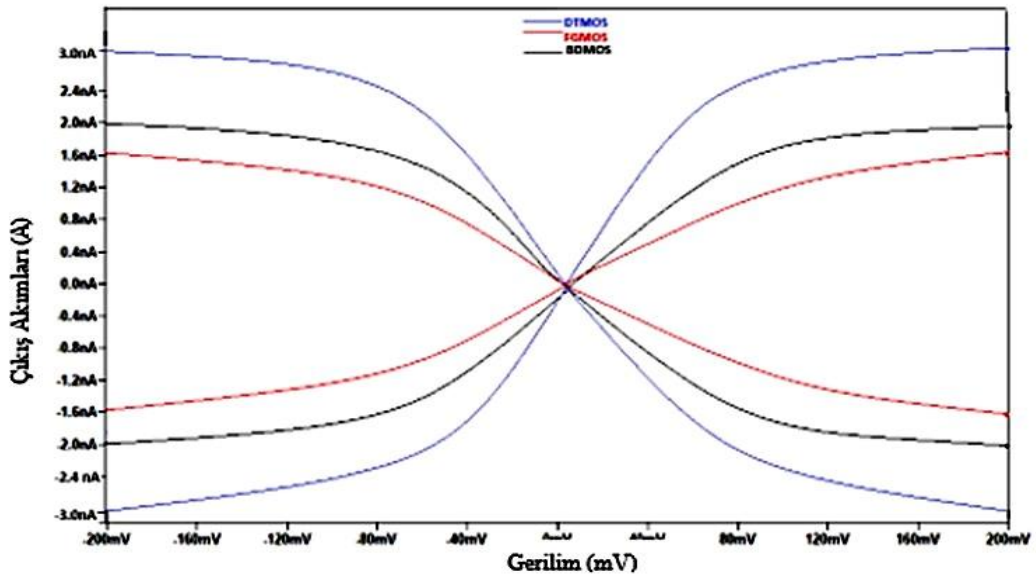
Şekil 3.48. Önerilen VDTA devresi

Şekil 3.48’de önerilen VDTA yapısının uygulanan her bir yöntem için performansını göstermek amacıyla LTSPICE programı ve transistorlar için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Uygulanan bu üç farklı yöntemde transistör sayıları ve transistör boyutları aynı kullanılmıştır ve bu boyutlar Tablo 3.13’te yer almaktadır.

Tablo 3.13. Önerilen VDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M9, M10	150 μm	20 μm
M3, M4, M11, M12	150 μm	2 μm
M5, M6, M13, M14	50 μm	2 μm
M7, M8, M15, M16	50 μm	20 μm

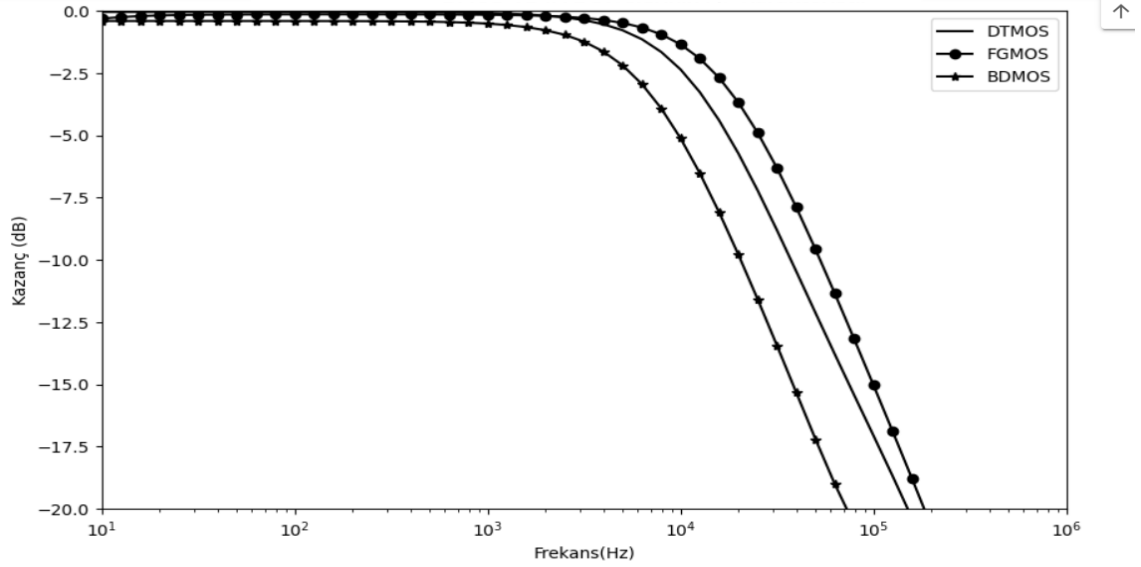
DTMOS, FGMOS, BDMOS yöntemleri önerilen VDTA devresine uygulanmış ve Şekil 3.49’da DC karakteristiği verilmiştir. Şekil incelendiğinde DTMOS yönteminin diğer yöntemlere göre daha fazla akım çektiği görülmüştür.



Şekil 3.49. DTMOS-FGMOS-BDMOS tabanlı VDTA’nın DC karakteristikleri

Şekil 3.50’de DTMOS, FGMOS, BDMOS yöntemleri uygulanan VDTA devresinin kazanç-frekans eğrisi yer almaktadır. Şekil incelendiğinde FGMOS yöntemi

uygulandığında bant genişliğinin ve kesim frekansının diğer yöntemlere göre daha büyük olduğu görülmektedir.



Şekil 3.50. DTMOS-FGMOS-BDMOS tabanlı VDTA Devrelerinin kazanç-frekans eğrileri

Tablo 3.14'te önerilen VDTA devresine bu üç yöntem uygulandığında elde edilen sonuçlar verilmiştir.

Tablo 3.14. DTMOS-FGMOS-BDMOS VDTA devrelerinin karşılaştırılması

	DTMOS	FGMOS	BDMOS
Teknoloji	TSMC 0.18 μm	TSMC 0.18 μm	TSMC 0.18 μm
Besleme Voltajı	± 0.2 V	± 0.2 V	± 0.2 V
Güç Tüketimi	6.41 nW	6.68 nW	6.7 nW
Geçiş İletkenliği ($Gm_1=Gm_2$)	62 nA/V	38 nA/V	35 nA/V
Kesim Frekansı (f_c)	12 kHz	17 kHz	7 kHz
THD	%4.91	%2.26	%2.68

Tablo 3.14'ten görüldüğü üzere kullanılan yöntemlerden güç tüketiminin bütün yöntemlerde birbirine çok yakın olduğu görülmektedir. Bu yöntemler arasında geçiş iletkenliği DTMOS yönteminde en büyük olduğu tablodan görülmektedir. Bu da daha düşük güç tüketimi, daha yüksek verimlilik ile çalışması sağlamaktadır. FGMOS

yönteminin bant genişliği diğer yöntemlere göre daha geniştir. Bu da daha geniş frekans aralığına sahip olduğunu göstermektedir. Toplam Harmonik Bozulma (THD) değeri incelendiğinde en az FGMOS yönteminde olduğu görülmektedir. Bu da distorsiyondan daha az etkilenen ve daha iyi performansa sahip olduğunu göstermektedir.

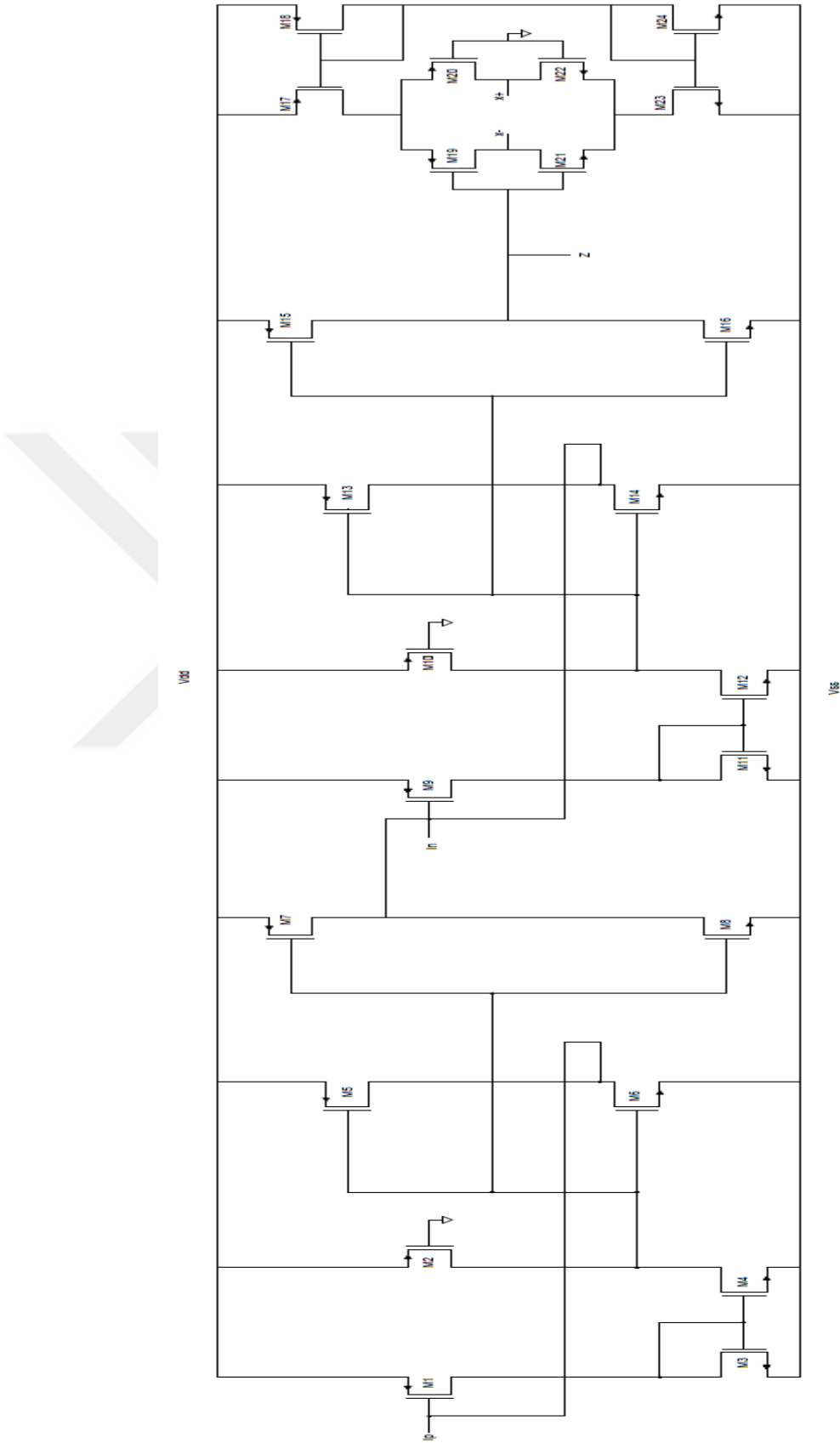
3.3.2. Önerilen CDTA Devrelerinin Karşılaştırılması

Bu tez kapsamında önerilen CDTA devresi Şekil 3.51’te sunulmaktadır. Önerilen devre ± 0.2 V besleme voltajı ile beslenmektedir. CDTA devresi, iki ikinci nesil akım taşıyıcı (CCII) ve geçiş iletkenliği yapısından oluşmaktadır. Önerilen CDTA yapısında yer alan ikinci nesil akım taşıyıcı için Uygur ve Kuntman [111] tarafından önerilen devre yapısı ve transistör boyutları kullanılmaktadır. Önerilen CDTA yapısında yer alan OTA için bağımsız akım kaynakları yerine akım aynası tercih edilmiştir. M1, M2, M5, M7, M9, M10, M13, M15, M19, M20 transistörlerinde üç farklı düşük güçlü düşük gerilimli MOS tasarım yöntemleri uygulanmıştır. Bu yöntemler sonucunda elde edilen veriler üçüncü bölümde verilmiştir. Bu bölümde bu verilerin güç tüketimi, geçiş iletkenliği, bant genişliği, kullanılan transistör sayısı gibi özelliklerinin karşılaştırılması yapılmaktadır.

Şekil 3.51’de önerilen CDTA yapısının uygulanan her bir yöntem için performansını göstermek amacıyla LTSPICE programı ve transistorlar için ise TSMC 0.18 μm proses parametreleri kullanılmıştır. Uygulanan bu üç farklı yöntemde transistör sayıları ve transistör boyutları aynı kullanılmıştır ve bu boyutlar Tablo 3.15’te yer almaktadır.

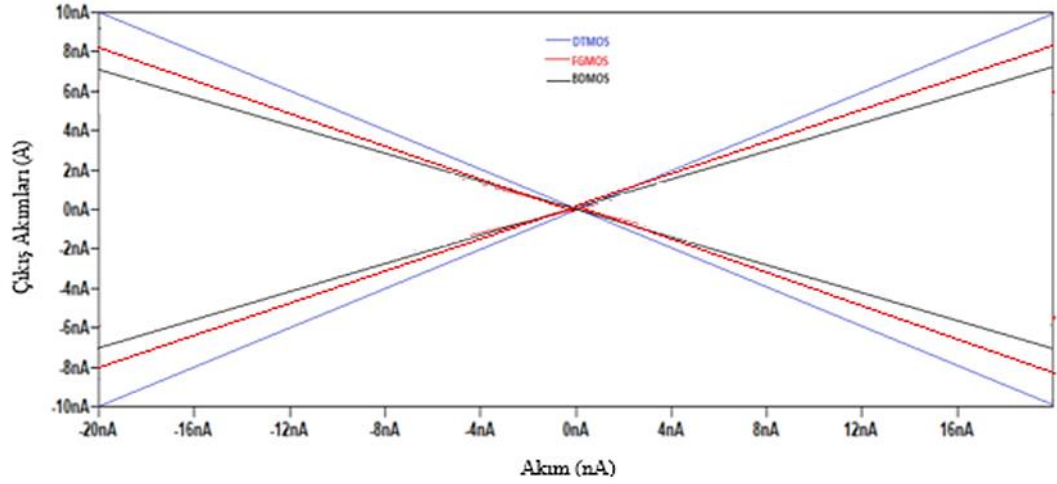
Tablo 3.15. Önerilen CDTA devresinin transistör boyutları

Transistörler	Kanal Genişliği (W)	Kanal Boyu(L)
M1, M2, M5, M7 M9, M10, M13, M15	300 μm	2 μm
M3, M4, M11, M12	50 μm	2 μm
M6, M8, M14, M16	320 μm	0.4 μm
M17, M18	600 μm	20 μm
M19, M20	600 μm	2 μm
M21, M22	200 μm	2 μm
M23, M24	200 μm	20 μm



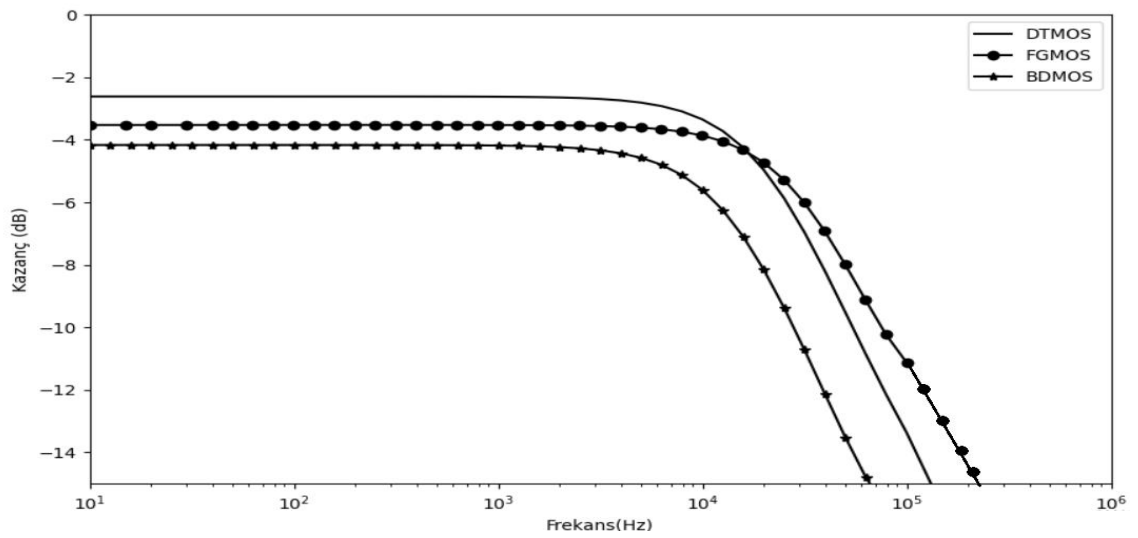
Şekil 3.51. Önerilen CDTA devresi

DTMOS, FGMOS, BDMOS yöntemleri önerilen CDTA devresine uygulamış ve Şekil 3.52’de DC karakteristiği verilmiştir. Şekil incelendiğinde DTMOS yönteminin diğer yöntemlere göre daha fazla akım çektiği görülmüştür.



Şekil 3.52. DTMOS-FGMOS-BDMOS tabanlı CDTA’nın DC karakteristikleri

Şekil 3.53’te DTMOS, FGMOS, BDMOS yöntemleri uygulanan CDTA devresinin kazanç-frekans eğrisi yer almaktadır. Şekil incelendiğinde FGMOS yöntemi uygulandığında bant genişliğinin ve kesim frekansının diğer yöntemlere göre daha büyük olduğu görülmektedir.



Şekil 3.53. DTMOS-FGMOS-BDMOS tabanlı CDTA devrelerinin kazanç-frekans eğrileri

Tablo 3.16’da önerilen CDTA devresine bu üç yöntem uygulandığında elde edilen sonuçlar verilmiştir.

Tablo 3.16. DTMOS-FGMOS-BDMOS tabanlı CDTA devrelerinin karşılaştırılması

	DTMOS	FGMOS	BDMOS
Teknoloji	TSMC 0.18 μm	TSMC 0.18 μm	TSMC 0.18 μm
Besleme Voltajı	$\pm 0.2\text{ V}$	$\pm 0.2\text{ V}$	$\pm 0.2\text{ V}$
Güç Tüketimi	791.6 nW	300 nW	808 nW
Geçiş İletkenliği (G_m)	245 nA/V	140 nA/V	138 nA/V
Kesim Frekansı (f_c)	24 kHz	36 kHz	16 kHz
THD	%2.38	%2.32	%2.16

Tablo 3.16’den görüldüğü üzere kullanılan yöntemlerden güç tüketiminin en az olduğu yöntemin FGMOS yöntemi olduğu görülmektedir. Bu yöntemler arasında geçiş iletkenliği DTMOS yönteminde en büyük olduğu tablodan görülmektedir. Bu da daha yüksek verimlilik ile çalışmasını sağlamaktadır. FGMOS yönteminin bant genişliği diğer yöntemlere göre daha geniştir. Bu da daha geniş frekans aralığına sahip olduğunu göstermektedir. Toplam Harmonik Bozulma (THD) değeri incelendiğinde en az BDMOS yönteminde olduğu görülmektedir. Bu da distorsiyondan daha az etkilenen ve daha iyi performansa sahip olan bir yöntem olduğunu göstermektedir.

4. BÖLÜM

TARTIŞMA-SONUÇ ve ÖNERİLER

4.1. Sonuç ve Öneriler

Biolek ve arkadaşları tarafından geliştirilen VDTA ve CDTA üniversal aktif elemanları, önerilen blok diyagram ve tanım denklemleriyle verilmektedir. VDTA elemanının diğer üniversal aktif elemanlara göre tercih edilme sebeplerinden biri, içerdiği bağımsız geçiş iletkenlikleri sayesinde dış direnç bağlanmasına ihtiyaç duyulmamasıdır ve bu özelliği sayesinde çip üzerinde daha az yer kaplamasını sağlayarak üretim maliyetlerini azaltmaktadır. Ayrıca, geçiş iletkenliklerinin elektronik olarak ayarlanabilir olması ve süzgeç yapılarında doğal frekans veya kalite faktörünün ayarlanabilmesine olanak tanınması VDTA elemanının tercih edilme sebeplerindendir. CDTA ise VDTA elemanına göre daha geniş bant genişliği sağlayarak yüksek frekanslı uygulamalarda tercih edilmektedir. Bu durum, CDTA gibi akım modlu devreleri yüksek frekanslı işlemler için çekici hale getirmektedir. Bu devreler genellikle açık çevrimde ve düşük kazançlarda çalıştırılmaktadırlar. Bu nedenle, giriş çıkış karakteristiklerine bakıldığında, akım modlu devrelerin lineer aralıklarının gerilim modlu devrelere göre daha geniş olduğu görülmektedir. Diğer yandan, gerilim modlu devreler daha dar bir lineerlik aralıkta çalıştığından girişe uygulanan büyük genlikli işaretler için distorsiyon ortaya çıkmaktadır. Sonuç olarak, akım modlu devrelerin geniş bant genişliği ve geniş lineer aralığı, yüksek frekanslı uygulamalarda tercih edilmelerini sağlarken, gerilim modlu devreler daha dar lineerlik aralıklarıyla düşük frekanslı işlemlerde daha yaygın olarak kullanılmaktadır.

VDTA elemanın iç yapısı, FCS bloklarıyla gerçekleştirilmiştir. Sekiz transistör ve dört akım kaynağından oluşan yapı, çıkış akımlarının birbirlerini yüksek hassasiyetle takip etmesi özelliğiyle dikkat çekmesinden dolayı tercih edilmiştir. Bu çalışma kapsamında, düşük gerilim düşük güçlü MOS yöntemlerinden DTMOS, FGMOS, BDMOS yöntemleri VDTA devresine uygulanarak performansı incelenmiştir. Bu yöntemlerle tasarlanan

VDTA devresi, VDTA tabanlı uygulama devrelerine uyarlanmıştır. Bu uygulama devreleri, ikinci dereceden gerilim modlu standart süzgeç tiplerini sağlayan süzgeç devresidir. Butterworth yaklaşımı kullanılarak süzgeç devrelerinin benzetim sonuçları ve parametreleri sunulmuştur. Devrelerin doğruluğu ve performansı LTSPICE benzetimiyle test edilmiştir. Toplam Harmonik Distorsiyon analizleriyle devrenin performansı incelenmiştir.

Benzer şekilde, CDTA üniversal aktif elemanı da bu çalışma kapsamında incelenmiştir. Önerilen CDTA elemanının yapısı, iki CCII ve bir OTA'dan oluşmaktadır. Önerilen CDTA elemanının yapısında yer alan CCII için Uygur ve Kuntman [111] tarafından önerilen devre yapısı kullanılmaktadır. Bu çalışma kapsamında, düşük gerilim düşük güçlü MOS yöntemlerinden DTMOS, FGMOS, BDMOS yöntemleri CDTA devresine uygulanarak performansı incelenmiştir. Bu yöntemlerle tasarlanan CDTA devresi, CDTA tabanlı uygulama devrelerine uyarlanmıştır. Bu uygulama devreleri, ikinci dereceden akım modlu standart süzgeç tiplerini sağlayan süzgeç devresidir. Butterworth yaklaşımı kullanılarak süzgeç devrelerinin benzetim sonuçları ve parametreleri sunulmuştur. Devrelerin doğruluğu ve performansı LTSPICE benzetimiyle test edilmiştir. Toplam Harmonik Distorsiyon analizleriyle devrenin performansı incelenmiştir.

Gelecekteki çalışmalar, düşük güç ve gerilim gereksinimi olan alanlarda kullanılabilecek analog devre bloklarının DTMOS, FGMOS, BDMOS transistörler kullanılarak tasarımını içerebilir. Düşük güç ve gerilim için eşik altı bölgesinde çalışan DTMOS, FGMOS, BDMOS transistörler kullanılabilir. Aynı zamanda bu yöntemler kullanılarak geliştirilen devrelere farklı besleme gerilimleri uygulanarak devre yapılarının performansları da incelenip karşılaştırılmalı olarak sunulabilir. Tasarlanan devrelerde kullanılan düşük gerilimli düşük güçlü MOS tasarım yöntemlerinin uygulandığı MOS sayısı da artırılarak devre performansı incelenebilir. Bu yaklaşımların, devre topolojilerine sağladığı düşük güç, düşük gerilim, eşik altında çalışma gibi avantajlar sayesinde önemli bir katkı sağlayabileceği öngörülmektedir.

KAYNAKÇA

1. Rakús, M., Stopjaková, V., Arbet, D., 2017. Design techniques for low-voltage analog integrated circuits. **Journal of Electrical Engineering**, 68(4): 245–255.
2. Kuntman H., 1997. Analog MOS Tümdevre Tekniği. İstanbul Teknik Üniversitesi Elektrik Elektronik Fakültesi, İstanbul.
3. Razavi B., 2005. Design of Analog CMOS Integrated Circuits. International Edition, McGraw-Hill Series, Los Angeles.
4. Sharroush, S. M., Abdalla, Y. S., Yasser, S., Dessouki, A. A., El-Badawy El-Sayed, A., 2009. Subthreshold MOSFET transistor amplifier operation. **Design and Test Workshop (IDT)**, 4th International.
5. Sökmen, Ö. G., 2018. Akım ve voltaj modlu aktif elemanların düşük gerilim düşük güçlü olarak tasarlanması. Fen Bilimleri Enstitüsü, Erciyes Üniversitesi, Doktora Tezi, Kayseri, 15 s.
6. Rajput, S. S., Jamuar, S. S., 2002. Low voltage analog circuit design techniques. **IEEE Circuits and Systems Magazine**, 2(1): 24-42
7. Khateb, A., Musil, V., Prokop, R., 2005. Rail-to-rail bulk-driven amplifier. *Electronics*, 21-23, Sozopol, Bulgaria.
8. Bhat, S., Choudhary, S., Selvakumar, J., 2015. Design of low voltage CMOS OTA using bulk-driven technique. **Indian Journal of Science and Technology**, 9(19).
9. Dewaker, A., Gupta, M., Srivastava, R., Ninawe, A., 2016. Design of low-voltage, low-power FGMOS based voltage buffer, analog inverter and winner-take-all analog signal processing circuits. **Scientific Research Publishing**, 7(1): 1-10.
10. Arora, Y., Aggarwal, B., Kaur, J., 2022. Low voltage high performance floating gate and quasi floating gate CDTA. **Journal of Engineering Research ICAPIE Special Issue**, 144-152.

11. Gupta, R., Sharma, S., Gupta, R., 2017. Design of high speed and low power 4-bit comparator using FGMOS. **International Journal of Electronics and Communications**, 76: 125-131.
12. Maryan, M. M., Azhari, S. J., Ghanaatian, A., 2018. Low power FGMOS-based four-quadrant current multiplier circuits. **Analog Integrated Circuits and Signal Processing**, 95(1): 115–125.
13. Sökmen, Ö. G., Alçı, M., 2014. A novel current controlled DVCC design based on FGMOS and filter applications. **IEEE 22nd Signal Processing and Communications Applications Conference**.
14. Nurulain, D., Musa, F. A. S., Mohamad Isa, M., Ahmad, N., Kasjoo, S. R., 2017. Low voltage low power FGMOS based current mirror. **EPJ Web of Conferences**, 162: 01048.
15. Sharma, U., Jhamb, M., 2023. Efficient design of FGMOS-based low-power low-voltage XOR gate. **Circuits Systems and Signal Processing**, 42(5): 2852–2871.
16. Rahin, A. B., Kadivar, A., Akbar, S. N., Rahin, V. B., 2023. Tunable ring oscillators based on hybrid FGMOS/CNTFET inverters with high frequency and low power. *International Conference on New Researches and Technologies in Electrical Engineering (ICNRTEE)*, University of Science and Culture (USC), Tehran, Iran.
17. Joshi, S. B., Prajapati, J. C., Soni, B. H., 2013. Analysis and study of FGMOS based current mirror circuit using 0.35 μ m technology. **International Journal of Engineering and Innovative Technology (IJEIT)**, 2(10).
18. Khateb, F., Dabbous, S. B. A., Vlassis, S., 2013. A survey of non-conventional techniques for low-voltage low-power analog circuit design. **Radioengineering**, 22(2).
19. Khateb, F., Khatib, N., Kubanek, D., 2012. Low-voltage ultra-low-power current conveyor based on quasi-floating gate transistors. **Radioengineering**, 21(2).

20. Shibata, T., Ohmi, T., 1992. A functional MOS transistor featuring gate-level weighted sum and threshold operations. **IEEE Transactions on Electron Devices**, **39**(6): 1444–1455.
21. Castaldo, F. C., Rodrigues, P., Cajueiro, J. P., Filho, C. A. D. R., 2004. Floating-gate analog memory cell programming environment. **Computer Science**.
22. Prakash, B., Bansal, U., Gupta, M., 2019. Low-power high output impedance-improved bandwidth current mirror using FGMOS and QFGMOS. **Applications of Computing, Automation and Wireless Systems in Electrical Engineering**, 997–1006.
23. Miguel, J. M. A., Lopez-Martin, A. J., Acosta, L., Ramirez-Angulo, J., Carvajal, R. G., 2011. Using floating gate and quasi-floating gate techniques for rail-to-rail tunable CMOS transconductor design. **IEEE Transactions on Circuits and Systems I: Regular Papers**, **58**(7): 1604–1614.
24. Gupta, R., Sharma, S., 2013. Voltage controlled resistor using quasi-floating-gate MOSFETs. **Maejo International Journal of Science and Technology**, **7**(1): 16-25.
25. Gupta, R., Sharma, S., Jamuar, S. S., 2010. A low voltage current mirror based on quasi-floating gate MOSFETs. **2010 IEEE Asia Pacific Conference on Circuits and Systems**.
26. Aggarwal, B., Gupta, A., 2020. QFGMOS and FGMOS based low-voltage high performance MI-OTA. **International Journal of Information Technology**, **13**(2): 415–422.
27. Bhardwaj, R., Srivastava, R., Kandari, R., Kumar, A., 2022. Comparative analysis of Wilson current mirror utilizing FGMOS and QFGMOS technique. **IEEE Delhi Section Conference (DELCON)**.
28. Özer, E., Başak, M. E., Kaçar, F., 2022. A four-quadrant analog multiplier using DTMOS for low power applications. **International Journal of Electronics**, **110**(2).

29. Yildirim, M., 2021. Design of low-voltage and low-power DTMOS based analog multiplier utilizing current squarer. **International Journal of Electronics Letters**, 9(1): 1–13.
30. Garg, S., Niranjana, V., 2015. DTMOS transistor with self-cascode subcircuit for achieving high bandwidth in analog applications. **International Journal of Computer Applications**, 127(11).
31. Amin, N. U., Hakim, N., 2013. SOI-DTMOS based novel structure: Modeling, LNA implementation and comparison. **Electronics and Communications in Japan (IJECT)**, 4(Spl-2): 9-13.
32. Mustapa, M., Mohd-Yasin, F., Khawi, M. K., Reaz, M. B. I., Kordes, A., 2008. Low power ROM employing dynamic threshold-voltage MOSFET (DTMOS) technique. **IEEE International Conference on Semiconductor Electronics**.
33. Dabas, A., Kumari, S., Gupta, M., Yadav, R., 2023. Design and analysis of DTMOS based RFC with controlled positive feedback OTA using HSCCM and adaptive biasing technique. **Integration**, 90–103.
34. Uygur, A. 2013. "DTMOS Kullanan Düşük Gerilimli Analog Devre Tasarımında Yeni Olanaklar". Doktora Tezi, Fen Bilimleri Enstitüsü, İstanbul Teknik Üniversitesi, İstanbul.
35. Uygur, A., Kuntman, H., 2013. An ultra low-voltage, ultra low-power DTMOS-based CCII design for speech processing filters. **8th International Conference on Electrical and Electronics Engineering (ELECO)**.
36. Rahin, A. B., Ghasemi, M. H., Rahin, V. B., 2022. DTMOS-based low-voltage and low-power two-stage OTA. *IEEE 6th Conference on Technology In Electrical and Computer Engineering (ETECH 2021)*, Tafresh University, Tafresh, Iran.
37. Dubey, T., Bhadauria, V., 2018. A low-voltage highly linear OTA using bulk-driven floating gate MOSFETs. **International Journal of Electronics and Communications (AEÜ)**, 98: 29–37.

38. Dubey, T., Bhadauria, V., 2020. Linearity improvement of bulk driven floating gate OTA using cross-bulk and quasi-bulk techniques. **Journal of Circuits, Systems and Computers**.
39. Khateb F., 2014. Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design. **AEU- International Journal of Electronics and Communications**, **68**(1), 64–72.
40. Rana C., Afzal N., Prasad D., 2016. A high performance bulk driven quasi floating gate MOSEFT based current mirror. **Procedia Computer Science** 79: 747 – 754,
41. Kumngern M., & Khateb F., 2016. 0.5 V fully differential current conveyor using bulk-driven quasi-floating-gate technique. **IET Circuits, Devices & Systems**, **10**(1), 78–86.
42. Raj N., Singh A. K., Gupta A. K, 2016. Low voltage high output impedance bulk-driven quasi-floating gate self-biased high-swing cascode current mirror. **Circuits. Syst Signal Process**, 35:2683–2703.
43. Khateb F., Kulej T., Veldandi H. & Jaikla W., 2018. Multiple-input bulk-driven quasi-floating-gate MOS transistor for low-voltage low-power integrated circuits. **AEU- International Journal of Electronics and Communications**.
44. Khateb F., Kulej T., Kumngern M., Jaikla W. & Kumar Ranjan R., 2019. Comparative performance study of multiple-input Bulk-driven and multiple-input Gate-driven Quasi-floating-gate DDCCs. **AEU- International Journal of Electronics and Communications**.
45. Kaçar F., and Kuntman H. H., 2011. A new improved CMOS realization of CDTA and its filter applications. **Turkish Journal of Electrical Engineering and Computer Sciences** **19**(4): 631–642
46. Bisariya, S., Afzal, N., 2020. Design and implementation of CDTA: a review. **Sādhanā**, **45**(1) 282.

47. Uygur, A., Kuntman, H., 2013. DTMOS-Based 0.4V Ultra Low-Voltage Low-Power VDTA Design and Its Application to EEG Data Processing. **Radioengineering**, 22(2).
48. Narang, N., Aggarwal, B., Gupta, M., 2017. DTMOS and FD-FVF based low voltage high performance Voltage Differencing Transconductance Amplifier (VDTA) and its application in MISO filter. **Microelectronics Journal**, 63: 66–74.
49. Yesil, A., Kaçar, F., Kuntman, H., 2011. New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application. **Radioengineering**, 20(3): 632–637.
50. Başak, M. E., Kaçar, F., 2017. Ultra-Low Voltage VDTA Design by Using PMOS DTMOS Transistor. **IU-JEEE**, 17(2): 3463-3469.
51. Sethi, C., Garg, C., Varun, D., Pandey, R., 2023. Adaptive biased voltage differencing buffered amplifier. *Proceedings of the 3rd International Conference on Intelligent Technologies (CONIT)*, Karnataka, India, June 23-25, 2023.
52. Kaçar, F., Yesil, A., Noori, A., 2012. New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications. **Radioengineering**, 21(1): 333–339.
53. Özcan, S., Kuntman, H., Çiçekolu, O., 2002. Cascadable Current Mode Multipurpose Filters Employing Current Differencing Buffered Amplifier (CDBA). **AEU - International Journal of Electronics and Communications**, 56(2): 67–72.
54. Acar, C., Ozoguz, S., 1999. A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters. **Microelectronics Journal**, 30(2): 157–160.
55. Tangsritrat, W., et al., 2011. Simple current-mode analog multiplier, divider, square-rooter and squarer based on CDTA. **AEU - International Journal of Electronics and Communications**, 65(3) 198-203.

56. Siripruchyanun, M., Jaikla, W., 2008. A current mode analog multiplier/divider based on CCCDTA. **AEU – International Journal of Electronics and Communications**, 62(3): 223–227.
57. Birolek, D., Vavra, J., Keskin, A. U., 2018. CDTA based capacitance multipliers. **Circuits, Systems, and Signal Processing**, 38: 1466–1481.
58. Xia, Z., et al., 2015. Novel AM/FM/ASK/FSK/PSK/QAM signal generator based on a digitally programmable CDTA. **Circuits, Systems, and Signal Processing**, 34(5): 1635–1653.
59. Ranjan, R. K., Paul, S. K., 2018. Self generating square/triangular wave and pulse width modulator using a single MOCCDTA. **Analog Integrated Circuits and Signal Processing**, 94: 177–193.
60. Kaçar, F., Basak, M. E., 2014. A new mixed mode full wave rectifier realization with CDTA. **Journal of Circuits, Systems and Computers**, 23(7): 1450101–10.
61. Pandey, N., Pandey, R., 2013. Current mode full wave rectifier based on a single MZC-CDTA. **Active and Passive Electronic Components**.
62. Khateb, F., Vavra, J., Birolek, D., 2010. A novel currentmode full-wave rectifier based on one CDTA and two diodes. **Radioengineering**, 19(3): 437–445.
63. Yesil, A., Kaçar, F., Minaei, S., 2016. Electronically controllable band pass filters with high quality factor and reduced capacitor value: an additional approach. **AEU – International Journal of Electronics and Communications**, 70(7): 936–943.
64. Alaybeyoglu, E., Kuntman, H., 2015. A new reconfigurable filter structure employing CDTA for positioning systems. **Proceedings of the 9th International Conference on Electrical and Electronics Engineering**, pp. 37–41.
65. Atasoyu, M., et al., 2015. Design of current-mode class 1 frequency-agile filter employing CDTA. **Proceedings of the European Conference on Circuit Theory and Design**, pp. 1–4.

66. Li, Y., 2011. A modified CDTA and its applications: designing current-mode sixth-order elliptic band-pass filter. **Circuits, Systems, and Signal Processing**, 30: 1383–1390.
67. Kaçar, F., Kuntman, H., 2009. A new CMOS CDTA and its biquad filter application. **Proceedings of IEEE EUROCON**, pp. 189–196.
68. Singh, D., Paul, S. K., 2020. Realization of current mode universal shadow filter. **AEU – International Journal of Electronics and Communications**, 117: 153088-1-16.
69. Li, Y., Wang, C., Chen, S., 2015. Current-mode four-phase quadrature oscillator. **Rev. Roum. Sci. Techn. – Electrotechn. et Energ.**, 60: 293–301.
70. Sotner, R., et al., 2013. Tunable oscillator derived from Colpitts structure with simply controllable condition of oscillation and synthetic inductor based on current amplifier and VDTA. **Proceedings of the 8th International Conference on Electrical and Electronics Engineering**, pp. 21–25.
71. Biolek, D., Keskin, A. U., Biolkova, V., 2010. Grounded capacitor current mode single resistance-controlled oscillator using single modified CDTA. **IET Circuits, Devices and Systems**, 4(6): 496–502.
72. Das, R., et al. 2019. CDTA based current mode quadrature oscillator. **Biswas, U. (Ed.) Advances in Computer, Communication and Control. Lecture Notes in Networks and Systems. Singapore: Springer Singapore**, pp. 35–47.
73. Madira, S., Reddy, V. V., Srinivasulu, A., 2016. Current mode Schmitt trigger based on ZCCDTA. **Proceedings of the International Conference on Inventive Computation Technologies**, pp. 1–5.
74. Soni, G. S., Ansari, M. S., 2014. Current-mode electronically-tunable Schmitt Trigger using single 65nm $\pm 0.75V$ CMOS CDTA. **Proceedings of the International Conference on Signal Propagation and Computer Technology**, pp. 137–141.

75. Silapan, P., Siripruchyanun, M., 2011. Fully and electronically controllable current-mode Schmitt triggers employing only single MO-CCCDTA and their applications. **Analog Integrated Circuits and Signal Processing**, 68: 111–128.
76. Tangsrirat, W., Pukkalanun, T., Surakamponorn, W., 2011. Synthesis of CDTA based current limiters and its Applications. **Journal of Circuits, Systems and Computers**, 20: 185–206.
77. Lavanya, M. L., Srinivasulu, A., Reddy, V. V., 2019. ZCCDTA based integrator circuit using single passive component. **Nath, V., Mandal, J. K. (Eds.) Proceedings of the Second International Conference on MCCS, Lecture Notes in Electrical Engineering**. Singapore: Springer Nature, pp. 179–187.
78. He, H., et al., 2017. Field programmable analog array based on CDTA and its application to high order filter. **Proceedings of SPIE**, 10420: 104204L1–L8.
79. Biolek, D., 2003. CDTA building block for current-mode analog signal processing. **Proceedings of the European Conference on Circuit Theory and Design**, pp. 397–400.
80. Uygur, A., Kuntman, H., 2007. Seventh-order elliptic video filter with 0.1 dB pass band ripple employing CMOS CDTA. **AEU – International Journal of Electronics and Communications**, 61(5): 320–328.
81. Biolek, D., Biolkova, V., Kolka, Z., 2009. Current mode biquad employing single CDTA. **Indian Journal of Pure and Applied Physics**, 47: 535–537.
82. Biolek, D., Hancıoğlu, E., Keskin, A. U., 2008. High performance CDTA and its application in precision current mode rectification. **AEU – International Journal of Electronics and Communications**, 62(2): 92–96.
83. Alaybeyoglu, E., Guney, A., Altun, M., Kuntman, H., 2014. Design of positive feedback driven current-mode amplifiers Z-Copy CDBA and CDTA, and filter applications. **Analog Integrated Circuits and Signal Processing**, 81: 109–120.

84. Alaybeyoglu, E., Kuntman, H. H., 2016. A new CMOS ZC-CDTA realization and its filter applications. **Turkish Journal of Electrical Engineering and Computer Sciences**, 24(3) 746–761.
85. Alaybeyoglu, E., Kuntman, H., 2016. A new frequency agile filter structure employing CDTA for positioning systems and secure communications. **Analog Integrated Circuits and Signal Processing**, 89: 693–703.
86. Khateb, F., Biolek, D., 2011. Bulk-driven CDTA. **Circuits, Systems, and Signal Processing**, 30(5) 1071–1089.
87. Shaktour, M. A., 2015. Implementation of bulk-driven CDTA. **Poznan University of Technology Academic Journals: Electrical Engineering**, 84:145–151.
88. Rana, C., Prasad, D., Afzal, N., 2018. Low voltage floating gate MOSFET based CDTA and its applications. **Journal of Semiconductors**, 39(9) 094002-1–7.
89. Yildirim, M., Ugurlanli, H. G., Kaçar, F., 2016. Low Voltage Low Power DTMOs-CDTA Filter Design Using for Biomedical Signal Processing Applications. **International Journal of Computational and Experimental Science and Engineering (IJCESEN)**, 2(2), 6-9.
90. Satansup, J., Pukkalanun, T., Tangsrirat, W., 2022. High-Input-Impedance Four-Input Single-Output Voltage-Mode Biquadratic Filter with Only VDTAs and Grounded Capacitors. **Engineering Letters**, 30(2),
91. Prasad, D., Bhaskar, D. R., Srivastava, M., 2013. Universal Current-Mode Biquad Filter Using a VDTA. **Circuits and Systems**, 4(1), 29-33.
92. Gupta, S., Arora, T. S., 2021. Design and experimentation of VDTA based oscillators using commercially available integrated circuits. **Analog Integrated Circuits and Signal Processing**, 106(3): 713–728.
93. Tangsrirat, W., 2018. Voltage differencing transconductance amplifier-based quadrature oscillator and biquadratic filter realization with all grounded passive elements. **Journal of Communications Technology and Electronics**, 63(12), 1418–1423.

94. Petrovic', P. B., 2022. New floating/grounded FDNC and non-ideal grounded FDNR simulators based on VDTA. **Analog Integrated Circuits and Signal Processing**, **110**(2) 259–277.
95. Bhardwaja, K., Srivastavaa, M., Tangsritat, W., 2023. New resistor-less tunable floating and grounded FDNR simulators. **International Journal of Electronics**, **110**(5), 849–881.
96. Satansup, J., Pukkalanun, T., Tangsritat, W., 2013. Electronically Tunable Single-Input Five-Output Voltage-Mode Universal Filter Using VDTAs and Grounded Passive Elements. **Circuits, Systems, and Signal Processing**, **32**(3), 945–957.
97. Prasad, D., Kumar, M., Akram, Md. W., 2019. Current mode fractional order filters using VDTAs with grounded capacitors. **Int. J. Electron. Telecommun.**, **65**(1), 11–17.
98. Satansup, J., Tangsritat, W., 2014. Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors. **Microelectron. J.**, **45**(6), 613–618.
99. Biolek, D., Senani, R., Biolkova, V., et al., 2008. Active elements for analog signal processing: classification, review, and new proposals. **Radioengineering**, **17**(4), 15–32.
100. Alaybeyoglu, E., Kuntman, H., 2015. A new VDTA based frequency agile filter. **2015 9th international conference on electrical and electronics engineering (ELECO)** (pp. 42–45).
101. Shaktour, M. 2011. "Unconventional circuit elements for ladder filter design." Ph.D. Thesis, Brno University of Technology, Brno, 104 p.
102. Biolek, D., Shaktour, M., Biolkova, V., Kolka, Z., 2012. Current-input current-output universal biquad employing two bulk-driven VDTAs. **2012 IV International Congress on Ultra Modern Telecommunications and Control Systems**.

103. Rana, C., Prasad, D., Afzal, N., 2018. Low Voltage Low Power FGMOS based Voltage Differencing Transconductance Amplifier and Its Applications. **International Journal of Energy**, 12.
104. Singh, S., 2019. FGMOS based VDTA and its application as a biquad filter. **Asian Journal of Convergence in Technology**, 5(2).
105. Krishna, M., Nagar, B. C., 2023. DTMOS based four quadrant multiplier/divider with voltage difference transconductance amplifier. **Analog Integrated Circuits and Signal Processing**.
106. Sánchez-Sinencio, E. 2000. Floating Gate Techniques and Applications. *Analog and Mixed-Signal Center*, TAMU, Texas.
107. Ramirez-Angulo, J., Gonzalez-Altamirano, G., Choi, S. C., 1997. Modeling multiple-input floating-gate transistors for analog signal processing. **Presented at Proceedings of 1997 IEEE International Symposium on Circuits and Systems, ISCAS '97**.
108. Keleş, S. 2013. "FGMOS Transistör Kullanılması ile Analog Devre Tasarımında Yeni Olanaklar." Doktora Tezi, Fen Bilimleri Enstitüsü, İstanbul Teknik Üniversitesi, İstanbul.
109. Yeşil, A. 2011. "Geçiş İletkenliği Tabanlı Yeni Aktif Eleman Tasarımı ve Uygulamaları." Yüksek Lisans Tezi, Fen Bilimleri Enstitüsü, İstanbul Üniversitesi.
110. Uygur, A. 2006. "CDTA Elemanı Tasarımı ve Uygulama Devrelerinin Geliştirilmesi." Yüksek Lisans Tezi, Fen Bilimleri Enstitüsü, İstanbul Teknik Üniversitesi.
111. Uygur, A., Kuntman, H., 2014. A very compact, 0.4 V DTMOS CCII employed in an audio-frequency filter. **Analog Integr Circ Sig Process**, 81: 89–98.
112. Shah, N. A., Quadri, M., Iqbal, S. Z., 2008. Realization of CDTA based current-mode universal filter. **Indian J Pure Appl Phys**, 46: 283–285.

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı: Pelin DOĞAN SEKRETER

Uyruğu: Türkiye (T.C)

Doğum Tarihi ve Yeri:

e-mail:

EĞİTİM

Derece	Kurum	Mezuniyet Tarihi
Lisans	Erciyes Üniversitesi, Elektrik -Elektronik Mühendisliği	2019
Lise	Amerikan Kültür Koleji, Sivas	2014

İŞ DENEYİMLERİ

Yıl	Kurum	Görev
2023-Halen	Gebze Teknik Üniversitesi	1

YABANCI DİL

İngilizce

YAYINLAR

1. Sekreter, P. D., Uygur, A., & Alçı, M. Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemlerinin İncelenmesi. Politeknik Dergisi, 1-1. (Erken Görünüm, WOS-ESCI)