

**T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**AKIM VE VOLTAJ MODLU AKTİF ELEMANLARIN
DÜŞÜK GERİLİM DÜŞÜK GÜÇLÜ OLARAK
TASARLANMASI**

**Hazırlayan
Ökkeş Gökalep SÖKMEN**

**Danışman
Prof. Dr. Mustafa ALÇI**

Doktora Tezi

**Nisan 2018
KAYSERİ**

**T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**AKIM VE VOLTAJ MODLU AKTİF ELEMANLARIN
DÜŞÜK GERİLİM DÜŞÜK GÜÇLÜ OLARAK
TASARLANMASI
(Doktora Tezi)**

**Hazırlayan
Ökkeş Gökalep SÖKMEN**

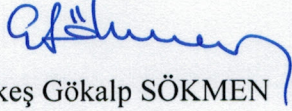
**Danışman
Prof. Dr. Mustafa ALÇI**

**Bu çalışma; Erciyes Üniversitesi Bilimsel Araştırma Projeleri Birimi
tarafından FDK-2017-7729 kodlu proje ile desteklenmiştir.**

**Nisan 2018
KAYSERİ**

BİLİMSEL ETİĞE UYGUNLUK

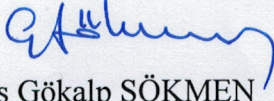
Bu çalışmadaki tüm bilgilerin, akademik ve etik kurallara uygun bir şekilde elde edildiğini beyan ederim. Aynı zamanda bu kural ve davranışların gerektirdiği gibi, bu çalışmanın özünde olmayan tüm materyal ve sonuçları tam olarak aktardığımı ve referans gösterdiğimi belirtirim.



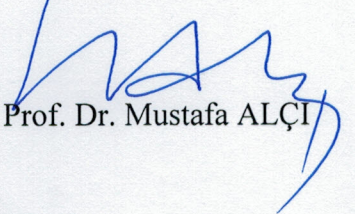
Ökkeş Gökalep SÖKMEN

“Akım ve Voltaj Modlu Aktif Elemanların Düşük Gerilim Düşük Güçlü Olarak Tasarlanması” adlı Doktora tezi, Erciyes Üniversitesi Lisansüstü Tez Önerisi ve Tez Yazma Yönergesi’ne uygun olarak hazırlanmıştır.

Tezi Hazırlayan


Ökkeş Gökalg SÖKMEN

Danışman


Prof. Dr. Mustafa ALÇI

Elektrik-Elektronik Mühendisliği ABD Başkanı

Prof. Dr. Necmi TAŞPINAR



Prof. Dr. Mustafa ALÇI danışmanlığında **Ökkeş Gökalp SÖKMEN** tarafından hazırlanan “**Akım ve Voltaj Modlu Aktif Elemanların Düşük Gerilim Düşük Güçlü Olarak Tasarlanması**” adlı bu çalışma, jürimiz tarafından Erciyes Üniversitesi Fen Bilimleri Enstitüsü **Elektrik-Elektronik Mühendisliği** Anabilim Dalında **Doktora** tezi olarak kabul edilmiştir.

20.04.2018

JÜRİ:

Danışman : Prof. Dr. Mustafa ALÇI
Üye : Prof. Dr. Nurhan KARABOĞA
Üye : Doç. Dr. Serhan YAMAÇLI
Üye : Doç. Dr. Tuğba Selcen NAVRUZ
Üye : Doç. Dr. Sezai Alper TEKİN

Handwritten signatures of the jury members:
N. Karaboğa
S. Yamaçlı
T. Selcen
S. Alper

ONAY :

Bu tezin kabulü Enstitü Yönetim Kurulunun 02/05/2018 tarih ve 2018/19-05 sayılı kararı ile onaylanmıştır.

Handwritten signature of Prof. Dr. Mehmet Akkurt
02/05/2018

Prof. Dr. Mehmet AKKURT

Enstitü Müdürü

TEŞEKKÜR

Başta tez çalışmam boyunca bana yol gösteren, bilgi, tecrübe ve mesaisini benimle cömertçe paylaşan, hiçbir zaman yardımlarını esirgemeyen ve birçok konuda yüreklendiren, dünyaya daha geniş bir pencereden bakma becerisi kazandıran danışman hocam sayın Prof. Dr. Mustafa ALÇI'ya teşekkür ederim.

Tez izleme komitemde yer alan hocalarım sayın Prof. Dr. Nurhan KARABOĞA ve sayın Doç. Dr. Sezai Alper TEKİN'e çalışmalarına olan çok değerli katkılarından dolayı teşekkür ederim.

Bu tez çalışmasına maddi destek veren Erciyes Üniversitesi Bilimsel Araştırma Projeleri Birimi'ne (Proje No: FDK-2017-7729) teşekkür ederim.

Ayrıca; çalışmalarım süresince sabır göstererek beni daima destekleyen aileme en içten teşekkürlerimi sunarım.

Ökkeş Gökalp SÖKMEN
Nisan 2018, Kayseri

AKIM VE VOLTAJ MODLU AKTİF ELEMANLARIN DÜŞÜK GERİLİM DÜŞÜK GÜÇLÜ OLARAK TASARLANMASI

Ökkeş Gökalep SÖKMEN

Erciyes Üniversitesi, Fen Bilimleri Enstitüsü
Doktora Tezi, Nisan 2018
Danışman: Prof. Dr. Mustafa ALÇI

ÖZET

Analog tümdevre tasarımlarında akım modlu devreler, voltaj modlu devrelere göre yüksek lineerlik, yüksek değişim hızı (slew-rate), büyük bant genişliği, düşük güç tüketimi ve daha basit devre yapısına sahip olma gibi avantajlara sahiptir. Son yıllarda, diz üstü bilgisayarlar, tabletler, kameralar, akıllı telefonlar, akıllı saatler, kalp pilleri, ısıtma cihazları ve taşınabilir biyomedikal ölçüm cihazları gibi batarya bağımlı taşınabilir elektronik cihazlar ile implante ve giyilebilir medikal cihazların kullanımı giderek artış göstermiştir. Bu durumun bir sonucu olarak da besleme gerilimlerini ve güç tüketimini düşürmek, analog devre tasarımının en önemli çalışma konularından biri haline gelmiştir. Bu sebeple bu tez çalışmasında akım modlu işaret işleme uygulamalarında kullanılan literatürdeki aktif devre bloklarının daha az güç tüketebilecek ve daha düşük besleme gerilimleriyle çalışabilecek şekilde yeniden tasarlanması ve akım modlu çalışmaya uygun yeni aktif elemanların önerilmesi amaçlanmıştır.

Bu çerçevede tez çalışmasında, literatürde bulunan işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) ve voltaj farkı alan eviren tamponlanmış kuvvetlendirici (VDIBA) yapıları daha düşük besleme gerilimleri ile çalışabilecek ve daha düşük güç tüketecek şekilde yeniden tasarlanmıştır. Buna ek olarak akım modlu devrelerde kullanılabilecek çift-X fark gerilim akım kontrollü akım taşıyıcı (DX-DVCCC) ve tam farksal voltaj farkı alan kontrollü akım taşıyıcı (FD-VDCCC) olarak adlandırılan iki yeni aktif eleman önerilerek tasarlanmıştır.

Anahtar Kelimeler: Düşük gerilim düşük güçlü tasarım; akım modlu devreler; OTA; VDIBA; akım taşıyıcılar.

LOW VOLTAGE LOW POWER DESIGN OF CURRENT AND VOLTAGE MODE ACTIVE ELEMENTS

Ökkeş Gökulp SÖKMEN

Erciyes University, Graduate School of Natural and Applied Sciences

PhD Thesis, April 2018

Supervisor: Prof. Dr. Mustafa ALÇI

ABSTRACT

In analog IC designs, current-mode circuits have advantages such as high linearity, high slew-rate, large bandwidth, low power consumption, and simpler circuitry compared to voltage mode circuits. In recent years, the use of battery-dependent portable electronic devices, such as laptops, tablets, cameras, smartphones, smart watches, pacemakers, hearing aids, and portable biomedical measurement devices, and implantable and wearable medical devices have increased steadily. As a result of this situation, reducing supply voltages and power consumption has become one of the most important study areas for analog circuit designs. For this reason, in the thesis it is aimed to design the active circuit blocks, which are used for current mode signal processing applications in the literature, to consume less power and operate with lower supply voltages and also to propose new current mode active elements.

In this thesis, operational transconductance amplifier (OTA) and voltage differencing inverting buffered amplifier (VDIBA) structures found in the literature are re-designed to work with lower supply voltages and to consume less power. In addition, two new active elements called fully differential voltage differencing current controlled current conveyor (FD-VDCCC) and dual-X differential voltage controlled current conveyor (DX-DVCCC), which can be used in current mode circuits, have been designed.

Keywords: Low voltage low power design; current mode circuits; OTA; VDIBA; current conveyors.

İÇİNDEKİLER

AKIM VE VOLTAJ MODLU AKTİF ELEMANLARIN DÜŞÜK GERİLİM DÜŞÜK GÜÇLÜ OLARAK TASARLANMASI

BİLİMSEL ETİĞE UYGUNLUK	ii
YÖNERGEYE UYGUNLUK.....	iii
KABUL VE ONAY	iv
TEŞEKKÜR	v
ÖZET	vi
ABSTRACT	vii
İÇİNDEKİLER.....	viii
KISALTMALAR	xi
TABLolar LİSTESİ	xiv
ŞEKİLLER LİSTESİ.....	xv
GİRİŞ	1

1. BÖLÜM

DÜŞÜK GERİLİM DÜŞÜK GÜÇ DEVRE TASARIMI VE AKIM MODLU AKTİF ELEMANLAR

1.1. Düşük Gerilim Düşük Güç Devre Tasarım Yöntemleri.....	4
1.1.1. Gövdeden Sürülen MOS Yaklaşımı	5
1.1.2. Yüzen Geçit MOS Yaklaşımı	8
1.1.3. Kısmi FGMOS Yaklaşımı	12
1.1.4. Dinamik Eşik Gerilimli MOS Yaklaşımı	13
1.1.5. Eşikaltı Çalışma Yaklaşımı	14
1.1.6. Seviye kaydırma Yaklaşımı.....	15
1.1.7. Kendinden (Self) Kaskod Yaklaşımı	16
1.2. Akım Modlu Aktif Elemanlara Genel Bakış	18
1.2.1. Birinci Kuşak Akım Taşıyıcı (CCI)	18
1.2.2. İkinci Kuşak Akım Taşıyıcı (CCII)	19

1.2.3. Akım Kontrollü İkinci Kuşak Akım Taşıyıcı (CCCII).....	19
1.2.4. Fark Gerilim İkinci Kuşak Akım Taşıyıcı (DVCCII).....	20
1.2.5. Akım Kontrollü Fark Gerilim Akım Taşıyıcı (CCDVCC).....	20
1.2.6. Diferansiyel Fark Akım Taşıyıcı (DDCCII)	21
1.2.7. Akım Kontrollü Diferansiyel Fark Akım Taşıyıcı (CCDDCC)	22
1.2.8. Tam Farksal İkinci Kuşak Akım Taşıyıcı (FDCCII).....	22
1.2.9. Evrensel Akım Taşıyıcı (UCC).....	23
1.2.10. Çift-X İkinci Kuşak Akım Taşıyıcı (DXCCII)	23
1.2.11. Çift-X Diferansiyel Fark Akım Taşıyıcı (DXDDCC).....	24
1.2.12. Çift-X Akım Kontrollü Akım Taşıyıcı (DXCCCII)	24
1.2.13. İşlemsel Geçiş İletkenliği Kuvvetlendiricisi (OTA)	24
1.2.14. Voltaj Farkı Alan Tamponlanmış Kuvvetlendirici (VDBA) ve Voltaj Farkı Alan Eviren Tamponlanmış Kuvvetlendirici (VDIBA)	25
1.2.15. Akım Farkı Alan Tamponlanmış Kuvvetlendirici (CDBA).....	26
1.2.16. Akım Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi (CDTA)	26
1.2.17. Akım Taşıyıcılı Geçiş İletkenliği Kuvvetlendiricisi (CCTA).....	27
1.2.18. Voltaj Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi (VDTA)	28
1.2.19. Voltaj Farkı Alan Akım Taşıyıcı (VDCC)	28

2. BÖLÜM

SEVİYE KAYDIRICI AKIM AYNASI TABANLI YENİ BİR DÜŞÜK GERİLİM DÜŞÜK GÜÇ OTA TASARIMI

2.1. Tasarlanan OTA Yapısı	31
2.2. Benzetim Sonuçları	33
2.3. OTA Tabanlı Birinci Dereceden Alçak Geçiren Süzgeç Uygulaması	41
2.4. Sonuçlar	42

3. BÖLÜM

YENİ BİR DÜŞÜK GERİLİM VDIBA TASARIMI

3.1. Tasarlanan VDIBA Yapısı	44
3.2. Benzetim Sonuçları	46

3.3. VDIBA Tabanlı Akım Kontrollü Çok Girişli Tek Çıkışlı Evrensel Süzgeç Tasarımı	53
3.4. Sonuçlar	55

4. BÖLÜM

YENİ AKTİF ELEMAN TASARIMLARI VE UYGULAMALARI

4.1. Yeni Bir Aktif Eleman: DX-DVCCC	56
4.1.1. DX-DVCCC Yapısı	57
4.1.2. Önerilen DX-DVCCC Tasarımı	58
4.1.3. Benzetim Sonuçları	61
4.1.4. DX-DVCCC Yapısının Uygulamaları	66
4.1.4.1. Akım Kontrollü Akım ve Voltaj Modlu Kuadratür Osilatör Tasarımı	66
4.1.4.2. Akım Kontrollü Akım Modlu Evrensel Süzgeç Tasarımı ..	69
4.1.5. Sonuçlar	73
4.2. Yeni Bir Aktif Eleman: FD-VDCCC.....	73
4.2.1. FD-VDCCC Yapısı.....	74
4.2.2. Önerilen FD-VDCCC Tasarımı	75
4.2.3. Benzetim Sonuçları	78
4.2.4. FD-VDCCC Tabanlı Çok Girişli Tek Çıkışlı Evrensel Süzgeç Tasarımı	82
4.2.5. Sonuçlar	86

5. BÖLÜM

SONUÇLAR VE TARTIŞMA

5.1 Sonuçlar ve Tartışma.....	87
-------------------------------	----

KAYNAKÇA	91
----------------	----

ÖZGEÇMİŞ	104
----------------	-----

KISALTMALAR

<u>Sembol</u>	<u>Anlamı</u>
μ_n	NMOS transistörün elektron hareketliliği
A_i	FGMOS transistörde giriş geçit plakasının alanı
B	Gövde (Bulk)
BD-MOS	Gövdeden sürülen MOS
BJT	Bipolar jonksiyon transistör
CCCCTA	Akım kontrollü akım taşıyıcılı geçiş iletkenliği kuvvetlendiricisi
CCCDDBA	Akım kontrollü akım farkı alan tamponlanmış kuvvetlendirici
CC-CDTA	Akım kontrollü akım farkı alan geçiş iletkenliği kuvvetlendiricisi
CCCII	İkinci kuşak akım kontrollü akım taşıyıcı
CCDDCC	Akım kontrollü diferansiyel fark akım taşıyıcı
CCDVCC	Akım kontrollü fark gerilim akım taşıyıcı
CCI	Birinci kuşak akım taşıyıcı
CCII	İkinci kuşak akım taşıyıcı
CCTA	Akım taşıyıcılı geçiş iletkenliği kuvvetlendiricisi
CDBA	Akım farkı alan tamponlanmış kuvvetlendirici
CDTA	Akım farkı alan geçiş iletkenliği kuvvetlendiricisi
CMRR	Ortak mod bastırma oranı
C_{ox}	MOS Transistörün geçit bölgesindeki oksit kapasitesi
D	Akıtıcı (Drain)
DDCCC	Diferansiyel fark akım kontrollü akım taşıyıcı
DDCCII	Diferansiyel fark akım taşıyıcı
DVCCII	Fark gerilim akım taşıyıcı
DVCCTA	Fark gerilim akım taşıyıcılı geçiş iletkenliği kuvvetlendiricisi

DXCCCII	Çift-X akım kontrollü akım taşıyıcı
DXCCII	Çift-X ikinci kuşak akım taşıyıcı
DXDDCC	Çift-X diferansiyel fark akım taşıyıcı
DX-DVCCC	Çift-X fark gerilim akım kontrollü akım taşıyıcı
FDCCII	Tam diferfarksal ansiyel ikinci kuşak akım taşıyıcı
FD-VDCCC	Tam farksal voltaj farkı alan akım kontrollü akım taşıyıcı
FG	Yüzen geçit
FGMOS	Yüzen geçit MOS
G	Geçit (Gate)
GD-MOS	Geçitten sürülen MOS
g_m	Geçiş iletkenliği
IBA	Eviren tampon kuvvetlendirici
ICCI	İkinci kuşak eviren akım taşıyıcı
I_Z	Sıfır kutuplama akımı
k_n	N-tipi MOS transistörün geçiş iletkenliği parametresi
L	MOS transistörün kanal uzunluğu
MOS	Metal Oxide Semiconductor
NMOS	N-tipi MOS
OTA	İşlemsel geçiş iletkenliği kuvvetlendiricisi
OTRA	İşlemsel geçiş direnci kuvvetlendiricisi
PMOS	P-tipi MOS
Q_{FG}	FGMOS transistörün yüzen geçidinde hapsolan yük miktarı
QFGMOS	Yüzen geçit MOS
S	Kaynak (Source)
THD	Toplam harmonik bozulma
UCC	Evrensel akım taşıyıcı yapısı

U_t	Termal gerilim
VDBA	Voltaj farkı alan tamponlanmış kuvvetlendirici
VDCC	Voltaj farkı alan akım taşıyıcı
VDIBA	Voltaj farkı alan eviren tamponlanmış kuvvetlendirici
VDTA	Voltaj farkı alan geçiş iletkenliği kuvvetlendirici
V_{TH}	Eşik gerilimi
W	MOS transistörün kanal genişliği
κ	Geçit ile kanal arasındaki elektrostatik kuplajlama sabiti

TABLOLAR LİSTESİ

Tablo 2.1. Tasarlanan OTA yapısındaki transistörlerin kanal boyutları.....	33
Tablo 2.2. Tasarlanan OTA yapısının performans parametreleri bakımından literatürdeki farklı OTA yapılarıyla karşılaştırılması	40
Tablo 3.1. Tasarlanan VDIBA yapısındaki transistörlerin kanal boyutları	47
Tablo 3.2. Tasarlanan VDIBA yapısının performans parametreleri bakımından literatürdeki VDIBA'larla karşılaştırılması	51
Tablo 3.3. Farklı süzgeç karakteristikleri için giriş voltaj kombinasyonları	54
Tablo 4.1. Tasarlanan DX-DVCCC yapısında kullanılan transistörlerin kanal boyutları.....	61
Tablo 4.2. Tasarlanan DX-DVCCC yapısının performans parametreleri	66
Tablo 4.3. Tasarlanan FD-VDCCC yapısındaki transistörlerin kanal boyutları.....	78
Tablo 4.4. Tasarlanan FD-VDCCC yapısının performans parametreleri	82
Tablo 4.5. FD-VDCCC tabanlı evrensel süzgeç yapısında farklı süzgeç türlerinin elde edildiği giriş kombinasyonları	83

ŞEKİLLER LİSTESİ

Şekil 1.1.	Gövdeden sürülen NMOS transistörün a) sembolü b) düşey kesiti	5
Şekil 1.2.	Gövdeden sürülen bir MOS transistör	6
Şekil 1.3.	Farklı W/L değerleri için I_D akımının BD-MOS için V_{BS} gerilimine ve GD-MOS için V_{GS} gerilimine göre değişimi	7
Şekil 1.4.	N-tipi bir kanal oluşturmali FGMOS'un a) sembolü b) düşey kesiti.....	8
Şekil 1.5.	n adet geçide sahip N-tipi bir FGMOS transistörün eşdeğer devresi	9
Şekil 1.6.	N-tipi FGMOS ve MOS transistörlere ait $V_{GS}-I_D$ karakteristiği	11
Şekil 1.7.	QFGMOS transistörün eşdeğer devresi.....	12
Şekil 1.8.	N-tipi QFGMOS ve MOS transistörlere ait $V_{GS}-I_D$ karakteristiği	13
Şekil 1.9.	Dinamik eşik gerilimli MOS transistör	13
Şekil 1.10.	a) Geleneksel akım aynası, b) Seviye kaydıran akım aynası.....	16
Şekil 1.11.	Kaskod akım aynası.....	17
Şekil 1.12.	Kendinden Kaskod MOS yapısı	18
Şekil 2.1.	Tasarlanan seviye kaydıran akım aynası tabanlı düşük voltaj düşük güç OTA tasarımı	31
Şekil 2.2.	Tasarlanan OTA'nın $I_{out} - V_{in}$ transfer eğrileri.....	34
Şekil 2.3.	Tasarlanan OTA'nın I_B kutuplama akımına göre g_m değerinin değişimi	34
Şekil 2.4.	Tasarlanan OTA'nın g_m - frekans eğrisi	35
Şekil 2.5.	Tasarlanan OTA için birim voltaj kazancı - frekans eğrisi	35
Şekil 2.6.	Tasarlanan OTA'nın darbe cevabı.....	36
Şekil 2.7.	Tasarlanan OTA'nın farklı sıcaklık değerleri için darbe cevabı	36
Şekil 2.8.	Tasarlanan OTA'nın 80 pF yük için frekans cevabı	37
Şekil 2.9.	Tasarlanan OTA'nın CMRR-frekans eğrisi	38
Şekil 2.10.	Tasarlanan OTA'nın CMRR değeri için Monte Carlo benzetimi	38
Şekil 2.11.	Tasarlanan OTA'da 100 KHz'lik giriş frekansı için THD değerleri.....	39
Şekil 2.12.	OTA tabanlı birinci dereceden alçak geçiren süzgeç	41
Şekil 2.13.	OTA tabanlı alçak geçiren süzgecin gerilim kazancı - frekans eğrisi	42
Şekil 3.1.	(a) VDIBA'nın şematik sembolü, (b) VDIBA'nın eşdeğer modeli	44
Şekil 3.2.	Tasarlanan VDIBA yapısı	45
Şekil 3.3.	Tasarlanan VDIBA'nın $I_{out} - V_{in}$ transfer eğrileri	47

Şekil 3.4.	Tasarlanan VDIBA'nın farklı kutuplama akımları için V_{in} giriş gerilimine karşın V_{w-} and V_z gerilimlerinin değişimi	48
Şekil 3.5.	Tasarlanan VDIBA'nın g_m değerinin I_B kutuplama akımıyla değişimi...	49
Şekil 3.6.	Tasarlanan VDIBA'nın farklı sıcaklık değerleri için frekans cevabı	49
Şekil 3.7.	Tasarlanan VDIBA yapısının (a) OTA katının, (b) IBA katının frekans cevapları	50
Şekil 3.8.	Tasarlanan ve geleneksel VDIBA yapılarının (a) I_z-V_{in} eğrileri, (b) $V_{w-} - V_z$ eğrileri.....	52
Şekil 3.9.	VDIBA tabanlı akım kontrollü çok girişli tek çıkışlı evrensel süzgeç tasarımı	53
Şekil 3.10.	VDIBA tabanlı akım kontrollü evrensel süzgecin AG, YG ve BG konfigürasyonlarının frekans cevapları	54
Şekil 3.11.	VDIBA tabanlı akım kontrollü evrensel süzgeç için yüksek geçiren süzgeç konfigürasyonunun farklı kutuplama akımları için frekans cevabı	55
Şekil 4.1.	DX-DVCCC yapısının a) devre sembolü b) eşdeğer devresi	57
Şekil 4.2.	Tasarlanan DX-DVCCC yapısı	59
Şekil 4.3.	Tasarlanan DX-DVCCC yapısında V_{xp} ve V_{xn} 'in $V_{yin} = V_{y1} - V_{y2}$ fark giriş gerilimine göre değişimi	62
Şekil 4.4.	Tasarlanan DX-DVCCC yapısında I_{zp} ve I_{zn} çıkış akımlarının sırasıyla I_{xp} ve I_{xn} akımlarına göre değişimi	63
Şekil 4.5.	Tasarlanan DX-DVCCC yapısında R_{xp} ve R_{xn} parazitik dirençlerinin kutuplama akımıyla değişimi	64
Şekil 4.6.	Tasarlanan DX-DVCCC yapısına ait kazanç-frekans ve faz-frekans eğrileri.....	65
Şekil 4.7.	DX-DVCCC tabanlı akım ve voltaj modlu kuadratur osilatör	67
Şekil 4.8.	DX-DVCCC tabanlı akım ve voltaj modlu kuadratur osilatörün voltaj çıkışlarının a) başlangıç durumu b) sürekli durum için zaman domeni cevapları	68
Şekil 4.9.	DX-DVCCC tabanlı akım ve voltaj modlu kuadratur osilatörün akım çıkışlarının a) başlangıç durumu b) sürekli durum için zaman domeni cevapları	68

Şekil 4.10. DX-DVCCC tabanlı akım ve voltaj modlu kuadratür osilatörün a) Voltaj çıkışları b) akım çıkışları için frekans domeni cevapları.....	69
Şekil. 4.11. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç yapısı	70
Şekil 4.12. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç için farklı süzgeç türlerine ait frekans cevapları	71
Şekil. 4.13. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeçte $R_{X2} = R_{X3}$ için farklı kutuplama akımlarında bant geçiren süzgecin kazanç frekans eğrileri.....	72
Şekil 4.14. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç yapısında bant geçiren süzgeç için $R_{X2}.R_{X3}$ çarpımının sabit tutularak kutuplama akımlarının değiştirilmesiyle elde edilen kazanç frekans eğrileri	72
Şekil 4.15. FD-VDCCC yapısına ait a) blok diyagram ve b) devre sembolü.....	74
Şekil 4.16. Tasarlanan FD-VDCCC yapısı.....	76
Şekil 4.17. Tasarlanan FD-VDCCC yapısında Y terminallerinden akan akımın fark giriş gerilimine göre değişimi.....	79
Şekil 4.18. Tasarlanan FD-VDCCC yapısında X terminalindeki gerilimin V_{Y1} ve V_{Y2} 'ye göre değişimi	79
Şekil 4.19. Tasarlanan FD-VDCCC yapısında Z terminallerindeki akımın X terminalindeki I_X akımına göre değişimi	80
Şekil 4.20. Tasarlanan FD-VDCCC yapısında Y_1 ve Y_2 çıkışları için frekans cevapları	81
Şekil 4.21. Tasarlanan FD-VDCCC yapısında X ve Z terminalleri için gerilim ve akım izleme performanslarının frekansa göre değişimi	81
Şekil 4.22. FD-VDCCC tabanlı çok girişli tek çıkışlı evrensel süzgeç yapısı	82
Şekil 4.23. FD-VDCCC tabanlı evrensel süzgecin alçak geçiren, yüksek geçiren, bant geçiren ve bant durduran süzgeç yapıları için frekans cevabı	84
Şekil 4.24. FD-VDCCC tabanlı evrensel süzgeçte tüm geçiren süzgeç yapısının kazanç-frekans ve faz-frekans eğrileri.....	84
Şekil 4.25. FD-VDCCC tabanlı evrensel süzgeçte tüm geçiren süzgeç konfigürasyonuna ait zaman domeni analizi	85
Şekil 4.26. FD-VDCCC tabanlı evrensel süzgeçte bant geçiren süzgecin merkez frekansının farklı kutuplama akımları ile ayarlanması.....	85

Şekil 4.27. FD-VDCCC tabanlı evrensel süzgeçte bant geçiren süzgecin kalite faktörünün farklı kutuplama akımları ile ayarlanması	86
--	----



GİRİŞ

Günümüzde elektronik sistemlerin büyük bir çoğunluğu işaret işleme ve depolama gibi fonksiyonları sayısal (dijital) olarak gerçekleştirmektedir. Sayısal işaretler ayırık zaman aralıklarında ayırık değerler alabilirler. Analog işaretler ise sürekli zamanlı ve genlikli işaretlerdir. Bu sebeple analog sistemler sayısal sistemlere göre gürültü ve girişimlerden daha fazla etkilenebilmektedirler. Bu durumun bir sonucu olarak araştırmacılar sayısal sistemlerle analog sistemlerden daha fazla ilgilenmektedirler. Fakat gerçek dünyadaki işaretler, zaman domeninde ve genlik olarak sürekli yani analog işaretlerdir. Bu sebeple gerçek dünya ile sayısal devre yapıları arasındaki bağlantının sağlanabilmesi için analog işaret işlemeye geçmişte ve günümüzde olduğu gibi gelecekte de ihtiyaç duyulacaktır. Analog işaretler istenmeyen işaretlerin filtrelenmesi, distorsiyonların giderilmesi, anlamlı verilerin elde edilmesi ve verilerin iletme hazır hale getirilmesi gibi pek çok amaçla genellikle aktif devre blokları ile işlenmektedir [1–4].

Analog bir elektronik sistemde ilgilenilen işaretler düğüm gerilimleri veya kol akımları olarak ifade edilerek işlenebilir. Bir devredeki işaretler, düğüm gerilimleri cinsinden ifade edilerek işleniyorsa voltaj modlu; kol akımları olarak ifade edilerek işleniyorsa akım modlu olarak sınıflandırılabilir. Analog işaretlerin işlenmesi akım modlu ve voltaj modlu devrelerle yapılabilmektedir. Akım modlu devre kavramının ilk olarak Smith ve Sedra tarafından 1968 yılında [5]'de önerilmesine rağmen voltaj modlu devreler pratik uygulamalarda günümüze kadar daha sık kullanılmışlardır. Bunun önemli sebeplerinden bazıları pratik olarak düğüm gerilimlerinin ölçülmesinin kol akımlarının ölçülmesinden daha kolay olması, ölçüm esnasında devre üzerinde herhangi bir değişikliğe ihtiyaç duyulmaması ve MOS transistörlerin idealde sonsuz olan geçit empedanslarının voltaj modlu çalışmaya uygun olmasıdır. MOS teknolojisinin gelişmesiyle besleme voltajlarının ve transistörlerin eşik voltajlarının düşmesi voltaj modlu devrelerin performansını oldukça etkilemektedir.

Besleme voltajlarının düşmesi voltaj modlu devrelerde dinamik çalışma sahasının daralmasına ve gürültü aralığının (marjinin) düşmesine sebep olurken akım modlu devrelerde düğüm gerilimleri yerine kol akımları dikkate alınarak tasarım yapıldığından akım modlu devreler besleme gerilimlerinin düşmesinden daha az etkilenmektedirler. Düşük güç tüketimi, düşük besleme voltajı ile çalışabilme ve geniş bant genişliklerine ihtiyaç duyulmasıyla akım modlu devreler son 35 yılda araştırmacıların ilgisini daha çok çekmeye başlamıştır. Akım modlu devrelerin voltaj modlu devrelere göre daha büyük bantgeniřlięi, daha yüksek deęişim hızı, elektrostatik boşalmaya daha düşük duyarlılık, daha basit devre yapısına sahip olma, daha düşük güç tüketme ve daha düşük besleme gerilimleriyle çalışabilme gibi avantajları vardır [2,6,7].

Günümüzde CMOS teknolojisinin gelişmesiyle transistör boyutları oldukça küçülmüştür. Transistör boyutlarının küçülmesi daha küçük çip alanında daha fazla işlem yapılmasına olanak sağladığı gibi daha düşük besleme gerilimleri ile çalışmayı da zorunlu hale getirmiştir. Transistör boyutlarının küçülmesiyle kanal genişliği ve uzunluğunun kısılmasının yanı sıra geçit oksit kalınlığı da incelmektedir. Bu sebeple transistörlerin dayanım gerilimlerinin aşılmaması için besleme gerilimlerinin düşürülmesi gerekir. Besleme gerilimlerinin düşürülmesi sayısal sistemlerde çok fazla performans kayıplarına sebep olmamakla birlikte tasarım olarak deęişim de gerektirmeyebilir. Ancak analog tüm devre tasarımında besleme gerilimlerinin düşürülmesi kazanç, dinamik çalışma sahası, lineerlik gibi performans parametrelerini oldukça fazla etkilemektedir ve yeni tasarım yöntemlerinin geliştirilmesini gerektirmektedir. Ayrıca taşınabilir sistemlerin kullanımının her geçen gün artması elektronik sistemlerin düşük besleme gerilimleriyle çalışabilmesi için bir başka önemli sebeptir. Diz üstü bilgisayarlar, tabletler, kameralar, akıllı telefonlar, akıllı saatler, kalp pilleri, işitme cihazları ve taşınabilir biyomedikal ölçüm cihazları gibi batarya bağımlı taşınabilir elektronik cihazlar ile implante ve giyilebilir medikal cihazların kullanımının artması sistemlerin düşük besleme gerilimi ile çalışabilmesinin yanında düşük güç tüketmesini de zorunlu hale getirmiştir. Ayrıca MOS transistör boyutlarının küçülmesiyle tümdevre içerisindeki birim alanda yapılan işlem miktarı arttığı için aşırı ısınma problemleri ile karşılaşılabilir.

Bu sebeplerden düşük gerilim düşük güç devre tasarımları tümdevre tasarımcıları için oldukça önem kazanmıştır [4,8–11].

Bu tez çalışmasında, akım modlu analog işaret işleme uygulamalarında kullanılan aktif elemanların ve düşük gerilim düşük güç devre tasarım tekniklerinin incelenerek literatürde bulunan aktif elemanların daha düşük besleme gerilimleri ile çalışabilecek ve daha az güç tüketecek şekilde yeniden tasarlanması ve daha fonksiyonel yeni aktif elemanların önerilmesi amaçlanmıştır. Bu amaç doğrultusunda birinci bölümde düşük gerilim düşük güç tasarım teknikleriyle ve akım modlu aktif elemanlar ile ilgili literatür taramasına yer verilmiştir. İkinci bölümde ise düşük gerilim düşük güç gereksinimlerini karşılayan yeni bir işlevsel geçiş iletkenliği kuvvetlendirici (OTA, operational transconductance amplifier) yapısı tasarlanmıştır. Tasarlanan bu yapının işlevselliğinin gösterilmesi için temel bir OTA-C süzgeç yapısı oluşturulmuştur. Üçüncü bölümde ise yeni bir voltaj farkı alan eviren tamponlu kuvvetlendirici (VDIBA, voltage differencing inverting buffered amplifier) yapısı tasarlanmıştır. Tasarlanan yapının bir uygulaması olarak akım kontrollü çok giriş tek çıkışlı bir evrensel süzgeç yapısı tasarlanmıştır. İkinci ve üçüncü bölümlerde ayrıca tasarlanan yapıların SPICE benzetim sonuçları ve performans parametreleri literatürdeki mevcut yapılarla karşılaştırılarak sağladıkları avantajlar ortaya konulmuştur. Dördüncü bölümde iki yeni aktif eleman yapısı önerilmiştir. Bunlardan birincisi yeni bir akım taşıyıcı türü olan Çift-X fark gerilim akım kontrollü akım taşıyıcı (DX-DVCCC, dual-X differential voltage controlled current conveyor) yapısıdır. Bu yeni akım taşıyıcı yapısının işlevselliğini göstermek amacıyla akım modlu tek girişli çok çıkışlı bir evrensel süzgeç ve bir osilatör yapısı tasarlanmıştır. Bu bölümde önerilen ikinci aktif eleman ise akım modlu ve voltaj modlu devrelerde kullanılabilecek tam farksal voltaj farkı alan kontrollü akım taşıyıcı (FD-VDCCC, fully differential voltage differencing current controlled current conveyor) yapısıdır. Önerilen bu yapının uygulaması olarak çok girişli tek çıkışlı bir evrensel süzgeç yapısı tasarlanmıştır. Son olarak beşinci bölümde ise sonuçlar yorumlanarak gelecekte yapılabilecek tasarımlarla ilgili öngörülerde bulunulmuştur.

1. BÖLÜM

DÜŞÜK GERİLİM DÜŞÜK GÜÇ DEVRE TASARIMI VE AKIM MODLU AKTİF ELEMANLAR

1.1. Düşük Gerilim Düşük Güç Devre Tasarım Yöntemleri

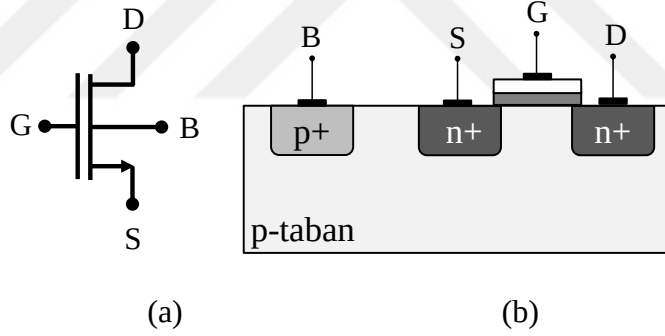
Besleme gerilimlerini ve güç tüketimini düşürmek, taşınabilir elektronik cihazların kullanımının yaygınlaşmasıyla son yıllarda elektronik devre tasarımlarının en önemli çalışma konularından biri haline gelmiştir. Düşük gerilim düşük güç analog tümdevre tasarımında en çok kullanılan teknoloji MOS teknolojisidir. MOS teknolojisinde transistör boyutlarının küçülmesiyle geçit oksit kalınlığı da azalmıştır. Dolayısıyla transistörlerin dayanım gerilimleri de azalarak düşük besleme gerilimleri ile çalışma gereksinimi ortaya çıkmıştır. Besleme gerilimleri transistör boyutlarının küçülmesiyle hızla azalırken, transistörlerin eşik gerilimleri ise aynı hızda azalmamaktadır. Ayrıca eşik gerilimin düşmesi gürültü aralığının da düşmesi ve sızıntı akımlarının artması ile sonuçlanmaktadır. Bu sebeplerle eşik gerilimi, düşük gerilim düşük güç elektronik tümdevre tasarımında karşılaşılan temel kısıtlamalardan biri olmuştur [4,8–10,12]. Bu kısıtlamanın üstesinden gelebilmek amacı ile birçok teknik önerilmiştir. Bu teknikler kullanılarak eşik gerilim düşürülebilir veya tamamen ortadan kaldırılabilir. Düşük gerilim düşük güç tasarımlarda en çok faydalanan teknikler şunlardır:

- Gövdeden sürülen MOS (BD-MOS, bulk driven MOS) yaklaşımı,
- Yüzen geçit MOS (FGMOS, floating gate MOS) yaklaşımı,
- Kısmi (Quasi) FGMOS (QFGMOS) yaklaşımı,
- Dinamik eşik gerilimli MOS (DTMOS, Dynamic Threshold MOS) yaklaşımı,

- Kendinden kaskod (self-cascode) yaklaşımı,
- Seviye kaydırma yaklaşımı,
- Eşik altı çalışma yaklaşımı.

1.1.1. Gövdeden Sürülen MOS Yaklaşımı

Geleneksel geçit terminali ile sürülen MOS yapılarında eşik gerilimi düşük besleme voltajlarıyla çalışan yapılar için dinamik çalışma sahasının daralmasına sebep olmaktadır. Gövdeden sürülen MOS transistörlerde ise eşik gerilim gibi bir kısıtlama olmadığından dinamik çalışma sahası pozitif besleme aralığından negatif besleme aralığına kadar olabilmektedir. Gövdeden sürmeli MOS yapılar, Şekil 1.1’de görüldüğü gibi akıtıcı (D, drain), geçit (G, gate), kaynak (S, source) ve gövde (B, bulk) olmak üzere dört terminale sahiptir.



Şekil 1.1. Gövdeden sürülen NMOS transistörün a) sembolü b) düşey kesiti

Geleneksel geçitten sürülen devre tasarımlarında gövde terminali PMOS yapıda pozitif beslemeye, NMOS yapıda negatif beslemeye veya her iki yapıda da kaynak terminaline bağlanmaktadır. Düşük gerilim düşük güç tasarımların gerçekleştirilmesinde kullanılan gövdeden sürülen MOS yapısı ilk kez [13]'de önerilmiştir. Bu yapıda gövde terminali giriş terminali olarak kullanılmaktadır. Doyum bölgesinde çalışan bir NMOS transistörün I_D akıtıcı akımı aşağıdaki gibi ifade edilebilir.

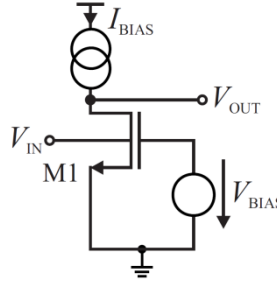
$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1.1)$$

Burada C_{ox} , MOS transistörün geçit bölgesindeki oksit kapasitesi, μ_n transistörün elektron hareketliliği, W kanal genişliği, L kanal uzunluğu, V_{GS} geçit kaynak terminalleri arasındaki gerilim farkı ve V_{TH} ise eşik gerilimi olup aşağıdaki gibi ifade edilebilir.

$$V_{TH} = V_{T0} - \gamma \left(\sqrt{2|\phi_F|} - \sqrt{2|\phi_F| - V_{BS}} \right) \quad (1.2)$$

Burada V_{BS} gövde kaynak terminalleri arasındaki gerilim farkı ve V_{T0} ise V_{BS} 'nin sıfır olduğu durumdaki eşik gerilimi, γ gövde etkisi parametresi ϕ_F ise gövde fermi potansiyelidir. Bir NMOS transistörün eşik geriliminin V_{BS} gerilimi ile değişebileceği Denklem (1.2)'de görülmektedir. V_{BS} geriliminin artırılmasıyla eşik gerilimi düşmektedir [14].

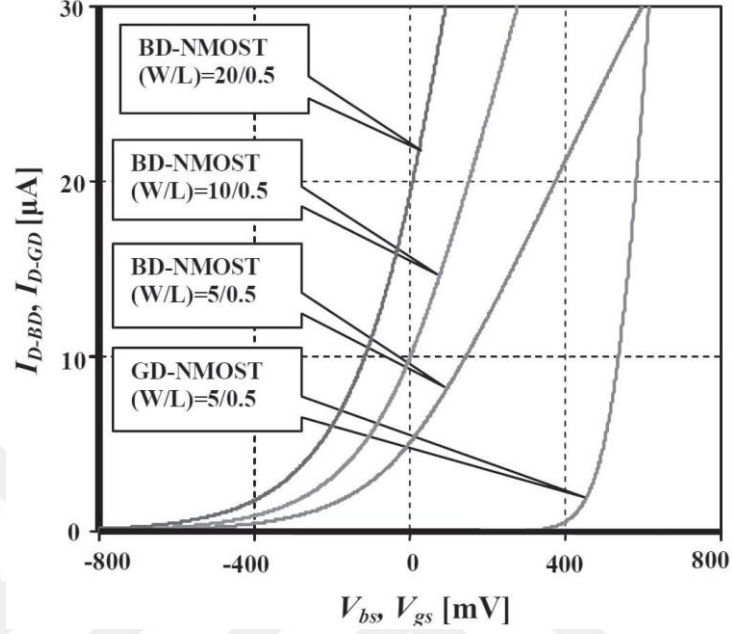
BD-MOS yapısının elektronik devre tasarımında kullanımı Şekil 1.2'de gösterilmiştir. Gövde terminali giriş olarak kullanılırken geçit terminali kutuplama amacıyla kullanılmaktadır.



Şekil 1.2. Gövdeden sürülen bir MOS transistör [4]

Şekil 1.3'de geleneksel GD-MOS transistörlerin ve BD-MOS transistörlerin farklı W/L değerleri için akıtcı akımının giriş gerilimine göre değişimi görülmektedir. GD-MOS transistör için verilen giriş gerilimi akıtcı akımı ilişkisi incelendiğinde akıtcı akımının yaklaşık olarak 400 mV seviyesindeki eşik geriliminin geçilmesinden sonra akmaya başladığı görülmektedir. BD-MOS transistör için verilen eğriler incelendiğinde negatif giriş gerilim değerlerinden başlayarak geniş bir çalışma sahasına sahip olduğu görülmektedir. Ancak aynı W/L değerleri için GD-MOS yapının geçiş iletkenliğinin BD-MOS yapının geçiş iletkenliğinden daha büyük olduğu görülmektedir. Bunun yanı sıra geçiş iletkenliği değeri W/L değerinin

artırılmasıyla artırılabilir. Bu ise tümdevre alanının artmasına neden olmaktadır [10,15].



Şekil 1.3. Farklı W/L değerleri için I_D akımının BD-MOS için V_{BS} gerilimine ve GD-MOS için V_{GS} gerilimine göre değişimi [10]

Analog devre tasarımında BD-MOS kullanımının sağladığı avantajlar aşağıdaki gibi sıralanabilir:

- Eşik gerilim sınırlaması ortadan kalkar.
- Geleneksel MOS transistörler kullanılarak modellenenebilir.
- Hattan-hata (rail-to-rail) uygulamalar için uygundur.
- Hem AC hem de DC olarak çalışılabilmesine olanak sağlar.
- Negatif, sıfır ve pozitif giriş gerilimlerini kapsayan geniş bir giriş çalışma sahası sağlar [16,17].

Bu avantajların yanı sıra BD-MOS kullanımının bazı dezavantajları şu şekilde sıralanabilir.

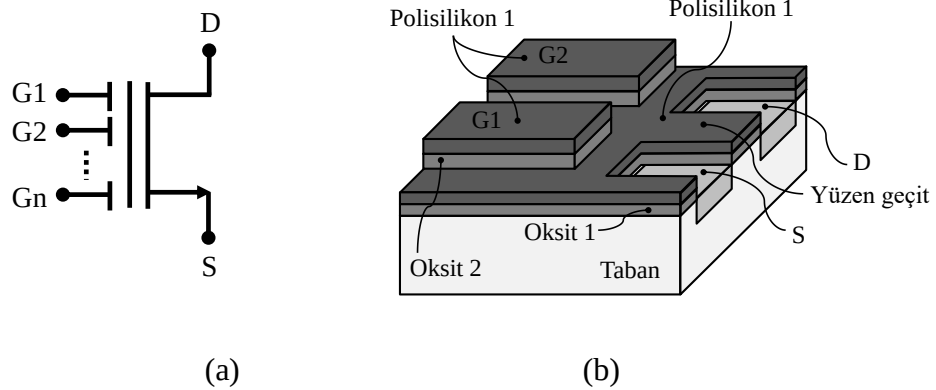
- Geçiş iletkenliği geleneksel GD-MOS'lara göre daha küçüktür.

- Bant genişliği geleneksel GD-MOS'lara göre daha dardır.
- Eğer hem PMOS hem de NMOS yapıları BD-MOS transistörlerle gerçekleştirilecekse, çift kuyulu üretim prosesine ihtiyaç duyulur ve bu ise üretim maliyetinin artması anlamına gelmektedir [16,18,19].

Literatürde süzgeç, osilatör, doğrultucu gibi çeşitli analog işaret işleme bloklarında kullanılan BD-MOS transistörler kullanılarak tasarlanmış OTA, ikinci kuşak akım taşıyıcı (CCII), Op-Amp gibi birçok aktif elemanlar bulunmaktadır [15,16,19–25].

1.1.2. Yüzen Geçit MOS Yaklaşımı

FGMOS transistörler çift polisilikon serime izin veren bütün MOSFET üretim teknolojilerinde üretilebilmektedir. Şekil 1.4'de N-tipi bir FGMOS transistörün sembolü ve düşey kesiti görülmektedir. FGMOS transistörler, standart MOS transistörlerin geçitlerinin elektronik olarak tamamen izole edilmesiyle üretilmektedir. İzole edilmiş bu geçit, yüzen geçit olarak adlandırılmaktadır ve FGMOS transistörün geçit girişleri bu yüzen geçide kapasitif olarak bağlıdır. Burada gövde terminalinin kaynak terminaline bağlı olduğu düşünüldüğünden gösterilmemiştir. D ve S uçları sırasıyla akıttıcı ve kaynak terminalleridir. $G_1, G_2, \dots, G_n$ ise geçit terminalleridir.



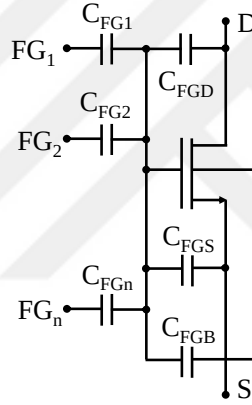
Şekil 1.4. N-tipi bir kanal oluşturmali FGMOS'un a) sembolü b) düşey kesiti [4]

Bir FGMOS transistörde yüzen geçit ile girişler arasında bulunan giriş kapasitelerinin değeri Denklem (1.3)'te verilmektedir.

$$C_i = \left(\frac{\epsilon_{SiO_2}}{t_{SiO_2}} \right) \cdot A_i \quad (1.3)$$

Burada, ϵ_{SiO_2} , SiO_2 'in elektriksel geçirgenliği, t_{SiO_2} , SiO_2 'nin kalınlığıdır. A_i ise her giriş geçit plakasının alanıdır. Bu giriş kapasitelerinin değeri tasarımcı tarafından belirlenmektedir [26].

Şekil 1.5'te n adet geçide sahip bir N-tipi FGMOS transistörün eşdeğer devresi görülmektedir. C_{FG1} , C_{FG2} ve C_{FGn} giriş kapasiteleri, C_{FGD} , C_{FGS} ve C_{FGB} kapasiteleri ise yüzen geçitle sırasıyla akıttıcı, kaynak ve gövde arasındaki parazitik kapasitelerdir.



Şekil 1.5. n adet geçide sahip N-tipi bir FGMOS transistörün eşdeğer devresi

Bir FGMOS transistörün yüzen geçidindeki gerilim aşağıdaki gibi elde edilebilir.

$$V_{FG} = \frac{Q_{FG}}{C_T} + \frac{C_{FGD}}{C_T} V_D + \frac{C_{FGS}}{C_T} V_S + \frac{C_{FGB}}{C_T} V_B + \sum_{i=1}^n \frac{C_i}{C_T} V_i \quad (1.4)$$

Burada Q_{FG} FGMOS transistörün yüzen geçidinde üretim esnasında hapsolmuş yük miktarıdır. Q_{FG} sabit bir değere sahiptir ve bir offset değeri olarak düşünülebilir. Ayrıca bu yük miktarı ultraviyole ışın, Fowler Nordheim tünelleme ve sıcak elektron enjeksiyonu ile değiştirilebilir veya sıfırlanabilir [27].

Denklem (1.4)'te C_T yüzen geçitle girişler arasındaki kapasiteler ile yüzen geçitle akıttıcı, kaynak ve gövde arasındaki parazitik kapasitelerin toplamıdır. Eğer tasarım

sırasında, giriş kapasiteleri $\sum_{i=1}^n C_i \gg C_{FGD} + C_{FGS} + C_{FGB}$ olacak şekilde seçilebilirse parazitik kapasiteler ihmal edilebilir ve Q_{FG} yükünün de elimine edildiği farz edilirse yüzen geçitteki etkin gerilim aşağıdaki gibi ifade edilebilir.

$$V_{FG} = \sum_{i=1}^n \frac{C_i}{C_T} V_i \quad (1.5)$$

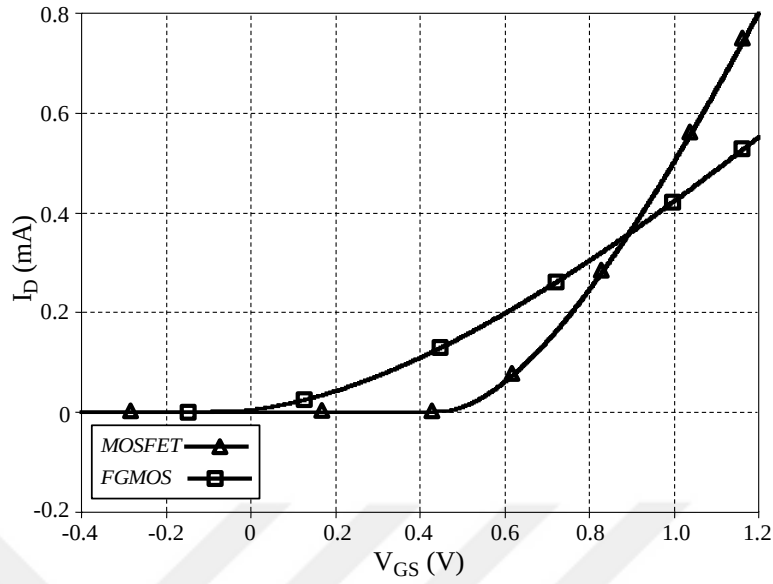
İki adet geçit terminaline sahip N-tipi bir FGMOS transistör için akıtıcı akımı denklemi aşağıdaki gibi yazılabilir.

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} \left(\frac{C_1}{C_1 + C_2} V_1 + \frac{C_2}{C_1 + C_2} V_2 - V_S - V_{TH} \right)^2 \quad (1.6)$$

Eğer bu transistörde 1. geçit terminali, giriş olarak 2. giriş terminali ise seviye kaydırıcı veya kutuplama girişi olarak kullanılırsa, 1. geçit girişi için etkin eşik gerilimi Denklem (1.7)'deki gibi bulunur.

$$V'_{TH} = V_{TH} - \frac{C_2}{C_1 + C_2} V_2 \quad (1.7)$$

Bu denklemden anlaşılaçağı gibi iki geçit terminali sayesinde eşik voltajı değiştirilerek transistör istenilen çalışma bölgesinde kutuplanabilmektedir. Şekil 1.6'da aynı boyuttaki N-tipi FGMOS ve MOS transistörlere ait $V_{GS}-I_D$ grafiğı verilmiştir. Grafikteki FGMOS transistör iki geçide sahiptir. Bu geçitlerden biri giriş için diğeri ise kutuplama için kullanılmış olup akıtıcı gerilimi kutuplama için kullanılan bu geçide de uygulanmıştır. Şekil 1.6'dan MOS transistörün eşik gerilimi yaklaşık olarak 0.5 V iken, FGMOS transistörün eşik geriliminin 0 V civarında olduğu görölmektedir. Ancak aynı W/L değeri için geleneksel MOS yapının geçiş iletkenliğinin FGMOS yapının geçiş iletkenliğinden daha büyük olduğu görölmektedir [26,28].



Şekil 1.6. N-tipi FGMOS ve MOS transistörlere ait V_{GS} - I_D karakteristiği [28]

Analog devre tasarımında FGMOS kullanımının sağladığı avantajlar aşağıdaki gibi sıralanabilir:

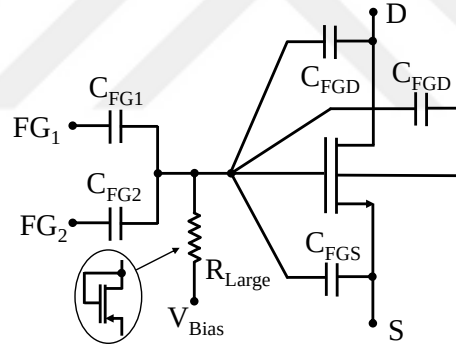
- Birden fazla giriş terminaline sahip olması,
- Eşik geriliminin uygulama gereksinimlerinin dikkate alınarak kaydırılabilmesi,
- Standart MOS üretim teknolojisi ile üretilebilmesi.

Bu avantajların yanı sıra FGMOS kullanımının bazı dezavantajları şu şekilde sıralanabilir.

- Tüm devre içerisinde daha geniş alan kaplamaları,
- Geçiş iletkenliği geleneksel MOS'lara göre daha küçük olması,
- Bant genişliği geleneksel MOS'lara göre daha dar olması,
- Yüzen geçit içerisinde hapsolmuş miktarı belirsiz yük bulunabilmesi,
- Simülasyon modellerinin yetersizliği [26–29].

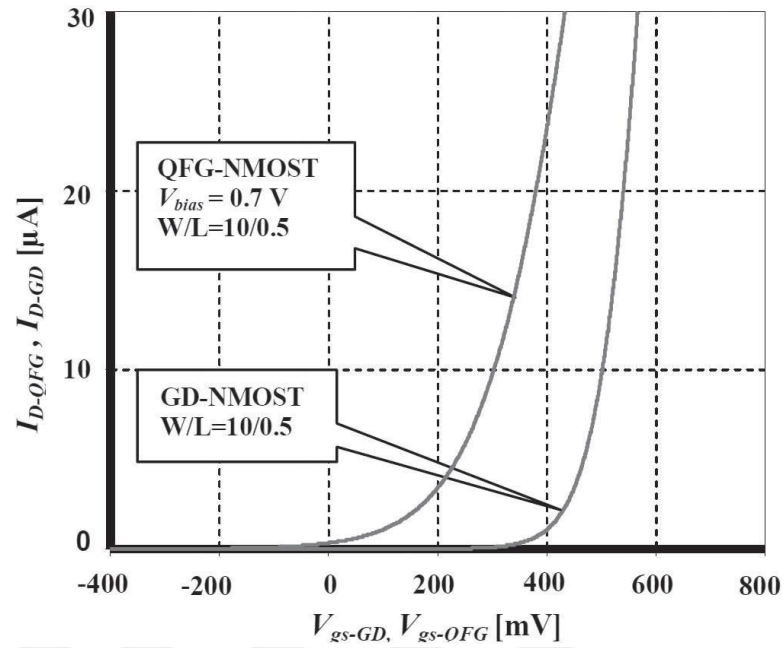
1.1.3. Kısmi FGMOS Yaklaşımı

Kısmi FGMOS (QFGMOS) yaklaşımı, FGMOS transistörlerin bazı dezavantajlarının üstesinden gelebilmek için geliştirilmiş bir versiyonudur. FGMOS transistörler geleneksel MOS teknoloji ile karşılaştırıldıklarında giriş kapasitelerinin büyük olmasından dolayı tümdevre içerisinde daha büyük alan kaplamasının yanı sıra, daha düşük geçiş iletkenliği değerine ve daha dar bant genişliğine sahiptirler. Bunun yanı sıra yüzen geçitte hapsolmuş belirsiz miktarda yük bulundurulur. QFGMOS yaklaşımı kullanılarak, yani yüzen geçit ters diyot bağlantısı sayesinde elde edilen büyük değerli bir dirençle kutuplama gerilimine bağlanarak, işgal edilen tüm devre alanı düşürülebilir ve ayrıca yüzen geçitte hapsolmuş yük probleminin de üstesinden gelinebilir. FGMOS transistörler gibi QFGMOS transistörler de birden çok girişe sahip olabilir ve standart MOS teknolojilerinde üretilebilirler. Şekil 1.7'de QFGMOS transistörün eşdeğer devresi görülmektedir [10,30].



Şekil 1.7. QFGMOS transistörün eşdeğer devresi

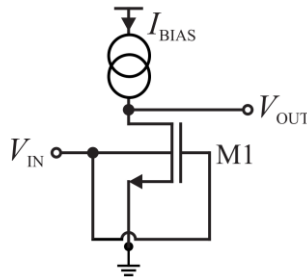
Şekil 1.8'de aynı W/L değerleri N-tipi QFGMOS ve MOS transistörlere ait $V_{GS}-I_D$ grafiği verilmiştir. MOS transistörün eşik gerilimi yaklaşık olarak 0.4 V iken, QFGMOS transistörün eşik geriliminin 0 V civarında olduğu görülmektedir. Ancak geleneksel MOS yapının geçiş iletkenliğinin QFGMOS yapının geçiş iletkenliğinden daha büyük olduğu görülmektedir [10,30].



Şekil 1.8. N-tipi QFGMOS ve MOS transistörlere ait $V_{GS}-I_D$ karakteristiği [30]

1.1.4. Dinamik Eşik Gerilimli MOS Yaklaşımı

Dinamik eşik gerilimli MOS (DT-MOS) yaklaşımı, transistörün geçit terminali ile gövde terminalinin Şekil 1.9'daki gibi birbirine bağlanması ve bu iki terminalin giriş terminali olarak kullanılmasına dayanmaktadır. Böylece transistörün gövde terminalinin voltajının geçit terminalinin voltajı ile aynı anda değiştirilmesiyle transistörün eşik gerilimi dinamik olarak değişmektedir.



Şekil 1.9. Dinamik eşik gerilimli MOS transistör [4]

Bir transistörün eşik gerilimi aşağıdaki gibi ifade edilebilir.

$$\begin{aligned}
V_{TH} &= V_{T0} - \gamma \left(\sqrt{2|\phi_F|} - \sqrt{2|\phi_F| - V_{BS}} \right) \\
&= 2\phi_F + V_{FB} + \gamma \sqrt{2|\phi_F| - V_{BS}}
\end{aligned} \tag{1.8}$$

Burada V_{FB} düz-bant gerilimidir. Denklem (1.8)'den görülebileceği gibi eşik geriliminin en düşük seviyesi $2|\phi_F| = V_{BS}$ olduğunda elde edilmektedir. Giriş geriliminin artmasıyla V_{BS} gerilimi de artmakta, eşik gerilimi düşmekte ve geçit sürmeli MOS transistörlere göre daha fazla akım akmaktadır. Giriş geriliminin düşmesiyle V_{BS} gerilimi de düşmekte, eşik gerilimi artmaktadır ve böylece sızıntı akımları azalmaktadır. Bu yaklaşımın bir diğer avantajı ise geçiş iletkenliği değerinin geçit geçiş iletkenliği ve gövde geçiş iletkenliğinin toplamına eşit olması yani BD-MOS ve GD-MOS yapılarından daha yüksek geçiş iletkenliğine sahip olmasıdır [4,31].

1.1.5. Eşikaltı Çalışma Yaklaşımı

Eşik gerilimi, düşük gerilim düşük güç analog devre tasarımının temel kısıtlamasıdır. Bu kısıtlamadan kaçınmanın yollarından birisi de eşik altı çalışmadır. Eşik altı çalışma düşük besleme gerilimleriyle çalışabilen devrelerin tasarlanmasına olanak sağlamaktadır. Ayrıca, eşik altı çalışmada çekilebilecek akımın sınırlı olması, sistemlerin düşük güç tüketmesini sağlamaktadır. Eşik altı çalışan bir MOS transistörün akıttıcı akımı aşağıdaki gibi ifade edilebilir.

$$I_D = I_Z \cdot \frac{W}{L} \cdot e^{\frac{\kappa \cdot V_{GB}}{U_t}} \left(e^{\frac{V_{SB}}{U_t}} - e^{\frac{V_{DB}}{U_t}} \right) \tag{1.9}$$

Burada V_{GB} yüzen geçit ile taban arasındaki gerilim, V_{SB} kaynak ile taban arasındaki gerilim, V_{DB} akıttıcı ile taban arasındaki gerilim, W/L kanal genişliğinin kanal uzunluğuna oranı, κ geçit ile kanal arasındaki elektrostatik kuplajlama sabiti (tipik değeri 0.6 – 0.8), I_Z sıfır kutuplama akımı (üretim teknolojisine bağlı bir sabit) ve U_t termal gerilimidir. Denklem (1.9)'dan anlaşılabileceği gibi eşik altı çalışan bir MOS transistörün giriş gerilimi ile çıkış akımı arasındaki ilişki, bir BJT'ye benzer şekilde eksponansiyel bir ilişki olup termal gerilime dolayısıyla sıcaklığa bağlıdır.

Analog devre tasarımında eşik altı çalışmanın sağladığı avantajlar aşağıdaki gibi sıralanabilir:

- Eşik gerilimi uygulama gereksinimini ortadan kaldırarak çok düşük besleme gerilimleriyle ve çok düşük güç tüketerek çalışabilen sistemlerin tasarlanmasına olanak sağlarlar.

Bu avantajların yanı sıra eşik altı çalışmanın bazı dezavantajları şu şekilde sıralanabilir.

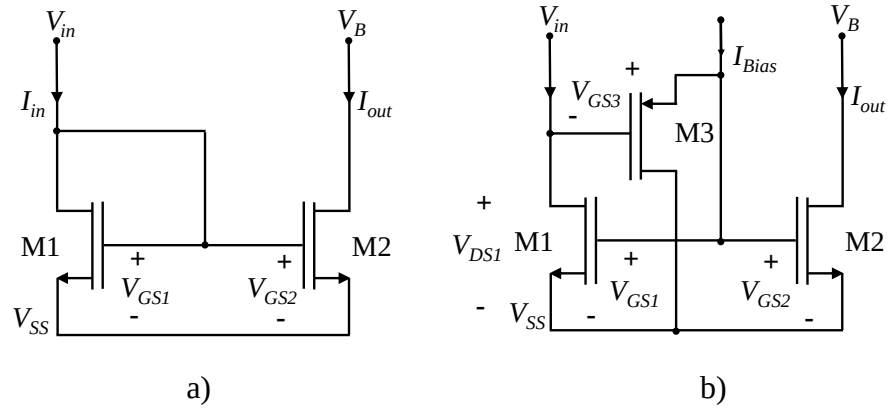
- Bant genişliği doyum bölgesinde çalışan MOS'lara göre daha dardır.
- Çekilebilecek akım oldukça sınırlıdır.
- Sıcaklık değişimlerinden etkilenebilmektedir [3,32–34].

1.1.6. Seviye kaydırma Yaklaşımı

Bu tekniğin daha iyi anlaşılabilmesi için ilk önce geleneksel akım aynası ve seviye kaydırıcı akım aynası yapıları incelenebilir. Şekil 1.10'da geleneksel akım aynası ve seviye kaydırıcı akım aynası yapıları verilmiştir. Geleneksel akım aynası için, M1 transistörünün akıttıcı terminalinden akan giriş akımı Denklem (1.10)'daki gibi yazılabilir.

$$I_{D1} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS1} - V_{TH})^2 \quad (1.10)$$

Bu I_{D1} akımının akması için gereken minimum giriş gerilimi V_{TH} eşik geriliminden büyük olması gerekmektedir. Dolayısıyla eşik geriliminden daha düşük giriş gerilim değerleri için geleneksel akım aynası yapısı kullanılamamaktadır.



Şekil 1.10. a) Geleneksel akım aynası, b) Seviye kaydıran akım aynası

Eğer geleneksel akım aynası yapısı Şekil 1.10 (b)'de gösterilen seviye kaydıran akım aynası yapısındaki gibi geliştirilirse, giriş geriliminin eşik geriliminden daha büyük olması zorunluluğu ortadan kalkar. M3 transistörü, M1 transistörünün akıttıcı terminalindeki gerilim seviyesini düşürür. I_{bias} kutuplama akımının büyüklüğü M3 transistörünün çalışma bölgesini belirlerken, I_{in} giriş akımı ve V_B gerilimi M2 transistörünün çalışma bölgesini belirlemektedir. I_{bias} 'ın düşük değerleri için M3 transistörünün eşik altı çalışması sağlanır. Şekil 1.10 (b)'ye göre giriş gerilimi aşağıdaki şekilde yazılabilir.

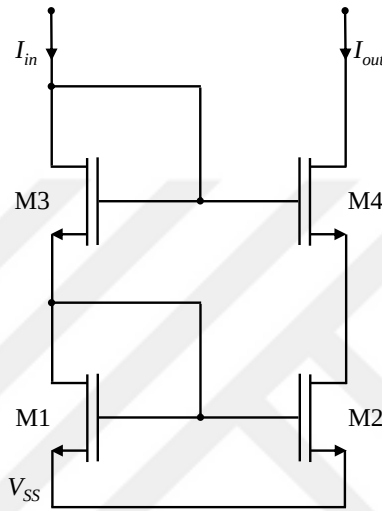
$$V_{in} = V_{DS1} = V_{GS1} - V_{GS3} \quad (1.11)$$

Denklem (1.11) sayesinde eğer V_{GS1} ve V_{GS3} biliniyorsa V_{in} giriş gerilimi hesaplanabilir. PMOS transistörlerin eşik gerilimlerinin NMOS transistörlerin eşik gerilimlerinden daha büyük olduğu bilindiği için $V_{in} = V_{GS1} - V_{GS3} > 0$ şartının sağlanması I_{in} giriş akımının geniş bir aralığı için sağlanması oldukça zordur. Bu yapıda düşük giriş akımı değerleri için M1 transistörünün eşik altı çalışması sağlanırken, büyük akım değerleri için M1 transistörünün eşik üstü çalışması sağlanır [19,30,32–34].

1.1.7. Kendinden (Self) Kaskod Yaklaşımı

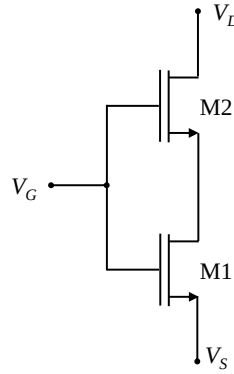
MOS teknolojisinde transistör boyutları küçüldükçe çıkış empedansları da azalmaktadır. Yüksek kazanç sağlanmasının bir gerekliliği olan yüksek çıkış empedansı kısa kanallı MOS transistörlerde elde edilememektedir. Yüksek çıkış

empedansı elde etmekte en çok kullanılan yöntem kaskod yapılarıdır. Kaskod yapıların kullanımı kazancı artırmakla beraber çıkış dinamik sahasını daraltmaktadır. Şekil 1.11’de bir kaskod akım aynası gösterilmiştir. Bu akım aynası incelendiğinde çıkış direncinin artarken akım aynasının çalışabilmesi için gerekli olan besleme geriliminin geleneksel akım aynasına göre V_{TH} yani eşik gerilimi kadar arttığı görülmektedir.



Şekil 1.11. Kaskod akım aynası

Kaskod yapıların Şekil 1.11’deki gibi kullanılması bu sebeple düşük gerilim uygulamaları için uygun değildir. Hem düşük besleme gerilimleri ile çalışabilecek hem de yüksek kazanç ve yüksek çıkış empedansı sağlayabilecek şekilde düzenlenmiş bir tasarım tekniği olan kendinden kaskod bağlı yapı Şekil 1.12’de gösterilmektedir. Bu yapıda M2 transistörünün satürasyon bölgesinde, M1 transistörü ise satürasyon bölgesinin dışında çalıştırılmaktadır. Eğer $(W/L)_1 \ll (W/L)_2$ ise, kompozit transistör olarak da isimlendirilen bu yapı satürasyon bölgesinde kutuplanmış ve kanal uzunluğu modülasyonundan daha az etkilenen tek bir MOS transistör gibi davranır.



Şekil 1.12. Kendinden Kaskod MOS yapısı

1.2. Akım Modlu Aktif Elemanlara Genel Bakış

Günümüzde sayısal devreler ve sayısal işaret işleme uygulamaları oldukça fazla kullanılmasına rağmen gerçek dünyadaki işaretler analog olduğu için analog işaret işleme devrelerine sıklıkla ihtiyaç duyulmaktadır. Analog işaret işleme blokları gerçek dünyadan alınan işaretlerin kuvvetlendirilmesi, filtrelenmesi, doğrultulması gibi işlemlerin gerçekleştirilerek sayısal işaret işleme uygulamalarına uygun hale getirilmesinde kullanılmaktadır. Ayrıca analog-dijital çeviriciler, dijital-analog çeviriciler, osilatörler, çarpıcılar, bölücüler, toplayıcılar, fark alıcılar ve yapay sinir ağı uygulamaları gibi çok sayıda işlem analog işaret işleme bloklarıyla gerçekleştirilmektedir. Analog işaret işleme uygulamaları akım modlu ve voltaj modlu olarak tasarlanabilmektedirler. Akım modlu devreler, voltaj modlu devrelere göre daha basit devre yapısı daha yüksek değişim hızı daha geniş dinamik saha, daha iyi lineerlik gibi bazı avantajlara sahiptir. Bu sebeple akım modlu devre tasarımı giderek önem kazanmaktadır [2,7,35,36]. Bu bölümde akım modlu analog işaret işleme uygulamalarında sıklıkla kullanılan aktif elemanlar hakkında bilgi verilmektedir.

1.2.1. Birinci Kuşak Akım Taşıyıcı (CCI)

Birinci kuşak akım taşıyıcı (CCI), akım modlu işaret işleme uygulamalarında kullanılabilecek bir aktif eleman konsepti olarak ilk kez Smith ve Sedra tarafından 1968 yılında önerilmiştir [5]. 3 terminalli bu yapıda X terminaline uygulanan akımın Y terminalinden de akması, Y terminaline uygulanan gerilimin X terminaline

aktarılması ve X terminalindeki akımın Z terminaline taşınması amaçlanmaktadır. Bu işlevleri yerine getirecek CCI yapısına ait tanım denklemleri Denklem 1.12’de verilmektedir [5].

$$\begin{bmatrix} v_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_y \\ v_z \end{bmatrix} \quad (1.12)$$

CCI yapısı 1969 yılında Smith ve Sedra tarafından BJT tabanlı olarak gerçekleştirilerek, akım ölçümü için kullanılmıştır [37].

1.2.2. İkinci Kuşak Akım Taşıyıcı (CCII)

İkinci kuşak akım taşıyıcı (CCII) yapısı 1970 yılında Sedra ve Smith tarafından CCI yapısına göre daha işlevsel bir aktif eleman olarak önerilmiştir [6]. CCII’nin tanım bağıntıları Denklem (1.13)’te verilmektedir.

$$\begin{bmatrix} v_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_y \\ v_z \end{bmatrix} \quad (1.13)$$

CCII yapısı 1971 yılında $\mu A749$ entegresi ve beş transistör kullanılarak Black v.d. tarafından gerçekleştirilmiştir [38]. 1978 yılında beş op-amp’tan oluşan bir CCII yapısı Sharif-Bakhtiyar ve Aronhime tarafından önerilmiştir [39]. Literatürde BJT ve MOS tabanlı birçok CCII tasarımı mevcuttur [40–45]. Ayrıca AD844, OPA 660, OPA860 ve OPA2662 gibi ticari olarak ulaşılabilen tümdevreler, akım modlu devre tasarımlarında en çok kullanılan aktif bloklardan biri olan CCII yapısının pratik uygulamalarında kullanılabilmektedir [7,46,47].

1.2.3. Akım Kontrollü İkinci Kuşak Akım Taşıyıcı (CCCII)

CCII yapısı akım modlu devre tasarımında oldukça sık kullanılmasına rağmen elektronik olarak kontrol edilemeyen bir aktif elemandır. CCII’nin bu dezavantajını ortadan kaldırabilmek için X terminalindeki parazitik R_X direncinin değeri kutuplama akımı ile kontrol edilebilen akım kontrollü ikinci kuşak akım taşıyıcı (CCCII) yapısı

Fabre v.d. tarafından önerilmiştir [48]. CCCII yapısının tanım bağıntıları Denklem (1.14)'te verilmektedir.

$$\begin{bmatrix} v_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} R_x & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_y \\ v_z \end{bmatrix} \quad (1.14)$$

CCCIİ yapısı kutuplama akımı ile kontrol edilebildiği için süzgeç [49–51], osilatör [52,53], indüktans simülatörü [14,54–56], PID kontrolör [57], enstrumantasyon kuvvetlendiricisi [58] gibi yapıların akım kontrollü olarak tasarlanmasında sıklıkla kullanılmaktadır.

1.2.4. Fark Gerilim İkinci Kuşak Akım Taşıyıcı (DVCCII)

Akım modlu devre tasarımlarında en çok kullanılan aktif eleman grubu olan CCII yapısının fark gerilimlerine uygun olan bir türü olan fark gerilim akım taşıyıcı (DVCCII) yapısı ilk kez Pal tarafından 1989 yılında önerilmiştir [59]. Ayrıca 1997 yılında Elwan ve Soliman tarafından CMOS tabanlı bir DVCCII yapısı önerilmiştir [60]. Bu yapı iki adet yüksek empedanslı Y terminaline sahiptir ve bu terminallere uygulanan gerilimlerin farkı X terminaline birim kazanç ile aktarmaktadır. DVCCII yapısının tanım bağıntıları Denklem (1.15)'te verilmiştir.

$$\begin{bmatrix} v_x \\ i_{y1} \\ i_{y2} \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_{y1} \\ v_{y2} \\ v_z \end{bmatrix} \quad (1.15)$$

DVCCII yapısı, sahip olduğu yüksek empedanslı gerilim giriş terminaleri sayesinde analog işaret işleme uygulamalarının daha az aktif eleman kullanılarak tasarlanabilmesini sağlamıştır [61–63].

1.2.5. Akım Kontrollü Fark Gerilim Akım Taşıyıcı (CCDVCC)

Fark giriş gerilimlerine uyumlu olan DVCCII yapısının önemli dezavantajlarından birisi olan elektronik olarak kontrol edilememe durumu, akım kontrollü fark gerilim akım taşıyıcı (CCDVCC) yapısının 2006 yılında Jaikla ve Siripruchyanan tarafından

önerilmesiyle giderilmiştir [64]. Bu yapıda da CCCII yapısında olduğu gibi X terminalindeki parazitik R_X direncinin değerinin kutuplama akımıyla kontrol edilebilmesiyle hem akım kontrollü tasarımlara olanak sağlamakta hem de tasarımlarda kullanılacak pasif eleman sayısının azaltılmasını sağlamaktadır. CCDVCC yapısı hem akım kontrollü olması hem de fark giriş gerilimlerine uygun olmasıyla CCCII ve DVCCII yapılarının avantajlarını tek bir aktif elemenda birleştirmiştir. CCDVCC yapısının tanım bağıntıları Denklem (1.16)'da verilmektedir.

$$\begin{bmatrix} v_x \\ i_{y1} \\ i_{y2} \\ i_z \end{bmatrix} = \begin{bmatrix} R_X & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_{y1} \\ v_{y2} \\ v_z \end{bmatrix} \quad (1.16)$$

Literatürde akım kontrollü ve fark giriş geriliminin kullanılmasını gerektiren analog işaret işleme uygulamalarında CCDVCC yapısı sıklıkla kullanılmaktadır [65–67].

1.2.6. Diferansiyel Fark Akım Taşıyıcı (DDCCII)

DVCCII yapısından farklı olarak üç adet yüksek empedanslı Y terminaline sahip olan DDCCII yapısı 1996 yılında Chiu v.d. tarafından önerilmiştir [68]. DDCCII yapısının tanım bağıntıları Denklem (1.17)'de verilmiştir.

$$\begin{bmatrix} v_x \\ i_{y1} \\ i_{y2} \\ i_{y3} \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_{y1} \\ v_{y2} \\ v_{y3} \\ v_z \end{bmatrix} \quad (1.17)$$

Denklem (1.17)'de görüldüğü gibi DDCCII yapısı sahip olduğu üç Y terminali sayesinde toplama ve fark alma gibi aritmetik operasyonların gerekli olduğu analog işaret işleme uygulamalarında kullanım için oldukça uygundur [69–73].

1.2.7. Akım Kontrollü Diferansiyel Fark Akım Taşıyıcı (CCDDCC)

Literatürde CCDDCC ve DDCCC olarak tanımlanan bu yapı ilk kez 2011 yılında Prommee ve Somdunyakanok tarafından önerilmiştir [33,74]. CCDDCC yapısı DDCCII ile CCCII yapılarının avantajlarını tek bir aktif eleman üzerinde toplamıştır. DDCCII yapısına benzer şekilde toplama ve fark alma gibi aritmetik operasyonları yerine getirebilen bu yapı CCCII ve CCDVCC yapıları gibi X terminalindeki parazitik R_X direncinin değerinin kutuplama akımıyla ayarlanabilmesi sayesinde akım kontrollü analog işaret işleme uygulamaları için oldukça uygundur. CCDDCC yapısının tanım denklemleri Denklem (1.18)'de verilmektedir.

$$\begin{bmatrix} v_x \\ i_{y1} \\ i_{y2} \\ i_{y3} \\ i_z \end{bmatrix} = \begin{bmatrix} R_X & 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ v_{y1} \\ v_{y2} \\ v_{y3} \\ v_z \end{bmatrix} \quad (1.18)$$

1.2.8. Tam Farksal İkinci Kuşak Akım Taşıyıcı (FDCCII)

Tam farksal ikinci kuşak akım taşıyıcı (FDCCII) yapısı 2000 yılında El-Adawy v.d. tarafından önerilmiş fark voltaj girişleriyle uyumlu olabilecek bir diğer akım taşıyıcı türüdür [75]. Dört adet Y terminaline sahip bu yapının tanım bağıntıları Denklem (1.19)'da verilmektedir.

$$\begin{bmatrix} v_{X+} \\ v_{X-} \\ i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ i_{Y4} \\ i_{Z+} \\ i_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 & 1 & 0 & 0 & 0 \\ 0 & 0 & -1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{X+} \\ i_{X-} \\ v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ v_{Y4} \\ v_{Z+} \\ v_{Z-} \end{bmatrix} \quad (1.19)$$

1.2.9. Evrensel Akım Taşıyıcı (UCC)

Evrensel akım taşıyıcı yapısı (UCC); CCII, DVCCII, DDCCII ve bu üç yapının eviren versiyonlarının hepsini tek bir aktif elemanda birleştirmektedir ve 2000 yılında Becvar v.d. tarafından önerilmiştir [76]. Yapı üç adet yüksek empedanslı Y-terminaline bir adet düşük empedanslı X terminaline ve akım çıkışı için ikisi eviren ikisi evirmeyen olmak üzere dört adet Z terminaline sahiptir. Bu yapıya ait tanım bağıntıları Denklem (1.20)'de verilmektedir.

$$\begin{bmatrix} v_{X+} \\ i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ i_{Z1,Z2} \\ i_{\overline{Z1},\overline{Z2}} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{X+} \\ v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ v_{Z1,Z2} \\ v_{\overline{Z1},\overline{Z2}} \end{bmatrix} \quad (1.20)$$

1.2.10. Çift-X İkinci Kuşak Akım Taşıyıcı (DXCCII)

İkinci kuşak akım taşıyıcıların kullanışlı bir türü olan Çift-X ikinci kuşak akım taşıyıcı (DXCCII) yapısı Zeki ve Toker tarafından 2002 yılında önerilmiştir [77]. DXCCII yapısı evirmeyen CCII ve eviren CCII (ICCII) yapılarının birleşiminden oluşmakta ve iki adet X terminali bulundurmaktadır. DXCCII, evirmeyen ve eviren X terminalleri sayesinde ayarlanabilir süzgeçler, voltaj modlu tam dalga doğrultucular, indüktans simülatörleri, dört kademeli çarpıcılar, osilatörler ve kapasitans çoklayıcılar gibi analog işaret işleme bloklarının tasarımında sıklıkla kullanılmaktadır [78–83]. DXCCII yapısının tanım bağıntıları Denklem (1.21)'de verilmektedir.

$$\begin{bmatrix} v_{xp} \\ v_{xn} \\ i_y \\ i_{zp} \\ i_{zn} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{xp} \\ i_{xn} \\ v_y \\ v_{zp} \\ v_{zn} \end{bmatrix} \quad (1.21)$$

1.2.11. Çift-X Diferansiyel Fark Akım Taşıyıcı (DXDDCC)

DXCCII yapısı çift-X terminaline sahip olmasına rağmen fark giriş gerilimleri için uygun değildir. Hem çift-X terminaline sahip hem de yüksek empedanslı fark giriş terminallerine sahip bir aktif eleman olan çift-X diferansiyel fark akım taşıyıcı (DXDDCC) yapısı Yamaçlı ve Kuntman tarafından 2004 yılında önerilmiştir [84]. Bu yapı DDCCII yapısının çift-X terminaline sahip hali olup tanım bağıntıları Denklem (1.22)'de verilmektedir.

$$\begin{bmatrix} v_{xp} \\ v_{xn} \\ i_{y1} \\ i_{y2} \\ i_{y3} \\ i_{zp} \\ i_{zp} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & -1 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{xp} \\ i_{xn} \\ v_{y1} \\ v_{y2} \\ v_{y3} \\ v_{zp} \\ v_{zp} \end{bmatrix} \quad (1.22)$$

1.2.12. Çift-X Akım Kontrollü Akım Taşıyıcı (DXCCCII)

Çift-X akım kontrollü akım taşıyıcı (DXCCCII) yapısı DXCCII yapısının akım kontrollü bir versiyonu olup Tekin v.d. tarafından 2014 yılında önerilmiştir [85]. Bu yapı CCCII yapısında olduğu gibi X-terminallerindeki parazitik R_{xp} ve R_{xn} dirençlerinin kutuplama akımı ile ayarlanabilmesiyle elektronik olarak kontrol edilebilmektedir. DXCCCII yapısının tanım bağıntıları denklem (1.23)'de verilmektedir.

$$\begin{bmatrix} v_{xp} \\ v_{xn} \\ i_y \\ i_{zp} \\ i_{zn} \end{bmatrix} = \begin{bmatrix} R_{xp} & 0 & 1 & 0 & 0 \\ R_{xn} & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{xp} \\ i_{xn} \\ v_y \\ v_{zp} \\ v_{zn} \end{bmatrix} \quad (1.23)$$

1.2.13. İşlemsel Geçiş İletkenliği Kuvvetlendiricisi (OTA)

İşlemsel geçiş iletkenliği kuvvetlendiricileri (OTA), giriş terminalleri arasında uygulanan gerilimi, g_m ile ifade edilen ve genellikle kutuplama akımı ile kontrol

edilebilen geçiş iletkenliği katsayısıyla çarparak çıkış akımına dönüştürürler. Analog işaret işleme bloklarında sıklıkla kullanılan OTA'lar, voltaj modlu devreler ile akım modlu devreler arasında geçiş sağlamaktadır. Ayrıca OTA kullanımı pasif eleman sayısının azaltılmasına yardımcı olur. Literatürde başta süzgeç yapıları olmak üzere çok sayıda uygulaması bulunan OTA'ların CMOS ve BJT teknolojisi ile gerçekleştirilmiş çok sayıda farklı tasarımı mevcut olmasına rağmen tasarımcılar günümüz teknolojisinin ihtiyaçlarını karşılayabilmek için daha düşük güç tüketen, daha geniş dinamik çalışma sahasına sahip, daha düşük besleme gerilimleri ile çalışabilen ve daha yüksek lineerliğe sahip yeni yapılar tasarlayabilmek için çalışmalarını sürdürmektedir [86–93].

1.2.14. Voltaj Farkı Alan Tamponlanmış Kuvvetlendirici (VDBA) ve Voltaj Farkı Alan Eviren Tamponlanmış Kuvvetlendirici (VDIBA)

Voltaj farkı alan tamponlanmış kuvvetlendirici (VDBA) yapısı 2008 yılında Biolek v.d. tarafından önerilmiştir [2]. Bu yapı OTA'nın çıkış terminaline tampon kuvvetlendirici eklenmesiyle elde edilmiştir. VDBA'nın tanım bağıntıları Denklem (1.24)'de verilmektedir.

$$\begin{bmatrix} i_P \\ i_N \\ i_Z \\ v_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_P \\ v_N \\ v_Z \\ i_W \end{bmatrix} \quad (1.24)$$

VDBA yapısı yüksek giriş empedansı, düşük çıkış empedansı (w terminali için), yüksek kazanç gibi özellikleriyle op-amp'lara benzetilmektedirler. Fakat daha yüksek bant genişliğine sahip olma, daha az güç tüketme ve daha yüksek değişim hızına (slew-rate) sahip olma gibi akım modlu devrelerin özelliklerine de sahiptir. Ayrıca geçiş iletkenliği değerinin kutuplama akımı ile ayarlanabiliyor olması VDBA'nın elektronik olarak kontrol edilebilmesine ve devrelerin daha az aktif ve pasif elemanla gerçekleştirilebilmesine katkı sağlamaktadır. VDBA'nın OTA'ya göre üstünlüğü ise sahip olduğu w çıkış terminalinin düşük empedansa sahip olmasıdır. Bu özellik VDBA yapısını, gerilim modlu devre tasarımında OTA'lara göre daha kullanışlı hale getirmiştir [94].

VDIBA yapısı 2013 yılında Herencsar v.d. tarafından önerilmiş olup VDBA'dan farklı olarak çıkış katında tampon kuvvetlendirici yerine eviren tampon kuvvetlendiriciye sahip olmasıdır [95]. VDIBA yapısının tanım bağıntıları Denklem (1.25)'te verilmiştir.

$$\begin{bmatrix} i_{V+} \\ i_{V-} \\ i_Z \\ v_{W-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & -1 & 0 \end{bmatrix} \begin{bmatrix} v_P \\ v_N \\ v_Z \\ i_{W-} \end{bmatrix} \quad (1.25)$$

VDBA ve VDIBA yapıları özellikle akım kontrollü süzgeç ve işaret üretici yapılarının tasarımında sıklıkla kullanılmaktadırlar [95–100].

1.2.15. Akım Farkı Alan Tamponlanmış Kuvvetlendirici (CDBA)

Akım farkı alan tamponlanmış kuvvetlendirici (CDBA) yapısı 1999 yılında Acar ve Ozoguz tarafından önerilmiştir. Dört terminalli bu eleman iki adet düşük empedanslı akım giriş terminaline (p ve n terminalleri), bir adet yüksek empedanslı akım çıkış terminaline (Z terminali) ve bir adet de bu akım çıkışının tamponlanmasıyla elde edilen düşük empedanslı voltaj çıkış terminaline (W terminali) sahiptir. Bu yapının tanım bağıntıları Denklem (1.26)'da verilmiştir [101].

$$\begin{bmatrix} v_P \\ v_N \\ i_Z \\ v_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} i_P \\ i_N \\ v_Z \\ i_W \end{bmatrix} \quad (1.26)$$

CDBA yapısının akım kontrollü ve daha az pasif eleman ile tasarım yapabilmeyi mümkün kılan akım kontrollü akım farkı alan tamponlanmış kuvvetlendirici (CCCDBA) yapısı ise Jaikla ve Siripruchyanun tarafından 2006 yılında önerilmiştir [102].

1.2.16. Akım Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi (CDTA)

Akım farkı alan geçiş iletkenliği kuvvetlendiricisi (CDTA) yapısı Biolek tarafından 2003 yılında önerilmiştir [103]. Bu yapının da CDBA yapısının giriş katı gibi iki adet

düşük empedanslı ve sanal topraklı akım farkı alan giriş terminali ve bir adet yüksek empedanslı akım çıkış terminali vardır. CDBA'dan farklı olarak çıkış katında tampon kuvvetlendirici yerine OTA yapısı içermektedir. Yani bu yapı akım girişli akım çıkışlı ve akım kontrollü bir aktif elemandır. CDTA yapısının tanım bağıntıları Denklem (1.27)'de verilmektedir.

$$\begin{bmatrix} v_P \\ v_N \\ i_Z \\ i_{X+} \\ i_{X-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & -g_m & 0 & 0 \end{bmatrix} \begin{bmatrix} i_P \\ i_N \\ v_Z \\ v_{X+} \\ v_{X-} \end{bmatrix} \quad (1.27)$$

Analog işaret işleme uygulamalarında kullanılacak harici pasif eleman sayısını azaltabilmek için P ve N terminal girişlerinde kutuplama akımı ile değeri ayarlanabilen parazitik dirençler bulunduran akım kontrollü akım farkı alan geçiş iletkenliği kuvvetlendiricisi (CC-CDTA) yapısı da yaygın şekilde kullanılmaktadır [104].

1.2.17. Akım Taşıyıcılı Geçiş İletkenliği Kuvvetlendiricisi (CCTA)

Akım taşıyıcılı geçiş iletkenliği kuvvetlendiricisi (CCTA) yapısı Prokop ve Musil tarafından 2005 yılında önerilmiştir [105]. CCTA'nın giriş katını CCII, çıkış katını ise OTA oluşturmaktadır. Bu yapının tanım bağıntıları Denklem (1.28)'de verilmiştir.

$$\begin{bmatrix} v_X \\ i_Y \\ i_Z \\ i_{out+} \\ i_{out-} \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & -g_m & 0 & 0 \end{bmatrix} \begin{bmatrix} i_X \\ v_Y \\ v_Z \\ v_{out+} \\ v_{out-} \end{bmatrix} \quad (1.28)$$

Literatürde CCTA yapısı kullanılarak tasarlanmış çeşitli süzgeç, kare alıcı ve osilatör gibi çok sayıda yapı mevcuttur [105–108]. Ancak CCTA yapısı ile tasarlanmış devrelerde kullanılan aktif eleman sayısını azaltmak ve yapıyı fark gerilim girişlerine uygun hale getirebilmek için akım kontrollü akım taşıyıcılı geçiş iletkenliği

kuvvetlendiricisi (CCCCTA) ve fark gerilim akım taşıyıcılı geçiş iletkenliği kuvvetlendiricisi (DVCCTA) yapıları önerilmiştir [109,110].

1.2.18. Voltaj Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi (VDTA)

Voltaj farkı alan geçiş iletkenliği kuvvetlendirici (VDTA) yapısı 2008 yılında Biolek v.d. tarafından kavramsal olarak önerilen ve 2011 yılında Yeşil v.d. tarafından CMOS gerçekleştirimi yapılan bir aktif elemandır [2,111]. Bu yapıda yüksek empedanslı P ve N terminallerine uygulanan gerilimlerin farkı g_{m1} ile çarpılarak Z terminaline akım olarak aktarılmaktadır. Z noktasında oluşan gerilim ise $\pm g_{m2}$ ile çarpılarak X+ ve X- terminallerine akım olarak aktarılmaktadır. VDTA'nın tanım denklemleri Denklem (2.29)'da verilmektedir.

$$\begin{bmatrix} i_P \\ i_N \\ i_Z \\ i_{X+} \\ i_{X-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ g_{m1} & -g_{m1} & 0 & 0 & 0 \\ 0 & 0 & g_{m2} & 0 & 0 \\ 0 & 0 & -g_{m2} & 0 & 0 \end{bmatrix} \begin{bmatrix} v_P \\ v_N \\ v_Z \\ v_{X+} \\ v_{X-} \end{bmatrix} \quad (1.29)$$

1.2.19. Voltaj Farkı Alan Akım Taşıyıcı (VDCC)

Voltaj farkı alan akım taşıyıcı (VDCC) yapısı 2008 yılında Biolek v.d. tarafından kavramsal olarak önerilen ve 2011 yılında Kaçar v.d. tarafından CMOS gerçekleştirimi yapılan bir aktif elemandır [2,112]. Bu aktif eleman giriş katı olarak OTA ve çıkış katı olarak CCII yapısından meydana gelmektedir. Giriş katına uygulanan fark voltajının g_m ile çarpılmasıyla Z terminalinden akacak olan akım elde edilmektedir. Z terminalinde meydana gelen gerilim ise akım taşıyıcı bloğunun yüksek empedanslı voltaj girişine uygulanarak X terminaline aktarılmaktadır. Bu terminalden akan akım ise çıkış akım terminali olan W terminaline aktarılmaktadır. VDCC'nin tanım bağıntıları Denklem (1.30)'da verilmektedir.

$$\begin{bmatrix} i_P \\ i_N \\ i_Z \\ v_X \\ i_W \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_P \\ v_N \\ v_Z \\ i_X \\ v_W \end{bmatrix} \quad (1.30)$$

Yukarıda sıralanan aktif elemanların dışında analog işaret işleme uygulamalarında kullanılabilecek literatürde önerilmiş pek çok aktif eleman bulunmaktadır. Araştırmacılar, düşük güç tüketimi, düşük besleme gerilimleri ile çalışabilme, büyük bant genişliği ve geniş dinamik sahada çalışabilme gibi günümüz beklentilerini karşılayabilecek şekilde daha önceden önerilmiş yapıların yeniden tasarlanmasının yanı sıra; kullanılan aktif ve pasif eleman sayısını azaltabilecek, tasarımları kolaylaştırabilecek ve elektronik olarak kontrol edilebilirliği sağlayabilecek yeni aktif elemanların tasarlanmasına çalışmaktadırlar.

2. BÖLÜM

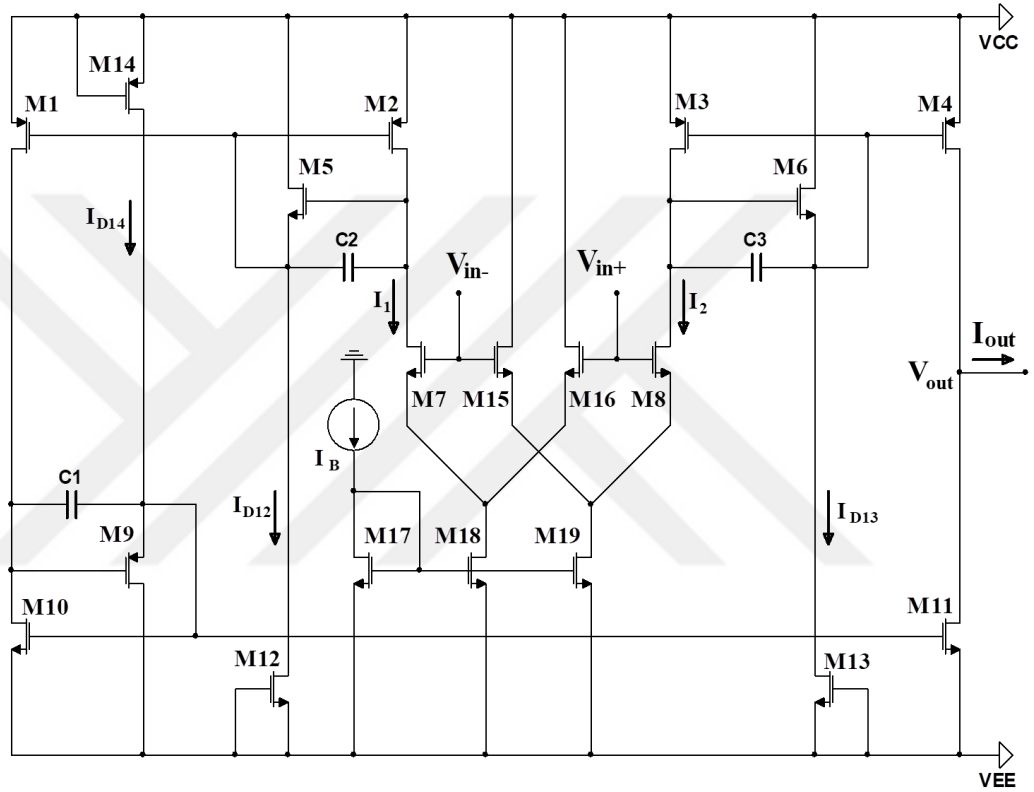
SEVİYE KAYDIRICI AKIM AYNASI TABANLI YENİ BİR DÜŞÜK GERİLİM DÜŞÜK GÜÇ OTA TASARIMI

OTA'lar analog işaret işleme uygulamalarında yaygın bir şekilde kullanılmaktadır. Giriş voltajlarının farkıyla orantılı olarak çıkış akımı üreten OTA'ların kazancı olarak nitelendirilen geçiş iletkenliği (g_m) değeri, kutuplama akımıyla kontrol edilebilmektedir. Bu sayede OTA'lar elektronik olarak kontrol edilebilmektedir ve akım kontrollü uygulamalara oldukça elverişlidir [1,2,113]. Literatürde OTA'lar kullanılarak tasarlanmış süzgeçler, enstrumantasyon kuvvetlendiricileri, osilatörler ve analog çarpıcılar gibi pek çok yapı bulunmaktadır [86–88,91,114]. Ayrıca literatürde çok sayıda farklı OTA tasarımları bulunmasına rağmen araştırmacılar, günümüz ihtiyaçlarını karşılamak için daha az güç tüketen, daha düşük besleme voltajlarıyla çalışan lineer çalışma aralığı daha geniş olan ve daha büyük bant genişliğine sahip yeni OTA yapıları tasarlamaya çalışmaktadırlar [89–92,115–118].

Bu çalışmada tasarlanan OTA yapısında aktif yük olarak seviye kaydıran akım aynaları kullanılarak düşük besleme gerilimleri ile çalışma sağlanmıştır. Ayrıca çapraz kuplajlı dörtlü geçiş iletkenliği (cross coupled quad transconductance) yapısı kullanılarak OTA'nın lineerliği geliştirilmiştir [14,119–121]. Tasarlanan OTA yapısının bir uygulaması olarak akım kontrollü OTA tabanlı birinci dereceden alçak geçiren süzgeç yapısı oluşturulmuştur. Tasarlanan OTA'nın ve akım kontrollü alçak geçiren süzgeç yapısının 0.18 μm TSMC CMOS teknoloji parametreli kullanılarak benzetimi yapılmıştır.

2.1. Tasarlanan OTA Yapısı

Tasarlanan düşük voltaj düşük güç OTA yapısı Şekil 2.1’de gösterilmektedir. NMOS transistörlerin tamamının gövde terminalleri negatif besleme gerilimine, PMOS transistörlerin tamamının gövde terminalleri ise pozitif besleme gerilimine bağlanmıştır.



Şekil 2.1. Tasarlanan seviye kaydıran akım aynası tabanlı düşük voltaj düşük güç OTA tasarımı

Düşük besleme gerilimiyle çalışmayı sağlayabilmek için. M1, M2 ve M5 transistörleriyle ve M3, M4 ve M6 transistörleriyle iki ayrı PMOS seviye kaydıran akım aynası oluşturulmuştur [14]. Ayrıca M9, M10 ve M11 transistörleri ile de NMOS seviye kaydıran akım aynası yapısı oluşturulmuştur [119]. Bu akım aynalarının ihtiyaç duydukları kutuplama akımları ise I_{D12} , I_{D13} ve I_{D14} akımları ile sağlanmıştır. M1, M2 ve M5 transistörleriyle oluşturulmuş akım aynasının kutuplama akımı olan I_{D12} akımı, M12 transistörü eşik altı kutuplandığı için

$$I_{D12} = I_{D0} \frac{W_{12}}{L_{12}} \exp\left(\frac{-V_{TH}}{nU_t}\right) \quad (2.1)$$

olarak yazılabilir. Burada I_{D12} , M12 transistörünün akıttıcı akımı, U_t termal gerilim, W_{12}/L_{12} M12 transistörünün kanal genişliğinin kanal uzunluğuna oranı ve V_{TH} ise eşik gerilimidir. Ayrıca, I_{D0} ve n üretim teknolojisine bağlı sabitlerdir. Diğer seviye kaydıran akım aynalarının kutuplama akımları olan I_{D13} ve I_{D14} de Denklem (2.1)'de verildiği gibi elde edilebilir. M12, M13 ve M14 transistörleri seviye kaydıran akım aynalarına oldukça düşük kutuplama akımları sağlarlar. Böylece, M5, M6 ve M9 transistörleri eşikaltı bölgede çalışırlar. Buna ek olarak, C1, C2 ve C3 kapasitörleri seviye kaydıran akım aynalarının frekans performanslarını geliştirmek için kullanılmıştır.

M7, M8, M15 ve M16 transistörleri çapraz kuplajlı geçiş iletkenliği hücrelerini oluşturmaktadır. M17, M18 ve M19 transistörleri I_B akımını çapraz kuplajlı geçiş iletkenliği hücrelerine kutuplama akımı olarak kopyalamaktadır [120,121].

Şekil 1'de M7 ve M8 transistörlerinin özdeş ve kanal genişliklerinin kanal uzunluklarına oranının W/L 'ye eşit olduğu ve ayrıca M15 ve M16 transistörlerinin de özdeş ve kanal genişliklerinin kanal uzunluklarına oranının $a \cdot (W/L)$ 'ye eşit olduğu kabul edilirse, I_1 ve I_2 akımları şu şekilde elde edilir:

$$I_1 = \frac{k_n}{2} \left[\frac{-aV_{in}}{a+1} + \sqrt{\frac{2}{k_n}} \sqrt{1 - \frac{k_n a V_{in}^2}{2(a+1)I_B}} \right]^2 \quad (2.2)$$

$$I_2 = \frac{k_n}{2} \left[\frac{aV_{in}}{a+1} + \sqrt{\frac{2}{k_n}} \sqrt{1 - \frac{k_n a V_{in}^2}{2(a+1)I_B}} \right]^2. \quad (2.3)$$

Burada V_{in} fark giriş voltajı k_n ise geçiş iletkenliği parametresi olup $\mu_n \cdot C_{ox} \cdot (W/L)$ ifadesine eşittir.

I_1 akımı M1 ve M11 transistörlerinin akıttıcı terminallerine, I_2 akımı ise M4 transistörünün akıttıcı terminaline seviye kaydıran akım aynaları sayesinde aktarılır. Böylece, I_{out} çıkış akımı

$$I_{out} = I_2 - I_1 \quad (2.4)$$

şeklinde elde edilir.

Eğer M15 ve M16 transistörlerinin W/L değerleri, M7 ve M8 transistörlerinin W/L değerlerinden çok daha büyük seçilirse diğer bir deyişle $a \gg 1$ ise I_{out} çıkış akımı Denklem (2.2) - (2.4) kullanılarak aşağıdaki şekilde yazılabilir:

$$I_{out} = \sqrt{\frac{8k_n I_B}{a}} \cdot V_{in} \cdot \quad (2.5)$$

Bu ifadeden, devrenin geçiş iletkenliği değeri (g_m) aşağıdaki şekilde ifade edilebilir:

$$g_m = \sqrt{\frac{8k_n I_B}{a}} \cdot \quad (2.6)$$

Denklem (2.6)'dan önerilen devrenin g_m değerinin I_B kutuplama akımı ile kontrol edilebildiği görülmektedir.

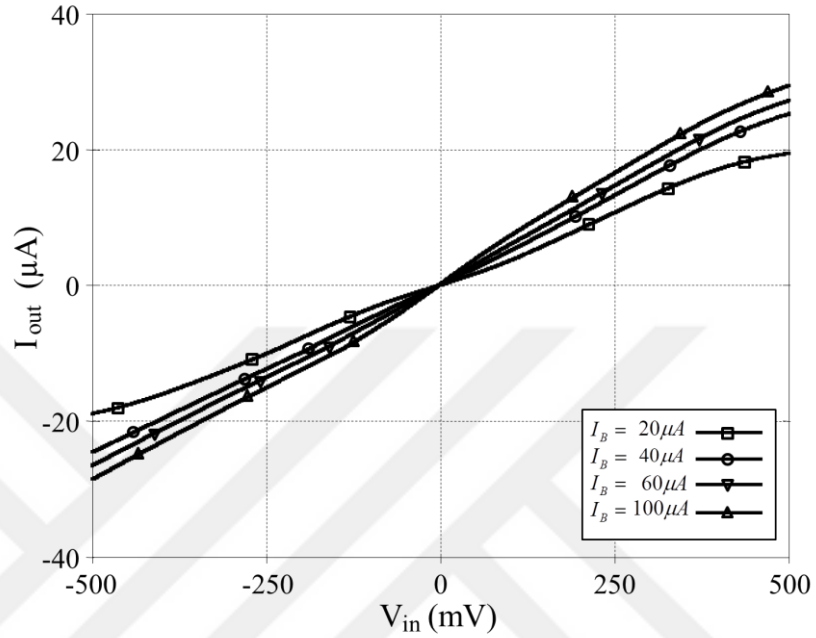
2.2. Benzetim Sonuçları

Tasarlanan OTA yapısının 0.18 μm TSMC CMOS teknoloji parametreli kullanılarak SPICE ile benzetimi yapılmıştır. Besleme gerilimleri ± 0.5 V olarak seçilmiştir. Kullanılan kapasitörler 0.1 nF değerindedir. Tasarımda kullanılan transistörlerin kanal boyutları Tablo 2.1'de verilmiştir.

Tablo 2.1. Tasarlanan OTA yapısındaki transistörlerin kanal boyutları

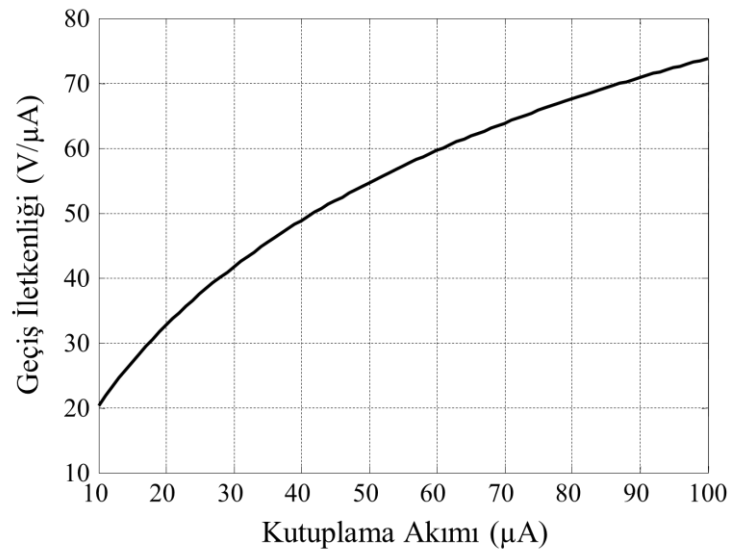
Transistör	L(μm)	W(μm)
M1 - M4	0.5	3
M5, M6	0.5	10
M7, M8	1	0.5
M9	0.5	25
M10, M11	0.5	1
M12 - M14	3	30
M15, M16	0.35	15
M17 - M19	1	3

Tasarlanan OTA'nın $I_{out} - V_{in}$ transfer eğrilerinin gösterildiği Şekil 2.2'den görüleceği gibi OTA'nın lineer çalışma bölgesi yaklaşık olarak ± 0.3 V'tur. Ayrıca yapının geçiş iletkenliği kutuplama akımı ile kontrol edilebilmektedir.



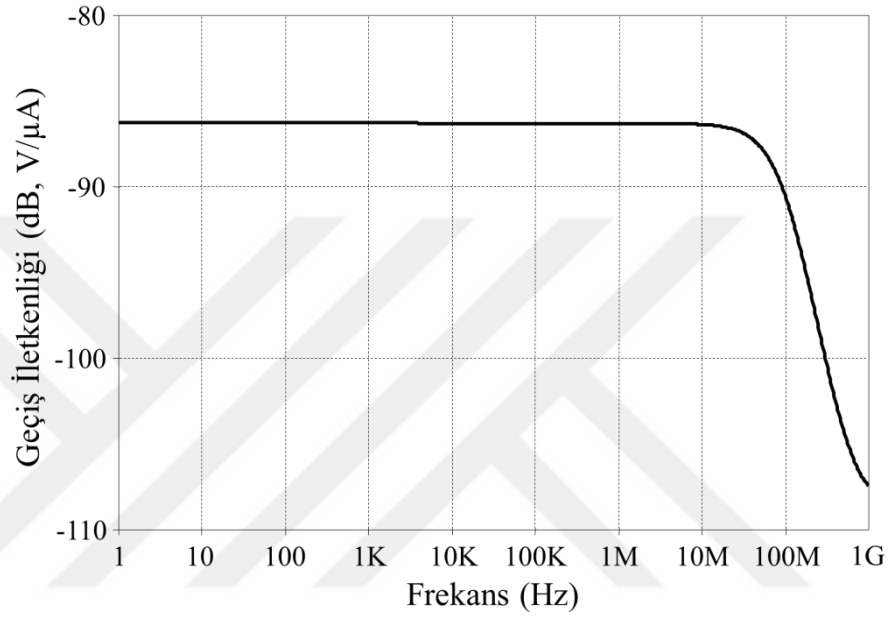
Şekil 2.2. Tasarlanan OTA'nın $I_{out} - V_{in}$ transfer eğrileri

Şekil 2.3, g_m değerinin I_B akımına göre değişimini göstermektedir. I_B kutuplama akımı 10 μA 'den 100 μA 'e kadar değiştirildiğinde, tasarlanan yapının geçiş iletkenliği 21 μS - 73 μS aralığında ayarlanabilmektedir.

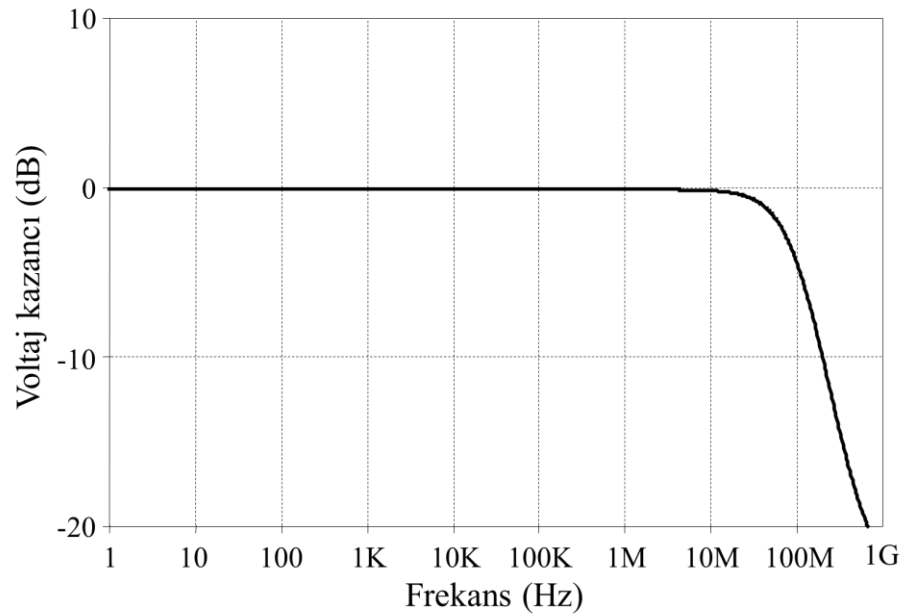


Şekil 2.3. Tasarlanan OTA'nın I_B kutuplama akımına göre g_m değerinin değişimi

Şekil 2.4 ve Şekil 2.5, g_m -frekans ve birim voltaj kazancı-frekans eğrilerini göstermektedir. Bu şekillerden tasarlanan yapının frekans cevabının yaklaşık olarak 80 MHz olduğu görülmektedir. Bu değer 1 V seviyesinin altında besleme gerilimleriyle çalışabilen ve 1 mW altında güç tüketenen düşük gerilim düşük güç tasarımları için oldukça makuldür.

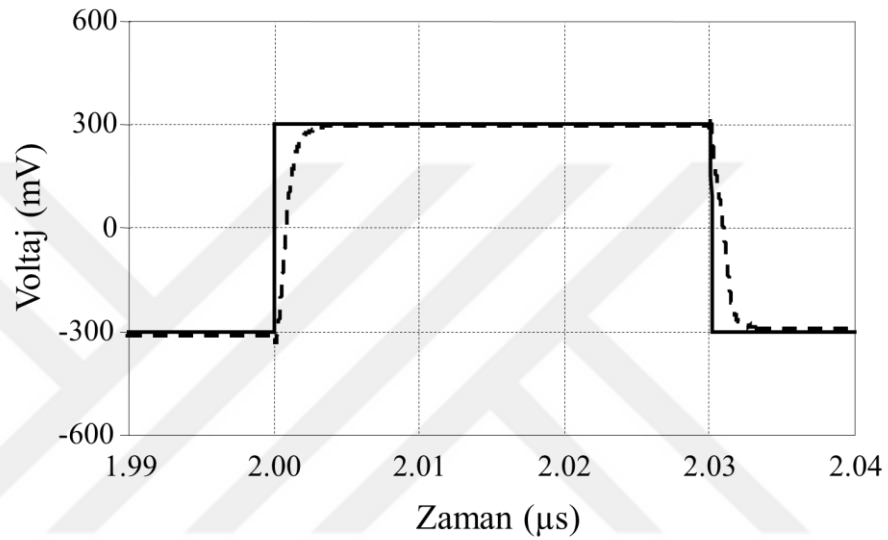


Şekil 2.4. Tasarlanan OTA'nın g_m - frekans eğrisi

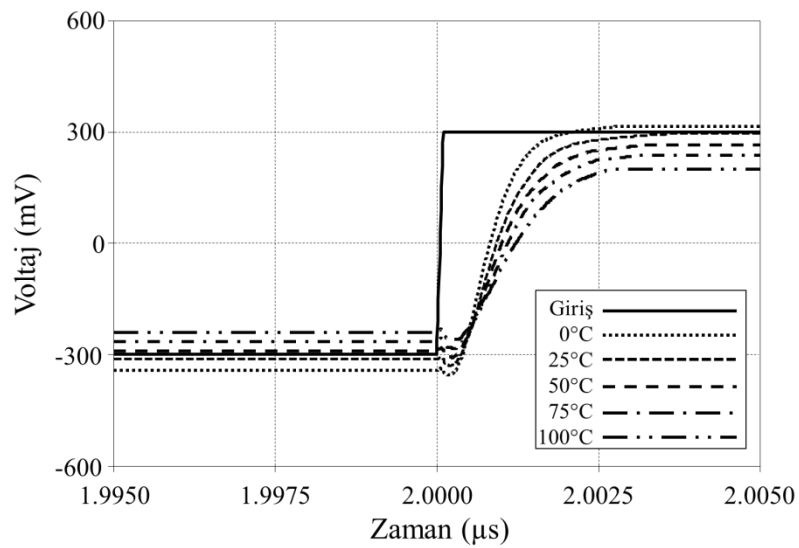


Şekil 2.5. Tasarlanan OTA için birim voltaj kazancı - frekans eğrisi

Tasarlanan OTA'nın $21\text{ K}\Omega$ yük direnci bağlanmasıyla oluşan birim voltaj kazançlı durum için darbe cevabı Şekil 2.6'da gösterilmektedir. Pozitif ve negatif değişim hızı değerleri sırasıyla $223\text{ V}/\mu\text{s}$ ve $162\text{ V}/\mu\text{s}$ olarak ölçülmüştür. Ayrıca farklı sıcaklık değerleri için tasarlanan yapının darbe cevabı performansları Şekil 2.7'de gösterilmiştir. Tasarlanan yapıya sıcaklık kompanzasyonu uygulanması faydalı olacağı görülmektedir.

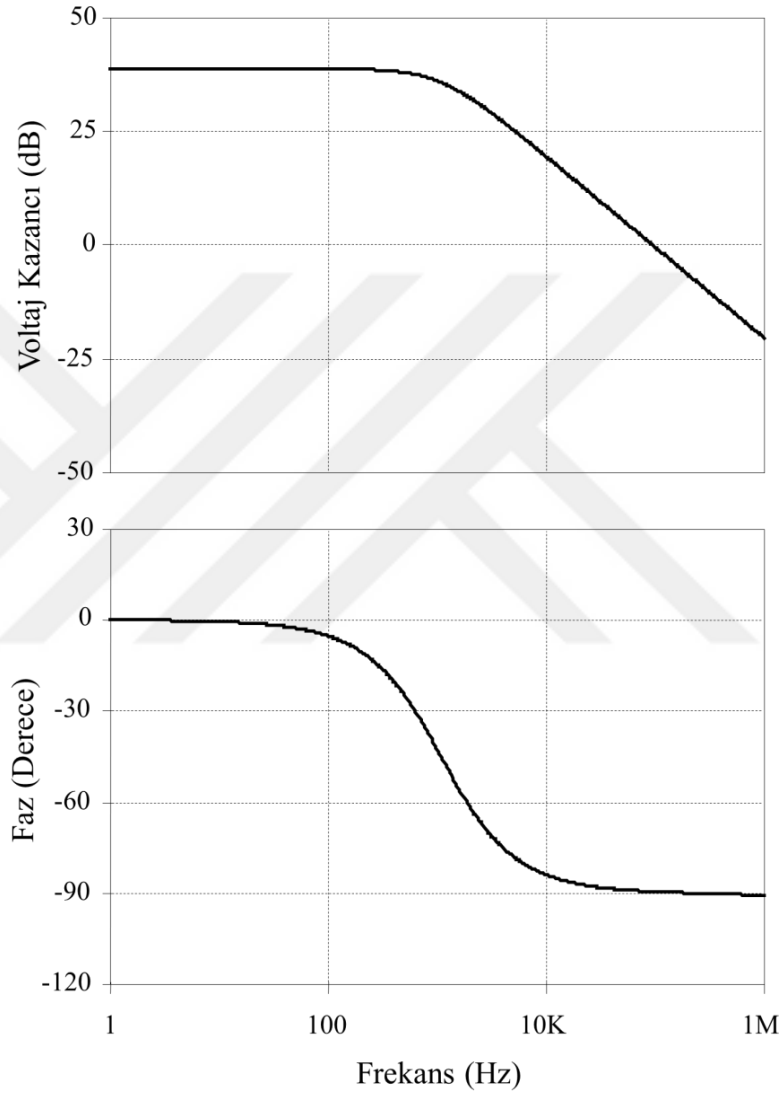


Şekil. 2.6. Tasarlanan OTA'nın darbe cevabı



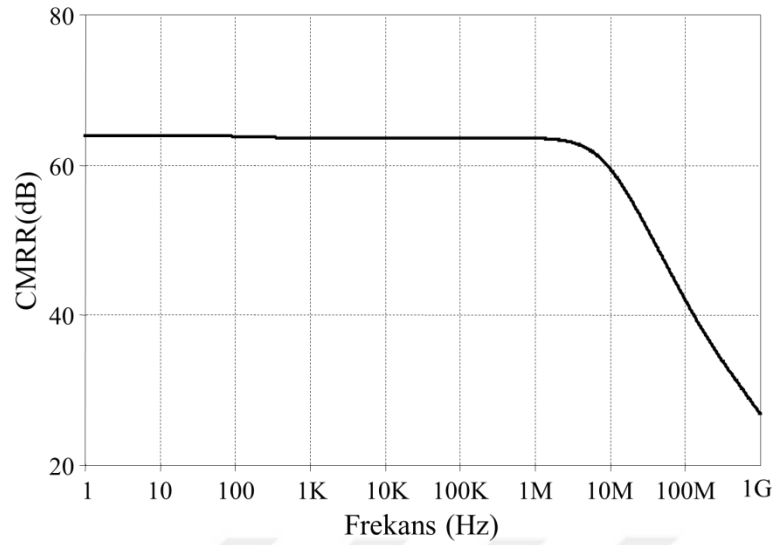
Şekil 2.7. Tasarlanan OTA'nın farklı sıcaklık değerleri için darbe cevabı

Şekil 2.8 tasarlanan yapının 80 pF kapasitif yük için frekans cevabını göstermektedir. Yapının faz aralığı (marjini) 89.44° olarak hesaplanmıştır. Bu değerin 90° 'ye yakın olduğu göz önünde bulundurulursa tasarlanan yapının oldukça kararlı çalıştığı söylenebilir [122].



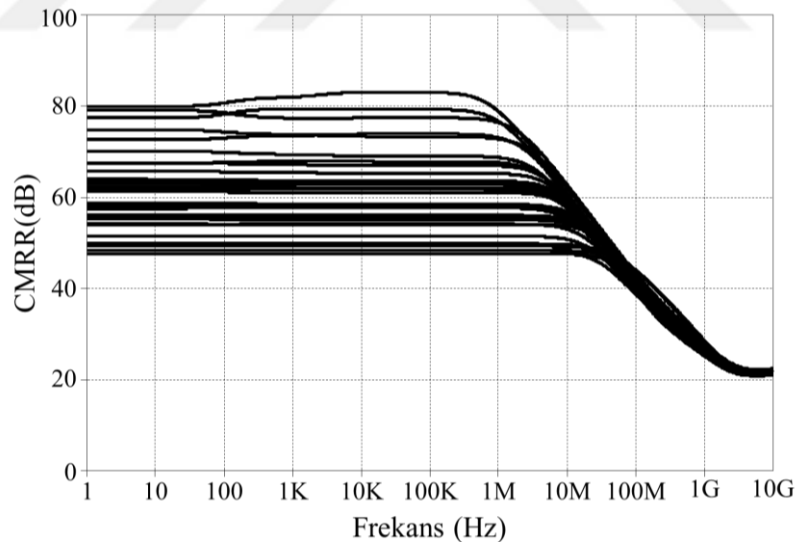
Şekil 2.8. Tasarlanan OTA'nın 80 pF yük için frekans cevabı

Tasarlanan OTA'nın CMRR değerinin frekansla değişim grafiğinin verildiği Şekil 2.9'dan CMRR değerinin 1 MHz'e kadar 64 dB seviyesinde olduğu, 10 MHz'de ise 60 dB seviyesinin üstünde olduğu görülmektedir. Literatürdeki diğer yapıların CMRR performansları incelendiğinde 10 KHz seviyesinden sonra ani bir düşüş göstermektedirler [90,118]. Bu sebeple 10 MHz'e kadar olan frekans bandında tasarlanan yapının CMRR performansı oldukça iyidir.



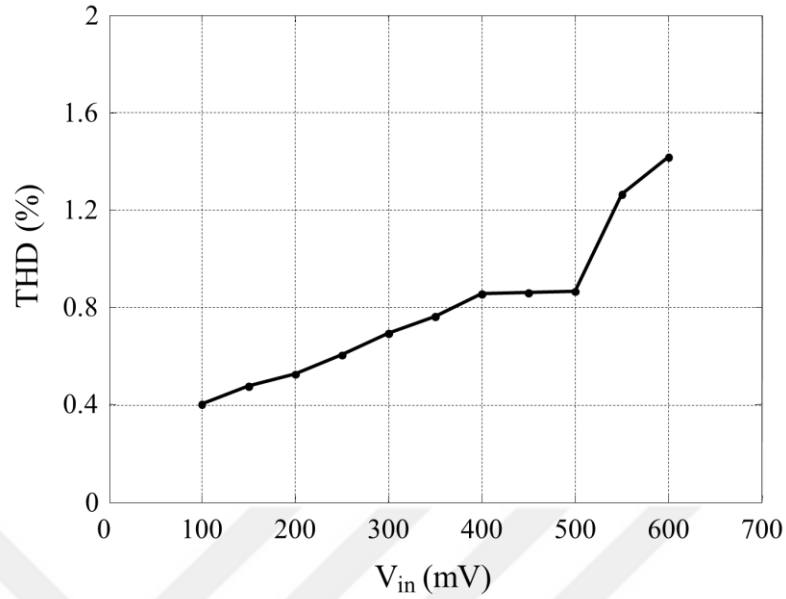
Şekil 2.9. Tasarlanan OTA'nın CMRR-frekans eğrisi

Şekil 2.10, kullanılan 0.18 μm teknoloji parametrelerindeki eşik geriliminde meydana gelebilecek maksimum %5'lik değişim için CMRR-frekans analizinin 35 kez tekrarlanması sonucu elde edilen Monte Carlo analizini göstermektedir. Eşik gerilimindeki bu değişimlere karşın önerilen yapı iyi bir performans göstermektedir.



Şekil 2.10. Tasarlanan OTA'nın CMRR değeri için Monte Carlo benzetimi

Şekil 2.11, tasarlanan yapı için toplam harmonik distorsiyonun (THD) giriş geriliminin değerine göre değişimini göstermektedir. Giriş gerilimi 600 mV_{P-P} iken, THD değeri %1.42 seviyesindedir. Ayrıca benzetim sonuçları, tasarlanan OTA'nın sadece 83 μW güç harcadığını göstermektedir. Bu nedenle tasarlanan OTA'nın düşük gerilim düşük güç tasarımları için uygun olduğu düşünülmektedir.



Şekil 2.11. Tasarlanan OTA’da 100 KHz’lik giriş frekansı için THD değerleri

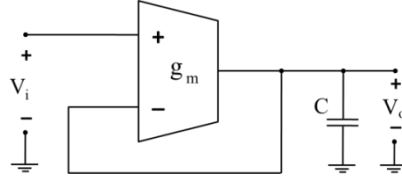
Tasarlanan OTA yapısının ve literatürdeki diğer OTA yapılarının performans parametrelerinin verildiği Tablo 2.2’den tasarlanan yapının diğer yapılardan daha az güç tükettiği ve daha düşük besleme gerilimleri ile çalışabildiği görülmektedir. Ayrıca, pozitif ve negatif değişim hızı değerleri de diğer yapılardan daha yüksektir. Tasarlanan OTA’nın bant genişliği ve THD performansı bazı diğer yapılardan daha kötü olmasına rağmen kabul edilebilir düzeydedir. Ayrıca, tasarlanan yapının CMRR değeri 10 MHz’e kadar 60 dB’nin üzerindedir. Tablo 2.2’de tasarlanan yapının CMRR değerinin diğer yapılardan daha düşük olduğu görülsede, tasarlanan yapı 100 KHz’in üstünde diğer yapılardan daha iyi bir CMRR performansı sergilemektedir.

Tablo 2.2. Tasarlanan OTA yapısının performans parametreleri bakımından literatürdeki farklı OTA yapılarıyla karşılaştırılması

	Tasarlanan OTA (Ref. [93])	Ref [89]	Ref [115]	Ref [116]	Ref [117]	Ref [90]
MOS teknolojisi	0.18 μm	0.5 μm	0.5 μm	0.35 μm	0.13 μm	0.18 μm
Besleme voltajı	$\pm 0.5\text{ V}$	$\pm 1\text{ V}$	$\pm 1\text{ V}$	3.3 V	$\pm 0.65\text{ V}$	$\pm 0.75\text{ V}$
Güç tüketimi	83 μW	140 μW	220 μW	4800 μW	1200 μW	397.5 μW
Bant genişliği	80 MHz	470 MHz	3.27 MHz	90 MHz	Belirtilmemiş.	3.72 MHz
Değişim hızı (+)	223 V/ μs	42 V/ μs	10 V/ μs	200 V/ μs	24.3 V/ μs	5.6 V/ μs
Değişim hızı (-)	-162 V/ μs	-80 V/ μs	-15 V/ μs	Belirtilmemiş.	Belirtilmemiş.	-4 V/ μs
CMRR	64 dB	69 dB	85 dB	Belirtilmemiş.	Belirtilmemiş.	259 dB
THD	-37 dB (0.4 V _{pp} , 100 KHz)	-41 dB (0.9 V _{pp} , 100 KHz)	-37 dB (0.9 V _{pp} , 100 KHz)	-59 dB (0.4 V _{pp} , 700 KHz)	-84 dB	Belirtilmemiş.
Kapasitif yük	80 pF	80 pF	80 pF	13 pF	1 pF	17 pF
Faz aralığı	89.44°	90°	56°	61°	45°	70°

2.3. OTA Tabanlı Birinci Dereceden Alçak Geçiren Süzgeç Uygulaması

Tasarlanan OTA'nın fonksiyonelliğini göstermek için, temel bir OTA tabanlı birinci dereceden alçak geçiren süzgeç tasarlanmıştır. Bu süzgeç yapısı Şekil 2.12'de gösterilmektedir.



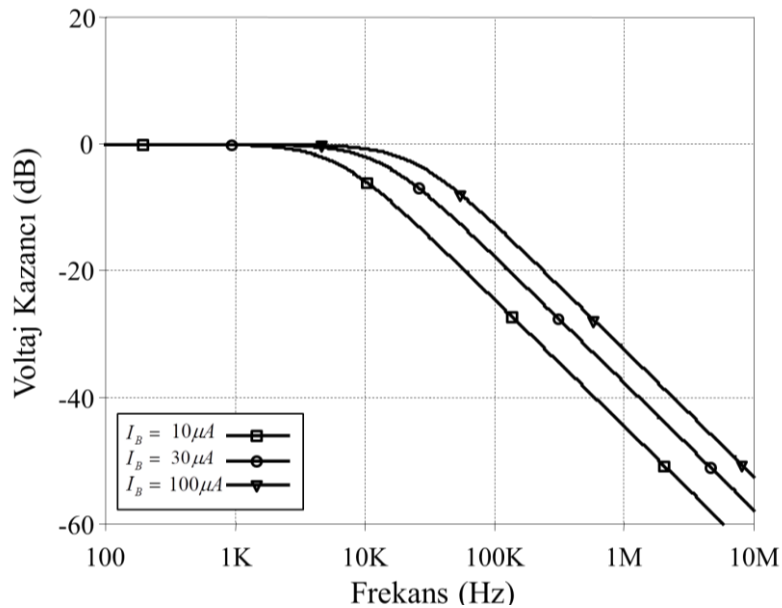
Şekil 2.12. OTA tabanlı birinci dereceden alçak geçiren süzgeç

Süzgecin transfer fonksiyonu ve kesim frekansı aşağıdaki gibidir.

$$T(s) = \frac{(g_m/C)}{s + (g_m/C)} \quad (2.7)$$

$$\omega_c = \frac{g_m}{C} \quad (2.8)$$

Süzgeç yapısının farklı kutuplama akımları için benzetimi yapılmıştır. Benzetim sırasında kapasitör değeri 0.5 nF olarak seçilmiştir. Şekil 2.13'te verilen süzgecin voltaj kazancı-frekans eğrisinden kutuplama akımı ile OTA'nın g_m değerinin, dolayısıyla da süzgecin kesim frekansının kontrol edilebildiği görülmektedir.



Şekil 2.13. OTA tabanlı alçak geçiren süzgecin gerilim kazancı - frekans eğrisi

2.4. Sonuçlar

Bu bölümde, seviye kaydıran akım aynası temelli yeni bir düşük güç düşük voltaj OTA yapısı tasarlanmıştır. Daha sonra bu OTA yapısının fonksiyonelliğini göstermek için OTA tabanlı birinci dereceden alçak geçiren süzgeç yapısı oluşturulmuştur. Tasarlanan OTA'nın ve alçak geçiren süzgecin benzetimleri 0.18 μm CMOS teknoloji parametreleriyle SPICE kullanılarak yapılmıştır. Benzetim sonuçları teorik yaklaşımları doğrulamıştır. Ayrıca tasarlanan yapı literatürdeki diğer OTA yapıları ile karşılaştırılmış ve tasarlanan yapının sağladığı avantajlar ve dezavantajlar belirlenmiştir. Tasarlanan OTA'nın en önemli avantajları ± 0.5 V gibi diğer yapılara göre daha düşük besleme gerilimleri ile çalışabilmesi ve 83 μW 'lık güç tüketiminin diğer yapılardan daha düşük olmasıdır. Ayrıca pozitif ve negatif değişim hızları diğer yapılardan daha yüksektir. Tasarlanan yapının bant genişliği ve THD performansları ise literatürdeki bazı yapılardan daha düşük olmasına rağmen kabul edilebilir seviyededir.

3. BÖLÜM

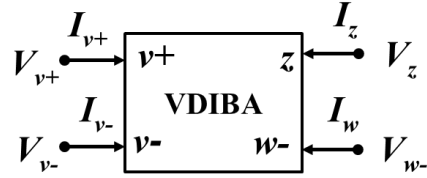
YENİ BİR DÜŞÜK GERİLİM VDIBA TASARIMI

Çeşitli analog işaret işleme uygulamalarının tasarımında kullanılan, fark giriş işaretlerini kullanan çok sayıda yeni aktif elaman bulunmaktadır. Bu yapılar giriş akımlarının farkını işleyen ve giriş voltajlarının farkını işleyen olmak üzere iki grupta sınıflandırılabilirler. CDBA ve CDTA fark giriş akımlarını kullanırken, VDTA, VDCC ve VDBA fark giriş gerilimini kullanmaktadır [2,94,109,112,123–126]. Son yıllarda önerilmiş ve popülerliğini artıran bir başka fark giriş voltajı kullanan devre yapısı ise VDIBA (Voltage Differencing Inverting Buffered Amplifier)'dır [95]. Bu devre yapısı iki kattan oluşmaktadır. Bunlardan birinci OTA katı, diğeri ise eviren tampon kuvvetlendirici (IBA, Inverting Buffered Amplifier) katıdır. Yani devre hem akım çıkış terminaline hem de voltaj çıkış terminaline sahiptir. Literatürde tanıtılmış çeşitli VDIBA/VDBA yapıları bulunmaktadır [96–99]. Ancak, bu yapılar düşük voltaj düşük güç uygulamaları için uygun değildir.

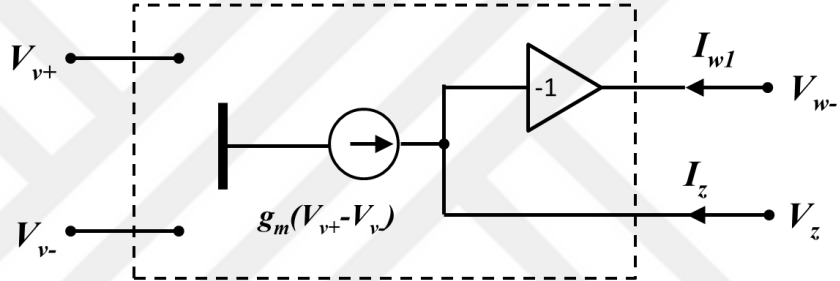
Bu bölümde, yeni bir düşük voltaj VDIBA yapısı tasarlanmıştır. Tasarlanan bu yapı aktif yük olarak seviye kaydıran PMOS akım aynası kullanarak daha düşük besleme gerilimleri ile çalışmaktadır [14]. Lineerliği artırmak için ise gövdeden sürülen kısmi yüzen geçit (BD-QFG) tekniği ve kaynak dejenerasyonu (source degeneration) tekniği kullanılmıştır [127–130]. Ayrıca tasarlanan yapının fonksiyonelliğini gösterebilmek için akım kontrollü bir evrensel süzgeç yapısı tasarlanmıştır. Daha sonra tasarlanan VDIBA yapısının benzetimi 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak yapılmıştır. Tasarlanan yapı ± 0.4 V besleme gerilimi ile çalışmaktadır ve güç tüketimi 569 μW kadardır. Ayrıca tasarlanan yapı iyi bir frekans performansına ve lineerliğe sahiptir.

3.1. Tasarlanan VDIBA Yapısı

Şekil 3.1’de VDIBA’nın şematik sembolü ve eşdeğer devresi gösterilmektedir. Şekilde görüldüğü gibi VDIBA yapısı iki voltaj girişine bir akım ve bir voltaj çıkışına sahiptir.



(a)



(b)

Şekil 3.1. (a) VDIBA’nın şematik sembolü, (b) VDIBA’nın eşdeğer modeli

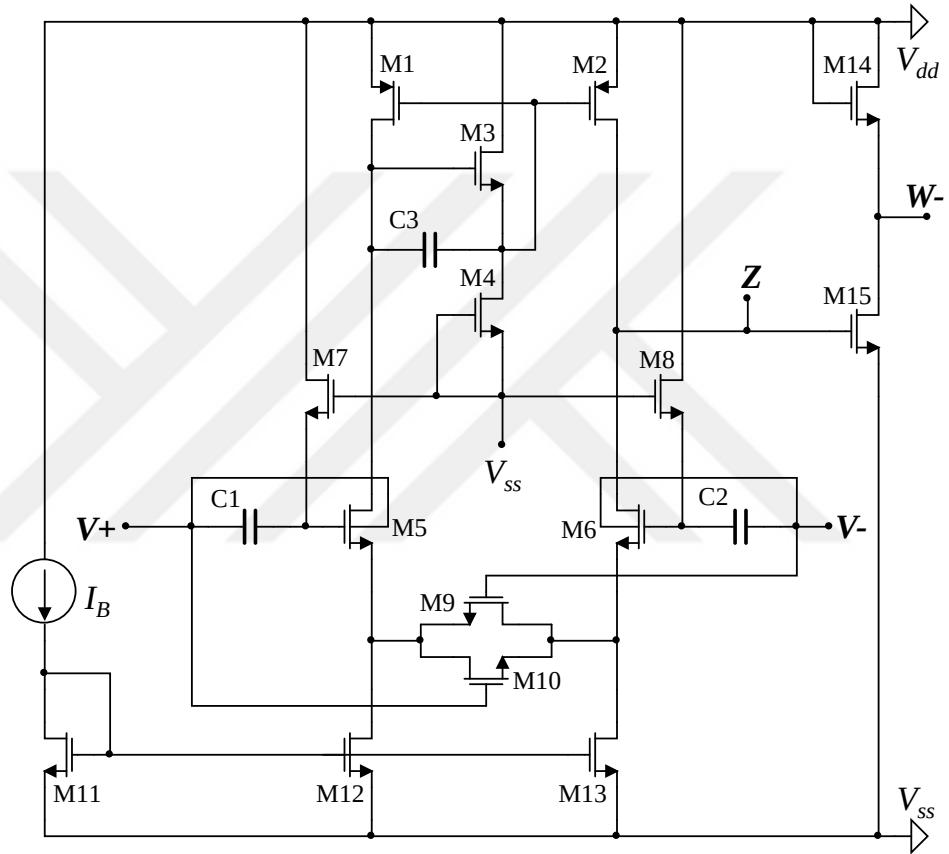
VDIBA yapısına ait tanım bağıntıları Denklem (3.1)’de verilmiştir.

$$\begin{bmatrix} I_{v+} \\ I_{v-} \\ I_z \\ V_{w-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & -\beta & 0 \end{bmatrix} \begin{bmatrix} V_{v+} \\ V_{v-} \\ V_z \\ I_{w-} \end{bmatrix} \quad (3.1)$$

Burada $-\beta$ ve g_m sırasıyla VDIBA’nın voltaj transfer kazancı ve geçiş iletkenliği değeridir. İdeal bir VDIBA için β değeri 1’e eşittir.

Tasarlanan VDIBA tasarımı Şekil 3.2’de gösterilmektedir. Düşük besleme voltajlarıyla çalışmayı sağlamak için M1, M2 ve M3 transistörleri kullanılarak bir seviye kaydıran PMOS akım aynası oluşturulmuştur [14,131]. C3 kapasitörü ise bu akım aynasının frekans performansını artırmak için kullanılmıştır. Ayrıca M11, M12 ve M13 transistörleriyle de temel bir akım aynası oluşturulmuştur. M5 ve M6

transistörleri ise BD-QFG transistörler olarak kullanılmıştır. C1 ve C2 kapasitörleri BD-QFG transistörlerin giriş kapasitörlerini temsil etmektedir. M7 ve M8 transistörleri ise BD-QFG tekniğinde kullanılan yüksek değerli dirençler yerine kullanılmıştır [127]. M9 ve M10 transistörleri ise devrenin geçiş iletkenliği değerinin lineerliğini artırmak için kaynak dejenerasyonu için kullanılmıştır [128–130]. Tasarlanan yapının IBA katı ise M14 ve M15 transistörleriyle oluşturulmuştur.



Şekil 3.2. Tasarlanan VDIBA yapısı

Bir MOS transistörün g_m değeri

$$g_m = k_n (V_{GS} - V_{TH}) \quad (3.2)$$

şeklinde yazılabilir. Burada NMOS transistörün k_n geçiş iletkenliği parametresi, V_{GS} ve V_{TH} ise sırasıyla MOS'un geçidiyle kaynağı arasındaki fark voltajı ve eşik voltajıdır. Ayrıca N tipi bir BD-QFG transistörün geçiş iletkenliği değeri ise

$$g_{mBD-QFG} = k_n \cdot \left[(C_{in}/C_T) + (C_{BC}/C_{GC}) \right] \cdot (V_{GS} - V_{TH}) \quad (3.3)$$

şeklinde yazılabilir. Burada C_{BC} ve C_{GC} sırasıyla toplam gövde-kanal kapasitesi ve toplam geçit-kanal kapasitesidir. Ayrıca, C_{in} ve C_T sırasıyla kısmi-yüzen geçit ile QFG-MOS transistörün giriş terminali arasındaki giriş kapasitesi ve toplam giriş kapasitesidir [35]. Buna göre BD-QFG transistörün geçiş iletkenliği parametresi

$$k_{nBD-QFG} = k_n \cdot \left[(C_{in}/C_T) + (C_{BC}/C_{GC}) \right]. \quad (3.4)$$

şeklinde yazılabilir.

Şekil 3.2’de M5, M7 ve M9 transistörlerinin sırasıyla M6, M8 ve M10 transistörleriyle özdeş oldukları kabul edilirse, formülasyonu kolaylaştırmak için aşağıdaki şekilde bir b parametresi tanımlanabilir.

$$b = \left(4 \cdot k_{n9} + k_{nBD-QFG} \right) / \left(4 \cdot k_{n9} \cdot k_{nBD-QFG} \right) \quad (3.5)$$

Burada k_{n9} , özdeş M9 ve M10 transistörlerine ait geçiş iletkenliği parametresidir. $k_{nBD-QFG}$ ise fark çifti olarak kullanılan, M5, M6, C1 ve C2 elemanlarıyla oluşturulmuş özdeş BDQFG transistörlere ait geçiş iletkenliği parametresidir. Denklem (3.2)-(3.5) göz önünde bulundurulursa; VDIBA’nın Z terminalinden akacak olan akım;

$$I_Z = \left[(I_B \cdot V_{in}) / (b \cdot g_m) \right] \cdot \sqrt{1 - \left[V_{in} / (2 \cdot b \cdot g_m) \right]^2} \quad (3.6)$$

şeklinde ifade edilir. Burada I_B kutuplama akımı V_{in} ise VDIBA’nın $v+$ ve $v-$ terminalleri arasındaki fark giriş voltajlarının farkıdır [128–130].

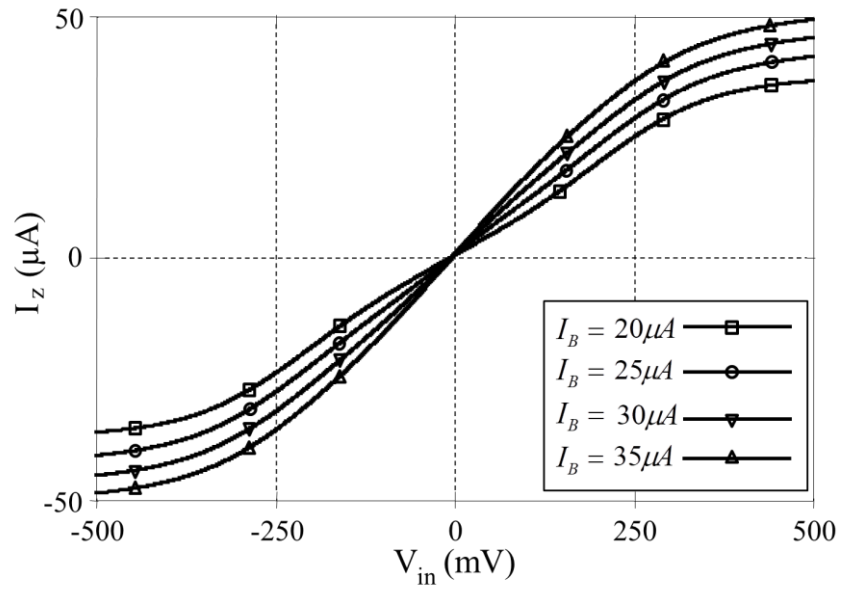
3.2. Benzetim Sonuçları

Tasarlanan VDIBA yapısının benzetimi 0.18 μm TSMC CMOS teknoloji parametreleriyle SPICE benzetim programı kullanılarak yapılmıştır. Benzetimlerde besleme gerilimleri ± 0.4 V olarak seçilmiştir. Şekil 3.2’te görülen C1 ve C2 kapasitörleri 5 pF, C3 kapasitörü ise 1pF olarak seçilmiştir. Tasarlanan VDIBA yapısında kullanılan transistörlerin kanal boyutları Tablo 3.1’de verilmiştir.

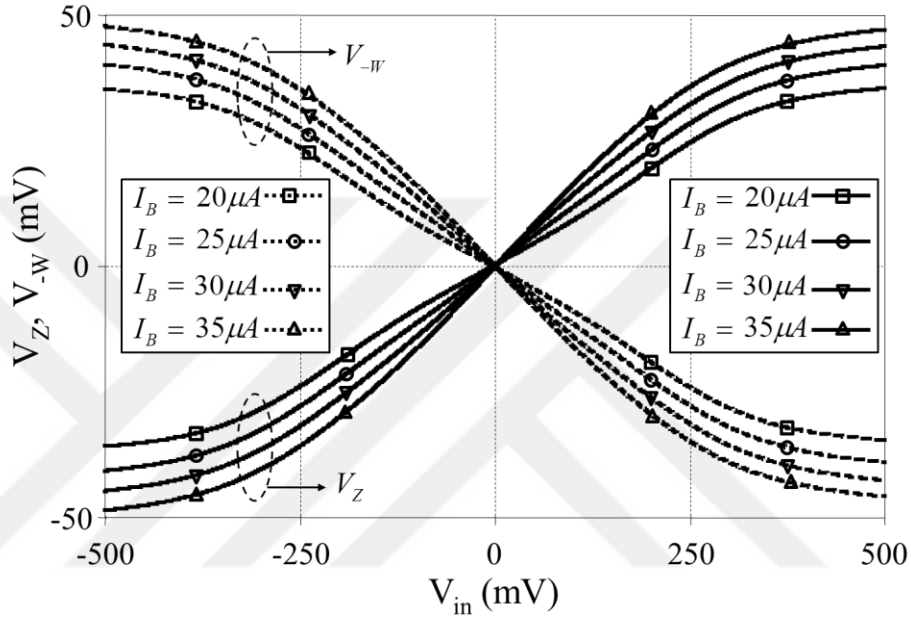
Tablo 3.1. Tasarlanan VDIBA yapısındaki transistörlerin kanal boyutları

Transistor	L (μm)	W (μm)
M1, M2	0.2	15
M3	2	100
M4	2	30
M5, M6	5	14
M7, M8	3	6
M9, M10	5	4
M11-M13	1	18
M14, M15	0.5	60

Şekil 3.3 tasarlanan VDIBA yapısı için I_Z akımının V_{in} fark giriş gerilimiyle değişimini göstermektedir. Bu şekilden önerilen yapının g_m değeri için doğrusal çalışma bölgesinin ± 0.3 V civarında olduğu ve geçiş iletkenliğinin I_B kutuplama akımı ile ayarlanabildiği görülmektedir.

Şekil 3.3. Tasarlanan VDIBA'nın I_{out} - V_{in} transfer eğrileri

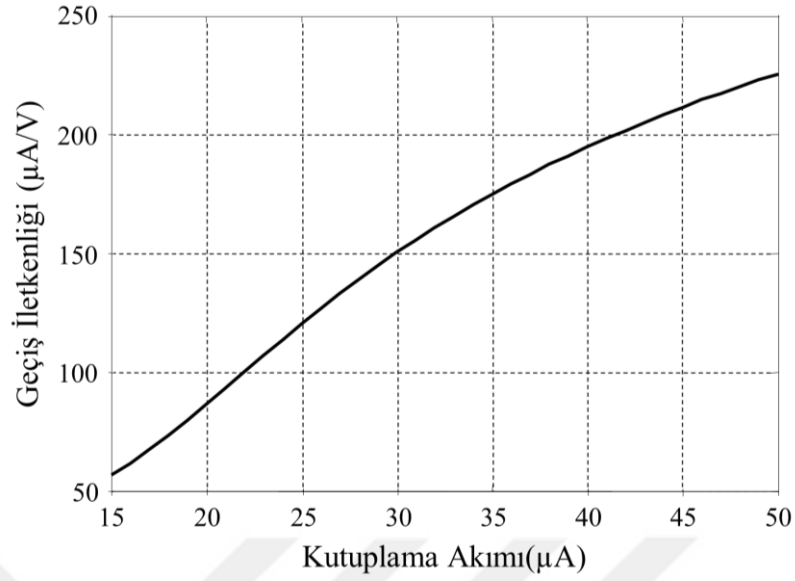
Tasarlanan VDIBA yapısı için V_{in} giriş gerilimine karşılık V_{w-} ve V_z gerilimlerinin değişiminin verildiği Şekil 3.4'den, dikkate değer bir bozulma (distorsiyon) meydana getirmeyecek maksimum giriş gerilim değerinin yaklaşık olarak ± 300 mV seviyesinde olduğu görülmektedir. Ayrıca giriş dengesizlik (offset) gerilimi $646 \mu V$ olarak elde edilmiştir.



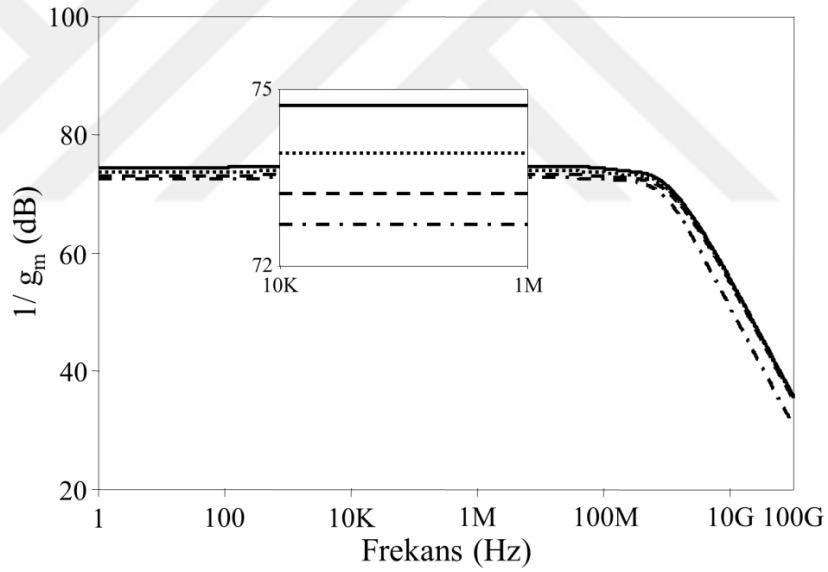
Şekil 3.4. Tasarlanan VDIBA'nın farklı kutuplama akımları için V_{in} giriş gerilimine karşın V_{w-} and V_z gerilimlerinin değişimi

Şekil 3.5, g_m geçiş iletkenliği değerinin I_B kutuplama akımıyla değişimini göstermektedir. I_B kutuplama akımı $15 \mu A$ - $50 \mu A$ aralığında değiştirildiğinde g_m geçiş iletkenliği değerinin $57 \mu S$ ile $223 \mu S$ aralığında ayarlanabilmektedir.

Tasarlanan yapının farklı sıcaklık değerleri için frekans davranışının verildiği Şekil 3.6'den sıcaklığın $0^\circ C$ 'den $75^\circ C$ 'ye kadar artırılmasıyla g_m değerinin -72.55 dBs'ten -74.76 dBs'e düştüğü görülmektedir. Bu durum kabul edilebilir olarak değerlendirilebilir.

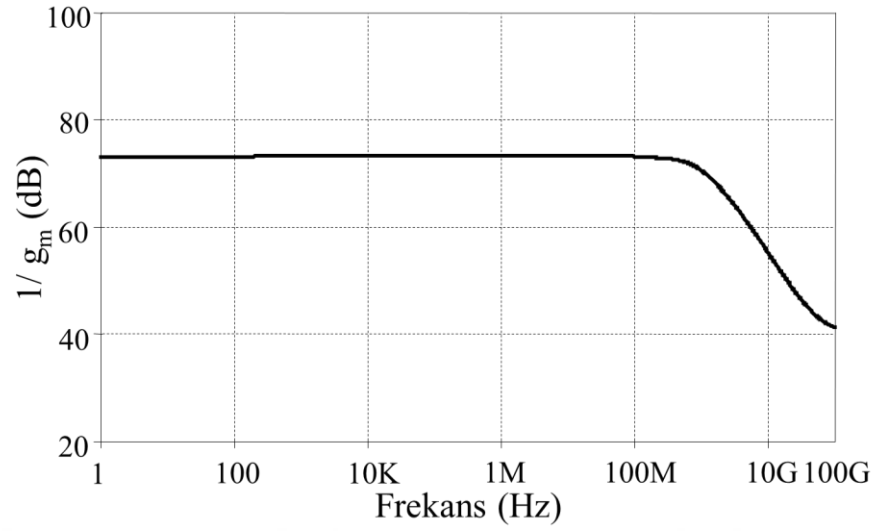


Şekil 3.5. Tasarlanan VDIBA'nın g_m değerinin I_B kutuplama akımıyla değişimi

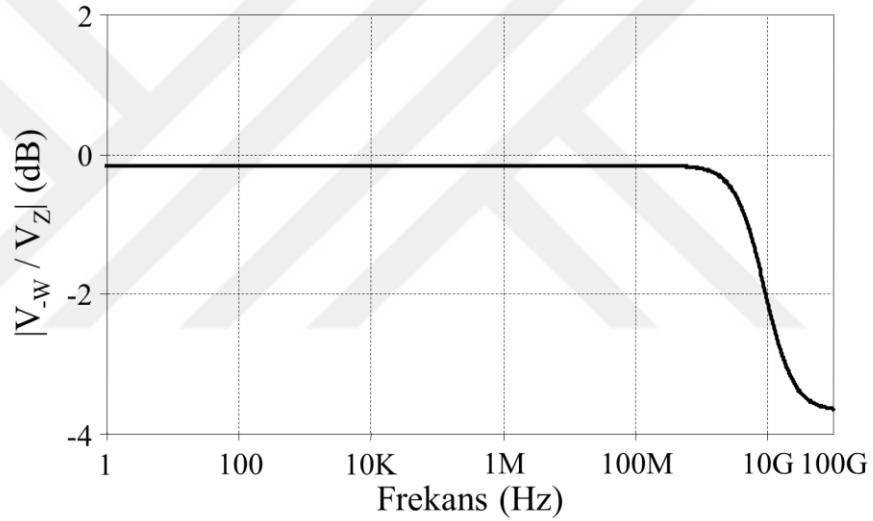


Şekil 3.6. Tasarlanan VDIBA'nın farklı sıcaklık değerleri için frekans cevabı

Şekil 3.7, tasarlanan VDIBA yapısının frekans performansını göstermektedir. Şekil 3.7 (a) ve (b)'den sırası ile OTA ve IBA katlarının -3 dB kesim frekanslarının sırasıyla 1.12 GHz ve 23.58 GHz seviyesinde olduğu görülmektedir. Bu değerler ışığında tasarlanan yapının bant genişliği, OTA katının bant genişliği dikkate alınarak 1.12 GHz olarak elde edilmektedir. Literatürdeki diğer yapılar göz önünde bulundurulduğunda bu bant genişliği değerinin oldukça iyi olduğu anlaşılmaktadır.



(a)



(b)

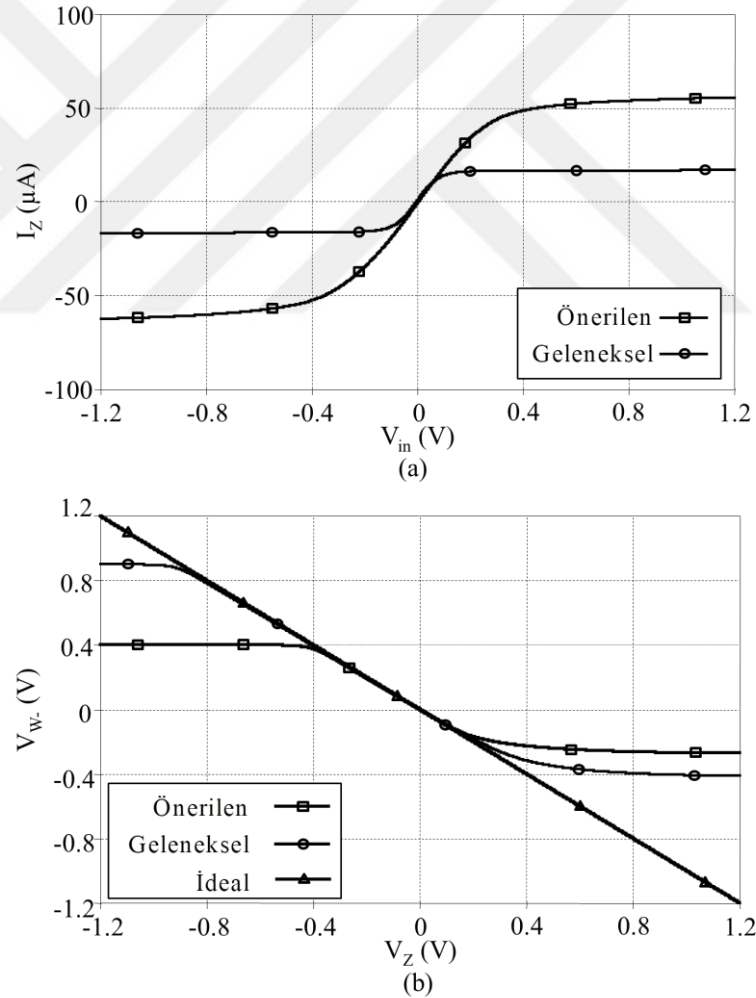
Şekil 3.7. Tasarlanan VDIBA yapısının (a) OTA katının, (b) IBA katının frekans cevapları

Tasarlanan VDIBA yapısının ve literatürdeki diğer VDIBA yapılarının performans parametreleri Tablo 3.2’de verilmiştir. Tasarlanan yapı ± 0.4 V besleme gerilimi ile çalışabilmekte ve $569 \mu W$ güç harcamaktadır. Tasarlanan VDIBA yapısının en düşük besleme gerilimiyle çalıştığı ve en az miktarda güç tükettiği görülmektedir. Tasarlanan yapının bant genişliği ve lineer çalışma sahası diğer yapılardan daha geniştir. IBA katının kazancı dikkate alınır ise tasarlanan VDIBA yapısı iyi bir performans göstermektedir. Bunun yanı sıra yüksek empedansa sahip olması gereken Z terminalinin empedansı ve düşük empedansa sahip olması gereken W- terminalinin empedansı göz önünde bulundurulduğunda diğer yapıların daha iyi performansa sahip olduğu söylenebilir.

Tablo 3.2. Tasarlanan VDIBA yapısının performans parametreleri bakımından literatürdeki VDIBA'larla karşılaştırılması

	Tasarlanan VDIBA (Ref. [100])	Ref [95]	Ref [98]
CMOS teknolojisi	0.18 μ m	0.18 μ m	0.18 μ m
Transistör sayısı	13 MOS + 2 FGMOS	6 MOS	5 MOS + 1 FGMOS
Besleme gerilimi	± 0.4 V	± 0.9 V	± 0.75 V
Güç tüketimi	569 μ W	10.5 mW	1.5 mW
OTA katının lineer çalışma aralığı	± 300 mV	± 200 mV	± 250 mV
OTA katı için Giriş gerilimi / Besleme gerilimi	%75	%22	%33
IBA katının lineer çalışma aralığı	-400 mV $\sim$ +160 mV	-900 mV $\sim$ +500 mV	Belirtilmemiş.
IBA katı için Giriş gerilimi / Besleme gerilimi	%70	%77	Belirtilmemiş.
Bant genişliği	1.124 GHz	226 MHz	220 MHz
IBA katının kazancı	-0.981	-0.922	-0.985
Geçiş iletkenliği (g_m)	223 μ S (@ $I_B = 50 \mu$ A)	600 μ S (@ $I_B = 100 \mu$ A)	582 μ S (@ $I_B = 100 \mu$ A)
Giriş terminal dirençleri (R_{in})	51.57 M Ω (@ $I_B = 50 \mu$ A)	Belirtilmemiş.	Belirtilmemiş.
Z terminalindeki çıkış direnci (R_Z)	22.3 K Ω (@ $I_B = 50 \mu$ A)	131.93 K Ω (@ $I_B = 100 \mu$ A)	132.4 K Ω (@ $I_B = 100 \mu$ A)
W- terminalindeki çıkış direnci (R_W)	111 Ω (@ $I_B = 50 \mu$ A)	42.36 Ω (@ $I_B = 100 \mu$ A)	Belirtilmemiş.
Giriş dengesizlik gerilimi	646 μ V	Belirtilmemiş.	Belirtilmemiş.

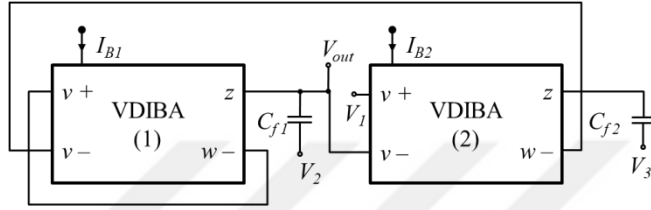
Şekil 3.8 (a)'da sırasıyla ± 0.4 V ve ± 0.9 V ile beslenmiş tasarlanan yapıya ve geleneksel VDIBA yapısına ait I - V eğrileri aynı g_m değeri için verilmiştir. Bu şekilden tasarlanan yapının ve [95]'de önerilen geleneksel VDIBA'nın lineer çalışma sahasının sırasıyla ± 0.3 V ve ± 0.2 V seviyesinde olduğu görülmektedir. Şekil 3.8 (b)'de ise tasarlanan ve geleneksel VDIBA yapılarının sırasıyla ± 0.4 V ve ± 0.9 V besleme gerilimleriyle kutuplanmış olmaları durumunda giriş-çıkış gerilim eğrileri verilmektedir. Dinamik çalışma sahalarının besleme gerilimine oranı önerilen yapıda %70, geleneksel yapıda ise %77'dir. Bu özellikler dikkate alındığında tasarlanan VDIBA yapısının düşük gerilim düşük güç tasarımlar için oldukça uygun olduğu söylenebilir.



Şekil 3.8. Tasarlanan ve geleneksel VDIBA yapılarının (a) I_Z - V_{in} eğrileri, (b) V_W - V_Z eğrileri

3.3. VDIBA Tabanlı Akım Kontrollü Çok Girişli Tek Çıkışlı Evrensel Süzgeç Tasarımı

Önerilen VDIBA yapısı kullanılarak tasarlanan akım kontrollü çok girişli tek çıkışlı evrensel süzgeç yapısı Şekil 3.9'da gösterilmiştir. Çok girişli tek çıkışlı süzgeç yapısı; yüksek geçiren (YG), bant geçiren (BG) ve alçak geçiren (AG) süzgeç karakteristiklerini sergileyebilmek için 3 giriş terminaline sahiptir.



Şekil 3.9. VDIBA tabanlı akım kontrollü çok girişli tek çıkışlı evrensel süzgeç tasarımı

Tasarlanan süzgeç yapısı 2 VDIBA ve 2 kapasitörden oluşmaktadır ve çıkış fonksiyonu

$$V_{out} = \frac{s^2 V_2 + s \left(g_{m1} / C_{f1} \right) V_3 + \left((g_{m1} g_{m2}) / (C_{f1} C_{f2}) \right) V_1}{s^2 + s \left(g_{m1} / C_{f1} \right) + \left((g_{m1} g_{m2}) / (C_{f1} C_{f2}) \right)} \quad (3.7)$$

şeklinde yazılabilir. Burada g_{m1} ve g_{m2} VDIBA'ların geçiş iletkenliği değerleridir. Kutuplama akımlarının eşit olduğu farz edilirse VDIBA'ların geçiş iletkenlikleri $g_{m1} = g_{m2} = g_m$ şeklinde yazılabilir. Bu durumda, süzgecin kalite faktörü ve kesim frekansı

$$Q = \sqrt{C_{f1} / C_{f2}} \quad (3.8)$$

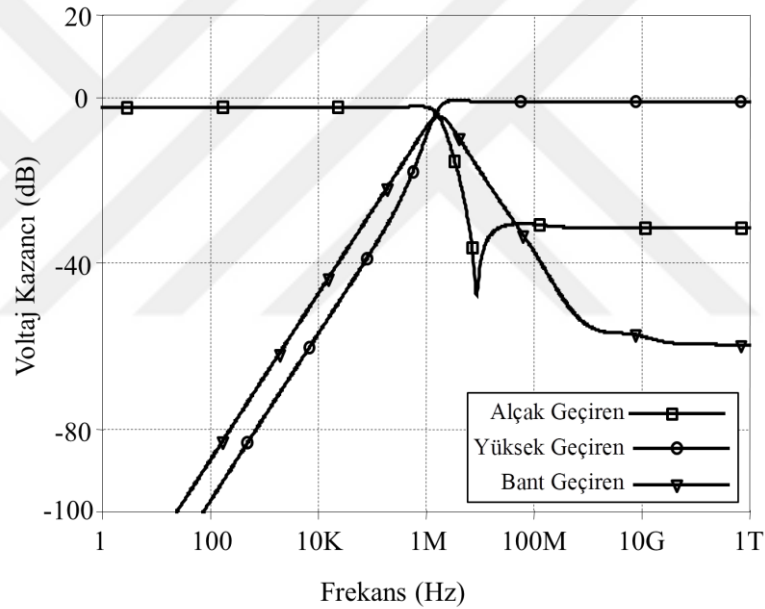
$$\omega_0 = g_m / \sqrt{C_{f1} \cdot C_{f2}} \quad (3.9)$$

şeklinde yazılabilir. Denklem (3.8) ve (3.9)'dan süzgeç yapısının kesim frekansının kalite faktöründen bağımsız olarak I_B kutuplama akımı ile kontrol edilebileceği açıkça görülmektedir. Tablo 3.3'te farklı süzgeç karakteristiklerinin sergilendiği giriş voltaj kombinasyonları verilmiştir.

Tablo 3.3. Farklı süzgeç karakteristikleri için giriş voltaj kombinasyonları

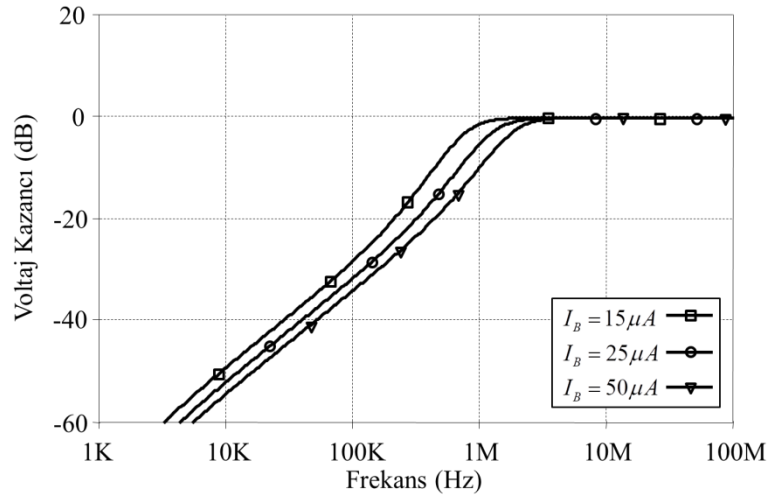
Süzgeç Türü	V_1	V_2	V_3
AG	V_{in}	0	0
YG	0	V_{in}	0
BG	0	0	V_{in}

Şekil 3.10’da tasarlanan süzgecin AG, BG ve YG konfigürasyonlarına ait frekans cevapları verilmiştir. Burada, C_{f1} ve C_{f2} kapasitörleri 5 pF olarak seçilmiştir. Ayrıca VDIBA’ların g_m değerleri 65 μ S olarak ayarlanmıştır.



Şekil 3.10. VDIBA tabanlı akım kontrollü evrensel süzgecin AG, YG ve BG konfigürasyonlarının frekans cevapları

Farklı kutuplama akımları için YG süzgeç konfigürasyonunun frekans cevabı Şekil 3.11’de gösterilmiştir. Burada, C_{f1} ve C_{f2} kapasitörleri 5 pF olarak seçilmiştir. Bu şekilden tasarlanan süzgeç yapısının kutuplama akımı ile elektronik olarak kontrol edilebildiği açıkça görülmektedir.



Şekil 3.11. VDIBA tabanlı akım kontrollü evrensel süzgeç için yüksek geçiren süzgeç konfigürasyonunun farklı kutuplama akımları için frekans cevabı

3.4. Sonuçlar

Bu bölümde, BD-QFG tekniği ve seviye kaydırıcı akım aynası kullanılarak yeni bir düşük voltaj düşük güç VDIBA yapısı tasarlanmıştır. Ayrıca önerilen yapının fonksiyonelliğini göstermek için akım kontrollü evrensel süzgeç tasarlanmıştır. Önerilen VDIBA'nın ve süzgecin benzetimleri 0.18 μm TSMC CMOS teknolojisi kullanılarak SPICE ile yapılmıştır. Benzetim sonuçları teorik yaklaşımları doğrulamıştır. Sonrasında tasarlanan VDIBA yapısı literatürdeki diğer yapılarla karşılaştırılmış ve sağladığı avantajlar ortaya konmuştur. Tasarlanan yapı ± 0.4 V besleme voltajı ile çalışabilmekte ve sadece 569 μW güç tüketmektedir. Ayrıca önerilen yapının bant genişliği 1.12 GHz seviyesinde olup lineer çalışma sahası ± 0.3 V civarındadır. Dolayısıyla tasarlanan yapı geniş frekans bandında çalışması istenilen uygulamalarda ve düşük gerilim düşük güç uygulamalarında kullanıma oldukça elverişlidir. Bunlara ek olarak tasarım hiçbir rezistif eleman içermemesi sayesinde tümdevre teknolojisine oldukça uygundur.

4. BÖLÜM

YENİ AKTİF ELEMAN TASARIMLARI VE UYGULAMALARI

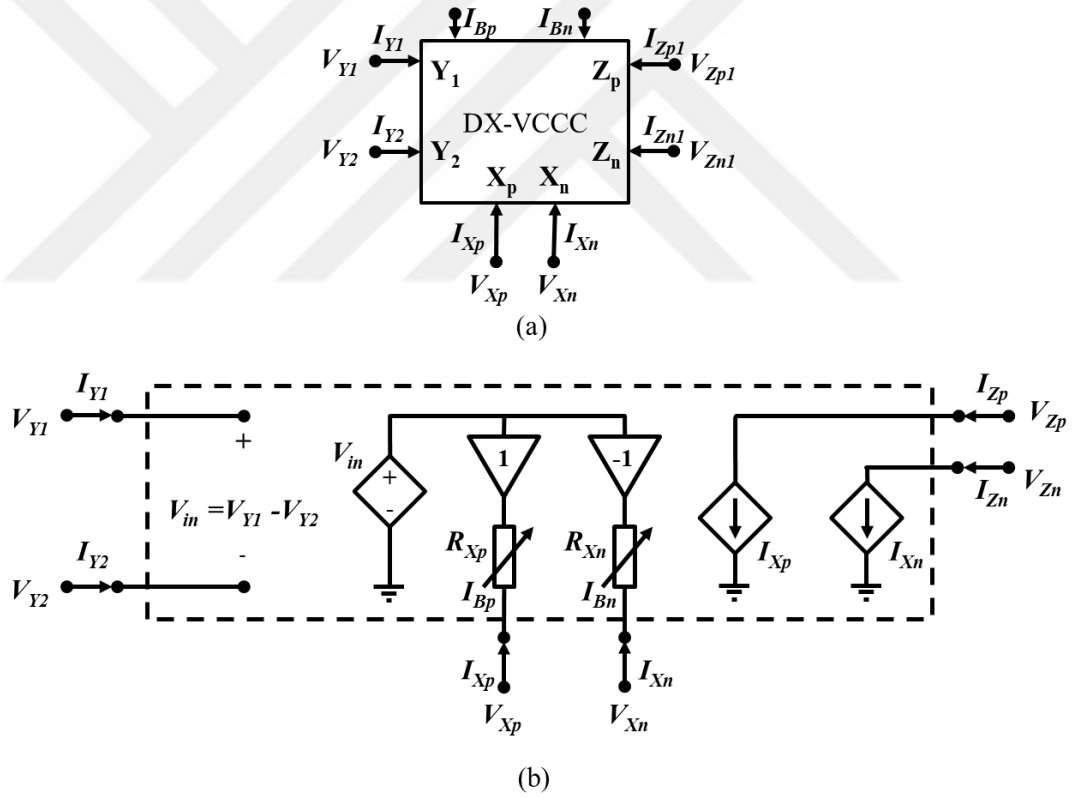
Bu bölümde düşük gerilim düşük güç analog işaret işleme uygulamalarında kullanılabilecek iki yeni aktif eleman yapısı önerilerek tasarlanmıştır.

4.1. Yeni Bir Aktif Eleman: DX-DVCCC

CCII yapısının daha fonksiyonel bir hali olan Çift-X ikinci kuşak akım taşıyıcı (DXCCII) yapısı Zeki ve Toker tarafından 2003 yılında önerilmiştir [77]. Bu yapı CCII ve eviren CCII (ICCI) [132] yapılarından meydana gelmektedir. Eviren ve evirmeyen X terminalleri sayesinde bu yapı ayarlanabilir süzgeç, voltaj modlu tam dalga doğrultucu indüktans simülatörü, voltaj çarpıcı, osilatör ve kapasitans çoklayıcı gibi analog işaret işleme uygulamalarının tasarımında yaygın olarak kullanılmaktadır [78–83,133,134]. DXCCII yapısı da CCII yapısı gibi elektronik olarak kontrol edilememektedir. Elektronik olarak kontrol edilebilen DXCCCII yapısı 2014 yılında önerilmiştir [9]. DXCCII ve DXCCCII yapıları fark giriş işaretleri için elverişli değildir. Fark gerilim girişlerine sahip olan DXDDCC ve DXDVCC yapıları ise 2004 ve 2015 yıllarında önerilmiştir [10,11]. Ancak bu yapılar da elektronik olarak kontrol edilememektedir. Bu çalışmada ise hem elektronik olarak ayarlanabilen hem de fark gerilim girişlerine sahip olan yeni bir DX-DVCCC yapısı tasarlanmıştır. Tasarlanan DX-DVCCC yapısında aktif yük olarak seviye kaydıran akım aynaları kullanılarak düşük besleme gerilimleri ile çalışma sağlanmıştır. Ayrıca FGMOS transistörler eşik altı çalışma bölgesinde kutuplanarak güç tüketimi azaltılmıştır. Teorik yaklaşımı doğrulamak için tasarlanan yapının 0.13 μm IBM CMOS teknoloji parametreleri kullanılarak benzetimi yapılmıştır. Ayrıca önerilen bu yeni aktif elemanın fonksiyonelliğini gösterebilmek için akım modlu tek girişli çok çıkışlı bir süzgeç yapısı ve bir akım kontrollü kuadratür osilatör yapısı tasarlanmıştır.

4.1.1. DX-DVCCC Yapısı

Yeni önerilen aktif elemanın sembolü ve eşdeğer devresi Şekil 4.1’de gösterilmektedir. Eğer daha fazla sayıda akım çıkışına ihtiyaç duyuluyorsa Z_p ve Z_n terminallerinin sayısı Z_{p1} , Z_{p2} , Z_{n1} ve Z_{n2} gibi artırılabilir. Önerilen yapı CCDVCC ve DXCCII yapılarının kavramsal olarak birleştirilmesiyle meydana gelmiştir. DX-DVCCC yapısında Y_1 ve Y_2 terminalleri yüksek empedanslı gerilim giriş terminalleri, Z_p ve Z_n terminalleri ise yüksek empedanslı akım çıkış terminalleridir. X_p ve X_n terminalleri ise değerler sırasıyla I_{Bp} ve I_{Bn} ile ayarlanabilen parazitik dirençlere sahiptir. Bu parazitik dirençler sayesinde X_p ve X_n terminallerindeki akım kontrol edilebilmektedir.



Şekil 4.1. DX-DVCCC yapısının a) devre sembolü b) eşdeğer devresi

DX-DVCCC'nin tanım bağıntıları Denklem (4.1)'de verilmiştir.

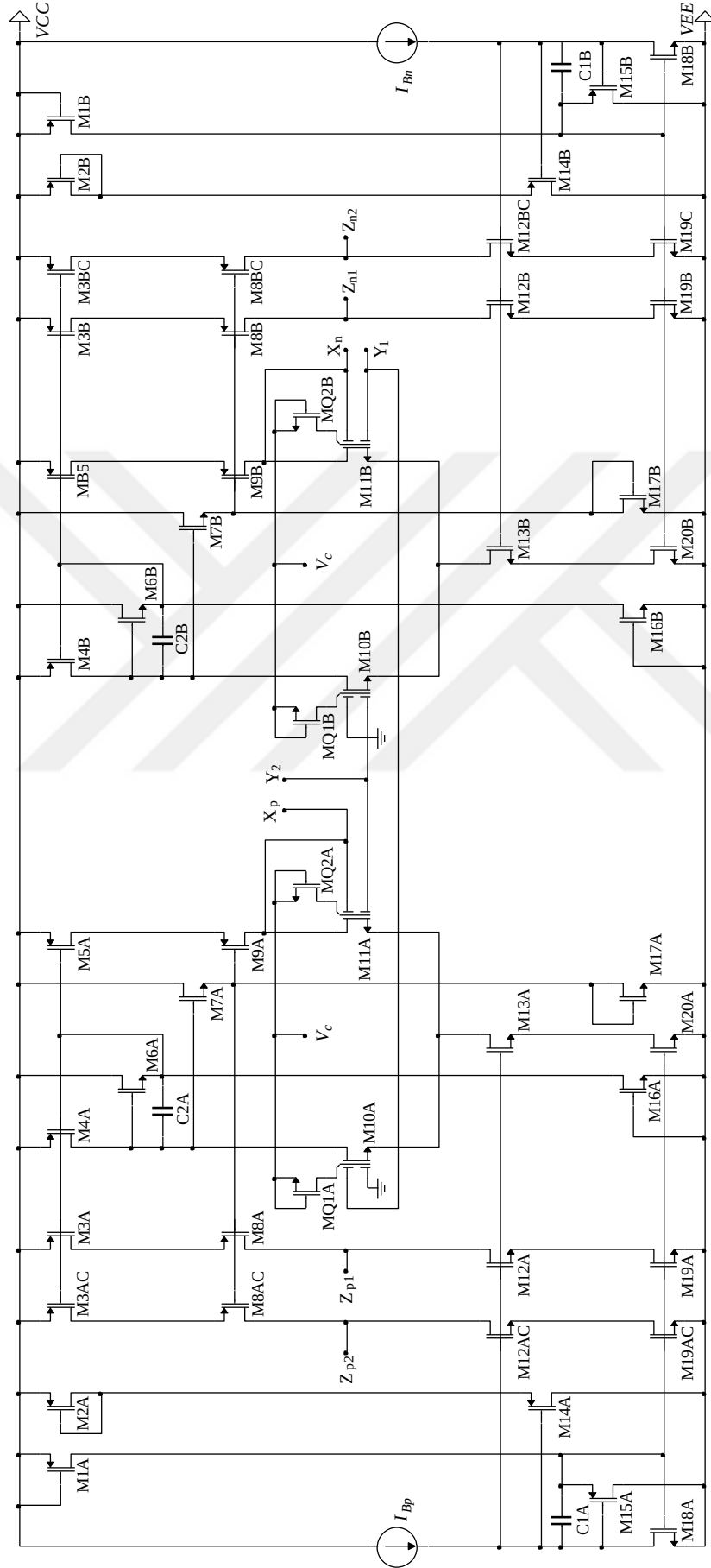
$$\begin{bmatrix} V_{Xp} \\ V_{Xn} \\ I_{Y1} \\ I_{Y2} \\ I_{Zp} \\ I_{Zn} \end{bmatrix} = \begin{bmatrix} R_{Xp} & 0 & 1 & -1 & 0 & 0 \\ 0 & R_{Xn} & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} I_{Xp} \\ I_{Xn} \\ V_{Y1} \\ V_{Y2} \\ V_{Zp} \\ V_{Zn} \end{bmatrix} \quad (4.1)$$

Burada R_{Xp} ve R_{Xn} dirençleri X_p ve X_n terminallerindeki parazitik dirençlerdir. Şekil 4.1 ve Denklem (4.1)'den görülebileceği gibi Y_1 ve Y_2 terminallerinin giriş empedansları sonsuz olup bu terminallerden akım akmamaktadır.

4.1.2. Önerilen DX-DVCCC Tasarımı

Tasarlanan DX-DVCCC yapısı Şekil 4.2'de gösterilmektedir. Tasarım simetrik bir devre yapısına sahiptir. Bu simetrik devre yapısı göz önünde bulundurularak transistörler ve kapasitörler, A ve B şeklinde iki gruba ayrılarak isimlendirilmişlerdir. Bu gruplar dikkate alınarak transistörler M1A, M1B gibi numaralandırılmıştır. Aynı numara ile numaralandırılmış fakat A ve B gibi farklı iki gruba ait devre elemanları birbirleriyle özdeş olarak seçilmiştir. Bu sebeple denklemler sadece A grubu devre bileşenleri için verilmiş olup aynı çıkarımlar B grubu devre elemanları içinde yapılabilir.

Tasarlanan yapı iki ayrı PMOS seviye kaydırıcı akım aynası ve iki NMOS seviye kaydırıcı akım aynası içermektedir. Bu akım aynalarının kullanılması sadece düşük besleme gerilimleri ile çalışabilmeyi değil aynı zamanda Z_p ve Z_n terminalleri için de yüksek çıkış empedansı elde edilmesini sağlamaktadır [119]. PMOS akım aynaları ile M10 transistörlerindeki akımlar M9 transistörlerine birim kazançla kopyalanırken M8 transistörlerine iki kat kazanç ile kopyalanmaktadır. Ayrıca önerilen yapı M10 ve M11 transistörlerinden oluşan QFGMOS transistör tabanlı iki fark çifti içermektedir. QFGMOS transistörlerin ihtiyaç duydukları büyük değerli dirençler MQ1A ve MQ2A transistörleri ile elde edilmiştir. V_C gerilimi ise eşik altı çalışan QFGMOS transistörlerin çalışma sahasını genişletebilmek için negatif besleme kaynağına eşit seçilmiştir.



Şekil 4.2. Tasarlanan DX-DVCC yapısı

A grubu elemanlarla oluşturulmuş fark çifti için M11A transistörünün yüzen geçidinden M10A transistörünün yüzen geçidine doğru bir çevre denklemi şu şekilde yazılabilir:

$$V_{FG11A} - V_{FGS11A} + V_{FGS10A} - V_{FG10A} = 0 \quad (4.2)$$

Burada V_{FG11A} ve V_{FG10A} sırasıyla M11A ve M10A transistörlerinin yüzen geçitlerinde etkin gerilim değeridir. M11A ve M10A transistörlerinin yüzen geçitleri ile kaynak terminalleri arasındaki fark gerilimlerin farkı şu şekilde ifade edilebilir:

$$V_{FGS11A} - V_{FGS10A} = w(V_{Xp} - V_{Y1} + V_{Y2}). \quad (4.3)$$

Burada w FGMOS transistörlerin girişlerinin ağırlıkları olup C_i , C_{FGS} , C_{FGD} ve C_{FGB} yüzen geçit ile sırasıyla giriş terminalleri, kaynak, akıtcı ve gövde terminalleri arasındaki kapasite değerleri olmak üzere aşağıdaki gibi tanımlanabilir.

$$w = C_i / \left(C_{FGS} + C_{FGD} + C_{FGB} + \sum_{i=1}^n C_i \right) \quad (4.4)$$

M10A ve M11A Transistörlerinin eşik altı çalıştıkları kabul edilirse X_p terminalinden akan ve I_{D11A} ve I_{D10A} akımlarının farkına eşit olan I_{Xp} akımı şu şekilde elde edilebilir [32,33] .

$$I_{Xp} = I_{Bp} \tanh(\kappa w(V_{Y2} - V_{Y1} + V_{Xp})/2U_t) \quad (4.5)$$

Burada U_t termal gerilim ve κ elektrostatik kuplajlama katsayısıdır. Eğer $\kappa w(V_{Y2} - V_{Y1} + V_{Xp}) \ll 2U_t$ olduğu varsayılırsa I_{Xp} akımı şu şekilde ifade edilebilir.

$$I_{Xp} = I_{Bp} (\kappa w(V_{Y2} - V_{Y1} + V_{Xp})/2U_t). \quad (4.6)$$

Eğer Y_1 ve Y_2 terminalleri topraklanırsa X_p terminalindeki parazitik R_{Xp} direnci şu şekilde elde edilebilir.

$$R_{Xp} = (2U_t / I_{Bp} \kappa w). \quad (4.7)$$

B grubu elemanlarla oluşturulmuş diğer fark çifti için M11B transistörünün yüzen geçidinden M10B transistörünün yüzen geçidine doğru bir çevre denklemi yazılıp A grubu elemanları için yapılan yukardaki işlemler tekrarlanırsa X_n terminalindeki parazitik R_{Xn} direnci aşağıdaki gibi elde edilebilir.

$$R_{Xn} = (2U_t / I_{Bn} \kappa w). \quad (4.8)$$

Denklem (4.7) ve Denklem (4.8)'den görülebileceği gibi R_{Xp} ve R_{Xn} parazitik dirençleri kutuplama akımlarıyla kontrol edilebilmektedir.

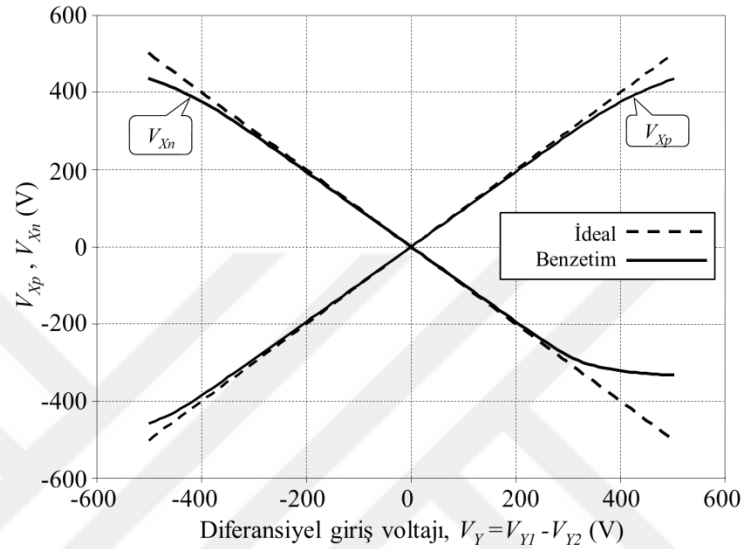
4.1.3. Benzetim Sonuçları

Tasarlanan DX-DVCCC yapısının 0.13 μm IBM CMOS teknoloji parametreleri kullanılarak benzetimi yapılmıştır. Besleme gerilimleri ± 0.5 V olarak seçilmiştir. C1A, C2A, C1B ve C2B kapasitörleri ise 5 pF olarak seçilmiştir. Transistörlerin kanal boyutları ise Tablo 4.1'de verilmektedir.

Tablo 4.1. Tasarlanan DX-DVCCC yapısında kullanılan transistörlerin kanal boyutları

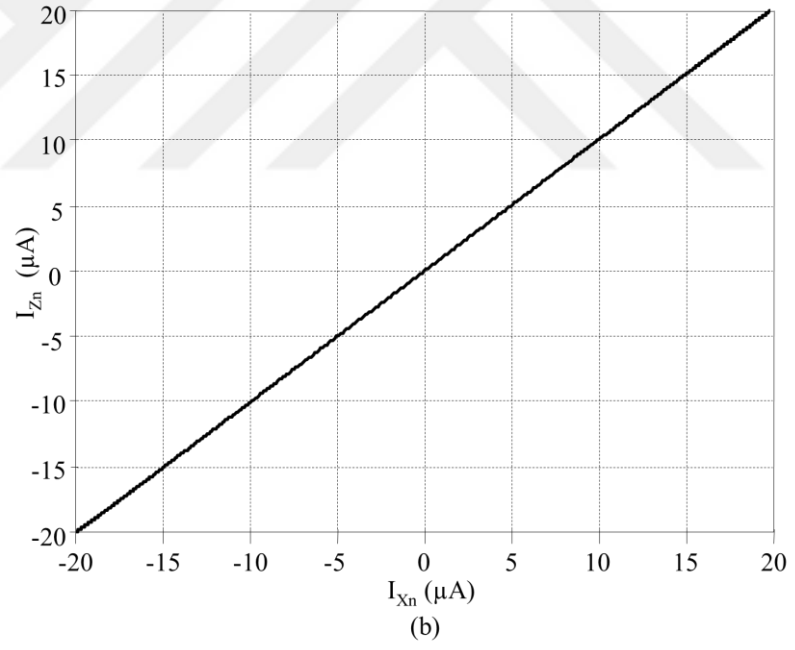
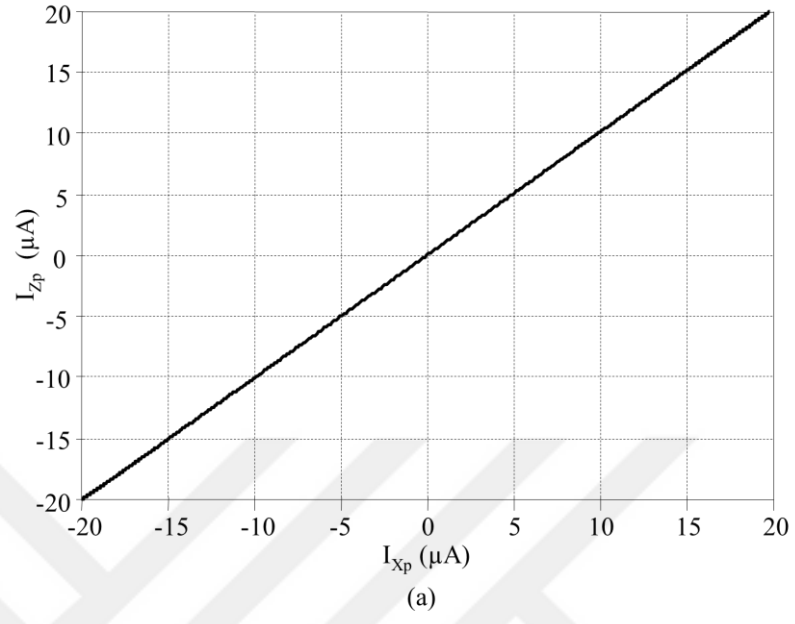
Transistör	L (μm)	W (μm)
M02, M07, M14	0.2	10
M12, M13	0.2	40
M17	0.2	50
M10, M11	0.4	40
MQ1, MQ2	0.5	5
M9	1	40
M8	1	80
M6	2	1
M4, M5, M18, M19, M20	4	40
M03	4	80
M01, M16	7	0.2
M15	7	2

Şekil 4.3'te tasarlanan yapıda V_{Xp} ve V_{Xn} gerilimlerinin $V_{Yin} = V_{Y1} - V_{Y2}$ fark giriş gerilimine göre değişimi gösterilmektedir. Tasarlanan yapı, tanım bağıntılarına uygun olarak Y terminallerine uygulanan gerilimlerin farkını X_p ve X_n terminallerine ± 300 mV aralığında aktarabilmektedir.



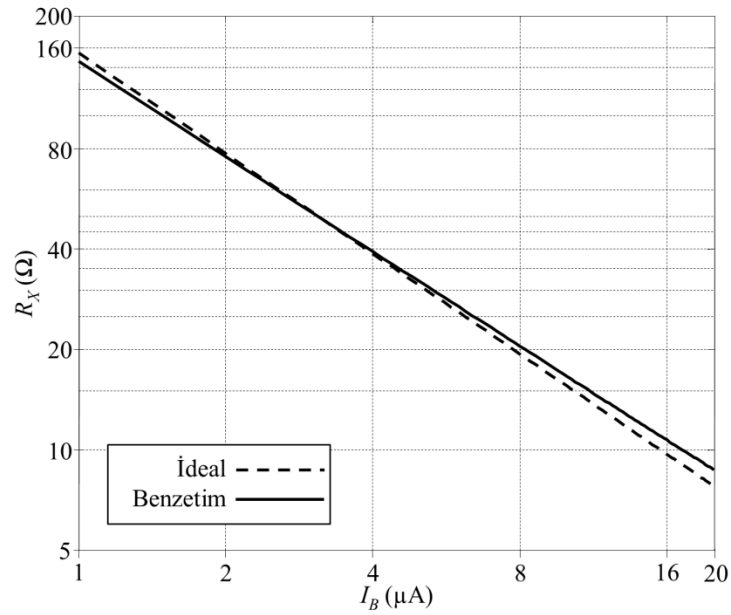
Şekil 4.3. Tasarlanan DX-DVCCC yapısında V_{Xp} ve V_{Xn} 'in $V_{Yin} = V_{Y1} - V_{Y2}$ fark giriş gerilimine göre değişimi

Şekil 4.4'de I_{Zp} ve I_{Zn} çıkış akımlarının sırasıyla X_p ve X_n terminallerinden akan akımlara göre değişimi gösterilmektedir. Tanım denklemlerine göre, I_{Xp} akımı Z_p terminaline birim kazançla aktarılmalıdır. Benzer şekilde, I_{Xn} akımı Z_n terminaline birim kazançla aktarılmalıdır. Şekil 4.4'den görüldüğü gibi tasarlanan yapı bu akım transfer işlemini $\pm 20 \mu A$ aralığında tanım bağıntılarına uygun olarak gerçekleştirebilmektedir.



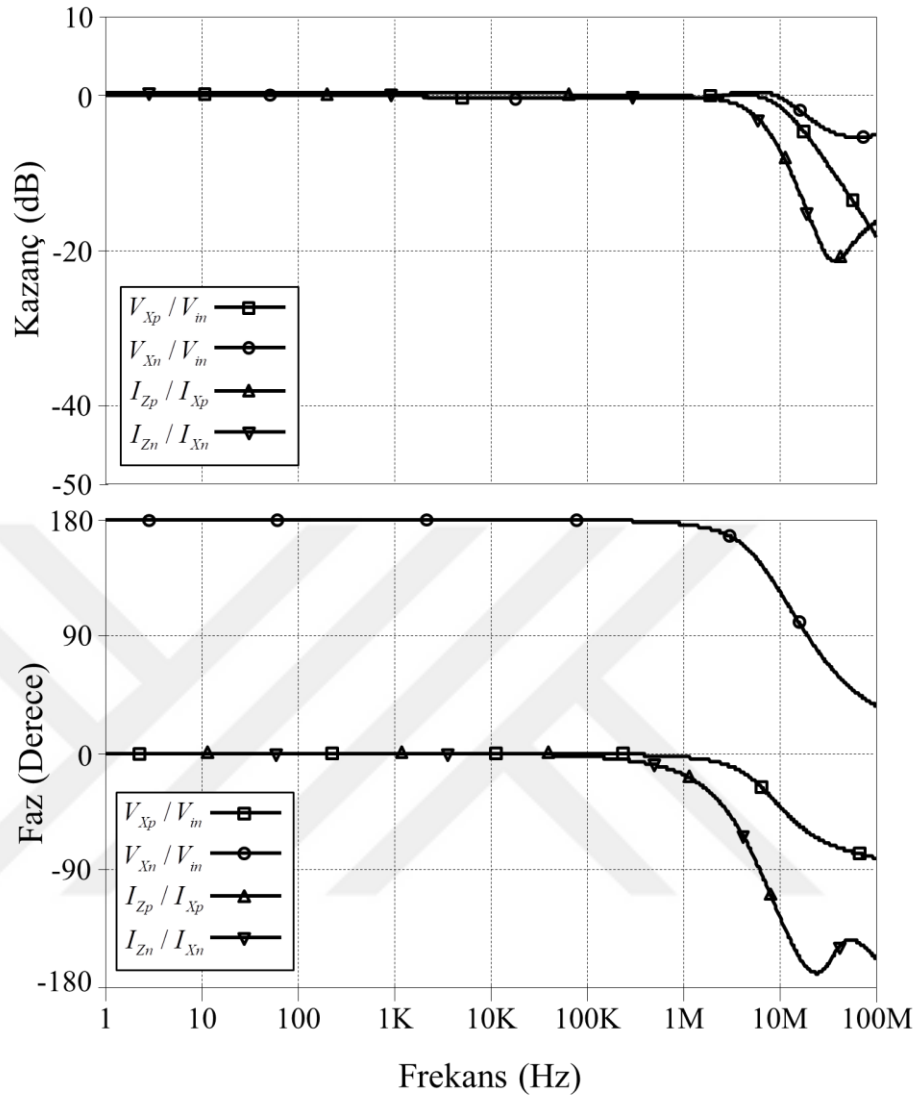
Şekil 4.4. Tasarlanan DX-DVCCC yapısında I_{Zp} ve I_{Zn} çıkış akımlarının sırasıyla I_{Xp} ve I_{Xn} akımlarına göre değişimi

X_p ve X_n terminallerinde bulunan parazitik R_{Xp} ve R_{Xn} dirençlerinin değerinin kutuplama akımlarıyla değişimi Şekil 4.5'te gösterilmektedir. Kutuplama akımının değerinin $1\mu A$ - $20\mu A$ aralığında değiştirilmesiyle parazitik dirençlerin değerleri $146.3\text{ K}\Omega$ - $8.6\text{ K}\Omega$ aralığında ayarlanabilmektedir. Yüksek empedanslı Y ve Z terminalleri için ise minimum terminal empedansının gözlemlendiği $20\mu A$ 'lik kutuplama akımı için port empedansları $58\text{ M}\Omega$ ve $1.67\text{ M}\Omega$ olarak elde edilmiştir.



Şekil 4.5. Tasarlanan DX-DVCCC yapısında R_{Xp} ve R_{Xn} parazitik dirençlerinin kutuplama akımıyla değişimi

Şekil 4.6'da tasarlanan yapının gerilim ve akım izleme işlemleri için kazanç - frekans ve faz-frekans eğrileri gösterilmektedir. Fark giriş voltajının X_p ve X_n terminallerine voltaj transferi için elde edilen bant genişlikleri sırasıyla 16.8 MHz ve 25.8 MHz 'dir. X_p ve X_n Terminallerinden Z_p ve Z_n terminallerine akım transferi için bantgenişliği ise 6.3 MHz olarak elde edilmiştir. Ayrıca tasarlanan yapı $\pm 0.5\text{ V}$ besleme gerilimleri ile çalışabilmekte ve $135\text{ }\mu W$ güç tüketmektedir. Güç tüketimi ve besleme gerilimi değerleri göz önünde bulundurulduğunda tasarlanan yapının bantgenişliği düşük gerilim düşük güç uygulamaları için uygun olarak değerlendirilebilir.



Şekil 4.6. Tasarlanan DX-DVCCC yapısına ait kazanç-frekans ve faz-frekans eğrileri

Tasarlanan DX-DVCCC yapısına ait benzetim sonuçları ve performans paramtereleri Tablo 4.2’de özetlenmiştir.

Tablo 4.2. Tasarlanan DX-DVCCC yapısının performans parametreleri

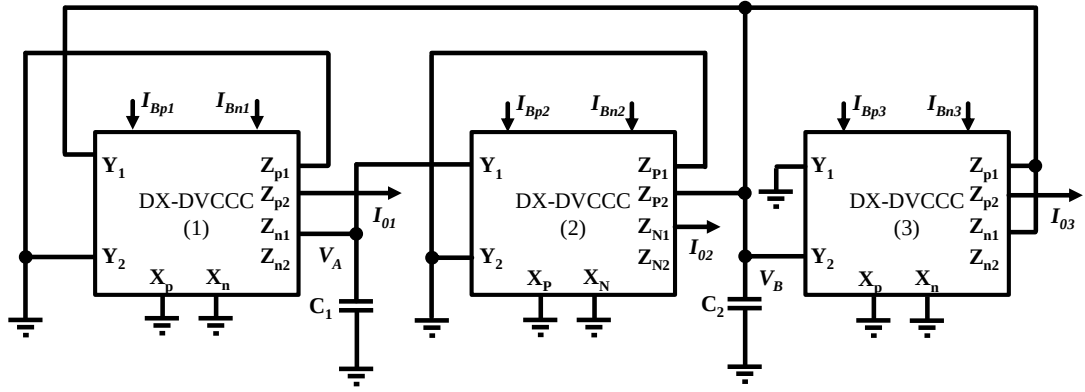
CMOS teknolojisi	0.13 μm
Besleme gerilimi	$\pm 0.5\text{ V}$
Güç tüketimi	135 μW
Dinamik gerilim izleme aralığı	$\pm 300\text{ mV}$
Dinamik akım izleme aralığı	$\pm 20\text{ }\mu\text{A}$
Gerilim izleme bant genişliği	16.8 MHz
Akım izleme bant genişliği	6.3 MHz
R_x direncinin ayarlanabilme aralığı	146.3 K Ω - 8.6 K Ω

4.1.4. DX-DVCCC Yapısının Uygulamaları

Tasarlanan DX-DVCCC yapısının işlevselliğini gösterebilmek için akım ve voltaj modlu kuadratur osilatör ve akım modlu tek girişli çok çıkışlı evrensel süzgeç yapıları tasarlanmıştır. Her iki yapı da elektronik olarak kontrol edilebilmektedir.

4.1.4.1. Akım Kontrollü Akım ve Voltaj Modlu Kuadratur Osilatör Tasarımı

Tasarlanan akım kontrollü akım ve voltaj modlu kuadratur osilatör yapısı Şekil 4.7’de gösterilmektedir. Osilatör yapısı aktif eleman olarak üç adet DX-DVCCC ve pasif eleman olarak iki adet topraklanmış kapasitör içermektedir. Tasarımda direnç kullanılmamış olması ve pasif elemanların topraklanmış olmaları yapıyı tümdevreleştirilmeye uygun hale getirmiştir. Tasarlanan osilatör bir eviren ve bir evirmeyen integral alıcının ardışık bağlanmasıyla elde edilmiştir. Ayrıca üçüncü DX-DVCCC yapısı, kutupların kutup-sıfır diyagramının sağ kısmında yer almasını garantilemek için kullanılmıştır [135].



Şekil 4.7. DX-DVCCC tabanlı akım ve voltaj modlu kuadratür osilatör

Tasarlanan osilatörün karakteristik denklemi şu şekilde elde edilebilir.

$$s^2 - s \left(\frac{C_2}{R_{Xn3}} - \frac{C_2}{R_{Xp3}} \right) + \frac{1}{C_1 C_2 R_{Xn1} R_{Xp2}} = 0 \quad (4.9)$$

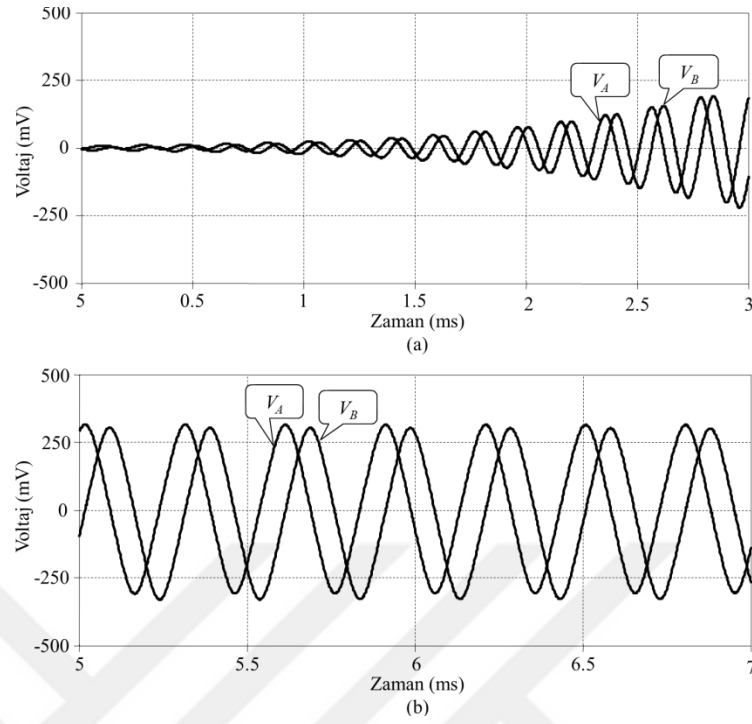
Denklem (4.9)'dan $1/R_{Xn3} > 1/R_{Xp3}$ olduğunda sistemin kutuplarının kutup-sıfır diyagramının sağ kısmında yer alacağı görülmektedir. Bu nedenle osilasyon şartı ve osilasyon frekansı sırasıyla şu şekilde elde edilebilir.

$$I_{Bn3} > I_{Bp3} \quad (4.10)$$

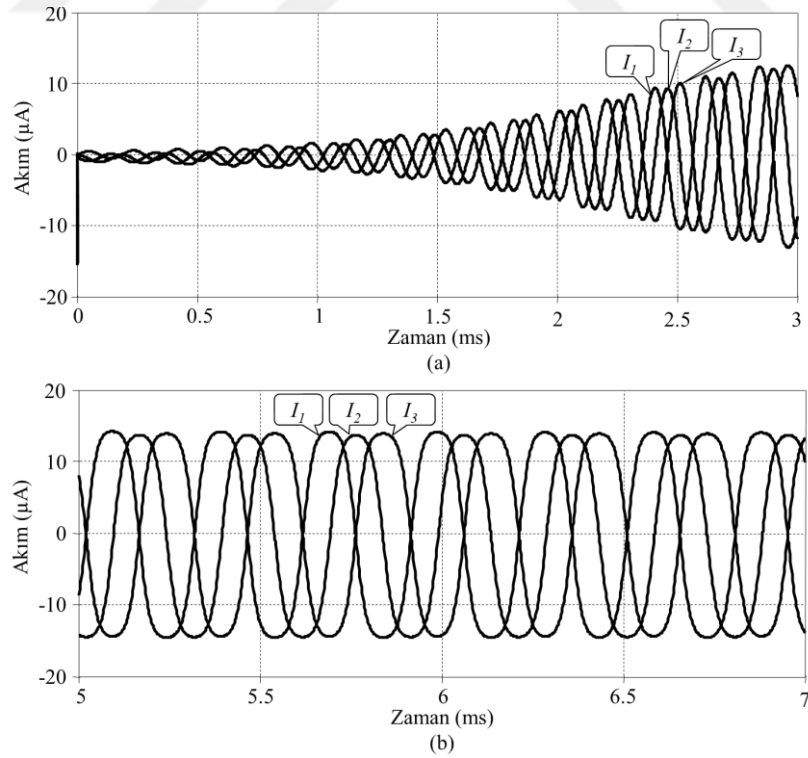
$$\omega_0 = 1/\sqrt{C_1 C_2 R_{Xn1} R_{Xp2}} \quad (4.11)$$

Denklem (4.11)'den görülebileceği gibi yapının osilasyon frekansı DX-DVCCC'lerin kutuplama akımları ile kontrol edilebilmektedir.

Şekil 4.8 ve Şekil 4.9'da sırasıyla voltaj çıkışları ve akım çıkışları için başlangıç durumu ve sürekli durum benzetim sonuçları verilmiştir. Bu benzetimlerde C_1 ve C_2 5 nF olarak seçilmiştir. Ayrıca, I_{Bp1} , I_{Bp2} , I_{Bp3} , I_{Bn1} ve I_{Bn2} akımları 15 μ A, I_{Bn3} akımı ise 15.1 μ A olarak ayarlanmıştır.

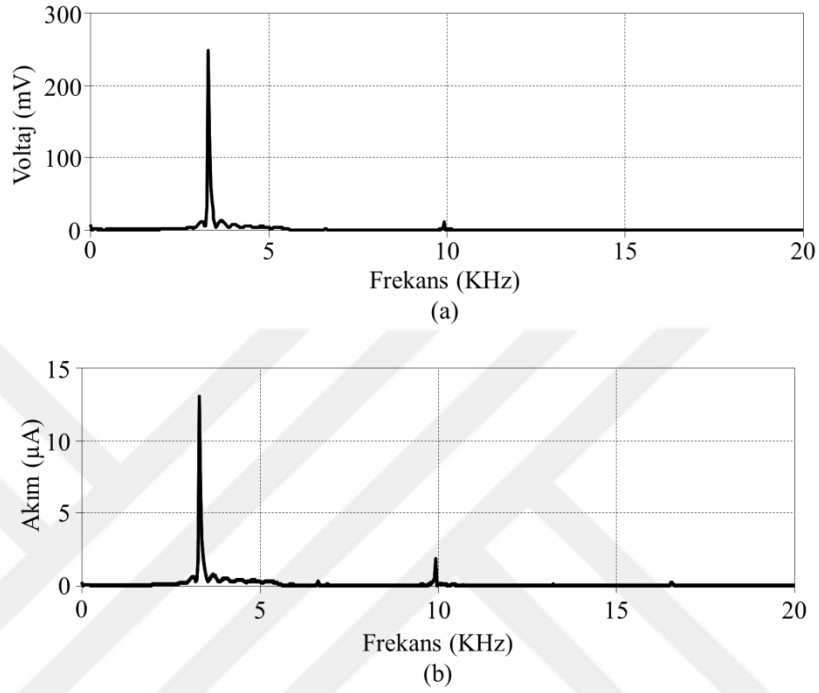


Şekil 4.8. DX-DVCCC tabanlı akım ve voltaj modlu kuadratür osilatörün voltaj çıkışlarının a) başlangıç durumu b) sürekli durum için zaman domeni cevapları



Şekil 4.9. DX-DVCCC tabanlı akım ve voltaj modlu kuadratür osilatörün akım çıkışlarının a) başlangıç durumu b) sürekli durum için zaman domeni cevapları

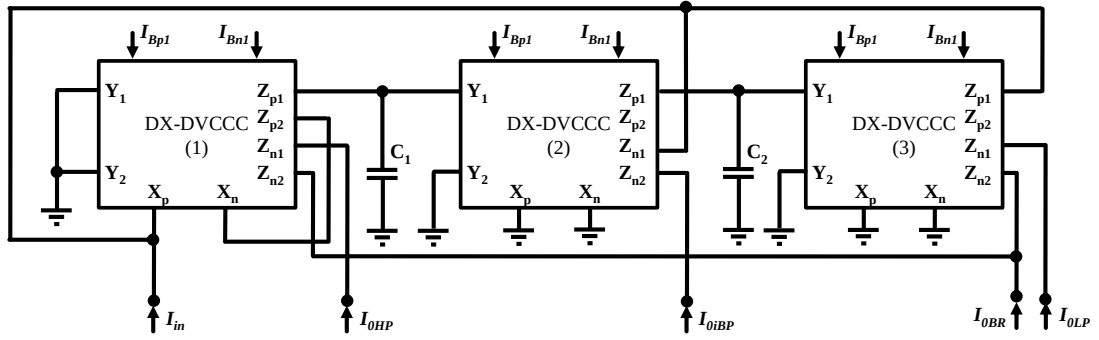
Şekil 4.10'da ise bütün gerilim ve akım çıkışları için frekans cevapları verilmektedir. Bu şekilden gerilim çıkışlarının ve akım çıkışlarının çakışıkları ve üst dereceden harmoniklerin bastırıldığı görülebilmektedir.



Şekil 4.10. DX-DVCCC tabanlı akım ve voltaj modlu kuadratür osilatörün a) Voltaj çıkışları b) akım çıkışları için frekans domeni cevapları

4.1.4.2. Akım Kontrollü Akım Modlu Evrensel Süzgeç Tasarımı

Tasarlanan akım kontrollü akım modlu tek giriş çok çıkışlı evrensel süzgeç tasarımı Şekil 4.11'de gösterilmektedir. Önerilen yapı aktif eleman olarak üç adet DX-DVCCC ve pasif eleman olarak iki topraklanmış kapasitörden oluşmaktadır. Tasarımın direnç içermemesi ve kapasitörlerin topraklanmış olması yapıyı tümdevre tekniğine uygun hale getirmiştir. Bu evrensel süzgeç yapısı alçak geçiren, yüksek geçiren, bant geçiren ve bant durduran olarak çalışabilmektedir.



Şekil. 4.11. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç yapısı

Tasarlanan yapının transfer fonksiyonları aşağıdaki gibi yazılabilir.

$$\frac{I_{0LP}}{I_{in}} = \frac{1}{C_1 C_2 R_{X2} R_{X3} D}, \quad (4.12)$$

$$\frac{I_{0HP}}{I_{in}} = \frac{s^2}{D}, \quad (4.13)$$

$$\frac{I_{0iBP}}{I_{in}} = \frac{s}{C_1 R_{X2} D}, \quad (4.14)$$

$$\frac{I_{0BR}}{I_{in}} = \frac{s^2 + \frac{1}{C_1 C_2 R_{X2} R_{X3}}}{D}. \quad (4.15)$$

Bu denklemlerde kutuplama akımları eşit ve $I_B = I_{Bp} = I_{Bn}$ olarak alınmıştır.

Böylece Her bir DX-DVCCC'nin parazitik dirençleri $R_X = R_{Xp} = R_{Xn}$ olarak elde edilmiştir. Transfer fonksiyonlarının paydası aşağıdaki gibi yazılabilir.

$$D = s^2 + s \frac{C_1}{R_{X2}} + \frac{1}{C_1 C_2 R_{X2} R_{X3}}. \quad (4.16)$$

Bu durumda süzgecin kalite faktörü ve açılal frekansı şu şekilde elde edilebilir.

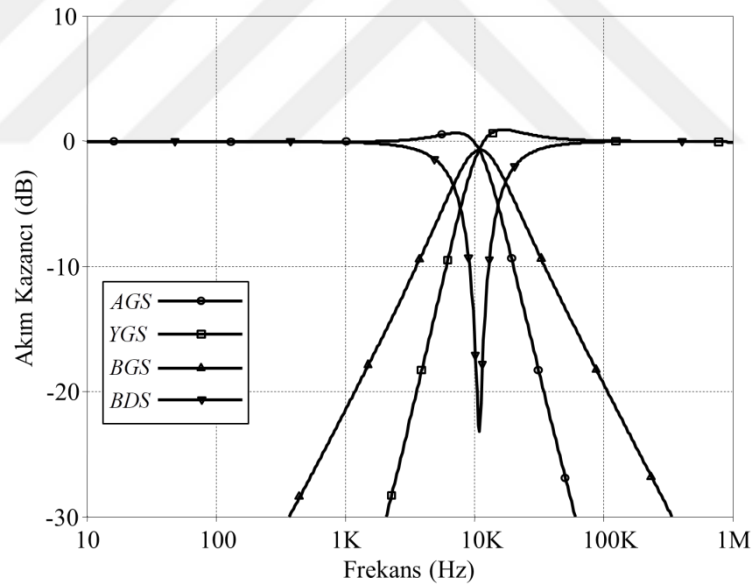
$$Q = \sqrt{R_{X2} C_1 / R_{X3} C_2} \quad (4.17)$$

$$w_0 = 1/\sqrt{C_1 C_2 R_{X2} R_{X3}} \quad (4.18)$$

Denklem (4.17) ve Denklem (4.18)'den önerilen süzgeç yapısının kalite faktörünün ve açısal frekansının DX-DVCCC yapılarının kutuplama akımları ile kontrol edilebileceği görülmektedir.

Tasarlanan süzgeç yapısının benzetim sonuçları Şekil 4.12, Şekil 4.13 ve Şekil 4.14'te gösterilmektedir.

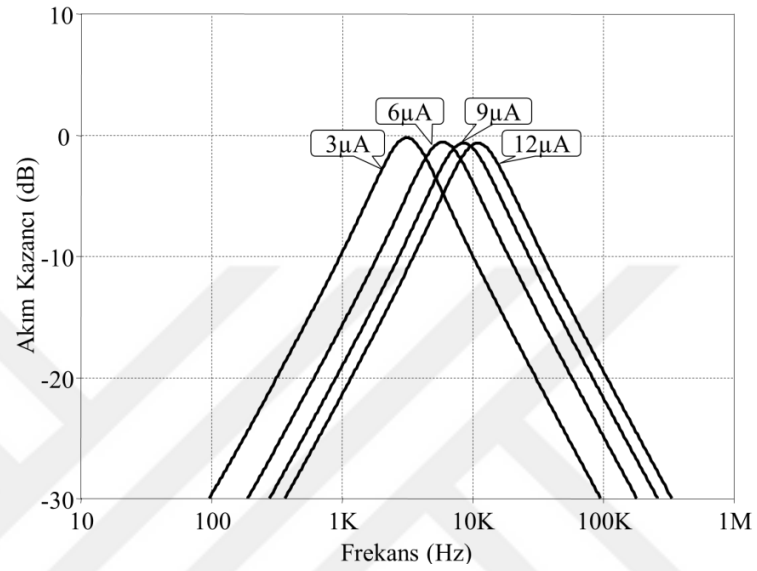
Şekil 4.12'de farklı süzgeç türlerine ait frekans cevapları verilmektedir. Bu grafikte bütün kutuplama akımları 12 μ A olarak alınmıştır. Ayrıca, C_1 ve C_2 kapasitörleri 1 nF olarak seçilmiştir. Tasarlanan süzgeç yapısı alçak geçiren, yüksek geçiren, bant geçiren ve bant durduran süzgeç karakteristiklerini başarılı bir şekilde sergileyebilmektedir.



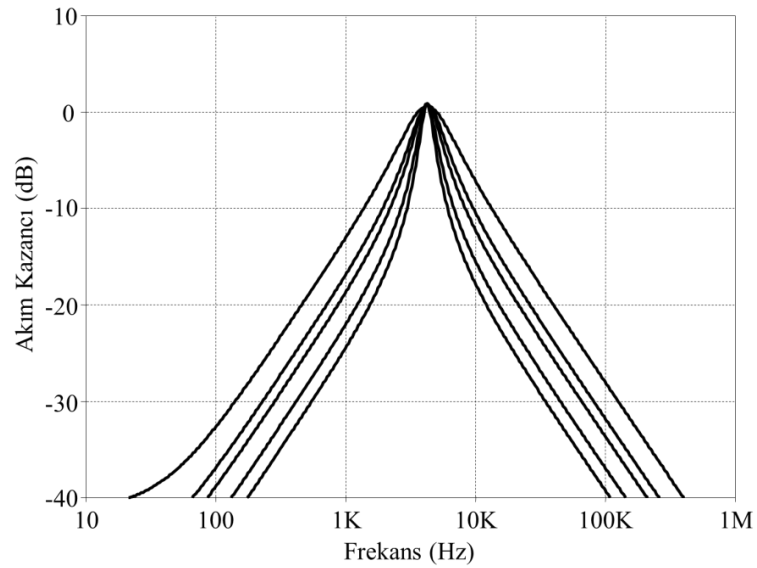
Şekil 4.12. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç için farklı süzgeç türlerine ait frekans cevapları

Şekil. 4.13'de farklı kutuplama akımları için bant geçiren süzgece ait kazanç frekans eğrileri verilmektedir. Bu grafikte C_1 ve C_2 kapasitörleri 1 nF olarak ve bütün kutuplama akımları birbirine eşit olarak 3 μ A, 6 μ A, 9 μ A ve 12 μ A değerlerine ayarlanmıştır. Bu şekilden tasarlanan süzgeç yapısının merkez frekansının kutuplama akımlarıyla kontrol edilebildiği görülmektedir.

Şekil 4.14’de $R_{X2} \cdot R_{X3}$ ’nin çarpımının değerinin sabit tutularak farklı kutuplama akımı değerleri için elde edilmiş bant geçiren süzgece ait kazanç-frekans eğrileri verilmiştir. Şekil 4.14’den tasarlanan yapının kalite faktörünün kutuplama akımları ile kontrol edilebildiği görülmektedir.



Şekil. 4.13. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeçte $R_{X2} = R_{X3}$ için farklı kutuplama akımlarında bant geçiren süzgecin kazanç frekans eğrileri



Şekil 4.14. DX-DVCCC tabanlı akım kontrollü akım modlu süzgeç yapısında bant geçiren süzgeç için $R_{X2} \cdot R_{X3}$ çarpımının sabit tutularak kutuplama akımlarının değiştirilmesiyle elde edilen kazanç frekans eğrileri

4.1.5. Sonuçlar

Bu çalışmada DX-DVCCC olarak isimlendirilen yeni bir aktif eleman önerilmiştir. Bu yeni aktif eleman CCCII, DVCCII ve DX-CCII yapılarının fonksiyonel özelliklerini tek bir yapıda birleştirmiştir. Tasarlanan bu yapının hem akım kontrollü olması hem çift-X terminaline sahip olması hem de fark giriş gerilimleriyle çalışabilmeye uygun olması sebebiyle analog işaret işleme uygulamalarının tasarımında oldukça faydalı olacağı düşünülmektedir. Fark giriş gerilimlerine uyumlu olması ve çift-X terminali kullanılması tasarımlarda kullanılacak aktif ve pasif eleman sayısının azalması sağlayabilmektedir. X terminallerinde bulunan parazitik dirençlerin kutuplama akımları ile kontrol edilebilmesi ise tasarlanan aktif elemanın akım kontrollü yapıların tasarımını kolaylaştırabilmektedir. Ayrıca bu bölümde tasarlanan DX-DVCCC yapısının işlevselliğini gösterebilmek için akım ve voltaj modlu kuadratür osilatör ve akım modlu tek girişli çok çıkışlı evrensel süzgeç yapıları tasarlanmıştır. Her iki yapı da elektronik olarak kontrol edilebilmektedir. Ayrıca bu tasarımlarda direnç kullanılmamış olması ve kullanılan kapasitörlerin topraklanmış olmaları her iki yapının da tümdevre tekniğiyle uyumlu olduğunu göstermektedir.

4.2. Yeni Bir Aktif Eleman: FD-VDCCC

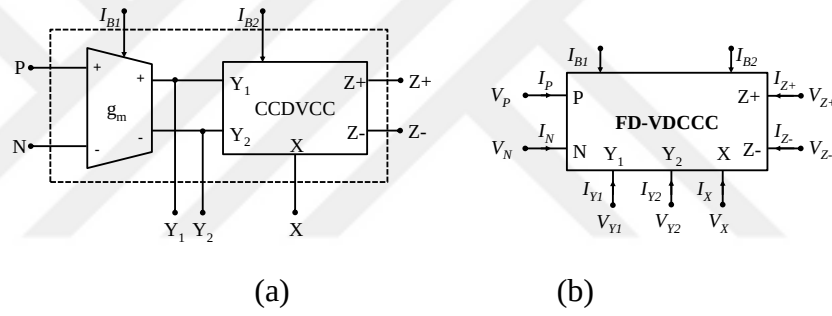
İşlemsel geçiş iletkenliği kuvvetlendiricileri (OTA) akım modlu devrelerde yaygın şekilde kullanılmakta olup, aynı zamanda voltaj modlu devrelerle akım modlu devreler arasında geçiş sağlamak amacıyla da kullanılmaktadır [89,93,115]. Ancak OTA'lar sadece akım çıkışlı elemanlardır. OTA'ların bu dezavantajının üstesinden gelebilmek için VDBA ve VDIBA yapıları önerilmiştir [96,97]. Ayrıca OTA'nın, akım taşıyıcıların ve tampon kuvvetlendiricilerin bir arada kullanılmasıyla oluşturulmuş CDBA, CDTA, CCTA, VDTA ve VDCC gibi fonksiyonel devre blokları bulunmaktadır [2,101,103,105,111,112].

Bu çalışmada fonksiyonel analog işaret işleme bloklarına yeni bir alternatif olarak tam farksal voltaj farkı alan akım kontrollü akım taşıyıcı (fully differential voltage differencing current controlled current conveyor, FD-VDCCC) yapısı önerilmiştir. Önerilen yapı voltaj modlu ve akım modlu çalışmaya uygun olabilecek şekilde akım

ve fark voltaj giriş ve çıkış uçlarına sahip akım kontrollü bir yapıdır. FD-VDCCC yapısı giriş katı olarak pozitif ve negatif çıkışa sahip işlemsel geçiş iletkenliği kuvvetlendiricisinden ve çıkış katı olarak akım kontrollü fark voltajlı ikinci kuşak akım taşıyıcıdan oluşmaktadır. Ayrıca, önerilen aktif elemanın fonksiyonelliğini gösterebilmek için gerilim modlu akım kontrollü bir evrensel süzgeç yapısı tasarlanmıştır.

4.2.1. FD-VDCCC Yapısı

Önerilen FD-VDCCC elemanının blok diyagramı ve sembolü Şekil 4.15’de verilmiştir. Önerilen devre yapısı pozitif ve negatif çıkışa sahip OTA (fully differential OTA) giriş katından ve CCDVCC çıkış katından meydana gelmektedir.



Şekil 4.15. FD-VDCCC yapısına ait a) blok diyagram ve b) devre sembolü

FD-VDCCC yapısının tanım bağıntıları Denklem (4.19)’de verilmiştir.

$$\begin{bmatrix} I_P \\ I_N \\ I_{Y1} \\ I_{Y2} \\ V_X \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 & 0 & 0 & 0 \\ -g_m & g_m & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & R_X & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_P \\ V_N \\ V_{Y1} \\ V_{Y2} \\ I_X \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (4.19)$$

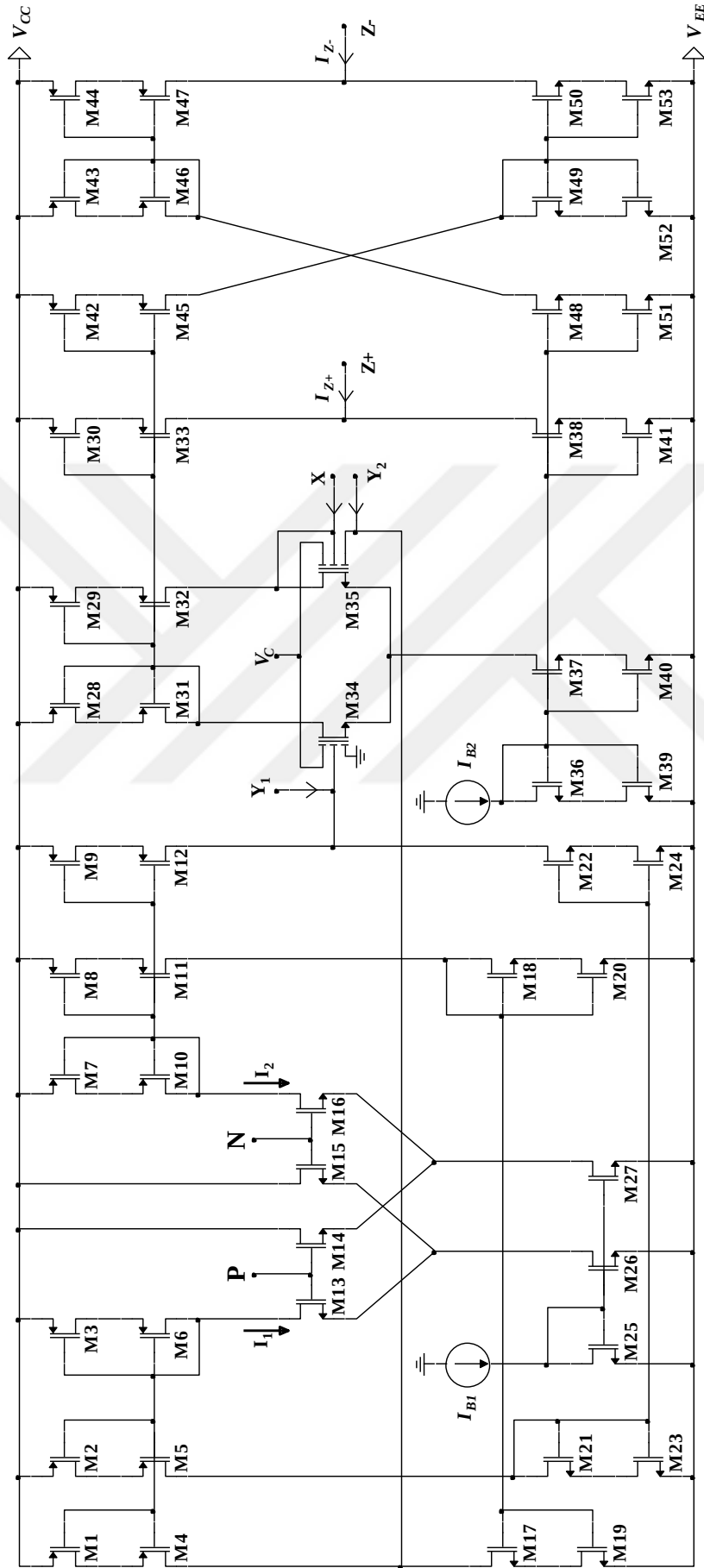
Şekil 4.15’den ve Denklem (4.19)’dan görüldüğü gibi P ve N uçlarındaki giriş direnci idealde sonsuz olup bu uçlardan akım akmamaktadır. Ayrıca I_{Y1} ve I_{Y2} akımları g_m ile ifade edilen OTA katının geçiş iletkenliği değeriyle, V_X gerilimi ise CCDVCC yapısının X ucundaki parazitik direnç olan R_X ile kontrol edilebilmektedir.

Bu g_m ve R_X deęerleri ise sırasıyla I_{B1} ve I_{B2} kutuplama akımlarıyla ayarlanabilmektedir.

4.2.2. Önerilen FD-VDCCC Tasarımı

Önerilen FD-VDCCC yapısının CMOS geręeklemesi Şekil 4.16’da gösterilmektedir.

Bu yapıda giriş katı olarak kullanılan hem pozitif hem de negatif çıkışa sahip olan OTA bloęu M1-M27 transistörleriyle [93]’de önerilen devre yeniden düzenlenerek elde edilmiştir. OTA yapısında M13, M14, M15 ve M16 transistörleri çapraz kuplajlı geęiş iletkenlięi hücrelerini oluşturmaktadır [120,121].



Şekil 4.16. Tasarlanan FD-VDCCC yapısı

Şekil 4.16’da M13 ve M16 transistörleri özdeş ve kanal genişliklerinin kanal uzunluklarına oranı W/L , M14 ve M15 transistörleri de özdeş ve kanal genişliklerinin kanal uzunluklarına oranı $a \cdot (W/L)$ iken $a \gg 1$ olduğu kabul edilirse I_{Y1} ve I_{Y2} çıkış akımları aşağıdaki şekilde yazılabilir:

$$I_{Y1} = \sqrt{\frac{8k_n I_{B1}}{a}} \cdot (V_P - V_N) \quad (4.20)$$

$$I_{Y2} = -\sqrt{\frac{8k_n I_{B1}}{a}} \cdot (V_P - V_N) \quad (4.21)$$

Bu ifade $k_n = \mu_n C_{ox} (W / L)$ olup, devrenin geçiş iletkenliği g_m aşağıdaki şekilde ifade edilebilir:

$$g_m = \sqrt{\frac{8k_n I_{B1}}{a}} \quad (4.22)$$

Denklem (4.22)’den tasarlanan devrenin g_m değerinin I_{B1} kutuplama akımı ile kontrol edilebildiği görülmektedir.

Devrenin CCDVCC bloğu ise [33]’de önerilen DDCCC yapısından faydalanılarak M28-M53 transistörleriyle oluşturulmuştur. FGMOS transistörler kullanılarak tasarlanan [33]’deki DDCCC yapısının Y_3 terminali topraklanarak CCDVCC yapısı elde edilmiştir. Yapının akım ile kontrol edilebilirliğini sağlayan X ucundaki R_X direnci şu şekilde ifade edilebilir.

$$R_X = \left(\frac{2U_t}{I_{B2} \kappa w} \right) \quad (5.23)$$

Burada κ ve U_t sırasıyla geçit ile kanal arasındaki elektrostatik kuplaj katsayısı ve termal gerilimdir. w ise FGMOS transistörlerin her bir geçit terminalinin ağırlığını temsil etmekte olup şu şekilde ifade edilebilir.

$$w = \frac{C_i}{C_{FGD} + C_{FGS} + C_{FGB} + \sum_{i=1}^n C_i} \quad (5.24)$$

Burada C_i , C_{FGS} , C_{FGD} ve C_{FGB} sırasıyla yüzen geçit ile giriş terminalleri, kaynak, akıttıcı ve gövde terminalleri arasındaki kapasitelerdir.

Denklem (4.23)'ten önerilen devrenin R_x değerinin I_{B2} kutuplama akımı ile kontrol edilebildiği görülmektedir.

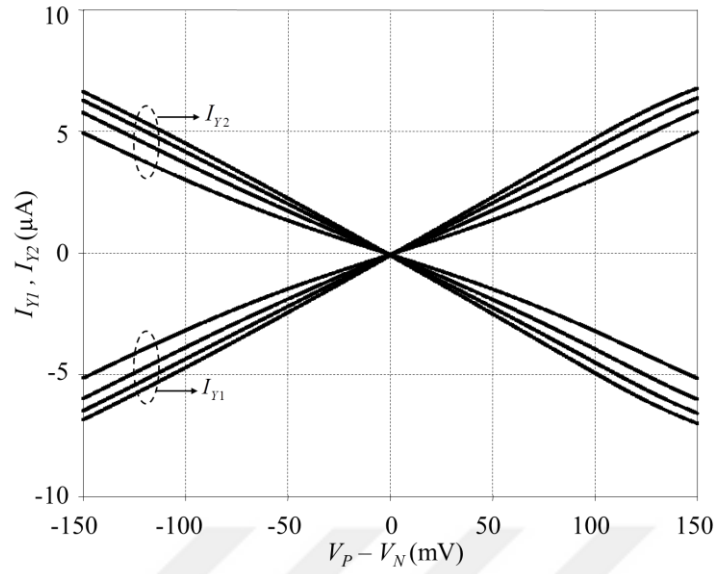
4.2.3. Benzetim Sonuçları

Tasarlanan yapının benzetimi 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak yapılmıştır. Besleme gerilimleri ± 0.6 V olarak alınmıştır. FGMOS transistörlerin giriş kapasitansları ise 60 fF olarak seçilmiştir. Şekil 4.16'daki devredeki transistörlere ait kanal boyutları Tablo 4.3'de verilmiştir.

Tablo 4.3. Tasarlanan FD-VDCCC yapısındaki transistörlerin kanal boyutları

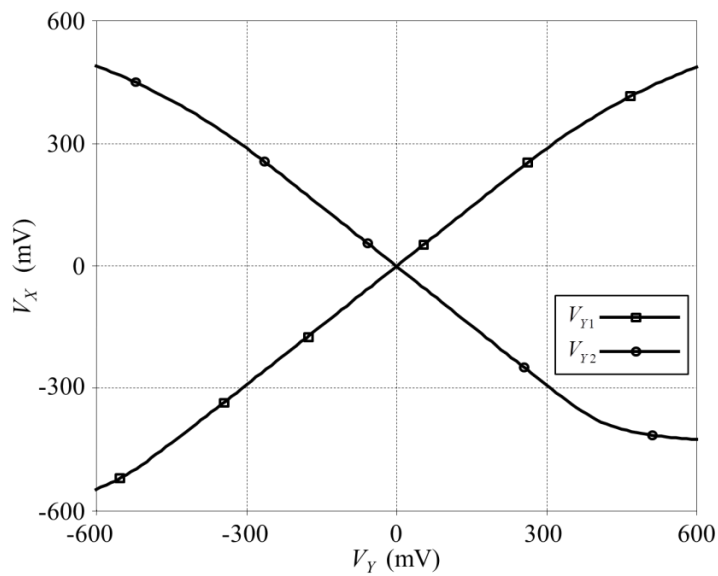
Transistör	L (μm)	W (μm)
M14,M15	0.35	15
M04-M06, M10- M12, M31, M32, M46, M47	0.5	2
M33, M45	0.5	4
M17, M18, M21, M22, M36-M38, M48-M50	0.5	5
M13,M16	1	0.5
M25-M27	1	3
M01-M03, M07-M09, M28,M29, M43, M44	2	2
M30, M42	2	4
M19, M20, M23, M24, M39-M41, M51-M53	2	5

Tasarlanan yapıda ($V_P - V_N$) fark giriş gerilimine göre I_{Y1} ve I_{Y2} akımlarının değişimi Şekil 4.17'de gösterilmektedir. OTA katının g_m geçiş iletkenliği dinamik çalışma sahası yaklaşık ± 150 mV'tur ve bu geçiş iletkenliği değeri I_{B1} kutuplama akımı ile kontrol edilebilmektedir.



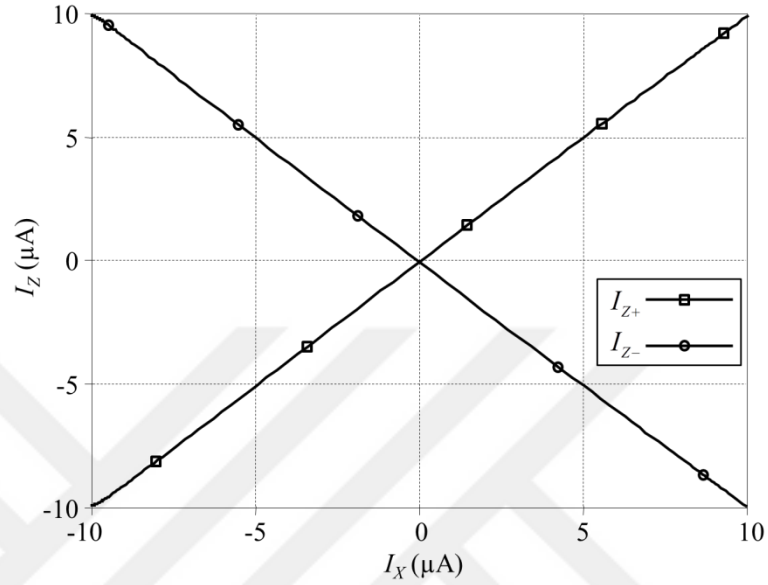
Şekil 4.17. Tasarlanan FD-VDCCC yapısında Y terminallerinden akan akımın fark giriş gerilimine göre değişimi

V_X geriliminin V_{Y1} ve V_{Y2} gerilimlerine göre değişimi Şekil 4.18’de gösterilmektedir. Bu grafik Y terminallerinden birisinin topraklanarak diğerinin giriş olarak kullanıldığı durum için elde edilmiştir. Şekil 4.18’den görülebileceği gibi tasarlanan yapı, V_{Y1} ve V_{Y2} gerilimlerini X terminaline tanım bağıntılarına uygun şekilde ± 400 mV aralığında aktarabilmektedir.



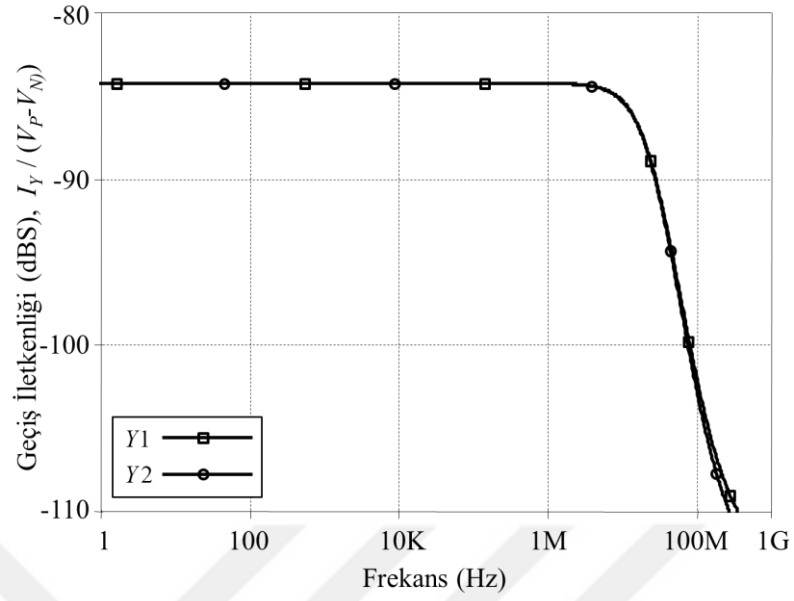
Şekil 4.18. Tasarlanan FD-VDCCC yapısında X terminalindeki gerilimin V_{Y1} ve V_{Y2} ’ye göre değişimi

Şekil 4.19'da I_{Z+} ve I_{Z-} çıkış akımlarının X terminalinden akan akıma göre değişimi gösterilmektedir. Tasarlanan yapının bu akım transfer işlemini tanım bağıntılarına uygun şekilde yerine getirebildiği görülmektedir.

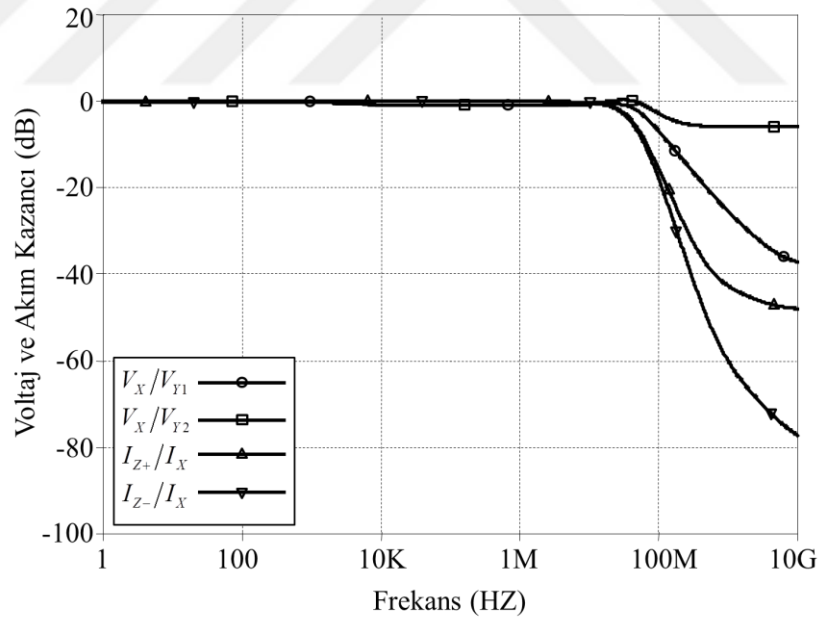


Şekil 4.19. Tasarlanan FD-VDCCC yapısında Z terminallerindeki akımın X terminalindeki I_X akımına göre değişimi

OTA ve CCDVCC bloklarının frekans cevapları sırasıyla Şekil 4.20 ve Şekil 4.21'de gösterilmektedir. OTA katının bant genişliği yaklaşık olarak 17.65 MHz olarak elde edilmiştir. CCDVCC bloğunun akım ve gerilim izleme bant genişlikleri ise sırasıyla 31.35 MHz ve 59.95 MHz olarak elde edilmiştir. Ayrıca tasarlanan yapının güç tüketimi 339 μ W olarak gözlemlenmiştir.



Şekil 4.20. Tasarlanan FD-VDCCC yapısında Y_1 ve Y_2 çıkışları için frekans cevapları



Şekil 4.21. Tasarlanan FD-VDCCC yapısında X ve Z terminalleri için gerilim ve akım izleme performanslarının frekansa göre değişimi

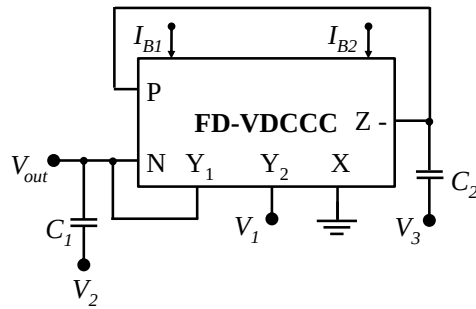
Tasarlanan FD-VDCCC yapısına ait benzetim sonuçları ve performans paramtereleri Tablo 4.4'te özetlenmiştir.

Tablo 4.4. Tasarlanan FD-VDCCC yapısının performans parametreleri

CMOS teknolojisi	0.18 μ m
Besleme gerilimi	± 0.6 V
Güç tüketimi	339 μ W
OTA katı dinamik çalışma aralığı	± 150 mV
CCDVCC katı dinamik gerilim izleme aralığı	± 400 mV
CCDVCC katı dinamik akım izleme aralığı	± 10 μ A
OTA katı bant genişliği	17.65 MHz
CCDVCC katı gerilim izleme bant genişliği	59.95 MHz
CCDVCC katı akım izleme bant genişliği	31.35 MHz

4.2.4. FD-VDCCC Tabanlı Çok Girişli Tek Çıkışlı Evrensel Süzgeç Tasarımı

FD-VDCCC tabanlı çok girişli tek çıkışlı evrensel süzgeç yapısı Şekil 4.22’de gösterilmektedir. Tasarlanan süzgeç yapısı üç giriş ve bir çıkış terminali ile alçak geçiren, yüksek geçiren, bant geçiren, bant durduran ve tüm geçiren süzgeç karakteristiklerini sergileyebilmektedir. Farklı süzgeç türlerinin elde edilmesini sağlayan giriş kombinasyonları Tablo 4.5’te verilmektedir.



Şekil 4.22. FD-VDCCC tabanlı çok girişli tek çıkışlı evrensel süzgeç yapısı

Tablo 4.5. FD-VDCCC tabanlı evrensel süzgeç yapısında farklı süzgeç türlerinin elde edildiği giriş kombinasyonları

Süzgeç Türü	V_1	V_2	V_3
Alçak geçiren	V_{in}	0	0
Bant durduran	V_{in}	V_{in}	0
Tüm geçiren	V_{in}	V_{in}	$-V_{in}$
Bant geçiren	0	0	V_{in}
Yüksek geçiren	0	V_{in}	0

Tasarlanan süzgeç yapısının çıkış fonksiyonu şu şekilde elde edilebilir.

$$V_{out} = \frac{s^2 V_2 + s V_3 (g_m / C_1) + V_1 (g_m / (R_X C_1 C_2))}{s^2 + s (g_m / C_1) + (g_m / (R_X C_1 C_2))} \quad (4.25)$$

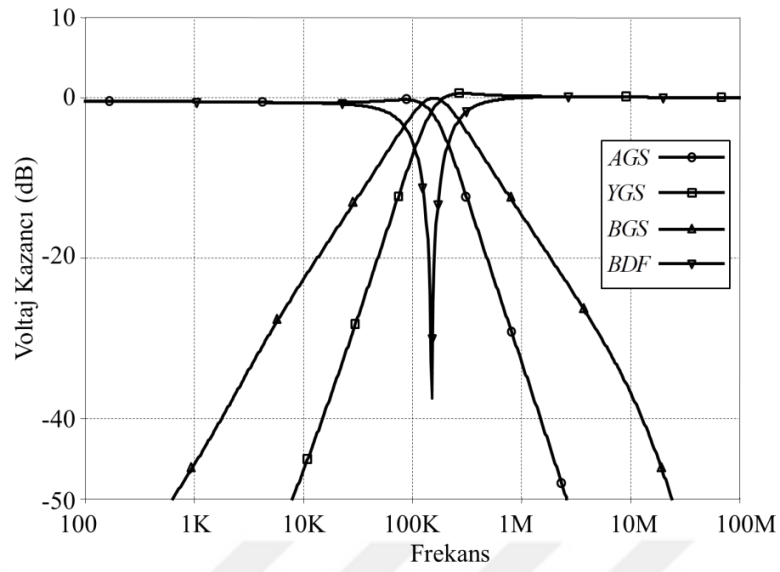
Süzgeç yapısının kalite faktörü ve açısal frekansı ise sırasıyla aşağıdaki gibi ifade edilebilir.

$$Q = \sqrt{C_1 / (R_X g_m C_2)} \quad (4.26)$$

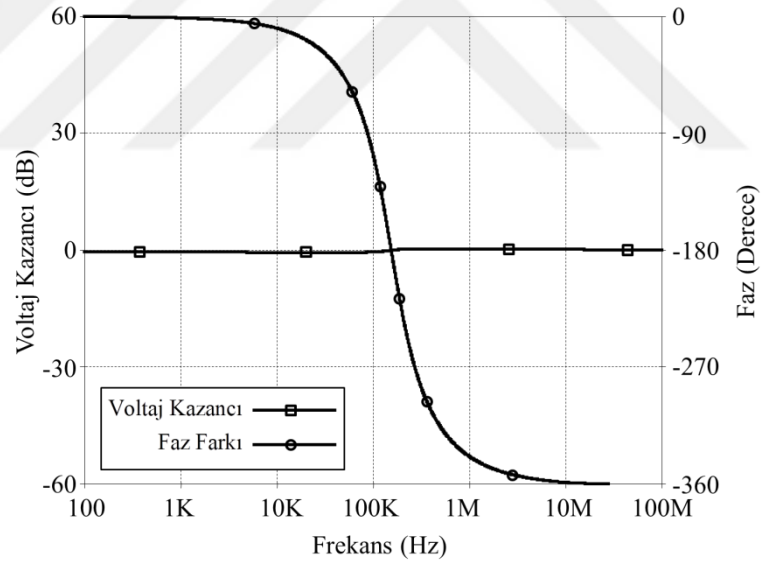
$$\omega_0 = \sqrt{g_m / (R_X C_1 C_2)} \quad (4.27)$$

Denklem (4.26) ve Denklem (4.27)'den kalite faktörü ve açısal frekansın, I_{B1} ve I_{B2} ile ayarlanabilen g_m ve R_X ile kontrol edilebildiği görülebilmektedir.

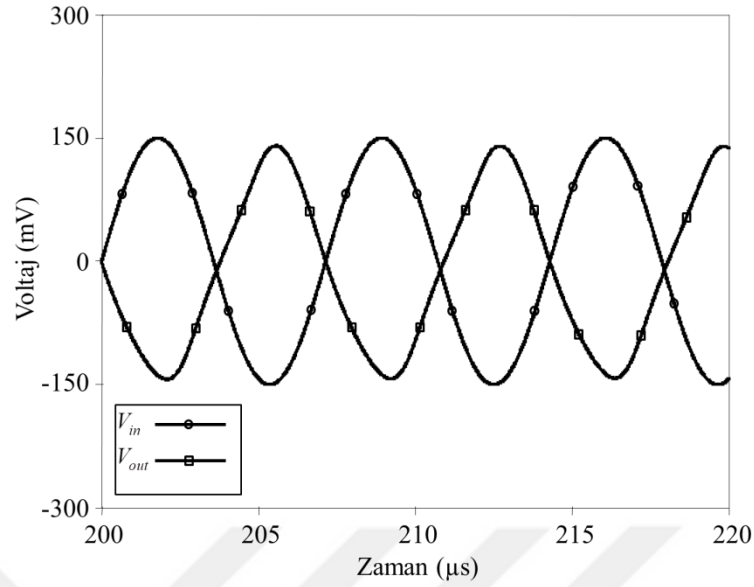
Alçak geçiren, yüksek geçiren, bant geçiren ve bant durduran süzgeç yapılarına ait frekans cevapları Şekil 4.23'te gösterilmektedir. Tüm geçiren süzgecin kazanç-frekans ve faz-frekans eğrileri ise Şekil 4.24'de verilmektedir. Ayrıca tüm geçiren süzgece ait zaman domen analizi Şekil 4.25'de verilmektedir. Bu benzetimler için kutuplama akımları ve kapasitelerin değerleri $I_{B1} = 50 \mu A$, $I_{B2} = 6 \mu A$, $C_1 = 40 \text{ pF}$ ve $C_2 = 20 \text{ pF}$ olarak seçilmiştir. Benzetim çalışmalarından açıkça görülebileceği gibi tasarlanan süzgeç yapısı bütün süzgeç karakteristiklerini başarıyla sergileyebilmektedir.



Şekil 4.23. FD-VDCCC tabanlı evrensel süzgecin alçak geçiren, yüksek geçiren, bant geçiren ve bant durduran süzgeç yapıları için frekans cevabı

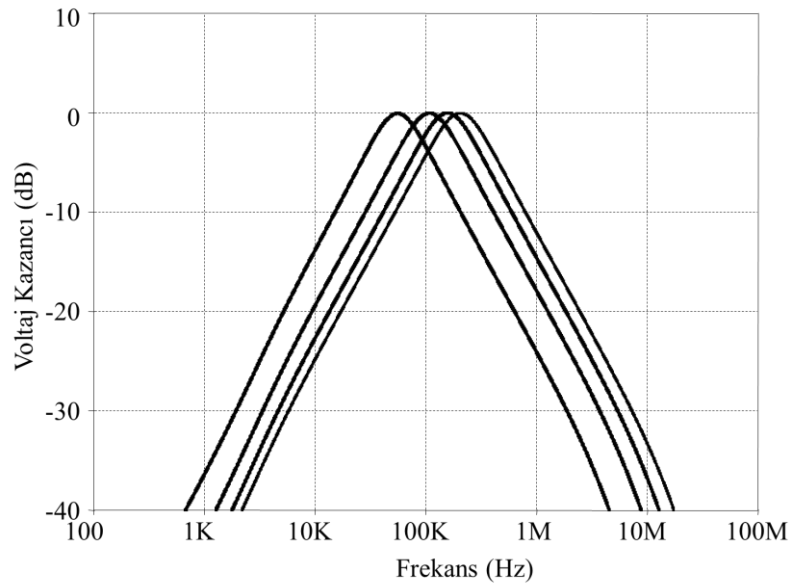


Şekil 4.24. FD-VDCCC tabanlı evrensel süzgeçte tüm geçiren süzgeç yapısının kazanç-frekans ve faz-frekans eğrileri

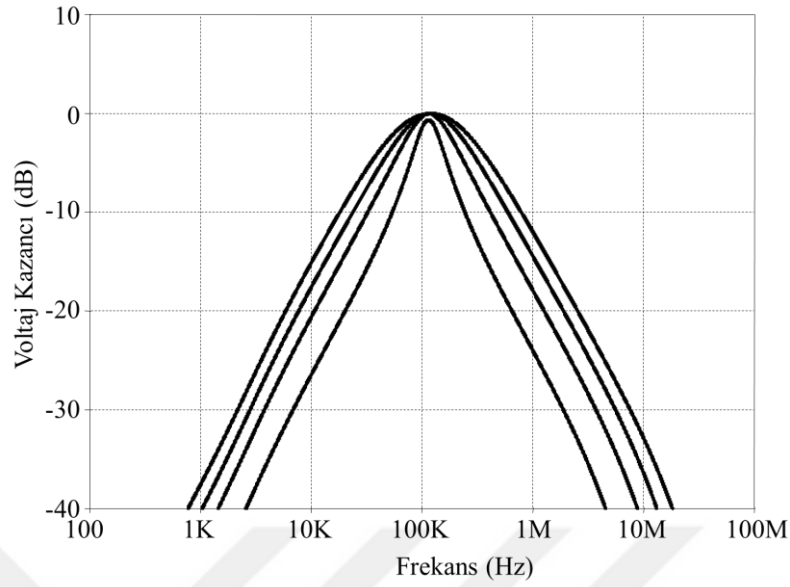


Şekil 4.25. FD-VDCCC tabanlı evrensel süzgeçte tüm geçiren süzgeç konfigürasyonuna ait zaman domenî analizi

Şekil 4.26 ve Şekil 27’de farklı kutuplama akımı değêrleri için frekans cevapları verilmiştir. Şekil 4.26’dan tasarlanan süzgeç yapısının merkez frekansının kutuplama akımları ile kontrol edilebildiğı, Şekil 4.27’den ise süzgeç yapısının kalite faktörünün kutuplama akımları ile kontrol edilebildiğı görölmektedir.



Şekil 4.26. FD-VDCCC tabanlı evrensel süzgeçte bant geçiren süzgecin merkez frekansının farklı kutuplama akımları ile ayarlanması



Şekil 4.27. FD-VDCCC tabanlı evrensel süzgeçte bant geçiren süzgecin kalite faktörünün farklı kutuplama akımları ile ayarlanması

4.2.5. Sonuçlar

Bu çalışmada, analog işaret işleme uygulamalarında kullanılabilecek yeni bir aktif eleman olarak FD-VDCCC yapısı önerilmiştir. Önerilen bu yapının giriş katını pozitif ve negatif çıkışa sahip OTA, çıkış katını ise CCDVCC yapısı oluşturmaktadır. Fark voltaj girişlerine sahip olan bu yapı birden çok akım ve voltaj çıkışına sahiptir. Bu akım ve voltajların değerleri kutuplama akımlarıyla kontrol edilebilmektedir. Giriş ve çıkış katlarının her ikisinin de kutuplama akımı ile kontrol edilebiliyor olması önerilen yapının önemli avantajlarından biridir. Ayrıca bu çalışmada, FD-VDCCC yapısı kullanılarak bir evrensel süzgeç tasarlanmıştır. Çok girişli tek çıkışlı bu süzgeç yapısı kutuplama akımlarıyla kontrol edilebilmekte, alçak geçiren, yüksek geçiren, bant geçiren, bant durduran ve tüm geçiren süzgeç karakteristiklerini sergileyebilmektedir. Tasarlanan FD-VDCCC yapısının ve süzgeç uygulamasının benzetimleri 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak SPICE ile yapılmıştır. Elde edilen benzetim sonuçlarının teorik yaklaşımları doğruladığı görülmüştür. Yeni bir aktif yapı olarak tasarlanan FD-DVCCC'nin analog işaret işleme uygulamaları için bir alternatif olabileceği düşünülmektedir.

5. BÖLÜM

SONUÇLAR VE TARTIŞMA

5.1 Sonuçlar ve Tartışma

Son yıllarda taşınabilir sistemlerin, implante ve giyilebilir biyomedikal cihazların kullanımının artmasıyla elektronik sistemlerin düşük güç tüketmesi ve düşük besleme gerilimleri ile çalışabilmeleri en önemli tasarım kriterleri haline gelmiştir. Düşük gerilim düşük güç analog tümdevre tasarımlarında en çok kullanılan teknoloji olan MOS teknolojisinde transistör boyutlarının küçülmesiyle geçit oksit kalınlığı da azalmış ve böylece transistörlerin dayanım gerilimleri de düşmüştür. Bu durum düşük besleme gerilimleri ile çalışmayı bir zorunluluk haline getirmiştir. Bunun yanı sıra transistör boyutlarının küçülmesi, birim alanda yapılan işlem yoğunluğunu artırmakta ve ısınma problemlerinin ortaya çıkmasına sebep olmaktadır. Bu sebeple güç tüketiminin düşürülmesi bu tür ısıl problemlerin de önlenmesi için oldukça önemlidir. MOS teknolojisindeki bu gelişmeler sonucunda besleme voltajlarının düşmesi voltaj modlu devrelerde dinamik çalışma sahasının daralmasına ve gürültü aralığının düşmesine sebep olurken akım modlu devrelerde düğüm gerilimleri yerine kol akımları dikkate alınarak tasarım yapıldığından besleme gerilimlerinin düşmesinden daha az etkilenmektedirler. Ayrıca, akım modlu devreler, voltaj modlu devrelere göre daha basit devre yapısı, daha yüksek değişim hızı ve daha iyi lineerlik gibi bazı avantajlara sahiptir. Bu sebeple bu tez çalışmasında akım modlu devre tasarımında kullanılan aktif elemanların ve analog işaret işleme uygulamalarının daha az güç tüketmesi ve daha düşük besleme gerilimleriyle çalışabilmesi ile ilgilenilmiştir. Bu amaçla literatürde mevcut olan aktif elemanların güç tüketimleri ve besleme voltajlarının düşürülmesine çalışılmıştır. Ayrıca akım modlu devre tasarımında kullanılabilecek yeni aktif elemanlar önerilmiştir. Bu çalışmalarda

besleme gerilimlerinin ve güç tüketiminin düşürülmesinin yanı sıra, analog işaret işleme uygulamalarının daha az aktif ve pasif devre elemanı ile tasarlanabilmesi ve yeni tasarlanan yapıların elektronik olarak kontrol edilebilmesi hedeflenmiştir.

Tezin ilk bölümünde literatürdeki düşük gerilim düşük güç tasarım teknikleri ile akım modlu analog işaret işleme uygulamalarında kullanılan aktif devre blokları hakkında bilgi verilmiştir. İkinci bölümde ise seviye kaydırıcı akım aynası tabanlı yeni bir düşük gerilim düşük güçlü OTA yapısı tasarlanmıştır. Bu yapının doğruluğunu ve gerçekleştirilebilirliğini gösterebilmek için temel bir OTA-C süzgeç yapısı oluşturulmuştur. Ayrıca tasarlanan yapının performans parametreleri Tablo 2.2’de literatürdeki diğer OTA yapıları ile karşılaştırılmıştır. Tasarlanan yapı, ± 0.5 V besleme gerilimi ile çalışabilmekte ve $83 \mu W$ güç tüketmektedir. Tasarlanan yapı literatürdeki [89], [90],[115], [116] ve [117] yapılardan daha düşük besleme gerilimleri ile çalışmakta ve daha düşük güç tüketmektedir. Ayrıca, değişim hızı, değerleri incelendiğinde önerilen yapının Tablo 2.2’deki yapılardan daha iyi bir performansa sahip olduğu görülmektedir. Bunun yanı sıra, tasarlanan yapı 80 MHz’lik bant genişliğine sahiptir. [89], [115], [116] ve [117] yapıları daha iyi frekans performansına sahipken güç tüketimi ve besleme gerilimleri göz önünde bulundurulduğunda tasarlanan yapının bant genişliği kabul edilebilir düzeydedir. Tasarlanan yapının CMRR değeri 10 MHz’e kadar 60 dB değerinin üzerindedir. 100 KHz değerine kadar [89], [90] ve [115] yapıları önerilen yapıdan daha iyi performans sergileseler de 100 KHz üzerindeki frekans değerleri için önerilen yapı, Tablo 2.2’deki yapılardan daha iyi performans göstermektedir.

Tezin üçüncü bölümünde, yeni bir VDIBA yapısı tasarlanmıştır. Ayrıca önerilen yapının işlevselliğini gösterebilmek için akım kontrollü bir evrensel süzgeç yapısı önerilmiştir. Tasarlanan VDIBA yapısı, performans kriterleri bakımından literatürdeki diğer yapılarla karşılaştırıldığında ± 0.4 V besleme gerilimi ve $569 \mu W$ güç tüketimi ile literatürdeki diğer yapılardan daha düşük besleme gerilimleri ile çalışabilmekte ve daha az güç tüketmektedir. Ayrıca 1.124 GHz’lik bant genişliği ile diğer yapılardan daha iyi bir frekans performansına sahiptir. Bunun yanı sıra OTA katının lineer çalışma sahası literatürdeki diğer yapılardan daha geniştir. Eviren tamponlanmış kuvvetlendirici katının lineer çalışma sahası besleme gerilimleri ile oranlandığında %70’lik değer ile geleneksel [95] yapıya oldukça yaklaşımaktadır. Bu

özellikler dikkate alındığında tasarlanan VDIBA yapısının düşük gerilim düşük güçlü tasarımlar için oldukça uygun olduğu ifade edilebilir.

Tezin dördüncü bölümünde analog işaret işlemlerinde kullanılabilecek iki yeni aktif eleman tasarlanmıştır. Bu yapılardan ilki DX-DVCCC yapısıdır. DX-DVCCC yapısı CCII ve ICCII yapılarının birleşiminden meydana gelen DXCCII yapısının hem akım kontrollü hem de fark giriş gerilimlerine uygun bir versiyonudur. Fark gerilim girişlerine uyumlu iki Y terminali bulunduran DX-DVCCC'nin bu sayede daha az aktif eleman kullanılarak analog işaret işleme uygulamalarının gerçekleştirilebilmesine olanak sağlayacağı düşünülmektedir. Ayrıca X terminallerinde bulunan ve değeri kutuplama akımları ile kontrol edilebilen parazitik dirençler sayesinde daha az pasif eleman kullanılarak analog işaret işleme uygulamalarının gerçekleştirilebileceği ifade edilebilir. Tasarlanan DX-DVCCC yapısı ± 0.5 V besleme gerilimleri ile çalışabilmekte ve $135 \mu W$ güç tüketmektedir. Bant genişliği ise 6.3 MHz seviyesindedir. X terminallerindeki parazitik dirençlerin değeri ise kutuplama akımlarıyla $146.3 K\Omega - 8.6 K\Omega$ aralığında ayarlanabilmektedir. Ayrıca bu bölümde DX-DVCCC yapısının işlevselliğini gösterebilmek için akım ve voltaj modlu kuadratür osilatör ve akım modlu tek girişli çok çıkışlı evrensel süzgeç yapıları tasarlanmıştır. Her iki yapı da elektronik olarak kontrol edilebilmektedir. Bunun yanı sıra bu tasarımlarda rezistif eleman kullanılmamış olması ve kullanılan kapasitörlerin topraklanmış olmaları her iki yapının da tümdevre tekniğiyle uyumlu olduğunu göstermektedir. Dördüncü bölümde tasarlanan diğer aktif eleman yapısı ise FD-VDCCC yapısıdır. Bu yapı hem voltaj modlu hem de akım modlu çalışmaya uygun olabilecek şekilde akım ve fark voltaj giriş ve çıkış terminallerine sahip olan akım kontrollü bir yapıdır. Tasarlanan bu yapı ± 0.6 V besleme gerilimleri ile çalışabilmekte ve $339 \mu W$ güç tüketmektedir. Bant genişliği ise 17.65 MHz seviyesindedir. Önerilen FD-VDCCC yapısının işlevselliğini gösterebilmek için gerilim modlu akım kontrollü bir evrensel süzgeç yapısı tasarlanmıştır. Tasarlanan bu yapı beş süzgeç karakteristiğinin hepsini sergileyebilmekte olup süzgecin kalite faktörü ve açısal frekansı kutuplama akımları ile kontrol edilebilmektedir. Bu süzgeç tasarımının rezistif eleman içermemesi yapıyı tümdevre teknolojisiyle uyumlu hale getirmiştir.

Gelecek alıřmalarda, bu tez alıřmasında tanıtılan yapılar, daha düşük besleme gerilimleri ile alıřabilecek, daha geniř dinamik alıřma sahasına sahip, parazitik diren deęerlerinin ve geiř iletkenlięi gibi kazanç ifadelerinin daha geniř aralıklarda ayarlanabilecek řekilde geliřtirilebilir. Tasarımlar yapılırken hattan hata ve daha düşük besleme gerilimleri ile alıřabilmenin saęlanması iin gvdeden srlen MOS teknięinin kullanılması dřnlebilir. Ayrıca tasarlanan yapıların yeni uygulamaları literatre kazandırılabilir.



KAYNAKÇA

1. Kuntman, H. H., 2011. New advances and possibilities provided by alternative active elements in analogue circuit design, pp. 1–12. *In: Elektr.-Elektron. Ve Bilgi. Sempozyumu*, 2011, Elazığ.
2. Biolek, D., Senani, R., Biolkova, V., Kolka, Z., 2008. Active Elements for Analog Signal Processing: Classification, Review, and New Proposals. **Radioengineering**, **17** (4): 15–32.
3. Vittoz, E. A., 1994. Analog VLSI signal processing: Why, where, and how?. **Analog Integrated Circuits and Signal Processing**, **6** (1): 27–44.
4. Rakús, M., Stopjaková, V., Arbet, D., 2017. Design techniques for low-voltage analog integrated circuits. **Journal of Electrical Engineering**, **68** (4): 245–255.
5. Smith, K. C., Sedra, A., 1968. The Current Conveyor-A New Circuit Building Block. **Proceedings of the IEEE**, **56** (8): 1368–1369.
6. Sedra, A., Smith, K., 1970. A second-generation current conveyor and its applications. **IEEE Transactions on Circuit Theory**, **17** (1): 132–134.
7. Senani, R., Bhaskar, D. R., Singh, A. K., 2015. Current Conveyors: Variants, Applications and Hardware Implementations. Springer International Publishing.
8. Yan, S., Sanchez-Sinencio, E., 2000. Low Voltage Analog Circuit Design Techniques: A Tutorial. **IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences**, **E83-A** (2): 179–196.
9. Rajput, S. S., Jamuar, S. S., 2002. Low voltage analog circuit design techniques. **IEEE Circuits and Systems Magazine**, **2** (1): 24–42.
10. Khateb, F., Dabbous, S. B. A., Vlassis, S., 2013. A Survey of Non-conventional Techniques for Low-voltage Low-power Analog Circuit Design. **Radioengineering**, **22** (2): 415–427.
11. Eldeeb, M. A., Ghallab, Y. H., Ismail, Y., Elghitani, H., 2017. Low-voltage subthreshold CMOS current mode circuits: Design and applications. **AEU - International Journal of Electronics and Communications**, **82** 251–264.

12. Ercan, H., Alci, M., 2013. A new design for a BiCMOS controlled current conveyor. **Elektronika Ir Elektrotechnika**, **19** (1): 56–60.
13. Guzinski, A., Bialko, M., Matheau, J. C., 1987. Body driven differential amplifier for application in continuous-time active-C filter, pp. 315–319. *In: Proc ECCD*, 1987, Paris, France.
14. Ercan, H., Tekin, S. A., Alci, M., 2015. Low-voltage low-power multifunction current-controlled conveyor. **International Journal of Electronics**, **102** (3): 444–461.
15. Zuo, L., Islam, S. K., 2013. Low-Voltage Bulk-Driven Operational Amplifier With Improved Transconductance. **IEEE Transactions on Circuits and Systems I: Regular Papers**, **60** (8): 2084–2091.
16. Urban, C., Moon, J. E., Mukund, P. R., 2010. Designing bulk-driven MOSFETs for ultra-low-voltage analogue applications. **Semiconductor Science and Technology**, **25** (11): 115011.
17. Khateb, F., Birolek, D., Khatib, N., Vavra, J., 2010. Utilizing the Bulk-driven Technique in Analog Circuit Design, pp. 16–19. *In: Proc. 13th IEEE Symp. Des. Diagn. Electron. Circuits Syst.*, 2010, Los Alamitos, Ieee Computer Soc.
18. Raikos, G., Vlassis, S., Psychalinos, C., 2012. 0.5 V bulk-driven analog building blocks. **AEU-International Journal of Electronics and Communications**, **66** (11): 920–927.
19. Blalock, B. J., Allen, P. E., Rincon-Mora, G. A., 1998. Designing 1-V op amps using standard digital CMOS technology. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, **45** (7): 769–780.
20. Blalock, B. J., Allen, P. E., 1995. A low-voltage, bulk-driven MOSFET current mirror for CMOS technology, pp. 1972–1975 vol.3. *In: 1995 IEEE Int. Symp. Circuits Syst. 1995 ISCAS 95*, April, 1995, Seattle, WA.
21. Akbari, M., Hashemipour, O., Moaiyeri, M. H., Aghajani, A., 2017. An efficient approach to enhance bulk-driven amplifiers. **Analog Integrated Circuits and Signal Processing**, **92** (3): 489–499.
22. Rakus, M., Stopjaková, V., Arbet, D., 2016. Comparison of gate-driven and bulk-driven current mirror topologies, pp. 1–4. *In: 2016 IEEE 19th Int. Symp. Des. Diagn. Electron. Circuits Syst. DDECS*, April, 2016, Kosice, Slovakia.

23. Khateb, F., Kulej, T., Vlassis, S., 2017. Extremely Low-Voltage Bulk-Driven Tunable Transconductor. **Circuits, Systems, and Signal Processing**, **36** (2): 511–524.
24. Raj, N., Singh, A. K., Gupta, A. K., 2016. Low Voltage High Output Impedance Bulk-Driven Quasi-Floating Gate Self-Biased High-Swing Cascode Current Mirror. **Circuits, Systems, and Signal Processing**, **35** (8): 2683–2703.
25. Zhao, X., Zhang, Q., Deng, M., 2016. Low-voltage bulk-driven OTA with enhanced transconductance and dc gain. **International Journal of Electronics Letters**, **4** (3): 249–258.
26. Rodriguez-Villegas, E., 2006. Low Power and Low Voltage Circuit Design with the FGMOS Transistor. IET Digital Library, 320 p.
27. Gundersen, H., 2008. Aspects of balanced ternary arithmetics implemented using CMOS recharged semi-floating gate devices. Institute of Informatics, University of Oslo, Ph. D. thesis, Oslo, 114 p.
28. Sökmen, Ö. G., 2013. FGMOS tabanlı akım kontrollü difreansiyel fark gerilimli akım taşıyıcı tasarımı ve uygulamaları. Fen Bilimleri Enstitüsü, Erciyes Üniversitesi, Yüksek Lisans Tezi, Kayseri, 78 p.
29. Gupta, M., Pandey, R., 2010. FGMOS based voltage-controlled resistor and its applications. **Microelectronics Journal**, **41** (1): 25–32.
30. Khateb, F., Khatib, N., Kubanek, D., 2012. Low-Voltage Ultra-Low-Power Current Conveyor Based on Quasi-Floating Gate Transistors. **Radioengineering**, **21** (2): 725–735.
31. Assaderaghi, F., Sinitsky, D., Parke, S. A., Bokor, J., Ko, P. K., Hu, C., 1997. Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI. **IEEE Transactions on Electron Devices**, **44** (3): 414–422.
32. Furth, P. M., Andreou, A. G., 1995. Linearised differential transconductors in subthreshold CMOS. **Electronics Letters**, **31** (7): 545–547.
33. Sökmen, Ö. G., Tekin, S. A., Ercan, H., Alci, M., 2016. FGMOS-based differential difference CCCII and its applications. **Turkish Journal of Electrical Engineering & Computer Sciences**, **24** (4): 2401–2411.
34. Mourabit, A. E., Lu, G.-N., Pittet, P., 2005. Wide-linear-range subthreshold OTA for low-power, low-Voltage, and low-frequency applications. **IEEE**

Transactions on Circuits and Systems I: Regular Papers, 52 (8): 1481–1488.

35. Toumazou, C., Lidgey, F. J., Haigh, D., 1990. Analogue IC Design: The Current-mode Approach. IET, 676 p.
36. Stornelli, V., Pantoli, L., Ferri, G., Liberati, L., Centurelli, F., Monsurrò, P., et al., 2017. The AB-CCII, a novel adaptive biasing LV-LP current conveyor architecture. **AEU - International Journal of Electronics and Communications**, 79 301–306.
37. Smith, K. C., Sedra, A. S., 1969. A New Simple Wide-Band Current-Measuring Device. **IEEE Transactions on Instrumentation and Measurement**, 18 (2): 125–128.
38. Black, G. G. A., Friedmann, R. T., Sedra, A. S., 1971. Gyrator implementation with integrable current conveyors. **IEEE Journal of Solid-State Circuits**, 6 (6): 396–399.
39. Sharif-Bakhtiar, M., Aronhime, P., 1978. A current conveyor realization using operational amplifiers. **International Journal of Electronics**, 45 (3): 283–288.
40. Ferri, G., Guerrini, N. C., 2003. Low-Voltage Low-Power CMOS Current Conveyors. Springer US.
41. Ettaghzouti, T., Hassen, N., Besbes, K., 2014. Novel CMOS second generation current conveyor CCII with rail-to-rail input stage and filter application, pp. 1–6. In: *2014 IEEE 11th Int. Multi-Conf. Syst. Signals Devices SSD14*, February, 2014, Barcelona, Spain.
42. Wilson, B., 1990. Recent developments in current conveyors and current-mode circuits. **IEE Proceedings G - Circuits, Devices and Systems**, 137 (2): 63–77.
43. Cheng, M. C. H., Toumazou, C., 1993. 3 V MOS current conveyor cell for VLSI technology. **Electronics Letters**, 29 (3): 317–318.
44. Elwan, H. O., Soliman, A. M., 1996. A novel CMOS current conveyor realization with an electronically tunable current mode filter suitable for VLSI. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, 43 (9): 663–670.

45. De Marcellis, A., Ferri, G., Guerrini, N. C., Scotti, G., Stornelli, V., Trifiletti, A., 2009. A novel low-voltage low-power fully differential voltage and current gained CCII for floating impedance simulations. **Microelectronics Journal**, **40** (1): 20–25.
46. Svoboda, J. A., McGory, L., Webb, S., 1991. Applications of a commercially available current conveyor. **International Journal of Electronics**, **70** (1): 159–164.
47. Marcellis, A. D., Ferri, G., Mantenuto, P., 2015. Non-Inverting CCII-based Astable Multivibrator and Its Application as Uncalibrated Wide-Range Capacitive Sensor Interface, pp. 291–295. *In: Sensors*, 2015, Springer, Cham.
48. Fabre, A., Saaid, O., Wiest, F., Boucheron, C., 1995. Current controlled bandpass filter based on translinear conveyors. **Electronics Letters**, **31** (20): 1727–1728.
49. Tangsritrat, W., 2007. Current-tunable current-mode multifunction filter based on dual-output current-controlled conveyors. **AEU - International Journal of Electronics and Communications**, **61** (8): 528–533.
50. Kumngern, M., Jongchanachavawat, W., Dejhan, K., 2010. New electronically tunable current-mode universal biquad filter using translinear current conveyors. **International Journal of Electronics**, **97** (5): 511–523.
51. Abuelma'atti, M. T., 2003. A Novel Mixed-Mode Current-Controlled Current-Conveyor-Based Filter. **Active and Passive Electronic Components**, **26** (3): 185–191.
52. Maheshwari, S., 2010. Current-mode third-order quadrature oscillator. **IET Circuits, Devices Systems**, **4** (3): 188–195.
53. Fongsamut, C., Anuntahirunrat, K., Kumwachara, K., Surakampontrorn, W., 2006. Current-conveyor-based single-element-controlled and current-controlled sinusoidal oscillators. **International Journal of Electronics**, **93** (7): 467–478.
54. Sedef, H., Sagbas, M., Acar, C., 2008. Current-controllable fully-integrated inductor simulator using CCCIs. **International Journal of Electronics**, **95** (5): 425–429.

55. Yuce, E., Minaei, S., Cicekoglu, O., 2006. Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor. **Electrical Engineering**, **88** (6): 519–525.
56. Kiranon, W., Pawarangkoon, P., 1997. Floating inductance simulation based on current conveyors. **Electronics Letters**, **33** (21): 1748–1749.
57. Erdal, C., Kuntman, H., Kafali, S., 2004. A current controlled conveyor based proportional-integral-derivative (PID) controller. **Istanbul University-Journal of Electrical & Electronics Engineering**, **4** (3): 1243–1248.
58. Maheshwari, S., 2003. High CMRR wide bandwidth instrumentation amplifier using current controlled conveyors. **International Journal of Electronics**, **89** (12): 889–896.
59. Pal, K., 1989. Modified current conveyors and their applications. **Microelectronics Journal**, **20** (4): 37–40.
60. Elwan, H. O., Soliman, A. M., 1997. Novel CMOS differential voltage current conveyor and its applications. **IEE Proceedings - Circuits, Devices and Systems**, **144** (3): 195–200.
61. Minaei, S., Ibrahim, M. A., 2009. A mixed-mode KHN-biquad using DVCC and grounded passive elements suitable for direct cascading. **International Journal of Circuit Theory and Applications**, **37** (7): 793–810.
62. Abaci, A., Yuce, E., 2017. A New DVCC+ Based Second-Order Current-Mode Universal Filter Consisting of Only Grounded Capacitors. **Journal of Circuits, Systems and Computers**, **26** (09): 1750130.
63. Gupta, S. S., Senani, R., 2000. Grounded-capacitor current-mode SRCO: novel application of DVCCC. **Electronics Letters**, **36** (3): 195–196.
64. Jaikla, W., Siripruchyanan, M., 2006. Dual-outputs Current Controlled Differential Voltage Current Conveyor and Its Applications, pp. 340–343. In: *2006 Int. Symp. Commun. Inf. Technol.*, October, 2006, Bangkok, Thailand.
65. Kubanek, D., Khateb, F., Vrba, K., 2013. Current-controlled square/triangular wave generator with MO-CCDVCC, pp. 444–448. In: *2013 36th Int. Conf. Telecommun. Signal Process. TSP*, July, 2013, Rome, Italy.
66. Chanapromma, C., Jaikla, W., Siripruchyanun, M., 2009. A digitally programmable voltage-mode multifunction filter using CCDVCCs, pp. 897–

900. In: *2009 9th Int. Symp. Commun. Inf. Technol.*, September, 2009, Incheon, Korea.
67. Sökmen, Ö. G., Alçı, M., 2014. A novel current controlled DVCC design based on FGMOS and filter applications, pp. 1536–1539. In: *2014 22nd Signal Process. Commun. Appl. Conf. SIU*, April, 2014, Trabzon, Turkey.
68. Chiu, W., Liu, S. I., Tsao, H. W., Chen, J. J., 1996. CMOS differential difference current conveyors and their applications. **IEE Proceedings - Circuits, Devices and Systems**, **143** (2): 91–96.
69. Horng, J.-W., Hou, C.-L., Chang, C.-M., Lin, Y.-T., Shiu, I.-C., Chiu, W.-Y., 2006. First-order allpass filter and sinusoidal oscillators using DDCCs. **International Journal of Electronics**, **93** (7): 457–466.
70. Horng, J.-W., 2008. High Input Impedance Voltage-Mode Universal Biquadratic Filter with Three Inputs Using DDCCs. **Circuits, Systems & Signal Processing**, **27** (4): 553–562.
71. Kumngern, M., Dejhan, K., 2009. DDCC-Based Quadrature Oscillator with Grounded Capacitors and Resistors. **Active and Passive Electronic Components**, **2009** 1–4.
72. Ibrahim, M. A., Minaei, S., Yuce, E., Herencsar, N., Koton, J., 2012. Lossy/Lossless Floating/Grounded Inductance Simulation Using One DDCC. **Radioengineering**, **21** (1): 3–10.
73. Khateb, F., Jaikla, W., Kulej, T., Kumngern, M., Kubánek, D., 2017. Shadow filters based on DDCC. **IET Circuits, Devices Systems**, **11** (6): 631–637.
74. Prommee, P., Somdunyanok, M., 2011. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. **AEU - International Journal of Electronics and Communications**, **65** (1): 1–8.
75. El-Adawy, A. A., Soliman, A. M., Elwan, H. O., 2000. A novel fully differential current conveyor and applications for analog VLSI. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, **47** (4): 306–313.
76. Becvar, D., Vrba, K., Zeman, V., Musil, V., 2000. Novel universal active block: a universal current conveyor, pp. 471–474 vol.3. In: *2000 IEEE Int. Symp.*

Circuits Syst. Emerg. Technol. 21st Century Proc. IEEE Cat No00CH36353, 2000, Geneva, Switzerland.

77. Zeki, A., Toker, A., 2003. The dual-X current conveyor (DXCCII): a new active device for tunable continuous-time filters. **International Journal of Electronics**, **89** (12): 913–923.
78. Kacar, F., Metin, B., Kuntman, H., 2010. A new CMOS dual-X second generation current conveyor (DXCCII) with an FDNR circuit application. **AEU - International Journal of Electronics and Communications**, **64** (8): 774–778.
79. Metin, B., 2011. Supplementary inductance simulator topologies employing single DXCCII. **Radioengineering**, **20** (3): 614–618.
80. Kumngern, M., 2013. A DXCCII-based four-quadrant multiplier, pp. 738–741. *In: 2013 IEEE 7th Int. Power Eng. Optim. Conf. PEOCO*, June, 2013, Langkawi Island, Malaysia.
81. Myderrizi, I., Zeki, A., 2014. Electronically tunable DXCCII-based grounded capacitance multiplier. **AEU - International Journal of Electronics and Communications**, **68** (9): 899–906.
82. Koton, J., Vrba, K., Herencsar, N., 2014. Voltage-mode full-wave rectifier based on DXCCII. **Analog Integrated Circuits and Signal Processing**, **81** (1): 99–107.
83. Chaturvedi, B., Mohan, J., 2015. Single DV-DXCCII based voltage controlled first order all-pass filter with inverting and non-inverting responses. **Iranian Journal of Electrical and Electronic Engineering**, **11** (4): 301–309.
84. Yamacli, S., Kuntman, H., 2004. A new active circuit building block: dual-X differential difference current conveyor (DXDDCC), pp. 383–386. *In: Proc. IEEE 12th Signal Process. Commun. Appl. Conf. 2004*, April, 2004, Kusadasi, Turkey.
85. Tekin, S. A., Ercan, H., Alçi, M., 2014. A versatile active block: DXCCCII and tunable applications. **Radioengineering**, **23** (4): 1130–1139.
86. Cam, U., 1998. On the realization of OTA-C oscillators. **International Journal of Electronics**, **85** (3): 313–326.

87. Zeki, A., Kuntman, H., 1999. High-output-impedance CMOS dual-output OTA suitable for wide-range continuous time filtering applications. **Electronics Letters**, **35** (16): 1295–1296.
88. Ramirez-Angulo, J., Durbha, C., Ducoudray-Acevedo, G. O., Carvajal, R. G., Lopez-Martin, A., 2007. Highly linear wide input range CMOS OTA architectures operating in subthreshold and strong inversion. **Microelectronic Engineering**, **84** (2): 273–279.
89. Lopez-Martin, A. J., Baswa, S., Ramirez-Angulo, J., Carvajal, R. G., 2005. Low-Voltage Super class AB CMOS OTA cells with very high slew rate and power efficiency. **IEEE Journal of Solid-State Circuits**, **40** (5): 1068–1077.
90. Rezaei, F., Azhari, S. J., 2012. Rail-to-rail input/output operational transconductance amplifier (OTA) with high CMRR and PSRR. **Electrical Engineering**, **94** (3): 165–175.
91. Metin, B., Pal, K., Minaei, S., Cicekoglu, O., 2009. Trade-offs in the OTA-based analog filter design. **Analog Integrated Circuits and Signal Processing**, **60** (3): 205–213.
92. Soares, C. F. T., Moraes, G. S., Petraglia, A., 2014. A low-transconductance OTA with improved linearity suitable for low-frequency Gm-C filters. **Microelectronics Journal**, **45** (11): 1499–1507.
93. Sokmen, O. G., Ercan, H., Tekin, S. A., Alci, M., 2015. A novel low voltage low power OTA based on level shifter current mirror. **Elektronika Ir Elektrotechnika**, **21** (2): 39–43.
94. Kaçar, F., Yesil, A., Noori, A., 2012. New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications. **Radioengineering**, **21** (1): 333–339.
95. Herencsar, N., Minaei, S., Koton, J., Yuce, E., Vrba, K., 2013. New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA. **Analog Integrated Circuits and Signal Processing**, **74** (1): 141–154.
96. Herencsar, N., Cicekoglu, O., Sotner, R., Koton, J., Vrba, K., 2013. New resistorless tunable voltage-mode universal filter using single VDIBA. **Analog Integrated Circuits and Signal Processing**, **76** (2): 251–260.

97. Sotner, R., Jerabek, J., Herencsar, N., 2013. Voltage differencing buffered/inverted amplifiers and their applications for signal generation. **Radioengineering**, **22** (2): 490–504.
98. Gupta, M., Srivastava, R., Singh, U., 2015. Low-voltage low-power FGMOS based VDIBA and its application as universal filter. **Microelectronics Journal**, **46** (2): 125–134.
99. Pushkar, K. L., Bhaskar, D. R., Prasad, D., 2014. Voltage-Mode New Universal Biquad Filter Configuration Using a Single VDIBA. **Circuits, Systems, and Signal Processing**, **33** (1): 275–285.
100. Sokmen, O. G., Tekin, S. A., Ercan, H., Alci, M., 2016. A Novel Design of Low-Voltage VDIBA and Filter Application. **Elektronika Ir Elektrotechnika**, **22** (6): 51–56.
101. Acar, C., Ozoguz, S., 1999. A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters. **Microelectronics Journal**, **30** (2): 157–160.
102. Jaikla, W., Siripruchyanun, M., 2006. Novel current-mode four-quadrant multiplier/divider based on current controlled CDBAs (CCCDBAs), pp. 509–512. *In: 3rd ECTI Annu. Conf.*, 2006, Ubon-ratchathani, Thailand, Ubon Ratchathani, Thailand.
103. Biolek, D., 2003. CDTA-building block for current-mode analog signal processing, pp. 397–400. *In: Proc. ECCTD*, January, 1, 2003, Cracow, Poland.
104. Jaikla, W., Siripruchyanun, M., 2006. Current controlled current differencing transconductance amplifier (CCCDTA): a new building block and its applications, pp. 348–351. *In: Proc. ECTI Conf. 2006*, May, 2006, Ubon-ratchathani, Thailand.
105. Prokop, R., Musil, V., 2005. New modern circuit block CCTA and some its applications, *In: Fourteenth Int. Sci. Appl. Sci. Conf. - Electron. 2005*, September, 21, 2005, Sozopol, Bulgaria.
106. Prokop, R., Musil, V., 2005. Modular approach to design of modern circuit blocks for current signal processing and new device CCTA., pp. 495–499. *In: Proc. Seventh IASTED Int. Conf. Signal Image Process. SIP 2005*, January, 1, 2005, Hawaii, USA.

107. Kumbun, J., Lawanwisut, S., Siripruchyanun, M., 2009. A temperature-insensitive simple current-mode squarer employing only multiple-output CCTAs, pp. 1–4. *In: TENCON 2009 - 2009 IEEE Reg. 10 Conf.*, January, 2009, Singapore.
108. Sotner, R., Slezak, J., Dostal, T., 2010. Tunable oscillator using two CCTA-s and only grounded passive elements, pp. 447–450. *In: 2010 9th Int. Conf. Environ. Electr. Eng.*, May, 2010, Prague, Czech Republic.
109. Siripruchyanun, M., Jaikla, W., 2008. Current controlled current conveyor transconductance amplifier (CCCCTA): a building block for analog signal processing. **Electrical Engineering**, **90** (6): 443–453.
110. Jantakun, A., Pisutthipong, N., Siripruchyanun, M., 2009. A synthesis of temperature insensitive/electronically controllable floating simulators based on DV-CCTAs, pp. 560–563. *In: 2009 6th Int. Conf. Electr. Eng. Comput. Telecommun. Inf. Technol.*, May, 2009, Chonburi, Thailand.
111. Yesil, A., Kacar, F., Kuntman, H., 2011. New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application. **Radioengineering**, **20** (3): 632–637.
112. Kaçar, F., Yeşil, A., Minaei, S., Kuntman, H., 2014. Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements. **AEU - International Journal of Electronics and Communications**, **68** (1): 73–78.
113. Assaad, R., Silva-Martinez, J., 2009. Recent advances on the design of high-gain wideband operational transconductance amplifiers. **VLSI Design**, **2009** 3.
114. Jain, S., 2013. To design high CMRR, high slew rate instrumentation amplifier using OTA and CDTA for biomedical application. **International Journal of Engineering Research**, **2** (5): 332–336.
115. Galan, J. A., Lopez-Martin, A. J., Carvajal, R. G., Ramirez-Angulo, J., Rubia-Marcos, C., 2007. Super Class-AB OTAs With Adaptive Biasing and Dynamic Output Current Scaling. **IEEE Transactions on Circuits and Systems I: Regular Papers**, **54** (3): 449–457.

116. Xing, G., Lewis, S. H., Viswanathan, T. R., 2009. Self-Biased Unity-Gain Buffers With Low Gain Error. **IEEE Transactions on Circuits and Systems II: Express Briefs**, **56** (1): 36–40.
117. Dhanasekaran, V., Silva-Martinez, J., Sanchez-Sinencio, E., 2009. Design of Three-Stage Class-AB $16\ \Omega$ Headphone Driver Capable of Handling Wide Range of Load Capacitance. **IEEE Journal of Solid-State Circuits**, **44** (6): 1734–1744.
118. Chanapromma, C., Daoden, K., 2010. A CMOS fully differential operational transconductance amplifier operating in sub-threshold region and its application, pp. V2-73-V2-77. In: *2010 2nd Int. Conf. Signal Process. Syst.*, July, 2010, Dalian, China.
119. Rajput, S. S., Jamuar, S. S., 2003. A Current Mirror for Low Voltage, High Performance Analog Circuits. **Analog Integrated Circuits and Signal Processing**, **36** (3): 221–233.
120. Lim, Y. C., Lai, W. H., Zhang, X. W., Li, M. F., 2000. Improved cross-coupled quad transconductor cell. **Microelectronics Journal**, **31** (2): 77–81.
121. Nedungadi, A., Viswanathan, T., 1984. Design of linear CMOS transconductance elements. **IEEE Transactions on Circuits and Systems**, **31** (10): 891–894.
122. Golnaraghi, F., Kuo, B. C., 2009. Automatic Control Systems. Wiley, 800 p.
123. Ranjan, A., Paul, S. K., 2011. Voltage Mode Universal Biquad Using CCCII. **Active and Passive Electronic Components**, 2011.
124. Herencsar, N., Koton, J., Vrba, K., 2009. Single CCTA-Based Universal Biquadratic Filters Employing Minimum Components. **International Journal of Computer and Electrical Engineering**, **1** (3): 307–310.
125. Tangsrirat, W., Klahan, K., Dumawipata, T., Surakampontrorn, W., 2006. Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design. **International Journal of Electronics**, **93** (11): 777–791.
126. Pandey, N., Kumar, P., Paul, S. K., 2015. Voltage differencing transconductance amplifier based resistorless and electronically tunable wave active filter. **Analog Integrated Circuits and Signal Processing**, **84** (1): 107–117.

127. Khateb, F., Lahiri, A., Psychalinos, C., Kumngern, M., Kulej, T., 2015. Digitally programmable low-voltage highly linear transconductor based on promising CMOS structure of differential difference current conveyor. **AEU - International Journal of Electronics and Communications**, **69** (7): 1010–1017.
128. Sanchez-Sinencio, E., Silva-Martinez, J., 2000. CMOS transconductance amplifiers, architectures and active filters: a tutorial. **IEE Proceedings - Circuits, Devices and Systems**, **147** (1): 3–12.
129. Kuo, K.-C., Leuciuc, A., 2001. A linear MOS transconductor using source degeneration and adaptive biasing. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, **48** (10): 937–943.
130. Krummenacher, F., Joehl, N., 1988. A 4-MHz CMOS continuous-time filter with on-chip automatic tuning. **IEEE Journal of Solid-State Circuits**, **23** (3): 750–758.
131. Rajput, S. S., Jamuar, S. S., 2001. Low voltage, low power, high performance current mirror for portable analogue and mixed mode applications. **IEE Proceedings - Circuits, Devices and Systems**, **148** (5): 273–278.
132. Awad, I. A., Soliman, A. M., 1999. Inverting second generation current conveyors: the missing building blocks, CMOS realizations and applications. **International Journal of Electronics**, **86** (4): 413–432.
133. Kacar, F., Kuntman, H., 2008. A new dual-X CMOS second generation current conveyor (DXCCII), pp. 1–4. In: *2008 15th IEEE Int. Conf. Electron. Circuits Syst.*, August, 2008, St. Julien's, Malta.
134. Myderrizi, I., Minaei, S., Yuce, E., 2011. DXCCII-based grounded inductance simulators and filter applications. **Microelectronics Journal**, **42** (9): 1074–1081.
135. Rodriguez-Vazquez, A., Linares-Barranco, B., Huertas, J. L., Sanchez-Sinencio, E., 1990. On the design of voltage-controlled sinusoidal oscillators using OTAs. **IEEE Transactions on Circuits and Systems**, **37** (2): 198–211.

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı: Ökkeş Gökalp SÖKMEN
Uyruğu: Türkiye (T.C)
Doğum Tarihi ve Yeri: 12.04.1987 – Diyarbakır
Medeni Durum: Bekar
e-mail: ogokalpsokmen@osmaniye.edu.tr
Yazışma Adresi: Osmaniye Korkut Ata Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği Bölümü, Karacaoğlan Yerleşkesi, 80000, Merkez/OSMANİYE.

EĞİTİM

Derece	Kurum	Mezuniyet Tarihi
Yüksek Lisans	Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliği	2013
Lisans	Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliği	2010
Lise	Sema Yazar Anadolu Lisesi	2005

İŞ DENEYİMLERİ

Yıl	Kurum	Görev
2018-Halen	Osmaniye Korkut Ata Üniversitesi	Araştırma Görevlisi
2011-2018	Erciyes Üniversitesi	Araştırma Görevlisi
2010-2011	Osmaniye Korkut Ata Üniversitesi	Araştırma Görevlisi

YABANCI DİL

İngilizce

YAYINLAR

- Sökmen, Ö. G., Alçı, M., 2014. A novel current controlled DVCC design based on FGMOS and filter applications, pp. 1536–1539. In: 2014 22nd Signal Processing and Communications Applications Conference (SIU), April, 2014, Trabzon, Turkey.
- Sokmen, O. G., Ercan, H., Tekin, S. A., Alci, M., 2015. A novel low voltage low power OTA based on level shifter current mirror. Elektronika Ir Elektrotehnika, 21 (2): 39–43.

3. Sokmen, O. G., Tekin, S. A., Ercan, H., Alci, M., 2016. A novel design of low-voltage VDIBA and filter application. *Elektronika Ir Elektrotechnika*, 22 (6): 51–56.
4. Sökmen, Ö. G., Tekin, S. A., Ercan, H., Alci, M., 2016. FGMOS-based differential difference CCCII and its applications. *Turkish Journal of Electrical Engineering & Computer Sciences*, 24 (4): 2401–2411.
5. Sökmen, Ö. G., Alçı, M., A novel active element: fully differential voltage differencing current controlled current conveyor (FD-VDCCC) and filter applications. (Accepted) In: 5th International Conference on Electrical and Electronics Engineering, May, 2018, İstanbul, Turkey.