



**ASİMETRİK ÇOK SEVİYELİ KASKAD EVİRİCİ TASARIMI VE
UYGULAMASI**

Gökhan KEVEN

**DOKTORA TEZİ
ELEKTRİK EĞİTİMİ ANA BİLİM DALI**

**GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

HAZİRAN 2019

Gökhan KEVEN tarafından hazırlanan “ASİMETRİK ÇOK SEVİYELİ KASKAD EVİRİCİ TASARIMI VE UYGULAMASI” adlı tez çalışması aşağıdaki jüri tarafından OY BİRLİĞİ ile Gazi Üniversitesi ELEKTRİK EĞİTİMİ Ana Bilim Dalında DOKTORA TEZİ olarak kabul edilmiştir.

Danışman: Prof. Dr. İlhami ÇOLAK

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Nişantaşı Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

İkinci Danışman: Prof. Dr. Ersan KABALCI

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Nevşehir Hacı Bektaş Veli

Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Başkan: Prof. Dr. Erdal BEKİROĞLU

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Bolu İzzet Baysal

Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Üye: Prof. Dr. Şevki DEMİRBAŞ

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Üye: Prof. Dr. Hamit ERDEM

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Başkent Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Üye: Prof. Dr. Ramazan BAYINDIR

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Üye: Prof. Dr. Erdal IRMAK

Elektrik Elektronik Mühendisliği Ana Bilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Doktora Tezi olduğunu onaylıyorum.

.....

Tez Savunma Tarihi: 21/06/2019

Jüri tarafından kabul edilen bu tezin Doktora Tezi olması için gerekli şartları yerine getirdiğini onaylıyorum.

.....

Prof. Dr. Sena YAŞYERLİ

Fen Bilimleri Enstitüsü Müdürü

ETİK BEYAN

Gazi Üniversitesi Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Gökhan KEVEN

21/06/2019

ASİMETRİK ÇOK SEVİYELİ KASKAD EVİRİCİ TASARIMI VE UYGULAMASI

(Doktora Tezi)

Gökhan KEVEN

GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Haziran 2019

ÖZET

Bu tez çalışmasında, asimetrik çok seviyeli kaskad bir eviricinin tasarımı ve uygulaması gerçekleştirilmiştir. Yenilenebilir enerji kaynaklarının kullanımının artmasıyla birlikte, bu kaynaklarda üretilen enerjinin dönüşümü önem kazanmıştır. Çok seviyeli eviricilerde seviye sayısının artışı, çıkış gerilimindeki dV/dt oranını azaltarak, çıkışta elde edilen alternatif akımın sinüse yakın olmasını sağlamaktadır. Asimetrik çok seviyeli kaskad evirici yapısı daha az anahtarlama elamanı kullanılarak, çıkışta daha fazla gerilim seviyesi elde edilmesine imkân vermektedir. Bununla birlikte eviricinin anahtarlama işaretlerinin üretilmesi karmaşılaşmaktadır. Çok seviyeli eviricilerin anahtarlamasında uzay vektör ve sinüsoidal darbe genişlik modülasyon teknikleri yaygın olarak kullanılmaktadır. Evirici tasarımında öncelikle benzetim sonuçları alınmış, sonra donanım tasarımı gerçekleştirilerek, akım ve gerilime ait çıkış toplam harmonik değerleri incelenmiştir. Toplam harmonik bozulmayı düşürmek için sisteme geri besleme kontrol yöntemi eklenmiştir. Toplam harmonik bozulma değerinin azaltılması için kullanılan geri besleme tekniklerinden birisi olan oransal rezonans (PR) kontrol yöntemi, çıkıştan alınan örnekleme işaretini bir referans değerle karşılaştırılarak, istenilen frekansta maksimum kazanç sağlarken, diğer frekansları bastırabilmektedir. Özellikle düşük dereceli harmoniklerin bastırılması konusunda başarılı bir kontrol yöntemidir. Asimetrik çok seviyeli kaskad evirici yapılarında PR kontrol tekniği daha önce uygulanmamış bir tekniktir. Ayrıca gerçekleştirilen bu tez çalışmasında, literatürde akım kontrol yöntemi olarak kullanılan PR kontrolden farklı olarak gerilim geri beslemesiyle kontrol işlemi gerçekleştirilmiştir. Özellikle çıkış akımının geri beslemede kullanılamayacak kadar düşük olduğu sistemlerde, örnekleme işareti gürültü oluşturacağı için akım yerine gerilim kullanılarak geri besleme sisteminden kaynaklanan hataların azaltılması sağlanmıştır. Yapılan bu tez çalışması ile çıkış akım ve gerilim toplam harmonik bozulma değerleri IEEE 519-2014 standardına uygun olan asimetrik çok seviyeli kaskad bir evirici ve kontrol yöntemi geliştirilmiştir.

Bilim Kodu : 90522
 Anahtar Kelimeler : Çok seviyeli evirici, asimetrik çok seviyeli kaskad evirici, oransal rezonans (PR) kontrol, toplam harmonik bozulma
 Sayfa Adedi : 158
 Danışman : Prof. Dr. İlhami ÇOLAK
 İkinci Danışman : Prof. Dr. Ersan KABALCI

DESIGN AND IMPLEMENTATION OF ASYMMETRIC MULTILEVEL CASCADED INVERTER

(Ph. D. Thesis)

Gökhan KEVEN

GAZİ UNIVERSITY

GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

June 2019

ABSTRACT

In this thesis, an asymmetric multilevel cascaded inverter design and implementation has been realized. The transformation of the energy, which is produced from renewable energy sources, has gained importance with the increasing use of these sources. The increasing number of levels in multi-level inverters decreases the ratio of dV/dt at output voltage, so that the achieved alternative current at the output is obtained as close to the sinusoidal. The asymmetric multilevel cascaded inverter structure allows the voltage level to be increased by using less component. However, the generation of switching signals of the inverter becomes more complicated. Space vector and sinusoidal pulse with modulation techniques are widely used in switching multilevel inverters. At first, the simulation results are obtained, then total harmonic values of current and voltage have been examined by implementing hardware design in implementation of inverter. Feedback control method has been added to the system in order to reduce the total harmonic distortion. Proportional resonance (PR) control method which is one of the feedback techniques, used to decrease the total harmonic distortion value, while providing maximum gain at the desired frequency by comparing the sampling signal obtained from the output with a reference value, PR control techniques is able to suppress other frequencies. Especially, it is a successful control technique for suppressing lower order harmonics. It has not been applied before in asymmetric multilevel inverter structures. Also, in this thesis, voltage feedback control process is performed unlike PR control which is used as a current control in literature. It is provided to reduce errors caused by feedback system by using voltage instead of current, particularly in systems where output current is too low to be used in feedback since the sampling signal will generate noise. It is developed an asymmetric multilevel cascade inverter and control method, which is the output current and voltage total harmonic distortion values, are suitable for IEEE 519-2014 standard.

Science Code : 90522

Key Words : Multilevel inverter, asymmetrical multilevel cascaded inverter,
proportional resonance (PR) controller, total harmonic distortion

Page Number : 158

Supervisor : Prof. Dr. İlhami ÇOLAK

Co-Supervisor : Prof. Dr. Ersan KABALCI

TEŞEKKÜR

Çalışmalarım boyunca değerli yardım ve katkılarıyla beni yönlendiren saygı değer danışmanım Prof. Dr. İlhami ÇOLAK'a, tez çalışmasında tez izleme komitesi üyesi olarak katkılarından dolayı değerli hocalarım Prof. Dr. Şevki DEMİRBAŞ'a ve Prof. Dr. Hamit ERDEM'e, doktora çalışmalarım boyunca her türlü akademik ve manevi desteğini esirgemeyen ve tecrübelerinden faydalandığım ikinci danışmanım ve çalışma arkadaşım Prof. Dr. Ersan KABALCI'ya, tez savunma jürisindeki değerli görüşleri ile çalışmamı destekleyen Prof. Dr. Erdal BEKİROĞLU, Prof. Dr. Ramazan BAYINDIR ve Prof. Dr. Erdal IRMAK hocalarıma, tez çalışmaları süresince bana destek olan Dr. Öğr. Üyesi Altan GENCER'e, ayrıca beni hiçbir zaman yalnız bırakmayan ve bu günlere gelmemde en büyük paya sahip olan eşim Ayşe ARIK KEVEN'e, değerli vaktinden aldığım oğlum İbrahim Efe KEVEN'e ve beni yetiştiren anne ve babama teşekkürü bir borç bilirim.

İÇİNDEKİLER

	Sayfa
ÖZET	iv
ABSTRACT.....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ.....	ix
ŞEKİLLERİN LİSTESİ.....	x
RESİMLERİN LİSTESİ	xv
SİMGELER VE KISALTMALAR.....	xviii
1.GİRİŞ.....	1
2. EVİRİCİLER.....	5
2.1. Çok Seviyeli Eviriciler	9
2.1.1. Diyot kenetlemeli ÇSE.....	10
2.1.2. Kondansatör kenetlemeli ÇSE	11
2.1.3. Kaskad H-köprü ÇSE.....	13
2.2. Asimetrik Çok Seviyeli Eviriciler	14
2.2.1. Asimetrik hibrit ÇSE.....	17
2.2.2. Asimetrik kaskad ÇSE	18
3. EVİRİCİLERDE MODÜLASYON YÖNTEMLERİ.....	21
3.1. Sinüsoidal Darbe Genişlik Modülasyonu	22
3.2. Uzak Vektör Darbe Genişlik Modülasyonu	28
3.3. Seçmeli Harmonik Elemanlı Darbe Genişlik Modülasyonu	35
4. EVİRİCİLERDE KONTROL YÖNTEMLERİ.....	37
4.1. Senkron Referans Düzleminde Kontrol.....	38
4.2. Sabit Referans Düzleminde Kontrol.....	38
4.3. Doğal Referans Düzleminde Kontrol	39

	Sayfa
4.4. PR Kontrol	43
5. BENZETİM ÇALIŞMALARI	49
5.1. UVDGM Benzetim Çalışması	49
5.2. SDGM Benzetim Çalışması.....	57
5.2.1. KFYD-SDGM benzetim çalışması	57
5.2.2. FK-SDGM benzetim çalışması	61
5.2.3. Benzetim çalışması sonuçlarının karşılaştırılması	64
5.2.4. KFYD-SDGM tekniği için farklı parametrelerin benzetim sonuçları.....	64
5.3. PR Kontrollü KFYD-SDGM Benzetim Çalışması	67
6. AKÇSE UYGULAMA ÇALIŞMALARI	73
6.1. Uygulama Devresi Donanımsal Yapısı	74
6.1.1. Anahtarlama elemanı özellikleri ve bağlantı şeması.....	74
6.1.2. DA kaynak tasarımı.....	76
6.1.3. İşlemci özellikleri.....	77
6.1.4. Sürücü devresi tasarımı	83
6.1.5. Akım ve gerilim ölçüm devrelerinin tasarımları	85
6.1.6. Uygulama sisteminin genel yapısı	89
6.1.7. THB analizi için matlab programının kullanımı	90
6.1.8. Matlab/simulink programı ile işlemcinin programlanması	91
6.2. Deneysel Sonuçlar	95
6.2.1. KFYD-SDGM deneysel sonuçları	96
6.2.2. PR kontrollü KFYD-SDGM deneysel sonuçları.....	104
7. SONUÇ VE ÖNERİLER	141
KAYNAKLAR	147
ÖZGEÇMİŞ.....	157

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 2.1. ÇSE’lerin topolojilerine göre kullanılan eleman sayılarının karşılaştırılması.....	10
Çizelge 2.2. 3-seviyeli DK-ÇSE’de yarı iletkenlerin anahtarlama durumları	11
Çizelge 2.3. 3-seviyeli KK-ÇSE’de yarı iletkenlerin anahtarlama durumları	12
Çizelge 2.4. 3-seviyeli KHK-ÇSE’de yarı iletkenlerin anahtarlama durumları	13
Çizelge 2.5. Simetrik ve asimetrik topolojideki ÇSE parametrelerinin karşılaştırılması.....	17
Çizelge 3.1. SDGM türlerinin modülasyon indeks hesaplamaları.....	27
Çizelge 3.2. Sektörlere göre anahtarlama durumlarının değişimi.....	35
Çizelge 4.1. Doğrusal kontrol yöntemlerinin karşılaştırılması	41
Çizelge 5.1. 7-seviyeli eviricinin sektörlere göre çıkış hesaplamaları.....	55
Çizelge 5.2. Modülasyon tekniklerinin çıkış değerlerinin karşılaştırılması	64
Çizelge 5.3. KFYD-SDGM tekniği için farklı parametrelerin benzetim sonuçları	65
Çizelge 5.4. PR kontrollü 7-seviyeli AKÇSE için KFYD-SDGM tekniğinde elde edilen farklı parametrelerin benzetim sonuçları	71
Çizelge 6.1. 4 kW asenkron motor parametreleri	74
Çizelge 6.2. STM32F4 “Basic PWM” çıkışları tablosu	83
Çizelge 6.3. Fazların Anahtarlarına göre kullanılan çıkış uçları	83
Çizelge 6.4. KFYD-SDGM tekniği ile 7-seviyeli AKÇSE yapısının farklı modülasyon indeks değerlerinde alınan ölçüm sonuçları.....	98
Çizelge 6.5. 1 Hp asenkron motor etiket parametreleri	108
Çizelge 6.6. PR kontrollü AKÇSE uygulaması deney-1 sonuçları.....	109
Çizelge 6.7. PR kontrollü KFYD-SDGM ile PR kontrol kullanmayan KFYD-SDGM çalışmasının akım ve gerilim harmonik sonuçlarının karşılaştırılması	133
Çizelge 6.8. KFYD-SDGM ve PR kontrollü KFYD-SDGM için elde edilen CFT sonuçları.....	134
Çizelge 6.9. Deney-1, Deney-2 ve Deney-3’e ait R fazı THB _i ve THB _v değerlerinin karşılaştırılması.....	139

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. Gerilim kaynaklı eviricilerin sınıflandırılması	8
Şekil 2.2. Diyot kenetlemeli 3-seviyeli ÇSE topolojisi bağlantı yapısı.....	10
Şekil 2.3. Kondansatör kenetlemeli 3-seviyeli ÇSE topolojisi bağlantı yapısı.....	12
Şekil 2.4. Kaskad H-Köprü 3-seviyeli ÇSE topolojisi bağlantı yapısı	13
Şekil 2.5. 3 fazlı 5-seviyeli KHK-ÇSE topolojisi bağlantı yapısı.....	14
Şekil 2.6. 7-seviyeli ikili (binary) yapıdaki AKÇSE topolojisinde bağlantı yapısı	16
Şekil 2.7. 9 seviyeli üçlü (trinary) yapıdaki AKÇSE topolojisinde bağlantı yapısı	16
Şekil 2.8. İki hücreli AHÇSE devre topolojisi.....	17
Şekil 2.9. AKÇSE topolojisi yapısında H-köprü modüllerinin seri olarak bağlanması	18
Şekil 2.10. 7-seviyeli ikili yapıdaki AKÇSE’de modüllerin çıkış gerilim seviyeleri ve evirici çıkışındaki gerilim seviyeleri	19
Şekil 3.1. ÇSE modülasyon teknikleri	21
Şekil 3.2. SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması.....	22
Şekil 3.3. Bipolar SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması.....	23
Şekil 3.4. Unipolar SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması.....	24
Şekil 3.5. FYD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri	25
Şekil 3.6. KFYD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri.....	25
Şekil 3.7. AKFYD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri.....	25
Şekil 3.8. FK-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri	26
Şekil 3.9. $abc-\alpha\beta$ düzlem dönüşümü (Clark Dönüşümü).....	28
Şekil 3.10. $\alpha\beta$ düzlemindeki V_{ref} işareti.....	29
Şekil 3.11. 3-seviyeli bir ÇSE için UVDGM sektör yapısı ve anahtarlama durumları.....	30
Şekil 3.12. UVDGM anahtarlama sırası	31
Şekil 3.13. 7-seviyeli bir ÇSE için bağımsız anahtarlama vektörlerinin durumu.....	32

Şekil	Sayfa
Şekil 3.14. UVDGM’de referans vektörün 60° koordinatındaki durumu.....	33
Şekil 4.1. Evirici kontrol yöntemleri.....	37
Şekil 4.2. Senkron referans düzleminde kullanılan PI kontrolün blok diyagramı	38
Şekil 4.3. Sabit referans düzlem kontrolü blok diyagramı.....	39
Şekil 4.4. Doğal referans düzlem kontrolü blok diyagramı	39
Şekil 4.5. Kestirim kontrolü blok diyagramı	41
Şekil 4.6. Ölü darbe kontrolü blok diyagramı.....	42
Şekil 4.7. Histerisiz kontrol diyagramı	42
Şekil 4.8. PR kontrol sistemin blok diyagramı	44
Şekil 4.9. Harmonik düzenleyici eklenmiş PR kontrol sistemin blok diyagramı	44
Şekil 4.10. Doğal referans düzlemindeki PR kazanç blok diyagramı.....	45
Şekil 4.11. Matlab/Simulink programında gerçekleştirilen PR kazanç blok diyagramı	45
Şekil 4.12. Farklı K_p değerlerinde PR kazanç etkisi.....	46
Şekil 5.1. 7-seviyeli AKÇSE anahtarlama elemanlarının bağlantı yapısı	49
Şekil 5.2. 7 seviyeli AKÇSE UVDGM benzetim blokları.....	50
Şekil 5.3. UVDGM benzetim bloğu içyapısı	51
Şekil 5.4. 3 faz giriş ve $\alpha\beta$ düzlemine dönüştürülmüş durumu.....	51
Şekil 5.5. Sektör seçim bloğu iç yapısı	52
Şekil 5.6. Koordinat dönüşüm bloğu iç yapısı.....	52
Şekil 5.7. Sektör seçim bloğu çıkışı ve 60° faz farkı bulunan x, y işaretleri	53
Şekil 5.8. Bir faza ait H-Köprü bloğu yapısı iç yapısı ve anahtarlama elemanlarının bağlantısı	54
Şekil 5.9. 7-seviyeli AKÇSE’nin UVDGM ile modülasyonunda yük üzerindeki faz akımları	56
Şekil 5.10. 7-seviyeli AKÇSE’nin UVDGM ile modülasyonunda yük üzerindeki faz gerilimleri	56
Şekil 5.11. UVDGM de A fazına ait THB değeri a) THB_i , b) THB_v	57

Şekil	Sayfa
Şekil 5.12. KFYD-SDGM benzetim blokları	58
Şekil 5.13. KFYD-SDGM anahtarlama işaretleri üretim bloğu içyapısı	58
Şekil 5.14. KFYD-SDGM Sinüs-üçgen karşılaştırma işlemi	59
Şekil 5.15. KFYD-SDGM Sinüs-üçgen karşılaştırma sonucu elde edilen işaretler	59
Şekil 5.16. KFYD-SDGM çıkış faz akımları	60
Şekil 5.17. KFYD-SDGM çıkış faz gerilimleri	60
Şekil 5.18. KFYD-SDGM de A fazına ait THB değeri a) THB_i , b) THB_v	60
Şekil 5.19. FK-SDGM benzetim blokları	61
Şekil 5.20. FK-SDGM anahtarlama işaretleri üretim bloğu içyapısı	61
Şekil 5.21. FK-SDGM Sinüs-üçgen karşılaştırma işlemi	62
Şekil 5.22. FK-SDGM çıkış faz akımları	63
Şekil 5.23. FK-SDGM çıkış faz gerilimleri	63
Şekil 5.24. FK-SDGM de A fazına ait THB değeri a) THB_i , b) THB_v	63
Şekil 5.25. 7-Seviyeli AKÇSE yapısının, KFYD-SDGM tekniği kullanılarak farklı anahtarlama frekansı ve farklı modülasyon indeks değerlerindeki akım ve gerilim harmonik değerlerinin karşılaştırılması	66
Şekil 5.26. PR kontrollü KFYD-SDGM benzetim blokları	67
Şekil 5.27. PR kontrol bloğu içyapısı	68
Şekil 5.28. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış akımının dalga şekilleri	69
Şekil 5.29. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış geriliminin dalga şekilleri	69
Şekil 5.30. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış akımının THB_i değeri ve çıkış geriliminin THB_v değeri	69
Şekil 5.31. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile gerçekleştirilen farklı K_p ve K_i değerleri için çıkış akım ve gerilimine ait THB_i ve THB_v değerleri	72
Şekil 6.1. Uygulama devresi blok şeması	73

Şekil	Sayfa
Şekil 6.2. 2MBI100u4A-120-50 IGBT modülü iç bağlantı şeması	75
Şekil 6.3. Anahtarlama elamanlarının DA besleme gerilimi bağlantı diyagramı	75
Şekil 6.4. DA besleme devresi bağlantı şeması	77
Şekil 6.5. STM32F4 geliştirme kartı.....	80
Şekil 6.6. Waijung blok seti	81
Şekil 6.7. VLA517-01R, a) içyapısı b) bağlantı devresi	84
Şekil 6.8: VLA517-01R sürücü devresi devre şeması	85
Şekil 6.9. a) LV-25P gerilim sensörü b) LA-55 akım sensörü	86
Şekil 6.10. Gerilim okuma kartı şeması.....	86
Şekil 6.11. Akım ölçüm kartı şeması	88
Şekil 6.12. THB hesaplama için kullanılan benzetim blokları	90
Şekil 6.13. Target setup bloğu ve ayarları	91
Şekil 6.14. Uygulama programını oluşturan bloklar a) üçgen dalga b) anahtarlama c) ölü zaman bloğu	92
Şekil 6.15. Dijital Output (GPIO) blokları.....	93
Şekil 6.16. ST32F4 için matlab programında üçgen işaretlerinin üretimi a) 8 adımlı üçgen blokları, b) 8 adımlı üçgen-sinüs karşılaştırma ve anahtarlama işareti, c) 4 adımlı üçgen blokları, d) 4 adımlı üçgen- sinüs karşılaştırma ve anahtarlama işareti.....	94
Şekil 6.17. KFYD-SDGM anahtarlama durumları üretimi Matlab/Simulink blokları	97
Şekil 6.18. KFYD-SDGM uygulamasında farklı modülasyon indeks değerleri için düşük harmonik derecelerinin (3, 5, 7, 9 ve 11 dereceli harmonikler) ve THB_i değerlerinin karşılaştırmalı olarak gösterimi	102
Şekil 6.19. KFYD-SDGM uygulamasında farklı modülasyon indeks değerleri için düşük harmonik derecelerinin (3, 5, 7, 9 ve 11 dereceli harmonikler) ve THB_v değerlerinin karşılaştırmalı olarak gösterimi	104
Şekil 6.20. PR kontrollü KFYD-SDGM blok diyagramı.....	105
Şekil 6.21. PR kontrollü KFYD-SDGM Matlab/Simulink blok diyagramı	106
Şekil 6.22. PR kontrol bloğu içyapısı	106

Şekil	Sayfa
Şekil 6.23. 7-Seviyeli PR kontrollü AKÇSE uygulama deney düzenekleri	108
Şekil 6.24. Deney-1 için alınan THB_v değeri ve 3, 5, 7, 9 ve 11. harmonik değerlerinin farklı K_p ve K_i değerlerine göre karşılaştırılması	125
Şekil 6.25. Deney-1 için alınan THB_i değeri ve 3, 5, 7, 9 ve 11. harmonik değerlerinin farklı K_p ve K_i değerlerine göre karşılaştırılması	132
Şekil 6.26. PR kontrollü KFYD-SDGM tekniğinde $K_p=1$, $K_i=0,01$ değerleri için 5 kHz benzetim ve 6 kHz uygulama sonuçlarının karşılaştırılması.....	134



RESİMLERİN LİSTESİ

Resim	Sayfa
Resim 6.1. IGBT DA besleme gerilimi uygulama devresi	76
Resim 6.2. DA besleme devresi uygulaması	77
Resim 6.3. STM32F4 Discovery bağlantı kartı a) Uygulama devresi b) Baskı devresi	82
Resim 6.4. VLA517-01R sürücü devresi a) Baskı devre b) Uygulama devresi	85
Resim 6.5. Gerilim okuma kartı a) Baskı devre çizimi b) Devre kartı	87
Resim 6.6. Akım ölçüm kartının uygulama devresi	88
Resim 6.7. Uygulama devresi	89
Resim 6.8. Uygulama sistemi genel görünümü	90
Resim 6.8. R fazı S11(sarı) ve S21(mavi) anahtarlama işaretleri.....	95
Resim 6.9. KFYD uygulaması RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $m_i=0,75$ için sonuçlar b) $m_i=0,8$ için sonuçlar c) $m_i=0,9$ için sonuçlar d) $m_i=1$ için sonuçlar.....	99
Resim 6.10. KFYD uygulaması R fazı filtresiz gerilim a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$	99
Resim 6.11. KFYD uygulaması R fazı akım a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$	100
Resim 6.12. KFYD-SDGM uygulamasında R fazı akımının THB _i için alınan FFT analizi sonuçları a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$	101
Resim 6.13. KFYD uygulaması R fazı geriliminin THB _v için alınan FFT analizi sonuçları a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$	103
Resim 6.14. PR kontrollü KFYD uygulaması $K_p=0,75$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	110
Resim 6.15. PR kontrollü KFYD uygulaması $K_p=0,8$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	111
Resim 6.16. PR kontrollü KFYD uygulaması $K_p=0,9$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	112

Resim	Sayfa
Resim 6.17. PR kontrollü KFYD uygulaması $K_p=1$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	113
Resim 6.18. PR kontrollü KFYD uygulaması $K_p=1,1$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	114
Resim 6.19. PR kontrollü KFYD uygulaması $K_p=1,2$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	115
Resim 6.20. PR kontrollü KFYD uygulaması $K_p=0,75$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	116
Resim 6.21. PR kontrollü KFYD uygulaması $K_p=0,8$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	117
Resim 6.22. PR kontrollü KFYD uygulaması $K_p=0,9$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	117
Resim 6.23. PR kontrollü KFYD uygulaması $K_p=1$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	118
Resim 6.24. PR kontrollü KFYD uygulaması $K_p=1,1$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	119
Resim 6.25. PR kontrollü KFYD uygulaması $K_p=1,2$ değerinde farklı K_i değerleri için R fazı filtresiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$	120
Resim 6.26. PR kontrollü KFYD uygulaması $K_i=0,0001$ değerinde farklı K_p değerleri için R fazı THB _v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	121
Resim 6.27. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı THB _v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	122
Resim 6.28. PR kontrollü KFYD uygulaması $K_i=1$ değerinde farklı K_p değerleri için R fazı THB _v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	123

Resim	Sayfa
Resim 6.29. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı THB_v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	124
Resim 6.30. PR kontrollü KFYD uygulaması $K_i=0,0001$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	126
Resim 6.31. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	126
Resim 6.32. PR kontrollü KFYD uygulaması $K_i=1$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	127
Resim 6.33. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	128
Resim 6.34. PR kontrollü KFYD uygulaması $K_i=0,0001$ için farklı K_p değerlerinde R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	128
Resim 6.35. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	129
Resim 6.36. PR kontrollü KFYD uygulaması $K_i=1$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	130
Resim 6.37. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$	131
Resim 6.38. PR kontrollü KFYD-SDGM Deney-2 uygulaması sonuçları a) RST faz gerilimleri b) R fazı akımı c) THB_v değeri d) THB_i değeri e) R fazı filtresiz çıkış gerilimi	138
Resim 6.39. PR kontrollü KFYD-SDGM Deney-3 uygulaması sonuçları a) RST faz gerilimleri b) R fazı akımı c) THB_v değeri d) THB_i değeri e) R fazı filtresiz çıkış gerilimi	138

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler

Açıklamalar

φ	Faz açısı
θ	Referans vektörünün $\alpha\beta$ düzlemindeki açısı
ω	Rezonans frekansı
ω_0	Açısal hız
dV/dt	Gerilim-zaman değişimi
f_s	Sinüs işaretinin frekansı
f_t	Taşıyıcı işaretinin frekansı
h	Harmonik numarası
K_p	Oransal kazanç
K_i	İntegral kazanç
m_i	Modülasyon indeksi
m_f	Modülasyon frekans indeksi
N	DA kaynak sayısı
t_s	Örnekleme zamanı
V_{DA}	DA besleme gerilimi
V_{p-p}	Tepeden tepeye gerilim
V_{ref}	Referans vektörün $\alpha\beta$ düzlemindeki değeri
$V_{ref\alpha}$	Referans vektörünün α düzleminde bulunduğu konum
$V_{ref\beta}$	Referans vektörünün β düzleminde bulunduğu konum
V_{RMS}	Etkin gerilim değeri
V_s	Sinüsoidal gerilim işaretinin tepe değeri
V_t	Taşıyıcı işaretin genlik değeri

Kısaltmalar

Açıklamalar

AA	Alternatif Akım
AÇSE	Asimetrik Çok Seviyeli Evirici

Kısaltmalar**Açıklamalar**

ADC	Analog-Digital Converter
AHÇSE	Asimetrik Hibrit Çok Seviyeli Evirici
AKÇSE	Asimetrik Kaskad Çok Seviyeli Evirici
AKE	Akım Kaynaklı Evirici
AKFYD	Alternatif Karşılıklı Faz Yer Değiştirmeli
ARM	Acorn RISC Machine
CFT	Curve Fitting Tool
ÇSE	Çok Seviyeli Evirici
DGM	Darbe Genişlik Modülasyonu
DK	Diyot Kenetlemeli
EMI	Electro Magnetic Interference
FFT	Fast Fourier Transform
FK	Faz Kaydırmalı
FPU	Floating Point Unit
FYD	Faz Yer Değiştirmeli
GKE	Gerilim Kaynaklı Evirici
GPIO	General Purpose Input Output
IEEE	Elektrik ve Elektronik Mühendisleri Enstitüsü
IGBT	Kapı Çift Kutuplu Transistörler
KFYD	Karşılıklı Faz Yer Değiştirmeli
KK	Kondansatör Kenetlemeli
KHK	Kaskad H-Köprü
NNK	Nötr Nokta Kenetlemeli
PI	Oransal İntegral
PR	Oransal Rezonans
RISC	Reduced Instruction Set Computing
RMS	Root Mean Square (Etkin Değer)
RMSE	Root Mean Squared Error
SCR	Silikon Kontrollü Doğrultucu
SDGM	Sinüsoidal Darbe Genişlik Modülasyonu
SHE-DGM	Seçmeli Harmonik Elemeli DGM
SSE	Sum of Squares Due to Error

Kısaltmalar**Açıklamalar****THB**

Toplam Harmonik Bozulma

UVDGM

Uzay Vektör Darbe Genişlik Modülasyonu



1. GİRİŞ

Günümüzde endüstriyel alanda kullanılan cihazların büyük çoğunluğu yüksek güç gerektiren makine ve ekipmanlardan oluşmaktadır. Ayrıca kullanılan elektronik devreler ile bilgisayar kontrollü sistemler için kaliteli ve güvenilir enerji sağlama gerekliliği de artmaktadır. Özellikle elektrik makineleri ve bunların sürücüleri için kullanılan güç elektroniği elemanlarından kaynaklanan çeşitli problemler ve yenilenebilir enerji kaynaklarının kullanımındaki artış sebebiyle meydana gelen harmoniklerin ve bozulmaların en aza indirildiği standartlara uygun enerji ihtiyacı artmaktadır [1-4].

Bu kaliteli enerji ihtiyacını karşılamak amacıyla gerilim kaynaklı eviriciler (GKE) ve akım kaynaklı eviriciler (AKE) kullanılmaktadır. Yüksek güçlü eviriciler ve orta gerilimde çalışan sürücüler 1980'li yıllardan sonra elektronik elemanların gelişimi ile GTO, IGBT gibi elektronik elemanların kullanımıyla gelişim göstermiştir. Fakat tek bir yarı iletkenin orta gerilimde anahtarlama için kullanılması çeşitli sorunlara neden olmaktadır. Bu sebeple yarı iletkenlerin orta gerilimde anahtarlama elemanı olarak kullanılması için çok seviyeli evirici (ÇSE) devreleri kullanılmaktadır [1-4].

Günümüzde endüstride kullanılan cihazların enerji ihtiyacını en verimli ve kaliteli şekilde sağlayabilmek için yoğun araştırmalar yapılmaktadır. Özellikle yenilenebilir enerji kaynaklarının elektrik enerji üretimine olan katkısı düşünüldüğünde, endüstriyel cihazların enerji ihtiyacını karşılamak için üretilen sistemler sürekli olarak geliştirilmektedir. Bu sistemlerden beklenen; düşük toplam harmonik bozulma (THB) oranı, düşük elektromanyetik girişim (EMI) gürültüsü ve düşük ortak mod gürültüsüne sahip olmalarıdır. ÇSE sistemleri, bahsedilen bu ihtiyaçları karşılamak için 1980'li yıllardan başlayarak günümüze kadar gelişimini sürdüren güç elektroniği araştırma alanlarından birisidir [1-5].

ÇSE üzerine yapılan ilk çalışma, 1980'li yıllarda başlayan üç seviyeli nötr nokta kenetlemeli (NNK) evirici topolojisidir [5]. Bu çalışmadan sonra sürekli olarak gelişen ÇSE çalışmalarında diyot kenetlemeli (DK), kondansatör kenetlemeli (KK) ve kaskad H-köprü (KHK) topolojileri oluşturulmuştur. ÇSE'lerin sağladığı avantajlardan en önemlileri şunlardır;

- Çıkışta elde edilen düşük dV/dt oranı,
- Hat gerilim ve akımındaki harmonik bileşenlerin azaltılması,
- Anahtarlama elemanları üzerindeki gerilim baskısının azalmasına bağlı olarak azalan ortak mod geriliminin sağlanması [6].

ÇSE'lerde, çıkış dalga şeklini oluşturmak için gerekli olan adım sayısı artırılarak her bir anahtarlama elemanına düşen gerilimin genliği azaltılmakta ve bu sayede dV/dt oranı düşürülerek evirici çıkışında elde edilen dalga şeklinin kalitesini artırılmaktadır. ÇSE'lerde kullanılan anahtarlama elemanı sayısı ve kullanılan yardımcı elemanların sayıları devre yapısına göre farklılık göstermektedir [3].

KHK topolojisi simetrik ve asimetrik bağlantı olmak üzere iki farklı şekilde seri olarak bağlanmaktadır. Simetrik bağlantıda her bir hücrede kullanılan doğru akım (DA) kaynaklarının genlikleri eşittir. Ayrıca simetrik bağlantıda çıkış gerilim seviyelerinin sayısı hücre sayısına göre değişmektedir. Bağımsız DA kaynaklarının orantısız bir şekilde artırıldığı KHK bağlantıları ise asimetrik ÇSE (AÇSE) olarak adlandırılmaktadır. AÇSE'lerde girişteki farklı gerilim oranları kullanılarak, simetrik çok seviyeli eviricilere göre çıkış geriliminde hücre sayısını arttırmaya gerek kalmadan daha fazla gerilim seviyesi elde edilmektedir [6].

Çıkış gerilim seviyeleri simetrik eviricilere göre daha fazla olan AÇSE topolojisi için yapılan araştırmalar artış göstermektedir. Asimetrik topolojinin avantajları yanında bazı dezavantajları da bulunmaktadır. Bu dezavantajlar; izoleli DA kaynak kullanma gerekliliği, anahtarlama elemanları üzerindeki yüksek gerilim baskısı, anahtarlama elemanlarının kullanım ömürlerinin kısılması, kenetleme kondansatörlerin şarj kontrolü gibi durumlardan oluşmaktadır. Yapılan araştırmalarda bu dezavantajların azaltılması ve giderilmesi konularında çalışılmaktadır [7-9].

AÇSE'lerin anahtarlama elemanlarının çalışmasında kullanılan birçok modülasyon tekniği bulunmaktadır. Eviricilerde çıkıştaki AA genlik ve frekansının kontrol edilebilmesi gerekmektedir. Bu amaçla kullanılan modülasyon tekniklerinden en yaygın olanı darbe genişlik modülasyonudur (DGM). Temelde modüle edici bir sinüs işareti ile taşıyıcı bir üçgen dalga işaretinin karşılaştırılması ile elde edilen birçok DGM tekniği bulunmaktadır [10].

DGM tekniklerinden en çok kullanılanları, sinüsoidal darbe genişlik modülasyonu (SDGM), uzay vektör darbe genişlik modülasyonu (UVDGM), seçmeli harmonik elemeli darbe genişlik modülasyonu (SHE-DGM) ve çok taşıyıcılı darbe genişlik modülasyonlarıdır. SDGM modülasyonu, diğer modülasyonlara göre daha kolay ve esnek olarak üretilebilmektedir. Bununla beraber SDGM modülasyonunda çıkış geriliminin maksimum tepe değeri, giriş DA kaynak geriliminin %50'si kadar olabilmektedir. Fakat eviricinin kontrolünde kullanılacak modülasyon tekniğinin seçimini belirleyen en önemli unsur maksimum çalışma frekansıdır. Ayrıca Çolak vd. [1] tarafından gerçekleştirilen araştırmada KHK topolojisinde SHE modülasyonu yerine UVDGM veya SDGM modülasyonun kullanılması daha uygun olacağı belirtilmektedir [10].

Bu çalışmada öncelikli olarak asimetrik kaskad ÇSE (AKÇSE) yapısında kullanılan anahtarlama elemanlarının kontrolünü gerçekleştirecek olan modülasyon yöntemleri araştırılmıştır. Bu amaçla UVDGM ve SDGM tekniklerinin kullanımı incelenmiştir. Literatürde UVDGM tekniği bir anahtarlama durum tablosu ile birlikte kullanılmaktadır. Bunun yerine anahtarlama durumlarının dinamik olarak elde edildiği bir UVDGM tekniği geliştirilmiştir. Benzetim çalışmalarında gerçekleştirilen bu teknik, uygulama aşamasında kullanılan işlemcinin hesaplama işlemlerindeki yetersizliği ve çıkış gerilim frekansının 50 Hz değerinden daha düşük elde edilmesi sebebiyle anahtarlama işaretlerinin üretilmesi için SDGM tekniği kullanılmıştır. SDGM modülasyon tekniğinde anahtarlama durumlarının elde edilmesi UVDGM tekniğine göre daha kolay bir şekilde gerçekleştirilmiştir.

Tezin benzetim çalışmalarında UVDGM ve SDGM modülasyon teknikleri karşılaştırılmıştır. SDGM tekniği hem kolay uygulanabiliyor olması hem de benzetim THB sonuçlarının UVDGM tekniğinden daha düşük olması sebebiyle uygulama aşamasında tercih edilmiştir. Uygulama aşamasında kullanılan SDGM tekniği ile elde edilen sonuçlarda, THB oranının istenilenden (IEEE 519-2014 *IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems* standardına göre) yüksek olması sebebiyle çalışmaya bir geri besleme kontrol yöntemi eklenmiştir. Günümüzde kullanılan birçok geri besleme kontrol tekniği bulunmaktadır. Eviricilerde kullanılan başlıca kontrol teknikleri doğrusal ve doğrusal olmayan kontrol teknikleridir. Oransal Rezonans (PR) kontrol, sürekli durum hatasının olmaması ve özellikle düşük seviyeli harmonikleri önlemedeki başarısı sebebiyle tercih edilmektedir. Ayrıca literatürde, PR kontrolün AKÇSE yapısında kullanıldığı çalışma bulunmamaktadır. Temel olarak PR

kontrol, belirlenen bir frekansta kazancı maksimum yapmaktadır. PR kontrol literatürde çıkış akımından alınan akım örnekleme işaretinin kullanıldığı bir akım kontrol yöntemi olarak kullanılmaktadır [11-13].

Literatürde akım geri beslemesine dayalı olarak kullanılan PR kontrol tekniği, çıkış akımının örnekleme işaretini oluşturamayacak kadar düşük olduğu ve bu nedenle harici gürültülerden kolayca etkilendiği için ölçüm ve kontrol hatalarına neden olmaktadır. Bu hataların sonucu olarak da çıkış akım ve gerilimindeki toplam harmonikleri önemli oranda bastıramamaktadır. Bu tez çalışmasında, çıkış geriliminden örnekleme işareti alınarak geri besleme kontrolünde kullanıldığı bir PR kontrol tekniği geliştirilmiştir. Çıkış geriliminden alınan örnekleme işaretinin genliği, akım örnekleme genliğinden daha yüksek olduğu için elde edilen örnekleme işaretleri çıkış gerilimi ve akımında oluşan harmonikleri bastırmak amacıyla kullanılmıştır.

IEEE 519-2014 ile tanımlanmış uluslararası standarda göre 1kV değerinden düşük gerilimlerde THB oranının hat akımları için %5'ten, hat gerilimleri için %8'den daha düşük olması, akım harmoniklerinde 3 ile 11. derece arasındaki harmoniklerin her birisinin de %4'ten düşük olması gerekmektedir. Aynı standarda göre gerilim ve akım harmoniklerinin hesaplanması, 50 Hz sistemler için 10 periyotluk dalga şekli kullanılarak gerçekleştirilmelidir [14]. Gerçekleştirilen AKÇSE'de, THB oranlarının faz akımları ve faz gerilimleri için öngörülen uluslararası sınırların altına düşürülerek, harmonik bozulumu ve neden olduğu kayıpların en aza indirilmesine amaçlanmıştır.

Bu çalışmanın amacı, IEEE 519-2014 standardında belirtilen çıkış THB değerlerine sahip AKÇSE tasarımı için uygun bir modülasyon ve kontrol tekniği geliştirmektir. Bunu gerçekleştirmek için öncelikli olarak uygun modülasyon tekniğinin belirlenmesi için uygulama çalışmaları yapılmış, ardından THB değerlerinin düşürülmesi için sisteme bir geri besleme kontrol yapısı eklenmiştir. Literatür taramasında PR kontrol tekniğinin, AKÇSE yapısında kullanımı ile ilgili olarak yapılmış herhangi bir çalışmanın bulunmadığı tespit edilmiştir. AKÇSE modülasyonunda PR kontrol tekniğinin gerilim geri besleme sistemi kullanılarak gerçekleştirilmesiyle, AKÇSE ve PR kontrol alanındaki çalışmalara bir yenilik getirilmektedir. Ayrıca gerçekleştirilen 7-seviyeli AKÇSE sistemiyle elde edilen THB değerleri literatürdeki benzer çalışmalara yakın ve daha düşük oranlarda elde edilmiştir.

2. EVİRİCİLER

Güç elektroniği, elektrik ve elektronik mühendisliğinde geniş yer bulan bir çalışma alanıdır [15]. Güç elektroniğinde amaç kaynaktan yüke aktarılan gücün kontrol edilmesidir. Bu amaçla kaynaktan verilen gücün, yüke göre değiştirilmesi gerekebilir. Güç elektroniği dönüşümlerinde en önemli nokta kaynaktan yüke aktarılan gücün verimliliğidir [16].

Güç elektroniği alanındaki çalışmalar 19. yüzyıl sonlarında alternatif akımın (AA) doğru akıma (DA) dönüştürülmesi ile başlamıştır. Bu amaçla ilk olarak vakum tüpleri kullanılmakta iken 20. yüzyılın ortalarından sonra yarı iletken elektronik elemanların bulunması ve bu elemanlardaki gelişmelerle birlikte güç elektroniği alanındaki çalışmalar artmıştır [15].

Güç elektroniğinde gerçekleştirilen dönüştürme işlemleri dört ana başlığa ayrılmaktadır.

- AA-DA dönüştürücüler (Doğrultucular)
- DA-AA dönüştürücüler (Eviriciler)
- DA-DA dönüştürücüler (Konvertörler)
- AA-AA dönüştürücüler (Kıyıcılar) [15-17].

Bu dönüştürme işlemlerinde AA-AA dönüştürücüler yerine günümüzde daha çok iki dönüştürücünün birleşmesi ile elde edilen AA-DA-AA dönüştürücüler kullanılmaktadır [16]. Güç elektroniğindeki bu dönüştürme işlemlerinde direnç kondansatör bobin gibi pasif devre elemanları bulunmasıyla beraber asıl olarak yarı iletken devre elemanları kullanılmaktadır. Bunlar diyot, tristör, silikon kontrollü doğrultucu (SCR), kapı tıkamalı tristör (GTO), transistörler (BJT), metal oksit alan etkili transistör (MOSFET) ve izoleli kapı çift kutuplu transistörler (IGBT) kullanılmaktadır. Bu yarı iletkenlerin kullanım alanları istenilen çalışma gücü ve çalışma frekansına göre değişiklik göstermektedir [10, 15-17].

Eviriciler girişte DA güç kaynağı kullanılarak, istenilen genlik ve frekansta AA elde etmek için kullanılmaktadır [10]. Girişteki DA güç kaynağı, bir doğrultucunun çıkışından alınabileceği gibi yakıt hücresi, akü gibi sabit bir kaynaktan olabilir. Eviriciler tek faz veya

üç faz olarak tasarlanmaktadır. Özellikle endüstriyel uygulamalar için kullanılacak olan eviriciler üç faz olarak tasarlanmaktadır [15].

Eviricilerin sınıflandırılmasında eviricinin şebeke ile bağlantısının olup olmamasına göre iki ayrı sınıfa ayrılmaktadır. Şebeke bağlantılı olan eviriciler on-grid evirici, şebekeye bağlı olmadan çalışan eviriciler ise off-grid evirici olarak adlandırılmaktadır [15, 17].

Eviriciler kullandıkları kaynak türüne göre gerilim kaynaklı ve akım kaynaklı olmak üzere iki sınıfa ayrılmaktadır. GKE'ler günümüzde en yaygın olarak kullanılan eviricilerdir. Bu eviricilerde girişteki gerilim kaynağı istenilen genlik, frekans ve fazda AA elde edilmesini sağlar. GKE'lerde iç empedans düşüktür ve genellikle kaynağa paralel bir kondansatör ile sabit bir giriş gerilimi sağlanmaktadır. GKE'lerde çıkış gerilim dalga şekilleri yüksek dV/dt seviyelerinde olmasından dolayı, çıkışın sinüse yakın olması için çıkışta endüktif bir yük kullanılmalıdır. Kapasitif yük kullanılması durumunda çıkış akımında meydana gelecek sıçramaların önlenmesi için eviricinin çıkışında endüktif bir filtre kullanılmalıdır. AKE'lerde girişte bir akım kaynağı kullanılmaktadır ve bu kaynağa bağlı seri bir bobin ile sabit akım elde edilmektedir. Yarı iletken anahtarlama elemanları ile akımın yönü belirlenir ve çıkışta düşük empedansa sahip bir yük bulunmaktadır [10, 15].

Eviricilerin kullanım alanları genel olarak aşağıdaki şekilde sıralanabilir;

- Asenkron ve senkron makinelerin kontrolünde kullanılan ayarlanabilir hız sürücülerinde skaler ya da vektör kontrollü AA kaynakları
- Kesintisiz Güç Kaynaklarında kullanılan sabit AA güç kaynakları
- Statik VAR kompanzatörler
- Aktif Filtreler
- Esnek AA iletim sistemleri (EAAİS)
- Gerilim kompanzasyonu [10].

Evirici devreler, kontrol ve tasarım açısından incelendiğinde üç ayrı kategoriye ayrılmaktadır.

- Darbe genişlik modüleli (DGM) eviriciler: Bu eviricilerde, kullanılan yarı iletkenlerin

anahtarlanması DGM işaretleri kullanılarak yapıldığın bu eviriciler DGM kontrollü evirici olarak adlandırılır.

- Kare dalga eviriciler: Bu eviricilerde, çıkışta elde edilen gerilimin kare dalgaya benzemesinden dolayı bu eviriciler, kare dalga evirici olarak tanımlanırlar.
- Gerilim bastırmalı tek faz eviriciler: Bu eviricilerde, anahtarlama işlemleri DGM ile yapılırken çıkış kare dalgaya benzemektedir. Önceki iki tekniğin birleşimi olarak değerlendirilebilir [10].

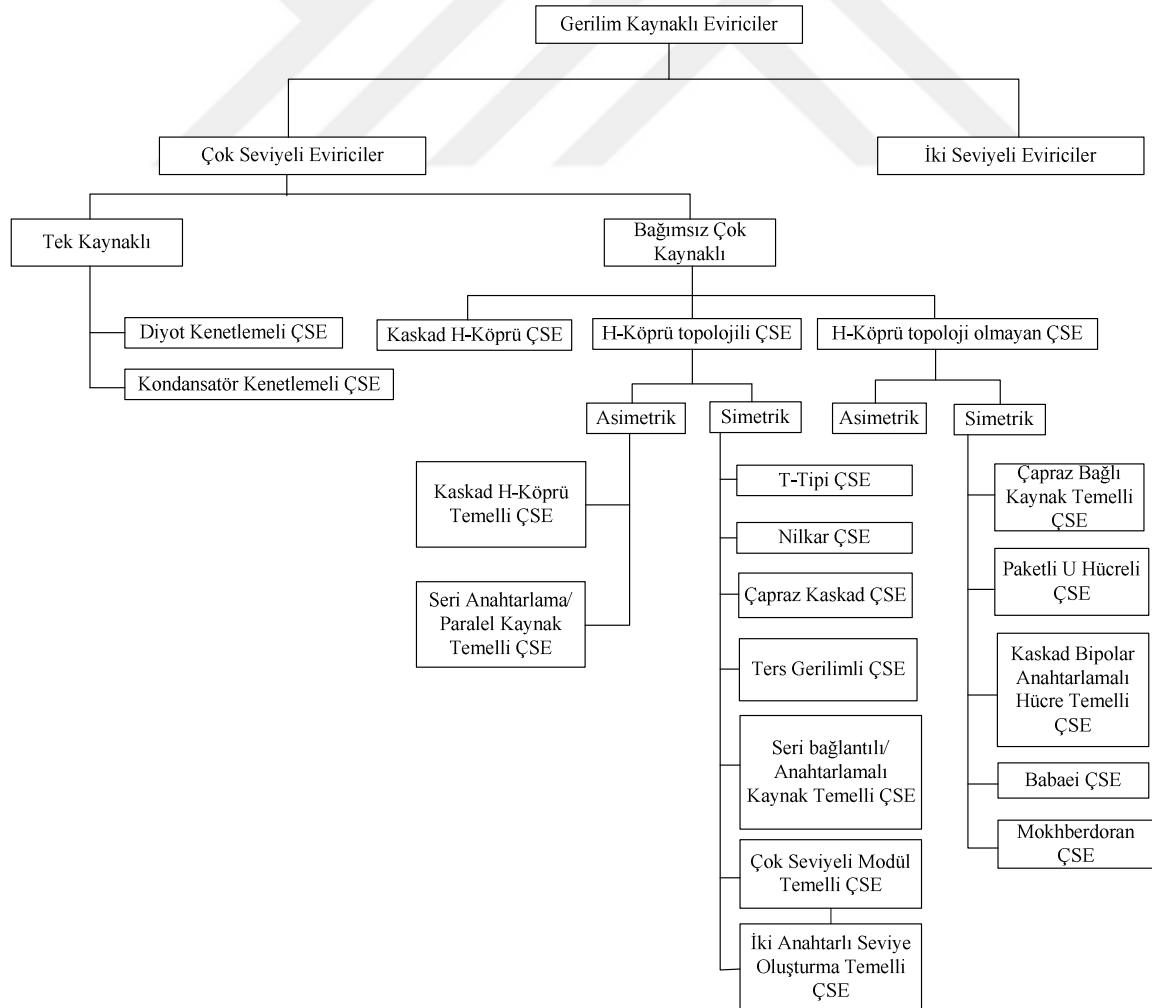
GKE topolojileri Şekil 2.1’de görüleceği gibi anahtarlama elemanlarının bağlantı şekilleri, kaynak kullanımı ve yapısal özelliklerine göre çeşitli sınıflara ayrılmaktadırlar. Öncelikle iki seviyeli evirici topolojileri ve çok seviyeli evirici topolojileri olarak iki bölüme ayrılabilir. İki seviyeli evirici topolojilerinde yarım köprü ve tam köprü yarı iletken anahtarlama elemanları bağlantısı kullanılmaktadır. Bu eviricilerde 2 çıkış seviyesi bulunmaktadır. ÇSE topolojileri kullandıkları kaynak sayısına göre tek kaynak kullanan ve çok sayıda izoleli kaynak kullanan topolojiler olarak ayrılmaktadırlar. DK-ÇSE ve KK-ÇSE topolojileri tek kaynak kullanan topolojilerdendir. Bağımsız çok kaynak kullanan topolojiler incelendiğinde, KHK-ÇSE topoloji temel olarak geliştirilmiş bir topolojilerdir. Bununla birlikte günümüzde KHK-ÇSE yapısı temel alınarak geliştirilen kaskad H-köprü kullanan topolojiler, bağımsız çok kaynak kullanan ve yapısında KHK kullanmayan topolojiler olarak iki ayrı bölüme daha ayrılmaktadırlar. Ayrıca bu topolojiler kendi içlerinde kullanılan kaynakların oranı eşit olan (simetrik) ve eşit olmayan (asimetrik) olmak üzere alt bölümlere ayrılmaktadırlar [10, 18].

ÇSE topolojileri incelemesinde günümüzde sıklıkla kullanılan DK-ÇSE, KK-ÇSE ve KHK-ÇSE topolojilerinin incelemesi ayrıntılı olarak diğer bölümlerde gerçekleştirilmiştir. Yapısında H-Köprü kullanan topolojilerden ilki seri anahtarlama/paralel kaynak temelli ÇSE topolojisidir. Bu topoloji Hinago vd. [19] tarafından geliştirilmiştir. İki bölümden oluşan bu topolojide, birinci bölüm çıkış seviyelerinin üretilmesini sağlarken ikinci bölüm çıkış geriliminin pozitif veya negatif alternansını üreten ve DA gerilimi AA dalga şekline dönüştüren kısımdır. Bu topolojide kaynaklar asimetrik olarak yani farklı gerilim seviyelerinde kullanılmaktadır [18].

Yapısında H-Köprü kullanan topolojilerden simetrik kaynak kullanılarak geliştirilen topolojiler ise; Gerardo Ceglia vd. [20] tarafından geliştirilen T-Tipi ÇSE, Nilkar vd. [21]

tarafından gerçekleştirilen Nilkar ÇSE topolojisi, Khosroshahi vd. [22] tarafından önerilen çapraz kaskad ÇSE topolojisi, Najafi vd. [23] tarafından gerçekleştirilen ters gerilim ÇSE topolojisi, Choi ve Kang [24] tarafından geliştirilen seri bağlantılı/anahtarlama kaynak temelli ÇSE topolojisi, Ebrahimi vd. [25] tarafından önerilen çok seviyeli modül temelli ÇSE topolojisi ve Kangarlu vd. [26] tarafından gerçekleştirilen iki anahtarlı seviye oluşturma temelli ÇSE topolojisi [18].

H-köprü kullanmayan izole kaynaklı ÇSE topolojileri incelendiğinde; bu topolojiler Gupta vd. [27] tarafından gerçekleştirilen çapraz bağlı kaynak temelli ÇSE topolojisi, Ounejjar vd. [28] tarafından gerçekleştirilen paketli U hücreli ÇSE topolojisi, Babaei [29] tarafından önerilen kaskad bipolar anahtarlama hücre temelli ÇSE topolojisi, yine Babaei vd. [30] tarafından geliştirilen Babaei ÇSE topolojisi, Mokhberdoran ve Ajami [31] tarafından gerçekleştirilen Mokhberdoran ÇSE topolojisi olarak ayrılmaktadırlar [18].



Şekil 2.1. Gerilim kaynaklı eviricilerin sınıflandırılması

2.1. Çok Seviyeli Eviriciler

ÇSE topolojileri Nabae vd. [5] tarafından geliştirilen üç seviyeli NNK evirici ile başlamıştır. Bu topolojide üçüncü seviye kaynağın nötr noktası ile oluşturulduğu için bu isim verilmiştir. ÇSE, güç elektroniği alanında günümüzde en çok araştırılan ve endüstriyel uygulamalarda yer bulan bir evirici topolojisidir. Bu evirici topolojisinde, çıkış dalga şeklindeki adım sayısı artırılarak ve anahtarlama elemanlarına uygulanan gerilimin düşürülmesiyle çok daha iyi bir çıkış dalga şekli elde edilmesi sağlanmaktadır. Bu sayede çıkıştaki dV/dt oranı ve çıkış EMI değerinin azaltılmasını sağlanmaktadır. Ayrıca çıkış THB değeri de önemli ölçüde azalmaktadır [10, 32-34].

ÇSE'lerin geleneksel eviricilere göre birçok avantajı bulunmaktadır. Bunlar;

- Düşük harmonik bozulma ve düşük dV/dt oranı sağlaması.
- Daha düşük ortak mod gerilimine sahip olması,
- Düşük ve yüksek anahtarlama frekansında çalışabilmesi,
- Seviye artışıyla sinüse daha yakın çıkış dalga şekli üretmesi,
- Yüksek güç kalitesi sağlaması,
- Giriş akımının daha düşük gürültü ile çıkışa aktarılabilmesi [6, 34-39]

ÇSE'ler geleneksel eviricilerle karşılaştırıldığında ise aşağıdaki gibi özetlenebilecek bazı dezavantajları da bulunmaktadır;

- Artan seviye ile birlikte kullanılan yarı iletken anahtarlama elemanı sayısının da artması,
- Anahtarlama elemanı sayısının artması nedeniyle artan sürücü devresi ihtiyacı ve bunların oluşturduğu maliyet,
- Seviye sayısı artışıyla birlikte daha karmaşık anahtarlama durumu hesabı [36].

Günümüzde en yoğun olarak kullanılan ÇSE topolojileri kullandıkları eleman sayılarına göre incelendiğinde, m seviyeli bir ÇSE tasarımında kullanılacak eleman sayıları Çizelge 2.1'de verilen şekilde bulunmaktadır. Çizelge 2.1 incelendiğinde aynı seviye sayısı için KHK topolojisindeki bir eviricinin DK ve KK topolojilere göre daha az sayıda devre

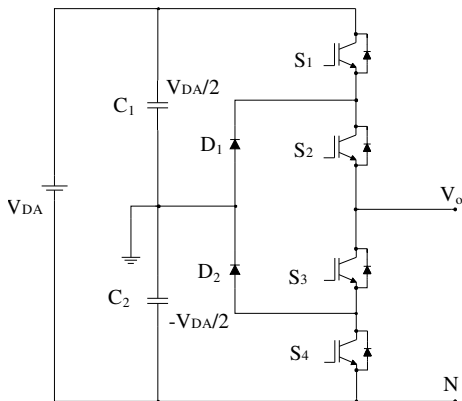
elemanına ihtiyaç duyduğu görülmektedir. Seviye sayısı arttıkça KHK topolojisinin avantajı daha da artmaktadır [10, 34, 35, 38, 40, 41].

Çizelge 2.1. ÇSE’lerin topolojilerine göre kullanılan eleman sayılarının karşılaştırılması

	Diyot Kenetlemeli	Kondansatör Kenetlemeli	Kaskad H-Köprü
Anahtarlama Elemanı Sayısı	$2 \cdot (m-1)$	$2 \cdot (m-1)$	$2 \cdot (m-1)$
Kenetleme Diyot Sayısı	$(m-1) \cdot (m-2)$	0	0
Kenetleme Kondansatörü Sayısı	0	$(m-1)(m-2)/2$	0
Yardımcı Kondansatör Sayısı	$(m-1)$	$(m-1)$	0
Kullanılan kaynak sayısı	1	1	$(m-1)/2$

2.1.1. Diyot kenetlemeli ÇSE

DK-ÇSE topolojisinde diyotlar kullanılarak gerilimin kenetlenmesi ile güç elemanları üzerindeki gerilim baskısının azaltılması sağlanmaktadır. Bu topoloji ilk geliştirilen ÇSE topolojilerindendir ve NNK eviriciler günümüzde DK-ÇSE olarak anılmaktadır. Bu topolojide, m seviyeli bir evirici için $2 \cdot (m-1)$ sayıda anahtarlama elemanı, $(m-1) \cdot (m-2)$ sayıda kenetleme diyotu ve $(m-1)$ sayıda yardımcı kondansatör kullanılmaktadır [38, 40].



Şekil 2.2. Diyot kenetlemeli 3-seviyeli ÇSE topolojisi bağlantı yapısı

Devrenin besleme geriliminde V_{DA} değerinde bir kaynak kullanıldığında çıkışta $+V_{DA}/2$, 0, $-V_{DA}/2$ seviyeleri elde edilebilmektedir. Şekil 2.2’de 3 seviyeli tek fazlı bir DK-ÇSE yapısı

görülmektedir. Burada S_1 ve S_3 anahtarlarının anahtarlama işaretleri arasında 180° faz farkı varken aynı şekilde S_2 ve S_4 anahtarları 180° faz farkıyla tetiklenmektedir. Çizelge 2.2’de 3-seviyeli DK-ÇSE için anahtarlama durumları ve bu durumlarda elde edilen çıkış seviyeleri gösterilmektedir [38, 40].

Çizelge 2.2. 3-seviyeli DK-ÇSE’de yarı iletkenlerin anahtarlama durumları

Çıkış Seviyesi	S_1	S_2	S_3	S_4
$+V_{DA}/2$	1	1	0	0
0	0	1	1	0
$-V_{DA}/2$	0	0	1	1

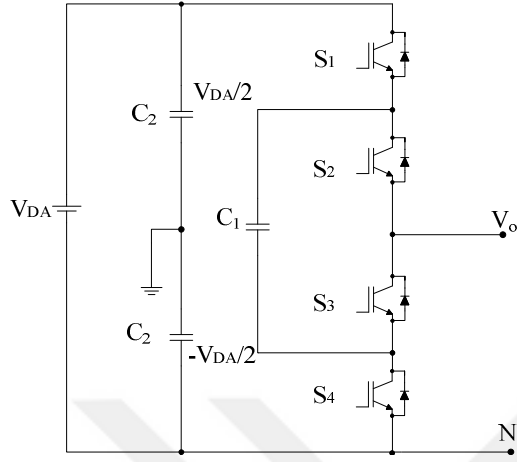
DK-ÇSE topolojisi; tek bir DA kaynaktan beslenebilmesi, gerilim seviye arttırıldığında daha düşük THB değerine sahip çıkış gerilimi üretmesi, temel frekans anahtarlamaına uygun olması, reaktif güç kontrolü sağlaması ve basit kontrol yöntemleriyle çalıştırılabilmesi gibi çeşitli avantajlara sahiptir [40-42]. Bunun yanı sıra kenetleme diyot sayısı, gerilim seviyesinin artışıyla beraber artmakta ve doğal olarak bu durum sistemin maliyetiyle karmaşıklığını arttırmaktadır. DK-ÇSE’nin diğer dezavantajları ise anahtarlama elemanlarındaki gerilim baskısının eşit olmaması, yardımcı kondansatörlerin eşzamansız şarj ve deşarjı ile yüksek ters gerilimine sahip kenetleme diyot ihtiyacı olarak sıralanabilir [40-42].

2.1.2. Kondansatör kenetlemeli ÇSE

KK-ÇSE topolojisinde, DK-ÇSE kullanılan kenetleme diyotları yerine kondansatörler kullanılarak seviyelerin oluşturulması sağlanmaktadır. Bu topolojide, m seviyeli bir evirici için $2 \cdot (m-1)$ sayıda anahtarlama elemanı, $(m-1) \cdot (m-2)/2$ sayıda kenetleme kondansatörü ve $(m-1)$ sayıda yardımcı kondansatör kullanılmaktadır. Bu topolojide, girişte kullanılan V_{DA} gerilimindeki bir kaynak için çıkışta $+V_{DA}/2$, 0, $-V_{DA}/2$ gerilim seviyeleri elde edilmektedir [40-42].

KK-ÇSE topolojisi, çıkış dalga şeklinin oluşturulmasında ve gerilim dengelemesinde DK-ÇSE’ye göre daha fazla esneklik sunmaktadır. Şekil 2.3’te 3-seviyeli tek fazlı bir KK-ÇSE yapısı görülmektedir. Burada S_1 ve S_4 anahtarları, DK-ÇSE’de olduğu gibi birbirine ters polaritede anahtarlanırken S_2 ve S_3 anahtarları da kendi aralarında 180° faz farkıyla

tetiklenmektedir. 3-seviyeli KK-ÇSE için anahtarlama durumları ve çıkış seviyeleri Çizelge 2.3'te gösterilmektedir [40-42].



Şekil 2.3. Kondansatör kenetlemeli 3-seviyeli ÇSE topolojisi bağlantı yapısı

Çizelge 2.3. 3-seviyeli KK-ÇSE’de yarı iletkenlerin anahtarlama durumları

Çıkış Seviyesi	S_1	S_2	S_3	S_4
$+V_{DA}/2$	1	1	0	0
0	0	1	0	1
$-V_{DA}/2$	0	0	1	1

KK-ÇSE topolojisinin avantajları şunlardır;

- Tek bir bağımsız DA kaynak kullanılmaktadır.
- Seviye artışı ile daha düşük THB elde edilebilir.
- Fazla sayıdaki kondansatör ile çıkıştaki gücün sürekliliği sağlanabilir.
- Aktif ve reaktif güç akışı kontrol edilebilir.
- Bu topolojide aynı seviye için farklı anahtarlama durumları kullanılabilir [40-42].

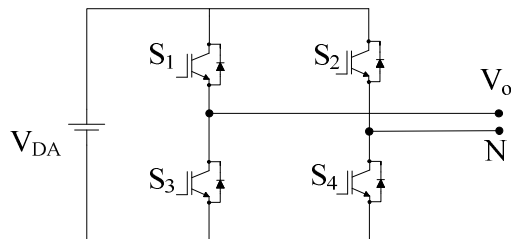
KK-ÇSE topolojisinin dezavantajları ise şunlardır;

- Artan seviye ile birlikte kullanılan kenetleme kondansatörü sayısı arttığından devrenin boyutları ve maliyet artmaktadır.
- Anahtarlama kayıplarına bağlı olarak verimliliği düşüktür.

- Kondansatör geriliminin dengelenmesi için kullanılacak anahtarlama algoritması karmaşıktır.
- Düşük anahtarlama frekansının kullanımı kondansatör gerilim dengesizliğinden dolayı zordur [40-42].

2.1.3. Kaskad H-köprü ÇSE

KHK-ÇSE topolojisi, diğer iki topolojiden farklı olarak birden fazla izole kaynak kullanılarak gerçekleştirilmektedir. Eviricideki her H-köprü bir modül olarak adlandırılır ve her modül için bağımsız bir kaynak kullanılmaktadır. Her modül dört adet anahtarlama elemanı içermektedir. Bu topolojide, m seviyeli bir evirici için $2(m-1)$ sayıda anahtarlama elemanı, $(m-1)/2$ sayıda bağımsız kaynak kullanılmaktadır. KHK-ÇSE yapısında yardımcı kondansatör, kenetleme diyotu ve kenetleme kondansatörü kullanılmamaktadır. Girişteki V_{DA} bir kaynak için çıkışta $+V_{DA}$, 0 , $-V_{DA}$ seviyeleri elde edilebilmektedir. KHK topolojisinde her modül ile üç farklı çıkış elde edilebilmektedir. Birbirine seri olarak kolaylıkla bağlanan bu modüller ile çıkış seviyesi artırılabilir. Şekil 2.4'te 3-seviyeli bir KHK-ÇSE topolojisi görülmektedir. Burada S_1 ve S_3 anahtarları birbirine ters bir şekilde çalışmaktadır. Aynı şekilde S_2 ve S_4 anahtarları da birbirine ters bir şekilde çalışmaktadır. Aynı zamanda S_1 ve S_4 anahtarları eşzamanlı ve S_2 ve S_3 anahtarları da eşzamanlı çalışmaktadır. Çizelge 2.4'te 3-seviyeli KHK-ÇSE için anahtarlama durumları ve çıkış seviyeleri bulunmaktadır [40-42].



Şekil 2.4. Kaskad H-Köprü 3-seviyeli ÇSE topolojisi bağlantı yapısı

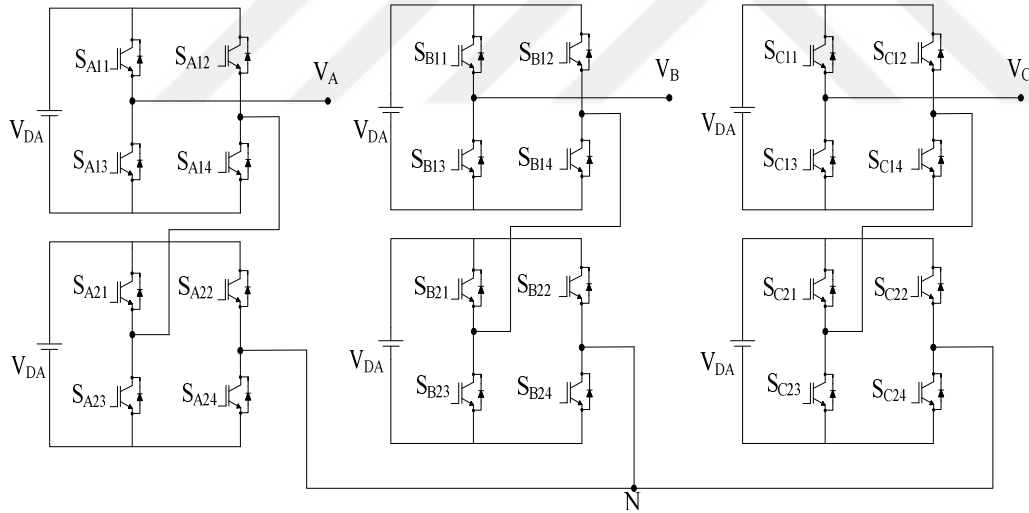
Çizelge 2.4. 3-seviyeli KHK-ÇSE'de yarı iletkenlerin anahtarlama durumları

Çıkış Seviyesi	S_1	S_2	S_3	S_4
$+V_{DA}$	1	0	0	1
0	0	0	1	1
$-V_{DA}$	0	1	1	0

KHK-ÇSE topolojisinin avantajları şunlardır;

- DK-ÇSE ve KK-ÇSE ile karşılaştırıldığında aynı sayıdaki çıkış seviyesi için daha az eleman kullanılmaktadır.
- Anahtarlama kayıplarını azaltmak için yumuşak anahtarlama teknikleri uygulanabilir.
- H-Köprü modüllerinin kolaylık seri şekilde bağlantısı gerçekleştirilerek seviye sayısı artırılabilir [40-42].

KHK-ÇSE topolojisinin dezavantajı ise her H-köprü için bağımsız bir kaynak kullanımıdır. Fakat özellikle daha yüksek seviye elde etmek için yakıt hücreleri ve foto voltaik panellerde kullanıma oldukça uygundur [10, 42]. KHK topolojisinde her bir H-köprü hücresinin seri bağlantısı ile seviyelerin artırılması kolaylıkla gerçekleştirilmektedir. Şekil 2.5'te üç fazlı 5-seviyeli KHK-ÇSE yapısı verilmiştir. 5-Seviyeli evirici yapısında her faz için iki adet modül kullanılmaktadır.



Şekil 2.5. 3 fazlı 5-seviyeli KHK-ÇSE topolojisi bağlantı yapısı

2.2. Asimetrik Çok Seviyeli Eviriciler

KHK topolojisi simetrik ve asimetrik bağlantı olmak üzere iki farklı şekilde seri olarak bağlanmaktadır. Simetrik bağlantıda her bir hücrede kullanılan DA kaynaklarının değerleri eşittir. Simetrik bağlantıda çıkış gerilim seviyelerinin sayısı hücre sayısına göre değişmektedir. Bağımsız kaynakların orantısız bir şekilde artırıldığı seri KHK bağlantıları ise asimetrik ÇSE (AÇSE) olarak adlandırılmaktadır. AÇSE'lerde seviye artışı kaynakların

oranlarına göre değişmektedir. Günümüzde yenilenebilir enerji kaynaklarının kullanımının artması ile birlikte farklı değerlerde çıkış üreten kaynakların bir arada kullanılması açısından önemlidir. AÇSE'ler kullanılan anahtarlama elemanına göre asimetrik kaskad ÇSE (AKÇSE) ve asimetrik hibrit ÇSE (AHÇSE) olarak iki topolojiye ayrılmaktadır [6, 43-47].

Çıkış gerilim seviyeleri simetrik eviricilere göre daha fazla olması sebebiyle günümüzde AÇSE topolojileri ile ilgili yapılan araştırmalar artmıştır. Asimetrik topolojinin avantajları yanında bazı dezavantajları da bulunmaktadır. Bu dezavantajlar, kullanılan kaynaklarının bağımsız toprak bağlantısına sahip olması gerekliliği, anahtarlama elemanları üzerindeki artan gerilim baskısı ve bu sebeple ömürlerinin kısılması ile ilgili sıkıntılardan oluşmaktadır. Yapılan araştırmalar ile bu dezavantajların azaltılması ve giderilmesi amaçlanmaktadır [6, 8, 44, 48].

AÇSE topolojisinde girişteki kaynakların birbirine oranına bağlı olarak çıkış gerilim seviyeleri farklı şekilde hesaplanmaktadır. Simetrik ÇSE topolojisine ait çıkış seviyesi hesabı Eş. 2.1'de görüldüğü gibidir. Simetrik ÇSE'lerde giriş kaynak gerilimi sayısına lineer bir artış söz konusu iken AÇSE'lerde giriş kaynaklarının oranına bağlı olarak ikinin veya üçün kuvveti şeklinde bir artış görülmektedir. Gerilim seviyesi ikinin katı şeklinde artan ikili (binary) yapıdaki AÇSE'dir ve çıkış seviyesinin sayısı Eş. 2.2'de verilmektedir. Üçün katı şeklinde artan yapı ise üçlü (ternary) AÇSE olarak adlandırılmakta ve çıkış seviyesinin sayısı Eş. 2.3'te verilmektedir. Aşağıdaki eşitliklerde m , çıkış geriliminin seviye sayısını, n , Kaskad bağlı hücre sayısını ifade etmektedir [6].

$$m_{\text{simetrik}} = 2n + 1, V_{DA} = k \cdot V, k = 1, 2, \dots, n \quad (2.1)$$

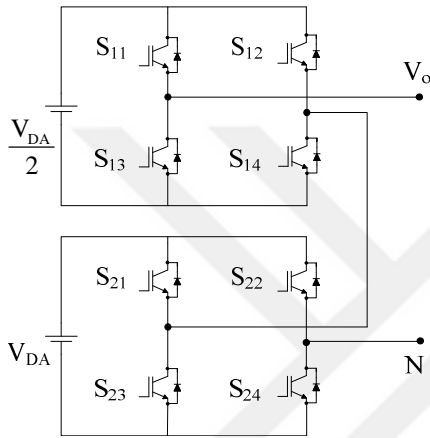
$$m_{\text{binary}} = 2^{n+1} - 1, V_{DA} = V/2^{k-1}, k = 1, 2, \dots, n \quad (2.2)$$

$$m_{\text{ternary}} = 3^n, V_{DA} = V/3^{k-1}, k = 1, 2, \dots, n \quad (2.3)$$

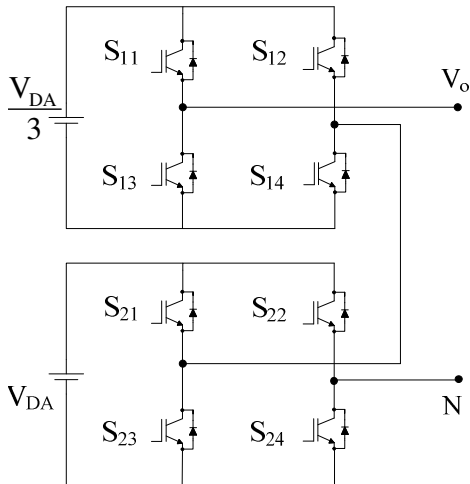
Şekil 2.6'da iki hücreden oluşan ve ikili (binary) topoloji olarak adlandırılan AKÇSE devresi verilmektedir. Üst hücredeki gerilim $V_{DA}/2$ ve alttaki hücredeki gerilim değeri V_{DA} olarak kullanılmaktadır. Şekil 2.7'de ise üçlü yapıdaki AKÇSE topolojisinin genel yapısı gösterilmektedir. Bu yapıda giriş gerilim kaynakları üçün katları olacak şekilde

artmaktadır.

İkili AKÇSE yapısında kullanılan kaynaklarının birbirine oranları $V_1=1$, $V_2=1/2$, $V_3=1/4$, $V_4=1/8$, ..., $V_n=1/2^n$ şeklinde olmalıdır. Üçlü AKÇSE yapısında da ise girişteki kaynak değerleri $V_1=1$, $V_2=1/3$, $V_3=1/9$, $V_4=1/27$, ..., $V_n=1/3^n$ oranlarındadır [6]. Kullanılacak kaynak sayısı, anahtarlama elemanı sayısı ve çıkış gerilim değerine göre simetrik ve asimetrik eviricilerin karşılaştırılması Çizelge 2.5'te verilmektedir.



Şekil 2.6. 7-seviyeli ikili (binary) yapıdaki AKÇSE topolojisinde bağlantı yapısı



Şekil 2.7. 9 seviyeli üçlü (ternary) yapıdaki AKÇSE topolojisinde bağlantı yapısı

Çizelge 2.5'te kullanılan N terimi çıkış gerilim seviyesini, n ise kaskad bağlı hücre sayısını belirtirken $V_{o,max}$ ifadesi ile çıkış geriliminin bir alternansının tepe değeri ifade edilmektedir. Çizelge 2.5'te belirtildiği gibi asimetrik eviricilerin çıkış gerilimindeki

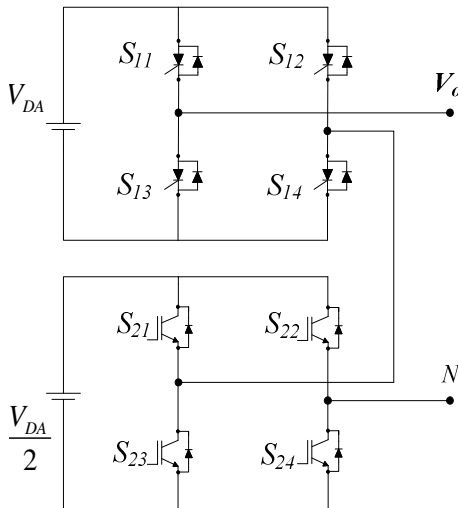
seviyelerin sayısı, aynı kaynak sayısı ve anahtar sayısı kullanıldığında, simetrik ÇSE topolojisine göre daha fazladır [6, 8, 43, 49].

Çizelge 2.5. Simetrik ve asimetrik topolojideki ÇSE parametrelerinin karşılaştırılması

	Simetrik	Asimetrik	
		İkili	Üçlü
N	$2n+1$	$2^{n+1}-1$	3^n
DA Kaynak	n	n	n
Anahtar Sayısı	$4n$	$4n$	$4n$
$V_{o,max}$ [p.u.]	n	2^n-1	$(3^n-1)/2$

2.2.1. Asimetrik hibrit ÇSE

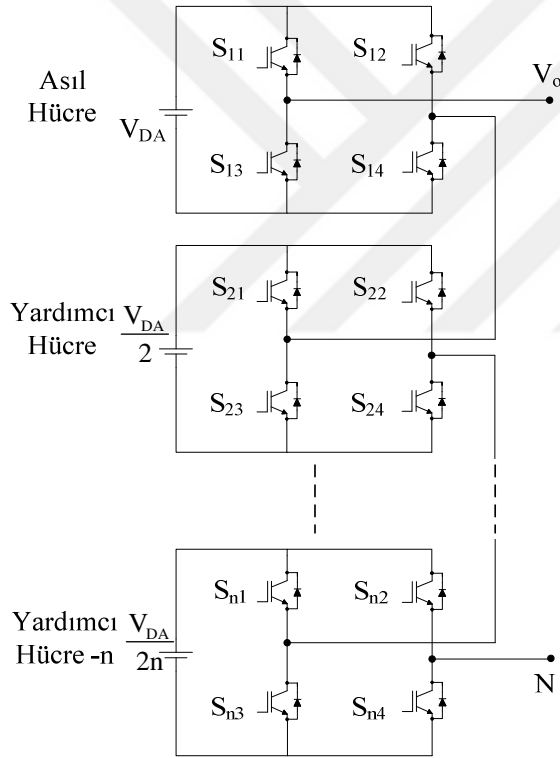
AHÇSE topolojisini AKÇSE yapısından ayıran temel fark hibrit topolojideki hücrelerde kullanılan anahtarlama elemanlarının her hücrede farklı özellikte olmasıdır. Kaynak değerinin yüksek olduğu hücrede yüksek gerilimde ve düşük frekansta çalışan GTO veya tristör gibi yarı iletken anahtarlama elemanları kullanılırken, kaynak geriliminin düşük olduğu hücrelerde düşük gerilimde fakat yüksek hızlı anahtarlama frekansında çalışan IGBT veya MOSFET gibi yarı iletken anahtarlama elemanları kullanılmaktadır. Şekil 2.8’de iki hücreden oluşan 7-seviyeli AHÇSE devresi görülmektedir. Bu topoloji, AKÇSE topolojisi ile karşılaştırılacak olursa çıkışta elde edilen gerilim seviyelerinin aynı olmasına rağmen yüksek gerilim ve yüksek güç uygulamalarında daha verimli sonuçlar elde edilmektedir [1-6].



Şekil 2.8. İki hücreli AHÇSE devre topolojisi

2.2.2. Asimetrik kaskad ÇSE

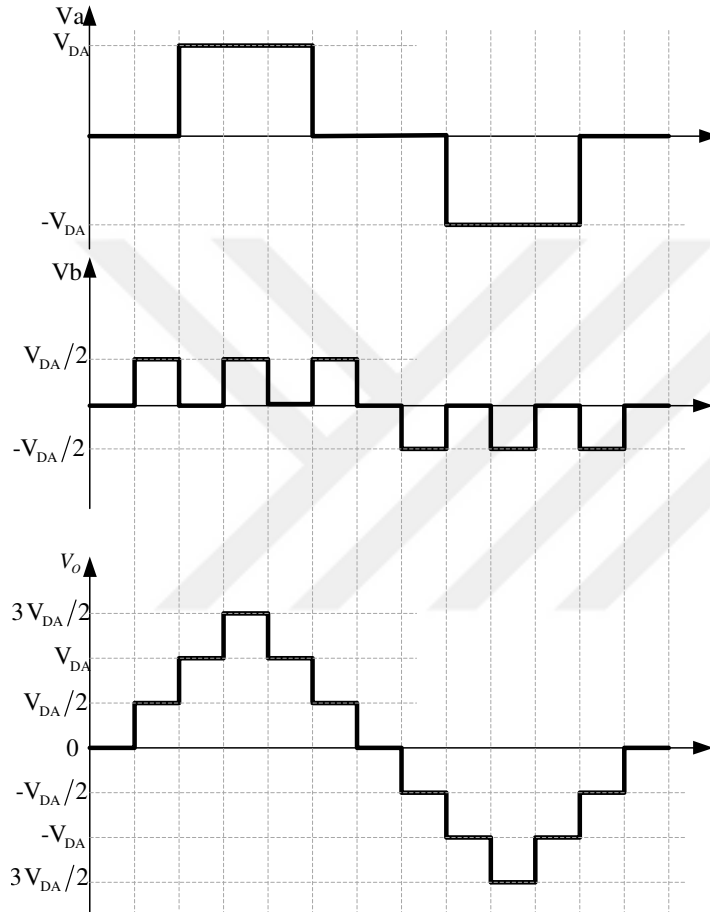
AKÇSE devre tanımı, AÇSE topolojisinde bulunan kaskad bağlı her bir hücrede (modüllerde) aynı anahtarlama elemanlarının kullanılmasını ifade etmektedir. Kullanılan anahtarlama elemanları aynı olmasına rağmen giriş kaynak gerilimleri asimetrik yapıya uygun olarak orantısız şekilde artacak değerlerde verilmektedir. Şekil 2.9’da bulunan ikili (üçlü yapıda da aynı bağlantı yapısı kullanılmaktadır) yapıdaki AKÇSE topolojisinin kaskad bağlantı şekli görülmektedir. AKÇSE topolojisinde giriş gerilimlerinden yüksek olanının uygulandığı hücreye asıl hücre (yüksek gerilim hücresi), düşük olduğu hücreler ise yardımcı hücre (düşük gerilim hücresi) olarak adlandırılmaktadırlar.



Şekil 2.9. AKÇSE topolojisi yapısında H-köprü modüllerinin seri olarak bağlanması

Kullanılacak yardımcı hücrelerin sayısı elde edilecek çıkış gerilim seviyesi sayısına bağlı olarak değişmektedir. Şekil 2.10’da ikili yapıdaki 7-seviyeli AKÇSE devresine ait çıkış gerilim seviyeleri görülmektedir. Şekil 2.10’da bulunan dalga şekillerine göre ikili topoloji esas alınarak açıklanacak olursa V_a çıkışı asıl hücrenin çıkış gerilimi ve dalga şeklini, V_b çıkışı yardımcı hücrenin çıkış gerilim ve dalga şeklini ifade ederken, V_o ise hat gerilimini göstermektedir. 7-seviyeli ve ikili yapıdaki AKÇSE topolojisinde girişte bulunan kaynağın

gerilim değerleri; V_{DA} ve $V_{DA}/2$ olduğunda çıkış geriliminin seviyeleri; $+3V_{DA}/2$, $+V_{DA}$, $+V_{DA}/2$, 0 , $-V_{DA}/2$, $-V_{DA}$, $-3V_{DA}/2$ genliklerinde olmaktadır. 9 seviyeli ve üçlü yapıdaki AKÇSE devresinde ise giriş değerleri V_{DA} ve $V_{DA}/3$ olması durumunda çıkış gerilim değerleri; $+4V_{DA}/3$, $+V_{DA}$, $+2V_{DA}/3$, $+V_{DA}/3$, 0 , $-V_{DA}/3$, $-2V_{DA}/3$, $-V_{DA}$, $-4V_{DA}/3$ seviyeleri olacaktır [6, 43].



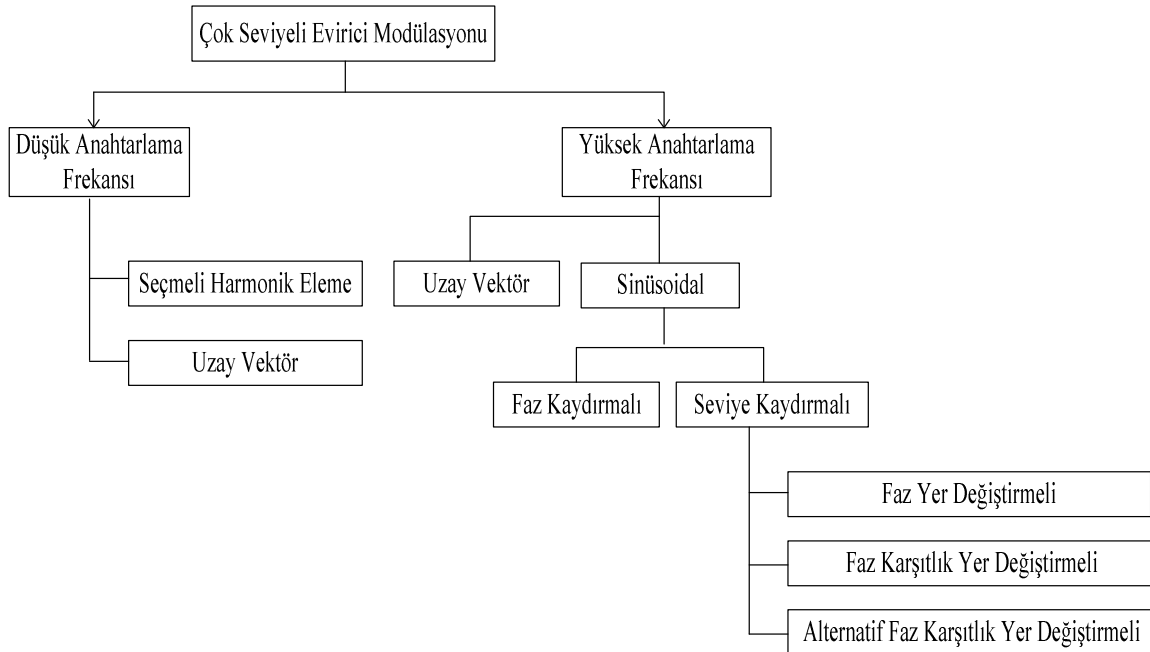
Şekil 2.10. 7-seviyeli ikili yapıdaki AKÇSE’de modüllerin çıkış gerilim seviyeleri ve evirici çıkışındaki gerilim seviyeleri



3. EVİRİCİLERDE MODÜLASYON YÖNTEMLERİ

AKÇSE ve AHÇSE topolojilerinin ikisinde de çıkış seviyesini oluşturacak giriş gerilimlerinin asıl hücrede yüksek ve yardımcı hücrelerde düşük olacak şekilde paylaşılmasıdır [44, 48, 50]. Üçlü yapıdaki AÇSE topolojisinde ana hücresinden çıkışa aktarılan güç 1 p.u. iken yardımcı hücresinden aktarılan güç oranı 1/3 p.u. şeklinde olacağından dolayı bu hücrelerde kullanılacak olan anahtarlama işaretinin de her hücre için farklı frekansta olması gerekmektedir. Literatürde evirici kontrolü için en çok kullanılan modülasyon yöntemi darbe genişlik modülasyonu tekniğidir. ÇSE'lerde kullanılan anahtarlama yöntemlerinin sınıflandırması Şekil 3.1'de verilmektedir [2, 3, 51, 52].

Bu sınıflandırmada öncelikli olarak temel anahtarlama frekansı ve yüksek anahtarlama frekansı olarak ikiye ayrılmaktadır. Temel anahtarlama frekansındaki kontrol teknikleri yüksek gerilimdeki uygulamalar için kullanılırken, yüksek anahtarlama frekansı kullanan teknikler orta ve düşük gerilimde kullanılmaktadır. ÇSE anahtarlamasında kullanılan modülasyon türleri, UVDGM, SHE-DGM ve SDGM olarak sınıflandırılmaktadır. Bu tekniklerin yanında evirici verimini yükseltirken THB ve anahtarlama kayıplarının en aza indirilmesi için geliştirilmiş delta modülasyonu, sigma-delta modülasyonu, 3. Harmonik eklemeli modülasyon gibi modülasyon çeşitleri de bulunmaktadır [1-3, 47, 51-53].

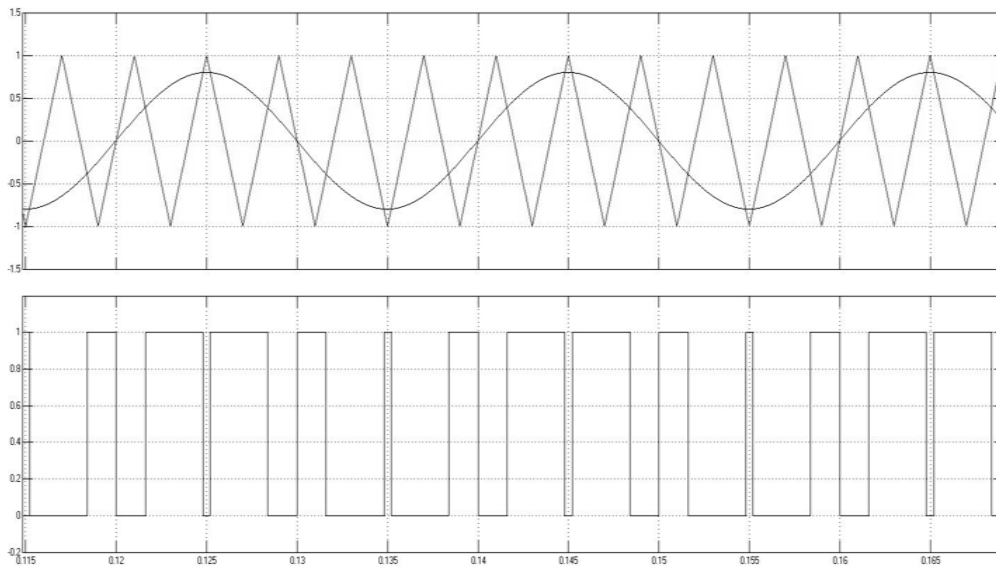


Şekil 3.1. ÇSE modülasyon teknikleri

Delta modülasyonu uygulanan referans işaretinin bir alt ve üst limit belirlenerek, bu limit değerlerin içerisinde kalmasını sağlamaktadır. Sigma-delta modülasyonunda çıkıştan alınan işaret referans işaret ile karşılaştırılıp integrali alındıktan sonra bir band içerisinde tutularak anahtarlama işaretlerinin üretilmesini gerçekleştirmektedir. 3. Harmonik eklemeli modülasyonda ise referans işaretine, frekansı 3 kat fazla olan ve genliği 1/6 oranında bir sinyal eklenerek karşılaştırmada kullanılacak referans işaretinin oluşturulması sağlanmaktadır [51].

3.1. Sinüsoidal Darbe Genişlik Modülasyonu

SDGM tekniği özellikle temel frekans anahtarlama kayıplarının azaltılmasını gerçekleştirmektedir. Bu modülasyon tekniğinde çıkış işareti bir taşıyıcı üçgen dalga işareti ile modüle edici sinüs işaretin karşılaştırılması sonucu elde edilmektedir. Sinüs işaretin üçgen işareten yüksek olduğu durumlarda anahtarlama çıkışı 1 seviyesinde, düşük olduğu durumda ise 0 seviyesindedir. Şekil 3.2’de sinüs-üçgen karşılaştırma işlemi ve çıkış anahtarlama işareti görülmektedir. SDGM tekniğini kullanan eviricilerde çıkış gerilimi girişte uygulanan DA kaynakların toplamının yarısı kadarını çıkışa aktarabilmektedir. Ayrıca aşırı modülasyon durumunda karşılaşılan olumsuzluklar bulunmaktadır [10].

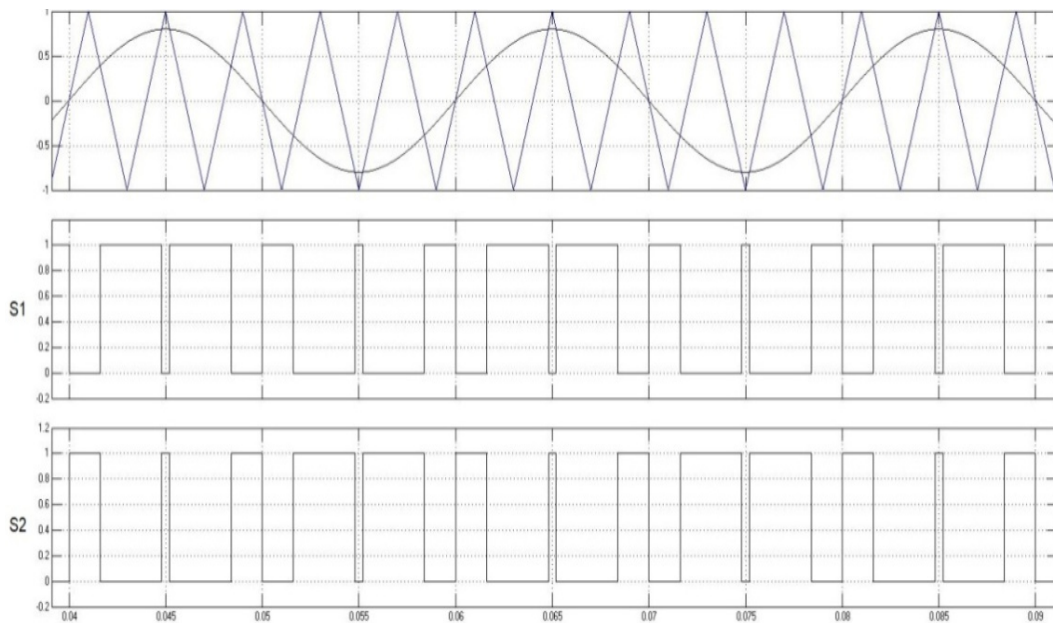


Şekil 3.2. SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması

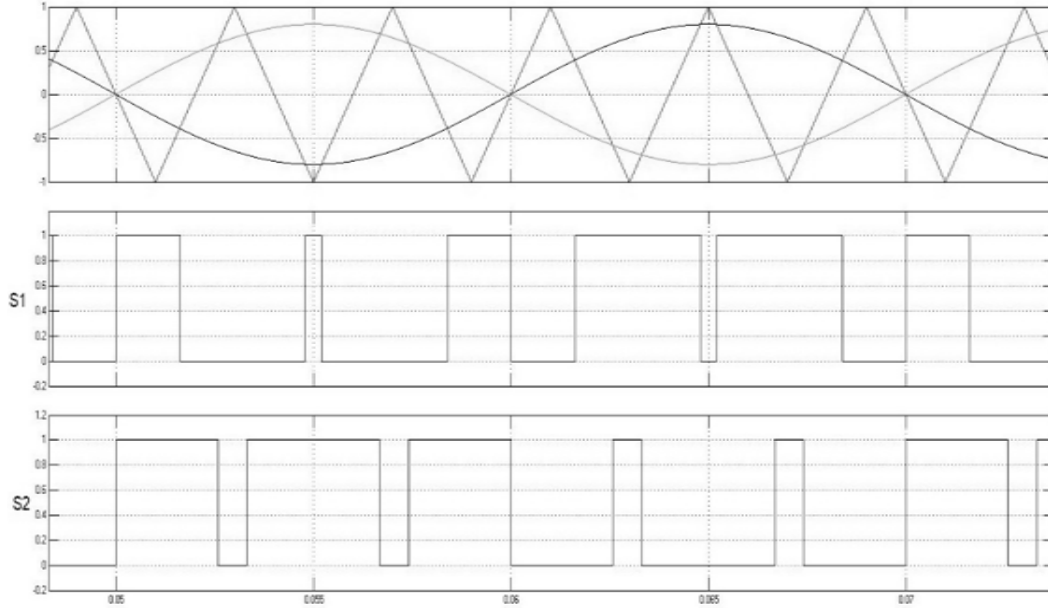
SDGM tekniği günümüzde geliştirilerek, ÇSE’lerde kullanımına uygun olacak şekilde taşıyıcı işaretin dikey veya yatay olarak düzenlenmesine göre sınıflandırılmıştır. Bu

taşıyıcı temelli modülasyon teknikleri, çok taşıyıcılı DGM olarak da isimlendirilmektedir. Uygulanan üçgen işaretin dikey olarak farklı gerilimlerde uygulanmasıyla elde edilen modülasyon teknikleri seviye kaydırmalı SDGM olarak adlandırılmaktadırlar. Bu SDGM teknikleri, üçgen dalga işaretinin yapısına göre, faz yer değiştirmeli (FYD), karşılıklı faz yer değiştirmeli (KFYD) ve alternatif karşılıklı faz yer değiştirmeli (AKFYD) olarak üç farklı şekilde anahtarlama işaretleri üretmektedir. Üçgen işaretinin yatay düzlemde farklı fazlarda kullanılması ise faz kaydırmalı (FK) olarak isimlendirilmektedir [10].

SDGM tekniğinde anahtarlama işaretlerinin üretiminde sinüs ile üçgen işaretlerinin karşılaştırması işlemi bipolar ve unipolar olmak üzere iki farklı şekilde gerçekleştirilmektedir. Bipolar SDGM anahtarlama işaretleri için Şekil 2.4'te gösterilen kaskad H-köprüde modülünde S_1 anahtarına uygulanan anahtarlama işareti için sinüs işaretinin üçgen işaretinden büyük olduğunda, S_2 anahtarı için ise tam tersi durum kullanılmaktadır. Unipolar SDGM anahtarlama işaretinin üretilmesinde ise tek bir üçgen birbirine 180° faz farkı bulunan iki sinüs işareti ile karşılaştırılmaktadır. S_1 anahtarı için birinci sinüs işaretinin üçgen işaretinden büyük olduğu yerler alınırken, S_2 anahtarı için ikinci sinüs işareti kullanılmaktadır. Şekil 3.3'te bipolar SDGM ve çıkış anahtarlama işaretleri, Şekil 3.4'te ise unipolar SDGM ve anahtarlama işaretleri görülmektedir. Unipolar modülasyonda taşıyıcıdan kaynaklı harmoniklerde ve yüksek frekanslı harmoniklerin bastırılması konusunda bipolar modülasyona göre daha başarılıdır [10, 54].



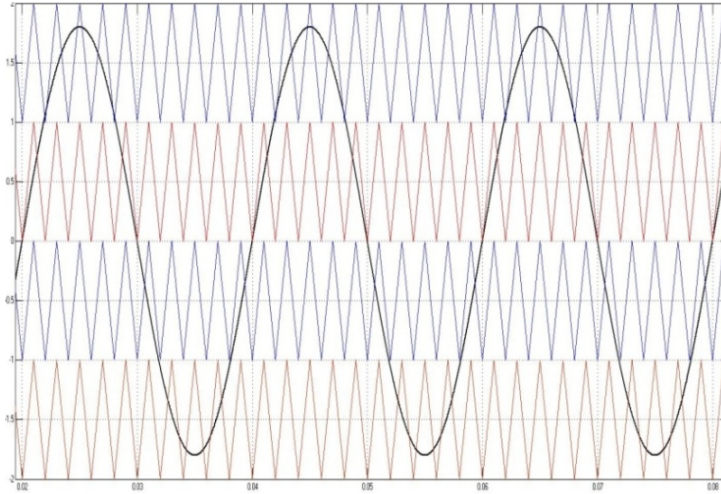
Şekil 3.3. Bipolar SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması



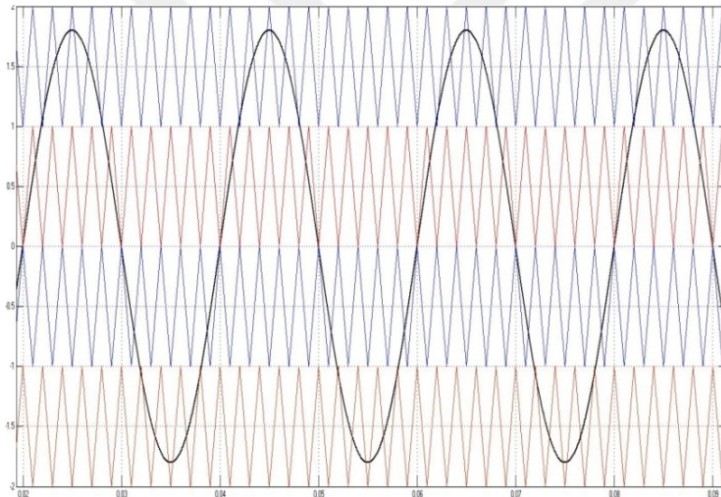
Şekil 3.4. Unipolar SDGM tekniği: sinüs-üçgen işaretlerinin karşılaştırılması

ÇSE’lerde kullanılan SDGM modülasyonunda karşılaştırma işleminde kullanılan üçgen dalga işareti, taşıyıcı olarak adlandırılmaktadır. SDGM’de kullanılan taşıyıcı sayısı eviricinin çıkış gerilim seviyesi sayısının bir eksiği kadar olmaktadır. SDGM’de seviye kaydırmalı modülasyon tekniklerinden FYD, KFYD ve AKFYD olarak gerçekleştirilen modülasyonlarda, karşılaştırma işlemindeki taşıyıcı işaretler farklı gerilim seviyelerinde kullanılmaktadır. Bu tekniklerin arasındaki temel fark uygulanan taşıyıcı işaretinin her teknikte farklı şekilde uygulanmasına dayanmaktadır [10, 33, 51, 55, 56].

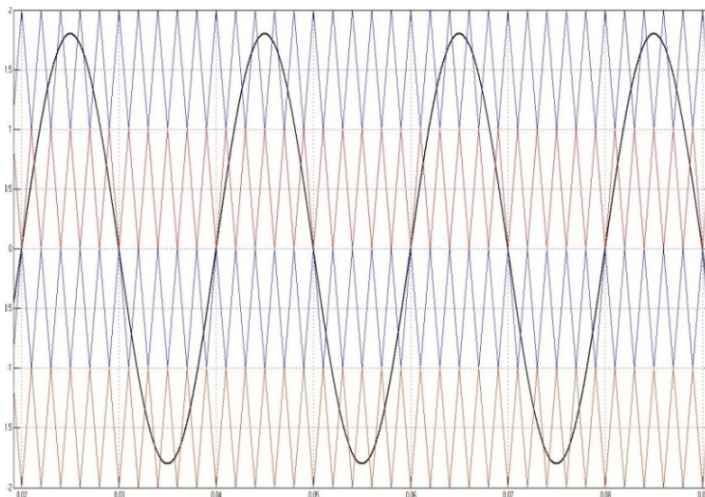
Şekil 3.5’te FYD-SDGM modülasyon tekniğine ait sinüs-üçgen karşılaştırma işaretleri görülmektedir. Bu teknikte taşıyıcı işaretlerinin sadece gerilim seviyeleri birbirinden farklı fakat fazları aynıdır. İkinci teknik olan KFYD-SDGM modülasyon tekniğine ait sinüs-üçgen karşılaştırma işaretleri Şekil 3.6’da görülmektedir. Bu teknikte negatif gerilim bölgesinde bulunan taşıyıcı işaretlerinin pozitif gerilim bölgesinde olan üçgen işaretlerine göre 180° faz farklı olarak uygulanmaktadır. AKFYD-SDGM tekniği ne ait sinüs-üçgen karşılaştırma işaretleri Şekil 3.7’de görülmektedir ve bu teknikte uygulanan taşıyıcı işareti her gerilim seviyesinde bir önceki seviyedeki taşıyıcı işareti 180° faz farklı olacak şekilde uygulanmaktadır [10, 33, 51, 55, 56].



Şekil 3.5. FGD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri



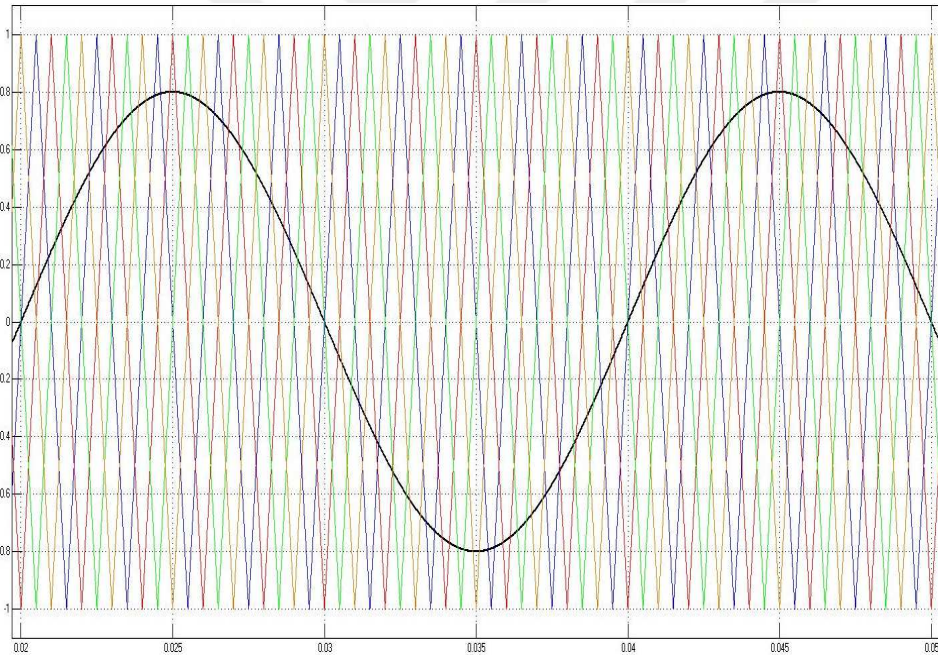
Şekil 3.6. KFGD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri



Şekil 3.7. AKFGD-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri

SDGM modülasyonunda kullanılan FK tekniğinde, uygulanan üçgen işaretler aynı gerilim seviyesinde ve aynı genlikte olup sadece aralarında faz farkı bulunmaktadır. Üçgenler arasındaki faz farkı eviricinin çıkış gerilim sayısına göre değişmektedir. FK-SDGM tekniğinde, m seviyeli bir evirici için üçgen işaretler arasındaki faz farkı $180^\circ/m$ olmaktadır. Kullanılan üçgen dalga sayısı ise $m-1$ adettir. FK-SDGM tekniği şekil 3.8’de görülmektedir [51, 55, 56].

SDGM tekniklerinin içerisinde düşük anahtarlama kayıpları ve düşük THB oranı sebebiyle en yaygın kullanılanlar FYD ve FK modülasyon teknikleridir. SDGM modülasyonundaki bazı sakıncaları ortadan kaldırmak için geliştirilen yeni anahtarlama tekniklerinde özel olarak şekillendirilen referans işaret ve onunla senkronize bir taşıyıcı işaret gerektirdiğinden kontrol devrelerindeki karmaşıklık artmaktadır [3, 57].



Şekil 3.8. FK-SDGM tekniği: sinüs-üçgen karşılaştırma işaretleri

SDGM modülasyon tekniğinde karşılaştırma işleminde kullanılan referans sinüsoidal işareti modüle edici işaret olarak tanımlanmaktadır. Modüle edici işaretin genliğinin taşıyıcı işaretin genliğine oranı modülasyon indeksini (m_i) değerini vermektedir. Modülasyon indeksi değeri her bir SDGM modülasyon yöntemi için farklı şekilde hesaplanmaktadır. Çizelge 3.1’de SDGM modülasyonları ve bu modülasyon türlerinde hesaplanan modülasyon indeksi değerleri görülmektedir. Bu tabloda m , evirici çıkış

gerilimi seviye sayısını, V_s sinüsoidal işaretin genlik değerini, V_t ise taşıyıcı işaretin genlik değerini ifade etmektedir. SDGM’de modülasyon indeks değeri 1’den küçük olması durumunda, evirici lineer çalışma bölgesindedir. Bu durumda evirici çıkış hat gerilimleri Eş. 3.1’de görüleceği gibi hesaplanmaktadır. Modülasyon indeksi değerinin 1’den büyük seçilmesi durumuna aşırı modülasyon adı verilir ve evirici çıkış hat gerilimleri Eş. 3.2’deki şekilde hesaplanır. Buna göre lineer çalışma bölgesinde giriş geriliminin maksimum %86’sı çıkışa aktarılırken, aşırı çalışma bölgesinde çalıştırılması durumunda bu değer %86’sı ile %109’u arasındadır. Aşırı çalışma bölgesinde durumunda harmonik bastırılamadığından, modülasyon indeksi bu aralıkta dikkatli seçilmelidir [10, 51, 56, 57].

$$V_{AB}=V_{BC}=V_{CA}=m_i \frac{\sqrt{3}V_{DA}}{2} \quad 0 < m_i < 1 \quad (3.1)$$

$$m_i \frac{\sqrt{3}V_{DA}}{2} < V_{AB}=V_{BC}=V_{CA} < m_i \frac{4}{\pi} \frac{\sqrt{3}V_{DA}}{2} \quad m_i \geq 1 \quad (3.2)$$

Çizelge 3.1. SDGM türlerinin modülasyon indeks hesaplamaları

Modülasyon İndeksi	FYD-SDGM	KFYD-SDGM	AKFYD-SDGM	FK-SDGM
m_i	$\frac{V_s}{(\frac{m-1}{2}).V_t}$	$\frac{V_s}{(\frac{m-1}{2}).V_t}$	$\frac{V_s}{(\frac{m-1}{2}).V_t}$	$\frac{V_s}{V_t}$

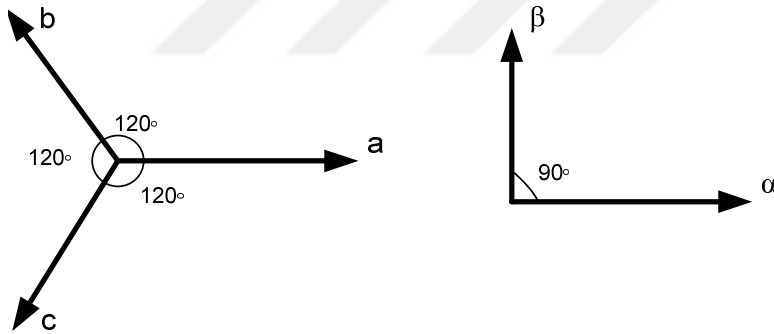
SDGM modülasyonunda uygulanan taşıyıcı işaretin frekansının sinüsoidal işaretin frekansına oranı modülasyon frekans indeksini (m_f) vermektedir. Eş. 3.3’te m_f ifadesi modülasyon frekans indeksini, f_s sinüs işaretin frekansını, f_t taşıyıcı işaretin frekansını göstermektedir. Anahtarlama işaretlerinin üretiminde modülasyon frekans indeksi değeri THB açısından önemlidir. Modülasyon frekans indeksi mutlaka bir tam sayı olmalıdır, ayrıca değeri 21’e kadar tek sayılar, 21’den sonra tek veya çift sayı olarak seçilmelidir. Modülasyon frekans indeksi yüksek seçilmesi durumunda yan bant harmonikleri daha düşük olacağından THB azalacaktır [10, 51, 55].

$$m_f = \frac{f_t}{f_s} \quad (3.3)$$

3.2. Uzay Vektör Darbe Genişlik Modülasyonu

UVDGM tekniği 1980'lerin ortalarında kullanılmaya başlanmış, anahtarlama durumlarını bir referans vektörünün örnekleme ile elde edilmesini sağlayan sayısal bir modülasyon tekniğidir. Referans vektör, anahtarlama durumlarında abc dönel eksen düzlemi yerine, sabit $\alpha\beta$ düzleminde hareket etmektedir [58-61].

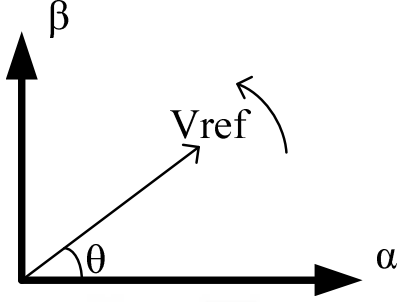
UVDGM her faz için ayrı bir modülatör tasarımı gerektirmeden, üç fazlı sistemlerde fazların anahtarlama için tek bir modülasyon işlemi ile gerçekleştirmektedir. Ayrıca SDGM ile karşılaştırıldığında ulaşılan çıkış geriliminin genliği %15 daha yüksek sonuç vermektedir. UVDGM tekniğinin diğer anahtarlama yöntemlerine göre avantajları, daha düşük anahtarlama frekanslarında çalışabilmesi, daha düşük THB, DA hat balansının iyi olması ve ortak mod gerilimini azaltmasıdır. Bunun yanında dezavantaj olarak özellikle yüksek seviyeli ÇSE için anahtarlama ve anahtarlama sürelerinin hesabında kullanılan algoritmalar karmaşılaşmaktadır [58-62].



Şekil 3.9. abc- $\alpha\beta$ düzlem dönüşümü (Clark Dönüşümü)

UVDGM'de üç fazlı gerilimler Şekil 3.9'da görüleceği gibi düzlem dönüşümü ile iki vektörlü uzaysal düzlemde gösterilmektedir. Bu düzlem dönüşümü Eş. 3.4'te verilen Clark dönüşümü ile gerçekleştirilmektedir. Şekil 3.9'da bulunan a, b, c vektörleri a, b ve c fazlarını ifade etmektedir ve bu düzleme abc dönel eksen düzlemi adı verilir. İki boyutlu düzlemde ise vektörleri α ve β olarak isimlendirilirler ve bu düzleme $\alpha\beta$ sabit düzlemi denir. Referans işareti, $\alpha\beta$ düzleminde vektörel olarak ifade edilmektedir [58-63].

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (3.4)$$



Şekil 3.10. $\alpha\beta$ düzlemindeki V_{ref} işareti

UVDGM’de referans vektörünün hesaplanması Eş. 3.5 ve Eş. 3.6’da görüldüğü gibi gerçekleştirilmektedir. Burada V_{ref} , referans vektörün değeri ve θ ise referans vektörünün $\alpha\beta$ düzlemindeki açısıdır. V_α ve V_β değerleri Eş. 3.4 kullanılarak elde edilen o anki gerilim vektörlerinin değeridir. Şekil 3.10’daki V_{ref} ’in $\alpha\beta$ düzleminde temel frekans değerinde saat yönünün tersinde dönmektedir. Bu işlemde a, b ve c fazlarından da V_{ref} değerinin hesaplanması mümkündür. Bunun için Eş. 3.7’de bulunan formül kullanılabilir [60, 64, 65]

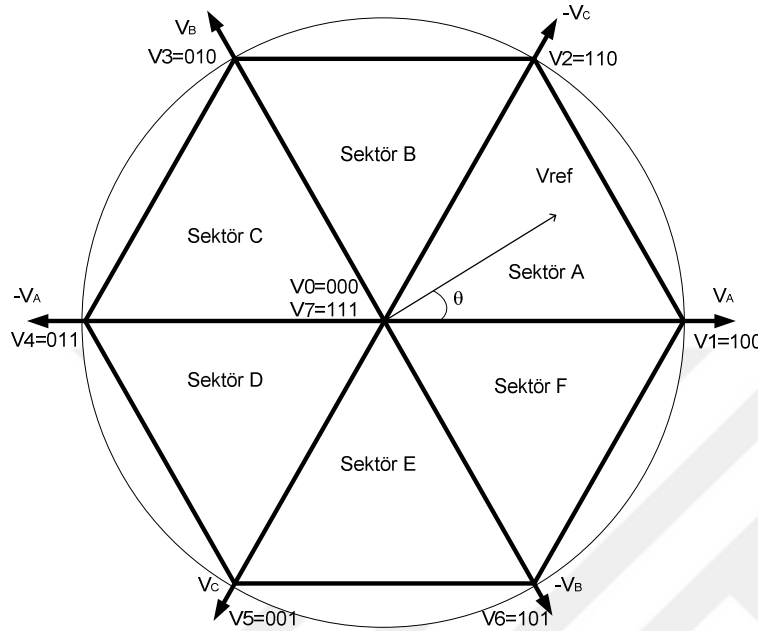
$$|V_{ref}| = \sqrt{V_\alpha^2 + V_\beta^2} \quad (3.5)$$

$$\theta = \tan^{-1} \frac{V_\beta}{V_\alpha} \quad (3.6)$$

$$V_{ref} = \frac{2}{3} \cdot (V_a + V_b \times e^{j2\pi/3} + V_c \times e^{j4\pi/3}) \quad (3.7)$$

UVDGM anahtarlama metodunda hesaplanan referans geriliminin, $\alpha\beta$ düzleminde bulunabileceği konumlar Şekil 3.11’de verildiği gibi altıgen bir yapı oluşturmaktadır. Altıgenin köşeleri abc düzlemindeki gerilimlerin alabileceği maksimum değerleri ifade etmektedirler. V_{ref} ’in bu değerler dışında olması aşırı modülasyon durumunda gerçekleşir. Şekil 3.11’de 3-seviyeli bir eviricinin UVDGM’de alacağı konumlar gösterilmektedir. Bu

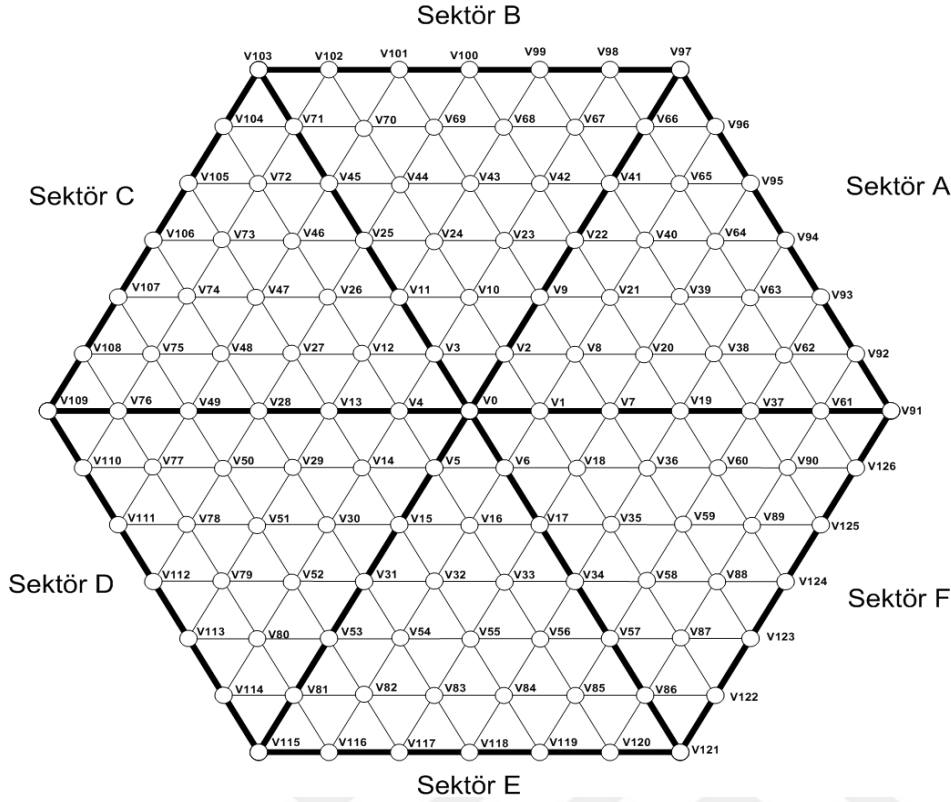
konumlar a, b ve c fazları için gerekli anahtarlama konumlarının elde edilmesini sağlayacak vektörleri göstermektedir. Bu konumlardan V_0 ve V_7 sıfır vektörünü ifade ederken V_1 - V_6 vektörleri ise a,b,c fazlarının anahtarlama durumlarını vermektedir [64, 65].



Şekil 3.11. 3-seviyeli bir ÇSE için UVDGM sektör yapısı ve anahtarlama durumları

Şekil 3.11'deki altıgen 60° aralıklarla 6 parçaya bölünmüştür ve her bir parça sektör olarak ifade edilir. V_{ref} vektörünün θ açısı o anki sektörü vermektedir. $0 < \theta < 60$ ise sektör A, $60 < \theta < 120$ ise sektör B, $120 < \theta < 180$ ise sektör C, $180 < \theta < 240$ ise sektör D, $240 < \theta < 300$ ise sektör E, $300 < \theta < 360$ ise sektör F olacaktır. V_{ref} 'in bulunduğu sektöre göre anahtarlama açıları sırasıyla uygulanmaktadır. 3-seviyeli evirici için uzay vektör modülasyon “Gerilim Zaman Eşitleme” prensibine dayandırılır. Anahtarlama periyodu t_s 'nin (örnekleme zamanı) yeterince küçük olduğu varsayılırsa, referans vektör t_s süresince sabit kabul edilebilir. Bu varsayım altında, V_{ref} en yakın üç gerilim vektörü tarafından oluşturulmaktadır [64, 65].

V_{ref} 'in sektör A da olduğu durumda, V_{ref} 'i oluşturacak vektörler V_1, V_2 ve V_0 (veya V_7) olacaktır. Bu vektörlerdeki anahtarlama süreleri t_1, t_2 ve t_0 olacaktır. Eş. 3.8'de bu anahtarlama sürelerinin hesabı verilmiştir. Bu anahtarlama süreleri hesaplandıktan sonra sıfır vektörden başlayarak tekrar sıfır vektöre dönecek şekilde anahtarlama sırası belirlenir. Şekil 3.12'de görüleceği gibi $t_s/2$ zamanında, $t_0/4$ süresince V_0 , $t_1/2$ süresince V_1 , $t_2/2$ süresince V_2 ve $t_0/4$ süresince tekrar V_7 uygulanmaktadır. t_s 'nin diğer yarısında ise bu vektörler ters bir şekilde tekrar uygulanırlar [64, 65].

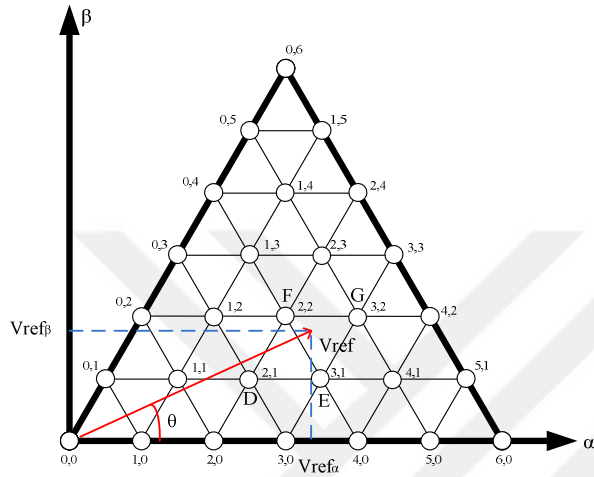


Şekil 3.13. 7-seviyeli bir ÇSE için bağımsız anahtarlama vektörlerinin durumu

Ayrıca Şekil 3.13'te görüleceği gibi anahtarlama seviyeleri içten dışa doğru altıgen katmanlar şeklinde artmaktadır. Altıgen yapıdaki katman sayısı, m seviyeli bir evirici için $(m-1)$ katman bulunmaktadır. Bağımsız vektörlerin anahtarlama durumlarının sayısı ise seviye sayısından, bağımsız vektörün bulunduğu katman sayısı çıkarılarak bulunabilir. UVDGM da artan seviyeler ile anahtarlama vektörleri ve anahtarlama durumlarının artması referans vektörün o anki konumu için seçilecek anahtarların durumunu seçmeyi zorlaştırmaktadır. Literatürde özellikle 7 ve daha fazla seviyedeki eviricilerin anahtarlama durumunu hesaplanması için çeşitli yöntemler kullanılmaktadır. Gholinezad vd. [64] ve Wei vd. [65] tarafından yapılan çalışmada, $\alpha\beta$ düzlemini 60° koordinatlarında kullanarak V_{ref} vektörünün o anki konumunun α ve β düzleminde karşılık gelen noktaların hangi üçgen içerisinde olduğunun bulunmasını sağlamaktadır. 7-seviyeli bir eviricinin 60° koordinat düzlemine indirgenmiş hali Şekil 3.14'de görülmektedir. V_{ref} referans vektörünün bulunduğu konum $V_{ref\alpha}$ ve $V_{ref\beta}$ değerleri Eş. 3.9 ve Eş. 3.10'daki gibi hesaplanabilir. Bu konumlar bize referans vektörünün bulunacağı üçgenin konumunu verecektir. Eş. 3.9 ve Eş. 3.10'da; m , evirici seviye sayısını, V_{ref} , referans vektörün değerini, θ , referans vektörün o anki açısını, V_{DA} , ÇSE evirici yapısındaki bir fazda bulunan toplam DA kaynak değerini ifade etmektedir [64, 65].

$$V_{\text{ref}\alpha} = \left(\frac{2}{\sqrt{3}}\right) \cdot \left(\frac{(m-1) \cdot |V_{\text{ref}}|}{V_{\text{DA}}}\right) \cdot \cos\theta \quad (3.9)$$

$$V_{\text{ref}\beta} = \left(\frac{2}{\sqrt{3}}\right) \cdot \left(\frac{(m-1) \cdot |V_{\text{ref}}|}{V_{\text{DA}}}\right) \cdot \sin\theta \quad (3.10)$$



Şekil 3.14. UVDGM’de referans vektörün 60° koordinatındaki durumu

$V_{\text{ref}\alpha}$ ve $V_{\text{ref}\beta}$ değerleri bulunurken α ve β düzlemi 6 parçaya bölünmektedir (7-seviyeli evirici için). Fakat bu konumlardan bazıları evirici tarafından çıkışta üretilemez. Şekil 3.14’te görüleceği gibi V_{ref} ’in konumu bulunurken önce V_D vektörünün $V_{D\alpha}$ ve $V_{D\beta}$ değerleri Eş. 3.11 ile bulunur. Bulunan V_D nin değerlerinden V_E , V_F , V_G vektörlerinin konumları Eş. 3.12’deki gibi hesaplanır. Daha sonra V_{ref} ’in hangi üçgen içerisinde olduğu Eş. 3.13’teki gibi bulunabilir [64-66].

$$\begin{aligned} V_{D\alpha} &= \text{int}(V_{\text{ref}\alpha}) \\ V_{D\beta} &= \text{int}(V_{\text{ref}\beta}) \end{aligned} \quad (3.11)$$

$$\begin{aligned} V_E &= (V_{E\alpha}, V_{E\beta}) = (V_{D\alpha} + 1, V_{D\beta}) \\ V_F &= (V_{F\alpha}, V_{F\beta}) = (V_{D\alpha}, V_{D\beta} + 1) \\ V_G &= (V_{G\alpha}, V_{G\beta}) = (V_{D\alpha} + 1, V_{D\beta} + 1) \end{aligned} \quad (3.12)$$

$$\begin{aligned} (V_{\text{ref}\alpha} + V_{\text{ref}\beta}) &\leq (V_{D\alpha} + V_{D\beta}) \dots \Delta DEF \\ (V_{\text{ref}\alpha} + V_{\text{ref}\beta}) &> (V_{D\alpha} + V_{D\beta}) \dots \Delta EFG \end{aligned} \quad (3.13)$$

Referans vektörün bulunduğu hücre hesaplandıktan sonra bu hücrenin anahtarlama durumlarının süreleri hesaplanabilir. Şekil 3.14'te referans vektörü EFG üçgeni içerisinde bulunduğundan, Eş. 3.12'deki hesaplamalar kullanılarak Eş. 3.14'teki formülle anahtarlama durumları çıkarılabilir. Burada t_E , t_F , t_G anahtarlama sürelerinin hesabı Eş. 3.15'teki gibi olacaktır. V_{ref} 'in, DEF üçgeni içerisinde olması durumunda anahtarlama zamanları Eş. 3.16'daki gibi bulunabilir [64-66].

$$\begin{aligned} V_{ref\alpha} \cdot t_s &= t_E \cdot V_{E\alpha} + t_F \cdot V_{F\alpha} + t_G \cdot V_{G\alpha} \\ V_{ref\beta} \cdot t_s &= t_E \cdot V_{E\beta} + t_F \cdot V_{F\beta} + t_G \cdot V_{G\beta} \\ t_s &= t_E + t_F + t_G \end{aligned} \quad (3.14)$$

$$\begin{aligned} t_E &= (V_{D\alpha} + 1 - V_{ref\alpha}) \cdot t_s \\ t_F &= (V_{D\beta} + 1 - V_{ref\beta}) \cdot t_s \\ t_G &= t_s - t_E - t_F \end{aligned} \quad (3.15)$$

$$\begin{aligned} t_E &= (V_{D\alpha} + 1 - V_{ref\alpha}) \cdot t_s \\ t_F &= (V_{D\beta} + 1 - V_{ref\beta}) \cdot t_s \\ t_D &= t_s - t_E - t_F \end{aligned} \quad (3.16)$$

V_{ref} vektörünün bulunduğu üçgen hesaplandıktan sonra bu üçgenin vektörlerine ait anahtarlama durumlarının bulunması gerekmektedir. Ayrıca bağımsız bir vektörde birden fazla anahtarlama durumu bulunabilir. V_{ref} 'in bulunduğu konum ile bu anahtarlama durumları hesaplanabilir. UVDGM'de 60° koordinat sisteminde anahtarlama durumları için Şekil 3.14'teki $V_{D\alpha}$ ve $V_{D\beta}$ değerlerinin anahtarlama durumu sayısı, m seviyeli evirici için, Eş. 17'ye göre hesaplanabilir. ABC fazları için kullanılacak anahtarlama durumlarının her birisi Eş. 18 kullanılarak hesaplanmaktadır. Bu eşitlikte S_a , S_b ve S_c değerleri sırasıyla ABC fazlarının anahtarlama durumlarını göstermektedir [64-66].

$$(\alpha, \beta) = 1, 2, \dots, t \quad t = \frac{(m-1)}{2} \quad (3.17)$$

$$\begin{aligned} S_a &= \alpha + \beta - t, \alpha + \beta - t + 1, \dots, t \\ S_b &= S_a - \alpha \\ S_c &= S_b - \beta \end{aligned} \quad (3.18)$$

Altıgenin merkezine doğru yaklaştıkça anahtarlama durumları artmaktadır. Bu sebeple bulunan vektörlere ait orta, küçük ve büyük anahtarlama durumları çıkartılabilir. Bir vektörün orta anahtarlama durumu Sm_{abc} , küçük anahtarlama durumları Ss_{abc} ve büyük anahtarlama durumları Sl_{abc} ise bu durumlar Eş. 19'daki gibi hesaplanabilir [64-66].

$$\begin{aligned} Ss_{abc} &= \frac{\alpha+\beta-1}{2}, \frac{\beta-\alpha-1}{2}, -\frac{\alpha+\beta-1}{2} \\ Sm_{abc} &= \frac{\alpha+\beta}{2}, \frac{\beta-\alpha}{2}, -\frac{\alpha+\beta}{2} \\ Sl_{abc} &= \frac{\alpha+\beta+1}{2}, \frac{\beta-\alpha+1}{2}, -\frac{\alpha+\beta+1}{2} \end{aligned} \quad (3.19)$$

Bulunan küçük, orta ve büyük anahtarlama durumları uygulanırken yine α ve β değerlerine göre bir sıralama uygulanmaktadır. Çıkarılacak anahtarlama sıralaması T_s zamanının yarısında uygulanır. Diğer yarıda ise tersi olacak şekilde tekrar edilir. $(\alpha + \beta)$ değeri tek ise; bulunan üçgene göre sırasıyla bir küçük vektör, iki orta vektör ve bir büyük vektör uygulanır. $(\alpha + \beta)$ değeri çift ise; bulunan üçgene göre sırasıyla bir büyük vektör, iki orta vektör ve bir küçük vektör uygulanır. Anahtarlama sıralaması yapılırken her değişimde sadece bir fazın anahtar konumunun değişmesi THB değerinin azalması açısından önemlidir. Yapılan bu hesaplamalar sektör A için verilmektedir. Diğer Sektörler için anahtarlama konumları Çizelge 3.2'de verildiği gibi değiştirilmelidir [64-66].

Çizelge 3.2. Sektörlere göre anahtarlama durumlarının değişimi

Sektör	A fazı	B Fazı	C Fazı
A	S_a	S_b	S_c
B	$-S_b$	$-S_c$	$-S_a$
C	S_c	S_a	S_b
D	$-S_a$	$-S_b$	$-S_c$
E	S_b	S_c	S_a
F	$-S_c$	$-S_a$	$-S_b$

3.3. Seçmeli Harmonik Elemeli Darbe Genişlik Modülasyonu

SHE-DGM modülasyon düşük anahtarlama frekansında çalışan bir anahtarlama tekniğidir. 1974 yılında Patel tarafından önerilen bu teknik ile eviricide çıkış geriliminin harmoniklerinin direk olarak kontrol edilmesi söz konusudur. Bu anahtarlama tekniği

taşıyıcı temelli çalışmayan bir tekniktir. Bastırılacak harmonik dereceleri belirlenerek çıkış işaretinin Fourier açılımı ile çözümlenir ve elde edilen anahtarlama açıları bir anahtarlama durum tablosu (lookup table) kullanılarak uygulanır. Bu teknik sayesinde anahtarlama kayıpları, filtre boyutları, maliyet ve sistem karmaşıklığı azaltılabilmektedir. Anahtarlama hesabı fourier açılımı kullanılarak yapılmaktadır. Temel sinüs işareti için çeyrek dalga tek simetrisine göre hesaplanacak anahtarlama işareti sayısı, seviye sayısına göre belirlenir. m seviyeli bir ÇSE için hesaplanacak anahtarlama işareti sayısı $(m-1)/2$ adettir. Eş. 3.20’de verilen fourier açılımı kullanılarak, örneğin 7 seviyeli bir ÇSE için 3 adet anahtarlama işaretleri $(\theta_1, \theta_2, \theta_3)$ hesaplanmalıdır [10, 40, 67-69].

Fourier ile elde edilen anahtarlama işaretlerinde bastırılacak harmonikleri 5, 7, 9 ve 11 seçilmesi durumunda Eş. 3.21’deki gibi matris çözümü ile anahtarlama açıları elde edilir. Bu matrisin çözümü ile elde edilen anahtarlama açıları çıkış THB değerini azaltacak anahtarlama açılarıdır. Anahtarlama durumları seçilen modülasyon indeks değerine göre istenilen harmonik numaralarının sıfır olarak çıkmasını sağlamaktadır. Matristen elde edilen sonuçlar doğrusal olmadığı için Newton-Raphson iterasyonu ile çözümlenerek elde edilmektedir. SHE-DGM tekniği bu sebeple çok fazla matematiksel çözüm gerektirmektedir ve bu durum seviyeli sayısı fazla olan eviricilerde kullanımını zorlaştırmaktadır. SHE-DGM’nin diğer bir dezavantajı ise hesaplanan anahtarlama açılarının yan bant harmoniklerini bastıramadığından, çıkış THB değerinin bu yan bant harmonikleri nedeniyle istenilen sonucu veremeyebilmesidir [10, 40, 67-69].

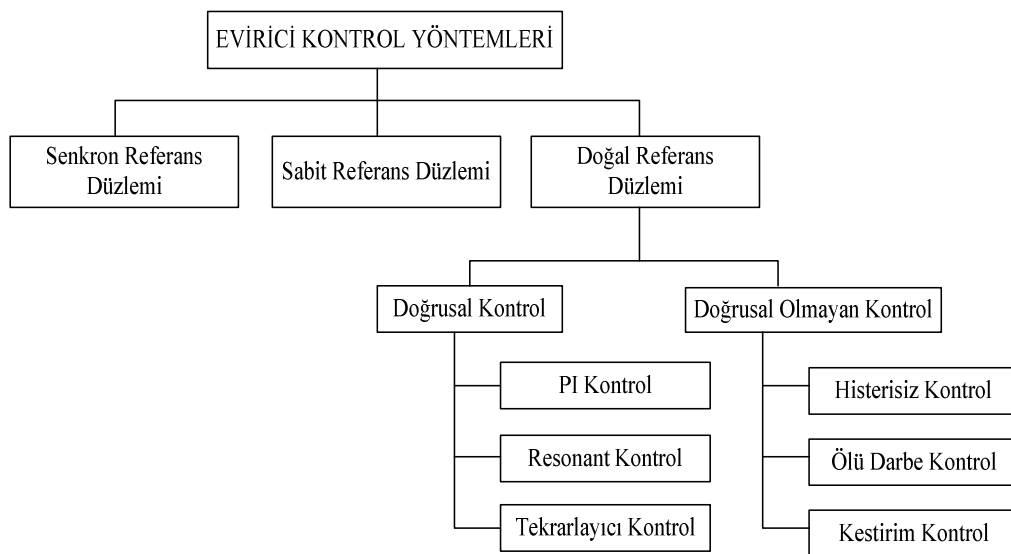
$$V(\omega t) = \sum_{n=1,3,5,\dots}^{\infty} \frac{4V_{DA}}{n \times \pi} [\cos(n\theta_1) + \cos(n\theta_2) + \cos(n\theta_3)] \times \sin(n\omega t) \quad (3.20)$$

$$\begin{bmatrix} 5m_i \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} \cos(\theta_1) & \cos(\theta_2) & \cos(\theta_3) \\ \cos(5\theta_1) & \cos(5\theta_2) & \cos(5\theta_3) \\ \cos(7\theta_1) & \cos(7\theta_2) & \cos(7\theta_3) \\ \cos(9\theta_1) & \cos(9\theta_2) & \cos(9\theta_3) \\ \cos(11\theta_1) & \cos(11\theta_2) & \cos(11\theta_3) \end{bmatrix} \times \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \\ 1 \end{bmatrix} \quad (3.21)$$

4. EVİRİCİLERDE KONTROL YÖNTEMLERİ

GKE’lerde kapalı döngü çalışma durumunda kullanılan kontrol yöntemleri gerilim kontrollü ve akım kontrollü olmak üzere ikiye ayrılmaktadır. Gerilim kontrollü eviricilerde çıkış geriliminin genlik ve faz bilgisi kullanılarak geri besleme işlemi gerçekleştirilirken, akım kontrollü eviricilerde çıkış akımı geri beslemede kullanılmaktadır. Her iki kontrol yönteminin de bazı avantajları ve dezavantajları bulunmaktadır. Evirici eğer gerilim kaynağı olarak kullanılacaksa gerilim kontrollü eviriciler yükteki gerilimin sabit kalmasını sağlarken, akım kaynağı olarak kullanılmakta ise akım kontrollü eviriciler yük akımını sabit tutmayı sağlar. Akım kontrollü eviriciler, gerilim kontrollü evirici ile karşılaştırıldığında daha hızlı cevap verebilmektedirler. Akım kontrollü eviricilerde aktif-reaktif güç birbirinden bağımsız olarak kontrol edilirken, gerilim kontrollü eviricilerde ikisi birlikte kontrol edilebilmektedir. Bir kontrol sisteminin avantajı diğerinde dezavantaj olarak karşımıza çıkmaktadır [70-75].

Şebekeye bağlı çalışan on-grid eviricilerde, gerilim kontrolü bir dış döngü ve akım kontrolü bir iç döngü oluşturacak şekilde kullanılmaktadır. Gerilim kontrolü sistemin güç aktarımını ve çıkış geriliminin sabit sinüs olmasını kontrol ederken, akım kontrolü güç kalitesi ve akım koruma için kullanılmaktadır. Şebekeden bağımsız çalışan off-grid eviricilerde ise gerilim kontrolü evirici kontrolü öne çıkmaktadır. Eviriciler için kullanılan kontrol yapıları Şekil 4.1’de verilmektedir [76-78].



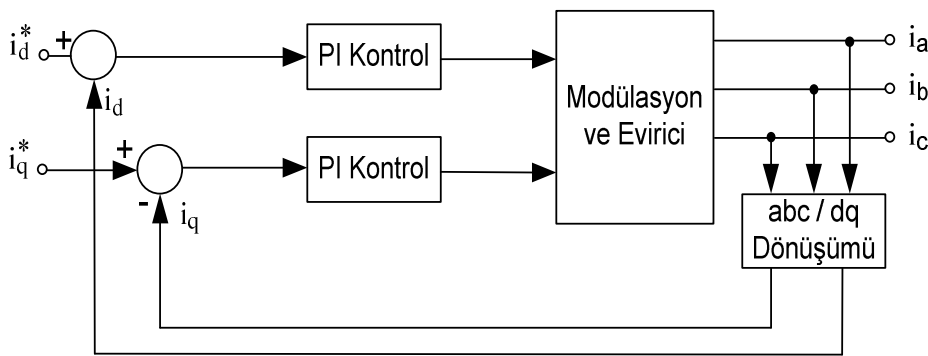
Şekil 4.1. Evirici kontrol yöntemleri

Kullanılan kontrol yöntemleri, senkron referans düzlemi (dq), sabit referans düzlemi ($\alpha\beta$) ve doğal (abc) referans düzlemleri olarak sınıflandırılmaktadır. Doğal referans düzlemi kontrolü temelde doğrusal ve doğrusal olmayan olmak üzere iki farklı sınıfa ayrılabilir. Doğrusal kontrol tekniğinde, oransal integral (PI), oransal rezonans (PR) ve yinelemeli kontrol teknikleri bulunmaktadır. Doğrusal olmayan kontrol teknikleri ise; kestirim (Predictive), ölü darbe (Dead-beat) ve histerisiz kontrol teknikleridir. Bu teknikler GKE ve AKE yapılarında kullanılmaktadırlar [76].

4.1. Senkron Referans Düzleminde Kontrol

Senkron referans düzlemi, dq kontrol olarak adlandırılır. Kontrol değişkenleri abc düzlemi ile senkron olarak dönen bir dq düzlemine Clark/Park dönüşümü ile dönüştürülerek alınır. dq kontrolde dönüştürme işleminde, faz açısı ile ilgili bilgi kontrol yapısı için gerekli olan bir bilgidir. PI kontrolü bu yapıya uygun şekilde çalışmaktadır. Senkron PI kontrol yapısında çalışan bir eviricinin blok diyagramı Şekil 4.2’de görülmektedir. PI kontrolün genel kazanç fonksiyonu Eş. 4.1’de verilmektedir. Burada K_p oransal kazanç K_i ise integral kazançtır [79].

$$G_{PI} = K_p + \frac{K_i}{s} \quad (4.1)$$

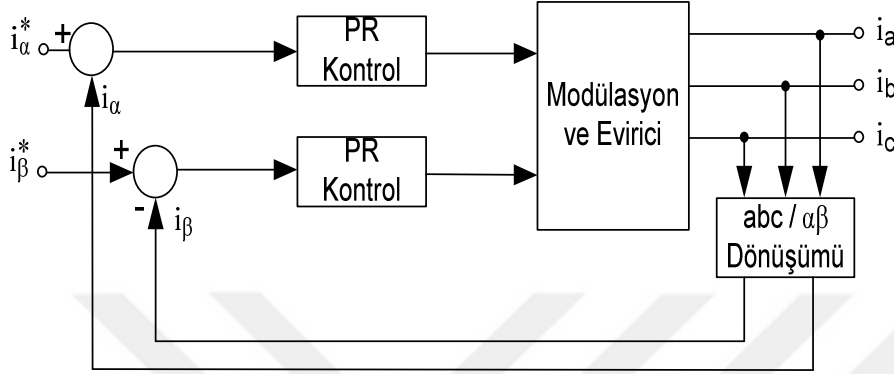


Şekil 4.2. Senkron referans düzleminde kullanılan PI kontrolün blok diyagramı

4.2. Sabit Referans Düzleminde Kontrol

Sabit referans düzleminde kullanılan kontrol döngüsü Şekil 4.3’te gösterilmektedir. Bu kontrolde çıkıştan alınan geri besleme işareti Clark dönüşümü ($abc-\alpha\beta$) kullanılarak sabit

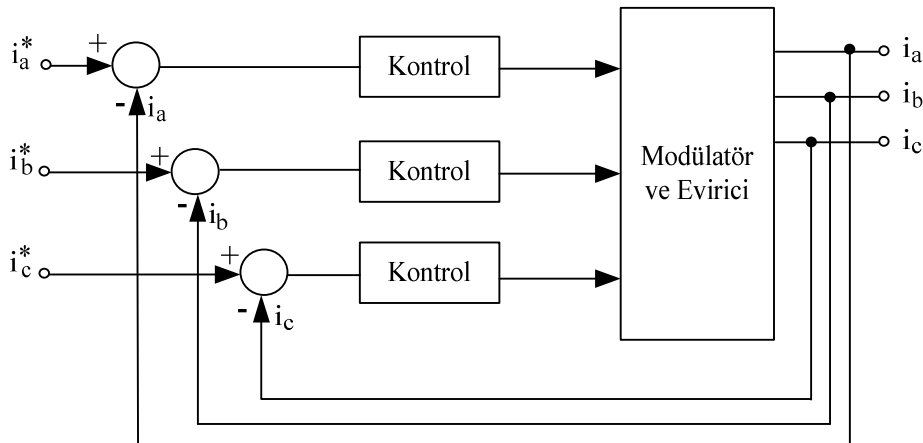
referans düzlemine dönüştürülür. Bu yapıda kontrol değişkenleri sinüsoidaldır. PI kontrol, sinüsoidal dalga şeklinin kontrolünde sürekli durum hatasının kaldırılmasında dezavantajlı olması sebebiyle, sabit referans düzleminde PI yerine PR kontrol kullanmak gerekmektedir [79].



Şekil 4.3. Sabit referans düzlem kontrolü blok diyagramı

4.3. Doğal Referans Düzleminde Kontrol

Doğal referans düzlemi, abc kontrol olarak da bilinmektedir. Tarihsel olarak bakıldığında DGM ile birlikte ilk olarak kullanılan tekniktir. Doğal referans düzlemi doğrusal ve doğrusal olmayan iki kontrol yapısında incelenmektedir. Doğrusal olmayan tekniklerdeki temel dezavantaj yüksek örneklem oranı gerektirmesidir. Fakat günümüzde eviricilerde kullanılan işlemcilerin hızlarının artması ile bu tekniğin kullanımı artmıştır. Bu kontrole ait genel yapı Şekil 4.4'te gösterilmektedir [79].



Şekil 4.4. Doğal referans düzlem kontrolü blok diyagramı

Doğal referans düzleminde kullanılan ilk doğrusal kontrol tekniği PI kontroldür. Genellikle senkron referans düzleminde kullanılan bu kontrol yöntemi, doğal referans düzleminde de kullanılabilmektedir. Bu durumda kazanç fonksiyonu Eş. 4.2’de görüldüğü gibi olmaktadır. Fazlar arası geçişler belirtilmesi gerektiğinden matris ifadesinin karmaşıklığı artmaktadır. Doğrusal referans düzleminde kullanılan bir diğer teknik PR kontrol yöntemidir. PR kontrolün yapısı bir sonraki bölümde ayrıntılı olarak anlatılmıştır [79, 80].

$$G_{PI}^{abc}(s) = \frac{2}{3} \begin{bmatrix} K_p + \frac{K_i s}{s^2 + \omega_0^2} & -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} & -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} \\ -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} & K_p + \frac{K_i s}{s^2 + \omega_0^2} & -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} \\ -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} & -\frac{K_p}{2} - \frac{K_i s + \sqrt{3}K_i \omega_0}{2 \times (s^2 + \omega_0^2)} & K_p + \frac{K_i s}{s^2 + \omega_0^2} \end{bmatrix} \quad (4.2)$$

Doğrusal kontrol tekniği olan yinelemeli kontrol tekniği, elemanların periyodik kontrolü ile sürekli durum hatasını ihmal edebileceğimiz bir kontrol yöntemidir. Yinelemeli kontrolde (RC), temel frekansın çoklu integrali ile büyük bir kazanç elde eder. Tek harmonik tekrarlayıcı kontrol ve çift-mod tekrarlayıcı kontrolde olduğu gibi kayan mod gibi işlem yapan bu kontrol dinamik bir cevap elde edilmesini sağlar. Yinelemeli kontrol temel referansı izleyen harmonik düzenleyici ve akım kontrolcüsü olarak kullanılır. Bununla birlikte RC kontrol yavaş dinamik cevaplamaya sebep olabilir ve sadece durağan moda uygulanır [79, 80].

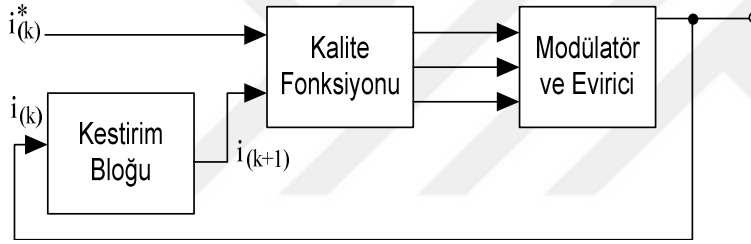
Çizelge 4.1’de doğrusal kontrol yöntemlerine ait özelliklerin karşılaştırılması görülmektedir. PI kontrol düşük frekanslarda, PR kontrol rezonans frekans yakınında ve RC kontrol ise temel frekansın integral katlarında yüksek kazanç sağlamaktadır. Dinamik cevap verme süreleri açısından düşük olandan yüksek olana doğru RC kontrol, PI ve PR olarak sıralanmaktadır. Bunların yanında, RC kontrolün harmonik düzeltmesinin PI ve PR kontrole göre daha iyi olduğu görülmektedir. Harmonik düzeltmesinin iyi olmasına rağmen dinamik cevap süresinin çok yavaş olmasından dolayı RC kontrolün yerine PR kontrol kullanılmıştır [80].

Doğrusal olmayan kontrol yöntemlerinden kestirim kontrol yöntemi, sadece muhtemel sonlu sayıdaki anahtarlama durumlarına bağlıdır ve bu sistemin modelleri, her anahtarlama

durumunu kestirim için kullanılabilir. Kestirim kontrol yapısı Şekil 4.5'te verilmektedir. Bu yapıda var olan çıkış örneklemesine göre bir sonraki çıkışın kestirimi yapılmaktadır. Çıkışın hatasını en aza indirecek gerilim değeri seçilir ve uygulanır. Kestirim kontrolün matematiksel modeli iyi bir şekilde tasarlanmalıdır. Aksi takdirde kontrol döngüsü için kullanılan zaman uzun olabilir [80].

Çizelge 4.1. Doğrusal kontrol yöntemlerinin karşılaştırılması [80]

	PI	PR	RC
Yüksek kazanç	Düşük frekanslarda	Rezonans frekans yakınında	Temel frekansın integral katlarında
Sürekli durum hata eleme	Çok iyi	Çok iyi	Çok iyi
Dinamik cevap süresi	Hızlı	Çok Hızlı	Yavaş
Harmonik düzeltme	Kötü	Kötü	İyi



Şekil 4.5. Kestirim kontrolü blok diyagramı

Doğrusal olmayan bir diğer kontrol yöntemi olan ölü darbe kontrolde ise bir örnek erteleme ile hatayı boş geçmeye çalışan bir kontroldür. Kontrolün kazanç fonksiyonu Eş. 4.3'te olduğu gibidir. Bu kontrol yapısı basit fakat mikroişlemciler tarafından gerçekleştirebilecek hızlı bir kontrol yöntemidir. Kontrolün blok diyagram yapısı Şekil 4.6'da görülmektedir. Eş. 4.3'te a ve b değerleri Eş. 4.4 ve Eş. 4.5'teki gibidir. R_T ve L_T eviricide kullanılan endüktans ve direnç değerlerini göstermektedir. Sistemin transfer fonksiyonu Eş. 4.6'da ve yeni akım referansı değeri Eş. 4.7'de verilmektedir. Gecikme olmadan sonuç elde edilen hızlı bir kontroldür [81].

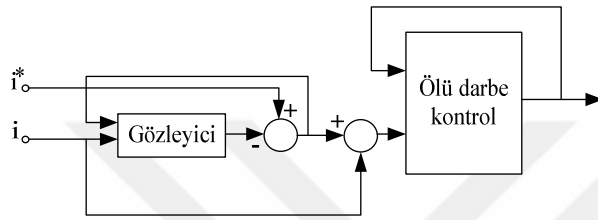
$$G_{DB}^{abc} = \frac{1}{b} \times \frac{1 - az^{-1}}{1 - z^{-1}} \quad (4.3)$$

$$a = e^{-\frac{R_T T_s}{L_T}} \quad (4.4)$$

$$b = -\frac{1}{R_T} (e^{\frac{R_T T_s}{L_T}} - 1) \quad (4.5)$$

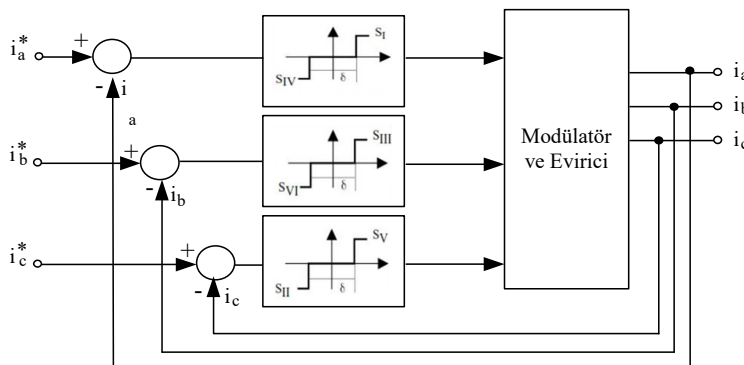
$$F_{DB} = \frac{1}{1-Z^{-1}} \quad (4.6)$$

$$i^* = F_{DB}(i^* - i) \quad (4.7)$$



Şekil 4.6. Ölü darbe kontrolü blok diyagramı

Histerisiz kontrolde, yük üzerindeki akımlar, referans akımlarını bir band içerisinde takip edecek şekilde kontrol edilmektedir. Histerisiz kontrolün blok diyagramı ve çalışmasına ait modülasyon prensibi Şekil 4.7’de gösterilmektedir. Kontrol işleminde hat akımı ile istenilen genlik ve frekanstaki referans sinüs akımı karşılaştırılır. Eğer çıkış akımı üst limite ulaşmış ise bir sonraki gerilim seviyesi akım hatasını sıfıra getirebilmek için zorlar. Bununla birlikte yeni çıkış akımı, doğru gerilim seviyesine çıkana kadar bu işleme devam eder. Sonuç olarak çıkış akımı girişteki referans akımına göre bir band içerisinde takip eder. Anahtarlama frekansı yük parametrelerinin ve işlem şartlarına bağlı olarak değişmektedir. Histerisiz akım kontrolü rezonans problemlerine yol açabilir. Ayrıca düşük güç seviyeleri için anahtarlama kayıpları sınırlar [82, 83].



Şekil 4.7. Histerisiz kontrol diyagramı

4.4. PR Kontrol

PR kontrol hem sabit referans düzleminde hem de doğal referans düzleminde kullanılmaktadır. Sabit referans düzleminde kullanımında, çıkış gerilim veya akım örnekleme işareti Clark dönüşümünü ($abc-\alpha\beta$) kullanılarak sabit referans düzlemine dönüştürülür.

Clarke dönüşümü, temel frekansın faz miktarı hesaplamasında simetrik bileşenler üzerindeki $\alpha\beta$ bileşenlerinin simetrik olmayan üç faz sistemlere göre büyük ölçüde sınırlandırılmış bir eşitlik olduğunu varsaymaktadır. Referans işareti oluşturmak amacıyla üç faz koordinat sisteminden, iki boyutlu sisteme dönüştürülerek hesaplamaların basitleştirilmesi sağlanmaktadır. Clarke dönüşümünde $abc-\alpha\beta$ dönüşümü Eş. 4.8'de belirtilen ifade kullanılarak gerçekleştirilmektedir. Kazanç işlemlerinden sonra $\alpha\beta$ - abc dönüşümü Eş. 4.9'da verilen ters Clarke dönüşümü ile gerçekleştirilir [84].

$$\begin{bmatrix} i_a \\ i_\beta \end{bmatrix} = \frac{2}{3} \times \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \times \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (4.8)$$

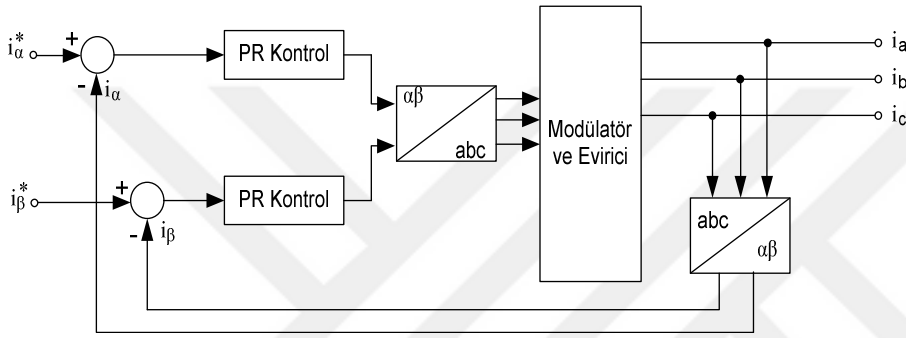
$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \times \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (4.9)$$

PR kontrolünde sabit referans düzlemi kazanç formülü Eş. 4.10'da belirtilmektedir. PR kontrolün sabit referans düzleminde çalışma diyagramı Şekil 4.8'de görülmektedir. Çıkıştan alınan örnekleme $\alpha\beta$ düzlemine dönüştürüldükten sonra, $\alpha\beta$ düzlemindeki referans işareti ile karşılaştırılırlar. Karşılaştırma sonucu PR kazanç bloğu ile yükseltilerek modülasyon bloğuna gönderilir. Burada kontrolcünün davranışını etkilemeden düşük seviyeli harmonikler için harmonik düzenleme eklentisi, rezonans frekansı ω 'nın çok yakın bant çevresinde gerçekleştirilir. Ek olarak eğer belirli harmonik değerlerinin düşürülmesi istenirse harmonik düzenleyici eklentili PR kontrolün bloğu Şekil 4.9'da gösterildiği gibi gerçekleştirilir ve bu bloğa ait transfer fonksiyonu Eş. 4.11'de görüleceği gibi olacaktır.

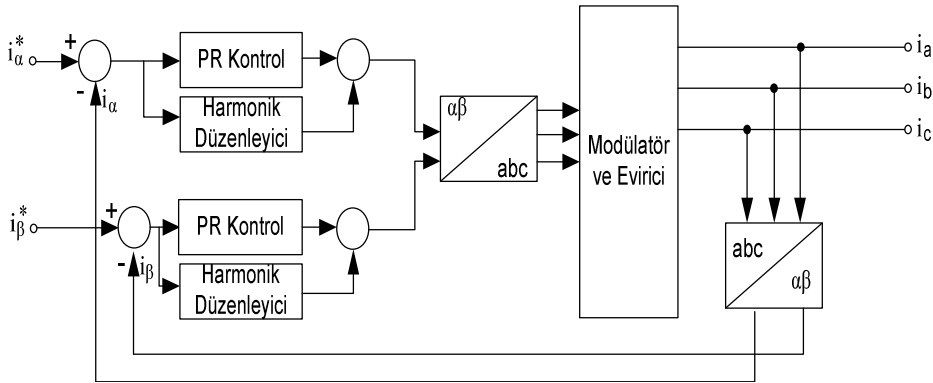
Eş. 4.10 ve Eş. 4.11’de ω rezonans frekansı, K_p orantısal kazanç K_i integral kazanç ve h ise harmonik numarasını göstermektedir [79, 80].

$$G_{PR}(s) = K_p + K_i \frac{s}{s^2 + \omega^2} \quad (4.10)$$

$$G_{HC}(s) = K_p + \sum_{h=3,5,7,\dots} K_{ih} \frac{s}{s^2 + (\omega \times h)^2} \quad (4.11)$$



Şekil 4.8. PR kontrol sistemin blok diyagramı

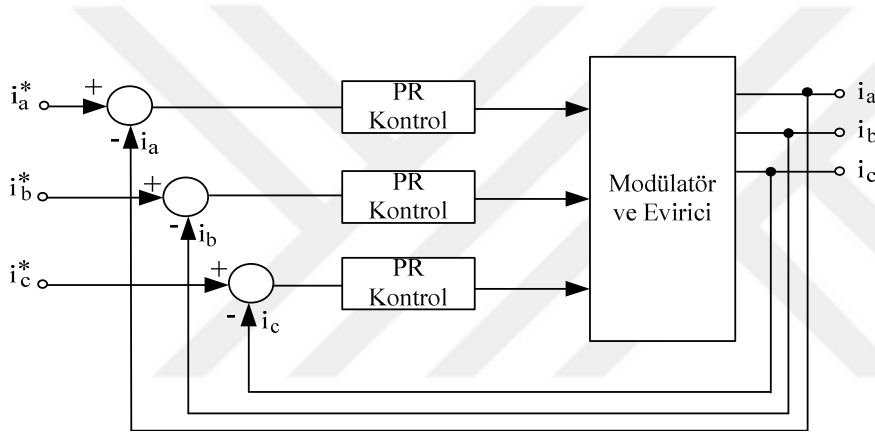


Şekil 4.9. Harmonik düzenleyici eklenmiş PR kontrol sistemin blok diyagramı

PR kontrolün doğal referans düzleminde de kullanılarak gerçekleştirilmesi mümkündür. Doğal referans düzleminde PR kontrolün gerçekleşmesi durumunda izole nötr etkisi de hesaba katılması gerekmektedir. PR kontrolün, doğal referans düzleminde kullanılması aynı PI kontrolde olduğu gibidir. PR kontrolün doğal referans düzleminde kullandığı kontrol işlemi doğal referans düzleminde kullanılan PI kontrole göre daha az karışıktır. Doğal referans düzleminde PR kazancı Eş. 4.12’de belirtilen kazanç fonksiyonu ile gerçekleştirilmektedir. PR kontrolde kullanılan kontrol değişkenleri sinüsoidaldır. Doğal

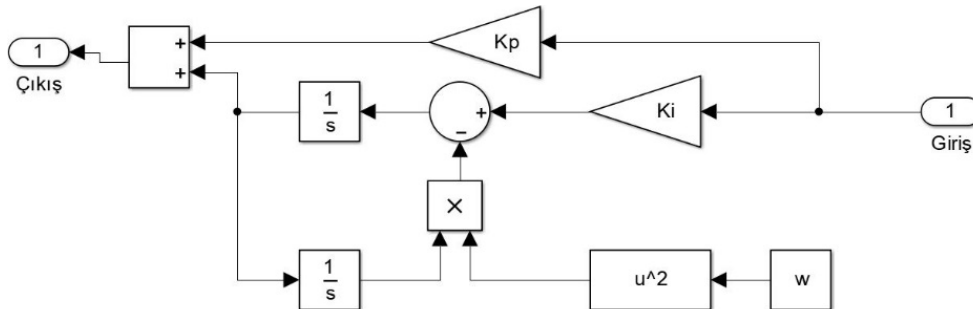
referans düzeminde kullanılan PR kontrolün blok diyagramı Şekil 4.10'da gösterilmektedir. PR kontrolün doğal referans düzleminde kullanılması durumunda harmonik düzenleyici eklenmek istenirse, PR kazanç bloğuna Şekil 4.8'de sabit referans düzleminde kullanıldığı gibi harmonik düzenleyici eklenerek gerçekleştirilebilir [76, 79, 81, 85, 86].

$$G_{PR}^{abc}(s) = \frac{2}{3} \times \begin{bmatrix} K_p + \frac{K_i s}{s^2 + \omega^2} & 0 & 0 \\ 0 & K_p + \frac{K_i s}{s^2 + \omega^2} & 0 \\ 0 & 0 & K_p + \frac{K_i s}{s^2 + \omega^2} \end{bmatrix} \quad (4.12)$$



Şekil 4.10. Doğal referans düzemindeki PR kazanç blok diyagramı

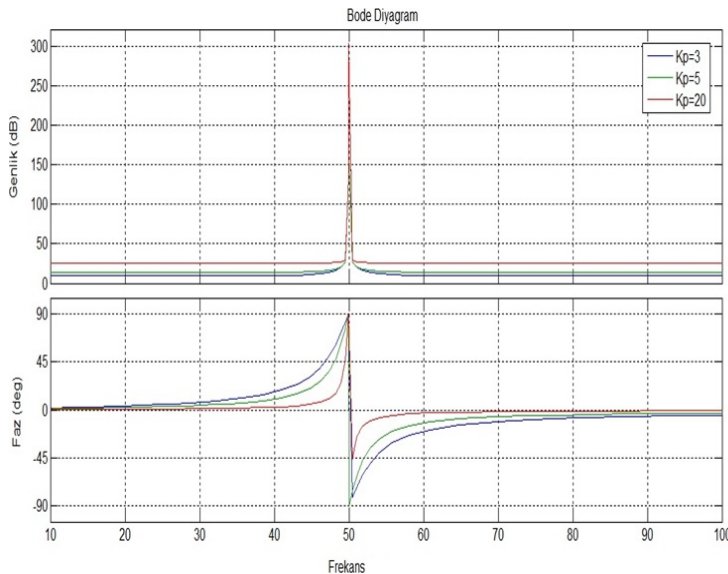
Şekil 4.11'de, Eş. 4.10'da verilen PR kontrol kazanç denkleminin Matlab/Simulink programında gerçekleştirilen blok diyagramı verilmektedir. Bu blok diyagramda girişteki bilgi, bir referans işareti ile alınan geri besleme işaretinin karşılaştırılması ile elde edilen akım veya gerilim bilgisidir. Çıkışta elde edilen işaret anahtarlama elemanları için gerekli olan anahtarlama işaretlerini üretmesi amacıyla modülasyon bloğuna gönderilmelidir.



Şekil 4.11. Matlab/Simulink programında gerçekleştirilen PR kazanç blok diyagramı

PR kontrolde K_p değeri artırıldıkça rezonans frekansı yakınındaki kazanç artmaktadır. Diğer frekanslardaki kazanç ise düşmektedir. Düşük K_p değeri kullanılır ise PR kontrol daha geniş bir bant içerisinde etkili olmaktadır. Bununla birlikte tüm frekanslardaki kazanç etkisi, artan oransal kazanç ile artmaktadır. K_p değeri “1” değerine yaklaşması durumunda, rezonans frekansı dışındaki frekanslardaki kazanç etkisi azalmaktadır. K_p değişimi ile harmonik empedansı artmakta, diğer bir ifadeyle K_p değeri artırıldığında harmonik etkisi azalmaktadır. K_i değerinin küçük olması durumunda rezonans frekansının bant genişliği daralmaktadır. Aynı şekilde çok yüksek seçilecek integral kazanç parametresi bant genişliğinin artmasına sebep olmaktadır [86].

Bu sebeplerden dolayı PR kontrolde kullanılacak olan K_p 'ye atanan değer önem kazanmaktadır. K_p değeri sistemin temel bileşeni olmasından dolayı evirici topolojilerinde PR kontrol çıkışında elde edilen işaret, eviricinin modülasyon indeks değerini de belirlemektedir. Şekil 4.11'de bulunan PR kazanç blok diyagramı kullanılarak, PR kontrolcüsünde K_p değerinin etkisini görmek amacıyla, açık döngü çalışacak şekilde farklı K_p parametreleri ile benzetim uygulaması yapılmış ve Bode diyagramları ile Şekil 4.12'de gösterilmiştir. K_p için 3, 5 ve 20 olmak üzere 3 farklı değer seçilmiştir. PR kontrolün integral kazancı K_i değeri 20 olarak alınmış ve kontrolcünün çalışma frekansı olarak 50 Hz belirlenmiştir. Şekil 4.12 incelendiğinde, K_p değerinin artışıyla, rezonans frekansı 50 Hz'e daha yakın olacak şekilde çıkış kazancı elde edilmektedir. Ayrıca artan K_p değeri ile sistemin faz değişimine verdiği tepki süresi de kısalmaktadır.



Şekil 4.12. Farklı K_p değerlerinde PR kazanç etkisi

PR kontrolünün kazanç etkisini daha iyi anlaşılması için senkron referans düzleminde çalışan PI kontrol parametreleri kullanılarak gösterilebilir. Senkron referans düzleminde çalışan PI kontrol, düzlemin pozitif bölümü için Eş. 4.13'te görüldüğü gibi ω_0 açısal hızında dönen bir referans değeri olmak üzere, ω rezonans frekansının tüm katlarında kazanç uygulamaktadır [11].

$$\omega_0 = h\omega \quad (4.13)$$

Senkron referans düzleminin pozitif bölümünde istenilen rezonans frekansındaki harmonik bastırmak için Eş. 4.14'teki PI kazanç formülünde “s” yerine “s-jh ω ” olarak yazılırsa Eş. 4.15'teki denklem elde edilir [11].

$$G_{PI} = k_{P_h} + \frac{k_{I_h}}{s} \quad (4.14)$$

$$G_{PI}^+ = k_{P_h} + \frac{k_{I_h}}{s - jh\omega} \quad (4.15)$$

Aynı şekilde senkron referans düzleminin negatif bölümü içinde istenilen rezonans frekansındaki harmonik bastırmak için “s” yerine “s+jh ω ” eklenecek olursa Eş. 4.16'daki denklem elde edilmiş olur [11].

$$G_{PI}^- = k_{P_h} + \frac{k_{I_h}}{s + jh\omega} \quad (4.16)$$

Eş. 4.15 ve Eş. 4.16 denklemleri senkron referans düzleminde istenilen frekans katlarında harmonik bastırmayı sağlar. Bu iki denklem senkron referans düzleminin tamamını elde etmek için toplanması durumunda Eş. 4.17'de verilen denklem elde edilir. Bu denklemin çözümü sonucunda Eş. 4.18'de bulunan denklem elde edilmektedir [11].

$$G_{PR} = G_{PI}^+ + G_{PI}^- \quad (4.17)$$

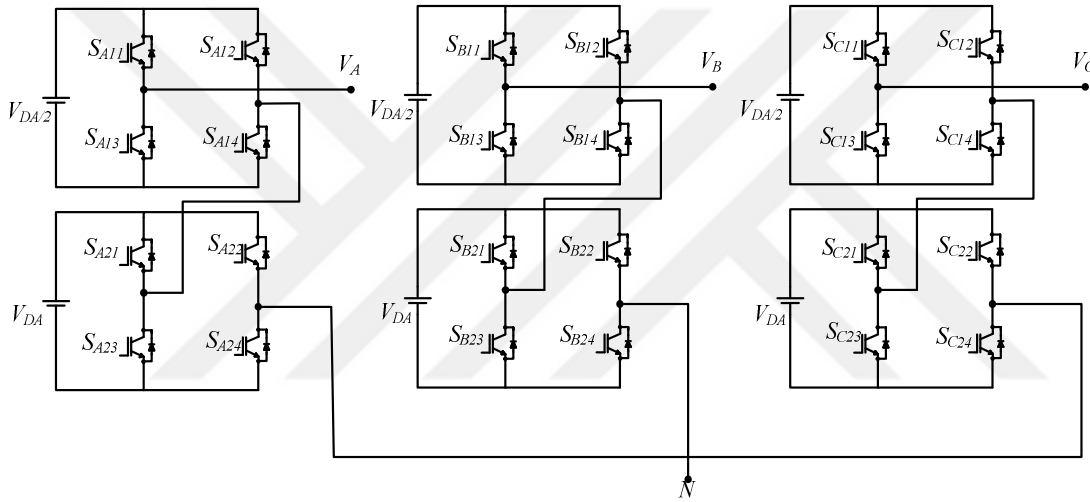
$$G_{PR} = k_{P_h} + \frac{k_{I_h}}{s - jh\omega} + k_{P_h} + \frac{k_{I_h}}{s + jh\omega} = 2k_{P_h} + 2k_{I_h} \frac{s}{s^2 + h^2\omega^2} \quad (4.18)$$

Elde edilen bu denkleme sadeleştirildiğinde ise Eş. 4.19’da bulunan PR kontrolünün denklemi elde edilmiş olur. PR kontrol, PI kontrol işleminin tüm frekanslarda yaptığı kazanç işlemini sadece istenilen bir rezonans frekansında gerçekleştirmeyi sağlamaktadır [11].

$$G_{PR} = \underbrace{2k_{P_h}}_{K_p} + \underbrace{2k_{I_h}}_{K_i} \frac{s}{s^2 + h^2\omega^2} = K_p + K_i \frac{s}{s^2 + h^2\omega^2} \quad (4.19)$$

5. BENZETİM ÇALIŞMALARI

Gerçekleştirilecek olan AKÇSE için 7-seviyeli üç fazlı bir evirici tasarlanmıştır. Bu amaçla AKÇSE yapısının çalışmasının incelenmesi için öncelikli olarak benzetim çalışmaları gerçekleştirilmiştir. Benzetim çalışmalarında kullanılan 7-seviyeli AKÇSE anahtarlama elemanlarının bağlantısı Şekil 5.1’de görüldüğü gibi yapılmaktadır. Burada üst anahtarlar düşük gerilimin uygulandığı, alt anahtarlar ise yüksek gerilimin uygulandığı anahtarlardır. Her bir faz için iki adet H-köprü hücresi kullanılmış olup, faz başına 8 anahtarlama elemanı, toplamda ise 24 adet anahtarlama elemanı kullanılmıştır.

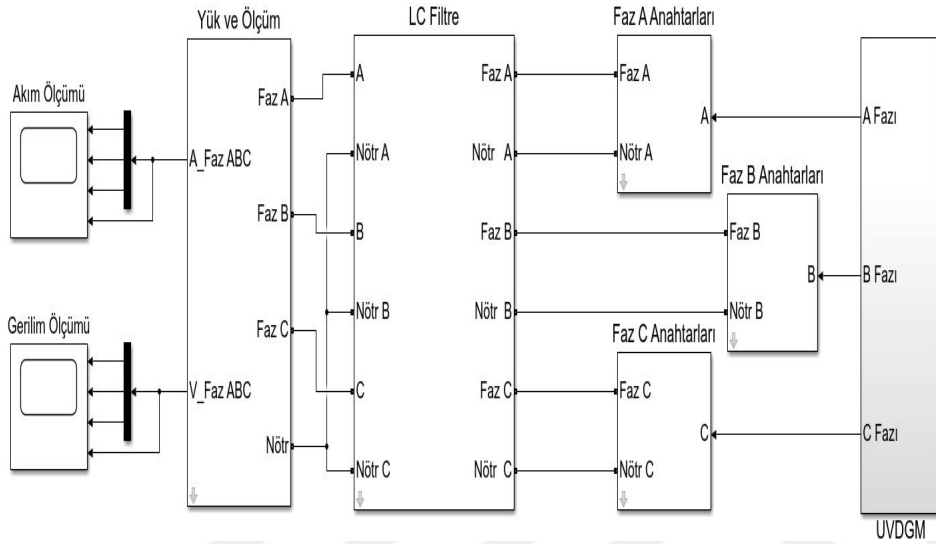


Şekil 5.1. 7-seviyeli AKÇSE anahtarlama elemanlarının bağlantı yapısı

5.1. UVDGM Benzetim Çalışması

7-seviyeli AKÇSE benzetim çalışmalarında öncelikli olarak UVDGM ile anahtarlama işaretlerinin üretilmesi gerçekleştirilmiştir. Bu amaçla önceki bölümde belirtilen UVDGM modülasyon yöntemlerinden $\alpha\beta$ düzlemini 60° koordinat düzlemine dönüştürerek anahtarlama durumlarının hesaplandığı bir benzetim kullanılmıştır. 7-seviyeli bir eviricide giriş gerilim değerinin V ve $2V$ olması durumunda çıkış geriliminin alabileceği değerler $3V$, $2V$, V , 0 , $-V$, $-2V$, $-3V$ olmaktadır. Literatürde yer alan çalışmalarda kullanılan UVDGM tekniklerinde genellikle bir anahtarlama durum tablosu kullanılarak anahtarlama işaretlerinin üretilmesi gerçekleştirilmektedir. Benzetim çalışmasında geliştirilen yöntemde ise anahtarlama durumları hesabının sayısal işlemcide anahtarlama durum tablosu kullanmadan gerçekleştirilebilecek dinamik bir tasarım yapılmıştır. Benzetim işlemi

Matlab/Simulink programı kullanılarak gerçekleştirilmiştir. 7-seviyeli AKÇSE yapısının UVDGM ile gerçekleştirildiği benzetim devresinin blok diyagram yapısı Şekil 5.2’de gösterilmektedir. UVDGM tekniği ile gerçekleştirilen benzetim uygulamasında, anahtarlama işaretlerinin üretildiği blok, anahtarlama elemanlarının bulunduğu blok, çıkış filtresi, yük ve çıkış ölçümlerinin gerçekleştirdiği bloklar bulunmaktadır.

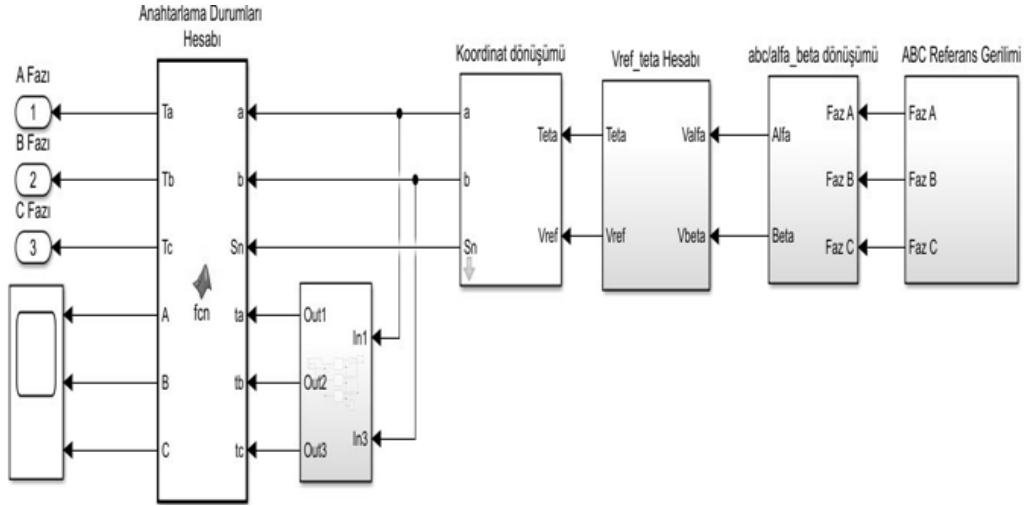


Şekil 5.2. 7 seviyeli AKÇSE UVDGM benzetim blokları

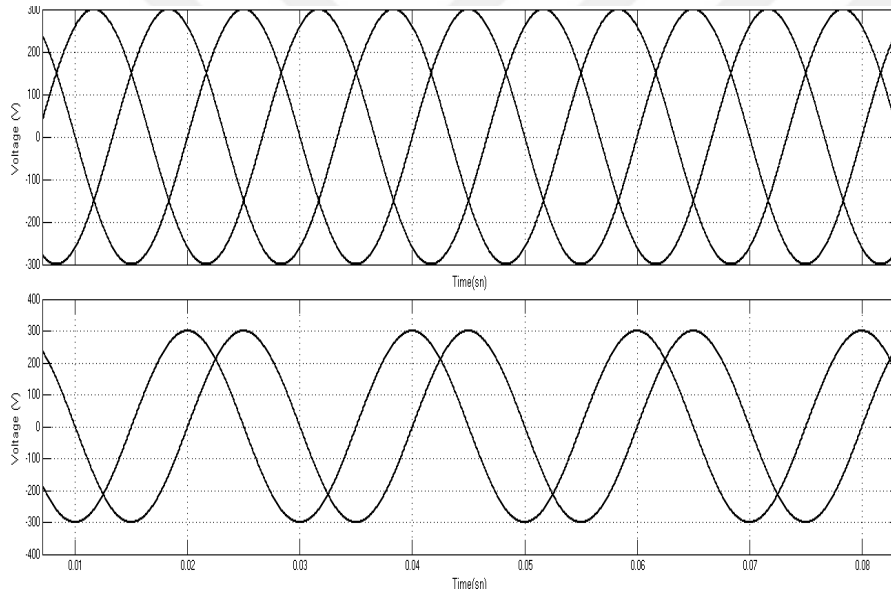
Şekil 5.2’de bulunan UVDGM bloğunun iç yapısı Şekil 5.3’te verilmektedir. Burada üç faz referans gerilimi üretildikten sonra abc düzlemindeki 3 faz giriş işareti Clarke dönüşümü kullanılarak, $\alpha\beta$ düzlemine çevrilmektedir. Burada V_a , V_b , V_c dönüştürücünün giriş referans gerilimleri, V_α ve V_β ise çıkış referans gerilimleridir. Şekil 5.4’te uygulanan giriş işareti ve $\alpha\beta$ düzlemine dönüştürülen işaret görülmektedir. $\alpha\beta$ düzlemine dönüştürülen işareti aralarında 90° faz açısı olan DA bileşenli vektörel iki işarettir. Referans vektörünün hesaplanması Eş. 5.1 ve Eş. 5.2’de verilen ifadelerle gerçekleştirilmektedir. Burada V_{ref} , referans vektörün değeri ve θ ise referans vektörünün $\alpha\beta$ düzlemindeki açısıdır. Referans vektör $\alpha\beta$ düzleminde, V_{ref} genliğinde θ açısı ile saatin tersi yönünde hareket etmektedir. V_{ref} vektörünün θ açısı o anki sektörü vermektedir.

$$|V_{ref}| = \sqrt{V_\alpha^2 + V_\beta^2} \quad (5.1)$$

$$\theta = \tan^{-1} \frac{V_\beta}{V_\alpha} \quad (5.2)$$



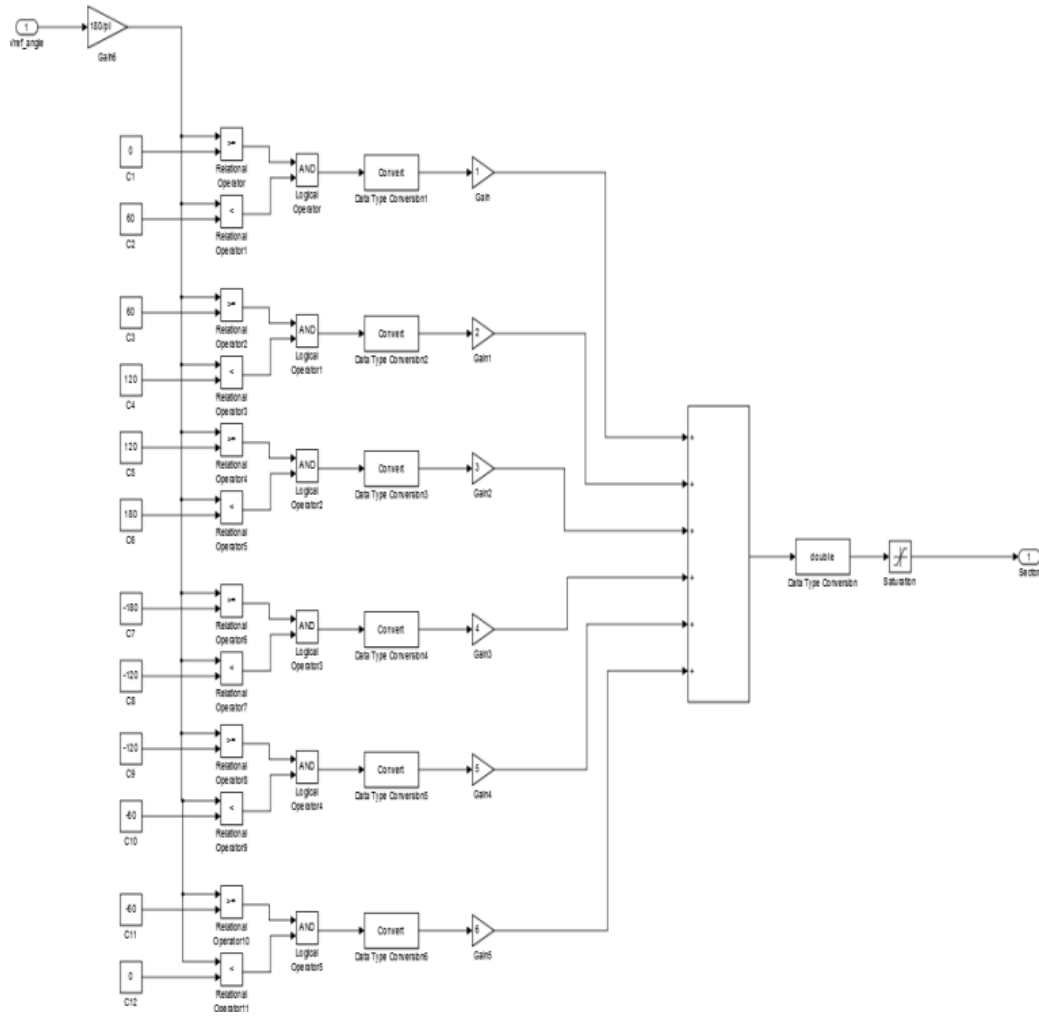
Şekil 5.3. UVDGM benzetim bloğu iç yapısı



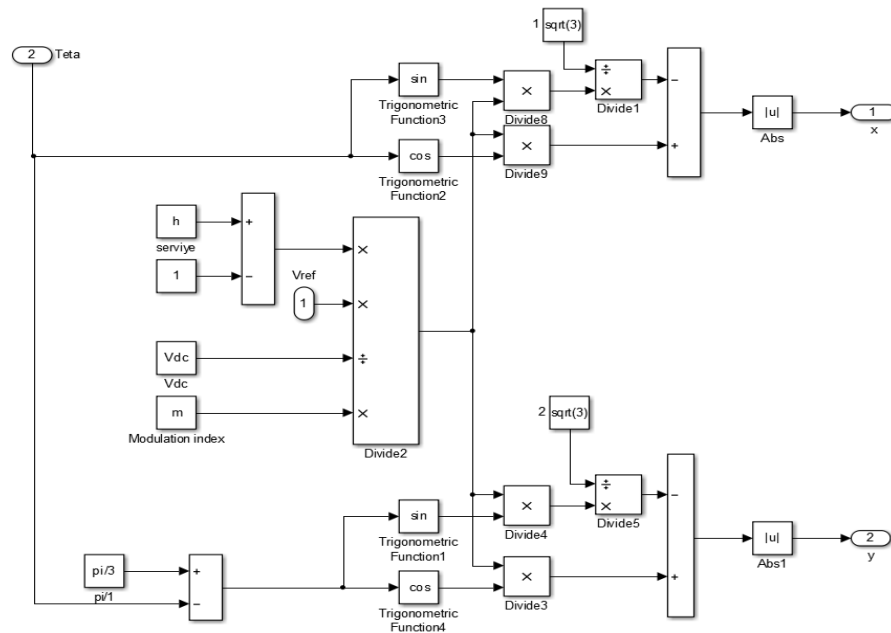
Şekil 5.4. 3 faz giriş ve $\alpha\beta$ düzlemine dönüştürülmüş durumu

Şekil 5.5'te bu işlemi gerçekleştiren sektör seçim bloğunun iç yapısı görülmektedir. Bu seçimde; $0 < \theta < 60$ ise sektör 1, $60 < \theta < 120$ ise sektör 2, $120 < \theta < 180$ ise sektör 3, $180 < \theta < 240$ ise sektör 4, $240 < \theta < 300$ ise sektör 5, $300 < \theta < 360$ ise sektör 6 olacaktır.

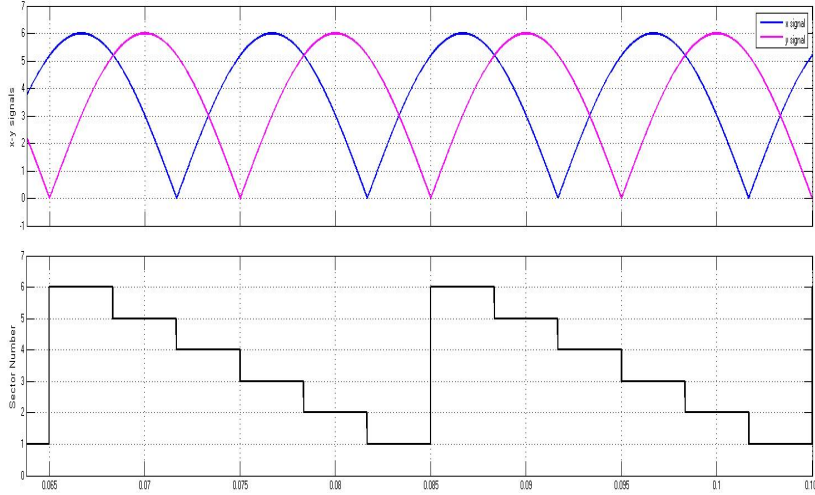
Koordinat dönüşümü bloğunun iç yapısı Şekil 5.6'da görüldüğü gibidir. Bu blok içerisinde V_{ref} ve θ açısı kullanılarak $\alpha\beta$ düzleminde aralarında 60° faz farkı bulunan iki işaret (x,y) elde edilmektedir. Sektör seçim bloğunun çıkışı ve her sektörde x, y işaretlerinin durumu Şekil 5.7'de verilmektedir. Aralarında 60° faz farkı olan bu x ve y işaretleri elde edilirken anahtarlama hesabında kullanımı için normalize edilmesi gerekmektedir.



Şekil 5.5. Sektör seçim bloğu iç yapısı



Şekil 5.6. Koordinat dönüşüm bloğu iç yapısı



Şekil 5.7. Sektör seçim bloğu çıkışı ve 60° faz farkı bulunan x, y işaretleri

Eş. 5.3'te bulunan formülde normalizasyon işlemi için öncelikle V değeri bulunmaktadır. Bu formülde m_i değeri, modülasyon indeksini, m değeri, çıkış gerilim seviyesi sayısını V_{DA} ise bir faz için kullanılan kaynak değerlerinin toplamını ifade etmektedir. Daha sonra elde edilen V değeri kullanılarak 60° faz farkı bulunan x, y işaretleri Eş. 5.4 ve Eş. 5.5'teki gibi hesaplanmaktadır.

$$V = \frac{V_{ref} \times m_i \times (m-1)}{V_{DA}} \quad (5.3)$$

$$x = |(V \times \cos(\theta)) - (V \times \sin(\theta/3))| \quad (5.4)$$

$$y = |(V \times \cos(60-\theta)) - (V \times \sin((60-\theta)/\sqrt{3}))| \quad (5.5)$$

Anahtarlama durumlarının hesaplandığı blokta öncelikle her bir sektörde anahtarların hangi durumlarda olması gerektiği bilinmelidir. Benzetimi gerçekleştirilen 7-seviyeli evirici için çıkış gerilimleri 3V, 2V, V, 0, -V, -2V, -3V olmaktadır. Burada bir periyot için çıkış değerleri sırayla, bir sektörde 3V, bir sektörde 2V ve V, bir sektörde -V ve -2V, bir sektörde -3V, bir sektörde -V ve -2V ve bir sektörde de 2V ve V olacaktır. UVDGM tekniğinde anahtarlara uygulanacak işaretler sayısal olarak gönderilmektedir.

Bu durumların hesaplaması için koordinat dönüşümü ve normalizasyon işlemi yapılan x, y

işaretleri, sayısal işaretlere dönüştürülmesi gerekmektedir. Bu işaretlerin sayısal dönüştürülmesi işleminde Matlab fonksiyonları olan ceil ve floor işlemleri kullanılmıştır. Ceil fonksiyonu bir değeri yukarıya yuvarlama, floor fonksiyonu ise bir değeri aşağı yuvarlama işlemini gerçekleştirmektedir. Eş. 5.6 - 5.9'da görüleceği gibi x ve y değerleri hem ceil, hem de floor fonksiyonu kullanılarak x_c , x_f ve y_c , y_f değerleri elde edilmektedir.

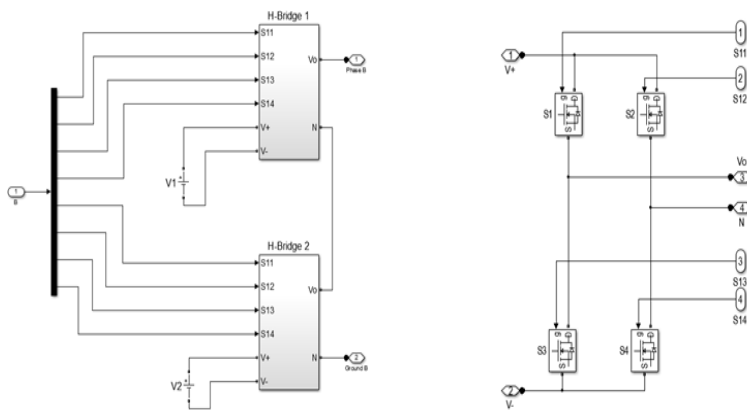
$$x_c = \text{ceil}(x) \quad (5.6)$$

$$x_f = \text{floor}(x) \quad (5.7)$$

$$y_c = \text{ceil}(y) \quad (5.8)$$

$$y_f = \text{floor}(y) \quad (5.9)$$

Gerçekleştirilen bu işlemler sonucunda x_c ve y_c durumları 1- 6 arasında bir tam sayı değeri, x_f , y_f durumları 0-5 arasında bir tam sayı değeri almaktadır. x_c , y_c ve x_f , y_f durumları kullanılarak gerekli olan anahtarlama durumlarını çıkarabilmesi için yapılacak hesaplama işlemleri Çizelge 5.1'de verilmektedir. Anahtarlama bloğunda yazılmış olan program ile fazlar için elde edilen çıkış değeri H-köprüde bulunan yarı iletken elemanları anahtarlamaı sağlayacak 8 adet çıkış olarak UVDGM bloğundan H- Köprü bağlantılarına gönderilmektedir. Şekil 5.2'de gösterilen benzetim bloklarında bulunan anahtarlama elemanlarından oluşan iki H-Köprü bloğunun iç yapısı Şekil 5.8'de verilmektedir.



Şekil 5.8. Bir faza ait H-Köprü bloğu yapısı iç yapısı ve anahtarlama elemanlarının bağlantısı

Çizelge 5.1. 7-seviyeli eviricinin sektörlere göre çıkış hesaplamaları

	A	B	C
Sektör 1	Floor((xc+yc)/2)	-Ceil(xc/3)	-Ceil(yc/3)
Sektör 2	-Floor((xf-yc)/3)	Ceil(xc/3)	-Ceil(yc/2)
Sektör 3	-Ceil((xc-yc)/3)	Ceil(xc/2)	-Ceil(yc/3)
Sektör 4	-Floor((xc+yc)/2)	Ceil(xc/3)	Ceil(yc/3)
Sektör 5	Floor((xf-yc)/3)	-Ceil(xc/3)	Ceil(yc/2)
Sektör 6	Ceil((xc-yc)/3)	-Ceil(xc/2)	Ceil(yc/3)

Benzetimde kullanılan LC filtrenin değeri ise uygulama aşamasında kullanılacak olan değerler ile aynı olacak şekilde seçilmiştir. LC filtrenin hesaplanmasında Eş. 5.10 ve Eş. 5.11’de bulunan eşitlikler kullanılmaktadır. Bu eşitliklerde V_{DA} giriş DA gerilimini, f_t anahtarlama frekansını, Δi akımın salınım oranını, ΔV_0 gerilimin salınım oranını belirtmektedir. Belirtilen Δi ve ΔV_0 değerleri sırasıyla %3 ve %5 olarak seçilmiştir.

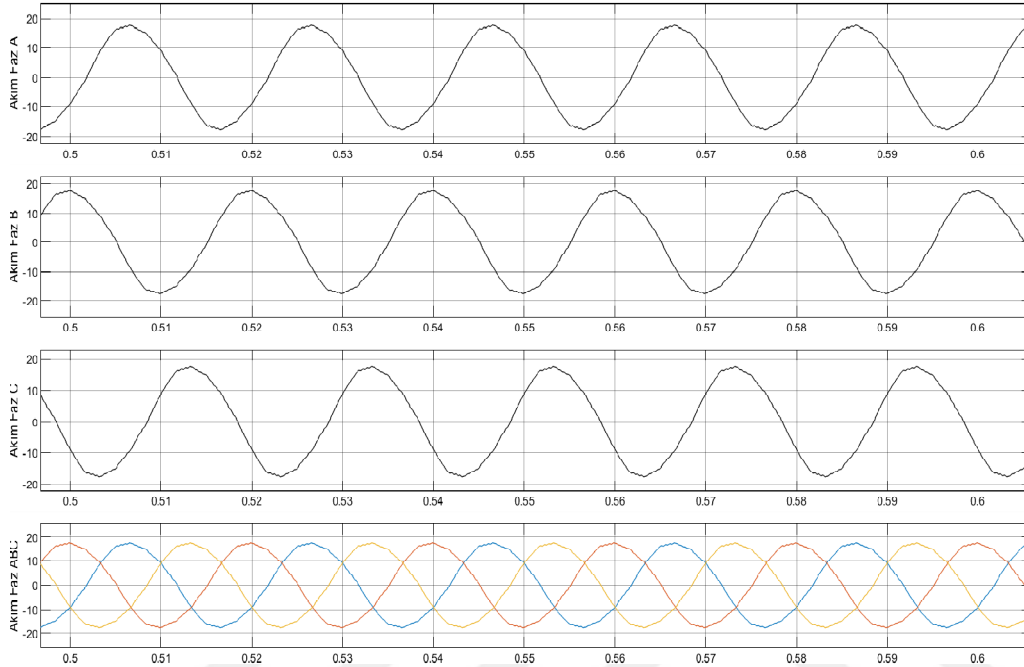
Kullanılan anahtarlama frekansı 5 kHz olarak ve modülasyon indeks değeri lineer çalışma bölgesinde olması açısından 0,8 olarak seçilmiştir. Sistemin DA giriş gerilim toplam değeri 450 V olarak ve anahtarlama frekans değeri 5 kHz olarak alınacak olmasından dolayı, kullanılabilecek bobin değeri 6 mH ve kondansatör değeri ise 20 μ F olarak seçilmiştir. Bu değerler kullanılması gereken minimum bobin ve kondansatör değerlerini göstermektedir. Devrenin çıkışında ise yıldız bağlı 10 Ω , 50 mH değerinde RL yük kullanılmaktadır [87].

$$L = \frac{V_{DA}}{4f_t \Delta i} \quad (5.10)$$

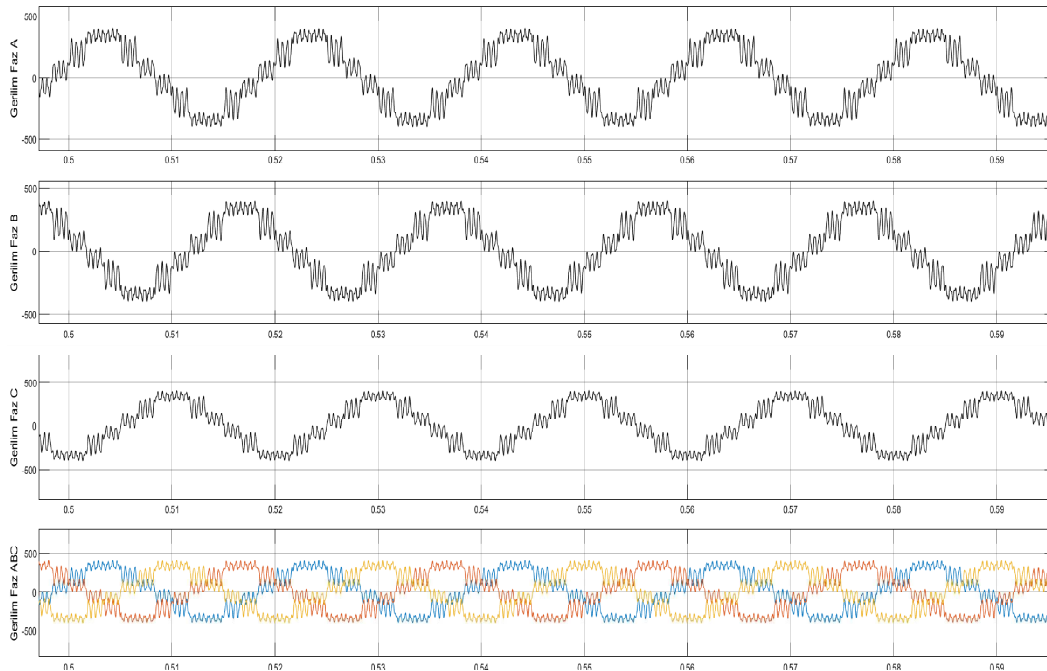
$$C = \frac{\Delta i}{8f_t \Delta V_0} \quad (5.11)$$

Şekil 5.9’da yük üzerinde ölçülen akım değerleri ve Şekil 5.10’da yük üzerinde ölçülen gerilim değerleri görülmektedir. Şekil 5.11’de ise akım THB_i değeri %3,78 ve gerilimin THB_v değeri %29,44 olarak görülmektedir. Girişten uygulanan DA gerilimi 150V ve 300V, çıkışta elde edilen faz geriliminin RMS değeri 243 V, V_{p-p} değeri 803 V’tur. Çıkış

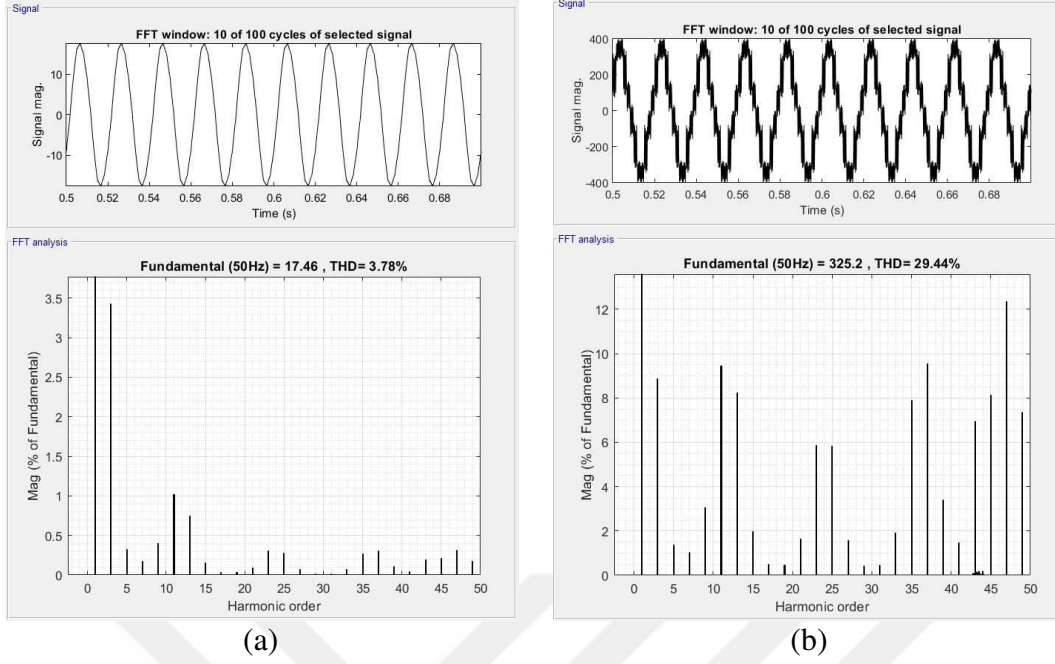
akımının değeri ise 18,6 A'dır. Şekil 5.11'de bulunan akım ve gerilimin FFT analizi incelendiğinde, özellikle düşük dereceli harmoniklerin çok yüksek değerde olmasından dolayı THB değeri de oldukça yüksektir.



Şekil 5.9. 7-seviyeli AKÇSE'nin UVDGM ile modülasyonunda yük üzerindeki faz akımları



Şekil 5.10. 7-seviyeli AKÇSE'nin UVDGM ile modülasyonunda yük üzerindeki faz gerilimleri



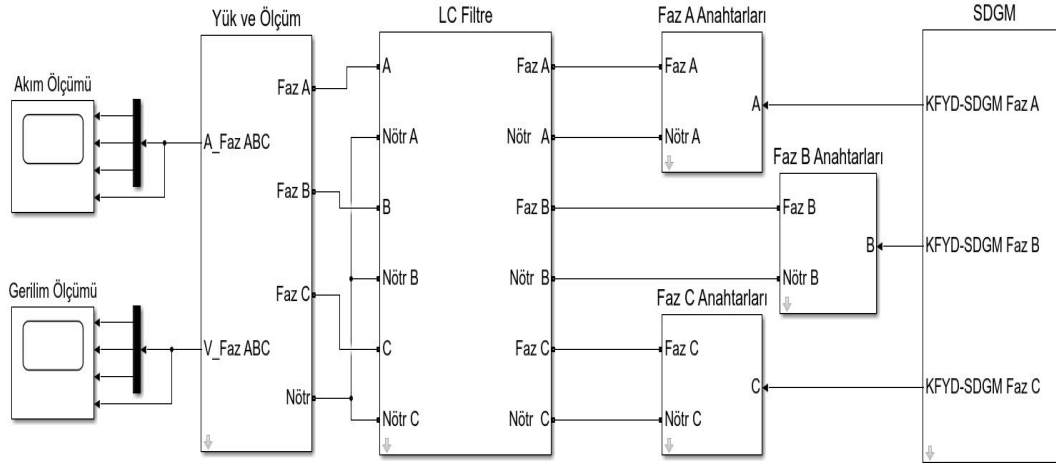
Şekil 5.11. UVDGM de A fazına ait THB değeri a)THB_i, b)THB_v

5.2. SDGM Benzetim Çalışması

Evirici anahtarlama modülasyonu yöntemlerinden bir diğeri olan SDGM metodunu kullanarak 7-seviyeli AKÇSE çalışmasının Matlab/Simulink programında benzetimi gerçekleştirilmiştir. SDGM metodunda öncelikli olarak, seviye kaydırmalı tekniklerden olan KFYP-SDGM kullanılarak benzetim yapılmıştır. Daha sonra faz kaydırmalı yöntem olan FK-SDGM tekniği ile benzetim gerçekleştirilmiştir.

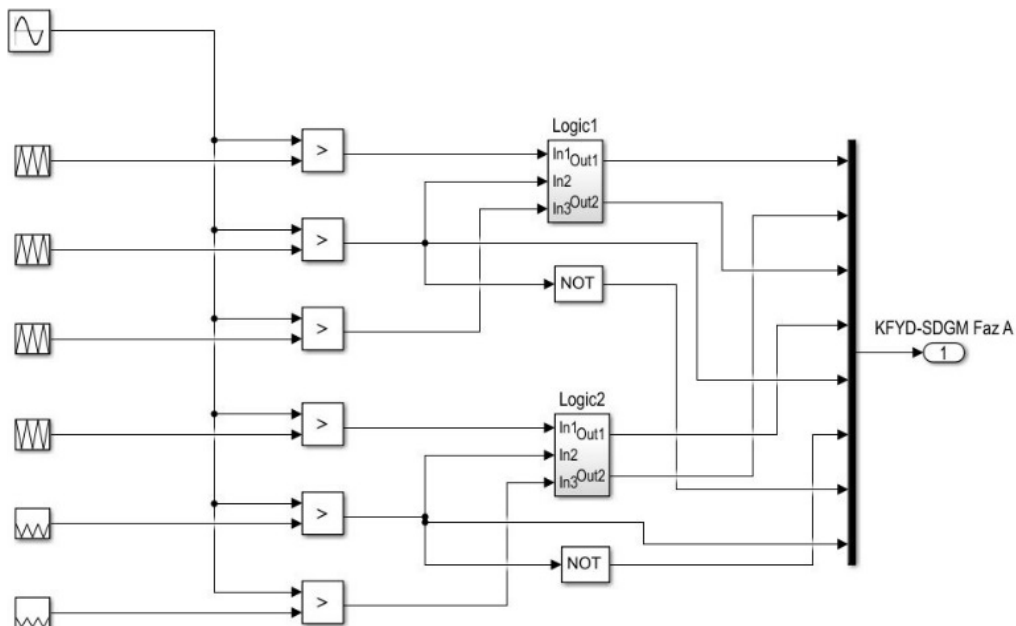
5.2.1. KFYP-SDGM benzetim çalışması

KFYP-SDGM modülasyonunda 7-seviyeli bir eviricinin benzetimi gerçekleştirilmiştir. Benzetimde kullanılan H-köprü bağlantı yapısı, uygulanan DA gerilimi, taşıyıcı frekansı yük ve filtre parametreleri UVDGM’de kullanılan parametreler ile aynıdır. Gerçekleştirilen benzetime ait blok diyagram Şekil 5.12’de gösterilmektedir. Bu blok diyagramda anahtarlama işaretleri SDGM bloğu içerisinde üretilmektedir. SDGM bloğu içerisinde her faz için ayrı ayrı sinüs-üçgen işaretleri karşılaştırılmaktadır ve bir faza ait karşılaştırma işlemi yapısı Şekil 5.13’te verilmiştir. Her faz için kullanılan sinüsoidal işaret 120° faz farkı olacak şekilde değiştirilmektedir. KFYP-SDGM modülasyonunda 7-seviyeli bir evirici için farklı gerilim seviyelerinde 6 adet üçgen dalga işareti kullanılmaktadır.

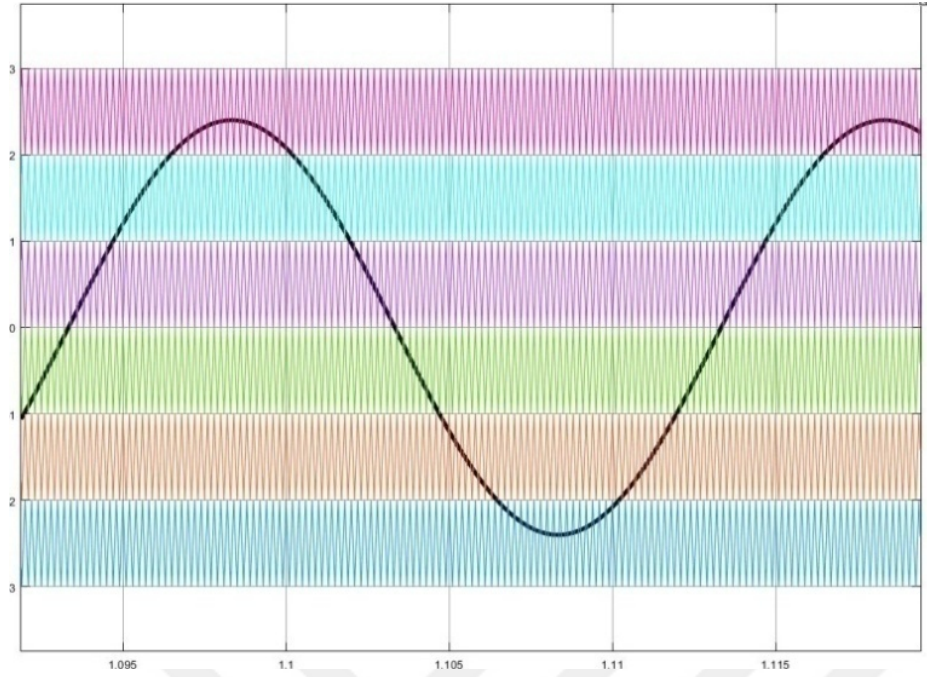


Şekil 5.12. KFYD-SDGM benzetim blokları

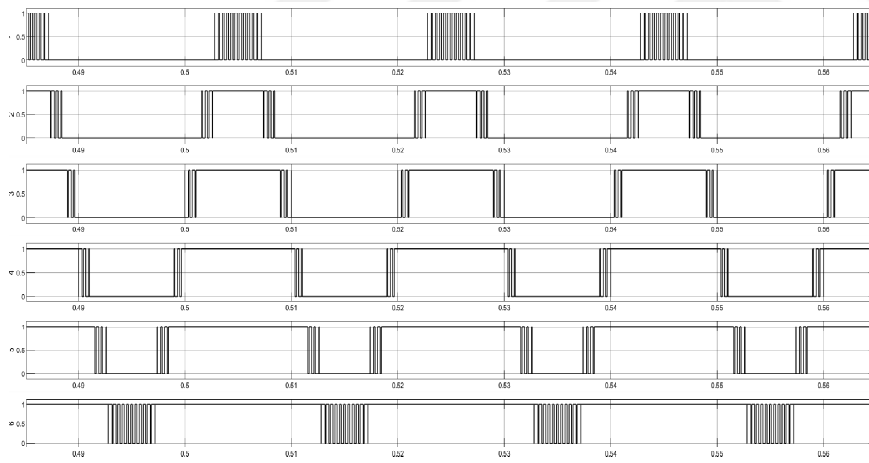
Şekil 5.14'te karşılaştırma işleminde kullanılan sinüs-üçgen işaretler, Şekil 5.15'te karşılaştırma işlemi sonucu elde edilen işaretler görülmektedir. Gerçekleştirilen karşılaştırma işlemi sonrasında elde anahtarlama işaretlerinin AKÇSE yapısına uygun hale getirilmesi amacıyla düşük gerilimin uygulandığı H-köprü yapısına uygulanan anahtarlama işaretleri (Şekil 5.15'te 1-3 ve 4-6 numaralı işaretler) öncelikli olarak lojik işlem bloğunda bulunan XOR kapısına uygulanmıştır. Yüksek gerilimin uygulandığı H-köprü yapısı için karşılaştırmada elde edilen anahtarlama işaretleri herhangi bir işlem uygulanmadan anahtarlama elemanlarına verilmektedir. Gerçekleştirilen benzetim devresinde kullanılan modülasyon indeks değeri 0,8'dir. Anahtarlama frekansı ise 5 kHz olarak seçilmiştir



Şekil 5.13. KFYD-SDGM anahtarlama işaretleri üretim bloğu içyapısı

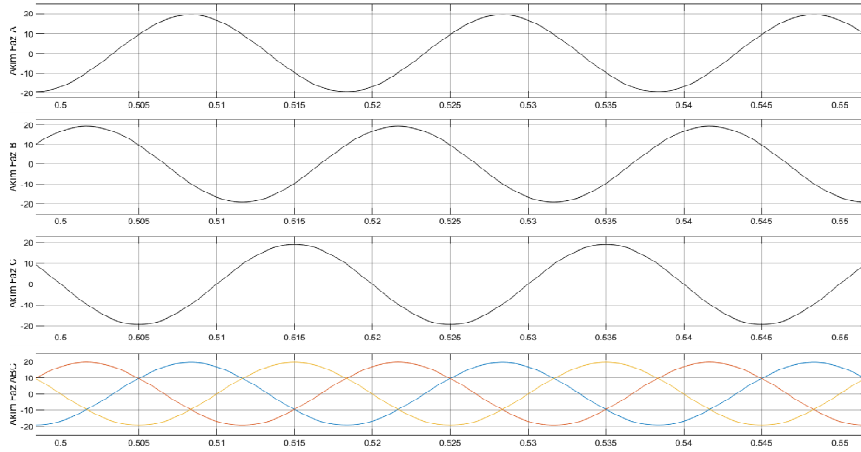


Şekil 5.14. KFYP-SDGM Sinüs-üçgen karşılaştırma işlemi

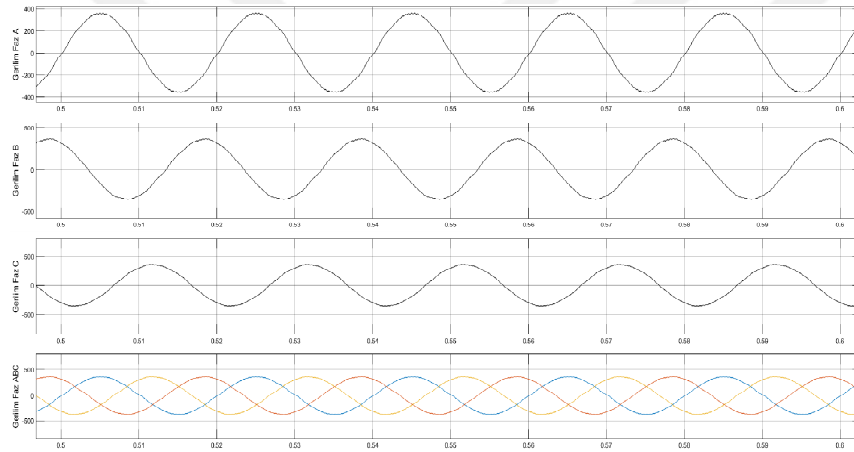


Şekil 5.15. KFYP-SDGM Sinüs-üçgen karşılaştırma sonucu elde edilen işaretler

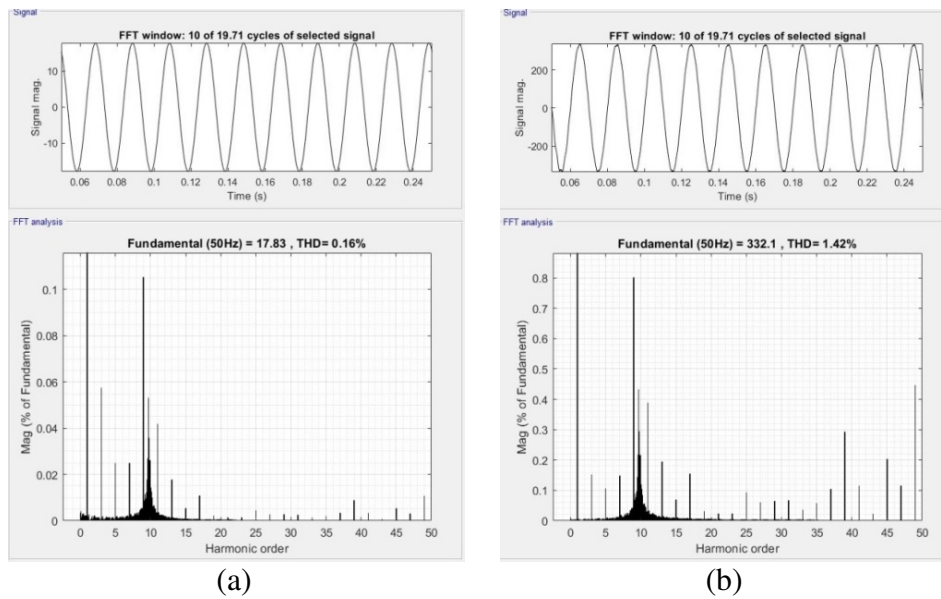
Şekil 5.16'da 7-seviyeli AKÇSE'nin KFYP-SDGM modülasyonu ile benzetimi sonucunda yük üzerinde elde edilen faz akımları ve Şekil 5.17'de çıkış faz gerilimleri görülmektedir. Şekil 5.18'de ise akım THB_i değeri %0,16 ve gerilimin THB_v değeri %1,42 olarak görülmektedir. Girişten uygulanan DA gerilimi 150V ve 300V, çıkışta elde edilen faz geriliminin RMS değeri 234 V, V_{p-p} değeri 717 V'tur. Çıkış akımının değeri ise 18,9 A'dır. KFYP-SDGM yöntemi ile elde edilen harmonik sonuçları UVDGM yönteminden daha düşüktür. Ayrıca çıkış gerilimi ve akım değerleri UVDGM yöntemi ile elde edilen değerlere yakın seviyededir.



Şekil 5.16. KFYD-SDGM çıkış faz akımları



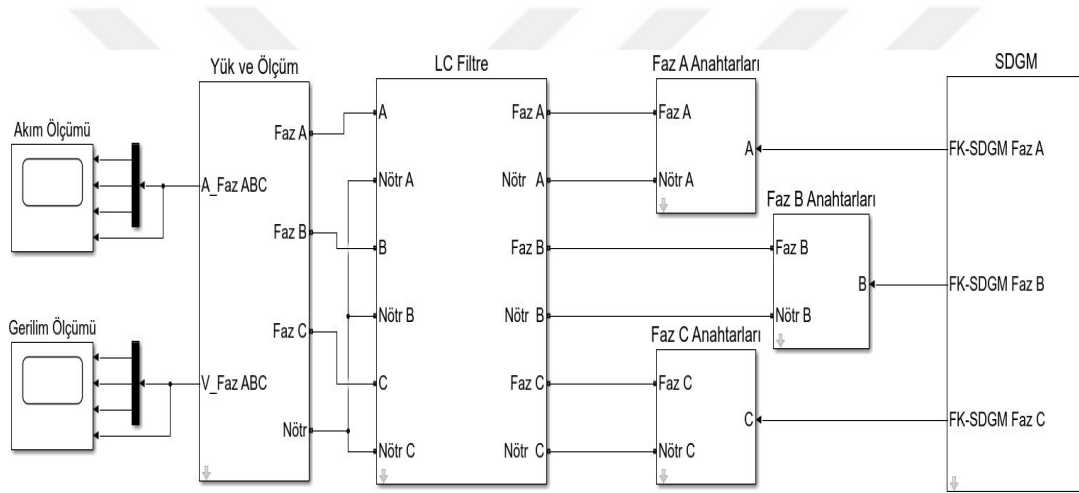
Şekil 5.17. KFYD-SDGM çıkış faz gerilimleri



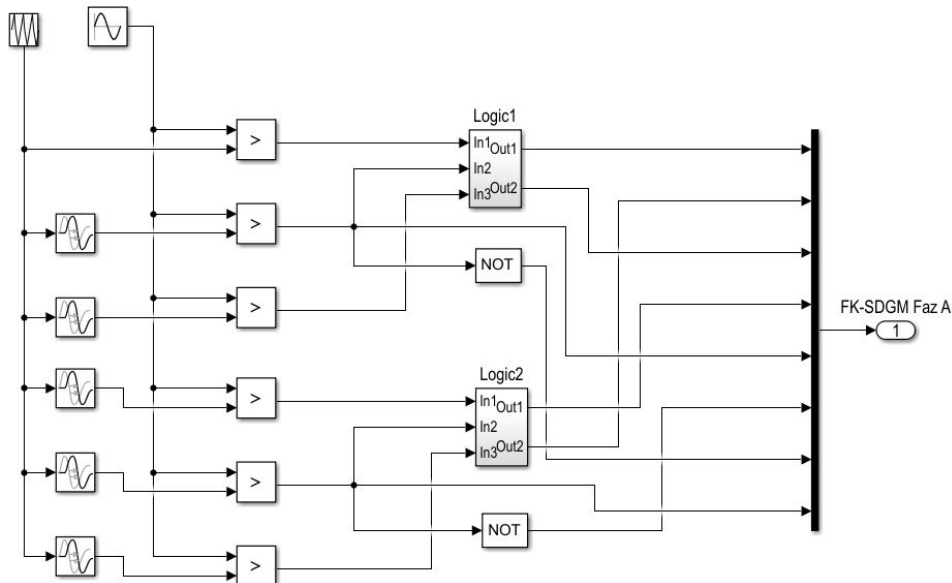
Şekil 5.18. KFYD-SDGM de A fazına ait THB değeri a)THB_i, b)THB_v

5.2.2. FK-SDGM benzetim çalışması

FK-SDGM modülasyonunda 7-seviyeli bir eviricinin benzetimi gerçekleştirilmiştir. Benzetimde kullanılan yük ve filtre parametreleri, anahtarlama frekansı ve modülasyon indeks değeri KFYD-SDGM’de kullanılan parametreler ile aynıdır. Gerçekleştirilen benzetimin blok diyagramı Şekil 5.19’da gösterilmektedir. Burada anahtarlama işaretleri SDGM bloğu içerisinde üretilmektedir. SDGM bloğu içerisinde her faz için ayrı ayrı sinüs-üçgen işaretleri karşılaştırılmaktadır ve bir faza ait karşılaştırma işlemi yapısı Şekil 5.20’de verilmiştir. Her faz için kullanılan sinüsoidal işaret 120° faz farkı olacak şekilde değiştirilmektedir.

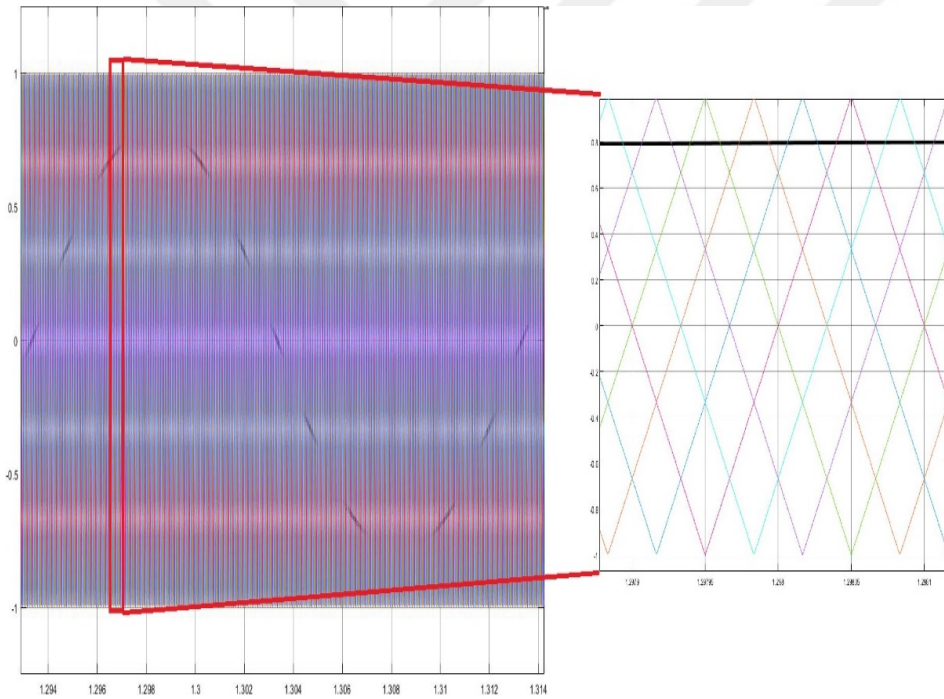


Şekil 5.19. FK-SDGM benzetim blokları



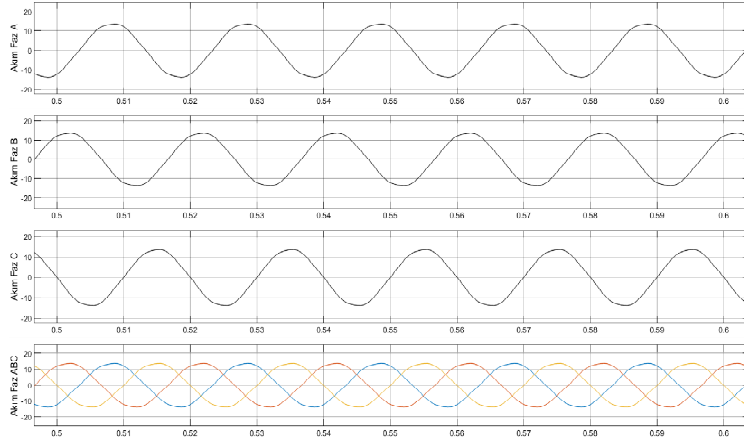
Şekil 5.20. FK-SDGM anahtarlama işaretleri üretim bloğu iç yapısı

FK-SDGM modülasyonunda 7-seviyeli bir evirici için farklı fazlarda 6 adet üçgen dalga işareti kullanılmaktadır. Üretilen bir adet üçgen dalga işareti “Transport Delay” modülü ile aralarında 30° faz farkı olacak şekilde kullanılmaktadır. Şekil 5.21’de karşılaştırma işleminde kullanılan işaretler görülmektedir. Gerçekleştirilen karşılaştırma işlemi sonrasında elde anahtarlama işaretlerinin AKÇSE yapısına uygun hale getirilmesi amacıyla düşük gerilimin uygulandığı H-köprü yapısına uygulanan anahtarlama işaretleri öncelikli olarak lojik işlem bloğunda bulunan XOR kapısına uygulanmıştır. Yüksek gerilimin uygulandığı H-köprü yapısı için karşılaştırmada elde edilen anahtarlama işaretleri herhangi bir işlem uygulanmadan anahtarlama elemanlarına verilmektedir. Gerçekleştirilen benzetim devresinde kullanılan modülasyon indeks değeri 0,8’dir. Anahtarlama frekansı ise 5 kHz olarak seçilmiştir.

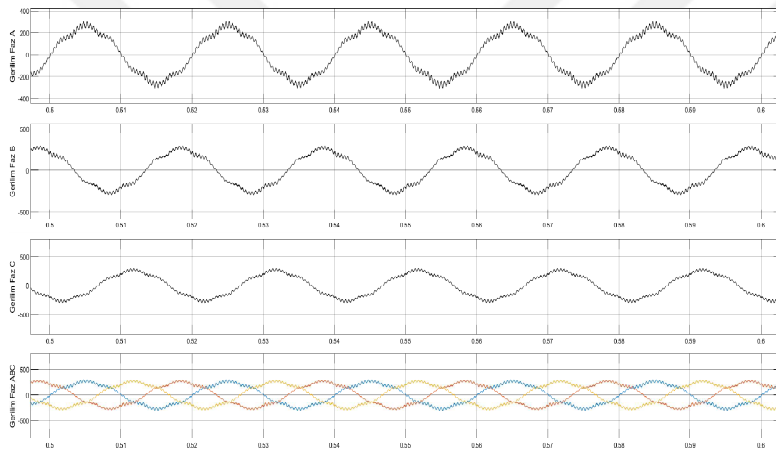


Şekil 5.21. FK-SDGM Sinüs-üçgen karşılaştırma işlemi

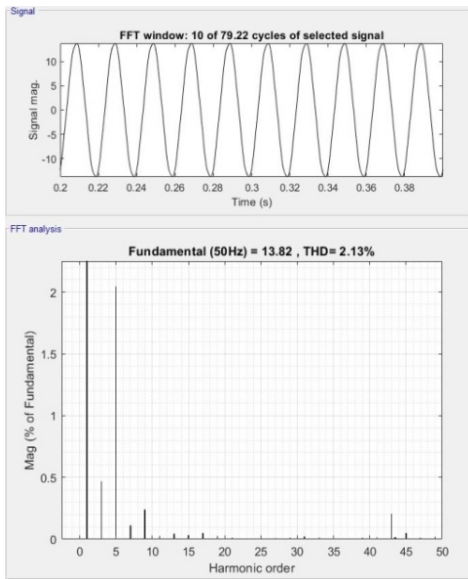
Şekil 5.22’de 7-seviyeli AKÇSE’nin FK-SDGM modülasyonu ile benzetimi sonucunda yük üzerinde elde edilen faz akımları ve Şekil 5.23’te çıkış faz gerilimleri görülmektedir. Şekil 5.24’te ise akım THB_i değeri %2,13 ve gerilimin THB_v değeri %12,11 olarak görülmektedir. Girişten uygulanan DA gerilimi 150V ve 300V, çıkışta elde edilen faz geriliminin RMS değeri 180 V, V_{p-p} değeri 611 V’tur. Çıkış akımının değeri ise 13,7 A’dır.



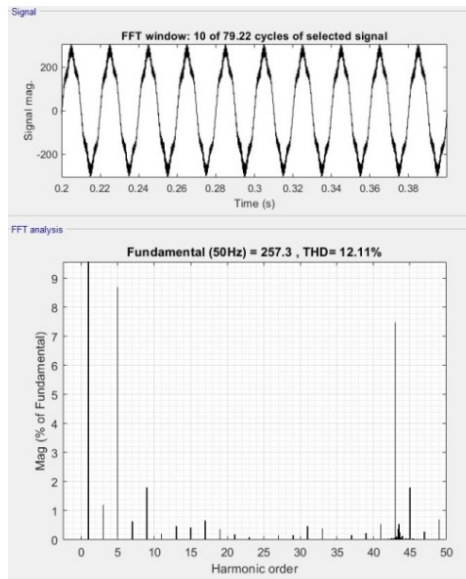
Şekil 5.22. FK-SDGM çıkış faz akımları



Şekil 5.23. FK-SDGM çıkış faz gerilimleri



(a)



(b)

Şekil 5.24. FK-SDGM de A fazına ait THB değeri a)THB_i , b)THB_v

5.2.3. Benzetim çalışması sonuçlarının karşılaştırılması

7-Seviyeli AKÇSE yapısının farklı modülasyonlarda çalışması incelenmiştir. Bu modülasyonların benzetim aşamasında aynı yük ve filtre parametreleri kullanılmıştır. Modülasyon tekniklerinin çalışması 5 kHz anahtarlama frekansında, 0,86 modülasyon indeks değerinde, giriş DA gerilimi düşük gerilim hücresinde 150 V, yüksek gerilim hücresinde 300 V olacak şekilde uygulanmıştır. Elde edilen çıkış geriliminin RMS ve V_{p-p} değeri, akım değeri, akımın THB_i değeri ve gerilimin THB_v değerleri Çizelge 5.2’de verilmektedir.

Çizelge 5.2 incelendiğinde, hem çıkış harmonik değerleri hem de çıkış akım ve gerilim değerleri açısından en iyi modülasyon tekniği KFYD olmaktadır. UVDGM tekniğinin gerilim harmonik değeri, FK-SDGM tekniğinden daha fazla görünmekle beraber çıkış gerilimi ve akımının değerleri açısından UVDGM yönteminin FK-SDGM’ye göre daha iyi olduğu anlaşılmaktadır. Benzetim çalışmalarında elde edilen bu değerlere göre en uygun teknik olan KFYD-SDGM modülasyonu için, çıkış geriliminin RMS ve V_{p-p} değeri, akım değeri, akımın THB_i değeri ve gerilimin THB_v değerleri farklı frekans ve modülasyon indeks değerleri açısından incelenmiştir.

Çizelge 5.2. Modülasyon tekniklerinin çıkış değerlerinin karşılaştırılması

Modülasyon Tekniği	Çıkış Gerilimi (RMS)	Çıkış Gerilimi V_{p-p}	Çıkış Akımı	Akım Harmoniği (THB_i %)	Gerilim Harmoniği (THB_v %)
UVDGM	243 V	803 V	18,6 A	3,78	29,44
KFYD-SDGM	234 V	717 V	18,9 A	0,16	1,42
FK-SDGM	180 V	611 V	13,7 A	2,13	12,11

5.2.4. KFYD-SDGM tekniği için farklı parametrelerin benzetim sonuçları

KFYD-SDGM modülasyon tekniğinin farklı frekans ve farklı modülasyon indeks değerindeki çalışmasını incelemek için uygulanan benzetim işlemlerinde, daha önce gerçekleştirilen benzetimlerde kullanılan DA giriş gerilimi, yük ve filtre değerleri kullanılmıştır. Anahtarlama frekansı olarak 1 kHz, 2,5 kHz, 5 kHz ve 10 kHz

uygulanmıştır. Modülasyon indeks değerleri ise doğrusal çalışma bölgesinde bulunan 0,7 ve 0,8 değeri ile aşırı modülasyon bölgesinde ($m_i > 0,86$ için) bulunan 0,9 ve 1 değeri seçilmiştir. Bu parametre değerlerine göre elde edilen çıkış geriliminin RMS ve V_{p-p} değeri, akım değeri, akımın THB_i değeri ve gerilimin THB_v değerleri Çizelge 5.3'te verilmektedir.

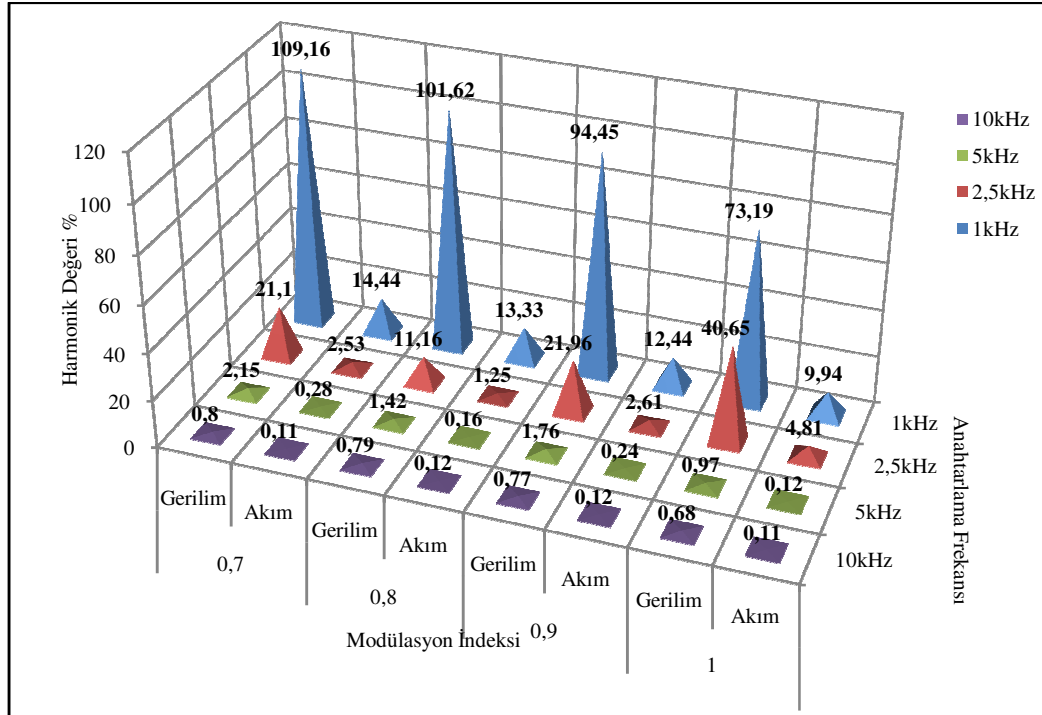
Çizelge 5.3'te görüleceği gibi anahtarlama frekansının 10 kHz seçilmesi durumunda akımın THB_i değeri ve gerilimin THB_v değeri en düşük seviyededir. Anahtarlama frekansının daha fazla artırılması durumunda da yarı iletken anahtarlama elemanlarında oluşacak anahtarlama kaybını artırmaktadır. Kullanılan yük ve filtre parametrelerine göre seçilen 5 kHz değerinin altında uygulanacak anahtarlama frekanslarında çıkış akım ve geriliminin THB değerleri çok yüksek olmaktadır.

Çizelge 5.3. KFYD-SDGM tekniği için farklı parametrelerin benzetim sonuçları

Modülasyon İndeksi	Anahtarlama Frekası	Çıkış RMS Gerilimi (Volt)	Çıkış V_{p-p} Gerilimi (Volt)	Çıkış Akımı (Amper)	Akım Harmoniği (THB %)	Gerilim Harmoniği (THB %)
0,7	1 kHz	292	1013	17	14,44	109,16
0,7	2,5 kHz	209	712	15,4	2,53	21,1
0,7	5 kHz	205	594	15,6	0,28	2,15
0,7	10 kHz	205	584	15,6	0,11	0,8
0,8	1 kHz	340	1170	19,2	13,33	101,62
0,8	2,5 kHz	235	730	17,5	1,25	11,16
0,8	5 kHz	235	666	17,8	0,16	1,42
0,8	10 kHz	233	668	17,8	0,12	0,79
0,9	1 kHz	361	1278	23,8	12,44	94,45
0,9	2,5 kHz	268	880	21,7	2,61	21,96
0,9	5 kHz	264	767	21,2	0,24	1,76
0,9	10 kHz	264	752	20	0,12	0,77
1	1 kHz	359	1296	25,9	9,94	73,19
1	2,5 kHz	316	1150	23,2	4,81	40,65
1	5 kHz	287	830	22,2	0,12	0,97
1	10 kHz	291	829	22,2	0,11	0,68

Modülasyon indeks değerinin 0,7'den daha düşük olması durumunda 7-seviyeli bir eviricide seviyelerin tamamı oluşturulamadığından bu değerler incelenmemiştir. Çizelge 5.3 incelendiğinde 10 kHz anahtarlama için akım ve gerilimin THB değerleri farklı modülasyon indeks değerlerinde yaklaşık olarak aynı olmakla birlikte, modülasyon indeks değeri artırıldığında çıkıştan elde edilen gerilimin RMS ve V_{p-p} değeri ve akım değeri daha yüksek olmaktadır. 10 kHz anahtarlama için modülasyon indeks değeri “1” olarak alındığında çıkış akım ve gerilim değerleri, diğer modülasyon indeks değerlerine göre daha yüksek seviyededir. Önceki bölümlerde de belirtildiği gibi, uygulama aşamasında modülasyon indeks değeri aşırı modülasyon durumunda kullanımında dikkatli bir şekilde uygulanmalıdır.

KFYD tekniği kullanılarak benzetimi gerçekleştirilen ve Çizelge 5.3'te listelenen 7-seviyeli AKÇSE devresindeki THB_i ve THB_v değerlerinin grafiksel karşılaştırılması Şekil 5.25'te verilmiştir. Bu şekilden de görüleceği üzere kullanılan anahtarlama frekansının çıkış harmonik değerleri üzerinde önemli ölçüde etkisi bulunmaktadır. Seçilen filtre parametreleri için özellikle 5 kHz anahtarlama frekans değerinin altındaki anahtarlama frekansında akım ve gerilim harmoniklerinin çok yüksek olduğu görülmektedir.

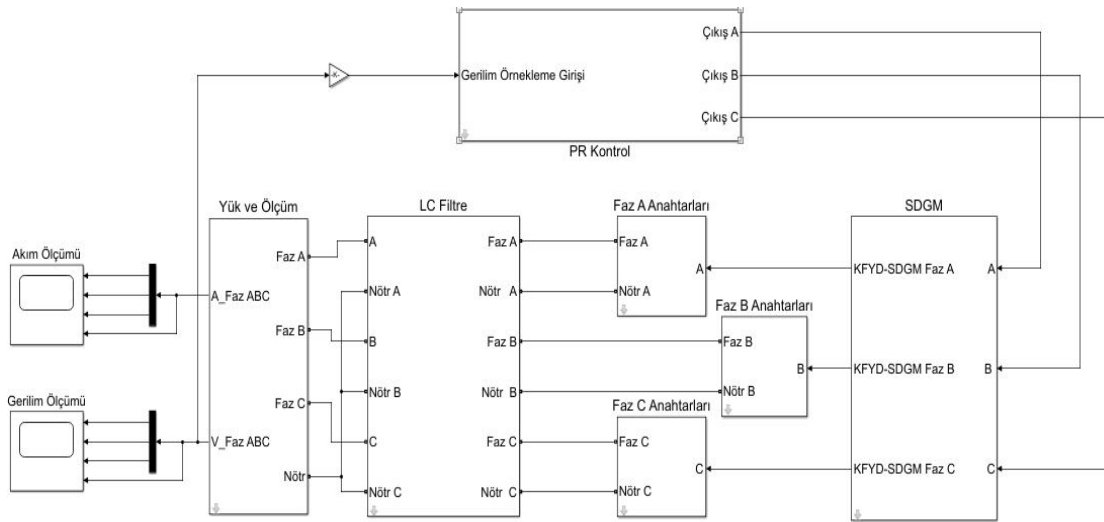


Şekil 5.25. 7-Seviyeli AKÇSE yapısının, KFYD-SDGM tekniği kullanılarak farklı anahtarlama frekansı ve farklı modülasyon indeks değerlerindeki akım ve gerilim harmonik değerlerinin karşılaştırılması

Ayrıca gerilim harmoniğinin, 1 kHz ve 2,5 kHz anahtarlama frekansında çok yüksek çıkması tasarlanan sistemin çıkıştaki filtre değerlerinden kaynaklanmakta ve modülasyon indeks değeri değişimi de THB değerini çok düşürememektedir. Modülasyon indeksinin değişiminin harmonik etkisi incelendiğinde modülasyon indeks değeri artırıldığında akım ve özellikle gerilimin harmonik değerlerinde düşüş sağlanmıştır.

5.3. PR Kontrollü KFYD-SDGM Benzetim Çalışması

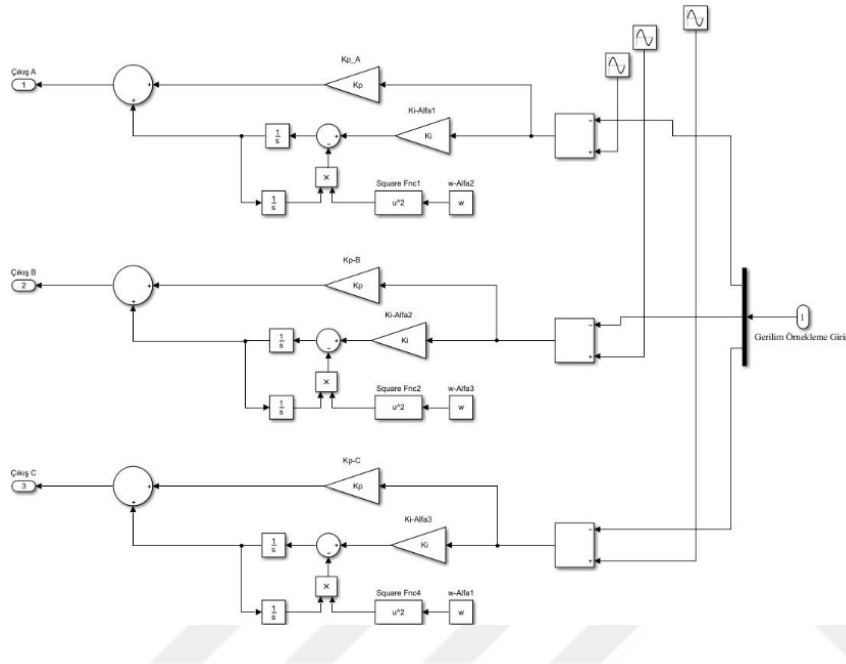
Benzetim aşamasında kullanılan KFYD-SDGM benzetimi ile elde edilen sonuçların daha da iyileştirilmesi, daha düşük akım ve gerilim THB değerlerine ulaşılması amacıyla modülatöre PR kontrol alt yapısı eklenmiştir. PR kontrollü KFYD-SDGM benzetimine ait bloklar Şekil 5.26’da verilmektedir. PR kontrollü KFYD-SDGM tekniğinde gerçekleştirilen benzetim işleminde kullanılan filtre ve yük parametreleri, PR kontrol kullanmadan gerçekleştirilen KFYD-SDGM modülasyonu benzetim işlemindeki parametreler ile aynı değerlerde kullanılmıştır. Gerilim çıkışından alınan örnek işareti, PR kontrol bloğunda referans işareti ile karşılaştırılarak elde edilen işaretler SDGM bloğuna gönderilmektedir. PR kontrol bloğu iç yapısı Şekil 5.27’de verilmektedir.



Şekil 5.26. PR kontrollü KFYD-SDGM benzetim blokları

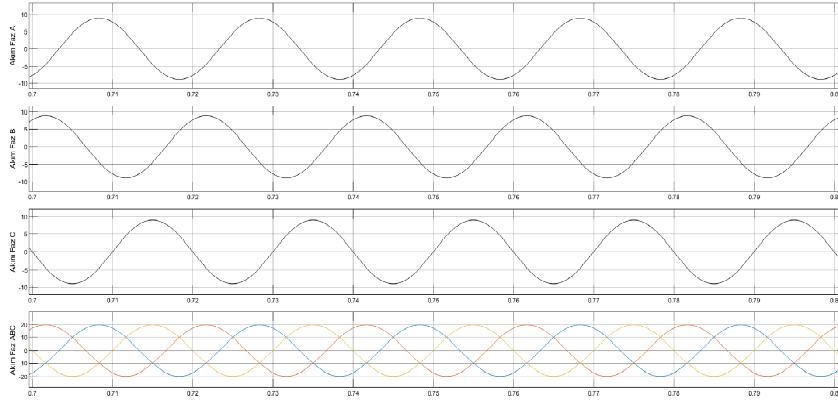
PR kontrolün kullanımında dikkat edilmesi gereken en önemli kısım K_p ve K_i parametrelerinin seçimidir. Literatürde bu parametrelerin seçimi için geliştirilmiş bir yöntem bulunmamaktadır. Literatürde PR kontrolün AKÇSE yapısında kullanılmamış olması sebebiyle de bu parametrelerin seçimi için benzetim çalışmalarında, uygulamada

kullanılacak yük ve filtre değerleri kullanılarak uygulamada da kullanılabilecek en uygun K_p ve K_i değerleri belirlenmeye çalışılmıştır. Bu amaçla, PR kontrollü KFYD-SDGM tekniğinin benzetim aşamasında farklı K_p ve K_i değerleri belirlenerek, bunların çıkış akım ve gerilim THB üzerine olan etkisi incelenmiştir.

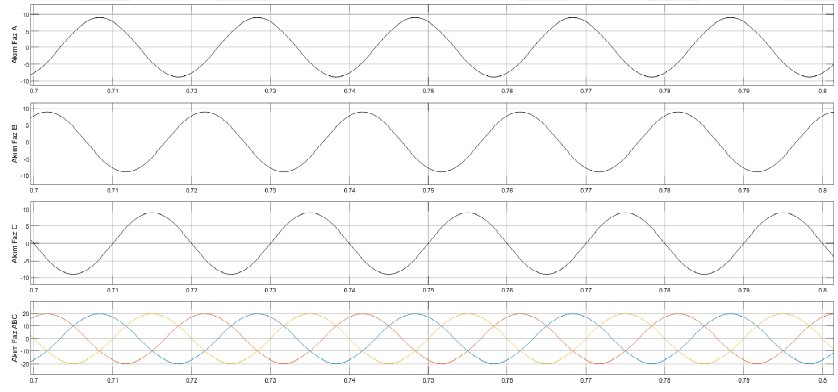


Şekil 5.27. PR kontrol bloğu içyapısı

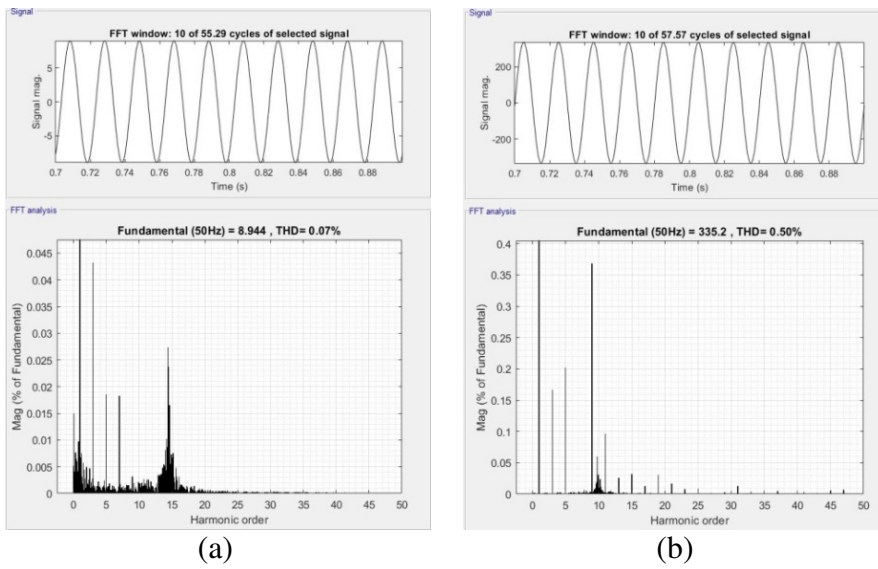
Çıkış gerilim değeri uygulama aşamasında gerçekleştirilecek örnekleme işlemine yakın olması açısından çıkış gerilimi 1/100 oranında zayıflatılarak PR kontrol bloğuna iletilmektedir. K_p değeri, PR kontrolcünün orantısal kazanç değeri olması bakımından referans sinüs gerilimi ile çarpıldığında elde edilecek değer KFYD-SDGM modülatörünün modülasyon indeks değerini en çok etkileyen parametredir. Şekil 5.26’da kullanılan referans sinüs gerilimleri, KFYD-SDGM modülasyonunda referans olarak kullanılan 3 V değeri alınmıştır. Bu sebeple seçilecek K_p değeri “1” değerine yakın seviyede seçilmesi gerekmektedir. Benzetim aşamasında öncelikli olarak K_i integral kazanç değeri sabit tutularak, en uygun K_p değeri elde edilmek istenmiştir. Daha sonra farklı K_i değerleri kullanılarak çıkış akım ve gerilim THB değerinin en düşük oranda elde edilmesi amaçlanmıştır. Çıkış harmoniğinin en düşük olduğu K_p değeri 0,9 ve K_i değeri 0,001 olarak belirlenmiştir. Bu değerlere ait çıkış akımları Şekil 5.28’de ve çıkış gerilimleri Şekil 5.29’da gösterilmektedir. Çıkış akımının THB_i değeri ve çıkış geriliminin THB_v değeri Şekil 5.30’da verilmiştir. Akımın THB değeri %0,07 olarak, gerilim THB değeri ise %0,5 olarak elde edilmiştir.



Şekil 5.28. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış akımının dalga şekilleri



Şekil 5.29. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış geriliminin dalga şekilleri



Şekil 5.30. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile benzetiminde $K_p=0,9$ ve $K_i= 0,001$ değerleri için çıkış akımının THB_i değeri ve çıkış geriliminin THB_v değeri

Benzetim işleminde PR kontrolsüz benzetimden elde edilen sonuçlara göre sadece 5 kHz ve 10 kHz değerlerindeki anahtarlama frekansları kullanılmıştır. Öncelikle sabit K_i değeri için farklı K_p kazanç değerleri (0,75, 0,8, 0,9 ve 1) kullanılarak çıkış akım ve geriliminin THB değerleri ölçülmüştür. Daha sonra K_p değeri sabit tutularak, farklı K_i değerleri (0,0001, 0,01 ve 1) uygulanmıştır. PR kontrolün bir diğer parametresi olan rezonans frekans değeri ise, sistemin çıkış frekansı olan 50 Hz olarak alınmaktadır. Girişte H-Köprü hücrelerine uygulanan gerilim düşük gerilim hücresinin bulunduğu anahtarlama elemanların 150 V, yüksek gerilim hücresindeki anahtarlama elemanlarına ise 300 V'tur. Bu parametre değerlerine göre elde edilen çıkış geriliminin RMS ve V_{p-p} değeri, akım değeri, THB_i ve THB_v değerleri Çizelge 5.4'te verilmektedir.

Çizelge 5.4 incelendiğinde anahtarlama frekansı 10 kHz olarak uygulandığında, 5 kHz değerindeki anahtarlama frekansına göre farklı K_p ve K_i değerleri için daha düşük THB değerleri elde edilmektedir. PR kontrol kullanmayan 7-seviyeli AKÇSE benzetiminde de benzer şekilde yüksek anahtarlama frekansında düşük THB değeri elde edilmiştir. Çıkış akım ve geriliminin THB değerlerine K_p kazancının etkisi incelendiğinde, 5 kHz anahtarlama frekansında K_p değeri artışı ile THB değeri artmıştır fakat 10 kHz anahtarlama frekansı için K_p değerinin artışı THB değerini düşürmüştür. Bu sebeple uygulamada kullanılacak K_p değeri, kullanılan anahtarlama frekansına en uygun olacak şekilde seçilmesi gerekmektedir.

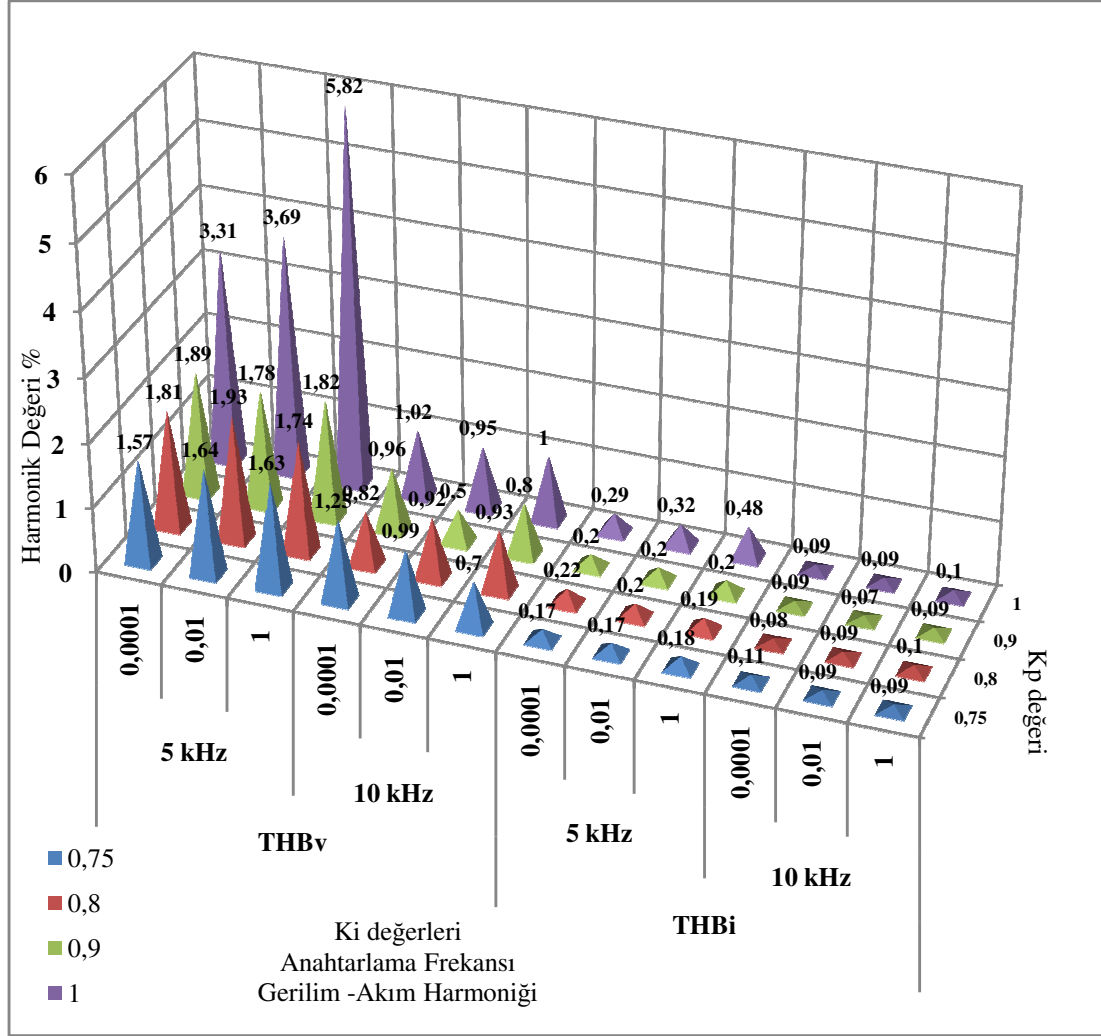
Çizelge 5.4'te bulunan çıkış gerilim ve akım değerleri incelendiğinde K_p değerindeki artış sabit DA giriş gerilimi için çıkış akımının ve geriliminin değerinin yükselmesini sağlamaktadır. K_i değerindeki değişikliğin etkisi ise çıkış akımı ve gerilim değerinden daha çok rezonans frekans değeri ile ilişkili olup harmonik değerleri üzerindedir.

Benzetim uygulamasında elde edilen ve Çizelge 5.4'te verilen K_i değerinin değişiminin THB değerine etkisi incelendiğinde, 5 kHz ve 10 kHz anahtarlama frekansında K_i değerinin değişimin THB değerine etkisi çok az olmaktadır. K_i değerinin 0,0001 ve 1 alınması durumunda elde edilen THB değeri, 0,01 alınması durumunda elde edilen THB değerinden yüksektir. Bu sebeple K_i parametresi seçilirken seçilen uygulanan anahtarlama frekansında en düşük THB değerini verecek şekilde seçilmesi gerekmektedir.

Çizelge 5.4. PR kontrollü 7-seviyeli AKÇSE için KFYD-SDGM tekniğinde elde edilen farklı parametrelerin benzetim sonuçları

	K_p	K_i	Çıkış RMS Gerilimi (Volt)	Çıkış V_{p-p} Gerilimi (Volt)	Çıkış Akımı (Amper)	Akım Harmoniği (THB %)	Gerilim Harmoniği (THB %)
5 kHz	0,75	0,0001	108	309	8,2	0,17	1,57
	0,75	0,01	107	310	8,2	0,17	1,64
	0,75	1	108	310	8,2	0,18	1,63
	0,8	0,0001	111	322	8,4	0,22	1,81
	0,8	0,01	111	322	8,4	0,2	1,93
	0,8	1	112	327	8,4	0,19	1,74
	0,9	0,0001	117	345	8,9	0,2	1,89
	0,9	0,01	118	344	8,9	0,2	1,78
	0,9	1	117	344	8,9	0,2	1,82
	1	0,0001	129	478	1	0,29	3,31
	1	0,01	136	496	9,73	0,32	3,69
	1	1	131	468	10	0,48	5,82
10 kHz	0,75	0,0001	108	310	8,21	0,11	1,25
	0,75	0,01	108	324	8,65	0,09	0,99
	0,75	1	108	309	8,22	0,09	0,7
	0,8	0,0001	111	319	8,41	0,08	0,82
	0,8	0,01	115	336	8,45	0,09	0,92
	0,8	1	111	320	8,48	0,1	0,93
	0,9	0,0001	118	336	8,94	0,09	0,96
	0,9	0,01	117	336	8,94	0,07	0,5
	0,9	1	119	338	8,96	0,09	0,8
	1	0,0001	123	353	9,36	0,09	1,02
	1	0,01	123	355	9,36	0,09	0,95
	1	1	123	355	9,37	0,1	1

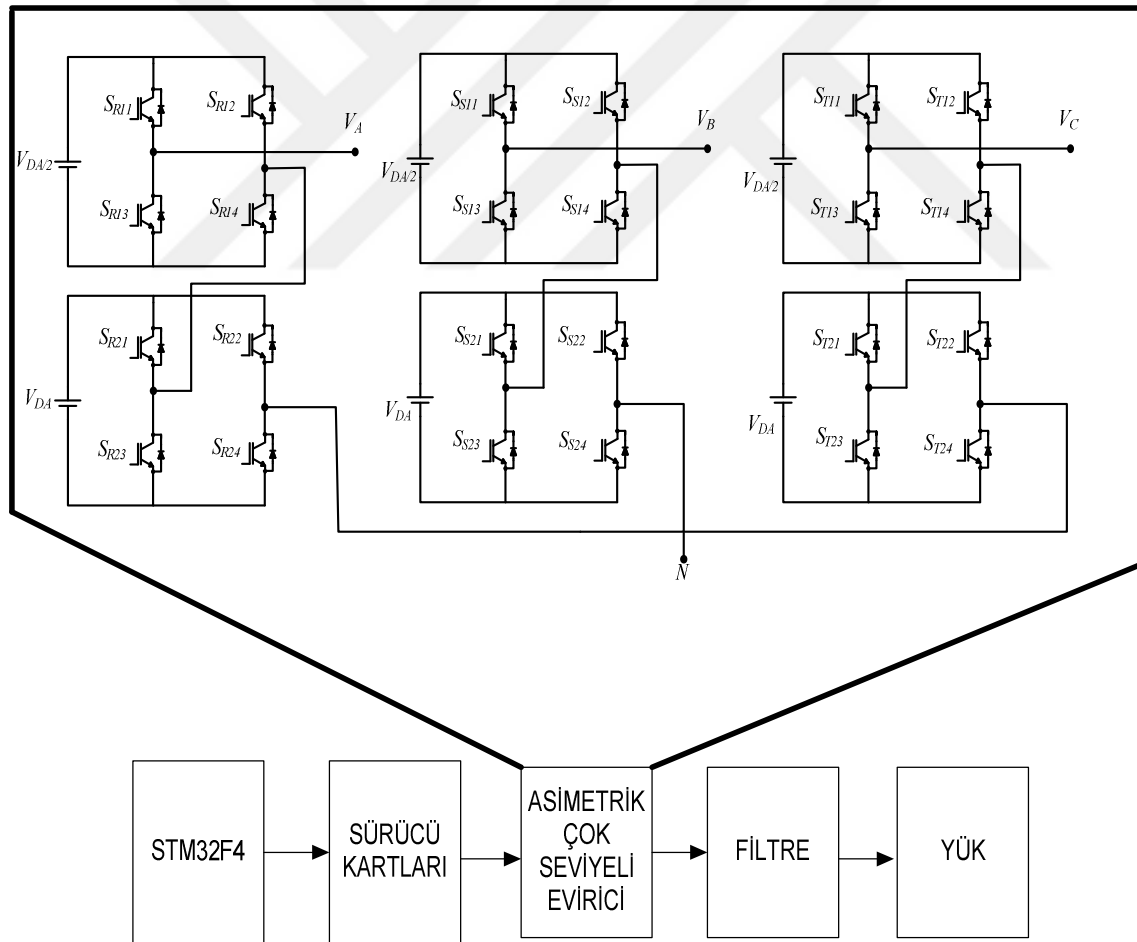
Çıkış akım ve gerilimine ait THB değerlerin grafik gösterimi Şekil 5.31’de verilmiştir. Burada görüleceği gibi anahtarlama frekansı artışı THB değerini önemli ölçüde azaltmaktadır. Şekilde yatay eksen farklı frekans değerlerinde alınan K_i parametresinin değişimini göstermektedir. Dikey eksen THB değerini ve derinlik eksenini uygulanan farklı K_p değerlerini göstermektedir. 5 kHz anahtarlama frekansında en düşük akım THB_i değeri $K_i=0,0001$ ve $K_p=0,75$ değerlerinde elde edilmiştir. En düşük THB_v değeri ise yine $K_i=0,0001$ ve $K_p=0,75$ değerlerinde elde edilmiştir. Benzetim sonuçlarında görüleceği gibi 10 kHz anahtarlama frekansındaki THB değerleri birbirine çok yakın değerlerde olmakla birlikte en düşük THB_i ve THB_v değerleri $K_i=0,0001$ ve $K_p=0,75$ olduğu durumda elde edilmiştir.



Şekil 5.31. PR kontrollü AKÇSE'nin KFYD-SDGM tekniği ile gerçekleştirilen farklı K_p ve K_i değerleri için çıkış akım ve gerilimine ait THB_i ve THB_v değerleri

6. AKÇSE UYGULAMA ÇALIŞMALARI

AKÇSE yapısının benzetim çalışmalarını farklı modülasyonu teknikleri ile gerçekleştirildikten sonra elde edilen benzetim sonuçları ile birlikte sistemin uygulama çalışmaları gerçekleştirilmiştir. Gerçekleştirilen uygulama çalışmalarında öncelikli olarak sistemin anahtarlama yapısı, sürücü devreleri tamamlanmış daha sonra anahtarlama işaretlerini üretimi için ARM tabanlı 32 bit işlemci olan STM32F4 işlemcisi ile çalışılmıştır. Uygulaması gerçekleştirilen eviricinin blok diyagram yapısı Şekil 6.1’de görülmektedir. Benzetim çalışmalarında ABC olarak verilen faz çıkışlarının isimlendirmeleri uygulama devresinde literatürdeki kullanımına uygun olarak sırasıyla, RST olarak isimlendirilecektir.



Şekil 6.1. Uygulama devresi blok şeması

Deneyisel çalışmalarda evirici çıkışına yük olarak 4 kW asenkron motor yıldız bağlanmıştır. Kullanılan asenkron motora ait parametreler Çizelge 6.1’de verilmektedir.

Çizelge 6.1. 4 kW asenkron motor parametreleri

Anma Gerilimi (V)	Frekans (Hz)	Anma Akımı (A)	Anma Gücü (kW)	Güç Katsayısı (Cos ϕ)	Devir (1/min)	Güç	Verim
$\Delta 400$	50	8,2	4	0,82	1435	%75	86
$\Delta 480$	60	8,2	4,8	0,72	1725	%50	84,5

Uygulama devresinde kullanılan LC filtre için benzetim aşamasında belirlenmiş olan değerler, uygulama devresinde de aynı olup filtre bobinin endüktansı 6 mH ve filtre kondansatörünün kapasite değeri 20 μ F'dır.

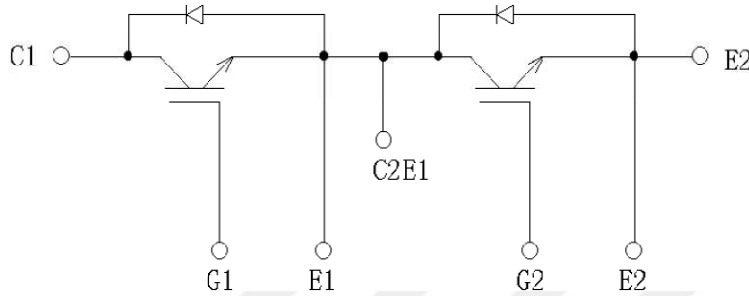
6.1. Uygulama Devresi Donanımsal Yapısı

Bu bölümde uygulama aşamasında kullanılan anahtarlama elemanının özellikleri, bağlantı yapısı, uygulama aşamasında kullanılan DA kaynağı, sürücü entegresi ve devresi, akım ve gerilim ölçüm kartları ve bu kartlarda bulunan akım ve gerilim sensörlerinin özellikleri, STM işlemcisi ve işlemcinin bağlantısı için geliştirilen karta ait devrelerin çalışması ve yapıları anlatılmıştır.

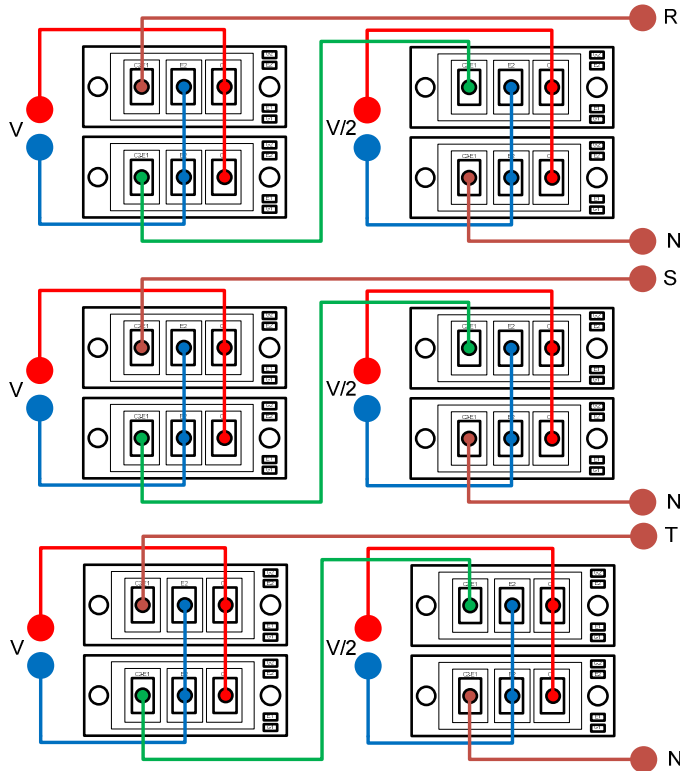
6.1.1. Anahtarlama elemanı özellikleri ve bağlantı şeması

Sistemde anahtarlama elemanı olarak Fuji Electric firmasına ait N-kanal 2MBI100u4A-120-50 numaralı IGBT kullanılarak Şekil 6.1'de verilen anahtarlama bağlantıları gerçekleştirilmiştir. Bu elemanın Kollektör-Emiter gerilimi 1200V ve kollektör akımı 150A'dır. Gerçekleştirilen 7-seviyeli AKÇSE için toplamda 24 adet IGBT gerekmektedir olup her bir 2MBI100u4A-120-50 IGBT modülünde 2 adet IGBT bulunmaktadır. Her bir IGBT modülünde iki anahtarlama elemanı bulunmakla beraber Şekil 6.2'de görüleceği gibi, modül içerisindeki birinci IGBT'nin emiter ucu ikinci IGBT'nin kolektör ucuna bağlanmıştır. Modül üzerinde güç bağlantılarını gerçekleştirmek için 3 adet uç ve anahtarlama gerilimleri için 4 adet uç bulunmaktadır. Bir H-köprü için 2 modül kullanılacağından ve her bir faz için kullanılacak iki adet H-köprü yapısından dolayı her faz için 4 adet IGBT modülü kullanılmıştır. Bu sebeple 7-seviyeli 3 faz eviriciyi gerçekleştirmek için toplamda 12 adet IGBT modülü kullanılmıştır.

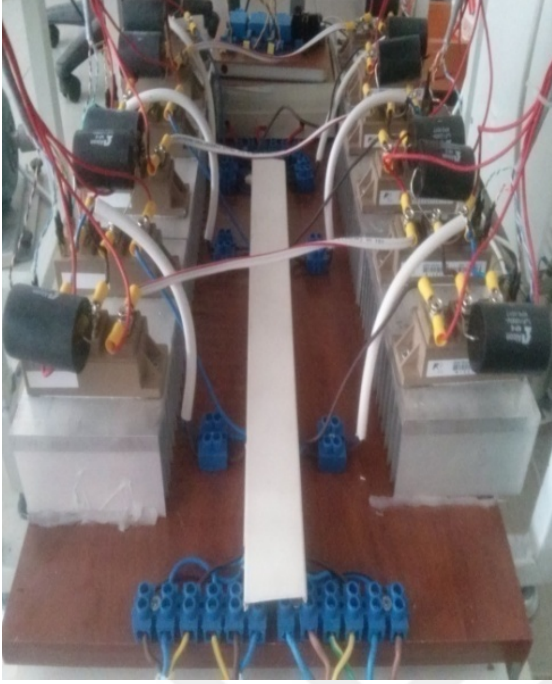
Anahtarlama elemanını kontrol etmek amacıyla kullanılacak anahtarlama işaretlerinin giriş uçları, modülün alt kısmında bulunan 4 adet giriş ucu ile gerçekleştirilmektedir. Modül içerisindeki birinci anahtarlama elemanını için G1-E1 uçları, ikinci anahtarlama elemanı için G2-E2 uçları kullanılmaktadır. Anahtarlama elemanlarının soğutucu bağlantı yüzeyi izoleli olmasından dolayı bir soğutucu üzerine birden fazla anahtarlama elemanı kullanılabilir. Anahtarlama elemanlarının DA besleme geriliminin bağlantılarının diyagramı Şekil 6.3'te ve uygulama devresi görüntüsü Resim 6.1'de verilmektedir. Şekil 6.3'te bulunan V girişi düşük gerilim seviyesi, 2V girişi yüksek gerilim seviyesini ifade etmektedir.



Şekil 6.2. 2MBI100u4A-120-50 IGBT modülü iç bağlantı şeması [88]



Şekil 6.3. Anahtarlama elemanlarının DA besleme gerilimi bağlantı diyagramı



Resim 6.1. IGBT DA besleme gerilimi uygulama devresi

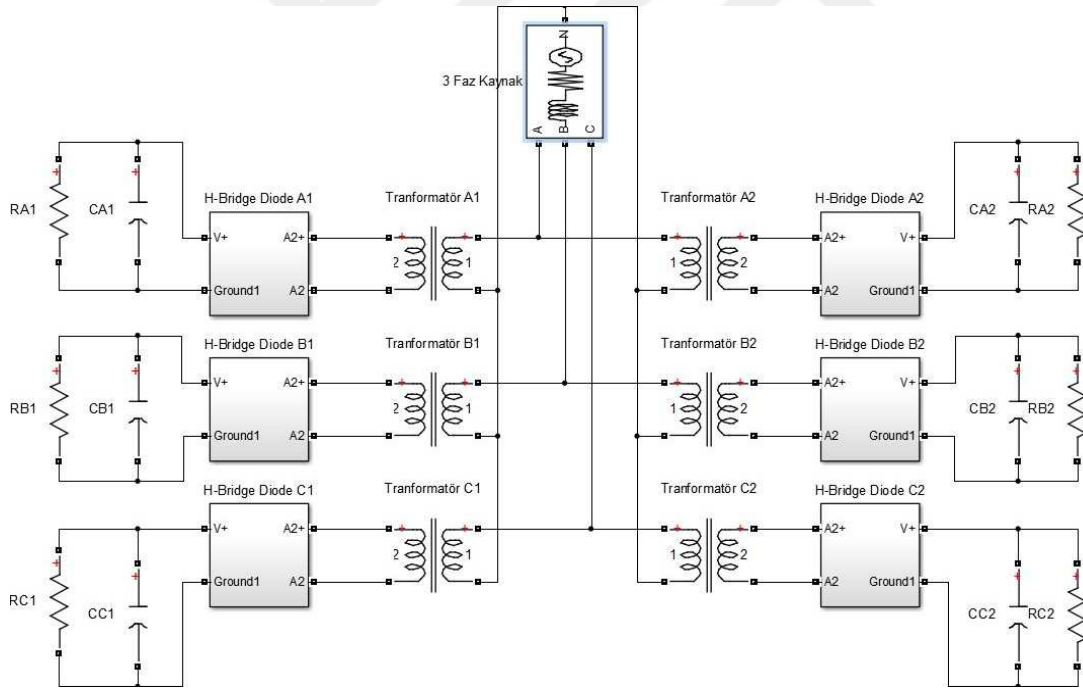
Anahtarlama elemanları kesime girme esnasında anahtar uçlarında hızlı bir gerilim yükselmesine ve iletme geçme esnasında hızlı bir akım yükselmesine maruz kalırlar. İletim esnasında snubber kullanılmadığı durumda, akımın yükselmesi anahtarın müsaade edilen değerinden çok daha büyük olabilir. Benzer olarak anahtarlama elemanı, kesim esnasında aşırı gerilimlere maruz kalabilir. Bu nedenle, $1 \mu\text{F}/1000\text{V}$ değerinde bir snubber kondansatörü anahtarlama elemanlarının C1-E2 uçları arasına eklenmiştir [17].

6.1.2. DA kaynak tasarımı

Gerçekleştirilen uygulama devresinde kullanılacak olan DA kaynağı için birbirinden izoleli kaynaklar kullanılması gerekmektedir. Bu amaçla 6 adet 750VA değerinde yalıtım transformatörleri kullanılmıştır. Bu transformatörlerden 3 tanesi düşük gerilim H-köprü yapısında kullanılmak için 2:1 oranında çıkış veren, 3 tanesi de yüksek gerilim hücrelerinde kullanılmak üzere 1:1 oranında çıkış veren transformatörlerdir. Bu şekilde girişte V ve 2V seviyeleri elde edilmektedir. Transformatör girişlerinde kullanılan varyak ile gerilimin kontrollü olarak sisteme uygulanması sağlanmıştır. Transformatör çıkışlarında GBPC12 kontrolsüz köprü tipi diyotlar ve filtre kondansatörleri ile doğrultma işlemi gerçekleştirilmiştir. DA kaynak bağlantı şeması Şekil 6.4'te ve uygulama devresi Resim 6.2'de verilmektedir.



Resim 6.2. DA besleme devresi uygulaması



Şekil 6.4. DA besleme devresi bağlantı şeması

6.1.3. İşlemci özellikleri

ARM (Acorn RISC Machine) 32-bit RISC (Reduced Instruction Set Computing) mimarisi kullanan bir işlemcidir. ARM çekirdekli işlemciler yüksek hızlı çalışma, 32 bit mimari yapısı, düşük enerji tüketimi ve çevresel donanım imkânlarından dolayı cep telefonları,

tabletler, bilgisayarlar gibi birçok elektronik cihaz ve uygulamada kullanılmaktadır. ST (ST Microelectronics), TI (Texas Instruments), Philips, ATMEL gibi daha birçok firma işlemcilerini, ARM mimarisi kullanarak üretmektedirler. Firmalar bu mimarileri kendilerine göre şekillendirdikleri için kullandıkları kütüphaneler ve programlanmaları farklıdır. ARM mimarisinin tamamı 6 kategoride gruplandırılmıştır. Bunlar Cortex-A50 Serisi, Cortex-A Serisi, Cortex-R Serisi, Cortex-M Serisi, Klasik ARM İşlemciler, SecurCore İşlemciler olarak gruplandırılmaktadır. Cortex serisinin sahip olduğu I/O, ADC (Analog Dijital Converter), DAC (Dijital Analog Converter), Sayıcılar (Timer), PWM (Pulse Width Modulation), I2C (Inter Integrated Circuit Interface), SPI (Serial Peripheral Interface), UART (Universal Synchronous Asynchronous Receiver Transmitter) gibi çevre birimleri hem sayıca çok hem de oldukça esnek kullanıma sahiptirler [89, 90].

Cortex-A50 serisi işlemciler, 32-bit olmasına rağmen 64-bit'lik veri işleyebilme kabiliyetine sahiptirler. ARMv7 grubundaki işlemcilere oranla daha performanslı çalışan Cortex-50 Serisi, güç tasarrufu özelliğiyle de diğer ARM işlemci sınıflarından ayrılmaktadır. Cortex-A serisi işlemciler, yüksek hız gerektiren uygulamalar için geliştirilmiş bir seridir. Görüntü işleme, yüksek özelliklere sahip işletim sistemleri kullanımı, zorluk derecesi yüksek ve karmaşık hesaplamaları kapsayan uygulamalar gibi performans gerektiren tüm alanlarda bu işlemciler tercih edilir. Telefonlarda, tabletlerde, otomotiv sektöründe, bilgisayarlarda, netbook'larda ve birçok yüksek teknolojiye sahip cihazlarda Cortex-A serisi kullanılır. Cortex-R serisi işlemciler, gerçek zamanlı çalışan işlemcilerdir. Daha çok teknik cihazlarda kullanılırlar. Yazıcılarda, modemlerde, kameralarda, hard disk sürücülerinde, evde kullanılan elektronik cihazların birçoğunda (mutfak robotları, çamaşır makineleri, buzdolapları, klimalar vs.), otomotiv sektöründe yer alan elektronik cihazların bazılarında, hastanelerdeki tıbbi cihazlarda ve endüstride Cortex-R Serisi işlemciler tercih edilmektedir. Cortex-M serisi işlemciler, elektronik sanayide hemen hemen birçok alanda tercih edilmektedir. Düşük güç tüketimi, kolay kullanımı ve yüksek performansı ile piyasada bulunan 8 ve 16 bitlik işlemcilere karşı çıkartılmış bir seridir. Düşük maliyetli olmasından dolayı çok fazla tercih edilmektedir. Klasik ARM işlemciler ise içerisinde ARMv7, ARM9 ve ARM11 ailelerini barındıran bir seridir ve ARM firması tarafından 15 yıldır üretilmektedir. Mimari yapısı günümüz teknolojilerine göre biraz eski kaldığı için, ARM firması tarafından bu işlemciler yerine Cortex-M/R serileri önerilmektedir. SecurCore işlemciler: Güvenliğin ön planda olduğu alanlarda tercih edilmektedir. Günümüzde kullandığımız yüksek güvenliğe sahip tüm akıllı kartlarda

SecurCore işlemciler tercih edilir [89].

Tez çalışmasında kullanılan STM32F4 işlemci, ST Mikroelectronics firması tarafından geliştirilmiş Cortex-M4 tabanlı bir işlemcidir. STM32F4 işlemcisi Discovery adıyla bilinen bir geliştirme kartı ile birlikte satışı yapılmaktadır. STM32F4 geliştirme kartına ait görüntü Şekil 6.5’te verilmektedir. Bu işlemcinin bazı özellikleri şunlardır [91, 92].

- ARM® 32-bit Cortex®-M4 CPU çekirdek
- Dâhili FPU (Floating Point Unit)
- 168 MHz saat hızı
- 1 Mbyte Flash Hafıza
- 192 Kbytes SRAM (64 Kbyte data RAM)
- 1.8 V’dan 3.6 V’a kadar uygulama gerilimi ve I/O
- 24 kanala kadar 3×12-bit, 2.4 MSPS A/D çevirici
- 2×12-bit D/A çevirici
- 140 I/O port (kesme kapasiteli)
- 2 × CAN ara yüzü
- USB 2.0 bağlantı ara yüzü

Geliştirme kartında ayrıca işlemci özelliklerine ek olarak resetleme butonu, kullanıcı tanımlı buton, ses giriş çıkışı için port, 3 yönlü eğim sensörü bulunmaktadır [91, 92].

STM32F4 Discovery geliştirme kartını, Matlab/Simulink programı yardımıyla programlanabilmesi ve böylelikle kod yazma işleminden bağımsız uygulamalar geliştirilmesini mümkün kılmaktadır. Matlab içerisinde bulunan Simulink ile kod satırları yerine bloklarla sistem tasarımı ve analizleri gerçekleştirilebilmektedir. Bu sebeple birçok firma eklentiler geliştirerek üretmiş oldukları işlemcilerin Matlab/Simulink üzerinden programlayabilme imkânı sağlamıştır [93].

Tasarlanan bir sistemin ARM Cortex-4 tabanlı çalışan bir gömülü sisteme dönüştürülmesi için STM32F4 geliştirme kartı ile birlikte ek bir blok seti kullanılması gerekmektedir. Tayvanlı bir firma tarafından gerçekleştirilen “Waijung” blok seti veya ST firmasının geliştirmiş olduğu blok seti bulunmaktadır. ST firmasının geliştirmiş olduğu blok setinin

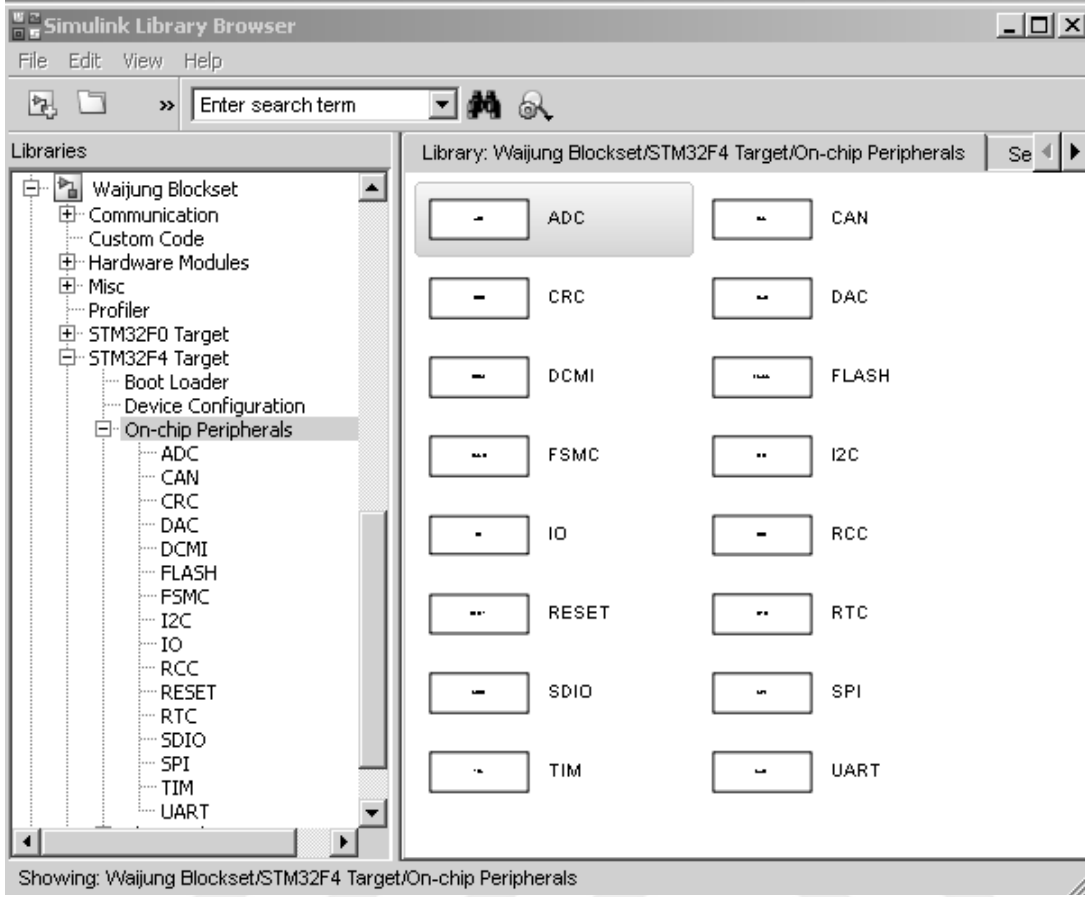
Matlab programıyla uyum sorunu olmasından dolayı Waijung blok seti daha çok tercih edilmektedir. Simulink kütüphanesine eklenen ADC, UART, SPI, IO gibi blok setlerle uygulamalar rahatlıkla gerçekleştirilebilmektedir [93].



Şekil 6.5. STM32F4 geliştirme kartı

Waijung blok seti eklendikten sonra oluşturulan modelin derlenebilmesi için model waijung blok seti klasöründe bulunmalıdır. Bilgisayardan geliştirme kartına veri gönderebilmek için ST-Link Utility ve ST-Link/V2 USB sürücüsünün bilgisayara yüklenmiş olması gerekmektedir. STM32F4 kitinde uygulamak üzere Simulink modeli oluşturmak için Waijung blok seti içerisindeki “STM32F4 Target” blok setinden yararlanılır. Kullanılan temel bloklar Şekil 6.6’da görüldüğü gibidir. Target Setup, Digital Output, Digital Input, Regular ADC, Uart Setup, Uart Tx, Uart Rx, Timer IRQ, Basic PWM, Encoder Read blokları bulunmaktadır [93].

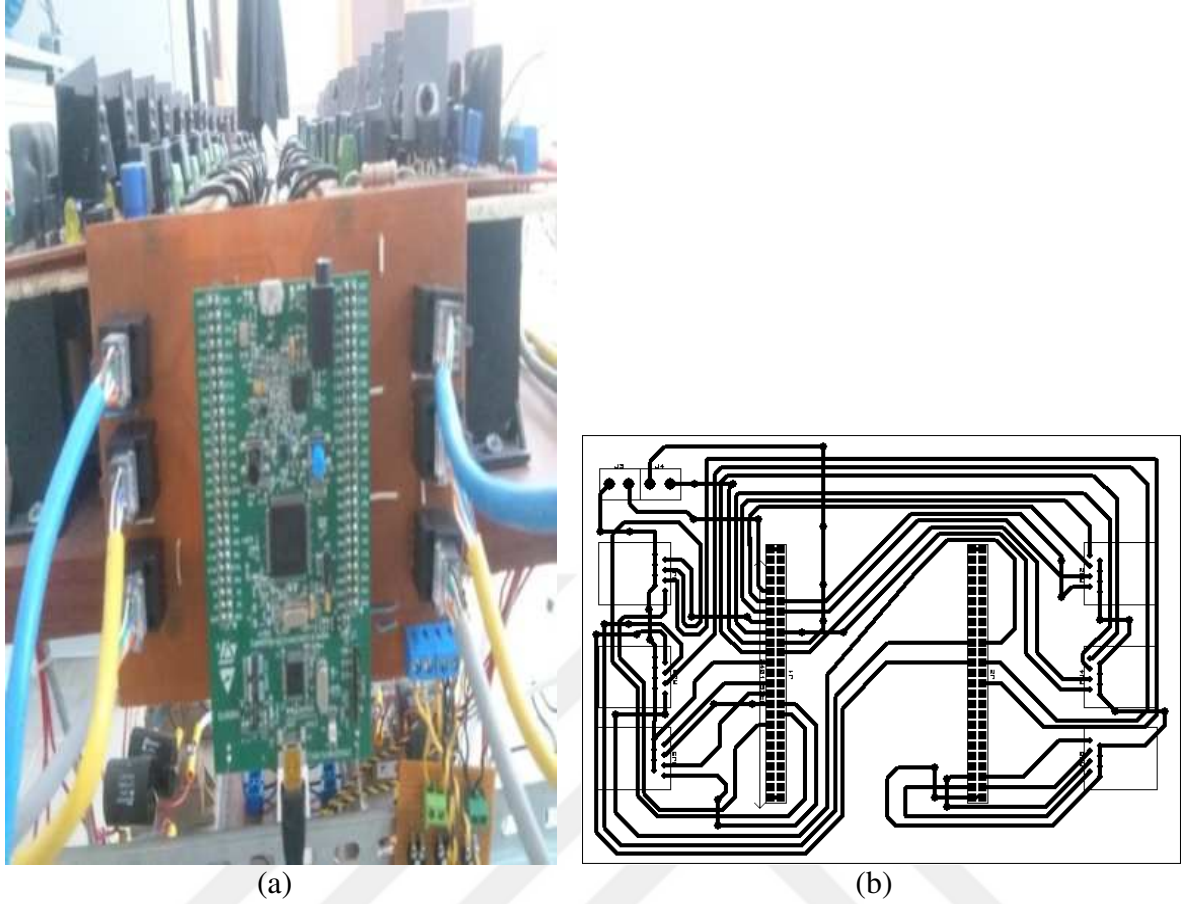
STM32F4 Target blok setleri ile model hazırlarken kullanıcının herhangi bir yapılandırma ayarı yapmasına gerek yoktur. “Device Configuration” kısmında bulunan Target Setup bloğu ile yapılandırma gerçekleştirilir. Bu özellik kullanıcıya önemli bir avantaj sağlamaktadır. Target Setup bloğu uygulama için oluşturulan Simulink modelinin STM32F4 için işlenebilecek kod satırına dönüştürülmesi ve derlenmesi işlemlerini kontrol eder. Derleme işleminin gerçekleşmesi için bu blok Waijung blok setleri ile oluşturulan her Simulink modelinde olmak zorundadır [93].



Şekil 6.6. Waijung blok seti

Gerçekleştirilen tez çalışmasında anahtarlama işaretlerini üretecek olan sistem Matlab/Simulink programında tasarlanmış ve Simulink içerisinde bulunan “Build” butonu kullanılarak C kodlarına dönüştürülüp STM32F4 işlemcisinin içerisine yazılması sağlanmıştır.

Anahtarlama işaretlerinin sürücü kartlarına aktarımını sağlamak için STM32F4 Discovery geliştirme kartının bağlanacağı ek bir kart tasarımı gerçekleştirilerek anahtarlama işaretlerinin RJ45 bağlantı uçları kullanılarak aktarılması sağlanmıştır. Tasarlanan mikroişlemci bağlantı kartı şeması ve devresi Resim 6.3’de görülmektedir. Bu devrede çıkışlar belirlenirken hem dijital çıkış hem de STM32F4 içerisinde bulunan Basic PWM çıkışlarına uygun olacak şekilde seçilmiştir. Ayrıca geri besleme sisteminin uygulanması için gerekli olan giriş uçları kart üzerine eklenmiştir.



Resim 6.3. STM32F4 Discovery bağlantı kartı a) Uygulama devresi b) Baskı devresi

Gerçekleştirilen tez çalışmasında hem işlemcinin GPIO (General Purpose Input/Output) çıkışları hem de Basic PWM çıkışları kullanılacağından STM32F4 işlemcisinin Basic PWM kullanım yapısı incelenmiş ve GPIO çıkışları buna göre belirlenmiştir. STM32F4 işlemcisi içerisinde toplam 14 timer bulunmaktadır. Basic PWM modülleri STM32F4 için incelendiğinde timer 2, 3, 4, 5, 6, 7, 12, 13, 14 için kullanılan çarpan faktörü, timer 1, 8, 9, 10, 11 için kullanılan çarpandan farklıdır [94].

Bu sebeple aynı faz için aynı türde çarpan kullanan timer kullanılması gerekmektedir. Ayrıca Çizelge 6.2’de bulunan STM32F4 işlemcisinin timer kanalları incelendiğinde bazı Basic PWM çıkış uçlarının farklı timerlarda da ortak olarak kullanıldığı görülmektedir. Bununla beraber aynı timer için sadece bir IGBT anahtarlama amacıyla sadece tek bir kanalın ve tek bir çıkış ucunun kullanılması gerekmektedir. Bu sebeple R fazı için Timer 2 ve 5, S fazı için Timer 3 ve 4, T fazı için Timer 1 ve 8 kullanılmıştır. GPIO ve Basic PWM için seçilen çıkış uçlarına ait tablo Çizelge 6.3’te verilmektedir.

Çizelge 6.2. STM32F4 “Basic PWM” çıkışları tablosu [94]

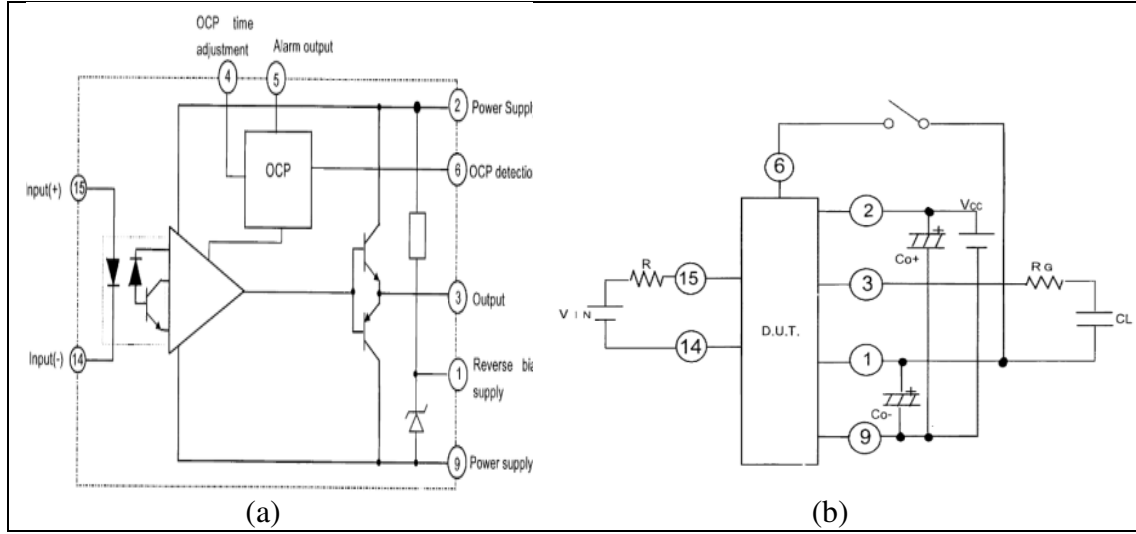
Timer	Kanal 1			Kanal 2			Kanal 3			Kanal 4		
	PP1	PP2	PP3	PP1	PP2	PP3	PP1	PP2	PP3	PP1	PP2	PP3
TIM 1	PA8	PE9	-	PA9	PE10	-	PA10	PE13	-	PA11	PE14	-
TIM 2	PA0	PA5	PA15	PA1	PB3	-	PA2	PB10	-	PA3	PB11	-
TIM 3	PA6	PB4	PC6	PA7	PB5	PC7	PB0	PC8	-	PB1	PC9	-
TIM 4	PB6	PD12	-	PB7	PD13	-	PB8	PD14	-	PB9	PD15	-
TIM 5	PA0	PH10	-	PA1	PH11	-	PA2	PH12	-	PA3	PI0	-
TIM 8	PC6	PI5	-	PC7	PI6	-	PC8	PI7	-	PC9	PI2	-
TIM 9	PA2	PE5	-	PA3	PE6	-	-	-	-	-	-	-
TIM 10	PB8	PF6	-	-	-	-	-	-	-	-	-	-
TIM 11	PB9	PF7	-	-	-	-	-	-	-	-	-	-
TIM 12	PB14	PH6	-	PB15	PH9	-	-	-	-	-	-	-
TIM 13	PA6	PF8	-	-	-	-	-	-	-	-	-	-
TIM 14	PA7	PF9	-	-	-	-	-	-	-	-	-	-

Çizelge 6.3. Fazların Anahtarlarına göre kullanılan çıkış uçları

R Fazı			S Fazı			T Fazı		
Anahtar	Timer	Çıkış Ucu	Anahtar	Timer	Çıkış Ucu	Anahtar	Timer	Çıkış Ucu
SR ₁₁	2	A5	SS ₁₁	3	B6	ST ₁₁	1	E9
SR ₁₂	2	B10	SS ₁₂	3	B8	ST ₁₂	1	E13
SR ₁₃	2	B3	SS ₁₃	3	B7	ST ₁₃	1	E11
SR ₁₄	2	B11	SS ₁₄	3	B9	ST ₁₄	1	E14
SR ₂₁	5	A3	SS ₂₁	4	B1	ST ₂₁	8	C9
SR ₂₂	5	A2	SS ₂₂	4	B0	ST ₂₂	8	C8
SR ₂₃	5	A1	SS ₂₃	4	A7	ST ₂₃	8	C7
SR ₂₄	5	A0	SS ₂₄	4	A6	ST ₂₄	8	C6

6.1.4. Sürücü devresi tasarımı

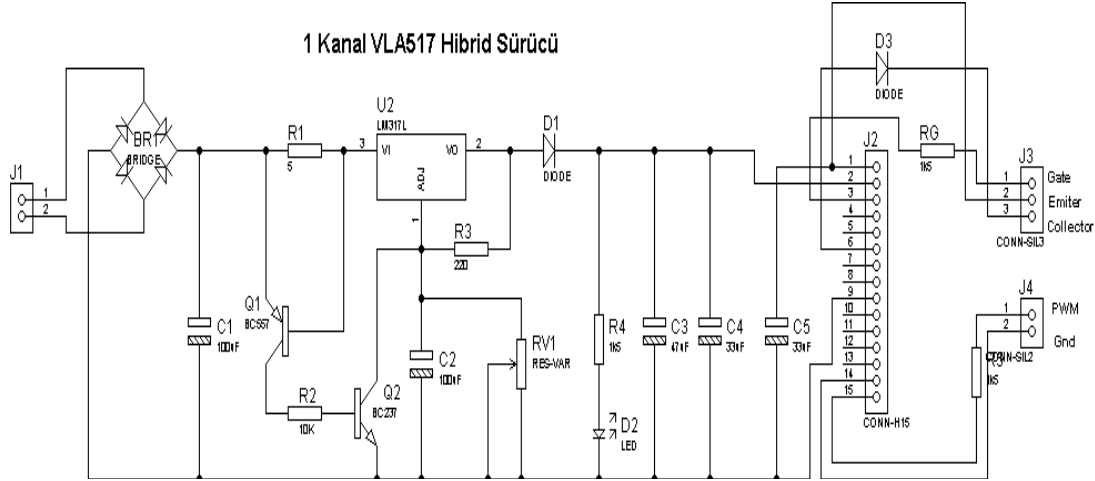
Kullanılan anahtarlama elemanlarının çalışmasını sağlamak amacıyla işlemciden alınan anahtarlama işaretlerinin IGBT yarı iletkenlerini çalıştıracak uygun gerilim değerlerine dönüştürme işlemini yapacak bir sürücü devresi kullanılması gerekmektedir. Bu amaçla IGBT sürücü olarak Fuji firması tarafından geliştirilen VLA57-01R izoleli IGBT sürücü entegresi kullanılmıştır. Bu entegre 40 kHz anahtarlama frekansına kadar çalışabilmekte, 2500V_{RMS} değerinde gerilimine dayanıklı izolasyonu olan optoizolatör içeren, aşırı akım korumalı bir entegredir. VLA517-01R entegresinin içyapısı ve bağlantı devresi Şekil 6.7’de görülmektedir.



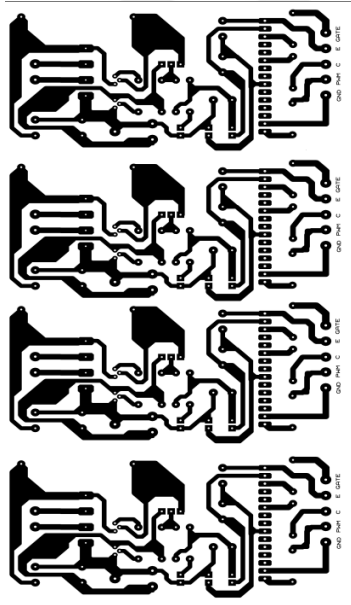
Şekil 6.7. VLA517-01R a) içyapısı b) bağlantı devresi [95]

Şekil 6.7(a)'da görülen 3 numaralı pin (anahtarlama çıkışı) ve 6 numaralı pin (aşırı akım tespit ucu-OCP Detection) ile Şekil 6.7(b)'de bulunan bağlantılar gerçekleştirilerek IGBT anahtarlama gerçekleştirilmiştir. 3 numaralı pinden alınan anahtarlama işaretleri bir direnç üzerinden IGBT anahtarlama girişlerine verilmektedir. Şekil 6.7(b)'de görülen bağlantıdaki R_G direnç değeri katalog bilgisinde belirtilen değerde kullanılmalıdır. Ayrıca C_L kondansatörü ile çıkış anahtarlama işaretinde oluşabilecek yüksek frekans gürültülerinin önlenmesi açısından mutlaka kullanılması gerekmektedir. OCP detection bacağı hızlı bir diyot üzerinden IGBT kolektörüne bağlanmaktadır. Şekil 6.7(b) de bulunan 2 numaralı pin sürücü entegresinin besleme gerilimi girişidir. STM32F4 işlemcisinden gelen anahatrlama işaretleri bir direnç üzerinden 15 numaralı pine bağlanmaktadır. STM32F4 işlemcisinin GND çıkışı ile, VLA517 sürücü entegrasinin GND uçları mutlaka birbirine bağlanması gerekmektedir.

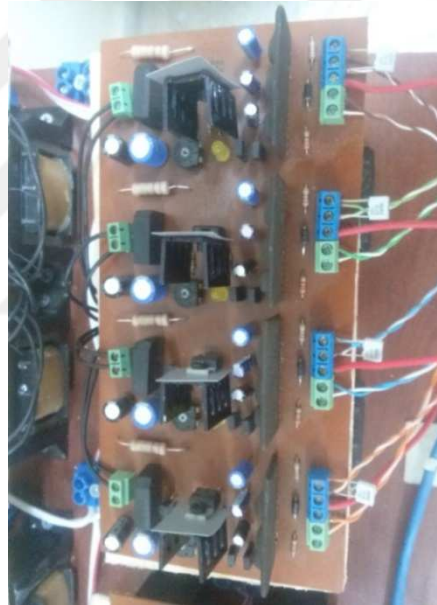
Sürücü entegresinin çalışması için LM317 entegresi kullanılarak 0-30V ayarlı besleme devresi yapılmıştır. Besleme devresi ve sürücü çıkışları birbirinden izoleli olması gerektiğinden her IGBT için bir besleme devresi olmak üzere toplamda 24 adet anahtarlama kartı yapılmıştır. Besleme gerilimi sürücü entegresi katalog bilgisinde 0-20V arasında görülmesine rağmen, sürücü entegresini korumak amacıyla 17,2 V olacak şekilde ayarlanmıştır. Şekil 6.8'de gerçekleştirilen sürücü kartının devre şeması ve Resim 6.4'de baskı devresi ve uygulama devresi görülmektedir. Bu sürücü kartı üzerinde 4 adet sürücü kart modülü bulunmaktadır.



Şekil 6.8: VLA517-01R sürücü devresi devre şeması



(a)

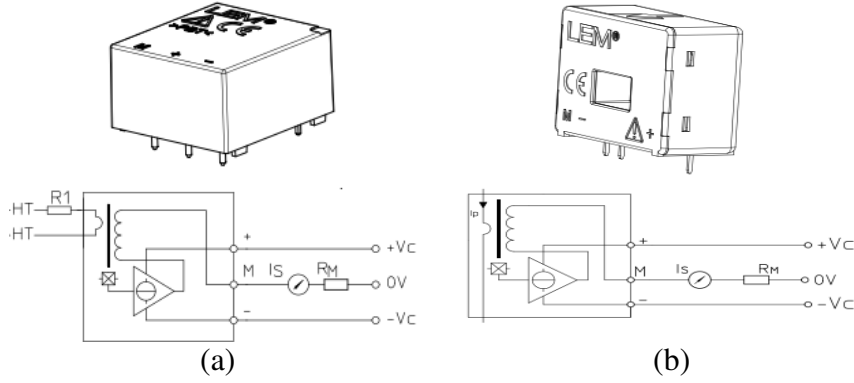


(b)

Resim 6.4. VLA517-01R sürücü devresi a) Baskı devre b) Uygulama devresi

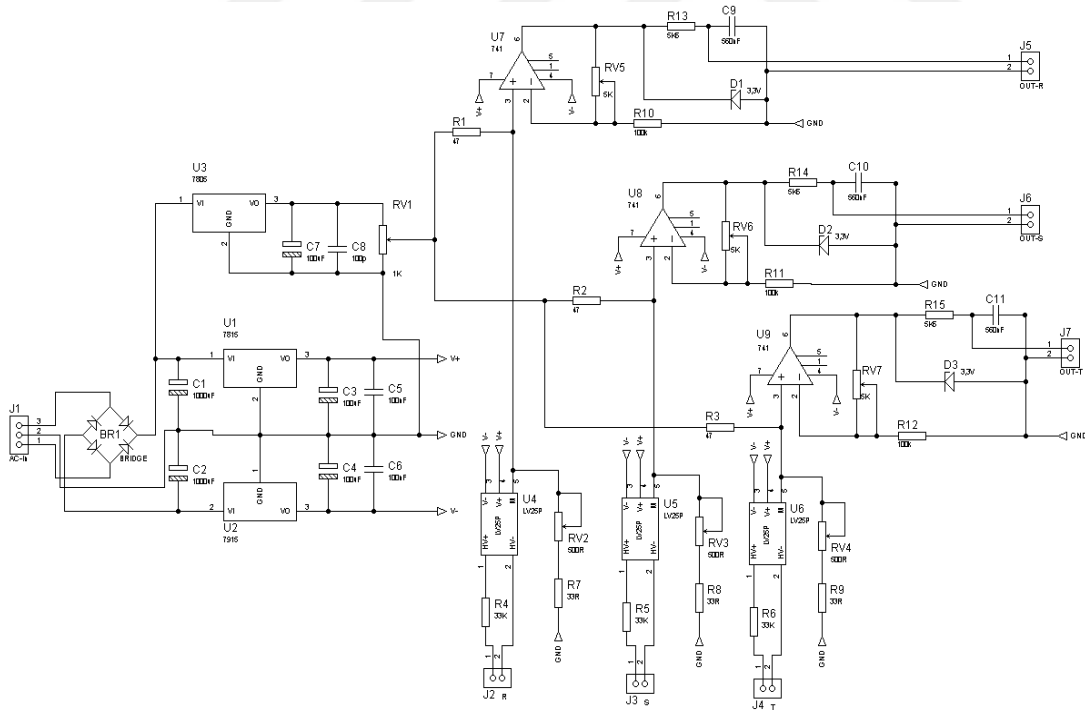
6.1.5. Akım ve gerilim ölçüm devrelerinin tasarımları

Gerçekleştirilen AKÇSE çalışmasında kullanılacak olan geri besleme kontrolü için çıkış gerilim bilgisinin işlemciye aktarılması amacıyla gerilim ölçüm kartı tasarlanmıştır. Ayrıca çıkış akımının osiloskop ile ölçümünü gerçekleştirmek ve akımın THB değerinin tespit edilmesi amacıyla akım ölçüm kartı tasarlanmıştır. Gerilim ölçüm kartı tasarımında Şekil 6.9(a)'da verilen LV-25P gerilim sensörü ve akım ölçüm kartı tasarımında ise Şekil 6.9(b)'de verilen LA-55 akım sensörü kullanılmıştır [96, 97].



Şekil 6.9. a) LV-25P gerilim sensörü b) LA-55 akım sensörü [96, 97]

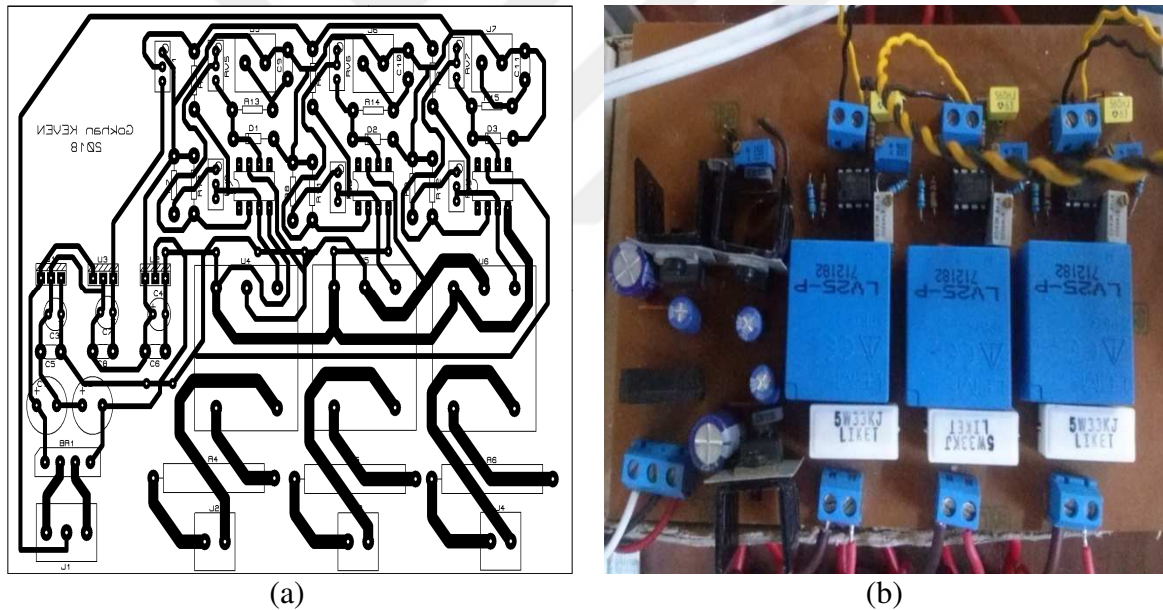
LV25-P gerilim sensörü ± 12 veya ± 15 Volt besleme gerilimi ile çalışan, dönüştürme oranı 2500:1000 ve $500V_{RMS}$ değerine kadar ölçüm yapabilen bir sensördür. Çıkış ölçüm ucundan (M) elde edilen akım değeri bir ölçüm direnci üzerinden geçirilerek gerilim elde edilmektedir. Bu direnç değeri ölçülecek büyüklüğü bağlı olarak belirlenmektedir. Gerilim okuma kartı tasarımında ölçüm direnci olarak $33K\Omega/5W$ direnç kullanılmıştır [96].



Şekil 6.10. Gerilim okuma kartı şeması

Elde edilen bu ölçüm gerilimi sinüsoidal olmasından dolayı geri besleme sisteminde kullanılabilmesi için STM32F4 işlemcisinin ADC (Analog Digital Convertor) girişine uygun gerilim düzeylerine getirilmesi gerekmektedir. STM32F4 işlemcisi ADC girişleri

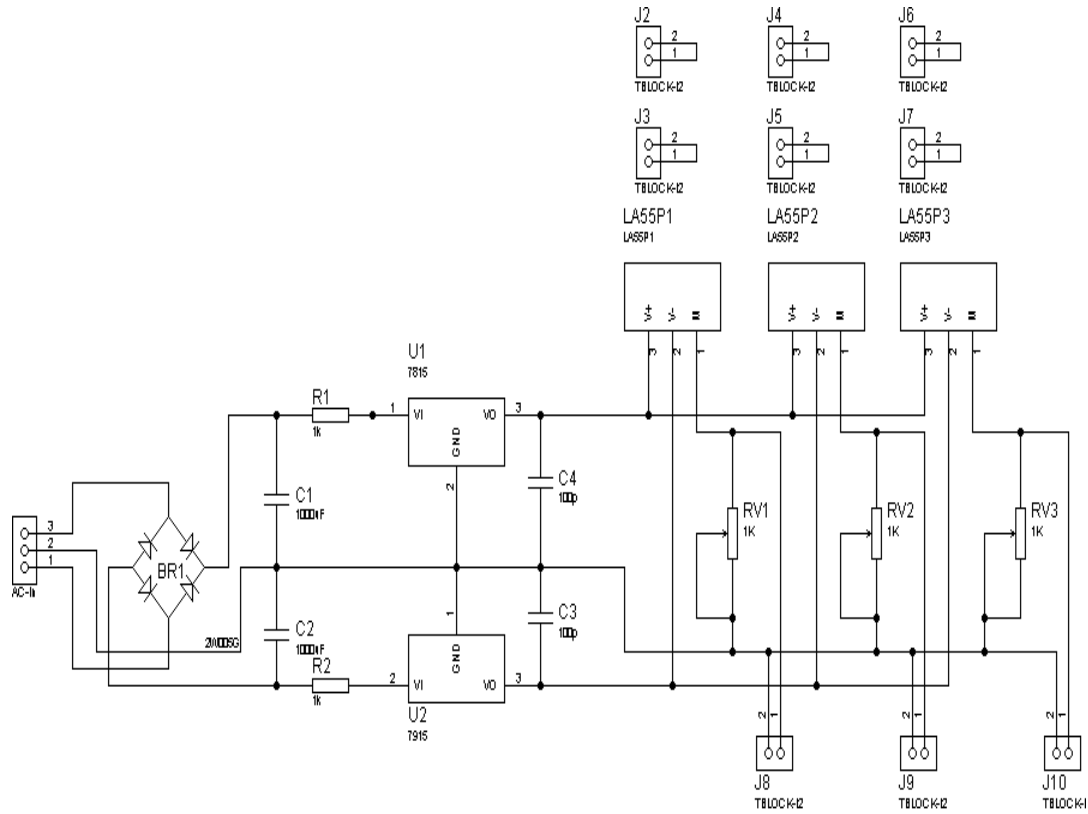
3V ve pozitif seviyedeki analog işareti sayısal işarete dönüştürebilmektedir. Bu sebeple elde edilen ölçüm geriliminin yükseltilmesi ve kenetleme işlemi için ek bir devre tasarımı gerçekleştirilmiştir. Bu amaçla işlemsel yükselteç (Opamp) kullanılarak bir terslemeyen gerilim toplayıcı devre yapılmış ve bu sayede elde edilen ölçüm, geriliminin alt sınırı sıfır seviyesinin üzerine çıkarılmıştır. Ayrıca devre çıkışı 3.3V zener diyot ile STM32F4 işlemcinin ADC giriş uçlarını koruyacak şekilde tasarlanmıştır. Gerçekleştirilen gerilim okuma kartı devresinde, gerilim sensörü girişinde 220 V_{RMS} değeri olan bir AA, çıkışta 1,5 V tepe değerine sahip olmaktadır. Bu değere 1,5 V DA gerilimi eklenerek STM32F4 işlemcisinin ADC girişine uygulanacak olan gerilim 0-3V arasında olacak şekilde olmuştur. PR kontrollü KFYD-SDGM benzetimde, PR kontrolcüsünde seçilen sinüsoidal referans işaretinin genliği bu değere göre ayarlanmıştır. Şekil 6.10'da gerçekleştirilen gerilim ölçüm kartının şeması, Resim 6.5'te baskı devresi ve devre kartı görülmektedir.



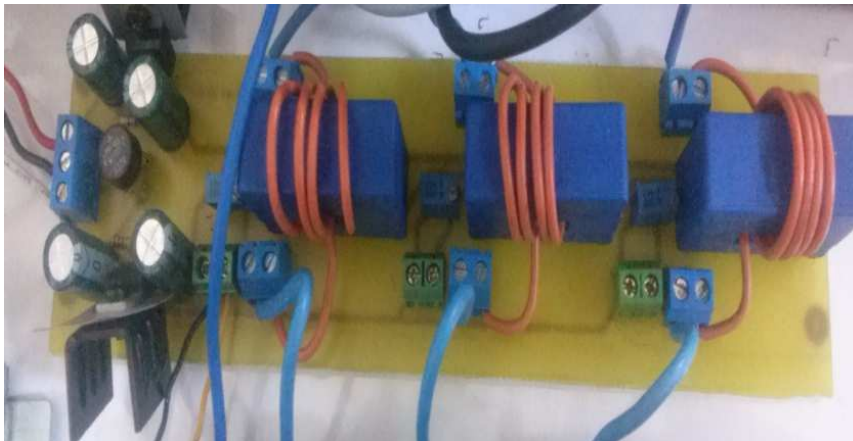
Resim 6.5. Gerilim okuma kartı a) Baskı devre çizimi b) Devre kartı

LA-55 akım sensörü çıkış akımının gösterilmesi ve THB değerinin ölçülmesi amacıyla kullanılmaktadır. LA-55 akım sensörü Hall-Effect dönüştürücü yapısında çalışmaktadır. Bu sensör kullanılarak 50 A'e kadar akım ölçümü temassız olarak ölçülebilmektedir. Temassız ölçülebilmesi sebebiyle devrenin çıkış değerlerine etkisi bulunmamaktadır. Şekil 6.9 (b)'de verilen akım sensörü içyapısına göre akım sensörün ortasında bulunan boşluktan geçirilen bir kablo ile alınmaktadır. Sensörün giriş akımına karşı çıkıştan alınan dönüştürme oranı 1:1000 değerindedir ve hem AA hem de DA ölçümleri

yapılabilmektedir. Bu değer ortadaki boşluktan geçirilen kablounun tur sayısı artırılarak artırılabilir. Besleme gerilimi olarak $\pm 12V$ veya $\pm 15V$ kullanılabilir. Çıkış ölçüm ucuna bağlanan direnç üzerinden geçen akımın değeri, gerilim olarak ölçümü gerçekleştirilmektedir. Uygulaması yapılan akım ölçüm devresi Şekil 6.11’de verilmektedir. Gerçekleştirilen devre ise Resim 6.6’da görülmektedir. Bu devrede sensör içerisinde 4 tur olacak şekilde ölçüm yapılmıştır [97].



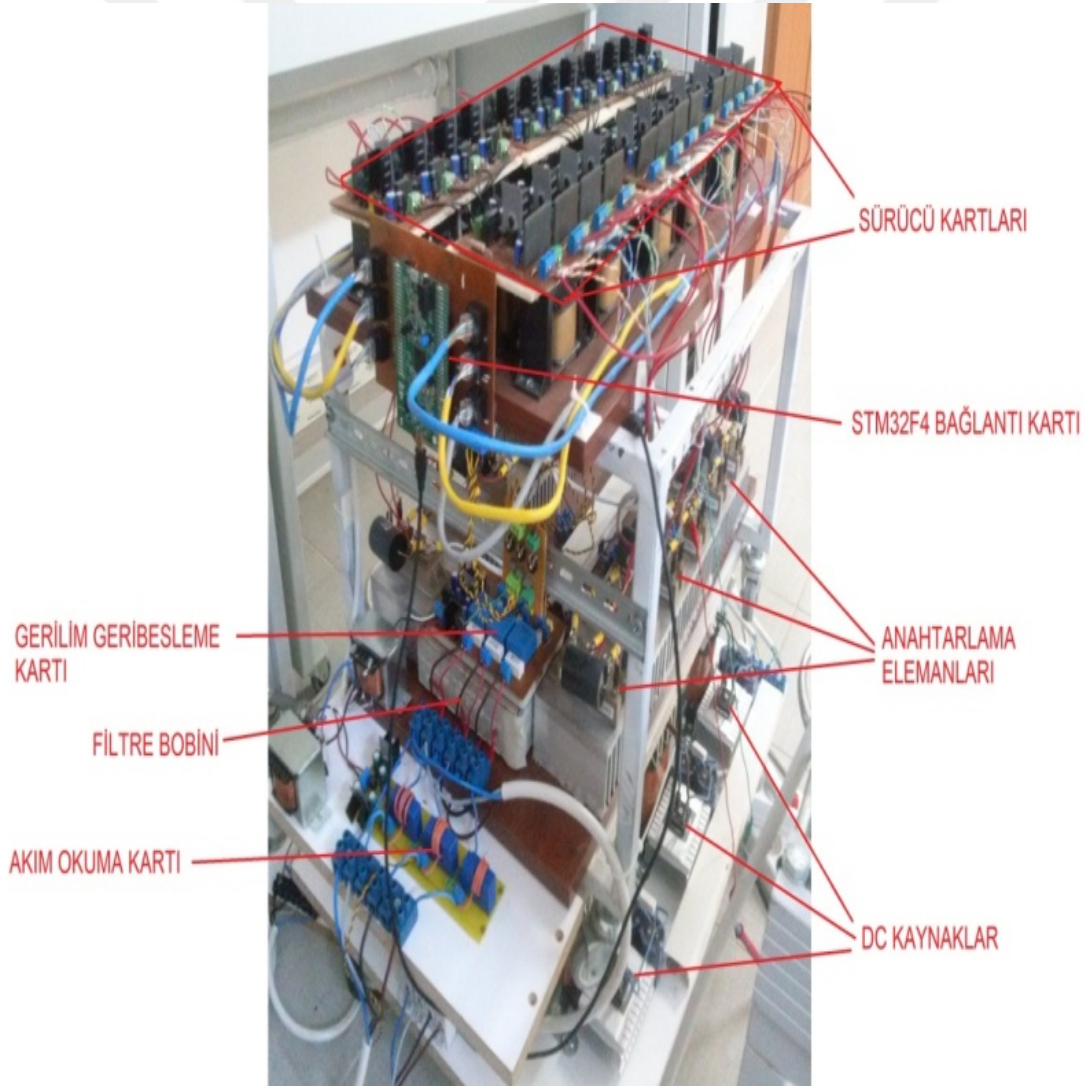
Şekil 6.11. Akım ölçüm kartı şeması



Resim 6.6. Akım ölçüm kartının uygulama devresi

6.1.6. Uygulama sisteminin genel yapısı

Tez çalışmasında gerçekleştirilen 7-seviyeli AKÇSE sisteminin yapısı Resim 6.7’de görüleceği 3 katlı bir yapı şeklinde tasarlanan uygulama devresinde, en alt katta DA kaynağı olarak kullanılmak üzere hazırlanan doğrultma devreleri bulunmaktadır. İkinci katta asimetrik yapıya uygun şekilde bağlanmış olan anahtarlama elemanları, çıkış filtre bobini ve akım ve gerilim örnekleme devresi bulunmaktadır. En üstte ise STM32F4 işlemci bağlantı kartı ve anahtarlama sürücü kartları bulunmaktadır. Uygulama devresi, yük, bilgisayar sistemi, güç kaynağı ve ölçü aletlerinin genel görünümü ise Resim 6.8’de verilmektedir.



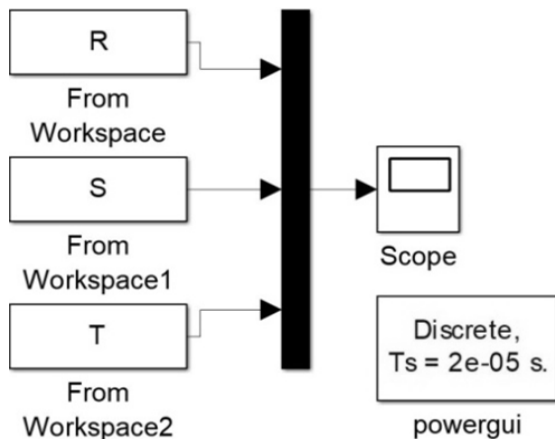
Resim 6.7. Uygulama devresi



Resim 6.8. Uygulama sistemi genel görünümü

6.1.7. THB analizi için matlab programının kullanımı

Elde edilen sonuçların THB analizini en uygun şekilde gerçekleştirmek için osiloskoptan çıkış akım ve gerilim değerleri “.csv” uzantılı ve bir elektronik tablo programında (Excel) açılabilir şekilde bilgisayar ortamına aktarılmıştır. Daha sonra bu değerler uygun formatta Matlab programı içerisinde workspace alanına değişken olarak aktarılmış, aktarılan bu veriler Şekil 6.12’de verilen Matlab/Simulink benzetim uygulaması ile “scope” bloğuna aktarılmıştır. Benzetim çalıştırdıktan sonra Matlab/Simulink programının “Powergui FFT Analysis Tool” uygulaması ile THB analizi gerçekleştirilmiştir.

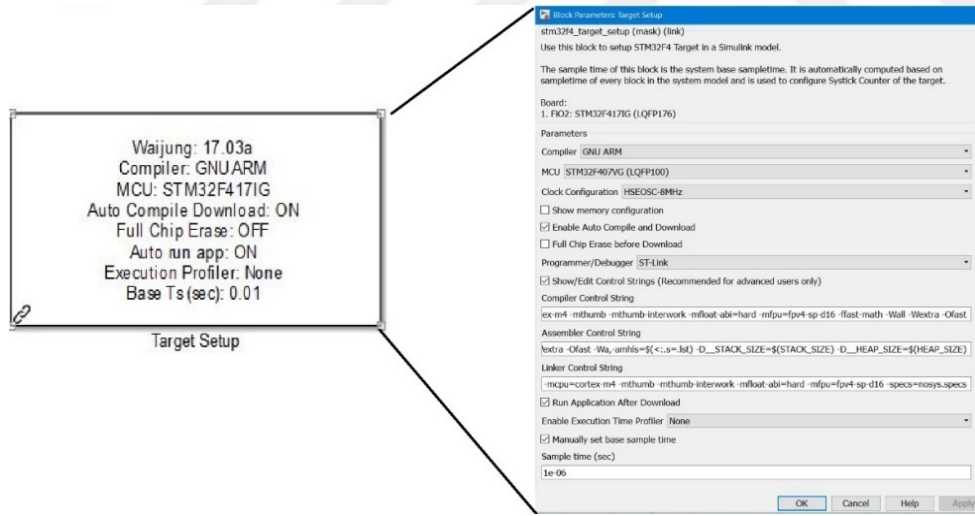


Şekil 6.12. THB hesaplama için kullanılan benzetim blokları

Bu işlemler sırasında dikkat edilmesi gereken en önemli durum örnekleme zamanının uygun olmasıdır. Osiloskoptan alınacak bilgilerin örnekleme zamanı ile benzetim programında kullanılan örnekleme zamanı aynı olması gerekmektedir. Ayrıca gerçekleştirilecek THB analizi için en az 10 periyotluk bir dalga şekli oluşturacak şekilde alınması gerekmektedir.

6.1.8. Matlab/simulink programı ile işlemcinin programlanması

Uygulama devresinde bulunan STM32F4 işlemcisinin programlanabilmesi için öncelikli olarak devrenin anahtarlama durumlarının üretildiği bloklar Matlab/Simulink programındaki kullanımı incelenmiştir. Blok yapıları içerisinde öncelikli olarak STM32F4 bağlantısının sağlanabilmesi için Şekil 6.13’de görüleceği gibi bir “Target Setup” bloğu bulunmaktadır. Bu blok içerisinde desteklenen işlemciler içerisinde istenilen STM işlemcinin seçilmesi, üretilecek olan program kodlarının derleme ve yükleme seçenekleri, örnekleme zamanı ve işlemci saat yapılandırma ayarları değiştirilebilmektedir.

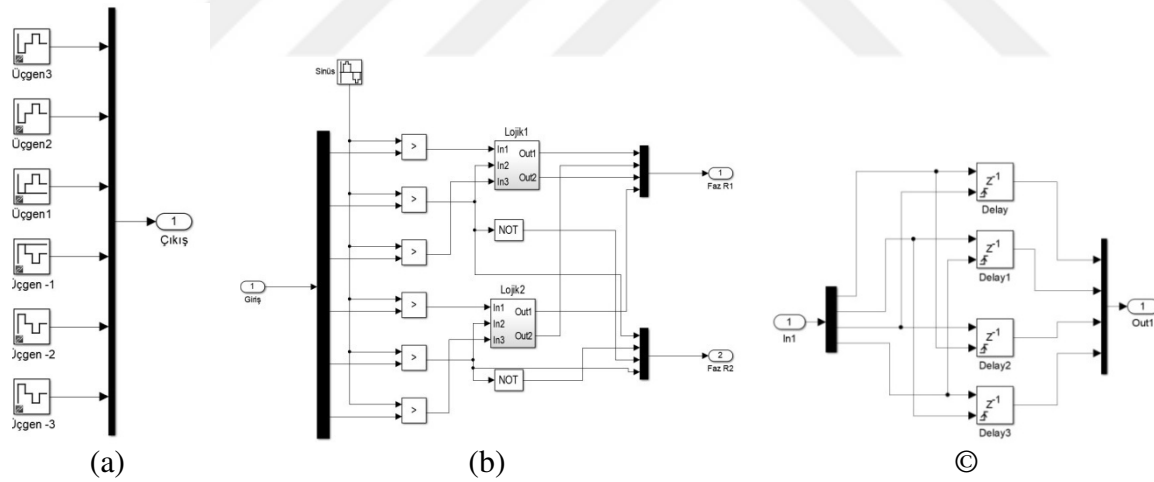


Şekil 6.13. Target setup bloğu ve ayarları

7-seviyeli 3 faz AKÇSE uygulamasında öncelikle anahtarlama durumlarını elde edeceğimiz STM32F4 işlemcisinin özellik bilgileri girilmelidir. Bunun için Şekil 6.13’te bulunan “Target Setup” bloğu açıldığında, bu blok içerisinde düzenlenecek parametreler görülmektedir. İşlemci olarak Discovery geliştirme kartında kullanılan STM32F407VG işlemcisi seçilmektedir. Ayrıca bu kart üzerinde kullanılan kristal 8 Mhz olarak kullanıldığından “clock configuration” ayarı buna uygun şekilde yapılmalıdır.

Matlab/Simulink programında “Build Model” butonu ile blokların otomatik olarak STM32F4 içerisine aktarılacak C kodlarına dönüştürülmesi yazılmasını sağlamak için “Enable Auto Compile and Download” seçeneği aktif olmalıdır. Ayrıca program yüklendikten sonra çalışmasını sağlamak için “Run Application After Download” seçili olmalıdır. Son olarak yazılacak programın çalışmasını istediğimiz örnekleme zamanı “Sample Time” bölümüne girilmelidir. Uygulamalarda STM32F4 için kullanılabilecek en yüksek örnekleme oranı “1e-06” olabilmektedir.

Target Setup blok ayarları yapıldıktan sonra, sinüs işaret ile karşılaştırmada kullanılacak üçgen dalga işaretinin üretimi amacıyla Şekil 6.14(a)’da gösterilen bloklar ile 6 adet üçgen işareti üretilmektedir. Anahtarlama işaretlerini üretilmesi için, üçgen işaretler ile sinüs işaretlerin karşılaştırma işlemlerinin gerçekleştirildiği simulink blok yapısı Şekil 6.14(b)’de verilmiştir ve içerisinde üretilen sinüsoidal işaret ile üçgen işaretlerin karşılaştırılması ve AKÇSE yapısına uygun olacak şekilde üretilmesi için gerekli olan lojik kapılar bulunmaktadır.

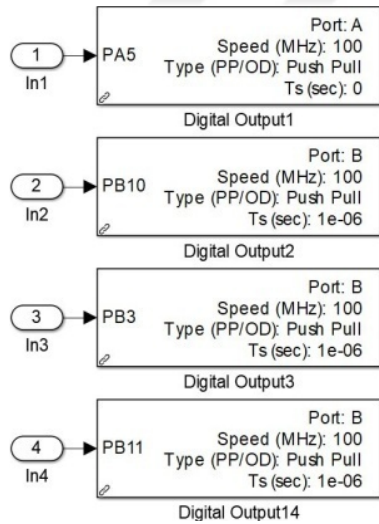


Şekil 6.14. Uygulama programını oluşturan bloklar a) üçgen dalga b) anahtarlama c) ölü zaman bloğu

Anahtarlama durumlarının üretilmesinde kullanılan sinüsoidal işaretler, her faz için birbirinden 120° faz farkı olacak şekilde üretilmektedir. Üretilen anahtarlama durumları STM32F4 işlemcisinin dijital çıkış uçlarına uygulanmadan önce, H-Köprü yapısında seri bağlantı durumunda bulunan anahtarlama elemanlarının kısa devre durumunu oluşturmasını önlemek amacıyla Şekil 6.14 (c)’de gösterildiği gibi ölü zaman (dead band)

eklenmiştir. Bu sayede bir anahtarlama elemanı kesime gitmeden, ona seri bağlı durumda bulunan diğer anahtarlama elemanı iletime geçmeyecektir. Üretilen anahtarlama işaretleri STM32F4 işlemcisinin GPIO çıkışlarına uygulanmaktadır. Çıkış uçlarının sıralaması ve düzenlenmesi işlemci bağlantı kartında belirtildiği şekilde yapılmıştır. Çıkış anahtarlama işaretlerinin alınması için kullanılan “Dijital Output” (GPIO) blokları, Şekil 6.15’te gösterilmektedir. Bu blokların çıkışları daha önce verilen çıkış sıralamasında göre yapılmıştır.

Hem PR kontrol kullanan KFYD-SDGM tekniği, hem de PR kontrolü kullanmayan KFYD-SDGM tekniğinde üçgen dalga işaretlerinin üretilmesi amacıyla Matlab/Simulink programında kullanılabilecek farklı bloklar bulunmaktadır. İlk olarak “Repeating Sequence” bloğu kullanılmıştır. Bu blok çalışma zamanı olarak sürekli mod kullandığından dolayı, işlemciler için çok fazla matematiksel hesaplamalara gereksinim duymaktadır. Bundan dolayı “Repeating Sequence” bloğu kullanılması durumunda STM32F4 işlemcisinden elde edilen anahtarlama işaretlerinin frekansı 600 Hz gibi çok düşük bir değerde olmaktadır.

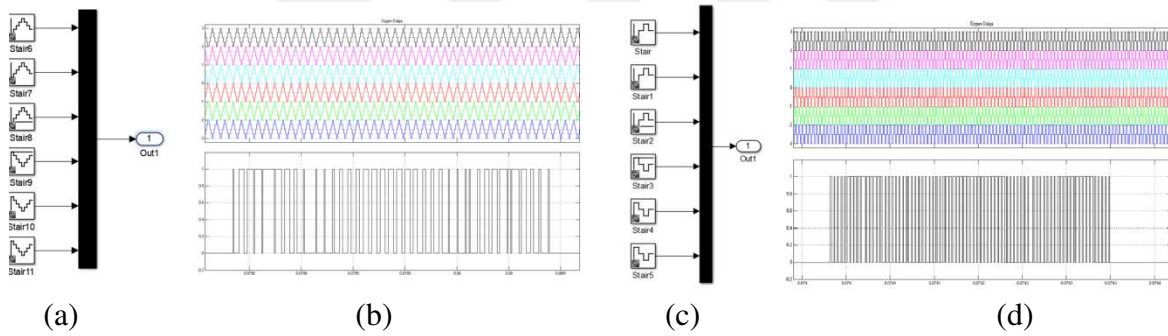


Şekil 6.15. Dijital Output (GPIO) blokları

Bu sebeple elde edilecek üçgen işaretleri için “Repeating Sequence Stair” bloğu kullanılmıştır. Bu bloğun kullanımında üçgen işareti adım adım olacak şekilde verilen örnekleme zamanına göre üretilmektedir. Sekiz adımdan oluşan bir üçgen işareti için maksimum örnekleme zamanında, elde edilen anahtarlama işaretinin frekansı 4 kHz olarak elde edilmiştir.

Dört adımla elde edilen üçgen işareti için PR kontrol kullanmayan KFYD-SDGM uygulamasında 8 kHz anahtarlama frekansı elde edilebilmiştir. PR kontrollü KFYD-SDGM uygulamasında ise sisteme ek olarak eklenen PR kontrol ve ADC blokları sebebiyle anahtarlama frekansı 6 kHz olarak elde edilmektedir. Adım sayısının azaltılması ile çıkış anahtarlama frekansını artırmakla birlikte, sinüs-üçgen karşılaştırması işleminde bazı kayıplara neden olmaktadır. Fakat benzetim çalışmaları bölümünden de görüleceği gibi 5 kHz anahtarlama frekansının altında çalışan evirici de THB değerinde artışlar söz konusudur.

Şekil 6.16(a)'da 8 adımlı üçgen, 6.16(b)'de 8 adımlı üçgen kullanılarak elde edilen anahtarlama işareti, Şekil 6.16(c)'de 4 adımlı üçgen ve Şekil 6.16(d)'de 4 adımlı üçgen kullanılarak elde edilen anahtarlama işareti görülmektedir. Bu şekillerden de anlaşılacağı gibi 4 adımlı üçgenden elde edilen anahtarlama frekansı daha yüksektir.

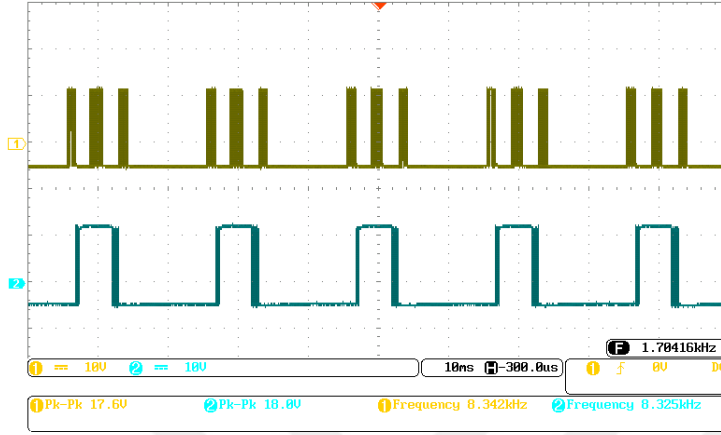


Şekil 6.16. ST32F4 için matlab programında üçgen işaretlerinin üretimi a) 8 adımlı üçgen blokları, b) 8 adımlı üçgen-sinüs karşılaştırma ve anahtarlama işareti, c) 4 adımlı üçgen blokları, d) 4 adımlı üçgen-sinüs karşılaştırma ve anahtarlama işareti

Matlab/Simulink programı ile oluşturulan bloklar “Build Model” butonuna tıklanarak STM32F4 işlemcisi içerisine yazdırılmaktadır. Yükleme işlemi gerçekleştikten sonra “Target Setup” bloğundan yapılan ayara göre işlemci çalışmaya başlar ve anahtarlama işaretlerini üretir. IGBT sürücü devrelerinin çıkışları Resim 6.9’da gösterilmektedir. Bu resimde, sadece R fazı için S_{R11} ve S_{R21} anahtarlarının durumları gösterilmektedir. Sarı renkle alınan ölçüm düşük gerilim hücrelerini, mavi renkle alınan ölçüm yüksek gerilim hücrelerine ait anahtarlama gerilimleridir ve anahtarlama frekansı 8 KHz’dir.

Anahtarlama işaretleri incelendiğinde, IGBT’nin iletme geçmesi için yaklaşık +12,6 V

uygulanmakta iken, kesime gitmesi için -5V uygulanmaktadır. Ayrıca elde edilen anahtarlama işaretleri gerçekleştirilen 7-seviyeli AKÇSE için gerekli olan çıkış gerilimini elde etmek için uygun olduğu görülmektedir.



Resim 6.8. R fazı S11(sarı) ve S21(mavi) anahtarlama işaretleri

6.2. Deneyisel Sonuçlar

Gerçekleştirilen 7-seviyeli AKÇSE yapısı için devre tasarımları yapılmış ve farklı yük ve çalışma koşullarında çalışmasını test etmek için uygulama devresi ve ölçüm düzeneği hazırlanmıştır. Sistem ilk olarak daha önce bahsedilen ve özellikleri verilen 4 kW asenkron motor ile PR kontrol olmadan KFYD-SDGM tekniği ile daha sonra PR kontrollü KFYD-SDGM tekniği ile test edilmiştir. Elde edilen sonuçlar karşılaştırmalı olarak verilmiştir. Elde edilen sonuçlara göre sistemin en iyi THB değerleri için, farklı yük ve koşullarda çalışma durumu analiz edilmiş ve karşılaştırmalı olarak verilmiştir. Çıkışa bağlanan LC filtre parametreleri uygulanacak olan anahtarlama frekansı değerlerine göre sırasıyla 6 mH ve 20 μ F olarak kullanılmıştır.

Sistemin benzetim aşamasında çalışması incelenen UVDGM tekniği ve FK-SDGM tekniği, hem elde edilen benzetim sonuçlarının KFYD-SDGM tekniğinden daha yüksek THB değerleri vermesi hem de uygulama aşamasında karşılaşılan olumsuzluklar nedeniyle gerçekleştirilememiştir.

UVDGM tekniği kullanımında anahtarlama işaretlerinin dinamik olarak elde edildiği bir anahtarlama tekniği tasarlanmış. Fakat bu tekniğin işlemcideki çalışma koşullarına göre

çıkışta istenilen frekansta bir AA gerilimi elde edilememiştir. Bunun sebebi gerçekleştirilen tekniğin işlemcinin çalışma hızına göre çok fazla matematiksel işlem içermesinden dolayı, işlemcinin maksimum örnekleme zamanı kullanılsa bile, çıkış AA frekansının 50 Hz değerine ulaşamadığı veya anahtarlama frekansının çok düşük kalması sebebiyledir. FK-SDGM tekniği kullanımında ise karşılaştırılacak olan üçgen işaretlerin oluşturulması, faz kaydırma işleminin gerçekleştirilmesi ve uygun anahtarlama frekansının elde edilmesinde olumsuzluklar gözlemlenmiştir. Bu durumu önlemek amacıyla STM32F4 işlemcisi içerisinde bulunan “Basic PWM” çıkışları kullanılmak istenmiş, fakat bu çıkışlar kullanıldığında, elde edilen anahtarlama işaretlerine ölü zaman eklenemediğinden dolayı kayıpların fazla olduğu ve elde edilen AA geriliminin uygun olmadığı görülmüştür.

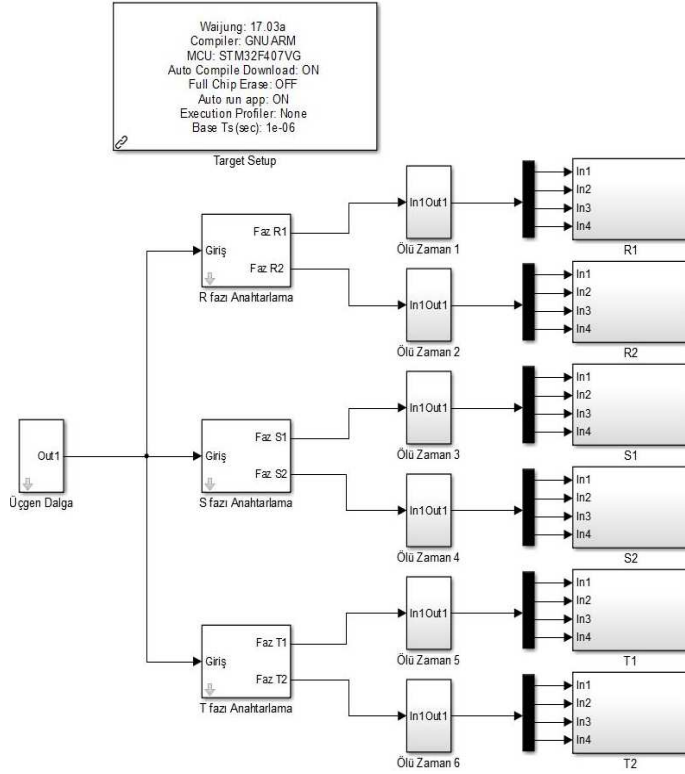
6.2.1. KFYD-SDGM deneysel sonuçları

KFYD-SDGM metodu kullanımı için anahtarlama işaretlerini üretmek amacıyla Matlab/Simulink programında Şekil 6.16’da verilen bloklar kullanılmıştır. Bu blokların içyapıları daha önceki bölümlerde ayrıntılı olarak verilmektedir. Sistemin örnekleme zamanı “1e-6” olarak kullanılması durumunda elde edilen anahtarlama işaretlerinin frekansı 8 kHz olmaktadır. Benzetim aşamalarında elde edilen sonuçlara göre hesaplanan filtre değerleri anahtarlama frekansının 5 kHz ve üstündeki değerler için uygun olduğunu göstermektedir. Daha önce belirtildiği gibi benzetim aşamasında ABC olarak isimlendirilen faz çıkışları uygulama aşamasında RST olarak kullanılmaktadır. Gerçekleştirilecek benzetim ve uygulama karşılaştırmalarında benzetim çıkışları ABC olarak, uygulama çıkışları ise RST olarak kullanılmaktadır.

Şekil 6.17’deki Matlab/Simulink blokları Matlab programında bulunan “build” butonu ile uygun kodlara otomatik olarak dönüştürülerek STM32F4 işlemcisi içerisine yüklenmektedir. Uygulama aşamasında kullanılan asenkron motor, çıkışta kullanılan filtre kondansatörlerinin yıldız bağlanarak nötr noktası elde edilmesi sebebiyle yıldız olarak bağlanmıştır. Girişte uygulanan DA gerilimi bir varyak üzerinden kontrollü olarak artırılarak sisteme verilmektedir. Çıkış geriliminin RMS değeri motorun anma çalışma gerilimi olan 220 V_{RMS} değerine getirildikten sonra ölçümler alınmıştır.

KFYD-SDGM uygulamasında farklı modülasyon indeks değerlerinde sistemin çalışması test edilmiştir. Bu amaçla modülasyon indeks değeri 0,75- 0,8- 0,9 ve 1 değerleri

seçilmiştir. Modülasyon indeks değerinin 0,75 değerinin altında olması durumunda seviyeler teorik olarak elde edilemeyeceğinden bu değerler için uygulama gerçekleştirilmemiştir. Aynı zamanda modülasyon indeks değeri 1 değerinin üzerinde olması durumunda çıkış AA geriliminin kare dalga şekline dönüşmeye başlaması sebebiyle bu değerlerin üzerindeki durumlarda uygulamada incelenmemiştir.



Şekil 6.17. KFYD-SDGM anahtarlama durumları üretimi Matlab/Simulink blokları

Gerçekleştirilen uygulamada elde edilen ölçüm değerleri Çizelge 6.4’de verilmektedir. Tüm sonuçlar 8 kHz anahtarlama frekansında alınmıştır. Çıkış geriliminin değeri yaklaşık 220 V_{RMS} olacak şekilde girişten DA gerilimi uygulanmıştır. 7-seviyeli AKÇSE yapısındaki düşük gerilim H-köprü hücreğine V_1 ve yüksek gerilim H-köprü hücreğine V_2 gerilimi uygulanmaktadır. Uygulanan DA gerilimi ve R fazına ait çıkış akım değerleri ölçü aleti ile ölçülmüş olup, çıkış RST faz gerilimleri osiloskop ekranından ölçülmüştür. Osiloskop ekranından elde edilen dalga şekilleri üzerinden R fazı V_{p-p} gerilim değeri ve R fazı V_{RMS} gerilim değeri elde edilmiştir. Ayrıca çıkış akımı değerleri de akım okuma kartı üzerinden osiloskop ile ölçülmüş ve elde edilen osiloskop verileri daha önce anlatılan yöntemle bilgisayar ortamına aktararak R fazına ait akım ve gerilimin THB değerleri elde edilmiştir.

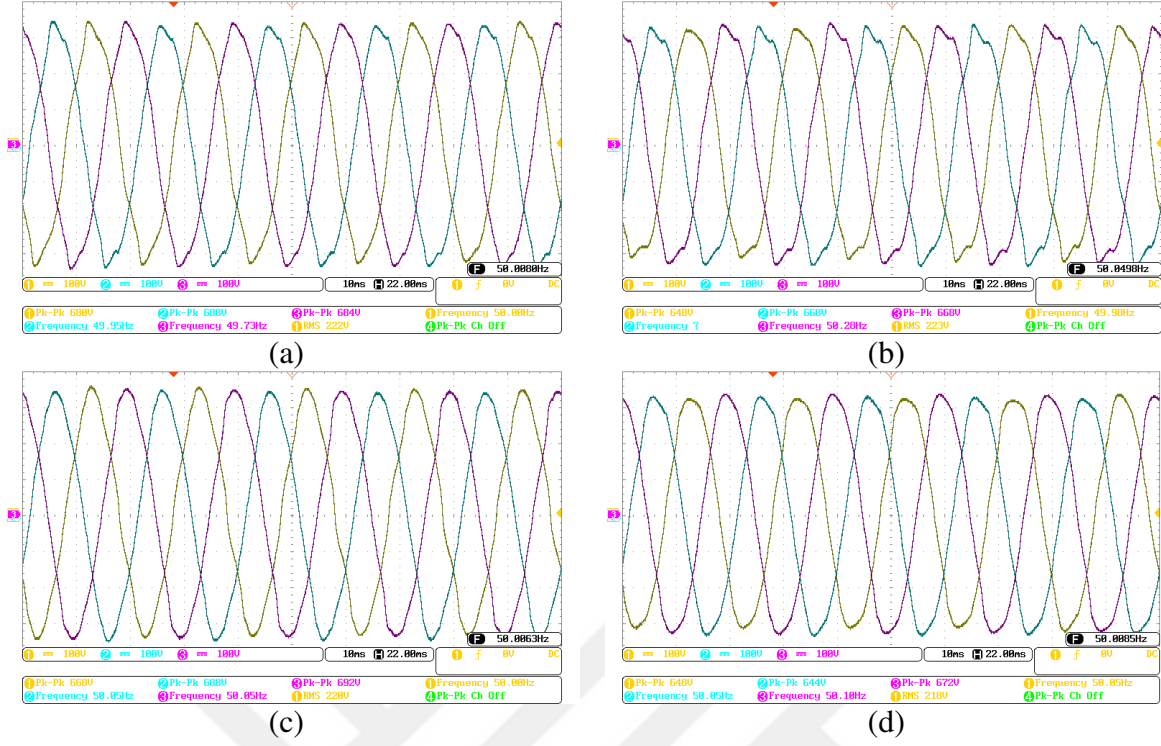
Çizelge 6.4. KFYD-SDGM tekniği ile 7-seviyeli AKÇSE yapısının farklı modülasyon indeks değerlerinde alınan ölçüm sonuçları

Anahtarlama frekansı	m_i	V_1	V_2	R fazı akımı	R fazı V_{p-p} gerilimi	R fazı V_{rms} gerilimi	R fazı THB_i	R fazı THB_v
8 kHz	0,75	161	322	1,17	680	222	6,6	5,91
8 kHz	0,8	165	330	1,15	648	223	6,98	8,14
8 kHz	0,9	127	254	1,15	668	220	6,55	4,65
8 kHz	1	116	232	1,14	648	218	5,61	4,83

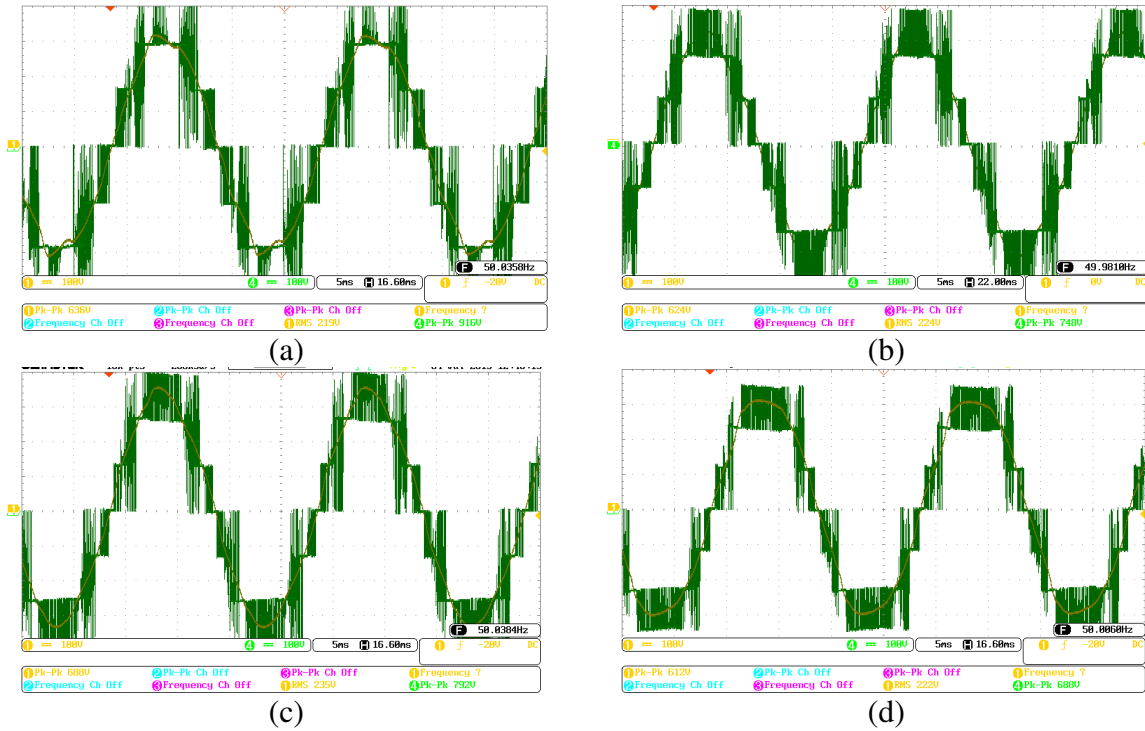
Çizelge 6.4 incelendiğinde modülasyon indeks değerinin artırılması ile birlikte çıkışta aynı değerde RMS gerilimi elde etmek için girişten uygulanması gereken DA gerilimi değeri azalmaktadır. Bu durum daha önce Eş. 3.1’de verilen modülasyon indeks değerinin çıkış gerilimine etkisinin hesabından kaynaklanmaktadır.

Resim 6.9’da RST faz gerilimleri görülmektedir. Resim 6.9(a)’da $m_i=0,75$ için elde edilen RST faz gerilimlerinin V_{p-p} değerleri sırasıyla 680 V, 688 V ve 684 V, Resim 6.9(b)’de $m_i=0,8$ için elde edilen RST faz gerilimlerinin V_{p-p} değerleri sırasıyla 648 V, 668 V ve 668 V, Resim 6.9(c)’de $m_i=0,9$ için elde edilen RST faz gerilimlerinin V_{p-p} değerleri sırasıyla 668 V, 688 V ve 692 V, Resim 6.9(d)’de $m_i=1$ için elde edilen RST faz gerilimlerinin V_{p-p} değerleri sırasıyla 648 V, 644 V ve 672 V olarak ölçülmüştür. Faz gerilimleri arasındaki bu farklılık DA kaynağı olarak kullanılan doğrultucu devrelere, varyak üzerinden verilen gerilimdeki dengesizlikten kaynaklanmaktadır.

Faz geriliminin filtre öncesi seviyelerin oluşum durumları incelenmiştir. Resim 6.10(a)’da $m_i=0,75$ değeri için filtresiz çıkış geriliminde, modülasyon indeks değerinin çok düşük olması nedeniyle eviricinin seviyeleri tam olarak oluşmadığı görülmektedir. Resim 6.10(b)’de $m_i=0,8$ değeri için filtresiz çıkış gerilimi, Resim 6.10(c)’de $m_i=0,9$ değeri için filtresiz çıkış gerilimi ve Resim 6.10(d)’de $m_i=1$ değeri için filtresiz çıkış gerilimi görülmektedir. Modülasyon indeks değeri 0,9 ve 1 olarak seçilmesi durumunda 7-seviyeli AKÇSE için seviyeler tam olarak elde edilmiştir.



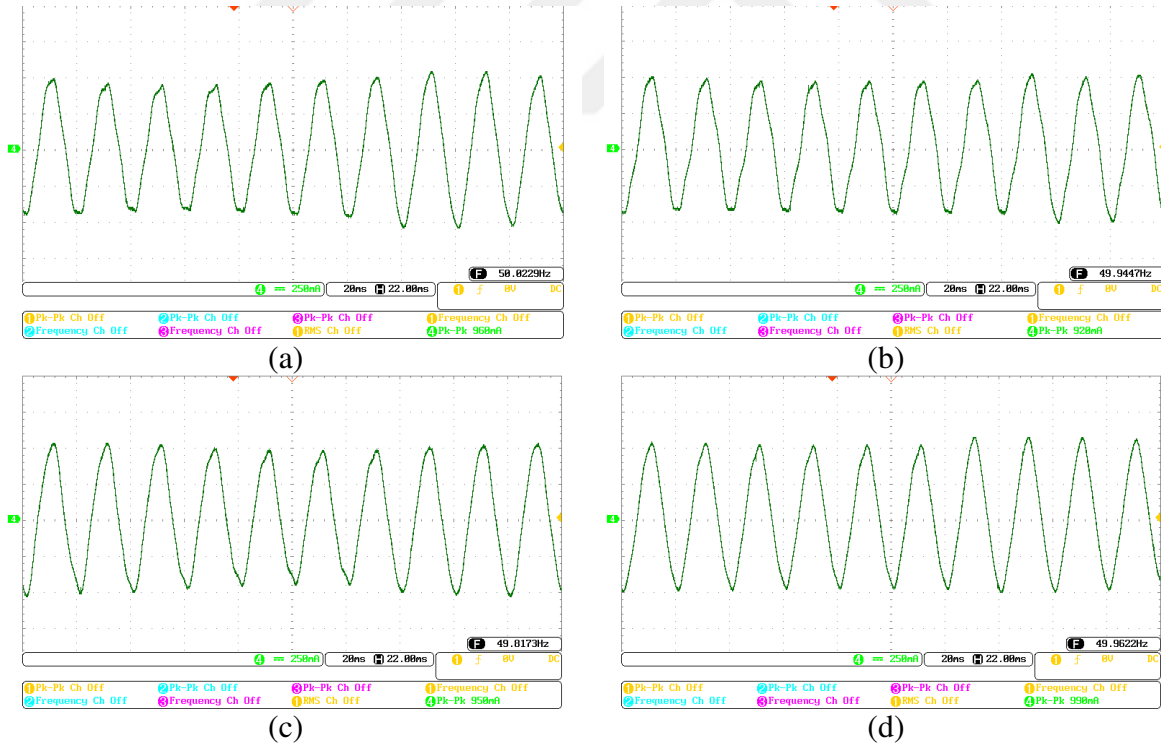
Resim 6.9. KFYD uygulaması RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $m_i=0.75$ için sonuçlar b) $m_i=0.8$ için sonuçlar c) $m_i=0.9$ için sonuçlar d) $m_i=1$ için sonuçlar



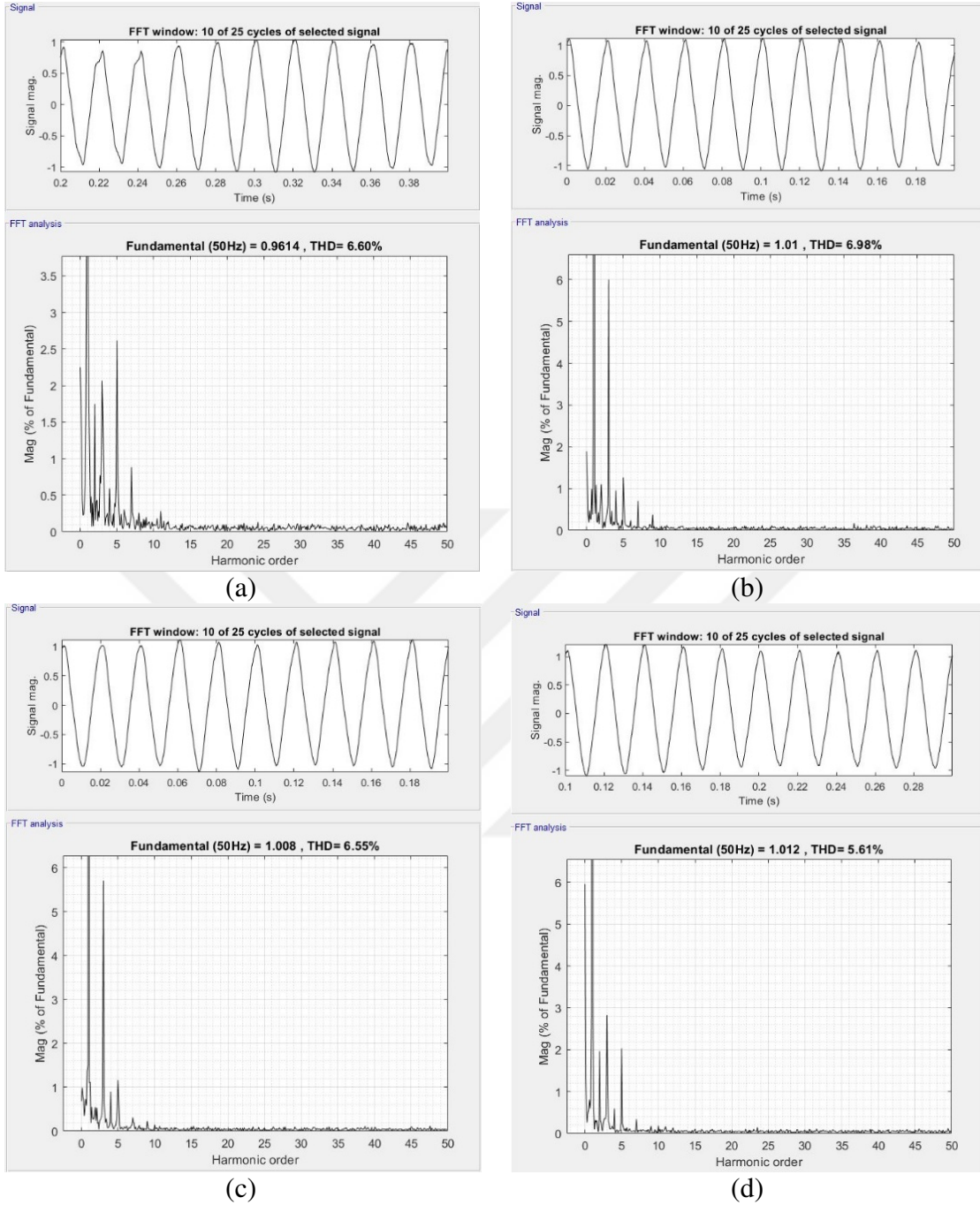
Resim 6.10. KFYD uygulaması R fazı filtresiz gerilim a) $m_i=0.75$ b) $m_i=0.8$ c) $m_i=0.9$ d) $m_i=1$

R faz akımına ait alınan dalga şekilleri, Resim 6.11(a)'da $m_i=0,75$ değeri için, Resim 6.10(b)'de $m_i=0,8$ değeri için, Resim 6.10(c)'de $m_i=0,9$ değeri için ve Resim 6.10(d)'de $m_i=1$ değeri için görülmektedir. R fazına bağlanan bir ampermetre vasıtasıyla çıkış akımı ölçülmektedir. Çizelge 6.4'de görüleceği gibi $m_i=0,75$ için 1,17 A, $m_i=0,8$ için 1,15 A, $m_i=0,9$ için 1,15 A ve $m_i=1$ için 1,14 A olarak ölçülmüştür. Modülasyon indeksi arttıkça aynı çıkış değeri için girişten verilen DA gerilimini azalacağından dolayı, çıkış sabit bir yük için çıkış akım değeri de azalacaktır.

Resim 6.12'de farklı modülasyon indeks değerleri için R fazının akım harmonikleri için yapılan analiz sonuçları görülmektedir. Resim 6.12(a)'da $m_i=0,75$ için THB_i değeri %6,60, Resim 6.12(b)'de $m_i=0,8$ için THB_i değeri %6,98, Resim 6.12(c)'de $m_i=0,9$ için THB_i değeri %6,55 ve Resim 6.12(d)'de $m_i=1$ değeri için THB_i değeri %5,61 olarak ölçülmüştür. Modülasyon indeks değeri artışıyla çıkış akımının THB_i değerinin azaldığı gözlemlenmiştir.



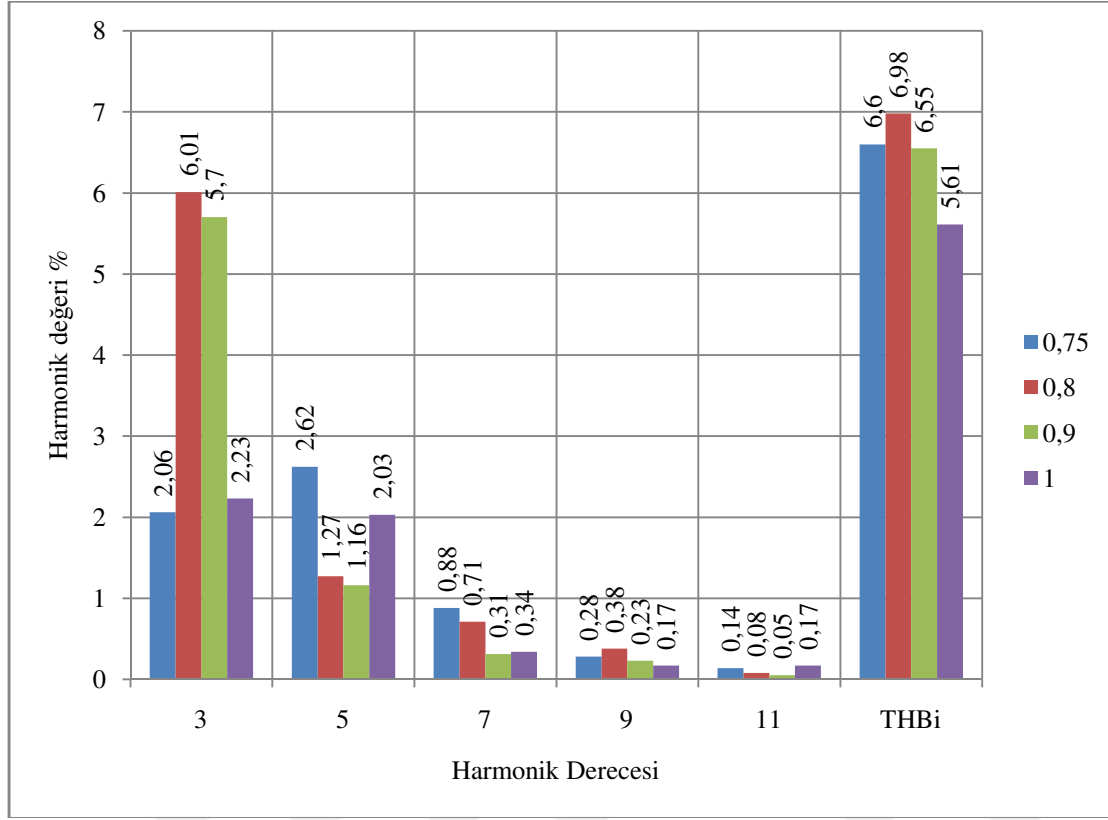
Resim 6.11. KFYD uygulaması R fazı akım a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$



Resim 6.12. KFYD-SDGM uygulamasında R fazı akımının THB_i için alınan FFT analizi sonuçları a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$

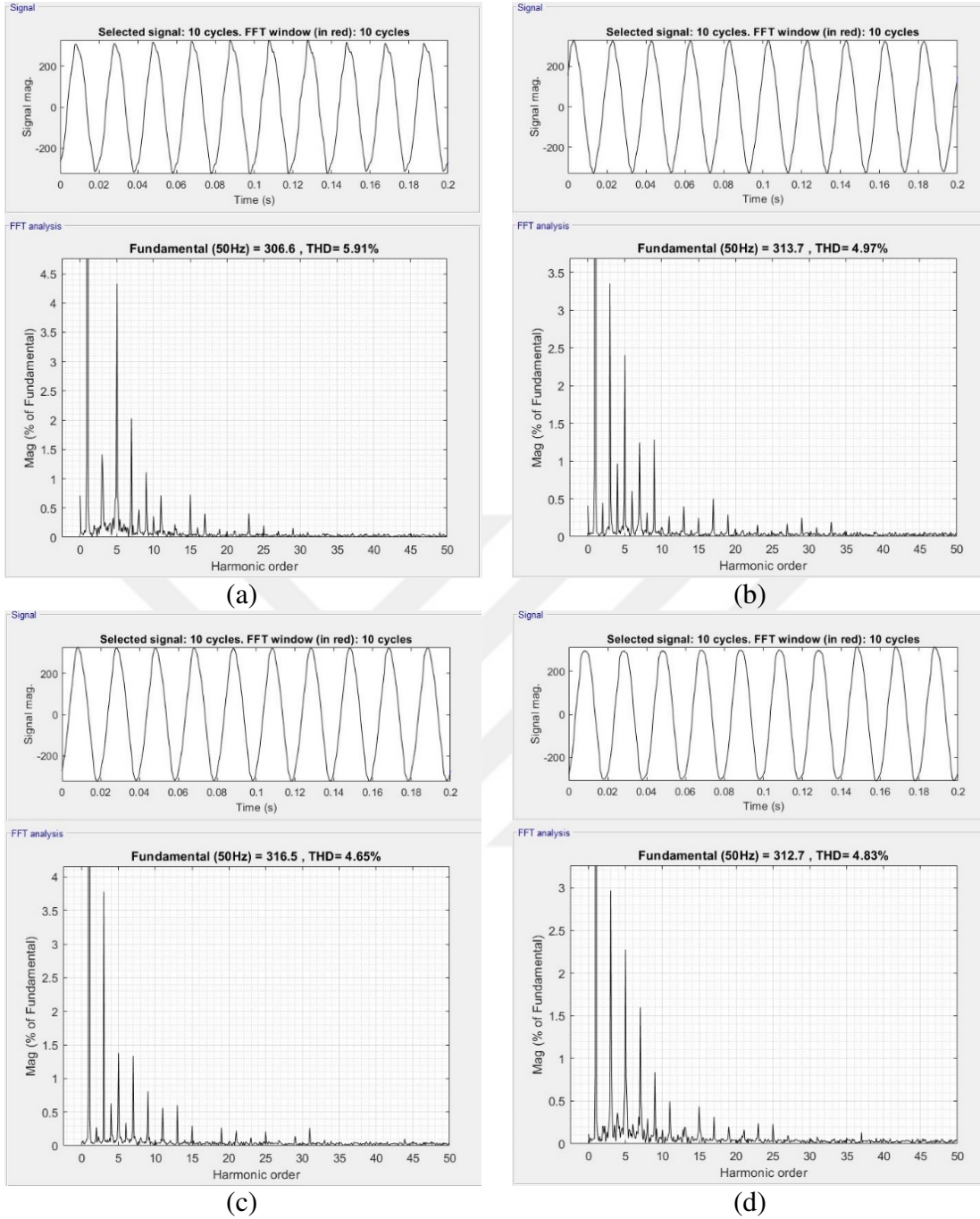
Uygulanan farklı modülasyon indeksi değerleri için 3, 5, 7, 9 ve 11 dereceli akım harmoniklerin karşılaştırması Şekil 6.18’de verilmektedir. Buna göre modülasyon indeksi değeri 0,75 için 3. harmonik değeri düşük olmasına rağmen diğer harmoniklerin yüksek olmasından dolayı THB_i değeri yüksek olmaktadır. Modülasyon indeksi değerinin en yüksek alındığı durumda hem harmonik dereceleri hem de THB_i değeri en düşük değerdedir. 0,8 ve 0,9 modülasyon indeksi değerleri için özellikle 3. harmonik değerinin

yüksek olması sebebiyle çıkış THB_i değeri yüksek olmaktadır.



Şekil 6.18. KFYD-SDGM uygulamasında farklı modülasyon indeks değerleri için düşük harmonik derecelerinin (3, 5, 7, 9 ve 11 dereceli harmonikler) ve THB_i değerlerinin karşılaştırmalı olarak gösterimi

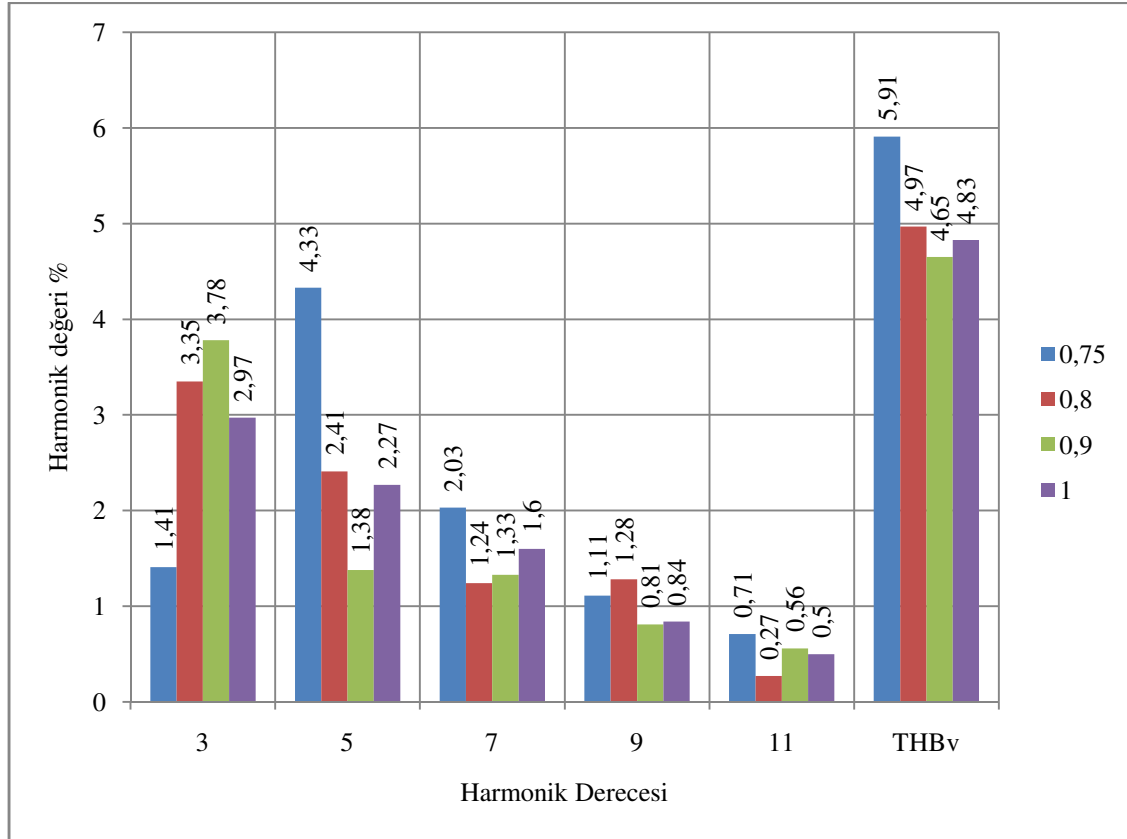
Yük üzerinden ölçülen R fazına ait THB_v için elde edilen FFT analizi sonuçları Resim 6.13'de verilmektedir. Resim 6.13(a)'da $m_i=0,75$ için THB_v değeri %5,91, Resim 6.13(b)'de $m_i=0,8$ için THB_v değeri %4,97, Resim 6.13(c)'de $m_i=0,9$ için THB_v değeri %4,65 ve Resim 6.13(d)'de $m_i=1$ değeri için THB_i değeri %4,83 olarak ölçülmüştür. En düşük çıkış gerilimi THB_v değeri modülasyon indeksi 0,9 olduğu durumda elde edilmiştir.



Resim 6.13. KFYD uygulaması R fazı geriliminin THB_v için alınan FFT analizi sonuçları
a) $m_i=0,75$ b) $m_i=0,8$ c) $m_i=0,9$ d) $m_i=1$

Uygulanan farklı modülasyon indeksi değerleri için 3, 5, 7, 9 ve 11 dereceli gerilim harmoniklerin karşılaştırması Şekil 6.19’da verilmektedir. Buna göre modülasyon indeks değeri 0,75 için 3. Harmonik değeri düşük olmasına rağmen diğer harmoniklerin yüksek olmasından dolayı THB_v değeri yüksek olmaktadır. Modülasyon indeks değerinin 0,9 olarak alındığı durumda 3. Harmonik değeri 0,8 ve 1 modülasyon indeks değerlerine göre yüksek olmasına rağmen diğer derecelerdeki harmoniklerin değerinin düşük olması

nedeniyle THB_v değeri %4,65 olarak en düşük değerdedir. 0,8 ve 1 modülasyon indeks değerlerinde tüm harmonik değerinin yüksek olması sebebiyle çıkış THB_i değeri yüksek olmaktadır.



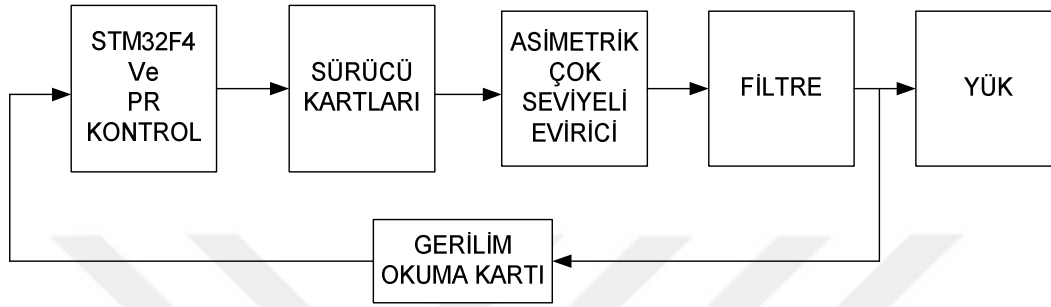
Şekil 6.19. KFYD-SDGM uygulamasında farklı modülasyon indeks değerleri için düşük harmonik derecelerinin (3, 5, 7, 9 ve 11 dereceli harmonikler) ve THB_v değerlerinin karşılaştırmalı olarak gösterimi

7-seviyeli AKÇSE yapısının KFYD-SDGM tekniğinde gerçekleştirilen uygulama sonuçları incelendiğinde gerilim harmoniklerinin IEEE-519-201 standartlarına uygun olduğu görülmüştür. Fakat akım harmoniklerinin bu standarda göre %5 değerinden daha fazla olması sebebiyle evirici yapısına PR kontrolcüsü eklenmiştir.

6.2.2. PR kontrollü KFYD-SDGM deneysel sonuçları

KFYD-SDGM ile gerçekleştirilen uygulamada devresinde sisteme bir PR kontrol yapısı eklenerek THB değerlerinin daha da azaltılması amaçlanmaktadır. Bu amaçla PR kontrol yöntemi kullanılarak 7-seviyeli AKÇSE uygulaması çalıştırılmıştır.

Gerçekleştirilen 7-seviyeli AKÇSE yapısında Şekil 6.20’de görüleceği gibi filtre çıkışından gerilim okuma kartı ile gerilim bilgisi alınmıştır. Elde edilen bu gerilim bilgisi PR kontrol bloğuna uygulanmak üzere STM32F4 kartının ADC girişlerine uygulanmaktadır. STM32F4 için geliştirilen bağlantı kartında bulunan konnektörler ile alınan RST gerilim işaretleri, işlemcinin C3, C4 ve C5 girişlerine sırasıyla aktarılmaktadır.

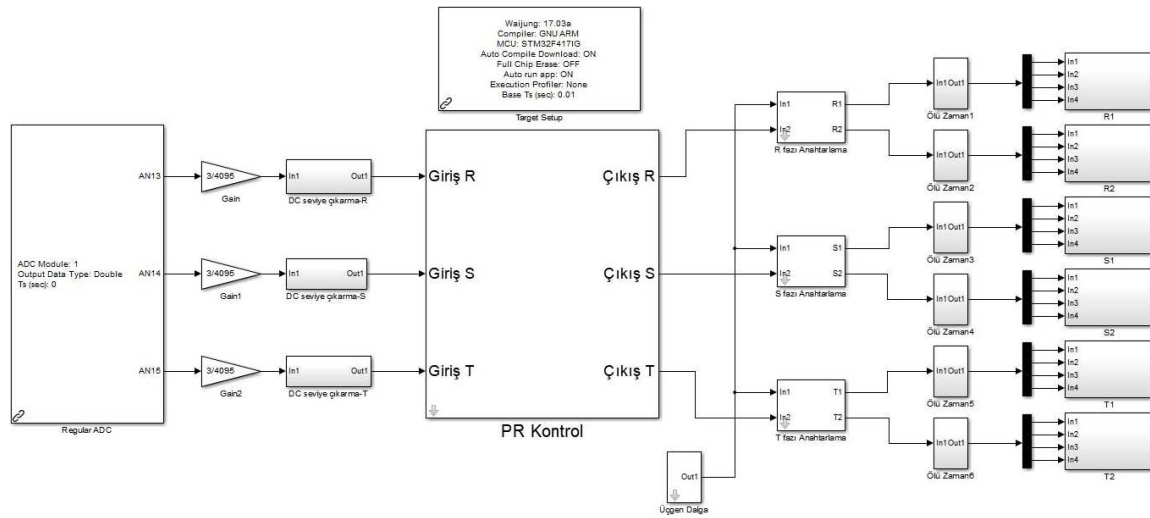


Şekil 6.20. PR kontrollü KFYD-SDGM blok diyagramı

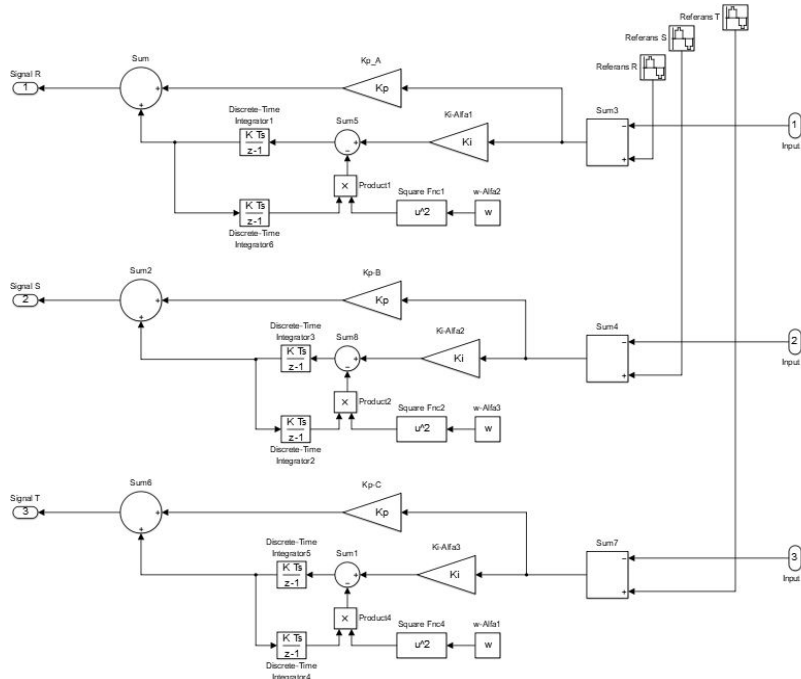
Gerçekleştirilen PR kontrol eklenmiş 7-seviyeli AKÇSE yapısı için alınan geri besleme gerilimleri işlemcinin ADC girişine uygulanmaktadır. STM32F4 işlemcisinin ADC girişleri 12 bit dönüştürme işlemi yapmaktadır. ADC den alınan ve dijitale işarete dönüştürülen gerilim işaretleri, PR kontrole uygulanması için öncelikle 12 bit dönüştürme işlemini tersine çevirerek gerilim işaretinin tekrardan elde edilmesi gerekmektedir. Bu amaçla ADC girişinde dijitale çevrilen gerilim işareti 3/4095 ile çarpılmaktadır. Burada kullanılan “3” değeri STM32F4 geliştirme kartı için kullanılan besleme gerilimini ifade etmektedir. Paydada bulunan “4095” değeri ise 12 bit dönüştürme yapılmasından dolayı ($2^{12}=4096$) kullanılmaktadır. Ayrıca gerilim okuma kartında ADC girişlerinin gerilimi tam olarak okuyabilmesi, giriş seviyesinin 0 V üzerine çıkartılması işlemi için eklenen referans gerilimi de PR kontrole uygulanmadan önce çıkartılmaktadır.

Şekil 6.21’de verilen Matlab/Simulink blokları ile bu işlemler gerçekleştirilerek PR kontrol bloğuna uygulanmaktadır. PR kontrollü AKÇSE uygulamasında kullanılan Matlab/Simulink bloklarından, üçgen dalga işaretinin üretildiği blok, anahtarlama işaretlerinin üretildiği blok, ölü zaman ekleme bloğu ve çıkış GPIO blokları, PR kontrol kullanmayan KFYD-SDGM uygulamasında kullanılan bloklar ile aynıdır. Sadece anahtarlama işaretlerinin üretildiği blok içerisinde sinüs işareti kullanılmamakta, karşılaştırma için kullanılacak sinüs işareti PR kontrol bloğu çıkışından alınmaktadır.

PR kontrol bloğunun içyapısı Şekil 6.22’de görülmektedir. PR kontrol bloğu benzetim aşamasında kullanılan ve Şekil 5.33’te verilen blok ile aynı yapıda olmakla beraber burada kullanılan integral alıcı bloklar, programın işlemciye aktarılmasında hata vermemesi amacıyla “Discrete Time” (ayrık zaman) çalışan bloklardır. PR kontrol çıkışında elde edilen gerilim bilgisi Şekil 6.21’de görüldüğü gibi üretilen üçgen dalga işaretleri ile karşılaştırılmış ve ölü zaman eklenerek STM32F4 işlemcisinin GPIO çıkışlarına verilmiştir.



Şekil 6.21. PR kontrollü KFYD-SDGM Matlab/Simulink blok diyagramı



Şekil 6.22. PR kontrol bloğu içyapısı

PR kontrol parametreleri olan K_p ve K_i değerleri belirlenmesinde benzetim çalışmalarından ve sistemin kontrol parametrelerinden faydalanılmıştır. Sistemin geri besleme işleminde kullanılan gerilim örneklem işaretinin genlik değeri, PR kontrolcüsünde kullanılacak olan referans sinüs işaretinin genliğine uygun olacak şekilde 3 V olarak seçilmiştir. K_p parametresinin kontrolcünün oransal kazanç değerini oluşturmasından dolayı, bu parametre PR kontrol bloğu çıkışında elde edilecek kontrol işaretinin genliğini ve bununla birlikte AKÇSE sisteminin modülasyon indeks değerini belirleyecektir. Bu sebeple kullanılacak olan K_p değerinin belirlenmesi için benzetim aşamasında farklı değerler ile gerçekleştirilen çalışmalarda 0,75 değerinin altında ve 1 değerinin üstünde olması durumunda çıkışta elde edilen gerilimler sinüsoidal gerilim şeklinden uzaklaştırmaktadır. Bu sebeple benzetim aşamasında da kullanılan 0,75-0,8-0,9 ve 1 değerleri ile birlikte sistemin gerilim örneklemeinde oluşabilecek kayıplardan dolayı 1,1 ve 1,2 değerleri de uygulama aşamasında K_p parametresi olarak kullanılmıştır.

Rezonans kazanç parametresi olan K_i değerinin belirlenmesi işlemi çıkışta elde edilen gerilim ve akımların THB değerleri açısından önemlidir. Bu sebeple benzetim aşamasında çok düşük ve çok yüksek seçilmesi durumunda çıkış toplam harmonik değerini artırmaktadır. K_i çok düşük seçilmesi durumunda kontrolcünün rezonans frekansındaki kazanç değeri azalacağından istenilen frekansta elde edilecek bant genişliği daralmasına rağmen kontrolcünün kazancı düşeceğinden, harmonik bastırmada yetersiz kalacaktır. K_i parametresi çok yüksek seçilmesi durumunda kazancın bant genişliği çok fazla artacağından dolayı istenmeyen frekanslardaki kazançlarda artacak ve THB değerini artıracaktır. Bu sebeple benzetim aşamasında kullanılan 0,0001-0,01-1 değerleri ve K_i değerinin uygulamada vereceği tepkileri görmek amacıyla 10 değeri de seçilmiştir.

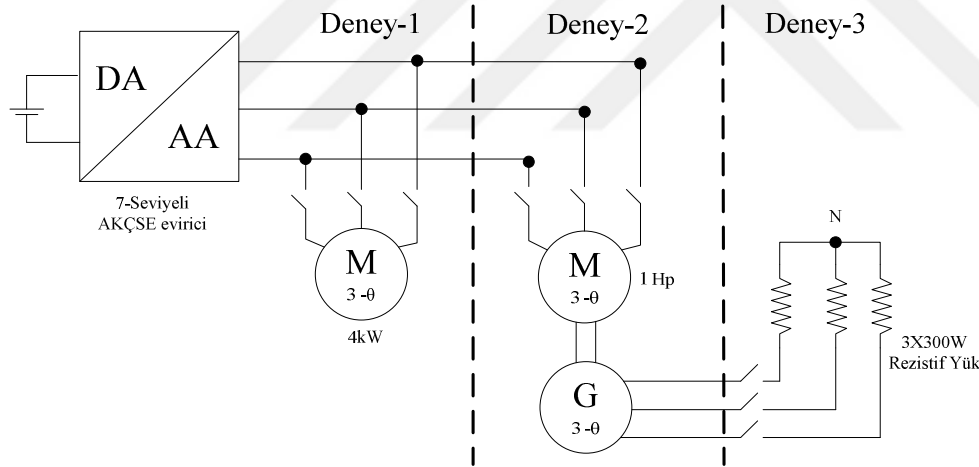
Gerçekleştirilen PR kontrollü AKÇSE uygulamasında öncelikle Şekil 6.23’de görülen deney-1 çalışmasında PR kontrol kullanmayan KFYD-SDGM kontrolünde de kullanılan 4 kW değerindeki asenkron motor kullanılmıştır. Deney-1’de elde edilen en iyi K_p ve K_i değerlerinin farklı yük koşullarında vereceği sonuçları ölçmek amacıyla deney-2 ve deney-3’de görülen yükler bağlanmıştır. Deney-2’de 1 Hp gücünden bir asenkron motor ve bu asenkron motora da bir senkron generatör bağlanarak yük altında çalışma durumu incelenmiştir. Kullanılan 1 Hp değerindeki asenkron motora ait parametreler Çizelge 6.5’de verilmektedir. Kullanılan senkron generatörün bir fazına ait empedans değeri 5 ohm, indüktans değeri ise 32 mH değerindedir. Senkron generatörün DA uyarım uçlarına

15 V DA gerilim uygulanmıştır. Deney-3 yapısında ise senkron generatör çıkışlarına yıldız bağlantı yapısında 300 W değerinde rezistif yük bağlanmıştır.

Çizelge 6.5. 1 Hp asenkron motor etiket parametreleri

Anma Gerilimi (V)	Frekans (Hz)	Anma Akımı (A)	Anma Gücü (kW)	Güç Katsayısı (Cos ϕ)	Devir (1/min)
$\Delta 220/Y 380$	50	3,6/2,1	0,75	0,72	1370
/Y440	60	2,03	0,85	0,72	1650

PR kontrollü AKÇSE uygulamasında daha önceki bölümlerde de bahsedildiği gibi üretilecek anahtarlama işaretlerinin frekansı STM32F4 işlemcisinin GPIO çıkışlarının kullanılmasından dolayı 6 kHz olarak elde edilmiştir. Çıkış filtre değerleri 5 kHz ve üstündeki anahtarlama frekanslarına göre seçilmesinden dolayı daha düşük frekanslarda çalışma değerleri incelenmemiştir.



Şekil 6.23. 7-Seviyeli PR kontrollü AKÇSE uygulama deney düzenekleri

Deney-1

Deney-1 çalışmasında 4 kW değerindeki asenkron motor kullanılmıştır. Deneydeki ölçümlerde, yük üzerindeki RST faz gerilimlerinin V_{RMS} değeri 220 V olarak çıkış alındığı durumdaki fazların V_{p-p} değerleri, R fazına ait akımı ve R fazı filtresiz çıkış gerilimi osiloskop ekranından ölçülmüştür. Girişte uygulanan DA gerilimi değeri ve R fazı çıkış akım değeri voltmetre ve ampermetre ile ölçülmektedir. Deneyde daha önce bahsedilen farklı K_p ve K_i değerleri için elde edilen bu ölçüm sonuçları Çizelge 6.6'da verilmiştir.

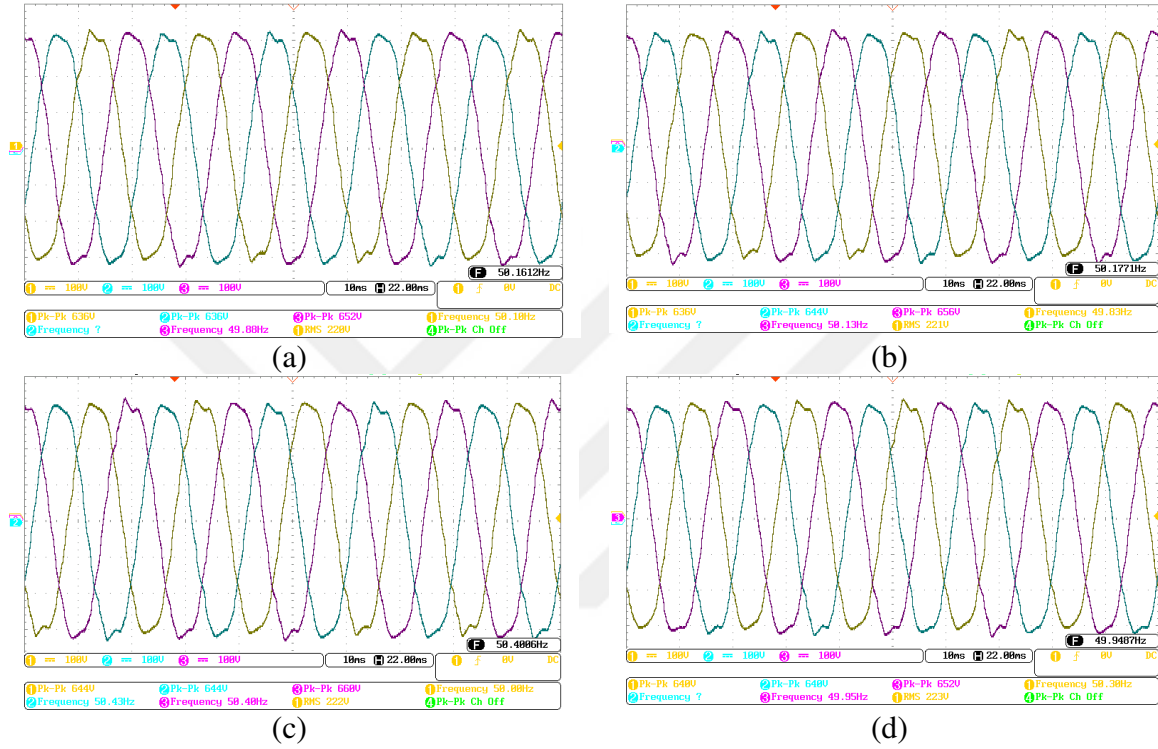
Çizelge 6.6’da elde edilen sonuçlar çıkış faz gerilimi V_{RMS} değeri 220 V (± 3 V) olacak şekilde girişten DA gerilimi uygulandığı anda elde edilen ölçüm değerlerini göstermektedir. Çizelgede V_1 değeri düşük gerilimin uygulandığı H-Köprü hücresinin DA gerilimini, V_2 değeri ise yüksek gerilim uygulandığı H-Köprü hücresinin DA gerilimini göstermektedir. K_p değeri 0,75 ve 0,8 için 220 V_{RMS} çıkış elde etmek için uygulanan DA gerilimi diğer K_p değerlerine göre daha yüksektir. En düşük giriş gerilimi K_p değeri 1,2 olarak alındığında olmaktadır. Fakat çıkış akım ve gerilimin THB değerleri incelendiğinde K_p değeri 1,2 olarak alındığında THB değerleri istenilenden çok daha yüksek olmaktadır.

Çizelge 6.6. PR kontrollü AKÇSE uygulaması deney-1 sonuçları

K_p	K_i	V_1	V_2	R fazı akımı	R fazı V_{p-p} gerilimi	R fazı V_{rms} gerilimi	R fazı THB _i	R fazı THB _v
0,75	0,0001	173	346	1,15	636	220	7,56	5,9
0,75	0,01	172	344	1,15	636	221	7,05	5,88
0,75	1	173	346	1,15	644	222	9,02	9,55
0,75	10	171	342	1,14	640	223	9,56	6,37
0,8	0,0001	167	334	1,14	636	221	9,59	8,2
0,8	0,01	167	334	1,15	620	220	9,45	8,91
0,8	1	167	334	1,14	628	222	11,98	8,91
0,8	10	165	330	1,13	632	220	11,33	9
0,9	0,0001	126	252	1,27	692	219	11,33	5,19
0,9	0,01	126	252	1,28	704	220	7,02	5,1
0,9	1	126	252	1,24	700	220	9,22	7,99
0,9	10	126	252	1,27	704	220	7,54	4,96
1	0,0001	116	232	1,23	660	220	4,45	3,19
1	0,01	116	232	1,22	656	221	3,87	3,1
1	1	116	232	1,22	660	220	4,81	6,98
1	10	114	228	1,24	676	220	4,22	3,42
1,1	0,0001	107	214	1,22	644	220	4,84	4,15
1,1	0,01	106	212	1,19	644	221	5,49	3,87
1,1	1	106	212	1,18	656	222	7,19	7,73
1,1	10	106	212	1,19	640	219	7,12	3,93
1,2	0,0001	103	206	1,14	632	220	9,15	7,4
1,2	0,01	102	204	1,16	632	222	7,7	7,53
1,2	1	102	204	1,16	628	221	8,98	9,73
1,2	10	102	204	1,15	624	221	10,73	7,69

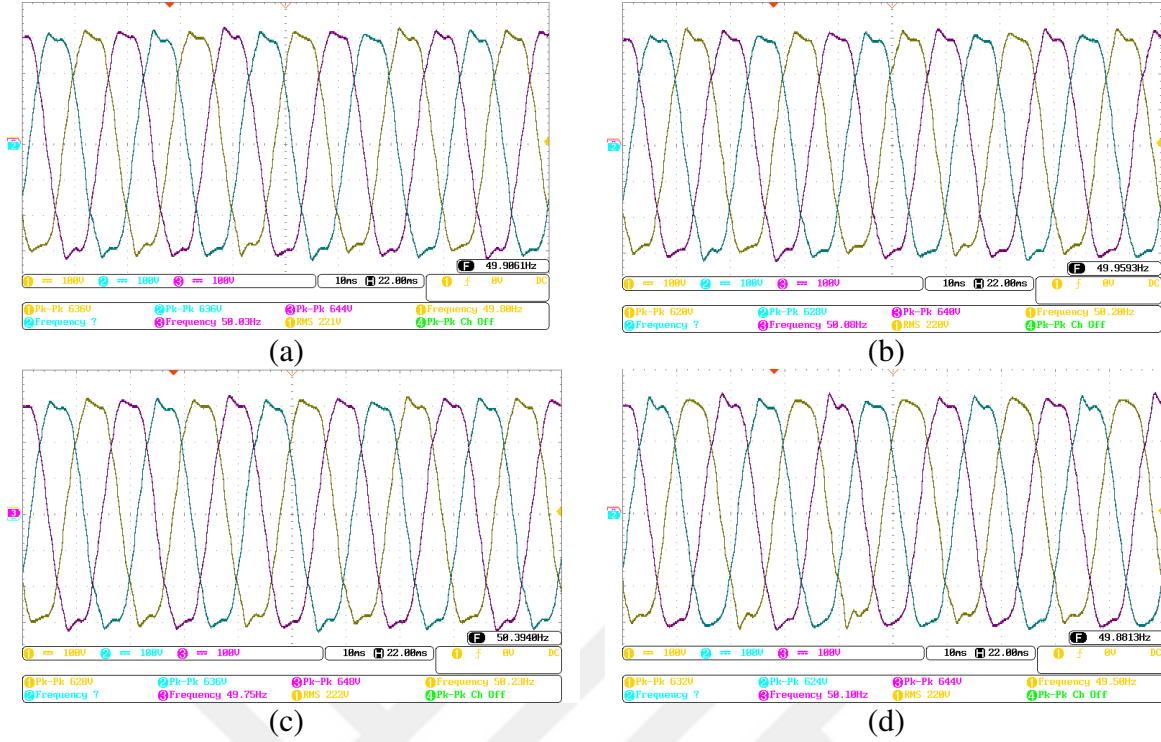
Resim 6.14’de K_p değeri 0,75 için farklı K_i değerlerinde ölçülen RST çıkış faz gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 636 V, 636 V ve 652 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 636 V, 644 V ve 656

V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 644 V, 644 V ve 660 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 640 V, 640 V ve 652 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 0,75 için K_i değerinin değişimi çıkış faz gerilimlerinin değerlerini ve dalga şekillerini çok fazla değiştirmemektedir.



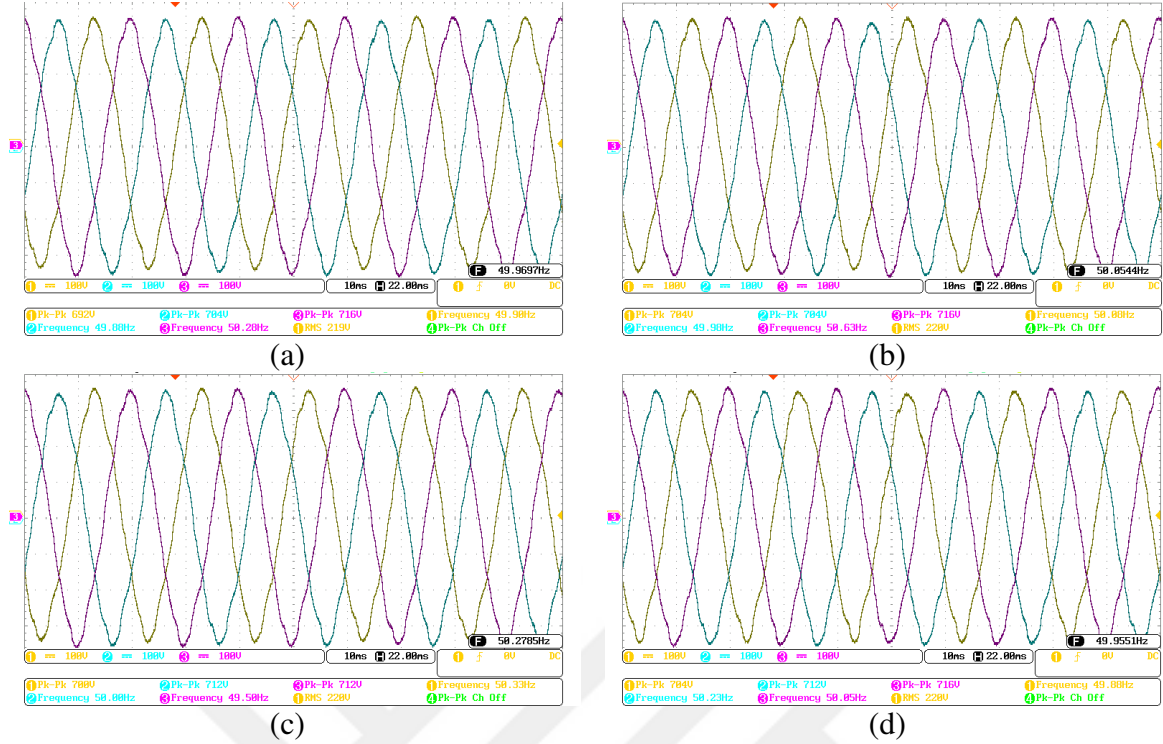
Resim 6.14. PR kontrollü KFYD uygulaması $K_p=0,75$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.15’de K_p değeri 0,8 için farklı K_i değerlerinde ölçülen RST çıkış gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 636 V, 636 V ve 644 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 620 V, 628 V ve 640 V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 628 V, 636 V ve 648 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 632 V, 624 V ve 644 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 0,8 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Fakat K_p ’nin 0,8 değerinde elde edilen dalga şekillerinin özellikle tepe noktalarında görülen bozulmalar, K_p ’nin 0,75 olarak alındığı dalga şekillerinden daha fazladır.



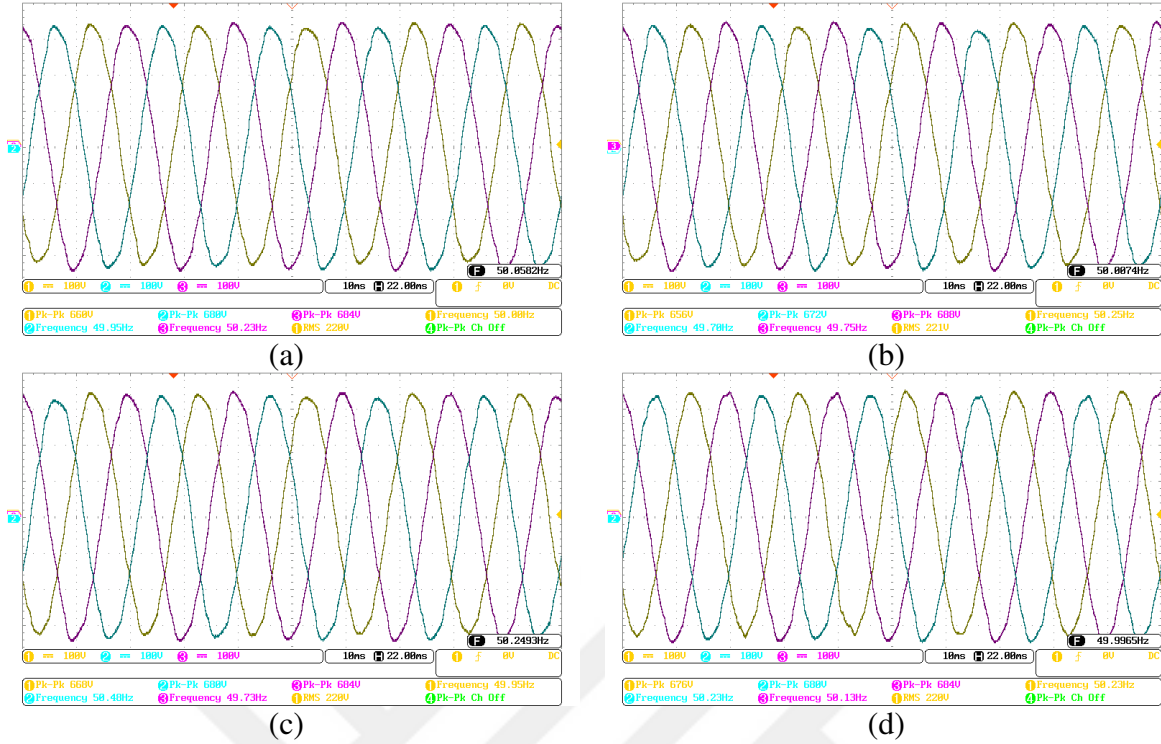
Resim 6.15. PR kontrollü KFYD uygulaması $K_p=0,8$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.16'da K_p değeri 0,9 için farklı K_i değerlerinde ölçülen RST çıkış gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 692 V, 704 V ve 716 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 704 V, 704 V ve 716 V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 700 V, 700 V ve 712 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 704 V, 712 V ve 716 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 0,9 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Fakat K_p 'nin 0,9 değerinde elde edilen gerilimlerin V_{p-p} değerlerinin, K_p 'nin 0,75 ve 0,8 olarak alındığı dalga şekillerinden daha fazla olduğu görülmüştür. Bunun nedeni uygulanan K_p değerinin modülasyon indeks değerini değiştirmesinden kaynaklanmaktadır. Ayrıca ölçülen dalga şekillerinin tepe noktaları K_p 'nin 0,75 ve 0,8 olarak alındığı dalga şekillerine göre sinüsoidal gerilime daha da yakınlaşmaktadır. Bu durum gerilimin THB_v değerinin düzelmesine katkı sağladığı Çizelge 6.6'da elde edilen gerilim THB_v değerlerinden de görülmektedir.



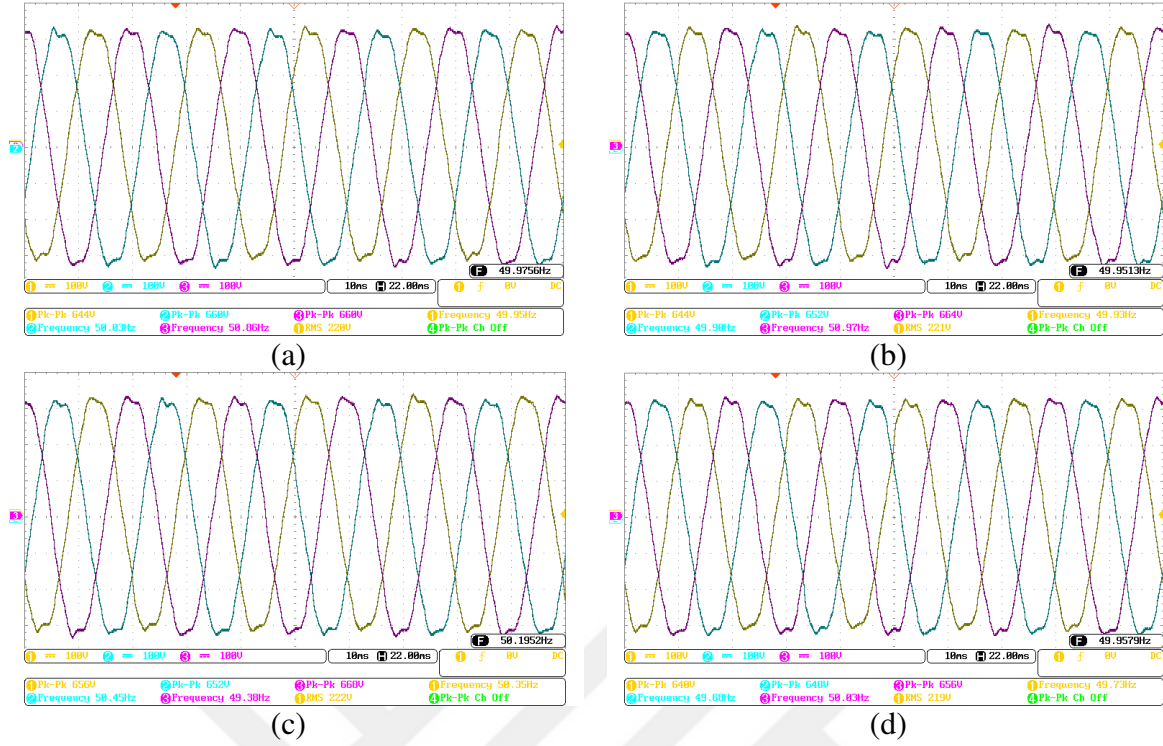
Resim 6.16. PR kontrollü KFYD uygulaması $K_p=0,9$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.17’de K_p değeri 1 için farklı K_i değerlerinde ölçülen RST çıkış gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 660 V, 680 V ve 684 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 656 V, 672 V ve 688 V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 660 V, 680 V ve 684 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 676 V, 688 V ve 684 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 1 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Ölçülen dalga şekillerinin tepe noktaları K_p ’nin 0,75 0,8 ve 0,9 olarak alındığı dalga şekillerine göre sinüsoidal gerilime daha da yaklaşmaktadır. Bu durum gerilimin THB_v değerinin düzelmesine katkı sağladığı Çizelge 6.6’da elde edilen gerilim THB_v değerlerinden de görülmektedir.



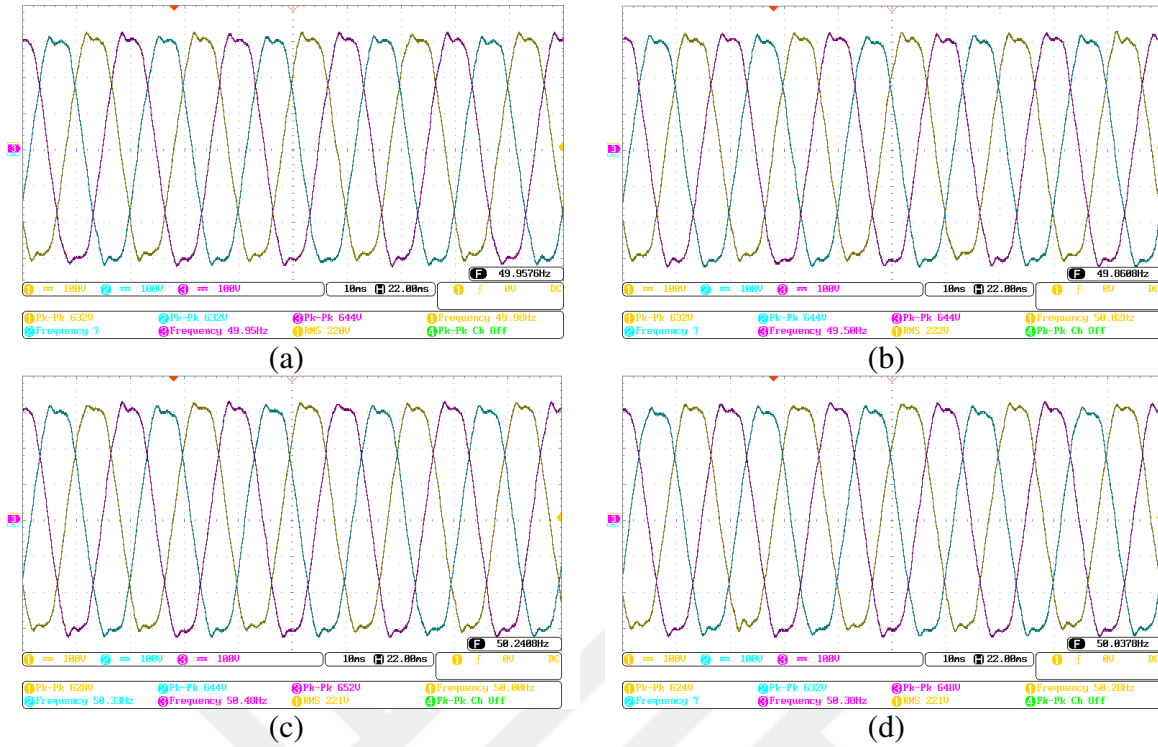
Resim 6.17. PR kontrollü KFYD uygulaması $K_p=1$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.18’de K_p değeri 1,1 için farklı K_i değerlerinde ölçülen RST çıkış gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 644 V, 660 V ve 664 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 644 V, 652 V ve 664 V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 656 V, 652 V ve 668 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 640 V, 648 V ve 656 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 1,1 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Ölçülen dalga şekillerinin tepe noktaları K_p ’nin 0,75 0,8 ve 0,9 olarak alındığı dalga şekillerine göre sinüsoidal gerilime daha da yakınlaşmaktadır. Fakat K_p ’nin 1 olarak alındığı durumda ölçülen dalga şekillerinin sinüsoidal gerilime benzerliği daha fazladır. Bu durum gerilimin THB_v değerinin düzelmesine katkı sağladığı Çizelge 6.6’da elde edilen gerilim THB_v değerlerinden de görülmektedir.



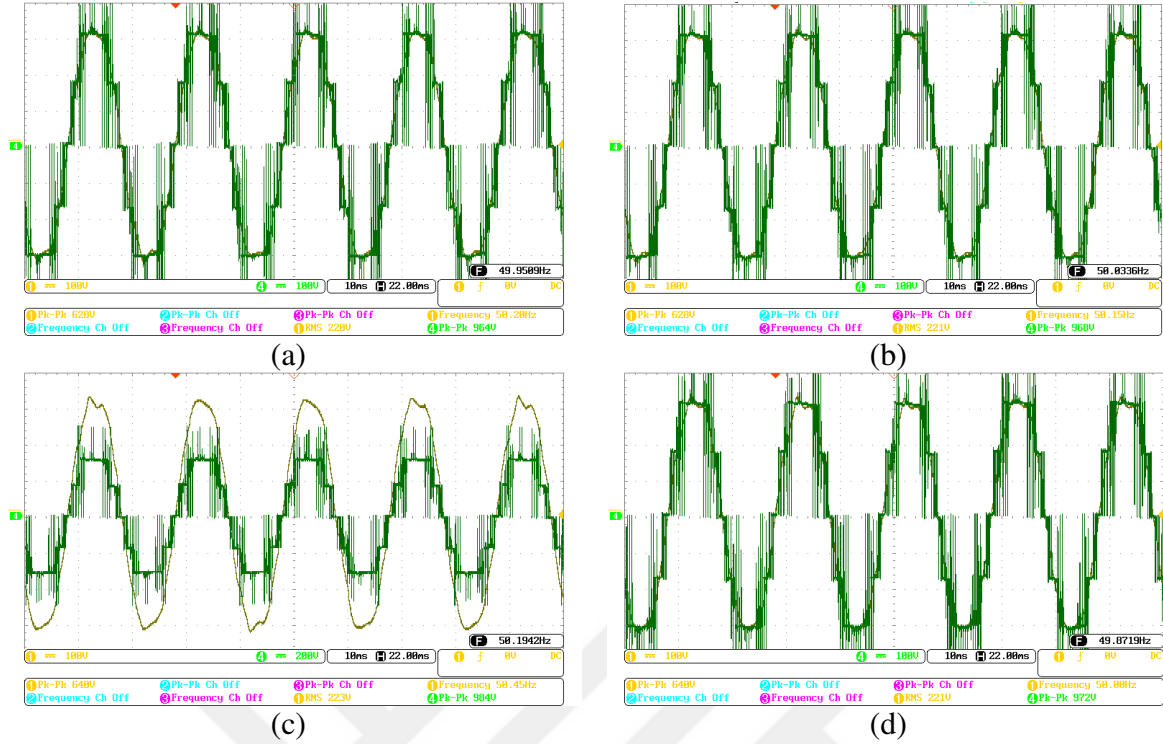
Resim 6.18. PR kontrollü KFYD uygulaması $K_p=1,1$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.19’da K_p değeri 1,2 için farklı K_i değerlerinde ölçülen RST çıkış gerilimleri görülmektedir. $K_i=0,0001$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 632 V, 632 V ve 644 V, $K_i=0,01$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 632 V, 644 V ve 644 V, $K_i=1$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 628 V, 644 V ve 652 V, $K_i=10$ değeri için RST faz gerilimlerinin V_{p-p} değerleri; 624 V, 632 V ve 648 V olarak ölçülmüştür. RST faz gerilimleri dalga şekilleri incelendiğinde K_p değeri 1,2 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Ölçülen dalga şekillerinin tepe noktaları incelendiğinde K_p ’nin 1 ve 1,1 olarak alındığı durumda ölçülen dalga şekillerine göre sinüsoidal gerilime benzerliği kötüdür. Bu durum gerilimin THB_v değerinin düzelmesine katkı sağladığı Çizelge 6.6’da elde edilen gerilim THB_v değerlerinden de görülmektedir.



Resim 6.19. PR kontrollü KFYD uygulaması $K_p=1,2$ değerinde farklı K_i değerleri için RST faz gerilimleri (Sarı-R, Mavi-T, Pembe-S) a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.20'de K_p değeri 0,75 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 0,75 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 0,75 için eviricinin seviyelerinin tam oluşmadığı 7 seviye yerine 5 seviye elde edilebildiği görülmüştür. Girişte uygulanan V_1 ve V_2 gerilimlerini çıkışa aktarırken 7 seviyeli bir evirici için elde edilmesi gereken V_1 , V_2 ve V_1+V_2 gerilimlerinden sadece V_1 ve V_2 gerilimlerinin çıkışa aktarıldığı, V_1+V_2 geriliminin ise çıkışa aktarılmamasından kaynaklanmaktadır. Bu durumun sebebi uygulana K_p değeri için modülasyon indeks değerinin düşük olması neticesinde V_1+V_2 geriliminin çıkışta elde edilmesini sağlayacak anahtarlama işaretlerinin elde edilmemesinden kaynaklanmaktadır. Resim 6.20(c)'de ölçülen dalga şeklinin tam olarak görülmesini sağlamak amacıyla, osiloskobun Volt/div kademesi artırılmasından dolayı çıkış dalga şekli daha küçük olarak alınmıştır. Çizelge 6.6'da verilen giriş DA gerilimlerine göre, K_p değeri 0,75 için seviyelerin tam oluşamaması nedeniyle, çıkışta 220 V_{RMS} değerini elde etmek için uygulanan DA geriliminin daha yüksek olması gerekmektedir.

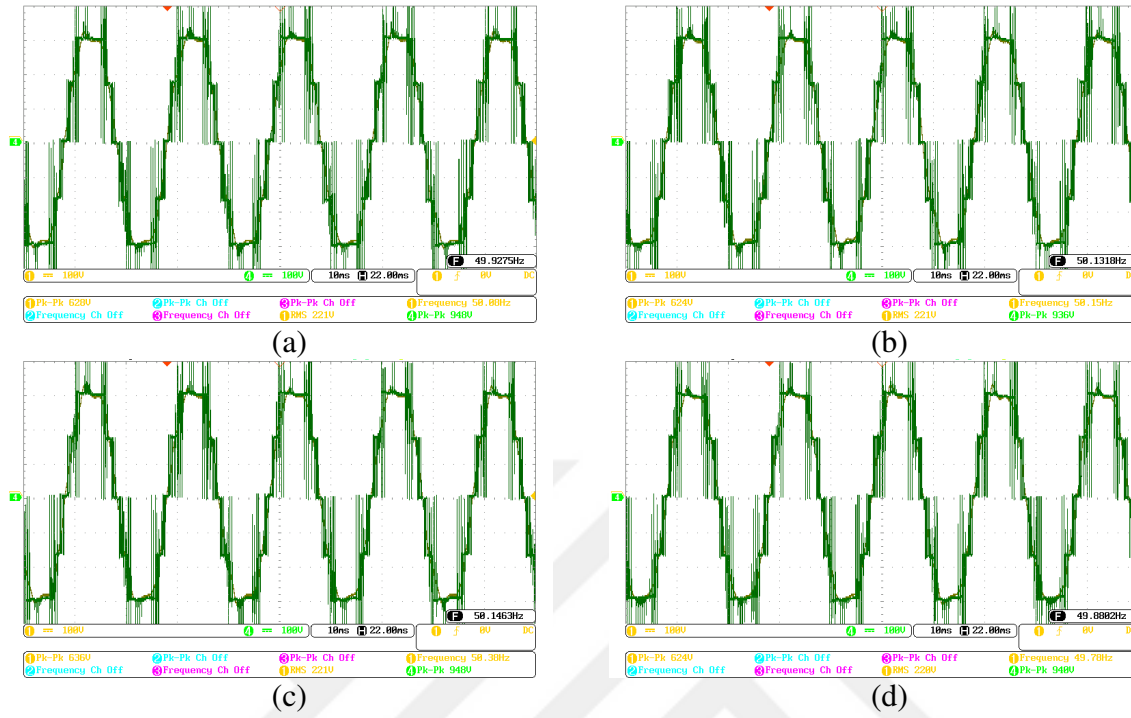


Resim 6.20. PR kontrollü KFVD uygulaması $K_p=0,75$ değerinde farklı K_i değerleri için R fazı fitesiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

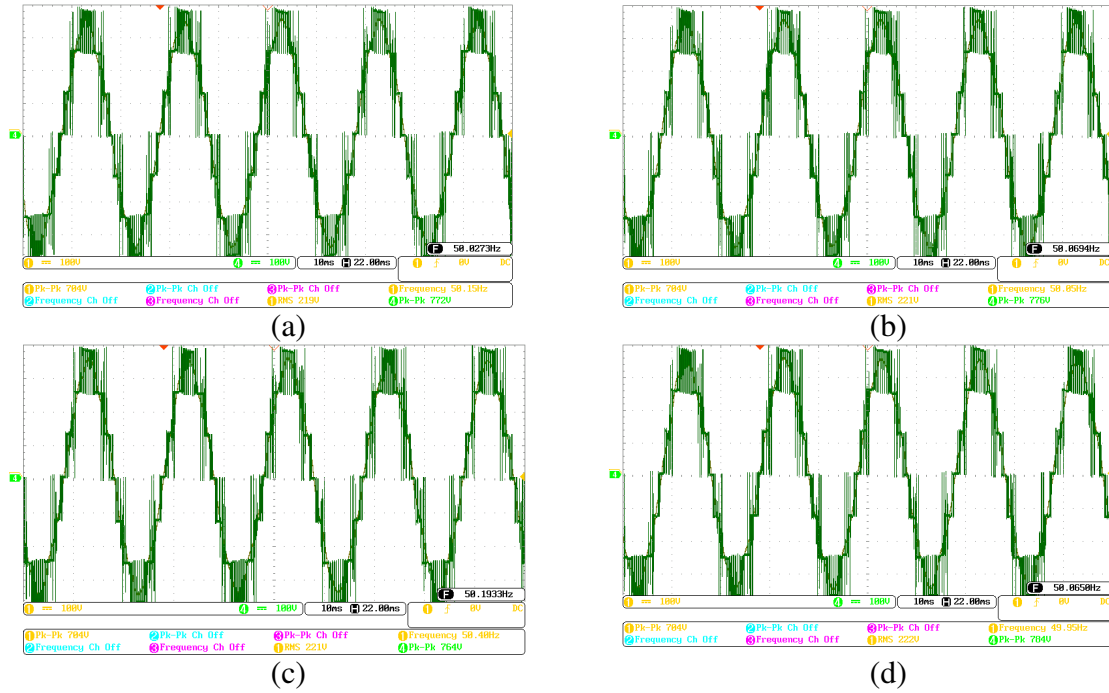
Resim 6.21’de K_p değeri 0,8 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 0,8 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 0,8 için eviricinin seviyelerinin, K_p değeri 0,75’de olduğu gibi tam oluşmadığı, 7 seviye yerine 5 seviye elde edilebildiği görülmüştür. Bu durumun sebebi uygulana K_p değeri için modülasyon indeks değerinin düşük olması neticesinde seviyelerin birinin geriliminin çıkışta oluşmasını sağlayacak anahtarlama işaretlerinin oluşmamasından kaynaklanmaktadır.

Resim 6.22’de K_p değeri 0,9 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 0,9 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 0,75 ve 0,8’de oluşmayan evirici seviyelerinin, K_p değeri 0,9 için elde edilebildiği görülmüştür. Daha önceki bölümlerde bahsedildiği gibi K_p değerindeki artış modülasyon indeks değerini belirlediğinden, artan K_p değeri ile birlikte evirici anahtarlamasında gerekli olan

anahtarlama işaretlerini üretecek seviyede bir modülasyon indeks değerine ulaşılmıştır.



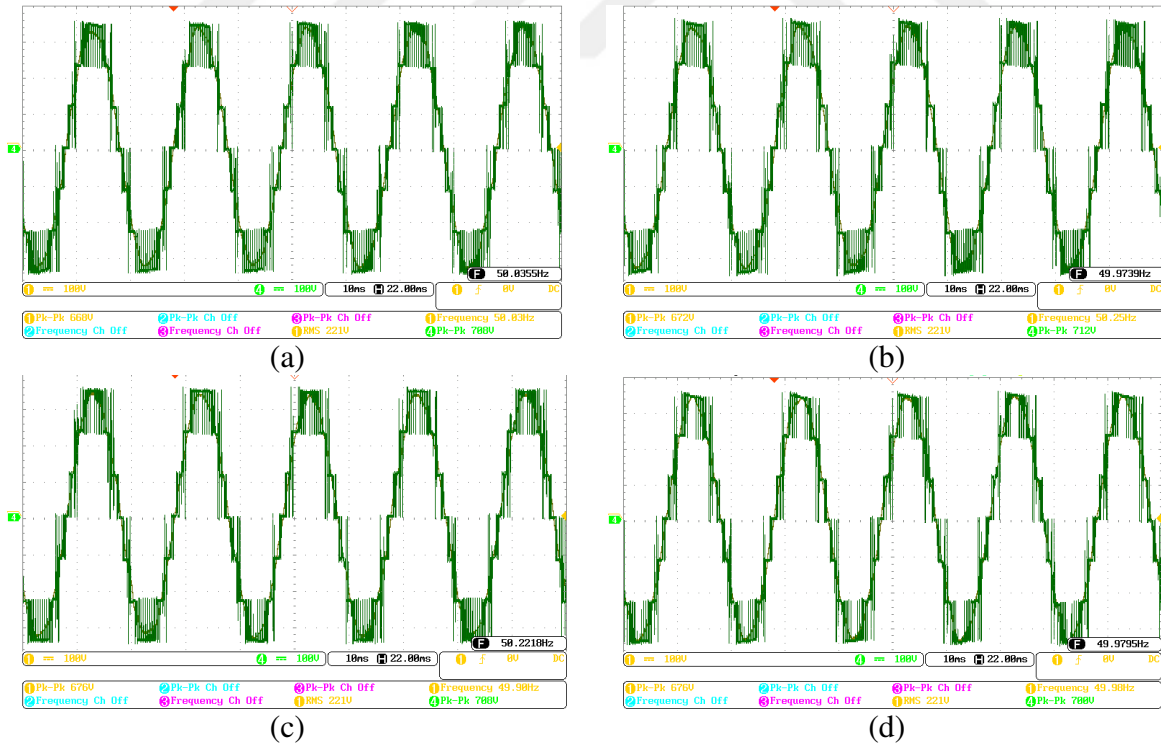
Resim 6.21. PR kontrollü KFVD uygulaması $K_p=0.8$ değerinde farklı K_i değerleri için R fazı fitesiz çıkış gerilimi a) $K_i=0.0001$ b) $K_i=0.01$ c) $K_i=1$ d) $K_i=10$



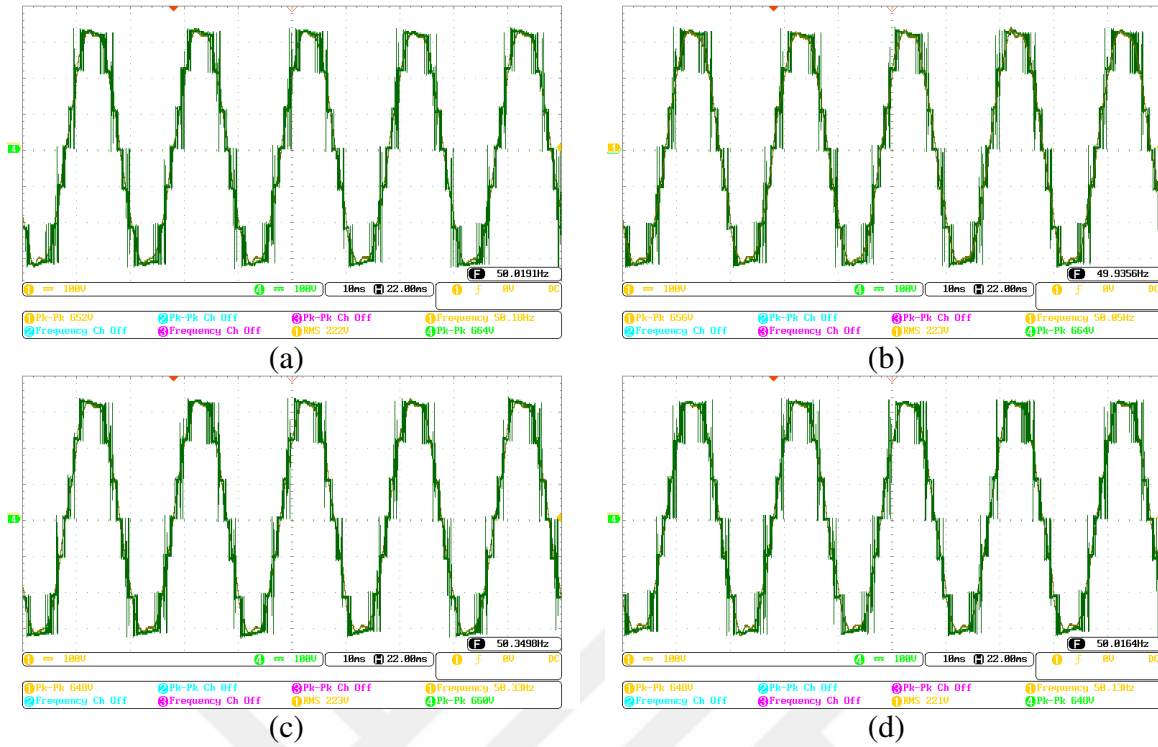
Resim 6.22. PR kontrollü KFVD uygulaması $K_p=0.9$ değerinde farklı K_i değerleri için R fazı fitesiz çıkış gerilimi a) $K_i=0.0001$ b) $K_i=0.01$ c) $K_i=1$ d) $K_i=10$

Resim 6.23’de K_p değeri 1 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 1 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 1 7-seviyeli eviricinin tüm seviyelerinin, K_p değeri 0,9’da olduğu gibi elde edilebildiği görülmüştür. K_p değeri 1 seçildiğinde seviyelerde oluşan gerilim dalgalanmalarının K_p değeri 0,9’a göre azaldığı görülmektedir.

Resim 6.24’de K_p değeri 1,1 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 1,1 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 1,1 alındığında 7-seviyeli eviricinin tüm seviyelerinin, K_p değeri 0,9 ve 1’de olduğu gibi elde edilebildiği görülmüştür. K_p değeri 1,1 seçildiğinde seviyelerde oluşan gerilim dalgalanmalarının K_p değeri 0,9 ve 1’e göre önemli ölçüde azaldığı görülmektedir.



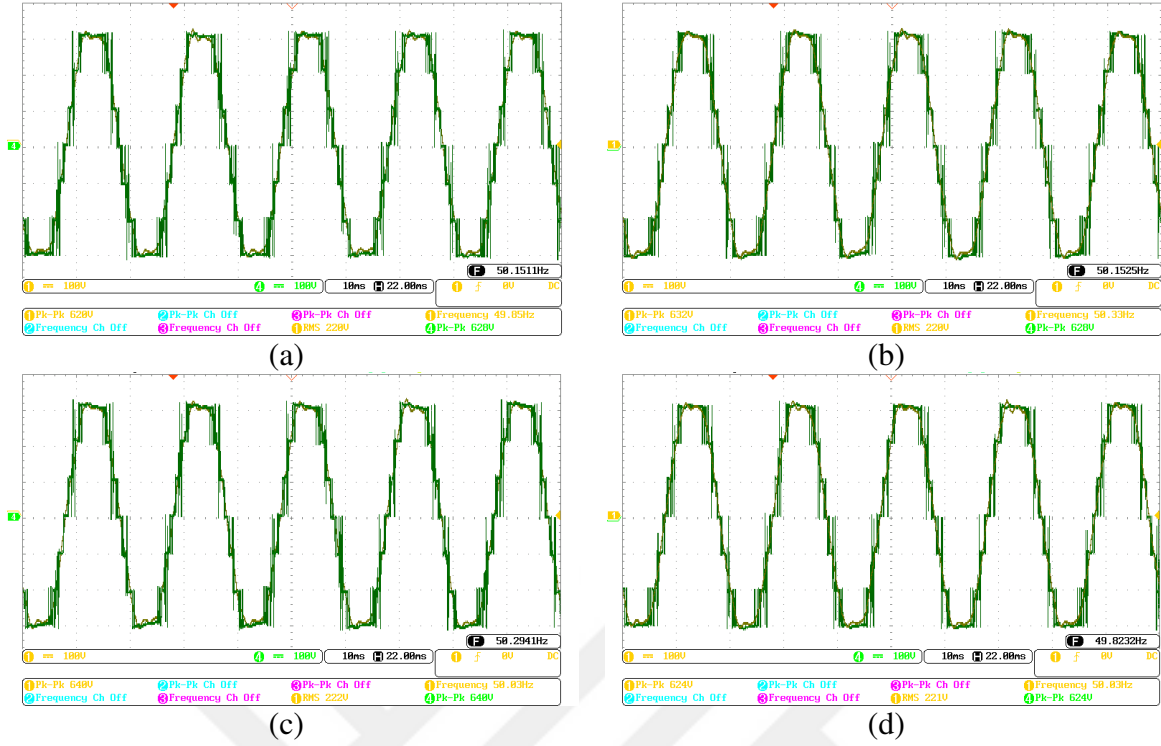
Resim 6.23. PR kontrollü KFYD uygulaması $K_p=1$ değerinde farklı K_i değerleri için R fazı filtersiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$



Resim 6.24. PR kontrollü KFVD uygulaması $K_p=1,1$ değerinde farklı K_i değerleri için R fazı fitesiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Resim 6.25’de K_p değeri 1,2 için farklı K_i değerlerinde ölçülen R fazı çıkış geriliminin filtre edilmeden öncesinde alınan osiloskop dalga şekilleri görülmektedir. Dalga şekilleri incelendiğinde K_p değeri 1,2 için K_i değerinin değişimi çıkış gerilimlerinin değerini ve dalga şekillerini çok fazla değiştirmemektedir. Elde edilen ölçümlerde K_p değeri 1,2 alındığında 7-seviyeli eviricinin tüm seviyelerinin elde edilebildiği görülmüştür. K_p değeri 1,2 seçildiğinde seviyelerde oluşan gerilim dalgalanmalarının K_p değeri 0,9 ve 1’e göre önemli ölçüde azaldığı görülmektedir. Fakat K_p değeri 1,2 için K_p değeri 1,1’de olduğu gibi hem V_1+V_2 seviyesinde oluşması gereken anahtarlama işaretlerinin oluşmadığı ve sabit bir gerilim seviyesi çıkışı elde edildiği hem de diğer seviyelerdeki anahtarlama işaretlerinin azaldığı, görülmektedir.

Ölçülen fitesiz çıkış gerilimleri neticesinde 0,7 ve 0,8 K_p değerlerinin seviyeleri oluşturamadığı, ayrıca K_p değerlerinin 1,1 ve 1,2 olarak kullanılması durumunda da seviyelerde gerçekleşen anahtarlamların azaldığı görülmektedir.

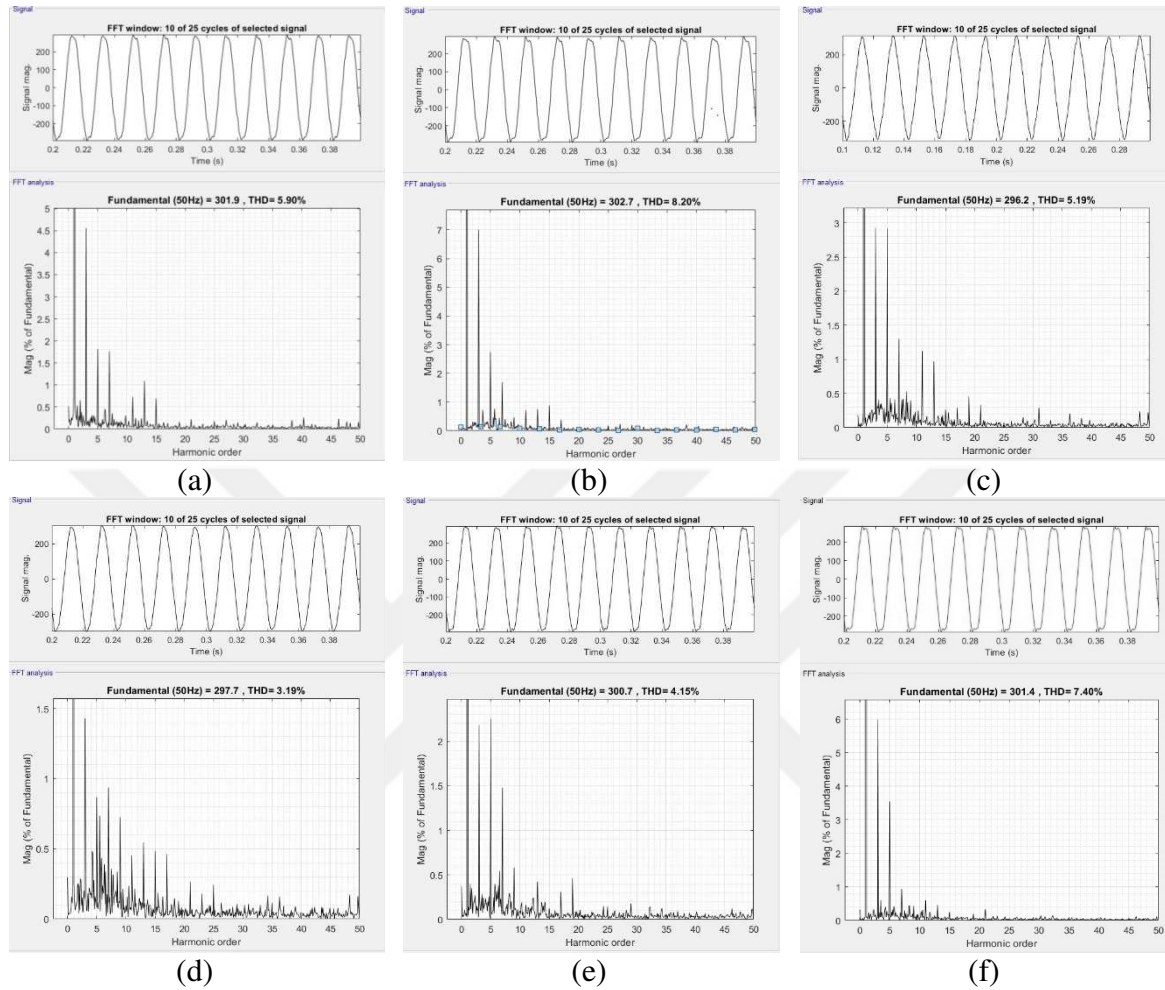


Resim 6.25. PR kontrollü KFVD uygulaması $K_p=1.2$ değerinde farklı K_i değerleri için R fazı fitesiz çıkış gerilimi a) $K_i=0,0001$ b) $K_i=0,01$ c) $K_i=1$ d) $K_i=10$

Gerçekleştirilen uygulamada hedeflenen THB değerine ulaşıp ulaşılmadığının incelenmesi için daha önceki bölümlerde anlatıldığı şekilde osiloskoptan alınan veriler bilgisayar ortamına aktarılarak Matlab/Simulink programı vasıtasıyla FFT analizi gerçekleştirilmiştir. Gerçekleştirilen analizlerde sabit K_i değeri için farklı K_p değerlerinin THB üzerine olan etkisi incelenmiştir.

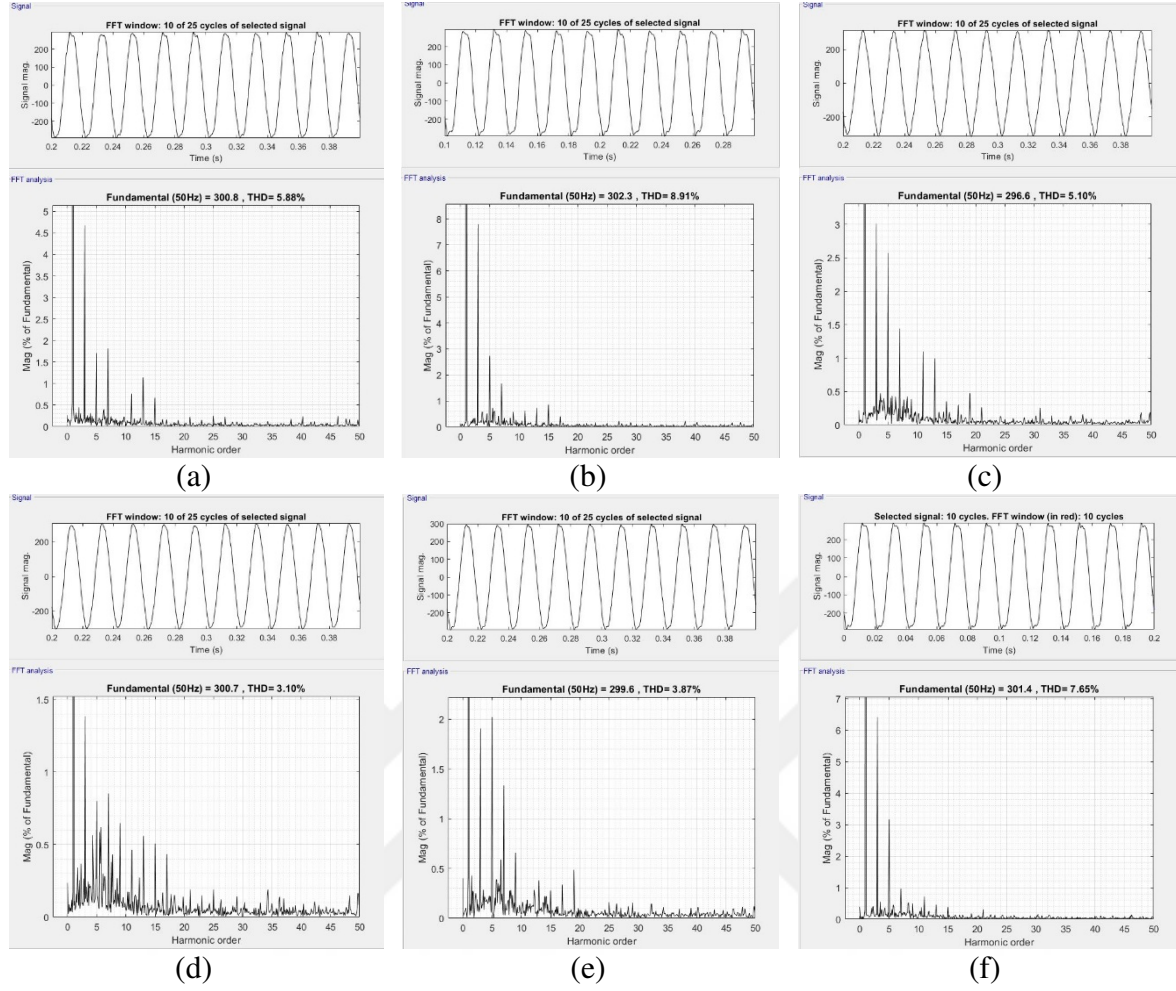
Resim 6.26'da $K_i=0,0001$ değerinde farklı K_p değerleri için alınan THB_v değerleri görülmektedir. $K_p=0,75$ değeri için THB_v değeri %5,90 olarak ölçülmüştür. Fakat bu K_p değerinde seviyelerin tamamı oluşmadığından bu değer AKÇSE için kullanıma uygun değildir. $K_p=0,8$ değeri için THB_v değeri %8,20 olarak ölçülmüştür. IEEE 519-2014 standardına göre gerilim THB değeri en fazla %8 olması gerektiğinden, ayrıca seviyelerin tamamı oluşmadığından bu değer AKÇSE için kullanıma uygun değildir. K_p değerinin 0,9 seçilmesi durumunda THB_v değeri %5,19 olarak ölçülmüştür. $K_i=0,0001$ değerinde ölçülen en düşük THB_v değeri $K_p=1$ olduğunda %3,19 olarak ölçülmüştür. $K_p=1,1$ değeri için THB_v değeri %4,15 olarak ölçülmüştür ve bu değer IEEE 519-2014 standardı açısından uygundur. K_p değerinin 1,2 seçilmesi durumunda THB_v değeri %7,40 olarak ölçülmüş ve bu değer %8 THB değerine çok yakın olmasından dolayı sistemin çalışmasında

kullanılabilecek bir değer olarak görülmemektedir.



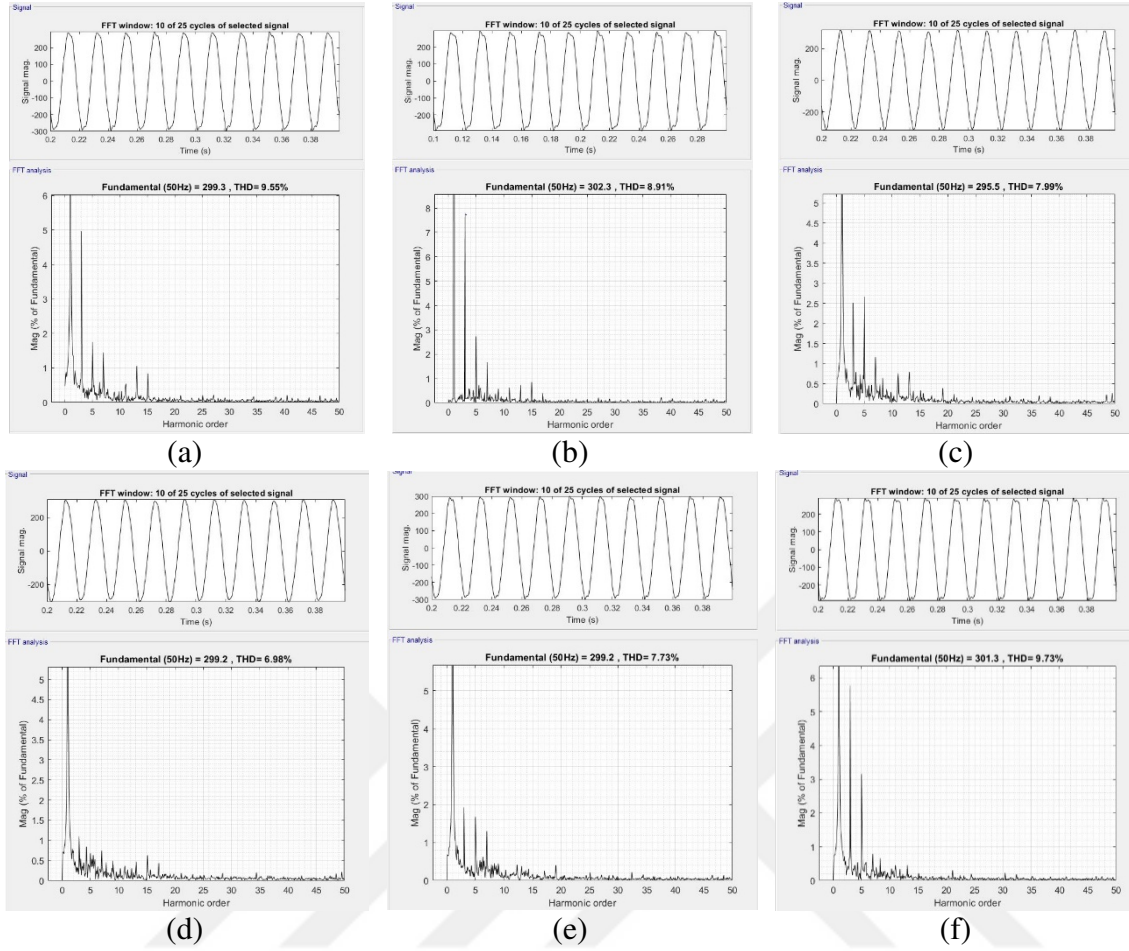
Resim 6.26. PR kontrollü KFYD uygulaması $K_i=0,0001$ değerinde farklı K_p değerleri için R fazı THB_v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.27’de $K_i=0,01$ değerinde farklı K_p değerleri için alınan THB_v değerleri görülmektedir. $K_p=0,75$ için %5,88; $K_p=0,8$ için %8,91; $K_p=0,9$ için %5,10; $K_p=1$ için %3,10; $K_p=1,1$ için %3,87 ve $K_p=1,2$ için %7,65 olarak ölçülmüştür. Ölçüm sonuçlarındanda görüleceği gibi yüksek dereceli harmonikler bastırılmış, düşük dereceli harmonik değerleri de önemli ölçüde azaltılmıştır. Özellikle $K_p=1$ için 3. Harmonik değeri 1,5 seviyesinin altına düşürülmüştür. Ölçülen bu değerler $K_i=0,0001$ değeri ile karşılaştırıldığında en düşük THB_v değerinin K_i değerinin 0,01 olması durumunda ve $K_p=1$ değerinde olduğu görülmektedir.



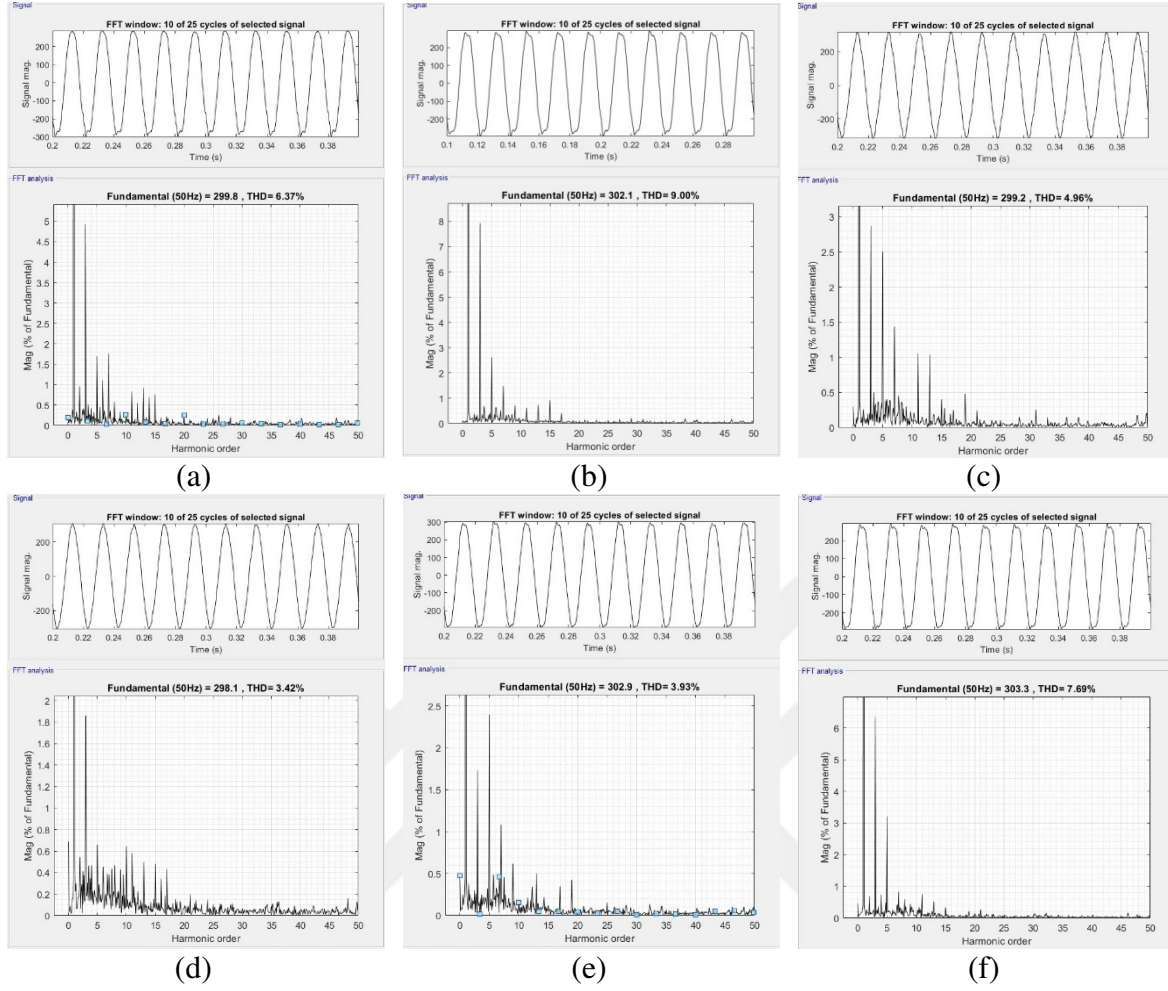
Resim 6.27. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı THB_v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.28’de $K_i=1$ değerinde farklı K_p değerleri için alınan THB_v değerleri görülmektedir. $K_p=0,75$ için %9,55; $K_p=0,8$ için %8,91; $K_p=0,9$ için %7,99; $K_p=1$ için %6,98; $K_p=1,1$ için %7,73 ve $K_p=1,2$ için %9,73 olarak ölçülmüştür. K_i değerinin artışı ile birlikte $K_p=0,8$ hariç tüm farklı K_p değerlerinde THB_v değerinin arttığı görülmektedir. K_p değeri harmonik kazancı ayarlayan kısım olarak modülasyon üzerinde daha çok etkili olmakla birlikte, K_i değeri harmoniklerin azaltılması için rezonans değerini belirlemektedir.



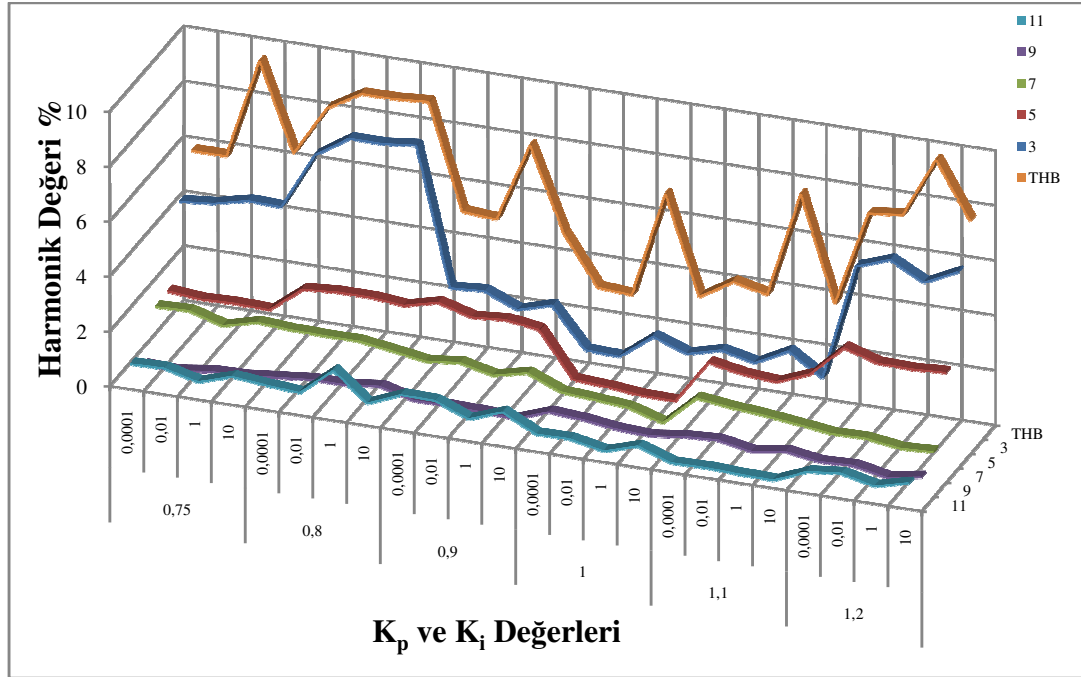
Resim 6.28. PR kontrollü KFVD uygulaması $K_i=1$ değerinde farklı K_p değerleri için R fazı THB_v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.29'da $K_i=10$ değerinde farklı K_p değerleri için alınan THB_v değerleri görülmektedir. $K_p=0,75$ için %6,37; $K_p=0,8$ için %9; $K_p=0,9$ için %4,96; $K_p=1$ için %3,42; $K_p=1,1$ için %3,93 ve $K_p=1,2$ için %7,69 olarak ölçülmüştür. K_i değerinin 10 olarak alınması durumunda, $K_i=1$ değerine göre THB_v değerlerinde azalma olduğu görülmektedir. Bu durum K_i değeri artırıldığında harmonik bastırma etkisinin de artmasından kaynaklanmaktadır.



Resim 6.29. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı THB_v değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

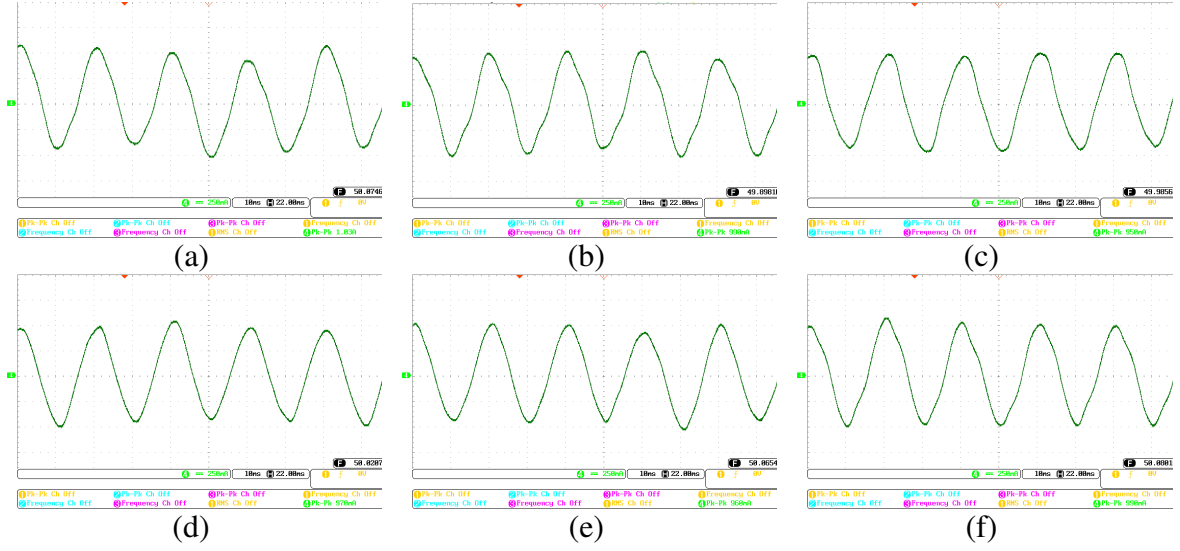
Şekil 6.24’de Deney-1 için alınan R fazı gerilimine ait THB_v değerleri ve düşük dereceli harmoniklerin analiz değerleri görülmektedir. En düşük THB değerinin K_p nin 1 olması durumunda, en yüksek THB değerinin ise 0,8 olması durumunda olduğu görülmektedir. THB değerini artıran düşük değerli harmonikler incelendiğinde 3. Harmonik değerinin en düşük K_p değerinin 1 olduğu durumda gerçekleşmiştir. K_p değerinin 0,75 ve 0,8 değerleri için evircide seviyelerin tam oluşmamasından dolayı THB değerleri yüksek çıkmaktadır. K_p değerinin 1,2 gibi yüksek bir değer seçilmesi durumunda ise özellikle 3. Ve 5. harmonik değerlerinde önemli bir artış gözlemlenmiştir. K_i değerinin değişimi ile THB değerleri ve harmonik derecelerindeki artış analiz edildiğinde ise, farklı K_p değerleri için K_i değerinin 1 seçilmesi durumunda THB değeri, 3. Harmonikteki artış nedeniyle artmaktadır. Elde edilen sonuçlara göre gerilim için kullanılabilecek en iyi K_p değeri 1 ve 1,1 değerleri, en uygun K_i değeri ise 0,0001 ve 0,01 değerleri olduğu görülmektedir.



Şekil 6.24. Deney-1 için alınan THB_v değeri ve 3, 5, 7, 9 ve 11. harmonik değerlerinin farklı K_p ve K_i değerlerine göre karşılaştırılması

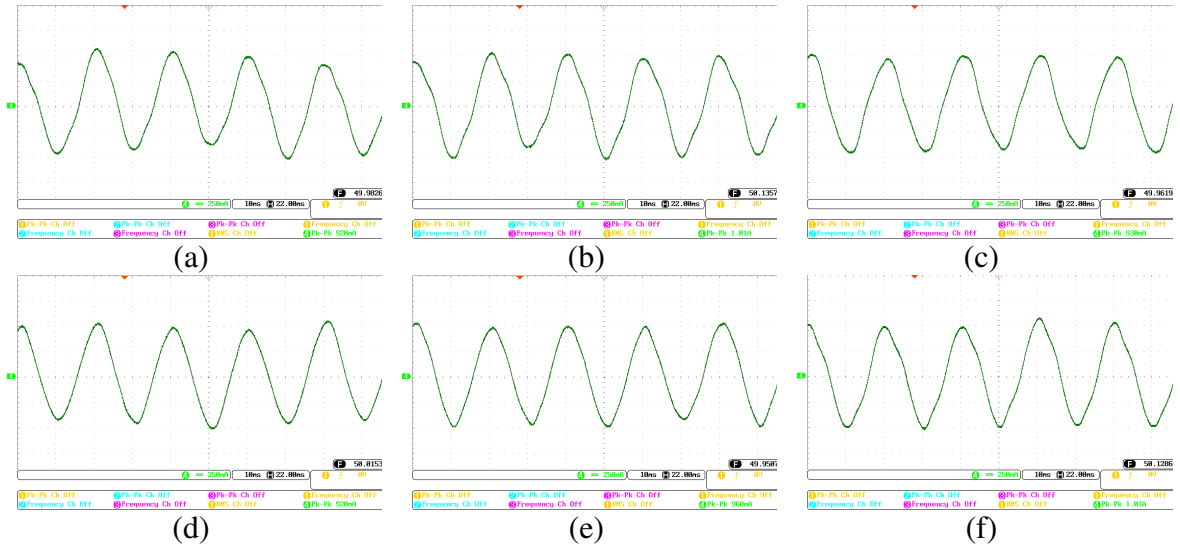
7-seviyeli AKÇSE yapısının PR kontrol ile gerçekleştirilen Deney-1 aşamasında gerilimin analizlerinden sonra akıma ait analizler gerçekleştirilmiştir. R fazına ait alınan ekran osiloskop ölçümleri ve bu ölçümler üzerinden bilgisayarda gerçekleştirilen THB analizleri incelenmiştir. R fazının akım değerleri ayrıca bir ampermetre ile ölçülmüştür.

Resim 6.30'da K_i=0,0001 değerinde alındığında farklı K_p değerleri için R fazı akımları osiloskop ölçümleri görülmektedir. Resimlerde görüleceği gibi dalga şekillerinde harmoniklerin etkisi ile sinüsodal dalga şeklinden uzaklaşıldığı görülmektedir. K_p'nin değerleri için ampermetreden ölçülen çıkış akım değerleri Çizelge 6.6'da görüleceği gibi, 0,75 için 1,15 A, 0,8 için 1,14 A, 0,9 için 1,27 A, 1 için 1,23 A, 1,1 için 1,22 A ve 1,2 için 1,14 A olmaktadır. Gerilime ait analizde K_p'nin 0,75 ve 0,8 değeri için seviyelerin tamamı elde edilemediğinden ve 1,2 değeri için de aşırı modülasyon seviyesinde olduğundan dolayı, çıkış akım değerleri daha düşük ölçülmüştür. Çizelge 6.6'dan görüleceği gibi gerilimin V_{p-p} değerindeki artış ile birlikte akım değerleri artmıştır. Dalga şekilleri incelendiğinde sinüsoidal dalga şekline en yakın K_p'nin 1 ve 1,1 olduğu durumlardadır. K_p değerinin 0,75 ve 0,8 değerleri için akım dalga şekillerindeki bozulma çok fazladır.



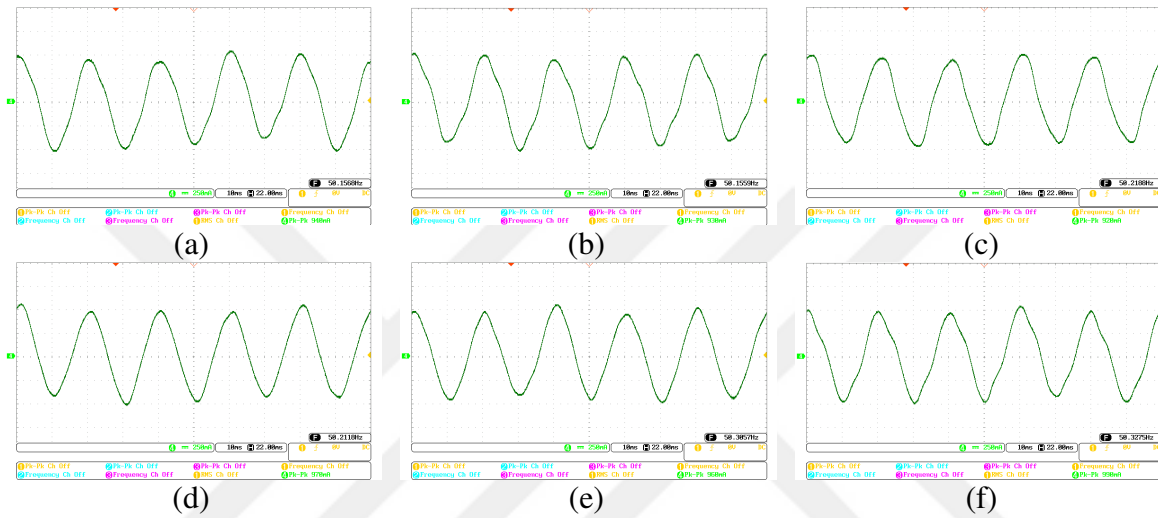
Resim 6.30. PR kontrollü KFYD uygulaması $K_i=0,0001$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.31’de $K_i=0,01$ değerinde alındığında farklı K_p değerleri için R fazı akımları osiloskop ölçümleri görülmektedir. K_p ’nin farklı değerlerinde çıkış akımları Çizelge 6.6’da görüleceği gibi; 0,75 için 1,15 A, 0,8 için 1,15 A, 0,9 için 1,28 A, 1 için 1,22 A, 1,1 için 1,19 A ve 1,2 için 1,14 A olmaktadır. K_p değerinin 1 ve 1,1 olduğu durum dışındaki tüm değerlerde dalga şeklinin sinüoidal dalga şeklinden uzaklaştığı görülmektedir.



Resim 6.31. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

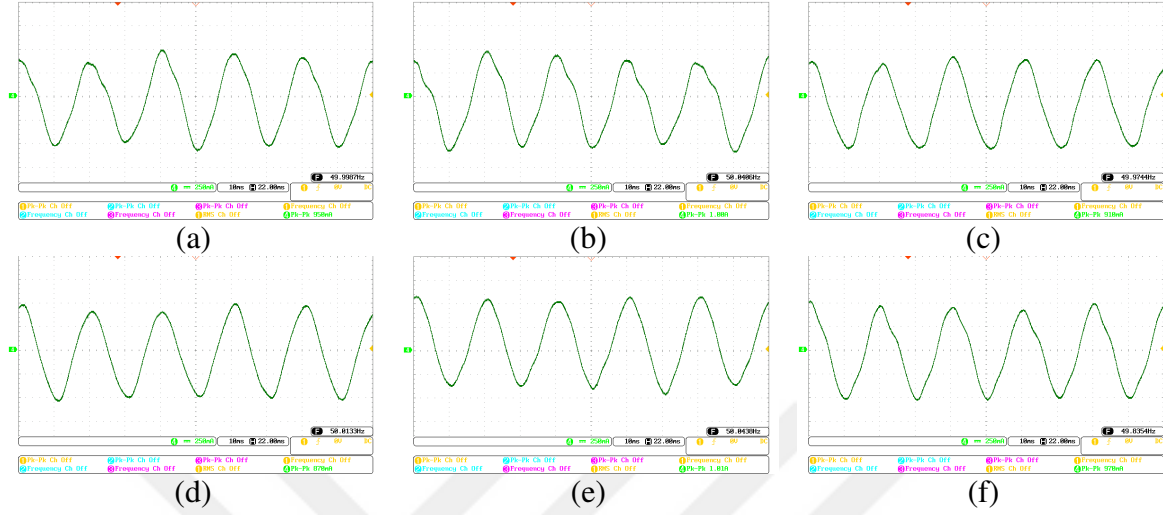
Resim 6.32’de $K_i=1$ değeri alınırken farklı K_p değerleri için R fazı akımları osiloskop ölçümleri görülmektedir. K_p ’nin farklı değerlerinde çıkış akımları Çizelge 6.6’da görüleceği gibi; 0,75 için 1,15 A, 0,8 için 1,14 A, 0,9 için 1,24 A, 1 için 1,22 A, 1,1 için 1,18 A ve 1,2 için 1,16 A olmaktadır. K_p değerinin 1 olduğu durum dışındaki tüm değerlerde dalga şeklinin sinüoidal dalga şeklinden uzaklaştığı ve bu sebeple de THB_i değerinin yüksek olduğu görülmektedir.



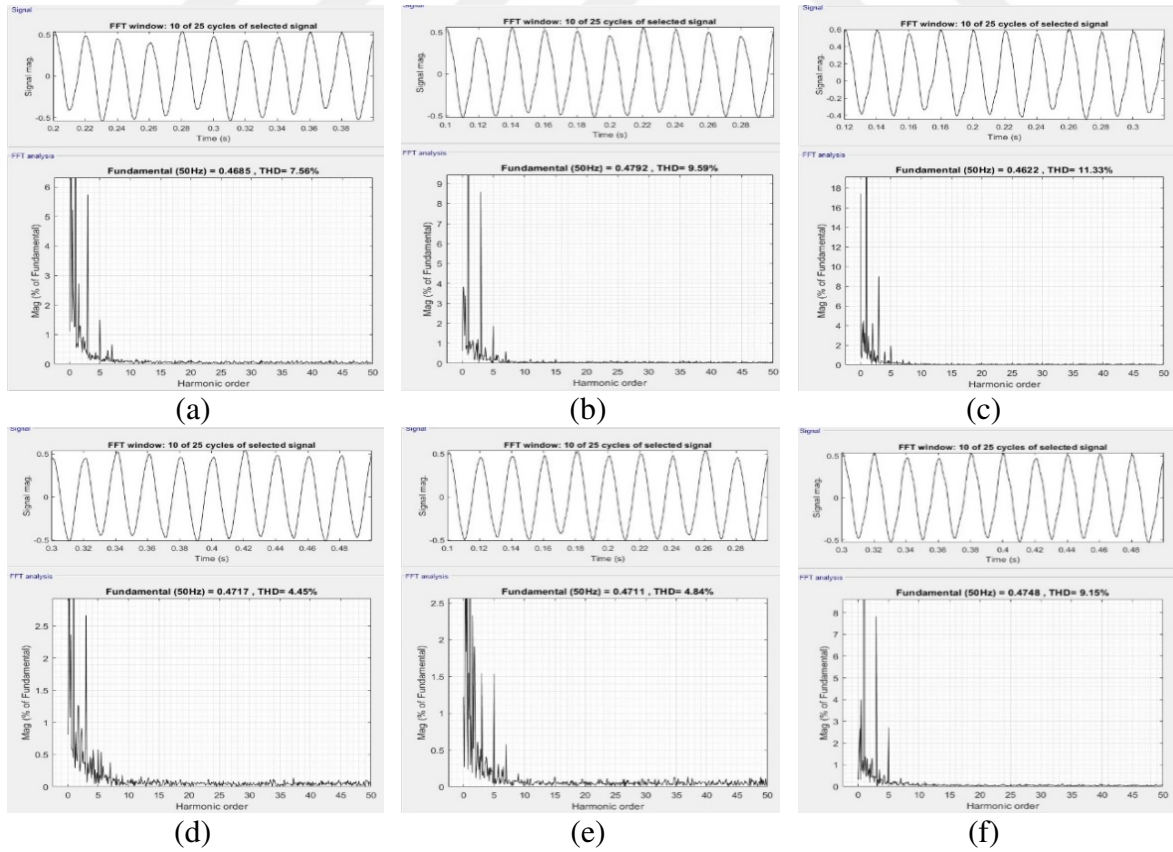
Resim 6.32. PR kontrollü KFYD uygulaması $K_i=1$ değeri için farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.33’de $K_i=10$ değeri alınırken farklı K_p değerleri için R fazı akımları osiloskop ölçümleri görülmektedir. K_p ’nin farklı değerlerinde çıkış akımları Çizelge 6.6’da görüleceği gibi; 0,75 için 1,14 A, 0,8 için 1,13 A, 0,9 için 1,27 A, 1 için 1,24 A, 1,1 için 1,19 A ve 1,2 için 1,15 A olmaktadır. K_i değeri 10 olarak alınırken tüm dalga şekilleri sinüoidal dalga şeklinden uzaklaştığı görülmektedir. Osiloskoptan alınan akıma ait dalga şekilleri verisi bilgisayar aktarıldıktan sonra daha önce anlatılan yöntemle Matlab/Simulink programı kullanılarak akıma ait FFT analizi gerçekleştirilmiştir. Resim 6.34’de $K_i=0,0001$ değeri için farklı K_p değerleri için R fazı THB_i değerleri görülmektedir. $K_p=0,75$ için %7,56; $K_p=0,8$ için %9,59; $K_p=0,9$ için %11,33; $K_p=1$ için %4,45; $K_p=1,1$ için %4,84 ve $K_p=1,2$ için %9,15 olarak ölçülmüştür. K_i değeri 0,0001 olarak alınırken K_p ’nin 1 ve 1,1 alındığı durum dışında tüm değerlerinde, IEEE 519-2014 standardına göre, özellikle düşük derecelerdeki harmoniklerin yüksek olması nedeniyle THB_i değerinin yüksek olduğu görülmektedir. K_p ’nin 1 değeri için elde edilen THB_i değerini de bu sınıra çok yakın

olması sebebiyle 0,0001 değerinin gerçekleştirilen sistem için uygun olmadığı anlaşılmaktadır.

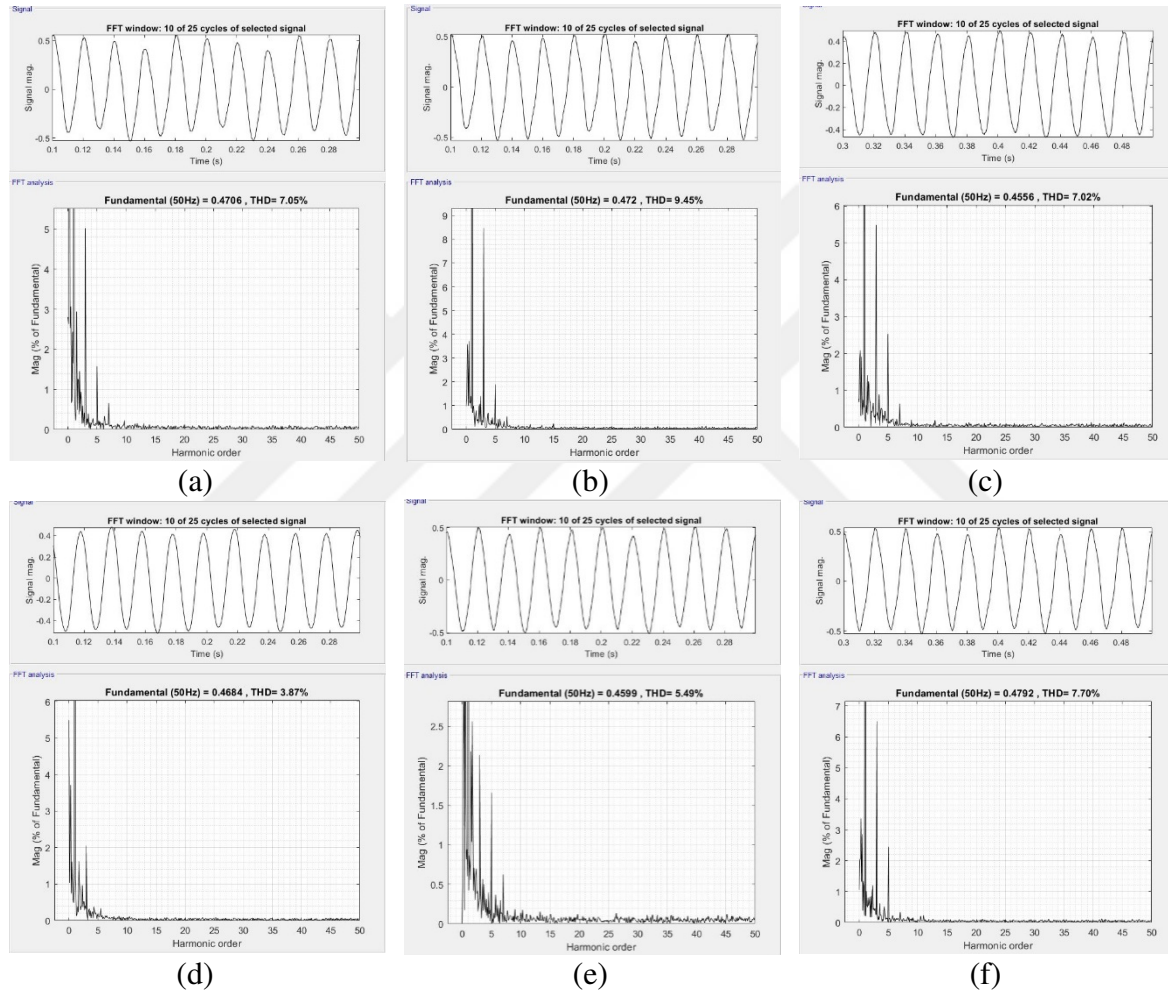


Resim 6.33. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı akımları osiloskop ölçümleri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$



Resim 6.34. PR kontrollü KFYD uygulaması $K_i=0,0001$ için farklı K_p değerlerinde R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

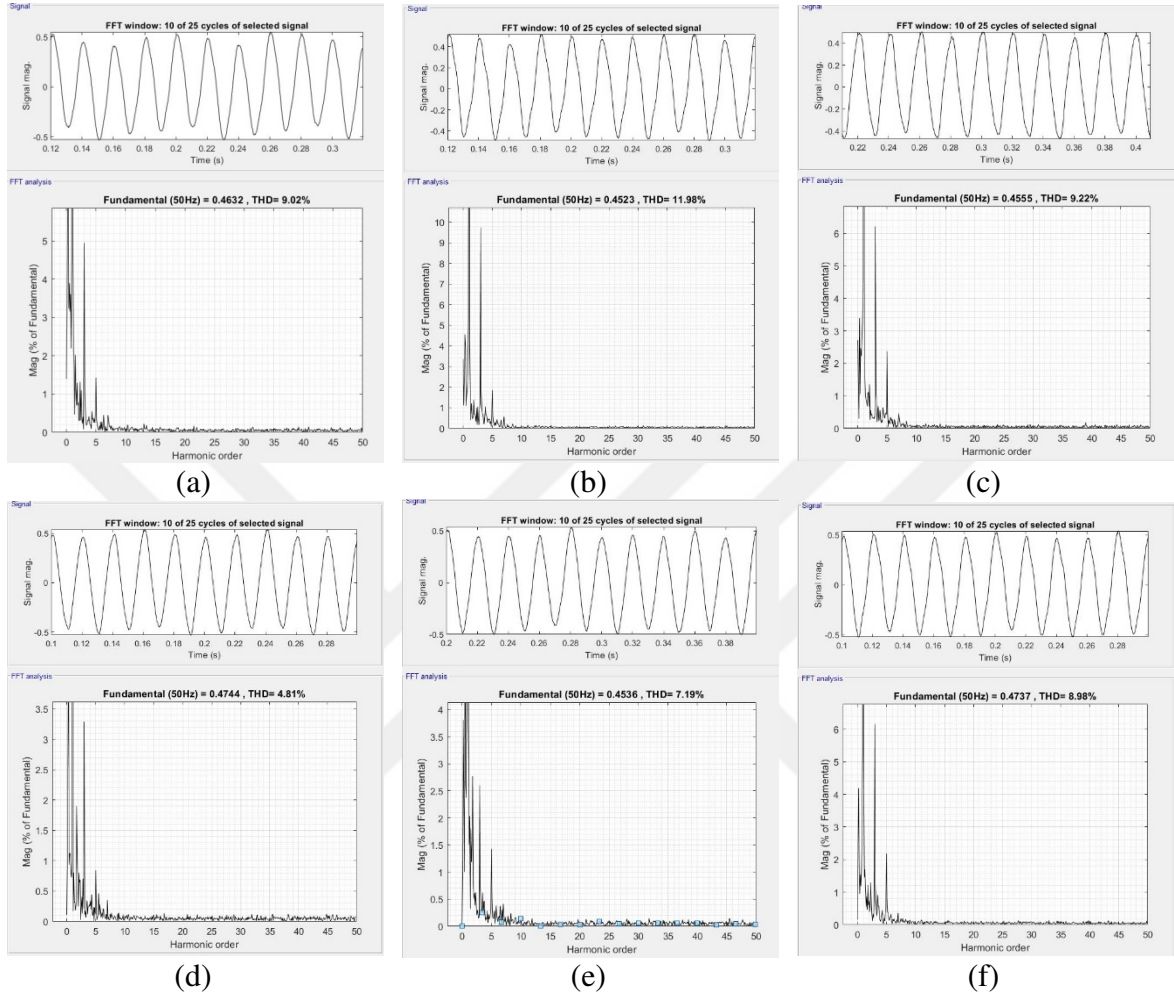
Resim 6.35’de $K_i=0,01$ değerinde farklı K_p değerleri için R fazı THB_i değerleri görülmektedir. $K_p=0,75$ için %7,05; $K_p=0,8$ için %9,45; $K_p=0,9$ için %7,02; $K_p=1$ için %3,87; $K_p=1,1$ için %5,49 ve $K_p=1,2$ için %7,70 olarak ölçülmüştür. K_i değeri 0,01 olduğu durumda, K_p ’nin 1 değeri dışındaki tüm değerlerinde THB_i yüksek olmakla beraber K_i ’nin 0,0001 değerine göre harmoniklerde ve özellikle 3. Harmonik değerlerinin azalması sebebiyle THB_i değerleri azalmıştır.



Resim 6.35. PR kontrollü KFYD uygulaması $K_i=0,01$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.36’de $K_i=1$ değerinde farklı K_p değerleri için R fazı THB_i değerleri görülmektedir. $K_p=0,75$ için %9,02; $K_p=0,8$ için %11,98; $K_p=0,9$ için %9,22; $K_p=1$ için %4,81; $K_p=1,1$ için %7,19 ve $K_p=1,2$ için %8,98 olarak ölçülmüştür. K_i değerinin 1 olarak alınması durumu aynı gerilimde olduğu gibi THB değerlerinin tamamının artmasına sebep olmaktadır. Gerçekleştirilen çalışmada tasarlanan devrenin K_i değerinin 1 olması durumu

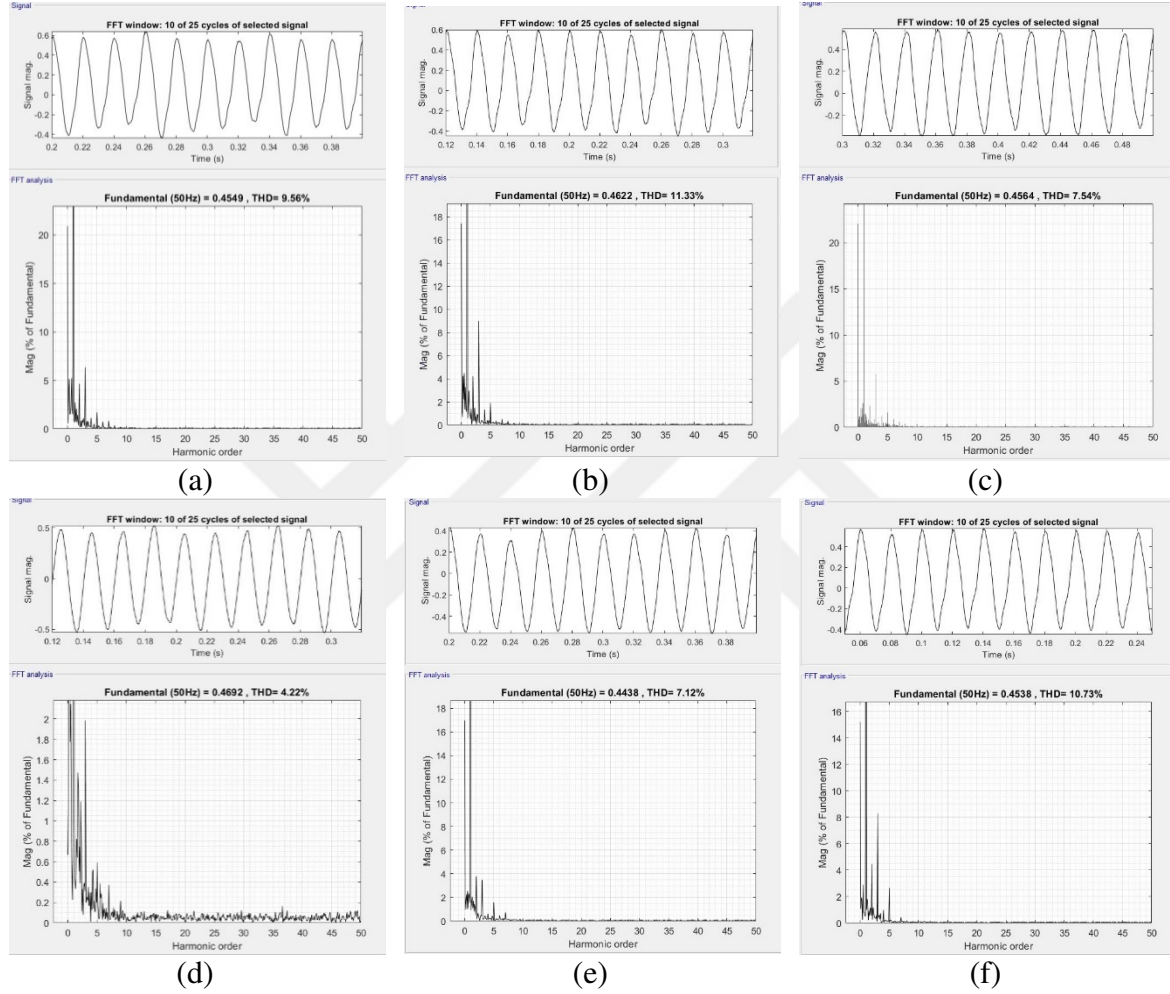
için harmonik değerini düşürmede başarısız olduğu gözlemlenmiştir.



Resim 6.36. PR kontrollü KFYD uygulaması $K_i=1$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Resim 6.37’de $K_i=10$ değerinde farklı K_p değerleri için R fazı THB_i değerleri görülmektedir. $K_p=0,75$ için %9,50; $K_p=0,8$ için %11,33; $K_p=0,9$ için %7,54; $K_p=1$ için %4,52; $K_p=1,1$ için %7,12 ve $K_p=1,2$ için %10,33 olarak ölçülmüştür. K_i değerinin 10 olarak alınması durumu $K_i=1$ değerinde olduğu gibi olduğu gibi $K_p=1$ dışındaki tüm değerlerde THB_i değerlerinin artmasına sebep olmaktadır. Gerçekleştirilen çalışmada tasarlanan devrenin K_i değerinin 1 olması durumu için harmonik değerini düşürmede başarısız olduğu gözlemlenmiştir. K_p ’nin 1 değeri için elde edilen THB_i değerinin de bu sınıra çok yakın olması sebebiyle 10 değerinin gerçekleştirilen sistem için uygun olmadığı anlaşılmaktadır.

Elde edilen tüm harmonik analizi sonuçları incelendiğinde PR kontrolünün en uygun, $K_p=1$ ve $K_i=0,01$ olduğu değerlerinde THB değerine ulaşıldığı ve IEEE519-2014 standardına yaklaşıldığını ve THB değerlerinin diğer parametrelerde ölçülen değerlere göre daha düşük THB_i değeri elde edilebildiği görülmektedir.

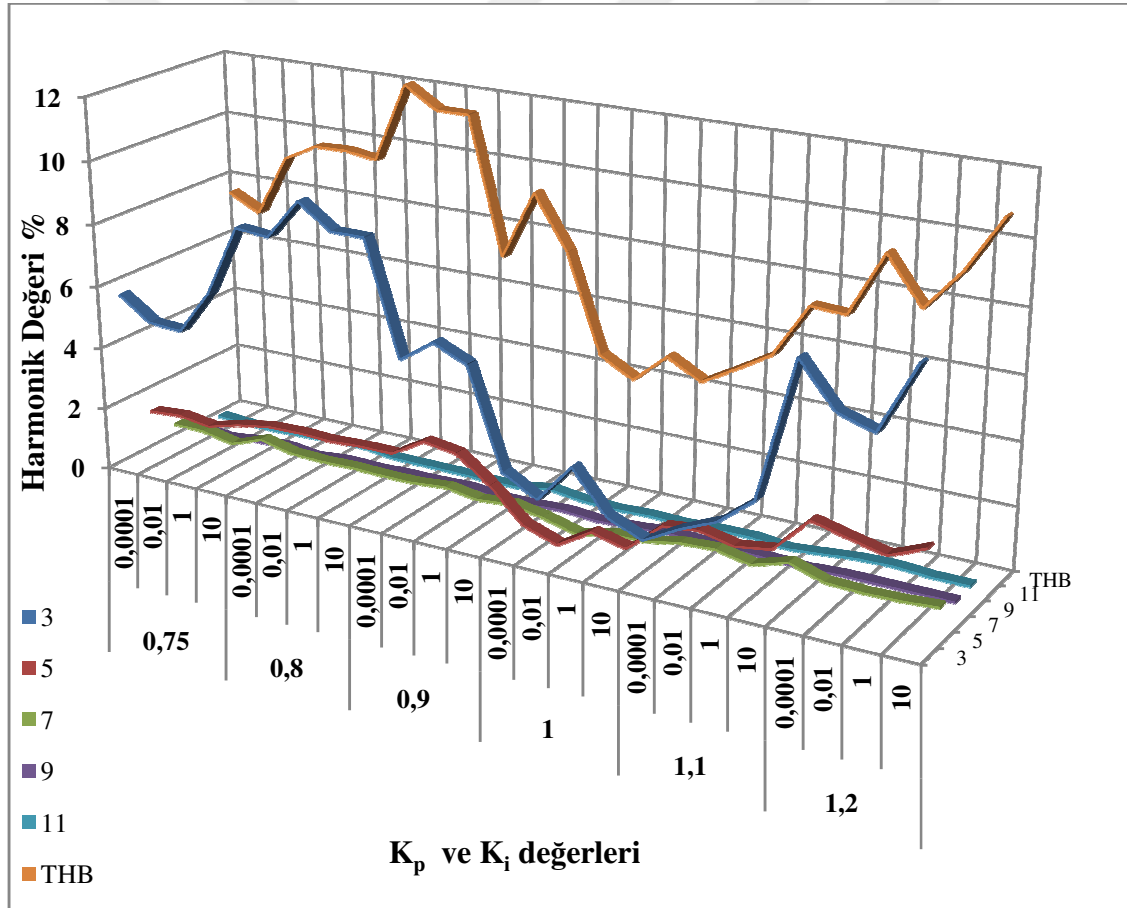


Resim 6.37. PR kontrollü KFYD uygulaması $K_i=10$ değerinde farklı K_p değerleri için R fazı THB_i değeri a) $K_p=0,75$ b) $K_p=0,8$ c) $K_p=0,9$ d) $K_p=1$ e) $K_p=1,1$ f) $K_p=1,2$

Şekil 6.25 de farklı K_p ve K_i değerleri için elde edilen THB_i değeri ve 3, 5, 7, 9 ve 11. derecedeki harmonik değerlerinin analizi için kullanılmıştır. Bulunan değerler için elde edilen analiz sonuçlarını gösteren çizim bulunmaktadır. Deney-1 için kullanılan yük değerinde en uygun K_p ve K_i değerleri sırasıyla $K_p=1$ ve $K_i=0,01$ olarak ölçülmüştür. Özellikle 3. Harmonik değerinin önemli ölçüde THB değerini etkilemesinden dolayı, yüksek çıkan 3. Harmonik değeri nedeniyle elde edilen akımlardaki harmonik değeri yüksek olmaktadır. THB oranının yüksek olması aynı zamanda akım ölçmede kullanılan

sistemden kaynaklanan hatalardan da etkilenmektedir. 1 A düzeyinde olan çıkış akımı akım örnekleme oranı 1:1000 olan LA25P akım sensöründen elde edilirken, ölçüm sistemine eklenen gürültü sinyalleride alınan sonuçları etkilemiştir.

Elde edilen akım ve gerilime ait dalga şekilleri ve THB analizleri neticesinde sistemin en kararlı çalıştığı K_p ve K_i değerleri belirlenmiş olmakla birlikte, bu değerlerin farklı yükler üzerinde de sonuçlarının alınması ve gerçekleştirilen AKÇSE'nin PR kontrollü olarak çalışmasının test edilmesi gerekmektedir. Bu sebeple Deney-2 ve Deney-3 düzenekleri hazırlanarak elde edilen en uygun K_p ve K_i değerlerinin farklı yüklerde çalışması incelenmiştir.



Şekil 6.25. Deney-1 için alınan THB_i değeri ve 3, 5, 7, 9 ve 11. harmonik değerlerinin farklı K_p ve K_i değerlerine göre karşılaştırılması

Gerçekleştirilen PR kontrol kullanmayan KFYP-SDGM tekniğinde elde edilen en düşük THB değerleri, PR kontrollü KFYP-SDGM ile karşılaştırılmıştır. Çizelge 6.7’de bu karşılaştırma işlemine ait veriler bulunmaktadır. Karşılaştırma işleminde her iki çalışmada

elde edilen en iyi THB değerleri incelenmiştir. Buna göre PR kontrollü KFYD-SDGM çalışmasında akım harmonikleri %31 oranında düşürülürken, gerilim harmonikleri %35 oranında düşürülmüştür.

Çizelge 6.7. PR kontrollü KFYD-SDGM ile PR kontrol kullanmayan KFYD-SDGM çalışmasının akım ve gerilim harmonik sonuçlarının karşılaştırılması

	THB _i	THB _v	m _i	K _p	K _i
KFYD-SDGM	5,61	4,83	1	-	-
PR Kontrollü KFYD-SDGM	3,87	3,1	-	1	0,01

PR kontrolün sinüsoidal dalga şekli üzerindeki etkisinin tam olarak elde etmek amacıyla uygulamada elde edilen veriler Matlab programında bulunun “Curve Fitting Tool” (CFT) ile analiz edilmiştir. Matlab programında komut satırına “cftool” yazılarak CFT uygulaması çalıştırıldıktan sonra osiloskoptan alınan veriler, THB analizinde gerçekleştirildiği gibi “workspace” alanına aktarılır. CFT içerisinde “X data” kısmına zaman eksenini, “Y data” kısmına gerilim değerleri bilgisine ait workspace alanındaki değişkenler seçilir. CFT uygulamasında yöntem olarak “Sum of Sine” seçildikten sonra sonuç penceresinde girilen verilere ait uygunlaştıma değerlendirmeleri uygulama tarafından oluşturulur. Burada bulunan değerler;

- SSE (Sum of Squares Due to Error): Cevap değerlerinin en uygun durumdan toplam sapmasını ölçer. 0 değerine yakın olması istenir.
- R-Square: Verilerin sinüs fonksiyonuna ne kadar uygun olduğunu ölçer. 0-1 arasında bir değer almaktadır ve 1 değerine yakın olması uygunluğun fazla olduğunu ifade etmektedir.
- Adjusted R-Square: 1’ yakın değerler verilerin uyumluluk derecesinin arttığını göstermektedir.
- RMSE (Root Mean Squared Error): Uygunluğun standart hata değerini verir. 0 değerine yakın olması istenir [98].

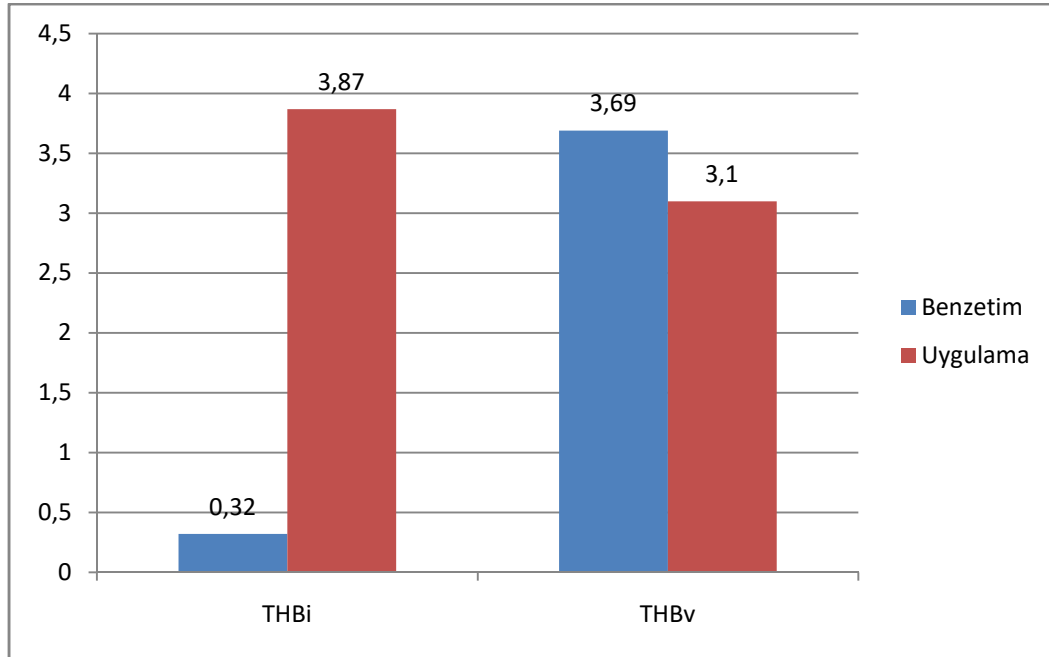
Ölçüm verileri CFT’ye uygulandığında KFYD-SDGM ve PR kontrollü KFYD-SDGM için elde edilen sonuç değerleri Çizelge 6.8’de verilmektedir. Elde edilen sonuçlar incelendiğinde SSE değerinin PR kontrollü uygulamada 0 değerine daha yakın olduğu görülmektedir. 1 değerine yakın olması istenen R-Square değerinde ise, PR kontrollü

çalışmanın 0,0013 değerinde 1'e yakınlığı vardır. Adjusted R-Square değeri, R-square değeriyle aynıdır. RMSE değerinde ise 0'a PR kontrollü uygulamanın daha yakın olduğu görülmektedir. Sonuç olarak gerçekleştirilen CFT analizinde PR kontrollü KFYD-SDGM tekniğinin sinüsoidal sinyale olan yakınlığı daha fazladır.

Çizelge 6.8. KFYD-SDGM ve PR kontrollü KFYD-SDGM için elde edilen CFT sonuçları

	KFYD-SDGM	PR kontrollü KFYD-SDGM
SSE	1.178e+06	4.968e+05
R-Square	0.9976	0.9989
Adjusted R-Square	0.9976	0.9989
RMSE	10.86	7.049

Gerçekleştirilen uygulama çalışması devre tasarımı sırasında yapılan benzetim çalışmaları ile karşılaştırılmıştır. Benzetim çalışmalarında 10 kHz ve 5 kHz için alınan sonuçlardan, uygulama çalışmasında 6 kHz anahtarlama frekansı kullanılmasından dolayı, 5 kHz için alınan ölçümler referans alınmıştır. Uygulama çalışmasında en düşük THB elde edilen $K_p=1$ ve $K_i=0,01$ değerleri için benzetim ve uygulama sonuçlarının THB_i ve THB_v değerleri Şekil 6.26'da verilmektedir.



Şekil 6.26. PR kontrollü KFYD-SDGM tekniğinde $K_p=1$, $K_i=0,01$ değerleri için 5 kHz benzetim ve 6 kHz uygulama sonuçlarının karşılaştırılması

Benzetim ve uygulama sonuçları incelendiğinde aynı K_p ve K_i değerleri için gerilim THB_v değerlerinde uygulamada elde edilen harmonik değerinin benzetim değerinden daha düşük olduğu görülmektedir. Fakat akıma ait THB_i değerlerinin karşılaştırmasında benzetim sonucunun THB_i değerinin uygulamaya göre çok daha iyi elde edildiği görülmektedir. İki ölçüm arasındaki bu farklılık benzetim aşamasında RL yük kullanılıyor iken uygulama aşamasında motor kullanılmasından ve fiziksel sistemden ölçülen akıma, ölçüm sırasında eklenen gürültülerden kaynaklanmaktadır. Ayrıca fiziksel sistemin anahtarlama kaybı, giriş gerilim dengesizliği, ölçme hataları gibi sınırlılıkları da bu durumu etkilemiştir. Gerilim THB_v değerinde uygulama aşamasında oluşan düşük orandaki düzelme ise, uygulama aşamasında kullanılan anahtarlama frekansının, benzetimde kullanılan frekanstan daha fazla olması ve benzetim aşamasında gerilimden alınan örnekleme uygulamasında kullanılan gerilim örnekleme devrelerinden farklılık göstermesinden kaynaklanabilir.

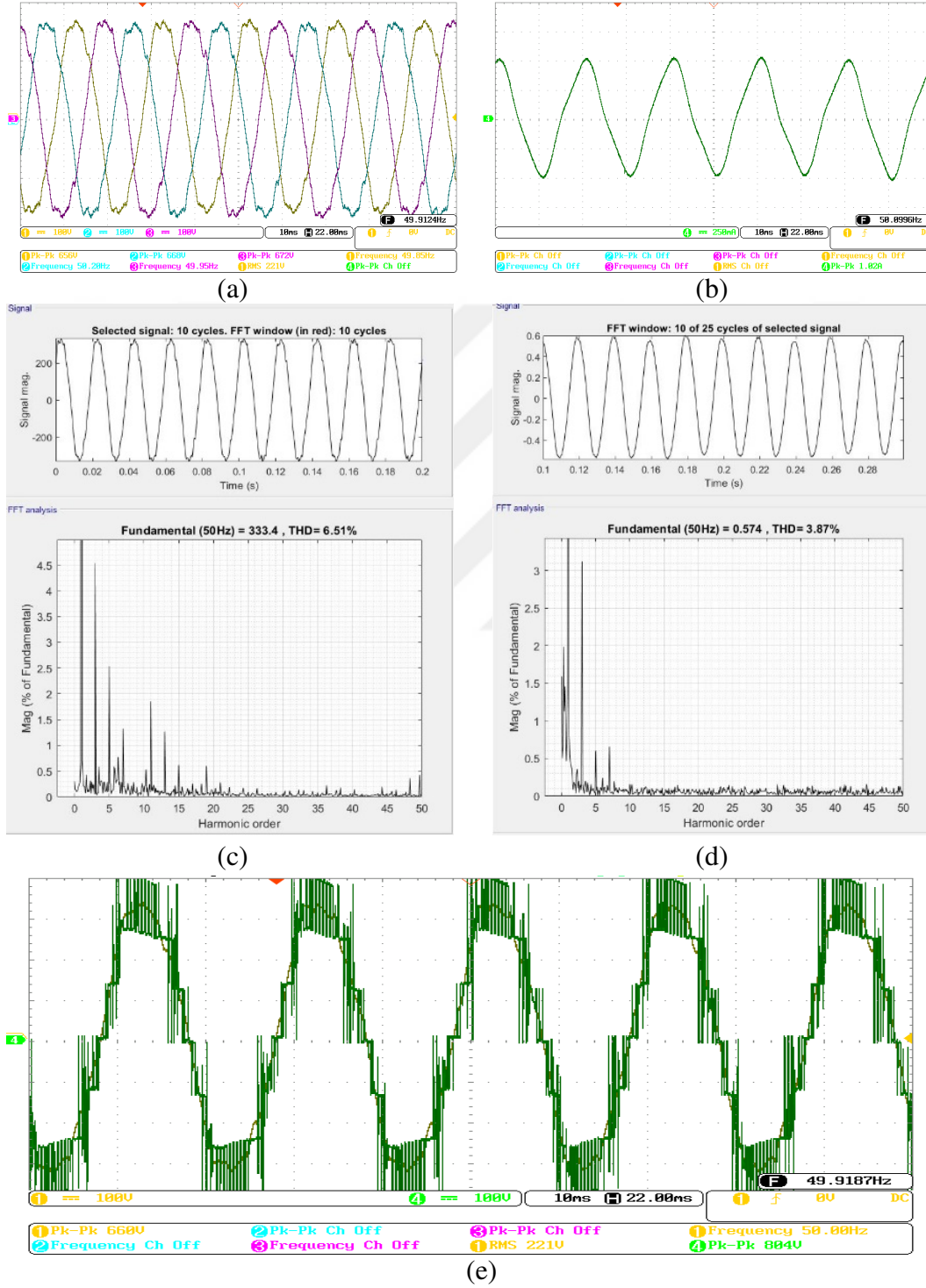
Deney-2

Gerçekleştirilen Deney-1 çalışmasında elde edilen en uygun K_p ve K_i değerleri farklı yük koşullarında test edilmesi amacıyla Deney-2 çalışması gerçekleştirilmiştir. Deneyde 1 Hp gücünde bir asenkron motora senkron generatör bağlanarak yük olarak evirici çıkışına bağlanmıştır. Çıkış gerilimi $220V_{RMS}$ değerinde olacak şekilde girişten DA uygulanmıştır. Uygulanan DA geriliminde düşük gerilim hücresine 131 V, yüksek gerilim hücresine 262 V'tur.

PR kontrollü 7-seviyeli AKÇSE yapısının KFYD-SDGM tekniği kullanılarak gerçekleştirilen deney-2 çalışmasında $K_p=1$ ve $K_i=0,01$ olarak alınması durumunda Resim 6.38'deki sonuçlar elde edilmiştir. Resim 6.38(a)'da bulunan RST faz gerilimlerine ait dalga şekli incelendiğinde, gerilimlerin tepe değerlerinde bozulmalar olduğu görülmektedir. Resim 6.38(c) de verilen gerilim THB_v değeri %6,51 değerindedir. Çıkışta elde edilen akım değeri ampermetre ile ölçülmüştür ve bu değer 1,95 A'dir. Resim 6.38(b)'de R fazı akım ölçümü ve Şekil 6.38(d)'de R fazı akımının THB_i değeri %3,87'dir. Gerilimdeki harmonik yükselmesine karşın akımın harmonik değerlerindeki yükselme çok fazla gerçekleşmemiştir.

Resim 6.38(e)'de görülen filtresiz R fazı gerilimi görülmektedir. Filtresiz faz gerilimin tüm seviyelerin olduğu gözlemlenmiştir. Bununla birlikte elde edilen filtresiz gerilimin tepe

noktalarındaki seviye değerinin, seviyenin başlangıç kısmı ile bitiş kısmı arasında bozulmaya uğradığı görülmektedir. Çıkış faz dalga şekillerinde gerçekleşen bu bozulma gerilim THB_v değerinin artışına sebep olmaktadır.



Resim 6.38. PR kontrollü KFYD-SDGM Deney-2 uygulaması sonuçları a) RST faz gerilimleri b) R faz akımı c) THB_v değeri d) THB_i değeri e) R fazı filtresiz çıkış gerilimi

Asenkron-Senkron motor-generatör bağlantısının gerçekleştirildiği Deney2 çalışmasında elde edilen gerilim THB_v değeri, Deney-1 çalışmasında elde edilen THB_v değerinden daha yüksek ölçülmüştür. Akım dalga şekline göre ölçülen THB_i değeri ise Deney-2 çalışmasında daha yüksek olmasına rağmen. Akım ve gerilime ait THB değerleri, IEEE 519-2014 standardına göre limit değerlerin içerisinde elde edilmiştir.

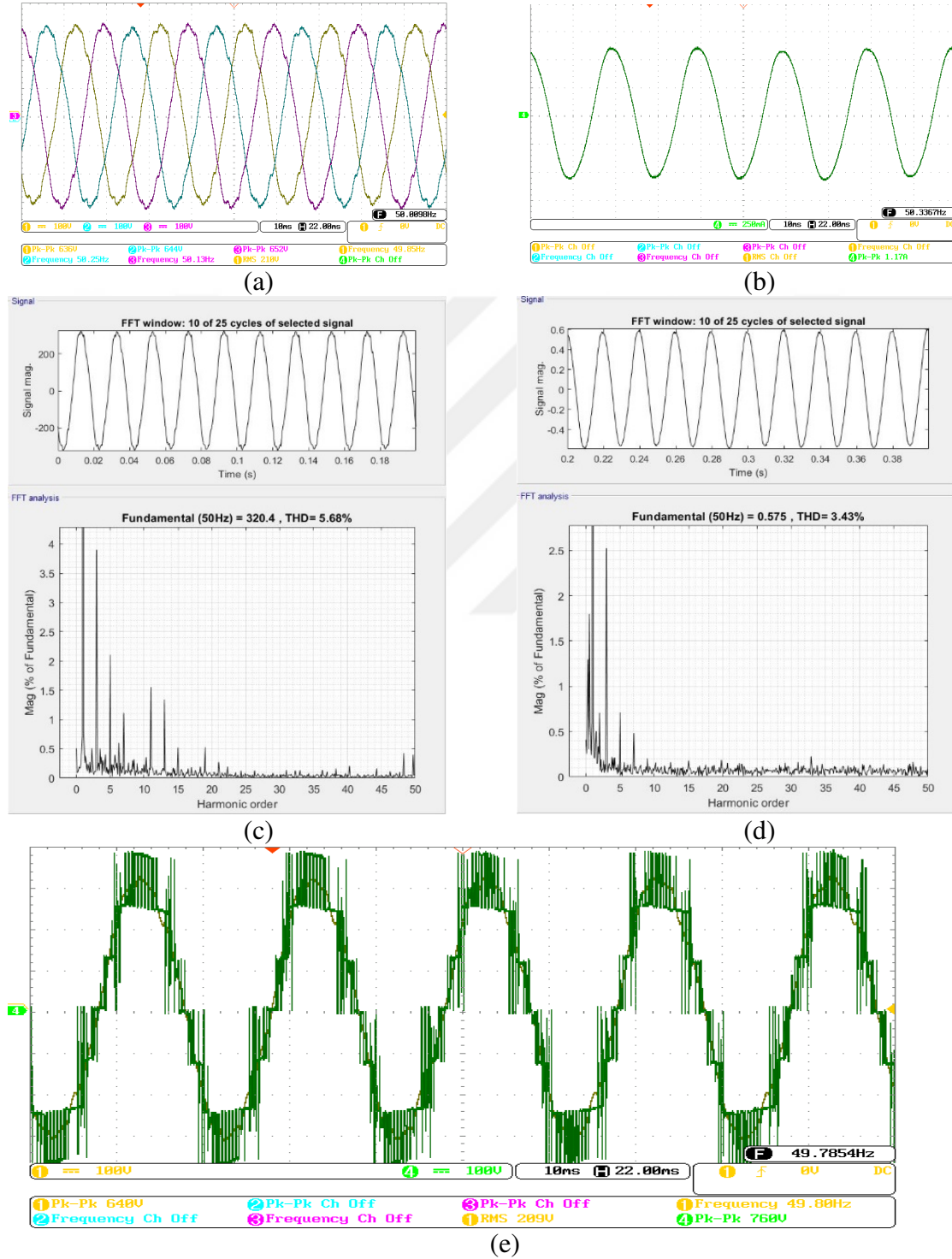
Deney-3

Gerçekleştirilen Deney-3 çalışmasında, Deney-2 çalışmasında kullanılan 1 Hp gücünde asenkron motor-senkron generatör çiftinin generatör uçlarına yük olarak 300 W değerinde 3 faz rezitif yük bağlanarak evirici kullanılmıştır. Çıkış gerilimi 220 V_{RMS} değerinde olacak şekilde girişten DA uygulanmıştır. Uygulanan DA geriliminde düşük gerilim hücresine 120 V, yüksek gerilim hücresine 240 V'tur.

PR kontrollü 7-seviyeli AKÇSE yapısının KFYD-SDGM tekniği kullanılarak gerçekleştirilen deney-3 çalışmasında $K_p=1$ ve $K_i=0,01$ olarak alınması durumunda Resim 6.39'daki sonuçlar elde edilmiştir. Resim 6.39(a)'da verilen RST faz gerilimlerine ait dalga şekillerinden görüleceği gibi senkron generatöre 300W rezitif yük bağlandığında asenkron motor daha karalı çalıştığından çıkış gerilimlerindeki tepe değerlerindeki bozulmalar azalmıştır. Resim 6.39(c)'de verilen R fazına ait THB_v değerinden de görülebileceği gibi çıkış THB_v değeri %5,68 olarak elde edilmiştir ve bu değer Deney-2'de elde edilen THB_v değerden daha düşüktür. R fazına ait akım dalga şekli Resim 6.39(b)'de verilmektedir. Ampermetreden ölçülen akım değeri 1,87 A'dir. Deney-3 akım THB_i değeri Deney-1 ve Deney-2 de elde edilen değerden daha düşük olduğu görülmektedir. Resim 6.39(e)'de görülen R fazı filtresiz çıkış geriliminden de görüleceği gibi çıkışta evircinin tüm seviyelerinin oluşturulmuştur.

7-seviyeli PR kontrolü AKÇSE yapısının KFYD-SDGM tekniği ile gerçekleştirilen deneylerinde elde edilen akım ve gerilime ait THB değerleri Çizelge 6.9'da verilmektedir. Elde edilen bu değerlerin tezde amaçlanan, IEEE-519-2014 standardına uygun şekilde gerçekleştiği görülmüştür. Sistem tasarım aşamasında deney-1'e göre oluşturulmasına rağmen farklı yük ve koşullarda, aynı K_p ve K_i parametrelerinin kullanımında da kararlı şekilde çalışıp istenilen THB değerlerine sahip çıkış üretebilmiştir. Çizelge 6.9'da görüleceği gibi sistem tasarımında elde edilen düşük dereceli harmoniklerdeki artış THB

değerini önemli ölçüde etkilediğinden, özellikle düşük dereceli harmonikleri bastıran PR kontrol sistemi kullanımı ile çıkış THB değerleri belirlenen standartlar içerisinde kalmaktadır.



Resim 6.39. PR kontrollü KFYP-SDGM Deney-3 uygulaması sonuçları a) RST faz gerilimleri b) R fazı akımı c) THB_v değeri d) THB_i değeri e) R fazı filtresiz çıkış gerilimi

Çizelge 6.9. Deney-1, Deney-2 ve Deney-3'e ait R fazı THB_i ve THB_v değerlerinin karşılaştırılması

	THB _i (%)			THB _v (%)		
	Deney-1	Deney-2	Deney-3	Deney-1	Deney-2	Deney-3
3	2,05	3,12	2,53	1,38	4,54	3,9
5	0,2	0,6	0,71	0,8	2,53	2,11
7	0,09	0,66	0,48	0,85	1,32	1,11
9	0,1	0,09	0,2	0,65	0,19	0,25
11	0,04	0,08	0,11	0,46	1,86	1,56
THB	3,87	3,87	3,43	3,1	6,51	5,68



7. SONUÇ VE ÖNERİLER

Tez konusu olarak geliştirilen evirici devre topolojisi ve kontrol yöntemi seçilirken gerçekleştirilen literatür taramasında çok seviyeli evirici devreleri olarak diyot kenetlemeli eviriciler, kondansatör kenetlemeli eviriciler ve H-Köprü eviriciler incelenmiştir. Diyot kenetlemeli eviricide anahtarlama elemanlarına ek olarak diyot kullanılması, kondansatör kenetlemeli yapılarda ise, kullanılan kondansatörlerin şarj problemleri ve eleman sayısındaki artış nedeniyle, bu iki yönetime göre daha üstün olan H-Köprü kaskad evirici yapısı kullanılmıştır. H-Köprü evirici yapısının seçilmesindeki temel neden kullanılan anahtarlama elemanı sayısı ve yardımcı eleman sayısının daha az olmasıdır. Ayrıca seri olarak bağlanarak seviye sayısı artırılması kolaylıkla gerçekleştirilebilmektedir. H-Köprü kaskad bağlantı yapısında girişte kullanılan DA kaynaklarının bağımsız olarak kullanılması gerekliliği tek dezavantajıdır.

H-Köprü evirici yapısı girişte kullanılan kaynakların oranlarına göre simetrik ve asimetrik yapıda kullanılabilir. Simetrik olarak kullanılan ÇSE yapısında H-Köprü modüllerinde kullanılan kaynakların gerilim değerleri aynıdır. Asimetrik olarak kullanılan ÇSE yapısında ise girişteki DA kaynakları iki veya üçün katı olarak artan şekilde kullanılmaktadır. AÇSE yapısı aynı eleman sayısı kullanan simetrik ÇSE yapısına göre daha fazla çıkış seviyesi elde edilmektedir. Çıkış geriliminde artan seviye sayısı elde edilen çıkış geriliminin dV/dt oranını azaltacağından dolayı, sinüse daha yakın bir gerilim elde edilmesi sağlanmaktadır. Ayrıca günümüzde kullanılan yenilenebilir enerji kaynaklarında elde edilen farklı değerlerdeki çıkış gerilimini kullanmak için de tercih edilebilir. AÇSE yapısında kaynakların oranı ikinin katı olarak kullanılması durumunda, n adet H-Köprü için $2^{n+1}-1$ adet çıkış gerilim seviyeleri elde edilmektedir. Gerçekleştirilen uygulamada 2 adet H-Köprü modülü seri olarak bağlanmıştır. Bu sebeple çıkışta 7 seviyeli bir gerilim elde edilmiştir.

ÇSE yapılarının anahtarlama için birçok farklı anahtarlama modülasyonu tekniği bulunmaktadır. Günümüzde en çok kullanılan yöntem DGM yöntemleridir. Bu yöntemlerden UVDGM ve SDGM yöntemlerinin çalışması ve kullanımı araştırılmıştır. UVDGM yöntemi özellikle 3 faz istemler için tercih edilmektedir. Literatürde kullanılan UVDGM yöntemleri bir anahtarlama durum tablosu kullanarak anahtarlama işlemlerini

gerçekleştirmektedir.

Literatürde gerçekleştirilen bazı çalışmalarda elde edilen THB değerleri ile gerçekleştirilen sistem sonuçları karşılaştırılmaktadır. Kannan vd. [99] tarafından gerçekleştirilen simetrik ÇSE çalışmasında, PI ve fuzzy geribesleme kontrol tekniklerini kullanmışlardır. Kullandıkları FYD-SDGM tekniği ile birlikte PI kontrol ve fuzzy kontrol tekniklerini bir araya getirmişlerdir. Simetrik evirici topolojisi kullanarak gerçekleştirdikleri 9 seviyeli ÇSE evirici yapısında FYD-SDGM tekniği ile gerçekleştirilen PI kontrol ile en düşük gerilim THB değeri %6,89 ve fuzzy kontrol kullanarak elde ettikleri gerilimin en düşük THB değeri %3,23 değerindedir. Encarnaçao vd. [100] tarafından gerçekleştirilen 19 seviyeli AÇSE eviricide gerilimin THB değeri en düşük %4,3 değerindedir. Kumar ve Pal [101] gerçekleştirdikleri 3 faz AKÇSE benzetim uygulamasında çıkış geriliminin THB değerini FK-SDGM tekniği ile %5,22 ve seviye kaydırmalı SDGM uygulamasında %3,84 olarak elde etmişlerdir. Mishra vd. [102] tarafından gerçekleştirilen şebeke bağlantılı tek faz 7-seviyeli AKÇSE çalışmasında elde ettikleri uygulama sonucu, akımın THB_i değeri %2,2 ve gerilimin THB_v değeri %13,3 olarak elde edilmiştir.

Yapılan tez çalışmasında UVDGM anahtarlama durum tablosu yerine çıkış seviyelerini dinamik olarak belirleyecek bir yöntem tasarlanmıştır. UVDGM yönteminde, düşük seviyeli ÇSE'lerde anahtarlama durumlarının hesaplanmasında kolaylık sağlarken, seviye sayısının artışına paralel olarak durum sayısının artışı ile anahtarlama durumlarının hesaplama işlemlerini zorlaştırmaktadır. UVDGM ile gerçekleştirilen benzetim işlemlerinde elde edilen THB değerlerinin yüksek olması ve yapılan uygulama deneylerinde anahtarlama durumlarının hesabı için işlemcinin yetersiz kalması sebebiyle bu anahtarlama modülasyon yöntemi uygulama olarak gerçekleştirilmemiştir.

Bu sebeple diğer bir DGM yöntemi olan SDGM yöntemi kullanılmıştır. SDGM yönteminde temel olarak bir sinüs işaretini ile bir üçgen işaretini karşılaştırılmaktadır. ÇSE yapısında kullanılan SDGM yöntemlerinde, eviricinin seviye sayısına bağlı olarak kullanılacak üçgen işaretinin sayısı değişmektedir. Üçgen işaretinin farklı gerilim seviyelerinde kullanan FYD-SDGM, KFYD-SDGM ve AKFYD-SDGM modülasyon yöntemlerinde, üçgen işaretlerinin uygulanış metodları birbirinden farklıdır. ÇSE kullanılan bir diğer SDGM modülasyon yöntemi olan FK-SDGM ise birbirinden farklı fazlarda üretilen üçgen işaretleri ile sinüsoidal işaretinin karşılaştırılması sonucu anahtarlama

işaretlerini elde etmektedir. Bu tekniklerde KFYD-SDGM ve FK-SDGM modülasyon yöntemleri benzetim çalışmalarında kullanılmış ve KFYD-SDGM yönteminin THB değerlerinin daha düşük olduğu görülmüştür. Ayrıca FK-SDGM metodunda kullanılacak olan faz farklı üçgenlerin işlemcide elde edilmesinde bazı olumsuz durumlarla karşılaşmaktadır. Bu olumsuzluklar, üçgen işaretin elde edilmesi sırasında işlemcide çok fazla zaman almasından dolayı çıkış gerilim frekansının istenilen seviyeye çıkamamasıdır. Bunun çözümü için STM32F4 işlemcisinde bulunan “Basic PWM” çıkışları kullanılarak giderilmek istenmiş, fakat “Basic PWM” çıkışları kullanılması durumunda anahtarlama elemanlarında oluşabilecek olan kısa devreyi önlemek amacıyla kullanılan ölü zaman bölgesinin anahtarlama durumlarında kullanılmadığı ve bu sebeple elde edilen çıkış geriliminin düşük olduğu görülmüştür. Ayrıca SDGM tekniklerinin karşılaştırması tez çalışmalarında benzetim olarak gerçekleştirilmiş ve çıkış THB değeri en düşük olan KFYD-SDGM tekniği tez uygulama çalışmasında kullanılmıştır.

Geliştirilen uygulama çalışmalarında KFYD-SDGM ile elde edilen çıkış gerilim ve akımının THB incelemelerinde, IEEE 519-2014 standardına göre istenilen seviyede olmaması sebebiyle çıkış THB değerini düşürmek için bir geri besleme kontrol sistemi eklenmesine karar verilmiştir. Bu amaçla geri besleme kontrol yöntemleri araştırılmıştır.

Eviricilerde kullanılan geri besleme kontrol teknikleri sabit referans düzlemi, senkron referans düzlemi ve doğal referans düzlemi olarak üç farklı şekilde kullanılmaktadır. Bu tekniklerden doğal referans düzleminde kullanılan teknikler PI kontrol, PR kontrol, histerisiz kontrol, ölü darbe kontrol, yinelemeli kontrol ve kestirim kontrol teknikleridir. Bu yöntemler içersinde PR kontrol yöntemi kalıcı durum hatasının az olması ve özellikle düşük seviyeli harmoniklerinde sağladığı avantajlar ve hızlı cevap süresi nedeniyle tercih edilmiştir. Ayrıca PR kontrol yapısı günümüzde çok fazla araştırılmamış ve araştırmaya açık bir alan olarak görülmektedir.

PR kontrol tekniği istenilen frekansta maksimum kazanç sağlarken, diğer frekansları bastırarak çalışan bir kontrol tekniğidir. PR kontrol kullanımı literatürde daha çok akım kontrol yöntemi olarak kullanılmaktadır. Fakat geri besleme sisteminde kullanılacak çıkış akımının örnekleme işleminde karşılaşılan gürültü ve işaret zayıflaması problemleri sebebiyle çıkış akımı yerine örnekleme işlemini daha kolay gerçekleştirilebilecek çıkış gerilimi kullanılmıştır. PR kontrol kullanımı sırasında oransal ve rezonans kazanç işlemleri

için kullanılacak parametreleri seçimi işlemi, PR parametrelerinin kontrolcünün çalışmasına etkisi göz önüne alınarak tez çalışmasında kullanılan benzetim aşamasında uygulanan değerler ve bu değerlere yakın parametreler seçilerek uygulama gerçekleştirilmiştir. Gerçekleştirilen uygulama devresi sonucunda elde edilen akım ve gerilimin THB değerleri ve 3-11 arasındaki düşük seviyeli harmonikler incelenmiştir.

PR kontrol kullanmadan gerçekleştirilen KFYD-SDGM teniğinin 7-seviyeli AKÇSE yapısında uygulanması ile çıkışta elde edilen THB değeri incelendiğinde; THB_v değerinin en düşük %4,65 olarak $m_i=0,9$ olduğunda elde edilmiştir. THB_i değerinde ise en düşük harmonik değeri %5,61 olarak $m_i=1$ olduğunda elde edilmektedir. Elde edilen bu değerler tez çalışmasında ulaşılmak istenen IEEE 519-2014 tandardı ile karşılaştırıldığında, gerilim harmonik değerinin standarda uygun olmasına rağmen akımda elde edilen sonucun standartta belirtilen %5 değerinin üzerinde olduğu görülmüştür.

Bu sebeple gerçekleştirilen çalışmaya geri beleme kontrol yöntemi olarak, PR kontrol yöntemi eklenmiştir. Bu yöntem literatürdeki çalışmalardan farklı olarak çıkış akımı yerine geriliminin örneklenmesi ile uygulanmıştır. Benzetim aşamasında belirlenen en uygun K_p ve K_i değerleri, uygulama aşamasında kullanılmıştır. PR kontrollü KFYD-SDGM tekniği kullanılarak uygulanan 7- seviyeli AKÇSE çıkışında elde edilen THB oranları, $K_p=1$ ve $K_i=0,01$ için, THB_i değeri %3,87 ve THB_v değeri %3,1 olarak ölçülmüştür. Ölçüm sonuçları IEEE 519-2014 standardına uygun şekilde gerçekleştirilmiştir.

PR kontrollü AKÇSE sistemine farklı yük değerlerinde sistemin çalışma durumu da test edilmiş ve elde edilen sonuçların da istenilen standart değerlere uygun olduğu görülmüştür. Bu durum geliştirilen evirici sistemin kararlı ve istenilen standartlarda çalıştığının göstermektedir.

Gerçekleştirilen 7 seviyeli AKÇSE uygulamasında PR kontrol eklenmesiyle elde edilen sonuçlar ulaşılmak istenilen THB hedeflerine uygun şekilde alınmıştır. PR kontrol ve PR kontrol parametrelerinin kullanımı ile ilgili literatürde çok az çalışma bulunmaktadır. Tez çalışmasında önerilen eviricilerde ve özellikle AKÇSE yapısında PR kontrol kullanımının gerçekleştirilmesi, evirici yapıları ve kontrolünde literatürde bir farklılık oluşturmaktadır.

AKÇSE ve evirici yapılarında kullanılabilecek olan PR kontrol tekniğinin kontrol parametrelerinin adaptif olarak ayarlanmasını sağlayacak sistemlerin tasarımı, PR kontrol tekniğinin DA/DA konvertörlerde kullanımı ileride araştırma yapacak olan araştırmacılar açısından yeni bir alan olarak araştırmacılara örnek olabileceği düşünülmektedir.





KAYNAKLAR

1. Çolak, İ., Kabalcı, E. and Bayındır, R. (2011). Review of multilevel voltage source inverter topologies and control schemes. *Energy Conversion and Management*, 52(2), 1114-1128.
2. Santhi, R., Giridharan, K. and Kannabhiran, A. (2017). *A survey on voltage source multi level inverter topologies*. IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI), 1262-1271.
3. Çolak, İ. ve Kabalcı, E. (2008). *Evirici topolojileri ve gelişimleri üzerine bir inceleme. EMO Elektrik- Elektronik ve Bilgisayar Mühendisliği Sempozyumu (ELECO)*, 291-295.
4. Malinowski, M., Gopakumar, K., Rodriguez, J. and Perez, M. A. (2010). A survey on cascaded multilevel inverters. *IEEE Transactions on Industrial Electronics*, 57(7), 2197-2206.
5. Nabae, A., Takashi, I. and Akagi, H. (1981). A new neutral-point-clamped PWM inverter. *IEEE Transactions on Industry Application*, (17), 518-523.
6. Çolak, İ., Kabalcı, E. ve Keven, G. (2012). Asimetrik çok seviyeli eviricilerin incelenmesi. *EMO Bilimsel Dergi*, 2(3), 29-36.
7. Mortezaei, A., Simões, M. G., Bubshait, A. S., Busarello, T. D. C., Marafão, F. P. and Al-Durra, A. (2017). Multifunctional control strategy for asymmetrical cascaded H-bridge inverter in microgrid applications. *IEEE Transactions on Industry Applications*, 53(2), 1538-1551.
8. Babaei, E., Kangarlu, M.F. and Hosseinzadeh, M. A. (2013). Asymmetrical multilevel converter topology with reduced number of components. *Institution of Engineering and Technology (IET) Power Electronics*, 6(6), 1188-1196.
9. Kala, P. and Arora, S. (2017). A comprehensive study of classical and hybrid multilevel inverter topologies for renewable energy applications. *Renewable and Sustainable Energy Reviews*, 76, 905-931.
10. Kabalcı, E. (2010). *Çok seviyeli eviriciler için yeni bir SDGM tekniği geliştirilmesi*, Doktora Tezi, Gazi Üniversitesi Fen Bilimleri Enstitüsü, Ankara.
11. Yepes, A. G. (2011). *Digital Resonant Current Controllers for Voltage Source Converters*, Doktora Tezi, Universty of Vigo, Spain.
12. Ye, T., Dai, N., Lam, C. S., Wong, M. C. and Guerrero, J. M. (2016). Analysis, design, and implementation of a quasi-proportional-resonant controller for a multifunctional capacitive-coupling grid-connected inverter. *IEEE Transactions on Industry Applications*, 52(5), 4269-4280.

13. Dou, X., Yang, K., Quan, X., Hu, Q., Wu, Z., Zhao, B., Lie, P., Zhang, S. and Jiao, Y. (2015). An optimal PR control strategy with load current observer for a three-phase voltage source inverter. *Energies*, 8(8), 7542-7562.
14. İnternet: IEEE 519-2014 Güç Sistemlerinde Harmonik Standardı. URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6826459>, Son Erişim Tarihi:16.03.2019.
15. Zhong, Q. C. and Hornik, T. (2013). *Control of power inverters in renewable energy and smart grid integration*. USA: Wiley-IEEE Press. 18-21.
16. Wu, B. and Narimani, M. (2017). *High-power converters and AC drives*.(Second edition). USA: Wiley-IEEE Press. 119-222.
17. Mohan, N., Undeland, T. M. and Robbins, W. P. (2007) *Güç elektroniği: çeviriciler, uygulamalar ve tasarım*. (İkinci Baskı). (çev. T. Yılmaz, S. Boğosyan ve M. Gökaşan). Literatür Yayınevi. (Eserin orijinali 2007’de yayınlandı). 214-267.
18. El-Hosainy, A., Hamed, H. A., Azazi, H. A. and El-Kholy, E. E. (2017). *A review of multilevel inverter topologies, control techniques, and applications*. Nineteenth International Middle East In Power Systems Conference (MEPCON), 1265-127.
19. Hinago, Y. and Koizumi H. (2010). A single-phase multilevel inverter using switched series/parallel dc voltage sources. *IEEE Transactions on Industrial Electronics*, 57(8), 2643-2650.
20. Ceglia, G., Guzman, V., Sanchez, C., Ibanez, F., Walter J. and Gimenez M. I. (2006). A new simplified multilevel inverter topology for dc–ac conversion. *IEEE Transactions on Power Electronics*, 21(5), 1311-1319.
21. Nilkar, M., Babaei, E. and Sabahi, M. (2012). *A new single-phase cascade multilevel inverter topology using four-level cells*. 20th Iranian Conference on Electrical Engineering (ICEE2012), 348-353.
22. Khosroshahi, M. T. (2014). Crisscross cascade multilevel inverter with reduction in number of components. *IET Power Electronics*, 7(12), 2914-2924.
23. Najafi, E., Yatim, A. H. M. and Samosir, A. S. (2008). *A new topology -reversing voltage (RV)-for multi level inverters*. IEEE 2nd International Power and Energy Conference, 604-608.
24. Choi, W. K. and Kang, F. S. (2009). *H-bridge based multilevel inverter using PWM switching function*. INTELEC 2009-31st International Telecommunications Energy Conference, 1-5.
25. Ebrahimi, J., Babaei, E. and Gharehpetian, G. B. (2012). A new multilevel converter topology with reduced number of power electronic components. *IEEE Transactions on Industrial Electronics*, 59(2), 655-667.

26. Kangarlu, M. F. and Babaei, E. (2013). A generalized cascaded multilevel inverter using series connection of submultilevel inverters. *IEEE Transactions on Power Electronics*, 28(2), 625-636.
27. Gupta, K. K. and Jain, S. (2014). A novel multilevel inverter based on switched DC sources. *IEEE Transactions on Industrial Electronics*, 61(7), 3269-3278.
28. Ounejjar, Y. and Al-Haddad, K. (2008). *A novel high energetic efficiency multilevel topology with reduced impact on supply network*. 34th Annual Conference of IEEE Industrial Electronics, 489-494.
29. Babaei, E. (2008). A cascade multilevel converter topology with reduced number of switches. *IEEE Transactions on Power Electronics*, 23(6), 2657-2664.
30. Babaei, E., Alilu, S. and Laali, S. (2014). A new general topology for cascaded multilevel inverters with reduced number of components based on developed H-bridge. *IEEE Transactions on Industrial Electronics*, 61(8), 3932-3939.
31. Mokhberdoran, A. and Ajami, A. (2014). Symmetric and asymmetric design and implementation of new cascaded multilevel inverter topology. *IEEE Transactions on Power Electronics*, 29(12), 6712-6724.
32. Kouro, S., Malinowski, M., Gopakumar, K., Pou, J., Franquelo, L. G., Wu, B., Rodriguez, J., Perez, M. A. and Leon, J. I. (2010). Recent advances and industrial applications of multilevel converters. *IEEE Transactions on Industrial Electronics*, 57(8), 2553-2580.
33. Hasan, N. S., Rosmin, N., Osman, D. A. A. and Hatib, A. (2017). Reviews on multilevel converter and modulation techniques. *Renewable and Sustainable Energy Reviews*, 80, 163-174.
34. Venkataramanaiah, J., Suresh, Y. and Panda, A. K. (2017). A review on symmetric, asymmetric, hybrid and single DC sources based multilevel inverter topologies. *Renewable and Sustainable Energy Reviews*, 76, 788-812.
35. Franquelo, L. G., Rodriguez, J., Leon, J. I., Kouro, S., Portillo, R. and Prats, M. A. (2008). The age of multilevel converters arrives. *IEEE Industrial Electronics Magazine*, 2(2), 28-39.
36. Rashid, M. H. (Editor). (2001). *Power electronics handbook*. (First edition). USA: Butterworth-Heinemann Press. 225-267.
37. António-Ferreira, A., Collados-Rodríguez, C. and Gomis-Bellmunt, O. (2018). Modulation techniques applied to medium voltage modular multilevel converters for renewable energy integration: A review. *Electric Power Systems Research*, 155, 21-39.
38. Koshti, A. K. and Rao, M. N. (2017). *A brief review on multilevel inverter topologies*. 2017 International Conference on Data Management, Analytics and Innovation (ICDMAI), 187-193.

39. Gupta, K. K., Ranjan, A., Bhatnagar, P., Sahu, L. K. and Jain, S. (2016). Multilevel inverter topologies with reduced device count: a review. *IEEE Transactions on Power Electronics*, 31(1), 135-151.
40. Shanono, I. H., Abdullah, N. R. H. and Muhammad, A. (2018). A survey of multilevel voltage source inverter topologies, controls and applications. *International Journal of Power Electronics and Drive Systems (IJPEDS)*, 9(3), 1186-1201.
41. Kartikeyan, R. (2012). *Generalized space vector modulation schemes for cascaded multilevel inverter to reduce harmonic distortion*, Dكتورا Tezi, Anna University, Faculty of Electrical Engineering, Cennai, Hindistan.
42. Yoga, G., Paranthagan, B., Marimuthu, M. and Kalyani, K. (2017). A brief survey on multilevel inverter topology. *International Journal of Recent Research Aspects*, 4(4), 297-303.
43. Sujanarko, B., Ashari, M. and Purnomo, H. M. (2010). Universal algorithm control for asymmetric cascaded multilevel inverter. *International Journal of Computer Applications*, 10(6), 38-44.
44. Wanjari, K. D., Salodkar, P. A. and Waghmare, M. A. (2018). *Analysis of multicarrier switching techniques for nine level inverter*. Second International Conference on Computing Methodologies and Communication (ICCMC), 577-581.
45. Espinosa, E., Melin, P., Guzman, J., Rivera, M., Baier, C., Muoz, J., Mirzaeva, G., Espinoza, J. and Gregor, R. (2018). *A Comparative analysis in asymmetric inverters non-regenerative*. IEEE International Conference on Automation/XXIII Congress of the Chilean Association of Automatic Control (ICA-ACCA), 1-7.
46. Nami, A., Zare, F., Ghosh, A. and Blaabjerg, F. (2011). A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped H-bridge cells. *IEEE Transactions on Power Electronics*, 26(1), 51-65.
47. Sinha, A., Jana, K. C. and Das, M.K. (2018). An inclusive review on different multilevel inverter topologies, their modulation and control strategies for a grid connected photo-voltaic system. *Solar Energy*, 170, 633-657.
48. Roy, A. D. and Umayal, C. (2018). *A review of various multilevel inverter topologies with reduced component count*. International Conference on Recent Trends in Electrical, Control and Communication (RTECC), 234-239.
49. Ahmed, M., Sheir, A. and Orabi, M. (2018). Asymmetric cascaded half-bridge multilevel inverter without polarity changer. *Alexandria Engineering Journal*, 57 (4), 2415-2426.
50. Suresh, Y. and Panda, A. K. (2013). Investigation on hybrid cascaded multilevel inverter with reduced dc sources. *Renewable and Sustainable Energy Reviews*, 26, 49-59.

51. Artal-Sevil, J. S., Dufo-López, R. and Bernal-Agustín, J. N. (2018). *Analysis of different PWM modulation techniques: comparison and design*. XIII Technologies Applied to Electronics Teaching Conference (TAEE), 1-8.
52. Moeini, A., Hui, Z. and Wang, S. (2016). *High efficiency, hybrid selective harmonic elimination phase-shift PWM technique for cascaded H-Bridge inverters to improve dynamic response and operate in complete normal modulation indices*. IEEE Applied Power Electronics Conference and Exposition (APEC), 2019-2026.
53. Attique, Q. M., Li, Y. and Wang, K. (2017). A survey on space-vector pulse width modulation for multilevel inverters. *CPSS Transactions on Power Electronics and Applications*, 2(3), 226-236.
54. Namboodiri, A. and Wani, H. S. (2014). Unipolar and bipolar PWM inverter. *International Journal for Innovative Research in Science & Technology*, 1(7), 237-243.
55. Colak, İ., Kabalcı, E. and Keven, G. (2013). *Comparison of multi-carrier techniques in seven-level asymmetric cascade multilevel inverter*. 4th International Conference on Power Engineering, Energy and Electrical Drives, 1619-1624.
56. Dash, S. S., Palanivel, P. and Premalatha, S. (2012). Performance analysis of multilevel inverters using variable switching frequency carrier based PWM techniques. *Renewable Energy and Power Quality Journal*, 10(1), 1-6.
57. Tangprasri, P. (2017). An investigation of THD in 5-level NPC multilevel inverter based on multicarrier PWM techniques. *SSRG International Journal of Electrical and Electronics Engineering (SSRG-IJEEE)*, 4(8), 20-28.
58. Weifeng, Z. (2015). A New Space Vector Modulation (SVM) with Optimal Switching Sequence. *Journal of Electrical Systems*, 11(1), 1-10.
59. Lahlou, T., Muresan, V. I., Bolvashenkov, I. and Herzog, H. G. (2018). *Space vector modulation for 17-level cascaded H-bridge inverter for use in battery energy storage systems*. Thirteenth International Conference on Ecological Vehicles and Renewable Energies (EVER), 1-6.
60. Sugi, V. and ELLIS, C. (2014). Implementation of cascaded H bridge inverter using space vector PWM. *International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering*, 3(2), 499-506.
61. Ahmed, I. and Borghate, V. B. (2013). Simplified space vector modulation technique for seven-level cascaded H-bridge inverter. *IET Power Electronics*, 7(3), 604-613.
62. Chen, G. and Kang, J. (2018). Universal formulations and computation algorithm for three-phase space vector PWM ripple current analysis. *International Journal of Innovative Computing Information and Control*, 14(2), 587-602.

63. Qin, C., Zhang, C., Chen, A., Xing, X. and Zhang, G. (2018). A space vector modulation scheme of the quasi-Z-source three-level T-type inverter for common-mode voltage reduction. *IEEE Transactions on Industrial Electronics*, 65(10), 8340-8350.
64. Gholinezhad, J., and Noroozian, R. (2013). Analysis of cascaded H-bridge multilevel inverter in DTC-SVM induction motor drive for FCEV. *Journal of Electrical Engineering and Technology*, 8(2), 304-315.
65. Tong, J., Liu, L. J., Qiao, J. W., Zhang, Q. and Lu, Y. (2018). *Study of three-level SVPWM algorithm for 60° coordinate system*. 13th IEEE Conference on Industrial Electronics and Applications (ICIEA), 2445-2449.
66. Liu, Y., Wang, Y., Zhao, F., Zhang, C., Yu, T., Lei, W. and Ren, W. (2018). Research on PWM Inverter Based on New Space Vector Selection Mode. *International Journal of Computer Science Issues (IJCSI)*, 15(3), 17-21.
67. Muñoz, J., Pérez, C., Torres, I., Villalon, A., Espinosa, E., Melin, P. and Rohten, J. (2018). *Multilevel selective harmonic elimination for an asymmetric converter*. International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM), 485-490.
68. Shanono, I. H., Nor Rul, H. and Abdullah, A. M. (2018). 9-level voltage source inverter controlled using selective harmonic elimination. *International Journal of Power Electronics and Drive Systems*, 9(3), 1251-1262.
69. Cimatori, M. G., Tinari, M., Buccella, C. and Cecati, C. (2018). *A high efficiency selective harmonic elimination technique for multilevel converters*. International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM), 673-677.
70. Gholinezhad, J. and Noroozian, R. (2013). Analysis of cascaded H-bridge multilevel inverter in DTC-SVM induction motor drive for FCEV. *Journal of Electrical Engineering and Technology*, 8(2), 304-315.
71. Mosa, M., Balog, R. S. and Abu-Rub, H. (2016). High-performance predictive control of quasi-impedance source inverter. *IEEE Transactions on Power Electronics*, 32(4), 3251-3262.
72. Upadhyay, S. and Sharma, M. P. (2014). A review on configurations, control and sizing methodologies of hybrid energy systems. *Renewable and Sustainable Energy Reviews*, 38, 47-63.
73. Hussain, A., Sher, H. A., Murtaza, A. F. and Al-Haddad, K. (2018). *Improved voltage controlled three phase voltage source inverter using model predictive control for standalone system*. IECON 2018-44th Annual Conference of the IEEE Industrial Electronics Society, 5308-5313.

74. Quan, X., Zhao, X., Zhang, L., Xu, R., Lei, Y. and Huang, A. Q. (2019). *Novel power control of voltage-controlled inverters for grid inertia support*. IEEE Applied Power Electronics Conference and Exposition (APEC), 927-931.
75. Srikar, K., Peter, J. and Ramchand, R. (2018). *Comparative analysis of hysteresis current control strategies to achieve nearly constant switching frequency for a two-level inverter FED IM drive*. 44th Annual Conference of the IEEE Industrial Electronics Society, 433-438.
76. Blaabjerg, F., Teodorescu, R., Liserre, M. and Timbus, A. V. (2006). Overview of control and grid synchronization for distributed power generation systems. *IEEE Transactions on industrial electronics*, 53(5), 1398-1409.
77. He, J. and Li, Y. W. (2012). Hybrid voltage and current control approach for DG-grid interfacing converters with LCL filters. *IEEE Transactions on Industrial Electronics*, 60(5), 1797-1809.
78. Serban, E. and Serban, H. (2010). A control strategy for a distributed power generation microgrid application with voltage-and current-controlled source converter. *IEEE Transactions on Power Electronics*, 25(12), 2981-2992.
79. Begh, M. A. W. (2018). *Closed loop current control of a grid connected transformerless flying capacitor inverter*, Yüksek Lisans Tezi, Technical University of Munich, Almanya.
80. Hojabri, M., Ahmad, A. Z., Toudeshki, A. and Soheilrad, M. (2012). *An overview on current control techniques for grid connected renewable energy systems*. International Proceedings of Computer Science and Information Technology, 119-126.
81. Sundararajan, K., Nachiappan, A. and Veerapathiran, G. (2012). Comparison of current controllers for a five-level cascaded H-bridge multilevel inverter. *International Journal of Computer Engineering Research*, 2(6), 55-62.
82. Pavlanin, R., Spanik, P. and Dobrucky, B. (2012). *Comparison of multi-resonant-and hysteresis band controllers used in current control loop of shunt active power filter*. International Conference on Renewable Energies and Power Quality, 1832-1837.
83. Viswadev, R., Venkatesaperumal, B., Mudlapur, A., Ramana, V. V. and Mishra, S. (2018). *Modified hysteresis current control for single phase solar grid-tie Z-Source inverter*. IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES), 1-5.
84. Nazifi, H. and Radan, A. (2013). *Current control assisted and non-ideal proportional-resonant voltage controller for four-leg three-phase inverters with time-variant loads*. 4th Annual International Power Electronics, Drive Systems and Technologies Conference, 355-360.
85. Monfared, M. and Golestan, S. (2012). Control strategies for single-phase grid integration of small-scale renewable energy sources: A review. *Renewable and Sustainable Energy Reviews*, 16(7), 4982-4993.

86. Zammit, D., Staines, C. S., Apap, M. and Licari, J. (2017). Design of PR current control with selective harmonic compensators using matlab. *Journal of Electrical Systems and Information Technology*, 4(3), 347-358.
87. Kabalci, E., Boyar, A. and Kabalci, Y. (2017). *Design and analysis of a micro inverter for PV plants*. 9th International Conference on Electronics, Computers and Artificial Intelligence (ECAI), 1-6.
88. İnternet: Fuji Electric 2MBI100VA-120-50 IGBT Katalog Bilgileri Sayfası. URL: <http://www.farnell.com/datasheets/2181875.pdf>, Son Erişim Tarihi: 15.03.2019.
89. İnternet: Adım Adım ARM Programlama. URL: <http://www.muhammetefe.com/makalelerim/programlama/arm/9-adim-adim-arm-programlama-1.html>, Son Erişim Tarihi: 16.03.2019.
90. Çiçekdemir, Ç., Kesler, M., Karakuzu, C. ve Yüzgeç, U. (2012). *ARM mikrodenetleyici tabanlı birkopter'in 9DOF ile dengelenmesi*. Elektrik - Elektronik ve Bilgisayar Mühendisliği Sempozyumu. 673-677.
91. İnternet: STM32F4 İşlemci Katalog Bilgileri Sayfası. URL: <https://www.st.com/resource/en/datasheet/dm00037051.pdf>, Son Erişim Tarihi: 20.03.2019.
92. İnternet: STM32F4VG Geliştirme Kartı Kullanım Klavuzu. URL: https://www.st.com/content/ccc/resource/technical/document/user_manual/70/fe/4a/3f/e7/e1/4f/7d/DM00039084.pdf/files/DM00039084.pdf/jcr:content/translations/en.DM00039084.pdf, Son Erişim Tarihi: 20.03.2019.
93. Yaren, T., Süel, V., Yeniaydın, Y., Sakacı, B. ve Kizir, S. (2014). *STM32F4 kiti ile simulink tabanlı kontrol eğitimi uygulamaları geliştirme*. TOK2014 Otomatik Kontrol Ulusal Toplantısı, 868-873.
94. İnternet: STM32F4 Timer Yapısı ve Kullanımı. URL: <https://stm32f4-discovery.net/2014/09/library-33-pwm-stm32f4xx/>, Son Erişim Tarihi: 20.03.2019.
95. İnternet: VLA517-01R IGBT Sürücü Entegresi Katalog Bilgileri Sayfası. URL: https://img.ozdisan.com/ETicaret_Dosya/335532_2222750.pdf, Son Erişim Tarihi: 30.05.2019.
96. İnternet: LV25-P Gerilim Sensörü Katalog Bilgileri Sayfası. URL: http://www.farnell.com/datasheets/1866272.pdf?_ga=2.32978110.161801826.1563030023-689709818.1563030023, Son Erişim Tarihi: 30.05.2019.
97. İnternet: LA55-P Akım Sensörü Katalog Bilgileri Sayfası. URL: https://www.lem.com/sites/default/files/products_datasheets/la_55-p_e.pdf, Son Erişim Tarihi: 30.05.2019.
98. İnternet: Matlab Curve Fitting Tool, Goodness-of-Fit Statistics Tanımlamaları. URL: <https://www.mathworks.com/help/curvefit/evaluating-goodness-of-fit.html>, Son Erişim Tarihi: 30.05.2019.

99. Kannan, R., Mohanty, C. and Selvarasu, N. K. (2017). A new topology for cascaded H-bridge multilevel inverter with PI and fuzzy control. *Energy Procedia*, 117(1), 917-296.
100. Encarnação, L. F., Monteiro, L. F. C. and Aredes, M. (2010). *Nineteen multilevel asymmetric cascaded with an improved modulation strategy*. IEEE International Symposium on Industrial Electronic, 957-962.
101. Kumar, S. and Pal, Y. (2019). *A Three-Phase asymmetric multilevel inverter for standalone PV systems*. 6th International Conference on Signal Processing and Integrated Networks (SPIN), 357-361.
102. Mishra, N., Kant, P. and Singh, B. (2018). *An asymmetric seven level multilevel converter for grid integrated systems*. 8th IEEE India International Conference on Power Electronics (IICPE), 1-6.





ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : KEVEN, Gökhan
 Uyuğu : T.C.
 Doğum tarihi ve yeri : 03.09.1981, KOZAN
 Medeni hali : Evli
 Telefon : 0(384)441 34 32
 Faks : 0(384)441 34 41
 e-mail : gokhankeven@nevsehir.edu.tr



Eğitim

Derece	Eğitim Birimi	Mezuniyet Tarihi
Doktora	Gazi Üniversitesi/ Elektrik Eğitimi	Devam Ediyor
Yüksek lisans	Atatürk Üniv./ Elektrik-Elektronik Müh.	2009
Lisans	Gazi Üniversitesi/ Elektronik Öğretmenliği	2003
Lise	Çukurova Elektrik Anadolu Meslek Lisesi	1999

İş Deneyimi

Yıl	Yer	Görev
2009-Halen	Nevşehir Hacı Bektaş Veli Üniversitesi	Öğretim Görevlisi
2004-2009	Milli Eğitim Bakanlığı	Bilgisayar Öğrt.

Yabancı Dil

İngilizce

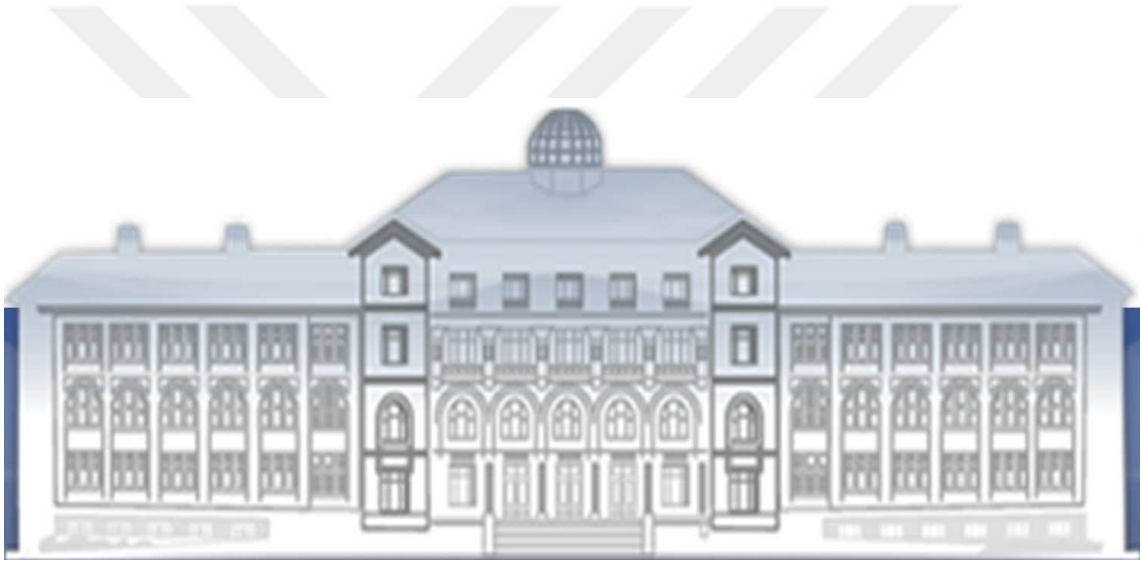
Yayınlar

1. Kabalcı, E., Keven, G. and Çicek, S. (2010). *Hydroelectric Plants in Turkey and Portion in the Energy Generation*, 3rd International Security Symposium (Energy Security) ISS-2010, 190-200.
2. Kabalcı, E., Çicek, S. and Keven, G. (2010). *Wind Power and Improvement in Turkey*, 3rd International Security Symposium (Energy Security) ISS-2010, 287-297.

3. Bayındır, B., Kabalcı, E., Keven, G. ve Can, C. (2012). *Rüzgar Türbinleri için Matlab/GUI tabanlı analiz aracı geliştirme*. European Conference and Workshop on Renewable Energy Systems (EWRES-2012), 1-6.
4. Çolak, İ., Kabalcı, E. and Keven, G. (2012). Asimetrik çok seviyeli eviricilerin incelenmesi. *EMO Bilimsel Dergi*, 2(3), 29-35.
5. Keven, G. ve Çiçek, S. (2012). *Sektörün meslek yüksekokulları bilgisayar programcılığı öğretimi ve mezunlarına bakış araştırması*. Ulusal Meslek Yüksekokulları Çalıştayı Ve Öğrenci Sempozyumu (UMÇÖS), 155-160.
6. Keven, G. ve Çiçek, S. (2012). *İKMEP değerlendirmesi: biyomedikal cihaz teknolojileri programı*. Ulusal Meslek Yüksekokulları Çalıştayı Ve Öğrenci Sempozyumu (UMÇÖS), 56-63.
7. Keven, G. ve Artuç, H. (2012). *Tarayıcıları optik okuyucu olarak kullanarak sınav formu analizi yapma*. Ulusal Meslek Yüksekokulları Çalıştayı Ve Öğrenci Sempozyumu (UMÇÖS), 379-385.
8. Çolak, İ., Kabalcı, E. and Keven, G. (2013). *Comparision of multi-carrier techniques in seven-level asymmetric cascade multilevel inverter*. International Conference on Power Engineering, Energy and Electrical Drives, 1619-1624.
9. Çolak, İ., Kabalcı, E. and Keven, G. (2014). *Simulation of a seven-level asymmetric cascade multilevel inverter with PR control*. International Power Electronics and Motion Control Conferance and Exposition, 343-347.
10. Çolak, İ., Kabalcı, E. and Keven, G. (2016). *Seven level asymmetric cascade inverter with space vector PWM added PR control*. International Power Electronics and Motion Control Conferance and Exposition, 198-202.

Hobiler

Kitap okuma, doğa yürüyüşü



GAZİ GELECEKTİR..