



**T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ**



DOKTORA TEZİ

**FinFET KULLANARAK ANAHTARLAMALI KAPASİTE DEVRE TASARIMI
VE UYGULAMALAR**

Morteza BABAEIAN FAR

**DANIŞMAN
Prof. Dr. Fırat KAÇAR**

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

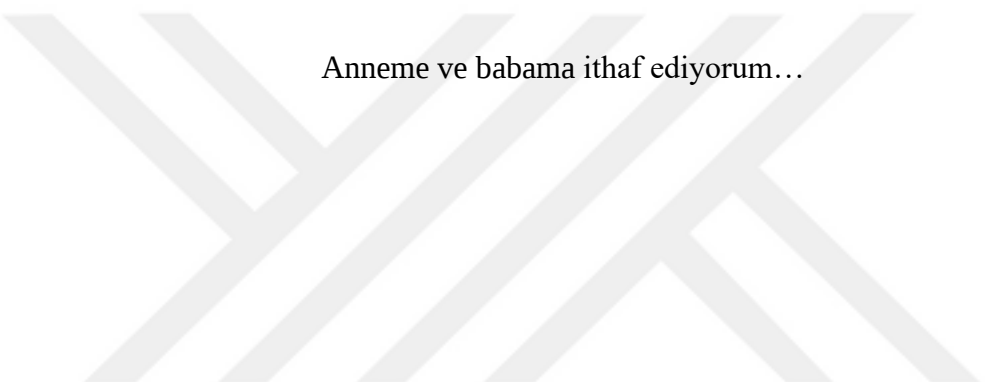
Aralık, 2024

TEZ KABUL VE ONAYI

Morteza BABAEIAN FAR tarafından, **Prof. Dr. Fırat KAÇAR** danışmanlığında hazırlanan **"FinFET KULLANARAK ANAHTARLAMALI KAPASİTE DEVRE TASARIMI VE UYGULAMALAR"** başlıklı bu çalışma, jürimiz tarafından **18/12/2024** tarihinde yapılan sınav sonucunda **oy birliği** ile başarılı bulunarak **Doktora Tezi** olarak kabul edilmiştir.

Tez Jürisi

	İmza	Sonuç
DANIŞMAN	Prof. Dr. Fırat KAÇAR	☒
	İstanbul Üniversitesi-Cerrahpaşa	Kabul
	Elektrik- Elektronik Mühendisliği	☐
	Anabilim Dalı	Ret
ÜYE	Prof. Dr. Yasin ÖZÇELEP	☒
	İstanbul Üniversitesi-Cerrahpaşa	Kabul
	Elektrik- Elektronik Mühendisliği	☐
	Anabilim Dalı	Ret
ÜYE	Doç. Dr. Muhammed Emin BAŞAK	☒
	Yıldız Teknik Üniversitesi- YTÜ	Kabul
	Gemi Makineleri İşletme Mühendisliği	☐
		Ret
ÜYE	Doç. Dr. Cengiz Polat UZUNOĞLU	☒
	İstanbul Üniversitesi-Cerrahpaşa	Kabul
	Elektrik- Elektronik Mühendisliği	☐
	Anabilim Dalı	Ret
ÜYE	Dr. Öğr. Üyesi Mustafa KONAL	☒
	Tekirdağ Namık Kemal Üniversitesi	Kabul
	Elektrik- Elektronik Mühendisliği	☐
	Anabilim Dalı	Ret



Anneme ve babama ithaf ediyorum...

BÜTÇE DESTEKLERİ

FinFET KULLANARAK ANAHTARLAMALI KAPASİTE DEVRE TASARIMI VE UYGULAMALAR

Bu tez çalışması için herhangi bir kurumdan bütçe desteği alınmamıştır.



TEŞEKKÜR

Bu tez çalışması sürecinde bana rehberlik eden değerli danışmanım Prof. Dr. Fırat KAÇAR'a en içten teşekkürlerimi sunarım. Bilgeliliği ve rehberliği, bu çalışmanın her aşamasında bana ilham kaynağı olmuştur.

Ayrıca, her zaman yanımda olan ve desteğini esirgemeyen sevgili arkadaşım Arş. Gör. Mehmet Aytuğ ORMANCI'ya da minnettarlığımı ifade etmek isterim. Onun samimiyeti ve yardımseverliği, bu süreci daha keyifli hale getirdi.

Tez çalışmam boyunca her zaman desteklerini hissettiğim sevgili aileme ve Shima SAJADIFAR'a da teşekkür etmek istiyorum.

Son olarak, çalışma sürecimde bana imkanlar sunan ve desteğini esirgemeyen şirket yöneticilerim Sayın Sinan KARASLAN ve Sayın Tayfun ATALAY'a, ayrıca değerli hocam Prof. Dr. Ataç BAŞÇETİN'e en derin şükranlarımı sunarım. Destekleriniz olmasaydı, bu çalışmayı tamamlamam mümkün olmazdı.

Hepinize sonsuz teşekkürler!

Aralık 2024

Morteza BABAEIAN FAR

İÇİNDEKİLER

Sayfa No

TEZ KABUL VE ONAYI.....	ii
BÜTÇE DESTEKLERİ	iv
TEŞEKKÜR.....	v
İÇİNDEKİLER.....	vi
ŞEKİL LİSTESİ	viii
TABLO LİSTESİ.....	xi
SİMGE VE KISALTMA LİSTESİ.....	xiii
ÖZET	xv
ABSTRACT	xvii
1. GİRİŞ.....	1
2. KAVRAMSAL ÇERÇEVE	4
2.1 NANOTEKNOLOJİNİN GENEL GÖRÜNÜMÜ VE GELECEK ETKİLERİ.....	4
2.2. ALAN ETKİLİ TRANSİSTÖR (FET)	6
2.2.1. Alan Etkili Transistör Türleri	7
2.2.2. Metal-Oksit Yarı İletken Alan Etkili Transistör (MOSFET)	8
2.2.3. Kısa Kanal Etkileri	9
2.2.4. Fin Alan Etkili Transistör (Fin Field Effect Transistor (FinFET))	16
2.2.5. Çift Gate'li FinFET	19
2.2.6. SOI FinFET ve Bulk FinFET	20
2.2.7. FinFET Cihazı	21
2.2.8. FinFET Tasarımı	22
2.2.9. FinFET Transistörler ve Devre Uygulamaları	24
2.2.10. FinFET'in Avantajları ve Dezavantajları	25
2.2.11. Anahtarlama Kapasite Filtreler	27
2.2.12. Anahtarlama Kapasite Direnç Simülasyon Ağları	32

2.2.13. Anahtarlamaalı Kapasite Direnci	33
2.2.14. Anahtarlamaalı Kapasite Direncinin Çalışması	36
2.2.15. Anahtarlamaalı Kapasite ile Entegre Edici	37
3. YÖNTEM	40
3.1. ANAHTARLAMALI KAPASİTE ENTEGRATÖRÜ TASARIMI	40
3.1.1. İntertörlü Anahtarlamaalı Kapasite (SC integrator)	42
3.1.2. Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör (Positive Integrator With Insensitivity to Stray Capacitances)	48
3.1.3. İkinci Model İntertörlü Anahtarlamaalı Kapasite	55
4. BÜLGULAR	64
4.1. FinFET IC TASARIMLARI.....	64
4.2. KENDİNDEN KASKOD YAPISI (SELF CASCODE).....	64
4.3. ÖNERİLEN CFC OP-AMP	66
4.4. ANAHTARLAMALI KAPASİTE ENTEGRATÖRÜ UYGULAMASI.....	80
5. TARTIŞMA.....	85
6. SONUÇ VE ÖNERİLER	87
KAYNAKLAR.....	89
İNTİHAL RAPORU İLK SAYFASI	99

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1: Nanoteknolojinin tarihsel zaman çizelgesi.	5
Şekil 2.2: Nanoteknolojinin uygulamaları.	6
Şekil 2.3: N-tipi MOSFET'in kesit görünümü.	7
Şekil 2.4: FET mimarisi evrimi.....	8
Şekil 2.5: Planar MOSFET'ten GAA FET'e iyileştirmeler.	9
Şekil 2.6: A. DIBL etkisi B. MOSFET kanalı ve Tükenim Bölgesi.	11
Şekil 2.7: Kısa kanal uzunluğunda kaynak ve drenaj arasındaki kaçak akım.....	12
Şekil 2.8: Kısa kanal MOSFET'lerde yüzey saçılması ve taşıyıcı mobilitesine etkisi.....	12
Şekil 2.9: Sıcak taşıyıcıların oluşumu ve etkileri.....	15
Şekil 2.10: A. Parazitik bipolar transistör etkisi ve sıcak taşıyıcı enjeksiyonu B. Sıcak taşıyıcıların çığ etkisi ve taşıyıcı enjeksiyonu.	15
Şekil 2.11: FinFET transistör yapısı	16
Şekil 2.12: A. Düzlemsel MOSFET'in kanalı yatay B. FinFET ise dikey bir transistör	17
Şekil 2.13: A. Düzlemsel transistör B. 3D FinFET (üç gate'li) C. Üç fin'li 3D FinFET.....	19
Şekil 2.14: A. SOI FinFET yapısı B. Bulk FinFET yapısı.....	21
Şekil 2.15: A.Tek fin'li kısa devre gate'li (shorted-gate) FinFET yapısı B.Tek fin'li bağımsız gate'li (independent-gate) FinFET'in yapısı.	22
Şekil 2.16: Üç gate'li FinFET'in yapısı.	23
Şekil 2.17: FinFET'lerin çalışma modları	24
Şekil 2.18: Farklı modlarda 32-nm N-tipi FinFET için simüle edilen I_{ds} vs V_{gfs} karakteristikleri.....	25
Şekil 2.19 : MOS anahtarları: A. NMOS, B. PMOS, C. İletim gate.....	28
Şekil 2.20: Anahtarın A. r_{ds} direnci ve B. c_{ss} kapasitansı, V_{in} voltajına göre bir örnek olarak gösterilmiştir	29

Şekil 2.21: Hayalet anahtar tekniği kullanan basit devre.	29
Şekil 2.22: Alt plaka örnekleme tekniği kullanan basit devre.	30
Şekil 2.23: İki fazlı çakışmayan saat jeneratörü: A. Devre uygulaması, B. Faz şeması.	30
Şekil 2.24: Çakışmayan saat fazı şeması.	33
Şekil 2.25: A. İdeal anahtarlar kullanarak anahtarlama kapasite direnci B. Eşdeğer direnç.	35
Şekil 2.26: Çakışmayan anahtarlama sinyalleri.	35
Şekil 2.27: Op-Amp RC entegre edici devresi.	38
Şekil 3.1: Op-Amp RC entegratör devresi.	41
Şekil 3.2: Op-Amp entegratörünün çıkış voltajı.	41
Şekil 3.3: İntertörlü anahtarlama kapasite A. MOSFET'leri kullanan konfigürasyonu B. FinFET'leri kullanan konfigürasyonu.	42
Şekil 3.4: İntertörlü anahtarlama kapasite giriş ve çıkış voltaj A. MOSFET'leri kullanan konfigürasyonu B. FinFET'leri kullanan konfigürasyonu.	43
Şekil 3.5: İntertörlü anahtarlama kapasite devresinin MOSFET ve FinFET konfigürasyonları kapasitans değerlerinin (C) karşılaştırması.	47
Şekil 3.6: İntertörlü anahtarlama kapasite devresinin MOSFET ve FinFET konfigürasyonları W/L oranlarına göre performans karşılaştırması.	47
Şekil 3.7: İntertörlü anahtarlama kapasite devresinin MOSFET ve FinFET konfigürasyonları farklı frekanslarda (f) performans karşılaştırması.	48
Şekil 3.8: Kaçak kapasitanslara karşı duyarsız pozitif entegratör A. MOSFET'leri kullanan konfigürasyonu B. FinFET'leri kullanan konfigürasyonu.	49
Şekil 3.9: Kaçak kapasitanslara karşı duyarsız pozitif entegratör giriş ve çıkış voltaj A. MOSFET'leri kullanan konfigürasyonu B. FinFET'leri kullanan konfigürasyonu.	50
Şekil 3.10: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET ve FinFET konfigürasyonları kapasitans değerlerinin (C) karşılaştırması.	53
Şekil 3.11: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET ve FinFET konfigürasyonları W/L oranlarına göre performans karşılaştırması.	54
Şekil 3.12: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET ve FinFET konfigürasyonları farklı frekanslarda (F) performans karşılaştırması.	54
Şekil 3.13: İletim gate yapısı.	55
Şekil 3.14: NMOS ve PMOS ile oluşturulan iletim gate yapının geçiş özellikleri.	56

Şekil 3.15: İkinci model invertörlü Anahtarlama kapasite iletim gate yapısı A. MOSFET'leri kullanan konfigürasyon B. FinFET'leri kullanan konfigürasyon.....	57
Şekil 3.16: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile çıkış voltajı A. MOSFET'leri kullanan konfigürasyonu B. FinFET'leri kullanan konfigürasyonu.	58
Şekil 3.17: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında kapasitans değerlerinin (C) karşılaştırması.....	61
Şekil 3.18: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında W/L oranlarına göre performans karşılaştırması.	61
Şekil 3.19: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında farklı frekanslarda (f) performans karşılaştırması.	62
Şekil 4.1: A.Tek FinFET B. Kendinden kaskod yapısı.....	65
Şekil 4.2: Farklı parametreler altındaki tek FinFET ve kendi-kaskod yapılarının operasyonel sonuçları (@VFG=0.5 V, @VBG=VS=GND, W1/L1=80nm/64nm).....	65
Şekil 4.3: Önerilen CFC Op-Amp konfigürasyonu.....	67
Şekil 4.4: DDSB konfigürasyonu.....	69
Şekil 4.5: A.DDSB saatlerinin çalışma dalga formları B.Çıkış voltajları.....	70
Şekil 4.6: Önerilen Op-Amp'ın AC yanıtı: A.Voltaj kazancı B.Faz marjı.....	73
Şekil 4.7: Önerilen Op-Amp'ın CMRR ve girişe referanslı gürültü (Input Referred Noise) performansı sonuçları.	74
Şekil 4.8: Önerilen Op-Amp'ın slew rate, C=1, M=1: A.SR ⁺ B.SR ⁻	76
Şekil 4.9: Kazanç-faz tepkisi değişimi (@C=1, M=1): A.CL ile, B.Sıcaklık ile.....	77
Şekil 4.10: MC Analizi sonuçları: A.%3 varyasyon ile tox, B.%1 varyasyon ile V _{TH} , C.%5 varyasyon ile güç kaynakları (VDD-VSS).	79
Şekil 4.11: FinFET'ler kullanılarak yapılan invertörlü anahtarlama kapasite konfigürasyonu.	81
Şekil 4.12: Anahtarlama kapasite saatlerinin çalışma dalga formları.....	81
Şekil 4.13: İntertörlü anahtarlama kapasite giriş ve çıkış dalga formları.	82
Şekil 4.14: FinFET'leri kullanan kaçak kapasitanslara karşı duyarsız pozitif entegratör konfigürasyonu.	83
Şekil 4.15: Anahtarlama kapasite integratörünün giriş ve çıkış dalga formları.....	84

TABLO LİSTESİ

Sayfa No

Tablo 2.1: FinFET teknolojisinin avantajları ve dezavantajları.	26
Tablo 2.2: Anahtarlama kapasite direnç simülasyon devreleri.	32
Tablo 3.1: İnterörlü anahtarlama kapasite MOSFET'lerin çalışma parametreleri.	44
Tablo 3.2: İnterörlü anahtarlama kapasite FinFet'lerin çalışma parametreleri.	44
Tablo 3.3: İnterörlü anahtarlama kapasite devresine MOSFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, f ve W/L değerleri.....	46
Tablo 3.4: İnterörlü anahtarlama kapasite devresine FinFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, f ve W/L değerleri.....	46
Tablo 3.5: MOSFETlerin çalışma parametreleri.	50
Tablo 3.6: FinFETlerin çalışma parametreleri.....	51
Tablo 3.7: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, F ve W/L değerleri.....	52
Tablo 3.8: Kaçak kapasitanslara karşı duyarsız pozitif entegratör FinFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, F ve W/L değerleri.....	52
Tablo 3.9: MOSFET'lerin çalışma parametreleri.....	58
Tablo 3.10: FinFET'lerin çalışma parametreleri.	59
Tablo 3.11: İnterörlü anahtarlama kapasite devresine MOSFET iletim gate uygulandığında, en uygun performansı sağlamak için C, F ve W/L değerleri.....	59
Tablo 3.12: İnterörlü anahtarlama kapasite devresine FinFET iletim gate uygulandığında, en uygun performansı sağlamak için C, F ve W/L değerleri.....	60
Tablo 4.1: Transistorlerin boyut oranları.....	71

Tablo 4.2: DDSB CFC Op-Amp'ın performans karşılaştırması.	75
Tablo 4.3: Önerilen Op-Amp'ın literatür ile performans karşılaştırması.....	79
Tablo 4.4: Kaçak kapasitanslara karşı duyarsız pozitif entegratör konfigürasyonu performansları.....	83



SİMGE VE KISALTMA LİSTESİ

Simgeler	Açıklama
μ	: Taşıyıcı mobilitesi
E	: Kanal boyunca etkili elektrik alan
E_c	: Taşıyıcı hızını saturasyona götüren kritik elektrik alan
Ω	: Ohm
pF	: Pikofarad
KHz	: KiloHertz
nm	: Nanometre
dB	: Desibel
W	: Watt
μm	: Mikrometre

Kısaltmalar	Açıklama
CalTech	: California Institute of Technology
FinFET	: Fin Alan Etkili Transistör
MOSFET	: Metal-Oksit-Yarı iletken Alan Etkili Transistör
SCE	: Kısa Kanal Etkileri
DIBL	: Drain Kaynaklı Bariyer Düşürme
GAA	: Gate-All-Around
$I_{DS_{short}}$	: Drain akımı
$V_{DS_{SAT}}$	: Saturasyon drain-source gerilimi
DGCMOS	: Çift gate'li CMOS
DELTA	: Tanımlanan tamamen boşaltılmış ince kanal transistörüne
SOI	: Silikon Üzeri Yalıtkan
T_{si}	: Silikon gövde kalınlığı
H_{fin}	: Fin Yüksekliği
W_{min}	: Minimum transistör genişliği
SG	: Kısa devre gate'li
IG	: Bağımsız gate'li

L_g	: Gate Uzunluđu
LP	: Düşük Güç
g_f	: Ön gate
PTM	: Predictive Technology Model
Q	: Kapasitördeki yük
C	: Kapasitörün kapasitesi
T_{clk}	: Anahtarlama periyodu
ADC	: Analog-Dijital Dönüştürücü
KCL	: Kirchhoff'un Akım Kanunu
RMS	: Dalga formunun karesinin ortalamasının karekökü
DDSB	: Double Dynamic Switching Biased
GBW	: Kazanç-Bant Genişliđi
C	: Composite
M	: Multiplier
CFC	: Complementary Folded Cascode
MC	: Monte Carlo analizi
V_{TH}	: Eşik gerilim
T_{ox}	: Oksit kalınlıđı
THD	: Toplam harmonik bozulma

ÖZET

DOKTORA TEZİ

FinFET KULLANARAK ANAHTARLAMALI KAPASİTE DEVRE TASARIMI VE UYGULAMALAR

MORTEZA BABAEIAN FAR

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

Danışman: Prof. Dr. Fırat KAÇAR

Modern teknoloji eğilimleri göz önüne alındığında, yarı iletken entegre devre üretim süreçlerine uygun ve çok yönlü yapıların önemi giderek artmaktadır. Bu tez, bu talebi karşılamak amacıyla geliştirilen en önemli yapılardan biri olan anahtarlama kapasite devrelerini ve bunların çeşitli uygulamalarını incelemektedir. Çalışmanın ilk bölümünde, FinFET anahtarlarının fiziksel yapısı, karakteristik eğrileri ve anahtar olarak kullanılma nedenleri detaylı bir şekilde ele alınmıştır. Ayrıca, anahtarlama kapasite devrelerinde tercih edilme sebepleri de tartışılmıştır.

FinFET, gate kanalın iki, üç veya dört tarafına yerleştirildiği ya da kanalın etrafına sarıldığı bir alt tabaka üzerine inşa edilmiş bir MOSFET'tir (metal-oksit-yarı iletken alan etkili transistör). Bu yapı, akım kontrolünü sağlayan bir geçit ile çevrilidir. FinFET yapılarının öne çıkan özellikleri; hızlı olması, çok küçük boyutlarda üretilebilmesi ve düşük güç seviyelerine ulaşabilmesidir. İlk bölümde ayrıca, anahtarlama kapasitelerinin temel prensipleri ve işleyişi hakkında da bilgi verilmiştir. Bu devrelerin modern elektronik sistemlerdeki önemi ve uygulama alanları tartışılmıştır. Tezin sonraki bölümünde, MOSFET ve FinFET kullanılarak üç farklı entegratör modelinin nasıl uygulandığı incelenmiştir. Bu bölümde ayrıca, FinFET'in MOSFET'e göre sağladığı avantajlar ve bu avantajların neden tercih edilmesi gerektiği detaylandırılmıştır. Bir sonraki bölümde, DDSB biaslı önerilen bir CFC sunulmuştur. Bu CFC

Op-Amp, benzer yapılarla karşılaştırıldığında sağladığı avantajlarla birlikte ele alınmıştır. Son olarak, önerilen CFC Op-Amp kullanılarak tasarlanan bir entegratör modeli sunulmuştur.

Bu tezde gerçekleştirilen simülasyonlar, LTspice simülasyon araçları kullanılarak yapılmış olup, simülasyonlarda kullanılan FinFET modelleri 32 nm PTM modelleridir. Çalışmanın sonuçları, modern yarı iletken cihazlarda performans ve verimliliğin artırılmasına yönelik önemli katkılar sunmaktadır. |

Aralık 2024 , [121] sayfa.

Anahtar kelimeler: [FinFET, Entegratör, Anahtarmalı Kapasite, Op-Amp, CFC , DDSB]



ABSTRACT

Ph.D. THESIS

SWITCHED CAPACITOR CIRCUIT DESIGN AND APPLICATIONS USING FinFET

Morteza BABAEIAN FAR

İstanbul University-Cerrahpaşa

Institute of Graduate Studies

Department of Electrical and Electronics Engineering

Electrical and Electronics Engineering, PhD Program

Supervisor: Prof. Dr. Fırat KAÇAR

Given modern technology trends, the importance of structures suitable for semiconductor integrated circuit manufacturing processes and versatile designs is increasing. This thesis examines one of the most significant structures developed to meet this demand: switched capacitor circuits and their various applications. In the first part of the study, the physical structure of FinFET switches, their characteristic curves, and the reasons for using them as switches are discussed in detail. Additionally, the reasons for preferring them in switched capacitor circuits are also examined. FinFET is a multi-gate device built on a substrate where the gate is placed on two, three, or four sides of the channel or wrapped around the channel. This structure is surrounded by a gate that controls the current. The prominent features of FinFET structures are their speed, the ability to be produced in very small sizes, and their low power consumption. The first section also provides information on the basic principles and operation of switched capacitors. The importance and application areas of these circuits in modern electronic systems are discussed. In the second part of the thesis, the implementation of three different integrator models using MOSFET and FinFET is examined. This section also details the advantages of FinFET over MOSFET and why these advantages make FinFETs preferable. In the next section, a proposed CFC Op-Amp with DDSB biasing is presented. This Op-Amp is discussed in terms of the advantages it offers compared to similar structures. Finally,

an integrator model designed using the proposed Op-Amp is presented. The simulations in this thesis were performed using LTspice simulation tools, and the FinFET models used in the simulations are 32 nm PTM models. The results of the study provide significant contributions to improving the performance and efficiency of modern semiconductor devices. |

December 2024, |121| pages.

Keywords: |FinFET, Integrator, Switched Capacitor, Op-Amp, Complementary Folded Cascode, DDSB |



1. GİRİŞ

FinFET (Fin Alan Etkili Transistör), MOS (Metal-Oksit Yarı İletken) teknolojisine dayalı bir cihaz olup, gate terminali, bir taban üzerinde dikey olarak duran ince bir yarı iletken fin yapısının iki yanına yerleştirilmiştir. Bu yenilikçi yapı, yüksek performans ve düşük güç tüketimi avantajları sunar. FinFET'lerin geliştirilmesi, özellikle 1999 yılında UC Berkeley'deki araştırmacılar tarafından önemli bir ivme kazanmıştır ve bu teknoloji, günümüzde nanoölçekli CMOS devrelerde yaygın olarak kullanılmaktadır [1, 2]. Üretim teknolojisi, 1990'ların sonlarında Kaliforniya Üniversitesi Berkeley'de Chenming Hu ve diğ. tarafından geliştirilmiştir [3]. FinFET'teki "Fin" terimi, bir alan etkili transistör (FET) cihazının kanalını oluşturan ultra ince yarı iletken bodyi tanımlar. FinFET cihaz mimarisinde, gate terminali ultra ince body fininin iki, üç, dört ya da tüm taraflarına yerleştirilebilir ve bu sayede cihaz performansı iyileştirilebilir. Bu cihazlar, silikon veya Silikon Üzeri Yalıtkan (SOI) tabanlar üzerinde üretilebilir [4, 5]. FinFET'ler, ana akım MOSFET'lere kıyasla daha hızlı anahtarlama hızı ve daha yüksek akım sürüşü gibi üstün performans sunar [4, 6]. Intel, FinFET teknolojisinin avantajlarını göz önünde bulundurarak 2011 yılında 22 nm düğümünde üç gateli (tri-gate) FinFET teknolojisini seri üretime geçiren ilk şirket olmuştur [7]. FinFET transistörleri, geleneksel düzlemsel MOSFET'lere (Metal-Oksit Yarı İletken Alan Etkili Transistör) göre önemli avantajlar sunar. Geleneksel MOSFET'lerde, akım kontrolü tek bir gate tarafından sağlanırken, FinFET'lerde bu kontrol, bir "Fin" şeklinde yapılandırılmış kanal etrafındaki çoklu gate'ler tarafından gerçekleştirilir. Bu çok gateli yapı, daha iyi elektrostatik kontrol ve azaltılmış sızıntı akımları sağlar [8]. Sonuç olarak, FinFET transistörleri, daha yüksek anahtarlama hızları ve daha düşük enerji tüketimi ile üstün performans sunar [9]. Bu özellikler, özellikle modern yüksek performanslı işlemciler ve düşük güç tüketen taşınabilir cihazlar için kritik öneme sahiptir [4]. Küçülen cihaz boyutlarının getirdiği zorluklar, sadece fiziksel alan kısıtlamaları ile sınırlı değildir. Aynı zamanda, termal yönetim ve güç tüketimi gibi faktörler de önemli hale gelmiştir [9]. FinFET transistörleri, daha düşük çalışma voltajları ile etkin çalışabilir ve bu da enerji tüketimini ve ısı üretimini azaltır [8]. Bu, modern veri merkezlerinden mobil cihazlara kadar geniş bir yelpazede enerji verimliliğini artırarak, cihazların performansını ve kullanım ömrünü iyileştirir [4]. FinFET transistörlerinin tasarımında, cihazın yüzey alanını artıran ve gate'in kanal üzerindeki kontrolünü güçlendiren "Fin" yapısının boyutları ve yerleşimi büyük

önem taşır. Bu tasarım, gate kontrolünü iyileştirir ve kısa kanal etkilerini minimize eder [8]. Ayrıca, bu yapı, daha yüksek frekanslarda çalışma kapasitesine sahip olup, dijital ve analog sinyal işleme uygulamalarında yüksek hız ve doğruluk sağlar. Entegre devre (IC) tasarım endüstrisinde, FinFET transistörleri, daha düşük güç tüketimi, daha yüksek hız ve artan ölçeklenebilirlik gibi avantajları sayesinde büyük ilgi görmektedir [9]. Bu transistörler, modern yarı iletken cihazların performans ve verimlilik gereksinimlerini karşılayarak, mikroişlemcilerden hafıza birimlerine, sinyal işleme devrelerinden güç yönetimi modüllerine kadar geniş bir uygulama alanında kullanılmaktadır [4]. Daha karmaşık görevleri daha hızlı ve daha az enerjiyle gerçekleştirme kabiliyetine rağmen, bilim insanları ve mühendislerin sürekli yenilik yapma ihtiyacı devam etmektedir [10]. Bu gereklilik, teknolojik ilerlemelerin hızlı temposu tarafından yönlendirilmektedir ve yeni teknolojilerin yaratılmasını zorunlu kılmaktadır [4]. Bu motivasyonla keşfedilen çözümler arasında, bu tezde ele alınan anahtarlama kapasite devreleri öne çıkmaktadır. Anahtarlama kapasite teknolojisi, zamanla gelişerek modern entegre devre tasarımında önemli bir yer edinmiştir [9]. James Clerk Maxwell, 19. yüzyılın en önemli fizikçilerinden biri olarak, elektromanyetik teori ve modern telekomünikasyon sistemlerinin temellerini atmıştır [11]. Maxwell'in çalışmalarından ilham alınarak, 1970'lerde bu konuda ilk teorik araştırmalar yapılmış ve o zamandan bu yana anahtarlama kapasite teknolojisi üzerinde yoğun bir araştırma ve geliştirme süreci yürütülmüştür [4]. Anahtarlama kapasite yapısı, geleneksel entegre devrelerde kullanılan büyük ve hata oranı yüksek direnç ve kapasitörlerin yerini alarak devre tasarımında önemli avantajlar sunar. Bu yapılar, tamamen transistörlerden oluşan, kompakt ve programlanabilir bir mimari ile karakterize edilir [8]. Kompakt yapı, devre tasarımında yerden tasarruf sağlar ve daha az malzeme kullanımı ile üretim maliyetlerini düşürür. Ayrıca, programlanabilirlik özelliği, farklı uygulamalara uyarlanabilirliği artırarak çok yönlü kullanım imkanı sunar [12]. Anahtarlama kapasite devrelerinin çağdaş üretim ve tasarım prosedürlerine uygun hale gelmesinin birkaç önemli nedeni vardır. İlk olarak, bu devreler düşük güç tüketimi ve yüksek verimlilik ile dikkat çeker. Modern elektronik cihazlar, pil ömrünü uzatmak ve enerji verimliliğini artırmak için düşük güç tüketen bileşenlere ihtiyaç duyar [13]. Anahtarlama kapasite devreleri, bu gereksinimleri karşılayarak, taşınabilir elektronik cihazlardan büyük ölçekli veri merkezlerine kadar geniş bir yelpazede kullanılabilir [14]. İkinci olarak, anahtarlama kapasite yapıları yüksek frekansta çalışma yeteneğine sahiptir, bu da hızlı veri işleme ve iletişim uygulamaları için idealdir [15]. Bu özellik, özellikle telekomünikasyon ve bilgi işlem alanlarında önemli bir avantaj sağlar. Yüksek frekans kapasitesi, sinyal bütünlüğünü

korurken veri hızlarını artırır ve kullanıcı deneyimini iyileştirir [16]. Ayrıca, anahtarlama kapasite teknolojisinin güvenilirliği ve dayanıklılığı, endüstriyel ve askeri uygulamalar için kritik bir faktördür [9]. Bu devreler, zorlu çalışma koşullarında bile stabil performans sergileyebilir ve bu da onları güvenilir ve uzun ömürlü çözümler arayan sektörler için cazip kılar [17]. Bu nedenlerden dolayı, anahtarlama kapasite devreleri, yarı iletken endüstrisinde önemli bir teknoloji olarak konumlanmıştır. Gelecekte, bu devrelerin daha da gelişmesi ve yeni uygulama alanlarının keşfedilmesi beklenmektedir. Bu tezde ele alınan çalışmalar, anahtarlama kapasite teknolojisinin mevcut potansiyelini ortaya koyarak, entegre devre tasarımları için bir yol haritası sunmaktadır. Bu bağlamda, öncelikle FinFET'lerin yapısı ve performansı incelenmiş, daha sonra anahtarlama kapasite devrelerinde anahtar olarak kullanılmaları sunulmuştur. MOSFET anahtarı ve FinFET anahtarı karşılaştırılarak FinFET kullanımının önceki modellere göre üstünlüğünün nedenleri araştırılmış ve sonuçlar simülasyonlarla desteklenmiştir. Daha sonra geliştirilen anahtarlama kapasite yapısına sahip Op-Amp daha detaylı olarak incelenmiştir.

Bu tezde, 1 V ($\pm 0,5$ V) besleme voltajıyla çalışacak ve 246 μ W güç tüketimiyle operasyonel performans elde edecek şekilde tasarlanmış CFC Op-Amp'nin geliştirilmesi anlatılmaktadır. Tasarımlarda, daha düşük güç tüketimi, daha yüksek yoğunluk, iyileştirilmiş ölçeklendirme, gelişmiş güvenilirlik ve yarı iletken teknolojisinde gelecekteki gelişmelerle uyumluluk dahil olmak üzere avantajlarından yararlanmak amacıyla PTM 32nm FinFET teknolojisi seçilmiştir. FinFET teknolojisine uygun olarak self-cascode yapısı kullanılarak hem çıkış direncinin artırılması hem de daha düşük gerilimlerde tasarım yapılabilmesi sağlanmıştır. Bu özellik sayesinde parametrik esneklik elde edilmiştir. Ayrıca, DDSB devresinin [18]'e entegre edilmesi, gürültü ve süreç değişiklikleri gibi istenmeyen olayların azaltılmasına yardımcı olur ve sonuç olarak genel performansı ve kararlılığı artırır. Önerilen devrenin çeşitli koşullar altındaki kararlılığı ve performansı, SC entegratör uygulaması kullanılarak test edilmiş ve elde edilen sonuçlar analiz edilmiştir. Bu durum, diğer birçok araştırma projesinde bu teze atıf yapılma olasılığını artırmakta ve bu araştırmanın literatüre katkı sağlayabileceği düşünülmektedir.

2. KAVRAMSAL ÇERÇEVE

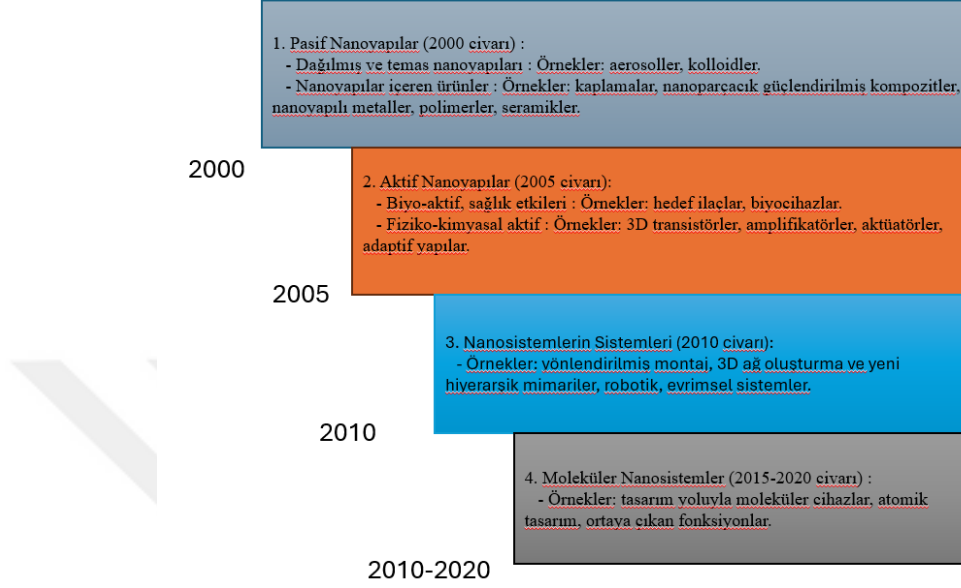
2.1. NANOTEKNOLOJİNİN GENEL GÖRÜNÜMÜ VE GELECEK ETKİLERİ

Nanobilim ve nanoteknoloji kavramları, Richard Feynman'ın California Institute of Technology'deki (CalTech) konuşmasından çok daha önce şekillenmiş ve gelişmiştir. Feynman, bu kavramları tanımlarken, bilim insanlarının malzemeleri atomik ve moleküler düzeyde manipüle edebileceği bir geleceği hayal etmiştir. Feynman'ın bu vizyonu, nanoteknolojinin temel ilkelerinin atılmasında önemli bir dönüm noktası olmuştur [19]. Bu kavram, ultra-hassas işlem süreçlerini daha derinlemesine keşfetme arayışında olan Profesör Norio Taniguchi tarafından "nanoteknoloji" olarak adlandırılmıştır [20]. 1981'de taramalı tünelleme mikroskopunun (STM) ortaya çıkışı, nanobilimin moleküler düzeyde bireysel atomlara uygulanabilirliğini gözler önüne sermiştir [21].

Nanoteknoloji, bu nedenle, atomik maddelerin moleküler ve süper-moleküler düzeyde manipüle edilmesi olarak tanımlanmaktadır [22]. Moleküler nanoteknoloji, makro ölçekli ürünler üretmek için maddeyi atomik veya moleküler düzeyde manipüle etmeyi içerir. Bu kavram, K. Eric Drexler'in nanoteknolojiyi "maddenin yapısının tam ve ucuz kontrolü" olarak tanımladığı vizyonuyla uyumludur [23]. Alan, moleküler ölçekte mühendislik yapmayı amaçlar ve bunu, nesneleri atom atom inşa etmek için nanoskopik makineler veya "toplayıcılar" kullanarak gerçekleştirir. Ulusal Nanoteknoloji Enstitüsü'nün (National Nanotechnology Initiative) tanımına göre, nanoteknoloji, yaklaşık 1-100 nm boyutlarında maddenin anlaşılması ve kontrolüdür, bu ölçekte benzersiz fenomenler yeni uygulamalara olanak tanır [24]. Bu tanım, geleneksel teknolojik bakış açısının dışına çıkarak, öncelikle belirli bir boyut eşiğinin altındaki maddelerin benzersiz özellikleriyle ilgilenen daha araştırma odaklı bir kategoriye yönelmektedir. Bu minyatürleştirmeyi "nanoteknolojiler" ve "nano-ölçek teknolojileri" olarak çoğul hale getirmek yaygın bir uygulamadır. Bu, hedef değişken olarak boyutu belirleyen geniş bir araştırma uygulama yelpazesini ifade etmektedir [25].

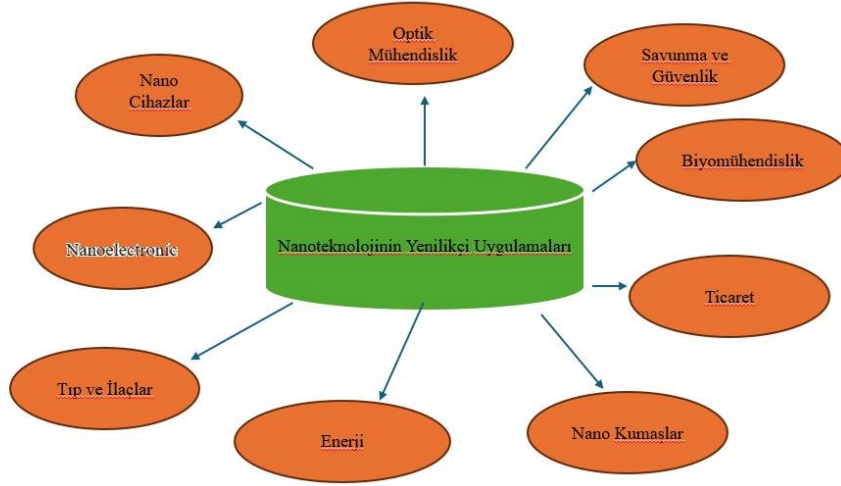
Birçok ülke, potansiyel askeri ve endüstriyel uygulamalar nedeniyle nanoteknoloji ile ilgili araştırmalara daha fazla yatırım yapmıştır. Amerika Birleşik Devletleri'nin Ulusal

Nanoteknoloji İnisiyatifi aracılığıyla yaptığı yatırımın yaklaşık 3.7 milyar dolar olduğunu, Avrupa Birliği ve Japonya'nın sırasıyla 1.2 milyar dolar ve 750 milyon dolar yatırım yaptığını bildirmiştir [26] (Şekil 2.1'de sunulmuştur).



Şekil 2.1: Nanoteknolojinin tarihsel zaman çizelgesi.

Bu nedenle, bu kavram boyutla tanımlanmakta ve enerji depolama uygulamaları, mikro imalat ve moleküler mühendislik gibi farklı bilim alanlarında uygulanmaktadır. Nanoteknoloji araştırmalarının çoğu, geleneksel cihazların genişletilmesinden, moleküler kendi kendine montaj esasına dayanan yeni bir yaklaşıma kadar uzanmaktadır [27]. Şekil 2.2'de gösterildiği gibi Nanoteknolojinin geleceği, birçok araştırmacı tarafından, nano-tıp, nanoelektronik, biyomalzemeler ve enerji üretimi gibi çeşitli uygulamalarda faydalı olabilecek tamamen yeni malzemeler ve cihazların geliştirilmesine öncülük edeceği öngörüsüyle önemli bir tartışma konusu olmuştur [28].



Şekil 2.2: Nanoteknolojinin uygulamaları.

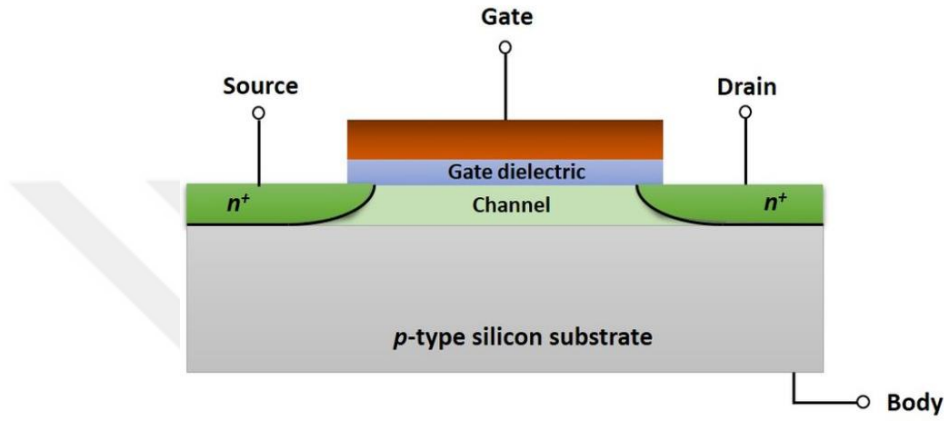
Bununla birlikte, nanomalzemelerin çevre üzerindeki tehlikeleri ve etkileri hakkında endişeler bulunmaktadır. Bu minyatür malzemelerin potansiyel tehlikeleri, hatta kıyamet senaryolarına yol açabileceği spekülasyonları, bunların gerçekten değerli olup olmadığını sorgulatmaktadır.

2.2. ALAN ETKİLİ TRANSİSTÖR (FET)

Julius Edgar Lilienfeld ve Oskar Heil, alan etkili transistörün (FET) erken dönem öncüleri olarak kabul edilmektedir, ancak verilen tarihlerde küçük bir düzeltme yapmak gerekir [29]. Ancak, JFET (Birleşim Yüzeyli Alan Etkili Transistör)'lerin yarı iletken cihazları, transistör etkilerinin gözlemlenmesinden sonra, 1947 yılında Bell Labs'ta William Shockley'in ekibi tarafından, patentten yaklaşık iki on yıl sonra geliştirildi [30, 31]. JFET'lerin ilki, 1950 yılında Jun-ichi Nishizawa ve diğ, tarafından icat edilen SIT'tir. SIT, kısa kanal uzunluğu ile karakterize edilir [32]. JFET'ten daha gelişmiş olan MOSFET, Dawon Kahng ve diğ, tarafından icat edilerek dijital elektroniğin gelişiminde önemli bir rol oynamıştır [33]. Akım, genellikle çoğunluk taşıyıcıları veya azınlık taşıyıcıları tarafından taşınır. Burada akımın akışı genellikle çoğunluk taşıyıcılarıyla gerçekleşir [34]. Bu cihaz, elektronların veya deliklerin kaynaktan drenaja aktığı aktif bir kanaldan oluşur ve iki terminal iletken, ohmik kontaklar aracılığıyla yarı iletkene bağlanır [35]. Aktif kanalların bu taşıyıcıları iletebilme yeteneği, gate ve kaynak terminalleri arasındaki uygulanan potansiyele bağlıdır [36].

FET'lerde üç tür terminal bulunmaktadır: source, drain ve gate. Taşıyıcılar (elektronlar ve delikler) kaynaktan aktif kanallara girer ve I_S ile gösterilir, taşıyıcılar kanalı drenaj yoluyla terk eder ve I_D ile gösterilir. Gate terminali, kanal iletkenliğini modüle eder ve 'G' ile gösterilir.

Gate (G) uygulanan voltaj, I_D 'yi kontrol eder [37]. FET'lerin mod artırımı durumunda, drain ve source bölgelerinin dopingi, tükenme (depletion) FET moduna göre farklılık gösterir. Geleneksel FET'lerde, drain ve source bölgeleri genellikle aktif kanalla aynı türde doplandırılır. Ancak, tükenme modunda çalışan FET'lerde, bu durum değişebilir [38]. Gate ve aktif kanal arasındaki yalıtım türü de alan etkili transistörleri kategorize etmek için kullanılır [39]. Şekil 2.3, farklı alan etkilerini göstermektedir.



Şekil 2.3: N-tipi MOSFET'in kesit görünümü [40].

2.2.1. Alan Etkili Transistör Türleri

Ters polarize p-n bağlantısı, gate'i (G) ana kanaldan ayırmak için kullanılır. MOSFET'te ana kanal ile gate (G) arasında bir yalıtkan (genellikle SiO_2) bulunur. Ancak metal-nitrür oksit yarı iletken (MNOS) transistöründe, yalıtkan olarak nitrür-oksit tabakası kullanılır [41]. Çift gate'li MOSFET ise iki yalıtkan gate'den oluşur. Tükenme modlu FET, sensör ve bellek düğümlerini eşzamanlı olarak yükseltir ve bu nedenle bir foton sensörü olarak işlev görür [42].

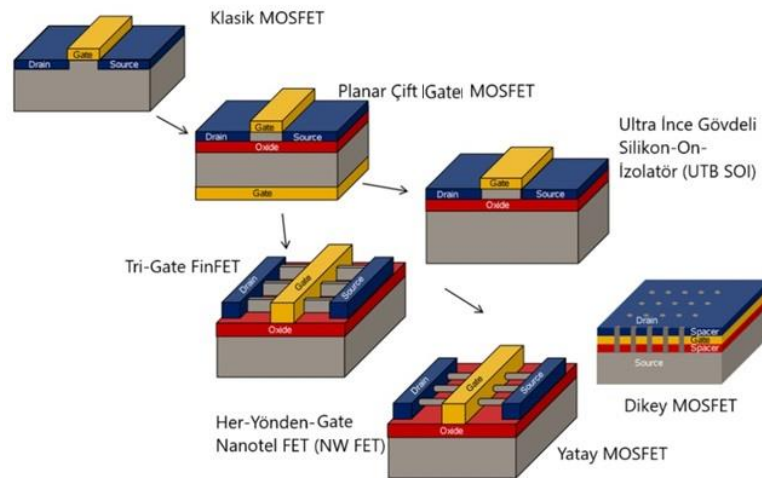
Metal-yarı iletken alan etkili (MESFET) transistörü oluşturmak için JFET'in p-n bağlantısının yerini bir Schottky bariyeri alır. Bu, genellikle galyum arsenit ve III-V tipi yarı iletken cihazlarda uygulanır [43]. Grafen nanoribbon alan etkili transistörler (GNR-FET'ler), nanoelektronik uygulamalar için umut verici adaylar olarak ortaya çıkmıştır. Dikey yarıklı FET'ler, kaynağı ve drenajı karşıt köşelerde bağlayan kare şekilli dar bir yarık ile karakterizedir. Akım, bu köşedeki yarık boyunca gate'ler tarafından kontrol edilir. Grafen bazlı FET'ler, biyosensörler ve kimyasal sensörler olarak yaygın bir şekilde kullanılan hassas transistörlerdir. Bu grafen bazlı transistörlerin daha yüksek duyarlılığı ve fiziksel özellikleri, iki boyutlu

yapılarından kaynaklanmakta olup, bu da algılama uygulamalarında "yanlış pozitif" durumlarının azaltılmasına yardımcı olur [44].

2.2.2. Metal-Oksit Yarı İletken Alan Etkili Transistör (MOSFET)

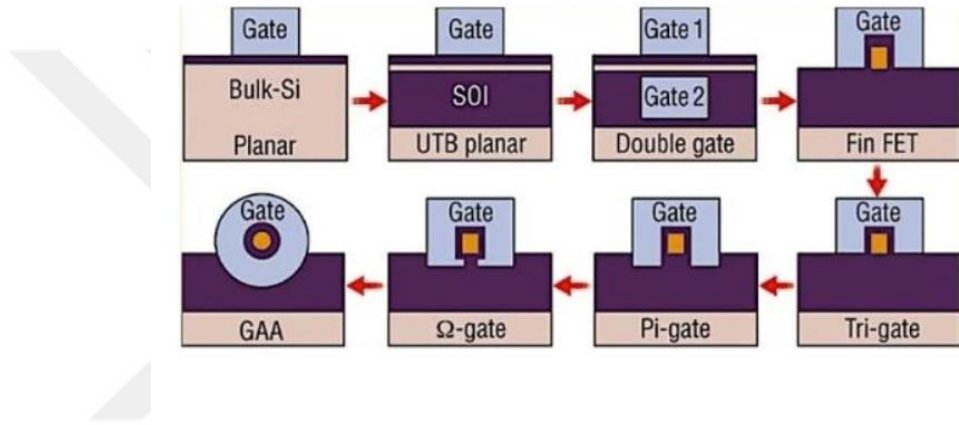
Tamamlayıcı metal-oksit yarı iletkenlerin (CMOS) ortaya çıkışı, elektronik endüstrisinin hızlı büyümesini sağlamıştır. Ancak 1990'dan bu yana, cihaz boyutlarının küçülmesini sürdürmek için geleneksel yığın CMOS yapısının yerine çeşitli cihaz topolojileri araştırılmaktadır. Elektrik mühendisleri, teknoloji düğümü ölçeklendikçe cihaz ölçeklendirme ile ilgili birçok sorunla karşılaştığından, yeni cihaz yapıları icat etmek için yoğun araştırmalar yürütmektedir [45]. Örneğin, teknoloji düğümü 180 nm'ye yaklaşmadan önce sızıntı gücü tüketimi büyük bir sorun olarak tanınmamıştı. Ancak, 90 nm veya 65 nm teknoloji düğümleri için, büyük transistör yoğunluğu nedeniyle eşik altı akımının etkisi önemli hale gelmiştir [17]. Bir transistörün eşik altı akımı çok küçük olmasına rağmen, işlem teknolojisi düğümü 45 nm'ye ulaştığında, gate sızıntısı da güç tüketimini kontrol etme açısından büyük bir sorun haline gelmiştir [46].

Bu nedenle, transistör boyutlarını küçültmeye devam etmek için yalnızca FinFET önerilmemiş, aynı zamanda ultra ince body silikon-on-izolatör (UTB SOI) adı verilen başka bir cihaz yapısı da Profesör Chamming Hu ve diğ. tarafından sunulmuştur [47]. UTB SOI MOSFET'in yapısı Şekil 2.4'te gösterilmiştir.



Şekil 2.4: FET mimarisi evrimi [48].

UTB SOI (Ultra- İnce Body Silikon-Yalıtkan) yapısında, neredeyse kendi kendine doplanmış body, dopant sayısı dalgalanma etkisinden kaçınır ve bu da transistör boyutlarının daha kolay ölçeklenmesine yardımcı olur. Ayrıca, bu tür bir yapı, punch-through etkisini ortadan kaldırabilir. Bununla birlikte, Berkeley Model Grubu (BSIM), Profesör Chamming Hu ve diğ, liderliğinde, UTB SOI MOSFET yerine FinFET yapısına odaklanmıştır. Çünkü FinFET yapısı, UTB SOI MOSFET'e göre daha iyi bir performans perspektifi sunmaktadır. Şekil 2.5'te gösterildiği gibi, FinFET yapısı performansı önemli ölçüde artırmaktadır [48].



Şekil 2.5: Planar MOSFET'ten GAA FET'e iyileştirmeler [49].

2.2.3. Kısa Kanal Etkileri

Transistörlerin boyutları küçüldükçe, kanalın uzunluğu, source ve drain tükenme bölgesinin genişliği ile aynı büyüklükte olur. source ve kanal arasındaki yakınlık, gate kontrolünü azaltır ve istenmeyen "Kısa Kanal Etkileri" (SCE) olarak adlandırılan fenomenleri ortaya çıkarır. Bu etkilerden biri, drain biasının drain akımını modüle edebildiği Drain Kaynaklı Bariyer Azalması (DIBL)'dır [50].

Birçok teknolojik zorluğa rağmen, planar MOSFET, gate uzunluğu 30 nm'nin altına indirildiğinde zayıf eşik altı salınımı (>80 mV/dec) ve çok daha yüksek kapalı (OFF) akımı (>100 nA/um) sergiler [17]. Bu nedenle, planar yığın MOSFET'lerin daha fazla ölçeklendirilmesi giderek zorlaşmaktadır. Kısa kanal etkilerini en aza indirmenin bir yolu, gate

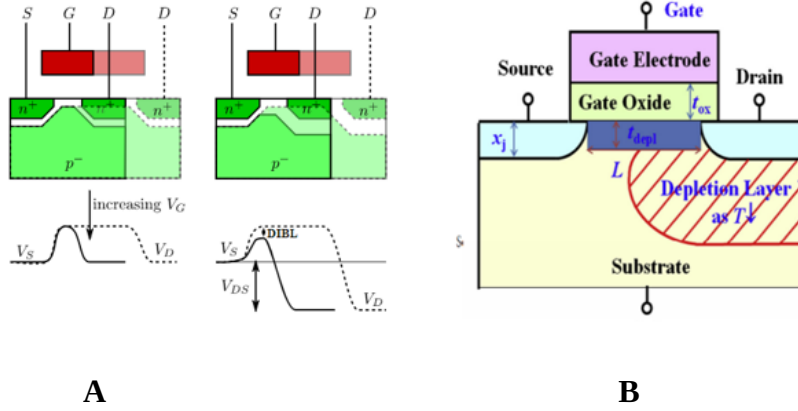
elektrostatiklerini iyileştirmektedir. Bu, gate sayısını artırarak ve body kalınlığını azaltarak başarılabılır [51].

MOSFET transistörlerinde gate ucuna transistörü iletme sokacak büyüklükte bir gerilim uygulandığında, taşıyıcı yükler kanal içinde gate tarafından oluşturulan elektrik alanının etkisiyle, source ucundan drenç ucuna doğru akmaya başlar. Bu hareketin tersi yönde akım oluşur. Bir MOSFET yapısında iletimin hızlanmasının en temel yolu, taşıyıcı yüklerin daha kısa bir yol üzerinden akmasıdır. Burada bahsedilen yol, source ve drenç arasında gate tarafından kontrol edilen kanaldır. Kanal boyu kısaltıldığında ortaya çıkan çeşitli etkiler, "kısa kanal etkileri" olarak adlandırılır. Bu etkiler, transistör tasarımı için kritik bazı parametreleri etkiler ve genellikle , DIBL ve zayıf eşik altı salınımı gibi olumsuz sonuçlara neden olur [52].

2.2.3.1. Drain Kaynaklı Bariyer Azalması (Drain-Induced Barrier Lowering (DIBL))

Normal şartlar altında ($V_{DS}=0$ V ve $V_{GS}=0$ V iken), source ile drain arasında elektron akışını durduran bir potansiyel bariyer bulunur. Şekil 2.6. A'da gösterildiği gibi, gate gerilimi bu bariyeri elektronların akabileceği seviyeye indirger. İdeal olarak, bu bariyeri etkileyen tek gerilimin gate gerilimi olması gerekir. Ancak, Şekil 2.6. B'de görüldüğü üzere, kanal boyu kısaltıldığında, drain ucundaki gerilim artışı ile bu uç etrafındaki tükenim bölgesi genişler ve belli bir seviyenin üzerinde bariyeri küçültmeye başlar. Bu etki, transistörün kontrolsüz bir şekilde akım iletmesine neden olur ve bu fenomen Drain Kaynaklı Bariyer Azalması (DIBL) olarak adlandırılmıştır.

Bu etki, kısa kanallı MOSFET'lerde daha yaygındır ve özellikle düşük güç tüketimi gerektiren uygulamalarda istenmeyen sonuçlara yol açar. Drain kaynaklı bariyer düşüşü, off (kapalı) durumda olan transistörlerde istenmeyen bir akıma neden olabilir. DIBL, özellikle kanal boyutları küçüldükçe elektrostatik kontrolün zayıflamasından kaynaklanır.



Şekil 2.6: A. DIBL etkisi B. MOSFET kanalı ve Tükenim Bölgesi.

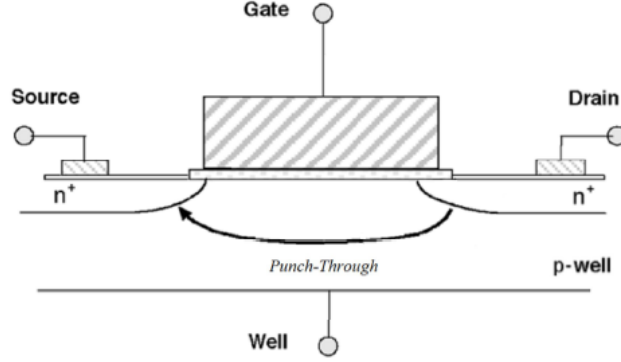
$$DIBL \approx \left(1 + \frac{x_j^2}{L^2}\right) \frac{t_{ox}}{L} \frac{t_{inv}}{L} \quad (2.1)$$

2.2.3.2. Punch-through

Punch-through, MOSFET'lerde ciddi bir bariyer düşürücü durumdur. Bu olay, drain kutuplama gerilimi arttığında drain etrafındaki tükenim bölgesi genişleyerek, source'u çevreleyen tükenim bölgesiyle birleştiğinde meydana gelir. Bu duruma Punch-through denir. Drain gerilimi hızlı bir şekilde arttığında, gate kanal üzerindeki kontrolünü kaybeder ve transistör kapanamaz.

Kanal boyu kısaldığında, drain normalde gate tarafından kontrol edilen tükenim bölgesine daha yakın hale gelir. Drain gerilimi yükseldiğinde, source ve drain arasında bir tükenim bölgesi oluşur, bu da punch-through etkisine neden olur. Bu durumda, drain, kanal kontrolünü ele geçirir ve bariyeri düşürerek transistörün açılmasına neden olur. Elektronlar source ve drain arasında, gate kontrolü dışında, serbestçe akmaya başlar. Bu da sızma akımı oluşturur.

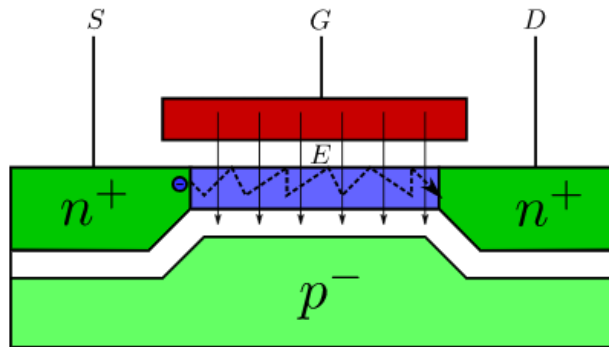
Punch-through etkisiyle drain, eşik gerilimini azaltır ve bu da sızma akımını artırır. Punch-through'dan mümkün olduğunca kaçınılmalıdır, çünkü bu etki transistörün performansını düşürür ve enerji verimliliğini olumsuz etkiler [51, 52]. Punch-through, özellikle FinFET ve GAA gibi gelişmiş yapılarla minimize edilebilir.



Şekil 2.7: Kısa kanal uzunluğunda kaynak ve drenaj arasındaki kaçak akım [53].

2.2.3.3. Yüzey Saçılması (Surface Scattering)

Yük taşıyıcılarının hızı, taşıyıcı mobilitesi ile kanal boyunca etkili olan elektriksel alanın çarpımına eşittir. Taşıyıcılar kanal boyunca ilerlerken, gate voltajının oluşturduğu elektrik alanı onları yüzeye doğru çeker. Bu taşıyıcılar, yüzeye çarparak ve sıçrayarak ilerler ve bu süreçte bir zigzag yol izlerler. Bu durum, taşıyıcıların yüzeydeki hareketliliğini, bulk (hacim) mobilitesine kıyasla etkin bir şekilde azaltır. Bu, transistörün akım-gerilim karakteristiğini doğrudan etkileyen bir faktördür [52]. Kanalin uzunluğu kısaldıkça, V_{DS} tarafından yaratılan yanal elektrik alanı daha da güçlenir ve taşıyıcıların hareketliliğini etkileyen bir diğer faktör haline gelir. Bu durumu telafi etmek için, gate voltajı tarafından oluşturulan dikey elektrik alanının da orantılı olarak artırılması gerekir. Oksit kalınlığının azaltılması, dikey elektrik alanının artırılması için bir çözüm sunar [51]. Ancak, bu yaklaşımın bir yan etkisi, yüzeyde daha fazla saçılmaya yol açmasıdır. Bu da, uzun kanal teknolojisine kıyasla etkin mobilitenin azalmasına neden olur.



Şekil 2.8: Kısa kanal MOSFET'lerde yüzey saçılması ve taşıyıcı mobilitesine etkisi.

2.2.3.4. Taşıyıcı Hız Doygunluğu (*Carriers Velocity Saturation and Mobility Degradation*)

Elektronlar veya delikler gibi yük taşıyıcılarının hızı, onları tahrik eden elektrik alan ile orantılıdır. Ancak, bu yalnızca düşük elektrik alanlarında geçerlidir. Elektrik alan güçlendikçe, yük taşıyıcılarının hızı doyum eğilimine girer. Bu, taşıyıcıların belirli bir kritik elektrik alanı üzerinde hızlarını artırmak yerine sabitleme eğiliminde oldukları anlamına gelir, bu duruma hız doyumluğu denir [52]. Hız doyumluğu, özellikle kısa kanal MOSFET'lerde sıkça gözlemlenir. Kısa kanallı MOSFET'lerde kanal uzunluğu azaldıkça, gate'in kanal üzerindeki dikey elektrik alanı artar ve bu da taşıyıcıların hızının hızla doyumluğa ulaşmasına neden olur [51]. Bu durum, transistörün performansını etkileyerek daha fazla akım taşıma kapasitesini sınırlar. Ayrıca, V_{DS} gerilimi arttıkça, daha yüksek yanal elektrik alanları da oluşur, bu da hız doyumluğuna katkıda bulunur [54]. Bu nedenle, kısa kanal etkileri hız doyumluğu ve akım taşıma kapasitesinde sınırlamalara neden olur. Özellikle yüksek performans gerektiren uygulamalarda, bu etkiyi en aza indirmek için gelişmiş yapı ve malzemeler kullanılması gerekmektedir, örneğin FinFET ve Gate-All-Around (GAA) teknolojileri bu sorunları hafifletmeye yardımcı olabilir [4].

Kritik hız, yük taşıyıcıların içinden geçtiği malzeme ile tanımlanır. Özellikle difüzyonlarda, doping konsantrasyonları ile tanımlanır. Birinci mertebeden bir yaklaşım olarak, taşıyıcı hızı şöyle tanımlanır:

$$v_d = \frac{\mu E}{1 + E/E_c} \quad (2.2)$$

Burada; μ taşıyıcı mobilitesi ($m^2/V.s$), E Kanal boyunca etkili elektrik alan (V/m), E_c taşıyıcı hızını saturasyona götüren kritik elektrik alan (V/m) olarak ifade edilir. $E \gg E_c$ Olduğunda taşıyıcı hızı doyuma ulaşır ve $v_d = \mu E_c = v_{sat}$ eşitliği elde edilir, $E \ll E_c$ için ise $v_d = \mu E$ olarak yazılabilir [51, 52].

Taşıyıcı hızı doyuma ulaştığında hız sabitlenir. Bu durum transistörün I-V karakteristiğini etkiler. Uzun kanallı MOSFET'lerde kanal üzerindeki dikey elektrik alan daha düşük olduğu için taşıyıcı hızının doyuma ulaşması V_D geriliminin artırılması ile sağlanır. Dolayısı ile drain akımı doyuma ulaşır. Kanal kısaldıkça taşıyıcı hızlarının doyuma ulaşması dolayısı ile drain akımının doyuma ulaşması daha düşük V_D geriliminde görülmeye başlar. Bu da kısa kanal transistörlerde drain-source arası saturasyon geriliminin $V_{GS} - V_{TH}$ geriliminden daha düşük olduğu anlamına gelir [52].

Drain akımı ($I_{DS_{short}}$) uzun ve kısa kanal transistörleri için aşağıdaki gibi ifade edilir:

$$I_{DS_{short}} = \frac{I_{DS_{long}}}{1 + E/E_c} = \frac{\mu C_{ox} W ((V_{GS} - V_{TH}) V_{DS} - V_{DS}^2/2)}{L(1 + E/E_c)} \quad (2.3)$$

Saturasyon drain-source gerilimi ($V_{DS_{SAT}}$) ise şu şekilde tanımlanır:

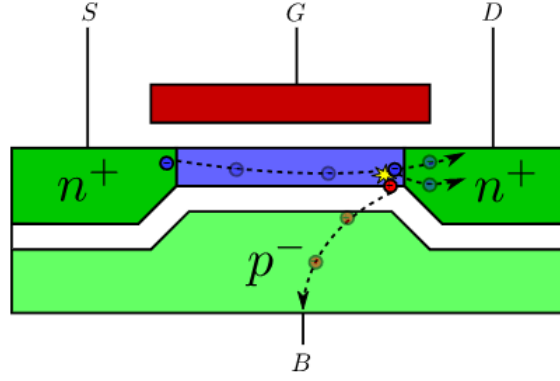
$$V_{DS_{SAT}} = \frac{2(V_{GS} - V_{TH})}{1 + \sqrt{1 + \frac{2\mu(V_{GS} - V_{TH})}{v_{sat}L}}} \quad (2.4)$$

Bu ifadeler, kısa kanal MOSFET'lerin doyum bölgesindeki davranışını daha düşük gerilimlerde gözlemleyebileceğimizi açıklar. Saturasyon gerilimi, kısa kanallı cihazlarda $V_{GS} - V_{TH}$ geriliminden daha düşük değerlere sahip olur.

2.2.3.5. Sıcak Taşıyıcı Etkileri (Hot Carrier Effects)

Daha küçük geometrik boyutlara sahip MOSFET'lerde, drain ve source terminalleri birbirine yaklaştıkça, kanal üzerindeki elektriksel alan artar. Elektrik alanının artması, taşıyıcı yüklerin hızını artırarak enerjilerinin yüksek seviyelere çıkmasına neden olur. Şekil 2.9'da gösterildiği gibi, bu yüksek enerjiye sahip taşıyıcılara sıcak taşıyıcı (hot carrier) adı verilir. Sıcak taşıyıcı etkisi, özellikle drain ucuna yakın bölgede görülür, çünkü taşıyıcıların enerjisi bu bölgede daha yüksektir [52].

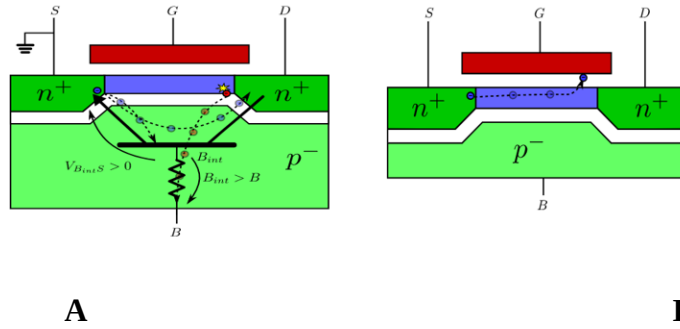
Sıcak taşıyıcılar, silisyum kristal yapısından geçerken silisyum atomları ile çarpışma olasılığına sahiptir. Eğer bu çarpışma sırasında yeterli miktarda enerji transfer edilirse, valans bandında bulunan bir elektron, iletim bandına geçebilir. Bu süreç sonucunda elektron-delik çifti oluşur. Oluşan elektron, drain'e doğru ilerlerken, delik ise bulk bölgesine çekilir. Sıcak taşıyıcı etkisi, MOSFET'lerin performansını olumsuz etkileyen önemli bir sorundur. Bu etki, transistörlerde zamanla bozulmalara neden olabilir ve cihazın ömrünü kısaltabilir. Yüksek enerjili taşıyıcılar, yalıtkan malzemeye veya gate oksidine zarar verebilir, bu da MOSFET'lerin güvenilirliğini azaltır.



Şekil 2.9: Sıcak taşıyıcıların oluşumu ve etkileri.

Elektron-delik çiftlerinin oluşumu agresif hale geldiğinde, iki ciddi etki ortaya çıkar. Bunlardan ilki, source-bulk-drain jonksiyonları arasında oluşan parazitik bipolar transistör (BJT) etkisidir. Normalde bu transistör, bulk ucunun en düşük gerilimle kutuplanması nedeniyle kapalıdır. Ancak, sıcak taşıyıcıların oluşturduğu delikler bulk'a doğru aktığında, bulk üzerindeki parazitik dirençte bir gerilim düşümü meydana gelir. Eğer baz-emetör gerilimi 0.6V-0.7V aralığını aşarsa, BJT aktif hale gelir. Şekil 2.10. A'de gösterildiği gibi BJT aktif olduğunda, elektronlar MOSFET'in kanalından ziyade BJT yapısı üzerinden bulk ve drain yönünde akabilir [52].

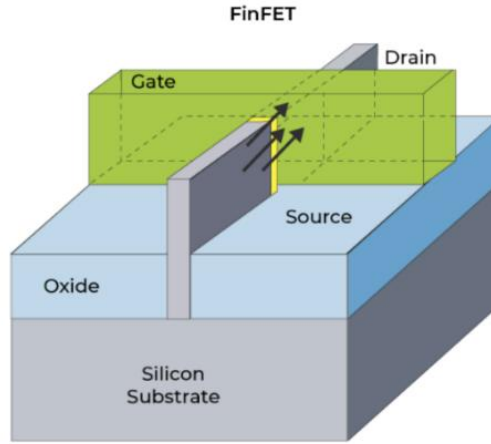
İkinci ve daha büyük tehlike, çarpışma ile iletim bandına geçen elektronların, sıcak taşıyıcılara dönüşmesi ve bu taşıyıcıların daha fazla elektronu iletim bandına geçirerek çıkış etkisine sebep olmasıdır. Şekil 2.10. B'de gösterildiği gibi, gate'in kontrol edemediği aşırı akım akışına yol açabilir. Ayrıca, sıcak elektronlar oksit tabakasından tünelleyerek gate'te birikebilir, bu durum ise gate oxide'de kalıcı hasara ve cihazın bozulmasına yol açar. Bu olaya sıcak taşıyıcı enjeksiyonu (Hot Carrier Injection - HCI) adı verilir ve uzun vadede cihazın güvenilirliğini tehlikeye atar.



Şekil 2.10: A. Parazitik bipolar transistör etkisi ve sıcak taşıyıcı enjeksiyonu B. Sıcak taşıyıcıların çıkış etkisi ve taşıyıcı enjeksiyonu.

2.2.4. Fin Alan Etikli Transistör (Fin Field Effect Transistor (FinFET))

FinFET, 1989 yılında akademik bir yayında tanımlanan tamamen boşaltılmış ince kanal transistörüne (DELTA) dayanan bir gelişmedir. Bu cihazlar, ince kanal yapıları ile dikkat çeker ve her iki cihazda da kanal, büyük kaynak ve drenaj bağlantılarına göre oldukça incedir. DELTA ve FinFET cihazlarının tasarım konsepti benzer olup, kanalın dar yapısı, daha iyi elektrostatik kontrol sağlamaktadır. FinFET teknolojisinin geliştirilmesi, DELTA transistör yapısından esinlenmiş ve modern yarı iletken cihazların performansını artırmak için üç boyutlu yapıların kullanılmasını sağlamıştır. FinFET'in kanal yapısının dikey fin şeklinde tasarlanması, cihazın daha iyi kontrol edilmesini sağlar ve özellikle kısa kanal etkilerini azaltmada büyük bir rol oynar [4]. Şekil 2.11 FinFET transistörünün yapısı gösterir.



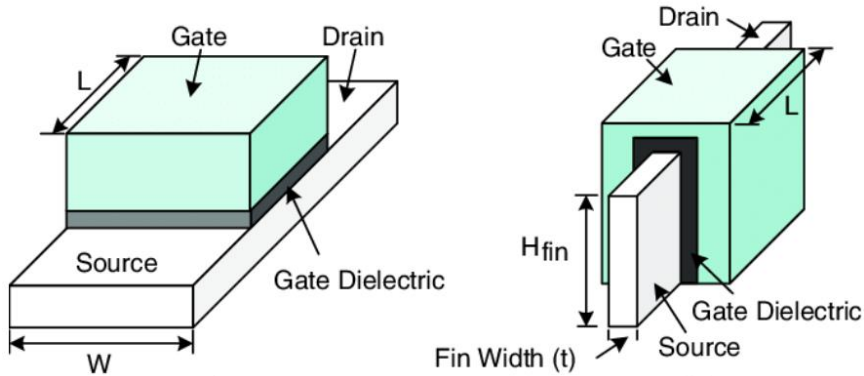
Şekil 2.11: FinFET transistör yapısı [55].

Gate dielektriği ve bağlantı, FinFET'lerde kanalın her iki tarafında ortalandığı için, bu yapı, düzlemsel MOSFET'lere kıyasla çok daha iyi bir gate kontrolü sağlar. Bu yapı sayesinde, kaçak akım FinFET'lerde düzlemsel MOSFET'lere göre önemli ölçüde daha düşüktür. FinFET'in fin yapısı, cihazın kanal genişliğinin yaklaşık olarak fin yüksekliğinin iki katı olarak kabul edilmesini sağlar. Bu özellik, cihazın daha fazla akım taşımasını mümkün kılar. FinFET'in sürüş akımı, tek bir cihazda birden fazla fin tasarlanarak kolayca artırılabilir, bu da FinFET'in yüksek performansını pekiştirir. Ancak, FinFET gelişimine yönelik akademik çalışmalar, düzlemsel MOSFET'lerin ölçeklendirilmesinin sonuna yaklaşıldığı 2000'lerin başlarında ivme kazandı [4]. FinFET'in her iki yan duvarında oluştuğu için, bu cihazlarda kanal genişliği tanımı, düzlemsel MOSFET'lere göre biraz farklıdır. FinFET'in kanal genişliği

genellikle fin yüksekliği olarak adlandırılır ve etkin genişlik, kanadın her iki tarafında tersleşme olduğu için fiziksel genişliğin iki katı kabul edilir. Bu farklılık, FinFET ve düzlemsel MOSFET'lerin cihaz performanslarının karşılaştırılmasında kafa karışıklığına yol açabilir [52].

FinFET teknolojisi, DARPA'nın (Savunma İleri Araştırma Projeleri Ajansı) 1996 yılında elektronik mühendislerinden, 25 nm teknoloji düğümünün altındaki yeni yapılar için öneriler istemesiyle dikkat çekti. 1998 yılında, Hisamoto ve diğ, ilk N-tipi FinFET'i icat etti. Aynı yıl içerisinde, ilk P-tipi FinFET de üretildi [56]. Birkaç yıl sonra, Intel Corporation, 2012 yılında Ivy Bridge adlı ticari bir cihazda FinFET teknolojisini kullanmaya başladı. Bu cihaz, üç gate'li bir FinFET mimarisine sahipti.

Ivy Bridge işlemcisinin ardından, Intel, üç gate'li FinFET transistörlerine dayanan Haswell ve Skylake işlemcilerini geliştirdi [57]. Şekil 2.12'de görüldüğü üzere, düzlemsel transistör yapısı sol tarafta, üç gate'li FinFET yapısı ise sağ tarafta yer almaktadır. Düzlemsel transistöre kıyasla, üç gate'li transistörün Si'yi üç yönden çevreleyen yapısı sayesinde kanal üzerindeki kontrol artar ve kaçak akım azalır. Üç gate'li FinFET transistörleri, düşük voltajda iyi performans sergileyebilir ve bu da aktif gücü %50'den fazla azaltır.



Şekil 2.12: A. Düzlemsel MOSFET'in kanalı yatay B. FinFET ise dikey bir transistör [58].

Düzlemsel MOSFET'ten FinFET'e sorunsuz bir geçiş sağlamak amacıyla, FinFET'in üretim süreci büyük oranda düzlemsel MOSFET'inkine benzemektedir. Örneğin, FinFET'in dikey finleri, hala optik fotolitografi ve kuru aşındırma teknikleri kullanılarak desenlenir [59]. Ayrıca, FinFET'te kullanılan fonksiyonel modüller, düzlemsel MOSFET'lerle oldukça benzerdir. Bu modüller arasında gate dielektriği, yüksek-k metal gate, kaynak-drenaj uzantısı

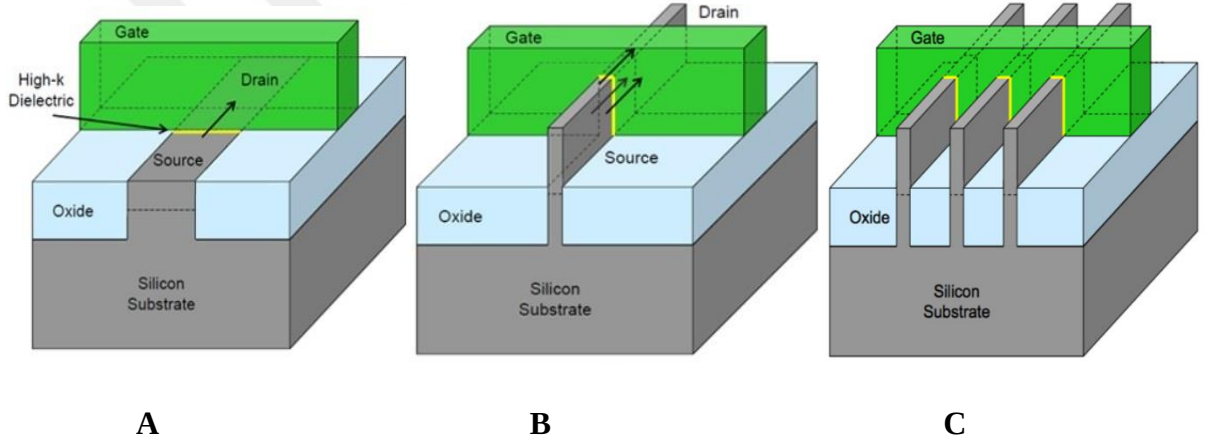
iyon implantasyonu, epitaksiyel yüksek doplu kaynak/drenaj ve kendinden hizalanmış metal via yer almaktadır [4].

Mantık devreleri üreten yarı iletken endüstrisi, düşük kaçaklı FinFET cihazlarını benimseyerek devre performansını iyileştirmeyi hedeflerken, aynı zamanda tasarım verimliliğini artırmayı ve güvenilirlik risklerini minimize etmeyi amaçlamaktadır [58]. FinFET'in kanalı, gate'in kanalın her iki tarafını kontrol etmesi sayesinde düzlemsel MOSFET'e kıyasla çok daha iyi kontrol edilir. Ayrıca, hafif doplanmış ya da doplanmamış silikon kanalların kullanılması, dopantların neden olduğu taşıyıcı saçılımını azaltır, bu da daha yüksek sürüş akımı sağlar. Intel, yarı iletken endüstrisinde öncü bir rol oynayarak, 2012 yılında FinFET teknolojisine dayalı silikon çipleri ticari olarak tanıtan ilk şirket olmuştur. Bu yenilik, Intel'in teknoloji liderliğini pekiştirmiş ve yarı iletken endüstrisinde bir dönüm noktası oluşturmuştur. FinFET teknolojisini ürün ailesine entegre ederken, Intel bu transistörlere Üç gate'li Transistör adını vererek pazarda farklılık yaratmayı hedeflemiştir. Üç gate'li yapısı, geleneksel düzlemsel transistörlere kıyasla önemli performans iyileştirmeleri sunmuş ve daha yüksek verimlilik ile düşük güç tüketimi sağlamıştır [60]. Intel'in 22 nm FinFET teknolojisi, bu teknolojinin ticari anlamda ilk uygulandığı olup, bu teknoloji, transistör performansında önemli bir sıçrama sağlamıştır. Daha iyi elektrostatik kontrol ve kısa kanal etkilerini minimize eden üç boyutlu bir yapıya sahip olan bu cihazlar, özellikle mobil cihazlar ve yüksek performanslı bilgi işlem uygulamaları için son derece uygundur [61].

Intel, FinFET teknolojisinin başarısını bir adım öteye taşıyarak, 2014'te 14 nm FinFET'i geliştirdi. Bu nesilde, FinFET finleri daha uzun ve ince bir yapıya sahip olacak şekilde optimize edilmiş ve fin köşeleri hafifçe yuvarlatılmıştır. Bu iyileştirme, sürüş akımını artırırken, kapalı durumdaki kaçak akımların daha iyi kontrol edilmesine olanak tanımıştır [62]. Bu yenilikler, 2017 yılında tanıtılan 10 nm FinFET teknolojisi ile devam etmiştir. 2017'de yapılan çalışmalar [63], bu cihazların daha dar ve uzun finleri sayesinde daha iyi elektrostatik kontrol ve daha yüksek sürüş akımları sunduğunu göstermiştir. Bunun sonucunda, enerji tüketimini azaltırken performansı artıran bir transistör yapısı elde edilmiştir.

FinFET teknolojisi, iletken kanallarla dolu ince bir silikon "kanadı" içeren çok fin'li yapısından türetilmiştir. Bu yapı, tipik olarak source alanı ile daha büyük bir drain alanı arasına yerleştirilmiş bir alt tabaka üzerinde bulunan dikey bir fin içerir. Gate, bu dikey kanada dik açıyla yerleştirilmiş olup, kanadın bir köşesinden diğerine enlemesine geçer ve kanal ile bir

arayüz oluşturur. FinFET'in bu özel tasarımı, iletim kanalında elektrik akımının kontrolünü iyileştirir ve kaçak akımları azaltarak kısa kanal etkilerinin üstesinden gelmeye yardımcı olur. FinFET ifadesi, genellikle gate sayısından bağımsız olarak, herhangi bir fin tabanlı çok gateli transistör yapısını tanımlamak için kullanılır. Bir 2D düzlemsel transistör, "AÇIK" olduğunda, gate'in altındaki drain ve source arasında iletken bir yol oluşturur. Ancak, 3D FinFET, birden fazla fin yapısıyla, sürüş gücünü artırarak daha yüksek performans sağlar. Şekil 2.13.'de gösterildiği gibi, üç fin'li 3D FinFET, geleneksel düzlemsel transistörlere kıyasla daha iyi elektrostatik kontrol sunar ve daha verimli akım geçişi sağlar. Bu yapı, özellikle düşük güç tüketimi ve yüksek performans gerektiren mobil cihazlar ve yüksek performanslı bilgi işlem gibi uygulamalarda kullanılır. FinFET'in kanadının her iki tarafını saran gate yapısı, kanal kontrolünü artırır ve daha yüksek sürüş akımları sağlar [58].



Şekil 2.13: A. Düzlemsel transistör B. 3D FinFET (üç gate'li) C. Üç fin'li 3D FinFET [64].

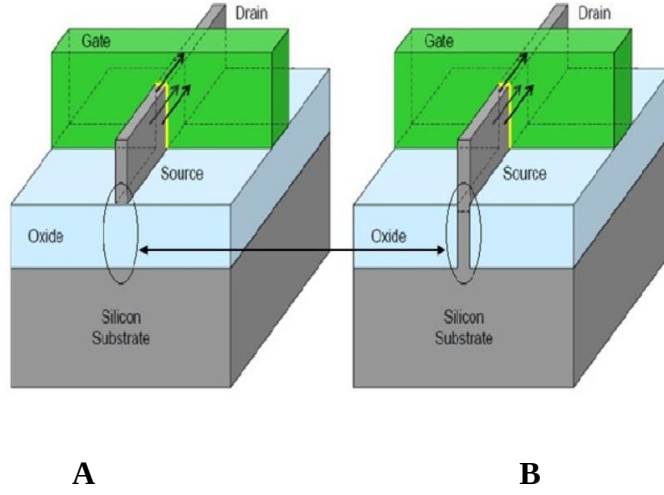
2.2.5. Çift Gate'li FinFET

Çift gate'li CMOS (DGCMOS) teknolojisi, özellikle çok kısa gate uzunluklarına ölçeklendirme söz konusu olduğunda önemli avantajlar sunar. FinFET tabanlı DGCMOS üretim süreci, geleneksel CMOS sürecine oldukça benzer olup, yalnızca küçük modifikasyonlar gerektirir ve bu da üretimde hızlı bir büyüme potansiyeli sağlar. Çift gate'li yapı, bir FET'in karşısına ikinci bir gate eklenmesiyle oluşturulur ve bu, kısa kanal etkilerini daha etkili bir şekilde kontrol etme imkanı sunar [65]. Kısa kanal etkileri, bir FET'in elektriksel performansını etkileyen ve source ile drain arasındaki akımın gate tarafından yeterince kontrol edilememesine yol açan bir faktördür. Kanal uzunluğunun azalmasıyla birlikte, drain potansiyeli kanal

üzerindeki potansiyeli daha fazla etkiler. Ancak, çift gateli FinFET'lerde, ikinci gate sayesinde drain tarafından üretilen uzunlamasına elektrik alan, kanalın source ucuna göre daha iyi kontrol edilebilir. Bu sayede, kısa kanal etkileri önemli ölçüde azaltılır [52]. Bu teknoloji, özellikle yüksek performans ve enerji verimliliği gerektiren mikroelettronik uygulamalarda, geleneksel düzlemsel MOSFET'lerin yerini alabilecek önemli bir alternatif olarak öne çıkmaktadır. Çift gate'li yapı, transistörlerin daha küçük ölçeklere indirgenmesini mümkün kılarak, cihazların daha küçük, daha hızlı ve daha enerji verimli olmasını sağlar [65].

2.2.6. SOI FinFET ve Bulk FinFET

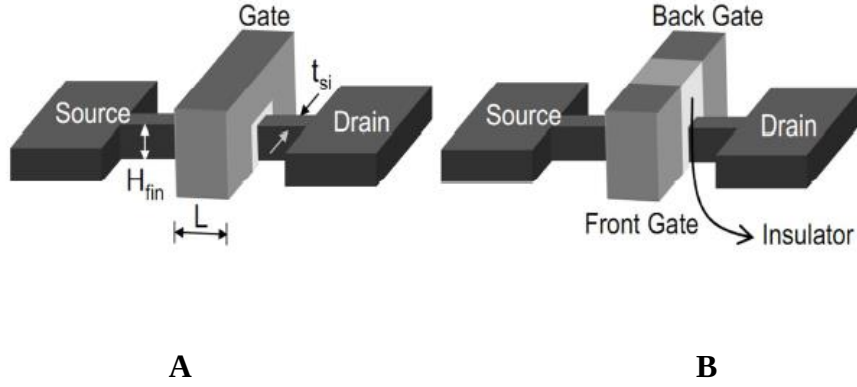
Silikon Üzeri Yalıtkan (SOI) FinFET ve Bulk FinFET. Bu iki tip, alt tabaka yapılarındaki temel farklılıklar nedeniyle farklı üretim seviyelerine ve performans özelliklerine sahiptir. SOI FinFET'lerde, cihazlar oksit tabakası üzerinde inşa edilir, bu da üretim sürecini daha zor ve maliyetli hale getirir. Ancak, SOI FinFET'in gömülü oksit tabakası (BOX), cihazın sızıntı akımlarını azaltır ve bu yapı, elektriksel performansı optimize ederken kaçak akımı minimize etmeyi sağlar [66]. Diğer yandan, Bulk FinFET, geleneksel bulk silikon taban üzerine inşa edilir. Bu, daha düşük üretim maliyetleri sağlar ve daha az işlem adımı gerektirir. Ancak, Bulk FinFET, yüksek güç tüketimi ve büyük kaçak akım sorunlarına sahip olabilir, bu da özellikle enerji verimliliği gerektiren uygulamalarda bir dezavantaj oluşturur [4]. SOI FinFET ve Bulk FinFET'in elektriksel simülasyonları karşılaştırıldığında, SOI FinFET'in Bulk FinFET'e göre elektriksel performans açısından üstün olduğu görülmüştür. Bu üstünlük, SOI FinFET'in daha iyi cihaz sızıntı kontrolü ve optimize edilmiş elektriksel özelliklerinden kaynaklanır. Bu nedenle, SOI FinFET, özellikle yüksek performans ve düşük güç tüketimi gerektiren uygulamalarda tercih edilen bir seçenek olabilir. Bulk FinFET, daha maliyet duyarlı projelerde ve yüksek güç tüketimi kabul edilebilir olduğunda uygun bir alternatif sunar [52]. şekil 2.14'te SOI FinFET ve Bulk FinFET yapıları gösterilmiştir.



Şekil 2.14: A. SOI FinFET yapısı B. Bulk FinFET yapısı [64].

2.2.7. FinFET Cihazı

FinFET'in genişliği, dikey gate topolojisi nedeniyle kuantize edilmiştir, Şekil 2.15'te gösterildiği gibi. Minimum transistör genişliği (W_{min}), fin yüksekliği (H_{fin}) tarafından belirlenir. Tek fin'li bir FET'in iki gate'li bağlandığında, W_{min} , $2 \times H_{fin} + T_{si}$ 'ye eşittir; burada T_{si} , silikon body kalınlığı ve H_{fin} , fin yüksekliğidir. Genellikle T_{si} , H_{fin} 'den önemli ölçüde daha küçük olduğu için, H_{fin} transistör genişliğine hükmeder. Bu teknolojiyle H_{fin} sabit olduğundan, FinFET'in genişliği çok sayıda paralel fin kullanılarak artırılır. Paralel fin'li kısa devre gate'li (SG) bir FinFET'in toplam fiziksel transistör genişliği (W_{total}), $W_{total} = n \times W_{min} = n \times (2 \times H_{fin} + T_{si})$ formülüyle hesaplanır. FinFET'in iki dikey gate'in, silikon fin üzerine oksit birikimi yapılarak ayrılabilir ve bu da bağımsız gate'li (IG) FinFET'i oluşturur, Şekil 2.15.B'de gösterildiği gibi.

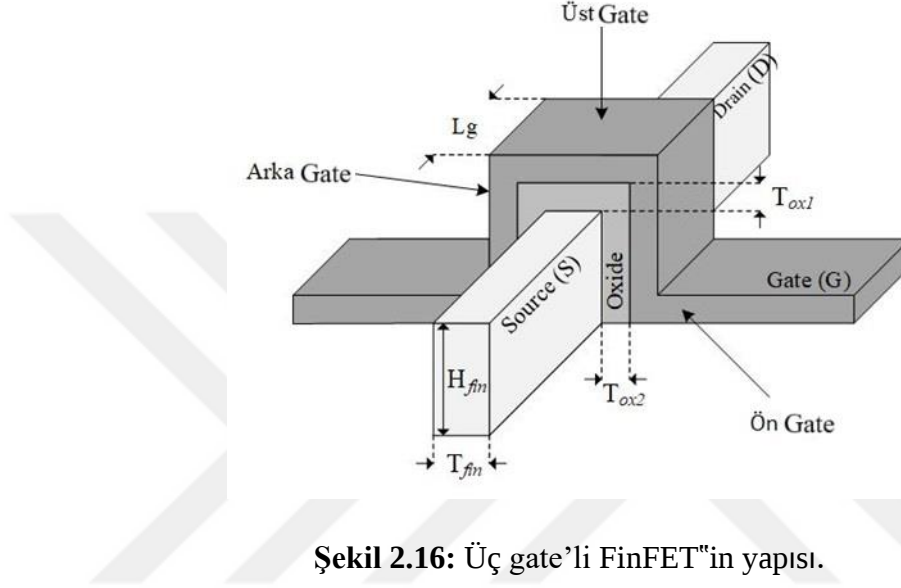


Şekil 2.15: A.Tek fin’li kısa devre gate’li (shorted-gate) FinFET yapısı **B.**Tek fin’li bağımsız gate’li (independent-gate) FinFET’in yapısı.

2.2.8. FinFET Tasarımı

Her yeni CMOS teknolojisi nesli ile birlikte, MOSFET’ler daha küçük boyutlara indirgenmiş ve birkaç yıl boyunca gelişmiş devre performansı ile işlev başına daha düşük maliyet sağlamıştır. Ancak bu ilerleme, bazı zorlukları da beraberinde getirmiştir. İlk zorluk, kaçak akımın en aza indirilmesidir. Küçük boyutlu cihazlarda yüksek sızıntı akımları ve cihazlar arası değişkenlik önemli sorunlardır. Nanometre ölçeğinde transistör boyutlarının küçülmesi, sızıntı akımlarında ciddi bir artışa neden olmaktadır [67]. FinFET transistörleri, bu sorunların üstesinden gelmek amacıyla yarı iletken endüstrisinde umut verici bir alternatif olarak ortaya çıkmıştır. Geleneksel düzlemsel MOSFET’ler, boyutları küçüldüğünde elektrostatik kontrol sorunları yaşamaya başlar ve bu da sızıntı akımlarının artmasına yol açar. FinFET transistörleri ise, üç boyutlu yapıları sayesinde elektrostatik kontrolü artırır ve sızıntı akımlarını azaltır [51]. FinFET’lerin en büyük avantajlarından biri, üretim süreçlerinin geleneksel CMOS teknolojisi ile uyumlu olmasıdır. Bu uyumluluk, mevcut üretim altyapısında büyük değişiklikler gerektirmeden FinFET teknolojisine geçiş yapılmasını mümkün kılmaktadır [52]. Şekil 2.16’da gösterilen üç gate’li FinFET transistörünün yapısı, bu teknolojinin temel prensiplerini net bir şekilde ortaya koymaktadır. FinFET ismi, transistör kanalının ince bir "fin" şeklinde olmasından kaynaklanır. Bu fin, yalıtkan bir tabaka ile kaplanmış ve bir veya birden fazla gate tarafından çevrelenmiştir. Üç gate’li FinFET’te, kanalın üç yüzeyi gate’ler tarafından kontrol edilir: üst yüzey ve iki yan yüzey [52].

Bu çoklu gate kontrolü, daha iyi elektrostatik kontrol sağlar ve cihazın daha düşük voltajlarda çalışmasına olanak tanır. Bu da kapalı durumda iken sızıntı akımlarını azaltarak enerji verimliliğini artırır ve açık durumda ise yüksek sürüş akımı sağlayarak cihazın performansını iyileştirir [4]. FinFET'in bu özellikleri, onu hem yüksek performanslı hem de düşük güç tüketimli cihazlar için uygun bir seçenek haline getirir. Ayrıca, geleneksel düzlemsel MOSFET'lere kıyasla daha iyi kısa kanal kontrolü sunar.



Şekil 2.16: Üç gate'li FinFET'in yapısı.

Şekil 2.16'de yapısı verilen FinFET'in geometrik parametreleri aşağıda listelenmiştir [69].

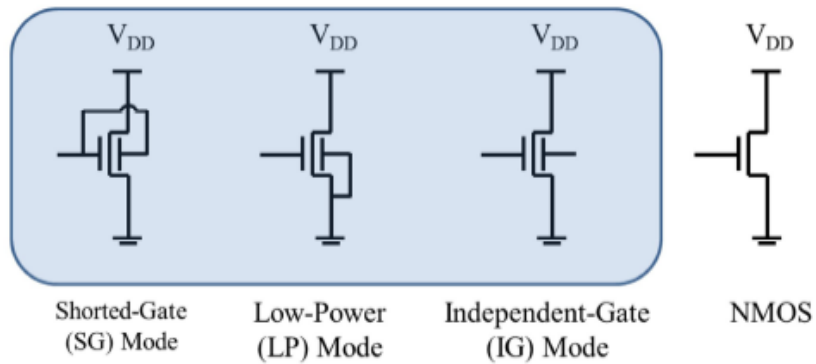
- Gate Uzunluğu (L_g): FinFET'in fiziksel gate uzunluğudur.
- Fin Yüksekliği (H_{fin}): Üst gate ile gömülü oksit tabakası (BOX) arasındaki mesafedir.
- Fin Genişliği (T_{fin}): Ön ve arka gateler arasında tanımlanan silikon fin kalınlığıdır. T_{fin} , T_{si} veya W_{fin} olarak da adlandırılır.
- Üst gate Kalınlığı (T_{ox1}): Üst gate'in kalınlığıdır.
- Ön veya arka gate kalınlığı (T_{ox2}): Ön veya arka gate'in kalınlığıdır.

2.2.9. FinFET Transistörler ve Devre Uygulamaları

Kısa Devre Gate'li (SG) Mod: FinFET transistörlerinde, kısa devre gate'li mod (Shorted-Gate, SG Mod) iki gate'in birbirine bağlanarak aynı sinyal ile sürüldüğü bir moddur. Bu modda, her iki gate aynı sinyal tarafından kontrol edilir, bu da cihazın elektrostatik kontrolünü artırarak daha düşük sızıntı akımları ve yüksek performans sağlar. SG mod, FinFET'in kısa kanal etkilerini azaltmada ve düşük voltajda verimli çalışmasında önemli bir rol oynar [52].

Bağımsız Gate'li (IG) Mod: FinFET'lerde bağımsız gate'li mod (Independent-Gate, IG Mod), iki gate'in birbirinden bağımsız sinyallerle sürüldüğü bir çalışma modudur. Bu mod, gate'lerin ayrı ayrı kontrol edilmesine olanak tanıyarak daha esnek bir yapı sağlar. Özellikle güç yönetimi ve verimlilik optimizasyonu açısından avantaj sunar. IG mod, FinFET transistörlerinin farklı uygulamalarda özelleştirilmesini mümkün kılar [4].

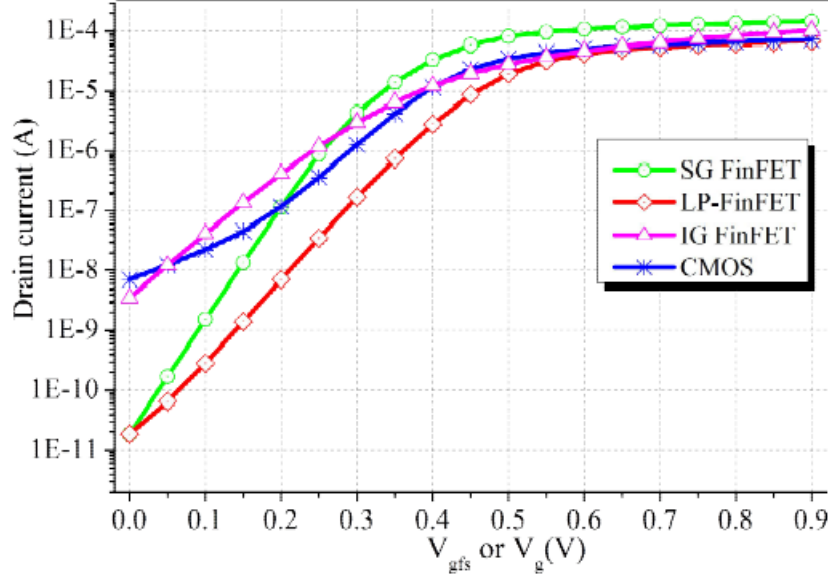
Düşük Güç (LP) Mod: FinFET'in düşük güç modu (Low Power, LP Mod), eşik altı akımını minimize etmek için tasarlanmıştır. Bu modda, arka gate, ters önyargı voltajına bağlanarak sızıntı akımları en aza indirilir. Düşük güç modu, FinFET'lerin enerji verimliliğini artırır ve düşük güç tüketimi gerektiren uygulamalarda yaygın olarak kullanılır [68].



Şekil 2.17: FinFET'lerin çalışma modları [69].

CMOS ile karşılaştırıldığında, FinFET, IC tasarımcısına daha fazla çalışma modu sunar ve her modun anlaşılması önemlidir. SPICE ile simüle edilen 32-nm n-tipi bir FinFET'in DC transfer karakteristikleri, I_{ds} vs. V_{gfs} , Şekil 2-3'te gösterilmektedir. V_{gfs} , ön gate (gf) ve kaynak

terminalleri arasındaki potansiyel farkı ifade eder. Bu simülasyonlar için, transistörün kaynak terminali toprağa, drenç terminali ise güç kaynağına bağlanmıştır. Transfer karakteristikleri, belirtilen çeşitli çalışma modları için sunulmaktadır. 32-nm FinFET simülasyonları için Predictive Technology Model (PTM) SPICE modeli [70] kullanılmıştır. Güç kaynağı 0.9 V'de sabitlenmiş ve tüm cihazlar aynı kanal uzunluğuna ve genişliğine sahiptir. SG, LP ve IG çalışma modlarına karşılık gelen eğriler, karakteristikleri ile karşılaştırılmaktadır.



Şekil 2.18: Farklı modlarda 32-nm N-tipi FinFET için simüle edilen I_{ds} vs V_{gfs} karakteristikleri [71].

Şekil 2.18, SG modunun en büyük İyon akımına sahip olduğunu ve bunun NMOS İyon akımının iki katı kadar olan en büyük İyon akımına sahiptir. FinFET cihazları, transistör kapalıyken olağanüstü özellikler sergiler. NMOS ile karşılaştırıldığında, SG ve LP modlarındaki FinFET'in kaçak akımı yaklaşık 400 kat daha düşüktür. Özellikle, FinFET, IG modunda NMOS cihazlarıyla karşılaştırılabilir bir İon ve İoff akımı sağlar.

2.2.10. FinFET'in Avantajları ve Dezavantajları

FinFET teknolojisi, geleneksel planar transistörlerin ötesine geçerek daha küçük boyutlarda yüksek performans sunan yarı iletken bir çözüm olarak öne çıkmaktadır. FinFET'in en önemli avantajlarından biri, düşük güç tüketimidir, bu da mobil cihazlar ve taşınabilir elektroniklerde enerji verimliliği açısından önemli bir avantaj sağlar. Araştırmalara göre,

FinFET'ler kaçak akımı %90'a kadar azaltabilir, bu da güç kaybını minimize eder ve transistörlerin yüksek performansta çalışmasına olanak tanır.

Ayrıca, FinFET'ler daha düşük voltajlarda çalışma kapasitesi ile enerji tasarrufu sağlar ve ısınmayı azaltır, bu da daha uzun pil ömrü ve daha düşük enerji maliyetleri anlamına gelir [72]. FinFET'lerin daha yüksek sürücü akımı sağlaması, transistörlerin daha verimli çalışmasını ve belirli bir alan içinde daha fazla işlem yapılabilmesini mümkün kılar. Bu özellik, yüksek performanslı işlemci ve veri merkezleri gibi alanlarda büyük önem taşır. Bununla birlikte, FinFET teknolojisinin bazı dezavantajları da bulunmaktadır. Üretim maliyetleri, geleneksel transistörlere kıyasla oldukça yüksektir, çünkü FinFET'lerin üretim süreçleri daha karmaşık ve hassas gereksinimlere sahiptir. Fin derinliğinin kontrol edilmesi zor olabilir ve bu, üretim sürecinde hata olasılığını artırır. Ayrıca, ısı yönetimi FinFET yapılarında bir sorun olabilir; ısının etkili bir şekilde dışarı atılamaması, uzun vadede cihazların ömrünü olumsuz etkileyebilir [73]. Sonuç olarak, FinFET teknolojisi, düşük güç tüketimi, yüksek hız ve verimlilik gibi avantajları ile elektronik endüstrisinde önemli bir yere sahip olsa da, üretim zorlukları ve maliyetleri göz önünde bulundurularak dikkatlice değerlendirilmelidir.

Tablo 2.1: FinFET teknolojisinin avantajları ve dezavantajları.

FinFET'İN AVANTAJLARI	FinFET'İN DEZAVANTAJLARI
Daha Düşük Güç Tüketimi	Daha Az Fin Genişliği
Daha Düşük Voltajda Çalışma	Isının Açığa Çıkamaması
Daha Yüksek Çalışma Hızı	Yüksek Üretim Maliyeti
Kaçak Akımın %90'a Kadar Azaltımı	Fin Derinliğinin Kontrolünün Zorluğu
Belirli Bir Transistörün Kapladığı Alan İçin Daha Yüksek Sürücü Akımı	
Daha İyi Mobilite	

2.2.11. Anahtarlama Kapasite Filtreler

Anahtarlama Kapasite ağılarına olan ilgi, 1970'lerin sonlarında, entegre devre (IC) teknolojisi kullanılarak hassas analog filtrelerin gerçekleştirilmesi olasılığıyla birlikte başladı. İki kapasitör değeri arasındaki oranlarda iyi doğruluk elde etmek mümkün hale geldiğinde, küçük çip içi kapasitörlerin büyük değerli dirençlerin yerini alabilmesi, analog filtrelerin uygulanmasında yaygın hale geldi. Bu, küçük bir alt tabaka alanı kapladığı için monolitik yapı için çekici bir seçenek haline geldi. Anahtarlama Kapasite devreleri, analog ayırık-zamanlı devreler olarak işlev görür. Filtre olarak kullanıldıklarında, bu devreler doğru frekans yanıtı, iyi doğrusalite ve iyi dinamik aralık sağlar. Bu devrelerin doğruluğu, kapasitör oranları tarafından belirlenen zaman sabitlerinden kaynaklanır ve bu oranlar genellikle %0.1'e yakın bir doğrulukla elde edilir. Karşılaştırıldığında, RC entegre devrelerinde zaman sabiti hatası dirençler ve kapasitörlerin doğruluğu nedeniyle %20 ila %50 arasında değişir. Bu devrelerin bir diğer avantajı, devre saatinin frekansını değiştirerek elde edilen belirli bir frekans ayarlama derecesinin kombinasyonudur. Anahtarlama Kapasite devrelerinin bazı ideal olmayan özellikleri de dikkate alınmalıdır; bunlar arasında şarj enjeksiyonu, ofset hatası, gürültü ve parazitik kapasitanslar bulunur [74]. Genellikle, Anahtarlama Kapasite filtreler sinyalden örnekleme yaptığı için girişte bir anti-aliasing filtresi ve çıkışta bir yumuşatma filtresi gerektirir [75]. Bu bloklar, devre tasarımı sırasında dikkatle ele alınmalı ve bu etkileri en aza indirmek için yaygın olarak kullanılan bazı teknikler vardır.

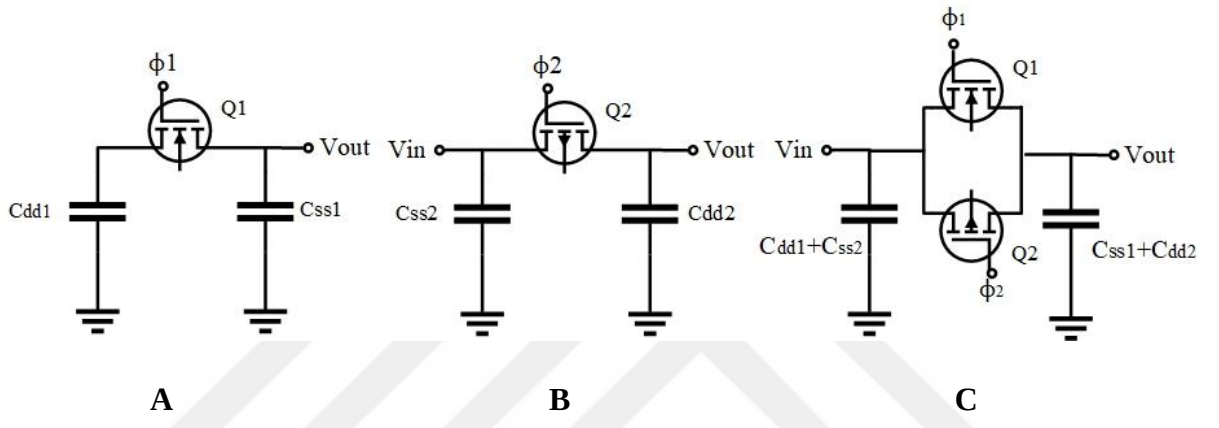
2.2.11.1. Anahtarlama Kapasite Filtrelerin Yapı Taşları

Anahtarlama Kapasite filtreler, çeşitli temel bileşenler kullanılarak gerçekleştirilir. Bu bileşenler arasında anahtarlar, kapasitörler, çakışmayan saat jeneratörleri ve Op-Amplar yer alır. Bu bölümde, filtrelerin yapı taşları ve doğrusal olmayan etkilerini ortadan kaldırmak veya en aza indirmek için kullanılan bazı teknikler kısaca açıklanmaktadır.

2.2.11.2. Anahtarlar

Anahtarlama Kapasite devrelerindeki anahtarlar, kapalı olduklarında düşük dirençli olmalı ve anahtarın kapanma süresi boyunca şarj dengesi sağlanmalı; açık olduklarında ise şarj sızıntısını azaltmak için yüksek dirençli olmalıdır. MOSFET transistörleri, çok yüksek OFF (kapalı) ve düşük ON (açık) dirençleri ile bu gereksinimleri karşılar ve boyutlarına bağlı olarak

bu direnç değerleri sağlanabilir. Bu değerler, doğrudan uzunlukla ve tersine transistörün genişliği ile değişir. Anahtarların gerçekleştirilmesi için üç olası konfigürasyon Şekil 2.19'de gösterilmiştir: rail-to-rail giriş sinyal salınımına izin veren iletim gateleri; $V_{DD}-V_{tn}$ 'ye yakın giriş voltajlarında iletimi durdurdukları için daha düşük giriş voltajları için uygun olan NMOS transistörleri ve sadece voltaj V_{tp} üzerinde olduğunda iletim yapan, dolayısıyla daha yüksek giriş voltajları için uygun olan PMOS transistörleri. NMOS anahtarı, sinyale daha az direnç sağladığından, daha düşük voltajlar NMOS üzerinden akacak, ancak aynı sebepten dolayı daha yüksek voltajlar PMOS anahtarı üzerinden akacaktır.

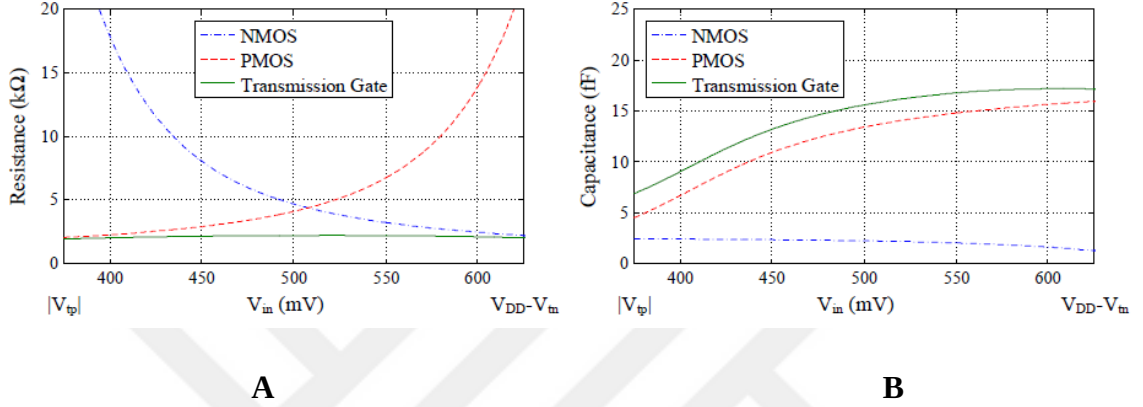


Şekil 2.19 : MOS anahtarları: A. NMOS, B. PMOS, C. İletim gate.

Parazitlere duyarlı Anahtarlama Kapasite filtreleri tasarlarken, parazitik kapasitansların (C_{dd} ve C_{ss}) etkisini dikkate almak gereklidir çünkü bu kapasitanslar filtrenin transfer fonksiyonunu etkiler. Bir anahtarın direnci, anahtar açılmadan önce şarj dengesini sağlamak amacıyla transistör genişliği artırılarak azaltılabilir; ancak bu, parazitik kapasitansların değerini artıracaktır. MOS transistörlerinin parazitik kapasitanslarının doğrusal olmadığını, yani değerlerinin transistör terminallerine uygulanan voltajla ve anahtarın açık veya kapalı olmasına bağlı olarak değiştiğini unutmamak önemlidir.

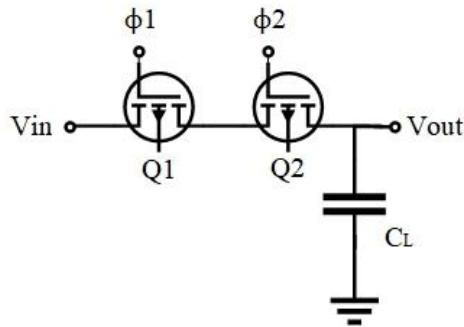
Anahtarların açık (ON) dirençleri ve parazitik kapasitansları, giriş voltajına göre Şekil 2.20'de gösterilmiştir (NMOS ve PMOS cihazları arasında 1:5 oranı). İletim gate, çıkış voltaj aralığında daha doğrusal bir direnç değeri sunar ve rail-to-rail sinyal salınımına izin verir. Ancak, tamamlayıcı fazlar gerektirir, daha büyük bir alan kaplar ve daha büyük parazitik kapasitanslara sahiptir. Yüksek hızlı sinyallerde, her iki valfin aynı anda kapanmaması durumunda sinyaldeki bozulma artacaktır.

Açık (ON) direncinin azaltılması, daha büyük anahtarlar ve daha önemli parazitik kapasitanslar ile sonuçlanır. Bu koşullarda ve özellikle parazitiklere duyarlı devrelerde, transistörün gate terminaline uygulanan voltajı artırmak için saat önyüklemeye yöntemi kullanılabilir; böylece direnç değeri düşer ve doğrusalitesi artar. Bu, bir iletim gate yerine tek bir NMOS cihazı ve daha fazla sayıda küçük anahtarın kullanılmasını sağlar, bu da parazitik kapasitansların azaltılmasını sağlar.



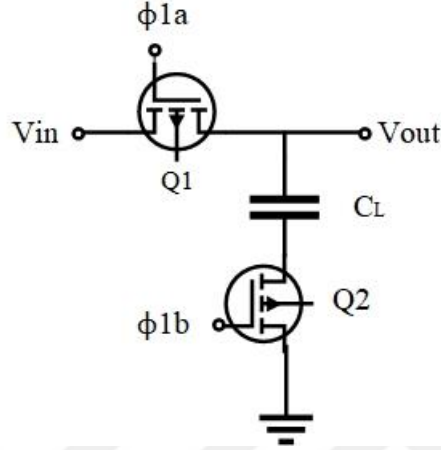
Şekil 2.20: Anahtarın **A.** r_{ds} direnci ve **B.** c_{ss} kapasitansı, V_{in} voltajına göre bir örnek olarak gösterilmiştir [76].

Her ne kadar kazanç hataları ve tek dereceli bozulmalar devam etse de şarj enjeksiyonunu azaltmak için genellikle diferansiyel sinyaller, ofset hata iptali ve çift dereceli bozulma iptal teknikleri uygulanır. Şekil 2.21'de farklı bir yaklaşım gösterilmiştir; bu yaklaşım, şarj enjeksiyonunu ortadan kaldırmak için hayalet anahtar konfigürasyonu kullanır. Ana transistör (Q1) kapandığında ve sahte transistör (Q2) açıldığında, ana transistör tarafından yayılan şarj, sahte transistör tarafından emilerek kanal oluşturulur. Sahte transistör genellikle, şarj enjeksiyonunu nötralize etmek için ana transistörün genişliğinin yarısı olacak şekilde tasarlanır [77]. Bu tekniğin etkinliğinde, her iki saat fazının hizalanmasının kritik bir faktör olduğunu belirtmek önemlidir.



Şekil 2.21: Hayalet anahtar tekniği kullanan basit devre.

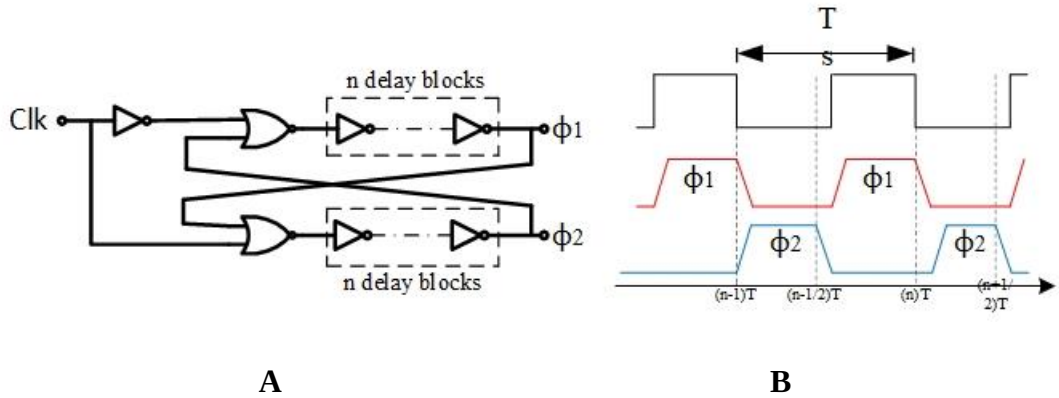
Şekil 2.22, başka bir tekniği, alt plaka örneklemeyi göstermektedir. Alt transistör (Q2), üst transistörden (Q1) biraz önce kapanır ve diferansiyel sinyalizasyon kullanılarak ortadan kaldırılabilir sabit bir miktarda şarj enjekte eder. Üst transistör kapandığında, CL kapasitörünün alt plakası yüzer durumda olur ve kapasitörden akım geçmez. Sonuç olarak, sinyale bağımlı bir şarj enjekte edilmez [78].



Şekil 2.22: Alt plaka örnekleme tekniği kullanan basit devre.

2.2.11.3. Çakışmayan Saat Fazları

Anahtarlama Kapasite filtrelerde, anahtarların şarj transferini gerçekleştirebilmesi için en az bir çift çakışmayan saat fazına ihtiyaç vardır. Genellikle, fazlar çakışmaz, böylece farklı fazlara sahip anahtarların aynı anda kapalı olmasıyla yanlışlıkla şarj kaybı yaşanmaz. Şekil 2.23, iki fazlı çakışmayan bir saat jeneratörünün bir örneğini göstermektedir [79].



Şekil 2.23: İki fazlı çakışmayan saat jeneratörü: A. Devre uygulaması, B. Faz şeması.

2.2.11.4. Kapasitörler

Kapasitörler, kullanılan ağ ve Anahtarlama Kapasite filtrenin mimarisine bağlı olarak parazitlerin dikkate alınmasını gerektirebilecek ek bir bileşendir. Alt plakanın parazitik kapasitansı, nominal değerin %20'sine kadar çıkabilir. Buna karşılık, üst plakanın parazitik kapasitansı, kapasitör yapısı ve teknolojisine bağlı olarak %5'e kadar çıkabilir.

2.2.11.5. İşlevsel Olan Yükseltici

Yükselticinin kazancına bağlı olarak, Op-Amplar Anahtarlama Kapasite devrelerinde sanal bir toprak noktası sağlayabilir. Parazitlere duyarsız ağlar kullanıldığında, bu noktaya bağlı parazitik kapasitanslar, bir fazda devre topraklarına ve diğer fazda sanal toprağa bağlı oldukları için devrenin transfer fonksiyonunu etkilemez. Ancak, parazitik kapasitanslar bağlı noktaların zaman sabitini etkileyebilir. Op-Amplar ayrıca DC kazancı, birim kazanç frekansı ve faz marjı, yükselme hızı (slew rate) ve ortak mod voltajı gibi AK devrelerinin performansını etkileyen ideal olmayan etkilere sahiptir [80].

Op-Ampların sanal toprak noktası sağlaması, özellikle yüksek frekanslı uygulamalarda ve hassas sinyal işleme gerektiren durumlarda büyük bir avantaj sağlar. Sanal toprak noktası, giriş sinyalinin doğru bir şekilde referans alınmasına ve parazitlerin minimuma indirilmesine yardımcı olur. Parazitlere duyarsız ağların kullanımı, devrenin gürültü performansını artırarak, daha temiz ve doğru sinyal işleme sağlar. Bununla birlikte, Op-ampların ideal olmayan etkileri, devre performansını sınırlayabilir. Örneğin, Op-ampların sınırlı DC kazancı, devrenin düşük frekanslı kazancını etkileyebilir ve bu da doğruluk sorunlarına yol açabilir. Birim kazanç frekansı ve faz marjı, devrenin kararlılığını ve frekans cevabını belirler. Yükselme hızı, Op-Ampların hızlı sinyal değişimlerine ne kadar hızlı tepki verebildiğini gösterir ve bu, özellikle hızlı geçiş sinyallerinin işlenmesinde kritiktir. Ortak mod voltajı, Op-Ampların giriş sinyallerini doğru bir şekilde işlemesini sağlar ve Ortak Mod Reddi Oranı (CMRR), giriş sinyallerindeki ortak mod parazitlerinin bastırılmasını sağlar. Parazitik kapasitansların etkisi, yüksek frekanslı devrelerde daha belirgin hale gelir ve bu kapasitanslar, bağlı noktaların zaman sabitini etkileyerek devrenin dinamik performansını sınırlayabilir. Bu nedenle, devre tasarımında parazitik kapasitansların minimize edilmesi ve dikkatli yerleşim tasarımı önemlidir.

Op-Ampların sanal toprak noktası sağlaması, Anahtarlama Kapasite devrelerinin performansını artırmada önemli bir rol oynar. Ancak, Op-Ampların ideal olmayan etkileri ve

parazitik kapasitanslar, devre tasarımında dikkat edilmesi gereken faktörlerdir. Bu bağlamda, Op-Amplamların performansını optimize etmek ve devrelerin hassas sinyal işleme gereksinimlerini karşılamak için uygun tasarım tekniklerinin kullanılması gerekmektedir. Gelecekteki araştırmalar, bu ideal olmayan etkilerin azaltılması ve Op-Amplamların performansının iyileştirilmesi üzerine odaklanabilir [80]. Yükselticinin sonlu kazanç etkisini azaltmak için genel bir teknik [79] ile açıklanmaktadır. Bu yöntemin temel konsepti, ilk fazda amplifikatörün sonlu kazanç hatasını tahmin etmek ve ardından bu hatayı sonraki fazda düzeltme amacıyla kullanmaktır. Bu devre diğer aşamalara bağlandığında, bu iki faz boyunca girişin sabit bir seviyede tutulması gerektiğinden, üçüncü bir faza ihtiyaç duyulabilir. Geleneksel devrelerde sonlu kazanç hatası $1/A$ 'ya orantılı iken [81], bu yaklaşımda $1/A^2$ 'ye orantılı olduğu bildirilmiştir; burada A , Yükselticinin kazancını temsil eder.

2.2.12. Anahtarlama Kapasite Direnç Simülasyon Ağları

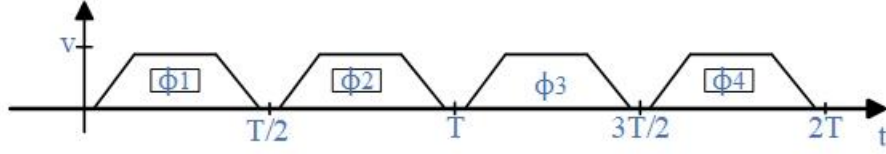
Anahtarlama Kapasite devreleri, belirli bir frekansta periyodik olarak anahtarlar ve kapasitörler kullanarak dirençleri taklit eder. Tablo 2.2, dirençleri simüle eden dört farklı anahtarlama ağı, bunların eşdeğer dirençlerini ve her fazdan sonra kapasitörlerde depolanan şarjı göstermektedir.

Tablo 2.2: Anahtarlama kapasite direnç simülasyon devreleri [76].

Devre Türü	Şematik	Req	Q(Φ1)	Q(Φ2)
Paralel		$\frac{T}{C}$	$V_{in} C$	$V_{out} C$
Seri		$\frac{T}{C}$	0	$(V_{in} - V_{out}) C$
Seri-Paralel		$\frac{T}{C1 + C2}$	0 $V_{in} C2$	$(V_{out} - V_{in}) C1$ $V_{out} C2$
Çift Doğrusal		$\frac{1}{4} \frac{T}{C}$	$(V_{out} - V_{in}) C$	$(V_{out} - V_{in}) C$

Şekil 2.24'teki seri-paralel ağ ve faz şeması dikkate alındığında, giriş akımının her iki fazda da devreye aktığı görülmektedir. Ortalama akımın hesaplanması, her iki fazı da kapsayarak gerçekleştirilir.

$$i_{avg} = \frac{1}{T} \left(\int_0^{T/2} dq c_2(t) + \int_{T/2}^T dq c_1(t) \right) = \frac{Q c_2(T/2) - Q c_2(0)}{T} + \frac{Q c_1(T) - Q c_1(T/2)}{T} \quad (2.5)$$



Şekil 2.24: Çakışmayan saat fazı şeması.

Tablo 2.2'deki karşılık gelen değerlerle şarj değişkenlerini değiştirerek,

$$i_{avg} = \frac{(V_{in} - V_{out})C_2}{T} + \frac{(V_{in} - V_{out})C_1}{T} \quad (2.6)$$

Ve akımın direncin üzerinden geçtiği ortalama akımı dikkate alarak,

$$i_{avg} = \frac{V_{in} - V_{out}}{R} \quad (2.7)$$

Son olarak (2.6) ve (2.7)'yi eşitleyerek, seri-paralel ağ için eşdeğer direnç elde edilir.

$$R_{eq} = \frac{T}{C_1 + C_2} \quad (2.8)$$

Parazitiklere duyarsız devrelerin uygulanması mümkün olsa da bu, kullanılan filtrenin topolojisine ve anahtarlama ağının yapısına bağlıdır. Aşağıdaki bölüm, parazitik duyarlı ve parazitik duyarsız entegratörlerin kısaca açıklamasını sunmaktadır.

2.2.13. Anahtarlama Kapasite Direnci

Anahtarlama Kapasite tümdevrelerinde kullanılan anahtarlar, genellikle yarı iletken anahtarlar veya birden fazla yarı iletken anahtarı bir arada kullanan yapılardan oluşur. MOSFET'ler, düşük anahtarlama kayıpları, yüksek hızlı anahtarlama yetenekleri ve geniş

çalışma voltaj aralıkları gibi avantajları nedeniyle bu tür uygulamalarda en yaygın tercih edilen elemanlardır. Bölüm 1'de açıklanan birçok avantaj göz önüne alındığında, MOSFET'ler, özellikle anahtarlama kapasite devreleri için ideal hale gelmiştir [51].

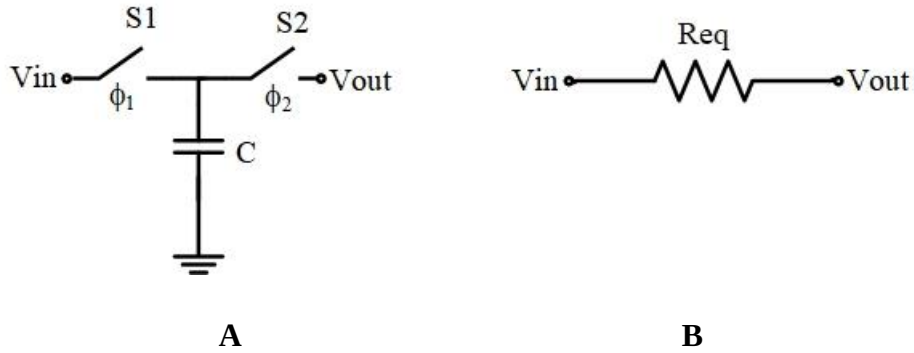
MOSFET'lerin düşük enerji kayıpları, bu tür devrelerde verimliliği artırırken, hızlı anahtarlama yetenekleri ise yüksek performanslı uygulamalar için kritik öneme sahiptir. Ayrıca, MOSFET'ler, geniş bir voltaj aralığında çalışabilir, bu da onları çeşitli uygulamalar için uyumlu hale getirir. CMOS transfer gate'leri, NMOS ve PMOS transistörlerinin paralel bağlanmasıyla elde edilir ve bu yapı, anahtarlama kapasite devreleri için en iyi yarı iletken anahtar olarak kabul edilir. Anahtarlama Kapasite Direnci (Switched-Capacitor Resistor), bir direncin davranışını simüle eden ve programlanabilir bir eşdeğer direnç olarak işlev gören bir yapıdır. Bu yapı, daha düşük maliyet, daha yüksek doğruluk, daha az harici bileşen kullanımı ve daha yüksek sıcaklık kararlılığı gibi avantajlar sunar. Bu özellikler, modern entegre devreler (IC) içinde yaygın olarak kullanılır ve tek bir çip üzerinde çeşitli işlevler sağlar, örneğin filtreleme, veri dönüşümü ve analog, dijital ve karma sinyal işleme uygulamaları gibi. Özellikle analog filtrelerde, Analog-Dijital Çeviriciler (ADC) ve Dijital-Analog Çeviriciler (DAC) gibi yapıların temel bir parçası olarak görev yapar. Anahtarlama kapasite devreleri, sundukları yüksek doğruluk, küçük boyut ve programlanabilirlik sayesinde bu tür uygulamalarda tercih edilmektedir [12]. Ancak, anahtarlama kapasite devrelerinin en önemli dezavantajlarından biri, yüksek anahtarlama gürültüsüdür. Bu gürültü, anahtarlama işlemleri sırasında meydana gelen parazitlerden kaynaklanır ve devrenin genel performansını olumsuz etkileyebilir. Yüksek anahtarlama frekansları, kapasitörlerin hızlı bir şekilde şarj ve deşarj olmasına neden olarak istenmeyen gürültü sinyallerine yol açar. Bu gürültü, özellikle hassas analog işlemler için sorun teşkil edebilir [73].

Anahtarlama gürültüsünü azaltmak için çeşitli teknikler kullanılabilir. Bu tekniklerden ilki, dikkatli devre tasarımı ile parazitik elemanların etkilerinin azaltılmasıdır. Özellikle, parazitik kapasitans ve indüktans etkilerini minimize etmek için, kapasitörlerin ve MOSFET anahtarlarının doğru yerleşimi oldukça önemlidir. Parazitik elemanların etkilerini kontrol altında tutarak, devrede oluşabilecek yüksek frekanslı gürültüler engellenebilir. Ayrıca, uygun filtreleme tekniklerinin kullanımı da anahtarlama gürültüsünü azaltmada etkilidir. Düşük gürültülü anahtar bileşenleri ve düşük gürültü üreten MOSFET'ler tercih edilerek gürültü minimize edilebilir [12]. CMOS transfer gate'leri, bu tür devrelerde sıkça kullanılır ve devrenin

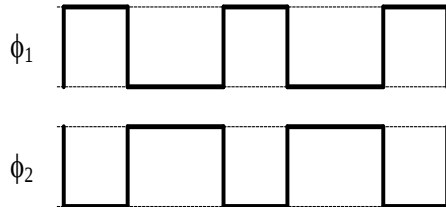
performansını artırmada kritik bir rol oynar. Bu yapılar, düşük maliyetli ve yüksek doğruluklu çözümler sunarken, anahtarlama sırasında oluşabilecek kayıpları da minimize eder [51].

Gelecekteki araştırmalar, bu devrelerin performansını daha da iyileştirmek için yeni malzemeler ve teknikler geliştirmeye odaklanabilir. Bu, anahtarlama gürültüsünü daha da azaltacak yenilikçi çözümler sunabilir [73]. İdeal bir anahtar genellikle sıfır gecikme ile çalışır ve iletim sırasında sıfır direnç gösterir. Bu, ideal bir SPST (Tek Kutuplu Tek Yönlü) anahtardır. Gerçek devrelerde ise bu ideal yapının yerini CMOS tabanlı anahtarlar alır. CMOS anahtarları, güç verimliliği ve hızlı anahtarlama özellikleri ile mükemmel bir alternatif sağlarlar.

Şekil 2.25A'da iki ideal anahtar ve bir kapasitörden oluşan temel anahtarlama kapasite direnç yapısını sunmaktadır. Bu yapı, bu çalışmada kullanılacaktır. Birden fazla konfigürasyona sahip iki veya daha fazla anahtar içeren çeşitli anahtarlama kapasite direnç yapıları bulunmaktadır. Ancak, bu çalışmanın konusu olan uygulamaları temel olarak kavrayabilmek için bu basit yapı tercih edilmiştir.



Şekil 2.25: A. İdeal anahtarlar kullanarak anahtarlama kapasite direnci B. Eşdeğer direnç.



Şekil 2.26: Çakışmayan anahtarlama sinyalleri.

Şekil 2.25A'daki $S1$ ve $S2$ anahtarları, Şekil 2.26'de sunulan çakışmayan sürücü sinyalleri ile sürülmektedir. Diğer bir deyişle, $S1$ açıkken $S2$ kapalıdır ve tersi de geçerlidir.

Gerçekte, açık ve kapalı durumları arasındaki geçişlerde gecikmeler olacağından ve MOSFET'lerin iç kapasitörlerinin boşaltılması için bir süre gerektiğinden, anahtarlama sinyalleri arasında bir ölü zaman yerleştirilmelidir.

2.2.14. Anahtarlama Kapasite Direncinin Çalışması

S1 anahtarı açıkken ve $V_i > 0$ olduğunda, Şekil 2.26A'da gösterilen devredeki kapasitör aynı anda şarj olur. Bu noktada, kapasitörde biriken şarj şu şekilde belirlenir:

$$Q = V_i \times C \quad (2.9)$$

Burada yer alan Q kapasitördeki yük, C kapasitörün kapasitesi, V_i kapasitör üzerindeki voltajı temsil eder [16].

Kapasitör üzerindeki şarj, S1 ve S2'nin kapalı ve açık durumlar arasında geçiş yapmasıyla birlikte çıkışa akmaya başlar ve bu durum kapasitörün boşalmasına neden olur. Bu açık/kapalı durum geçişleri tekrarlandığında, kapasitörün şarj ve deşarj döngüsü de tekrarlanır. Bu anahtarlama, T_{clk} süresi içinde tekrar meydana gelirse, o zaman [16]:

$$I_{avg} = \frac{Q}{T_{clk}} = \frac{C \cdot V}{T_{clk}} = V_i \times C \times f_{clk} \quad (2.10)$$

Buradaki I_{avg} ortalama akımı, f_{clk} anahtarlama periyodunu temsil eder. Bunun sonucunda, eşdeğer direnç R_{eq} şu şekilde hesaplanabilir [16]:

$$R_{eq} = \frac{V_i}{I_{avg}} = \frac{V_i}{V_i \times C \times f_{clk}} = \frac{1}{C \times f_{clk}} \quad (2.11)$$

R_{eq} değeri, C ve f_{clk} değerlerine bağlıdır. Eğer C sabit tutulursa, R_{eq} değeri f_{clk} değiştirilerek ayarlanabilir. Sadece anahtarlama frekansını değiştirerek R_{eq} değerini geniş bir aralıkta değiştirebilme özelliği, anahtarlama kapasite dirençlerinin büyük bir avantajıdır. Anahtarlama kapasite devrelerinde, anahtarlama frekansı f_{clk} , kaynak frekansına (f_{source}) kıyasla çok büyük olmalıdır:

$$f_{clk} \gg f_{source} \quad (2.12)$$

Bu ilişki, anahtarlama kapasite devrelerinin doğru çalışmasını sağlamak ve istenmeyen etkileri minimize etmek için gereklidir.

Başka bir deyişle, kaynak sinyalde meydana gelen her değişikliği çıkışa yansıtmak için anahtarlar, kaynağa göre çok daha hızlı olmalıdır. Böylece, yük paketlerinin kaynaktan üretime transferi sürekli bir akış olarak düşünülebilir. Anahtarlama frekansını artırmanın yanı sıra, kapasitör boyutu da küçültülebilir ve aynı R_{eq} değeri elde edilebilir. Bu şekilde, daha küçük bir kapasitörle IC'de kaplanan alan azaltılabilir. Ancak, anahtarlama frekansının çok fazla artırılması, gürültüyle ilgili sorunlara yol açabilir. Bir IC'deki kaplanan alan ve iç parazitik kapasitanslar, kapasitör değerlerinin üst ve alt sınırlarını belirlediğinden, tasarımda tavizler verilmelidir.

2.2.15. Anahtarlama Kapasite ile Entegre Edici

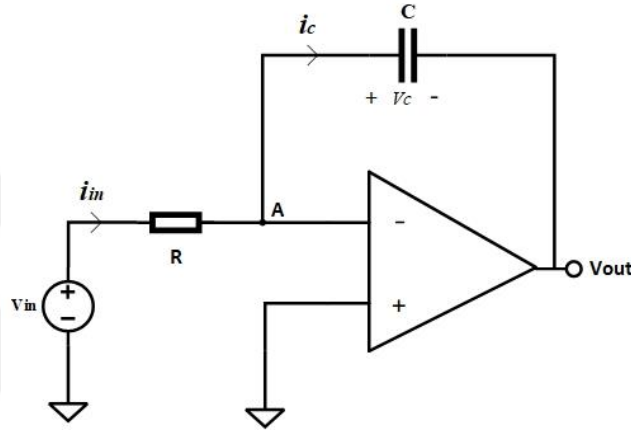
Şekil 2.27'de gösterilen Op-Amp Entegre Edici devresi, Negatif Geri Beslemeli Op-Amp devresindeki geri besleme direncinin bir kapasitörle değiştirilmesiyle oluşturulur. Op-Amp Entegre Edici'nin giriş ve çıkış sinyalleri arasındaki bağlantı, matematiksel entegrasyon işlemi olarak bilinir. Başka bir deyişle, entegratörün çıkış sinyali, giriş sinyalini kademeli olarak entegre eder. Bu düzenleme, filtreler, ADC'ler, kontrol devreleri ve sinyal jeneratörleri gibi birçok uygulamada kullanılır [82].

Entegratör devreleri, çeşitli uygulama alanlarında kritik işlevler sunar. Özellikle filtre tasarımlarında, entegratörler, alçak geçiren ve yüksek geçiren filtrelerin önemli bir bileşeni olarak görev yapar. Bu devreler, sinyalin belirli frekans bileşenlerini bastırarak veya izin vererek, filtreleme işlevini yerine getirir. Alçak geçiren filtreler genellikle yüksek frekanslı gürültüleri bastırırken, yüksek geçiren filtreler düşük frekanslı bileşenleri ayıklayarak belirli sinyalleri izole eder [16]. ADC sistemlerinde, entegratör devreleri, analog sinyallerin dijital sinyallere dönüşümü sırasında kritik bir rol oynar. Bu süreçte, entegratörler sinyalin düzgün bir şekilde işlenmesini sağlar ve sinyal örnekleme süreçlerinde hassasiyet sunar [12]. Kontrol devrelerinde, entegratörler, geri beslemeli sistemlerde sistemin tepkisini iyileştirmek için kullanılır. Bu durum, özellikle hassas kontrol gerektiren uygulamalarda önemlidir, çünkü entegratör devreleri sistemin kararlı ve dengeli bir şekilde çalışmasına katkıda bulunur [83].

Ayrıca, sinyal jeneratörleri açısından entegratörler, rampa ve üçgen dalga formları gibi özel dalga biçimlerinin üretilmesinde yaygın olarak kullanılır. Bu devreler, farklı frekans ve

genliklerde sinyaller üretmek için kullanılır ve bu sayede sinyal işleme ve test devrelerinde önemli bir rol oynar [73].

Şekil 2.27'de sunulan devrede Op-Amp'ın ideal olduğu varsayılmıştır. Bu durumda, A noktası sanal bir toprak olarak kabul edilir. İdeal Op-Amp'ın giriş direnci neredeyse sonsuz olduğundan, negatif girişine sıfır akım akar. Bu nedenle, $v_{in} > 0$ olduğunu varsayarsak, kaynak akımı R ve C üzerinden çıkışa akar. Aşağıdaki türetmeler, Op-Amp Entegre Edici'nin çalışma prensibini sunmaktadır.



Şekil 2.27: Op-Amp RC entegre edici devresi.

Node A için Kirchhoff'un Akım Kanunu (KCL) şu şekilde ifade edilir:

$$i_{in} = \frac{v_{in}-0}{R} = \frac{v_{in}}{R} \quad (2.13)$$

$$Q = C \times v_c \quad (2.14)$$

$$i_c = \frac{dQ}{dt} = C \times \frac{dv_c}{dt} = C \times \frac{d}{dt}(V_A - v_{out}) = -C \times \frac{dv_{out}}{dt} \quad (2.15)$$

Eğer $i_{in}=i_c$ olduğunu biliyorsak o zaman:

$$\frac{v_{in}}{R} = -C \times \frac{dv_{out}}{dt} \quad (2.16)$$

$$\frac{dv_{out}}{dt} = \frac{-1}{RC} \times v_{in}(t) \quad (2.17)$$

$$v_{in}(t) = \frac{-1}{RC} \times \int_0^t v_{in}(t)dt \quad (2.18)$$

Giriş sinyalinin entegrasyonu, bir entegratör devresinde, devrede bulunan $-1/RC$ faktörüyle çarpılarak gerçekleşir. Bu faktör, entegrasyonun matematiksel temsidir ve devrenin giriş sinyali ile zaman eksenini arasında birikmesini ifade eder. Bu birikme, zamanla sinyalin altında kalan alanın toplanmasıyla fiziksel olarak tanımlanır. Örneğin, entegratör devresine sabit bir VDC voltajı uygulandığında, çıkışta oluşan voltaj, VDC/RC eğimli bir rampa şeklinde olur. Bu rampa, çıkış voltajı ya devrenin doyum noktasına ulaşana kadar ya da Op-Amp'ın besleme raylarını aşana kadar devam eder. Bu özellik, devrede sürekli ve kademeli bir voltaj değişimi yaratır. Bu sayede, entegratör devrelerinin analog sinyalleri işleme, filtreleme ve sinyal işleme gibi uygulamalarda kullanılmasına olanak tanır. Devre, belirli bir süre boyunca sinyali toplayarak, sinyalin birikimini çıkış voltajında gösterir.

Entegratör devrelerinde R direnci yerine CMOS tabanlı anahtarlama kapasite direnci kullanıldığında, bu yapı, R direncinin yerini alarak entegrasyon işlemini sağlar. Anahtarlama kapasite devresi, özellikle direnç değerlerini hassas ve dinamik bir şekilde ayarlamak için çok uygun bir yöntemdir. Bu sayede, sabit bir direnç yerine, anahtarlama kapasite ile değişken bir direnç elde edilir ve bu da daha esnek ve verimli devre tasarımlarına olanak tanır. Denklem 2.18'de yer alan R direnci yerine bir anahtarlama kapasite yerleştirildiğinde, devrenin çıkış ifadesi şu şekilde olur [12]:

$$v_{out}(t) = -\frac{C_s}{C} f_{clk} \times \int_0^t v_{in}(t)dt \quad (2.19)$$

Bu denklemde, çıkış voltajı giriş sinyalinin zamanla integralini alır ve çıkış, anahtarlama kapasitenin ve saat sinyalinin etkisiyle şekillenir. Bu yapı, yüksek hassasiyetli ve kontrol edilebilir entegrasyon süreçleri için etkili bir çözüm sunar [16].

3. YÖNTEM

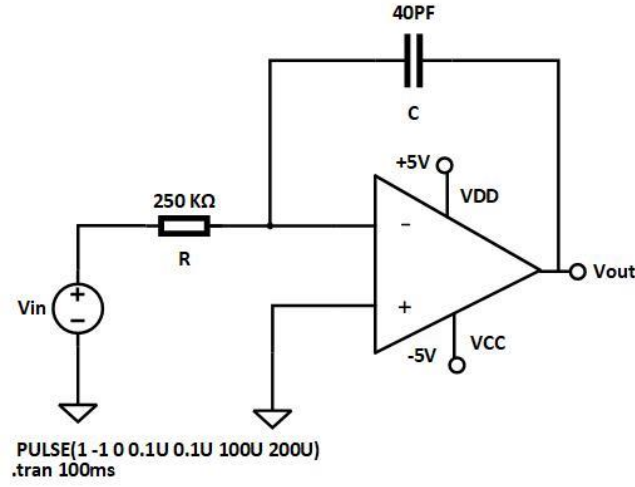
3.1. ANAHTARLAMALI KAPASİTE ENTEGRATÖRÜ TASARIMI

Op-Amp devresinin geri besleme direncinin bir kapasitör ile değiştirilmesi, Şekil 3.1'de gösterilen Op-Amp entegratör devresini oluşturur. Bu devrede, Op-Amp entegratörü, giriş ve çıkış sinyalleri arasındaki ilişkiyi matematiksel integrasyon işlemi ile ifade eder. Diğer bir deyişle, entegratörün çıkış sinyali, giriş sinyalinin zaman içindeki integrasyonudur. Bu ilişki, devredeki geri besleme kapasitörü sayesinde sağlanır [16].

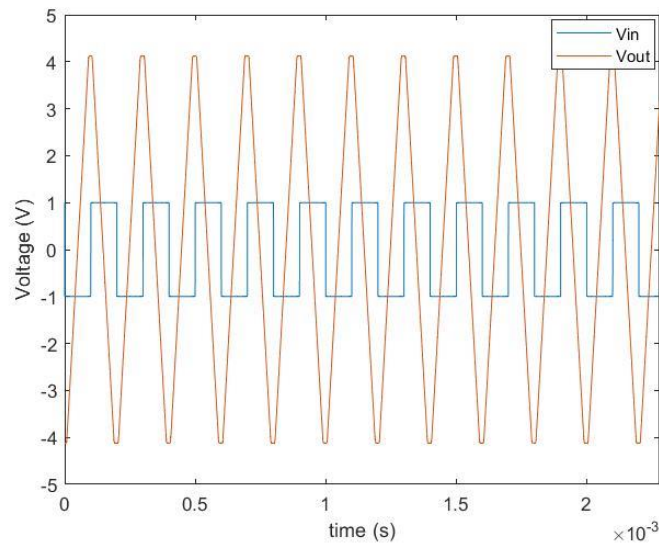
Bu yapı, sinyal üreteçleri, ADC'ler, filtreler ve kontrol devreleri gibi birçok elektronik uygulamada geniş bir kullanım alanına sahiptir. Entegratör devreleri, özellikle analog sinyal işleme ve geri beslemeli kontrol sistemlerinde kritik bir rol oynar. Sinyal üretimi için üçgen veya rampa dalga formlarının elde edilmesinde sıkça kullanılırken, ADC devrelerinde örnekleme ve tutma işlemleri için de önemli bir bileşen olarak görev yapar [12, 83].

Op-Amp Entegratör devresi, giriş sinyalinin sürekli integrasyonunu gerçekleştirerek çıkışta integral sinyal üretir. Bu devre, özellikle düşük frekanslı sinyallerin işlenmesi ve doğrusal olmayan sistemlerin modellenmesi gibi uygulamalarda büyük avantaj sağlar. Entegratör devreleri, sinyalin biçimini değiştirme veya frekans cevabını modifiye etme gerektiren çeşitli uygulamalarda da yaygın olarak kullanılır [16]. Sinyal üreteçleri bağlamında, entegratör devreleri kare dalga sinyallerini üçgen dalga sinyallerine dönüştürmek için kullanılır. Bu özellik, sinyal üretiminde önemli bir rol oynar. ADC'lerde ise, entegratör devreleri delta-sigma modülasyonu tekniklerinde kullanılarak yüksek doğruluk ve düşük gürültü performansı elde edilmesini sağlar [12]. Filtre uygulamalarında, entegratör devreleri, alçak geçiren ve yüksek geçiren filtrelerin tasarımında önemli bir bileşen olarak işlev görür. Bu filtrelerde entegratörler, giriş sinyalinin belirli frekans bileşenlerini filtreler ve belirli aralıklarda sinyali geçişe izin verir. Kontrol devrelerinde ise, entegratörler sistem geri beslemesinin integral kontrolünü gerçekleştirir ve bu sayede sistemin kararlılığını ve doğruluğunu artırır [83].

Şekil 3.2'de Giriş voltajı (V_{in}) kare dalga şeklinde olup, pozitif ve negatif gerilim arasında periyodik olarak değişir. Entegratör devresi bu kare dalganın integralini alarak çıkışta üçgen dalga formunu üretir. Her pozitif kare dalga sırasında entegratör çıkışı doğrusal olarak negatif yönde eğimli bir üçgen dalga üretir. Negatif kare dalga sırasında ise pozitif yönde doğrusal bir üçgen dalga oluşur. Gelecekteki çalışmalar, bu devrelerin daha yüksek verimlilikle ve daha düşük güç tüketimi ile çalışmasını sağlamak için yeni tasarım teknikleri ve optimizasyon yöntemleri geliştirmeye odaklanabilir. Şekil 3.1'de verilen devrede Op-Amp ideal kabul edilmektedir. bu bölümde, tüm MOSFET transistörleri Level1 modeli olarak alınmıştır ve kullanılan tüm FinFET'ler 32 nm FinFET'tir.



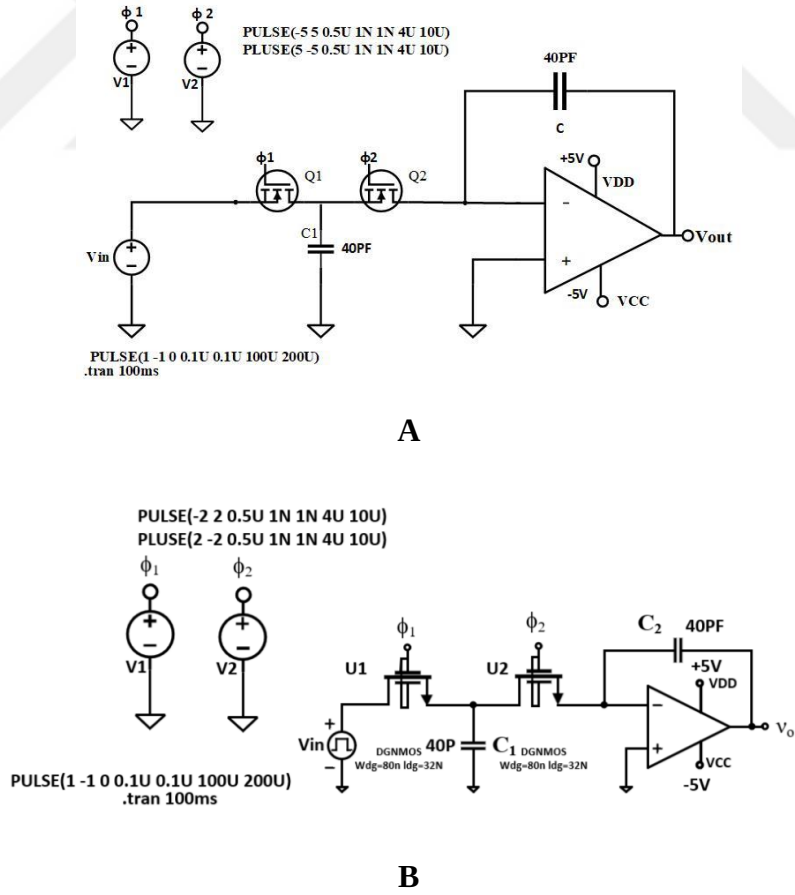
Şekil 3.1: Op-Amp RC entegratör devresi.



Şekil 3.2: Op-Amp entegratörünün çıkış voltajı.

3.1.1. İntertörlü Anahtarlama Kapasite (SC integrator)

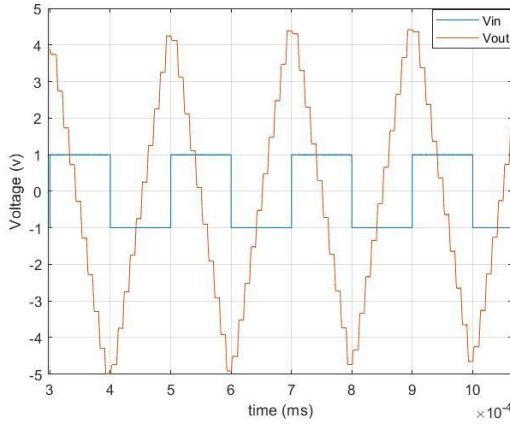
İntertörlü anahtarlama kapasite devrelerinin farklı konfigürasyonları, özellikle MOSFET ve FinFET transistörleri kullanılarak tasarlanmıştır. Bu tür devreler, yüksek doğruluklu sinyal işleme ve frekans modifikasyonu gerektiren birçok elektronik sistemde kritik bir rol oynamaktadır. Şekil 3.3'te MOSFET'ler ve FinFET'ler kullanılarak oluşturulmuş İntertörlü anahtarlama kapasite devreleri gösterilmektedir. MOSFET'ler ile gerçekleştirilen konfigürasyon, yüksek hızda anahtarlama yeteneği sunarken, giriş sinyalini doğru bir şekilde işleyerek çıkışa entegral sinyal sağlar. Bu yapı, genellikle düşük maliyetli ve güç verimliliği gerektiren uygulamalarda tercih edilmektedir. FinFET'ler ile oluşturulan yapı ise, yüksek frekanslı ve hassas uygulamalarda önemli bir avantaj sağlar. Bu devreler, genellikle sinyal işleme, ADC'ler ve frekans filtreleri gibi uygulamalarda kullanılır ve farklı transistör türleri, tasarımın spesifik gereksinimlerine göre seçilir. Şekil 3.3'te her iki yapı da giriş sinyallerinin entegrasyonu yoluyla belirli bir çıkış sinyali üretir.



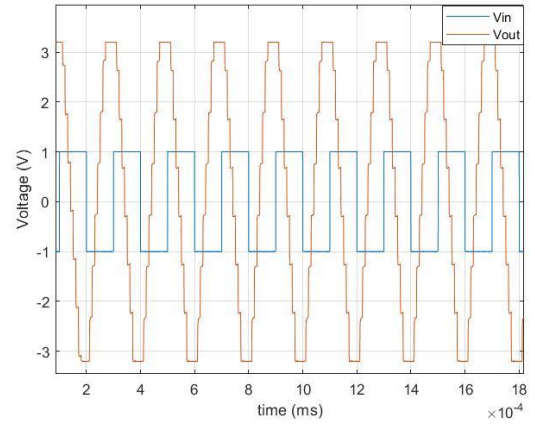
Şekil 3.3: İntertörlü anahtarlama kapasite **A.** MOSFET'leri kullanan konfigürasyonu **B.** FinFET'leri kullanan konfigürasyonu.

MOSFET'lerle gerçekleştirilen invertörlü anahtarlama kapasite devresinin giriş ve çıkış voltajları, Şekil 3.4A'de gösterilmektedir. Giriş sinyali kare dalga biçiminde olup, entegrasyon işlemi sonucunda çıkış sinyali üçgen dalgaya dönüşmektedir. Bu yapı, özellikle sinyal işleme ve düşük güç tüketimi gerektiren uygulamalarda yaygın olarak kullanılmaktadır.

FinFET'lerle tasarlanan invertörlü anahtarlama kapasite devresinin giriş ve çıkış voltajları ise Şekil 3.4B'de görülmektedir. Giriş sinyali yine kare dalga formundadır ve çıkışta entegrasyon işlemi sonucu üçgen dalga elde edilmektedir. FinFET'lerin sağladığı düşük kaçak akımı ve daha iyi elektrostatik kontrol avantajları ile bu yapı daha verimli sonuçlar sunmaktadır.



A



B

Şekil 3.4: İntertörlü anahtarlama kapasite giriş ve çıkış voltaj **A.** MOSFET'leri kullanan konfigürasyonu **B.** FinFET'leri kullanan konfigürasyonu.

3.1.1.1. İntertörlü Anahtarlama Kapasite Güç Tüketim Hesaplaması

Darbe sinyali uygulanması nedeniyle, her bir transistörün güç tüketimini hesaplamak için RMS (Kare Ortalamalarının Kökü) voltajı ve akımı kullanmak gereklidir. Bu, periyodik voltaj ve akım dalga biçimlerinin ortalamasını alırken RMS değerlerinin kullanılmasının önemini vurgular. RMS, dalga formunun karesinin ortalamasının karekökü alınarak hesaplanır. RMS voltajı ve RMS akımı aşağıdaki formüllerle hesaplanır [16]:

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T (V(t))^2 dt} \quad (3.1)$$

$$I_{rms} = \sqrt{\frac{1}{T} \int_0^T (I(t))^2 dt} \quad (3.2)$$

Bu formüller yardımıyla, transistörlerin her biri için güç tüketimi ayrı ayrı hesaplanır. Güç tüketimini bulmak için RMS voltajı ve akımı çarpılır [16]:

$$P = V_{rms} \times I_{rms} \quad (3.3)$$

Bu hesaplamalar sonucunda, her bir transistör için ayrı ayrı elde edilen güç tüketimleri, MOSFET'ler ve FinFET'ler arasında önemli bir fark olduğunu göstermektedir. Tablo 3.1'de görüldüğü üzere, MOSFET'lerin çalışma parametrelerine göre, her bir MOSFET'in güç tüketimi aşağıdaki gibidir:

Tablo 3.1: İntertörlü anahtarlama kapasite MOSFET'lerin çalışma parametreleri.

Transistor	V _{rms}	I _{rms}	P
Q1	4.99V	16.296μA	81.31μW
Q2	4.99V	10.728μA	51.28μW

$$P_{t(MOSFET)} = P(Q1) + P(Q2) = 132\mu W \quad (3.4)$$

Tablo 3.2'de ise FinFET'lerin çalışma parametreleri verilmiştir. FinFET'ler, MOSFET'lere kıyasla çok daha düşük bir güç tüketimi sağlar:

Tablo 3.2: İntertörlü anahtarlama kapasite FinFet'lerin çalışma parametreleri.

Transistor	V _{rms}	I _{rms}	P
U1	1.99V	7.28nA	14.48nW
U2	1.99V	7.26nA	14.44nW

$$P_{t(FinFET)} = P(U1) + P(U2) = 28.92nW \quad (3.5)$$

MOSFET'lerle karşılaştırıldığında, FinFET'ler çok daha düşük bir voltaj ve akım ile çalışır, bu da onların güç tüketiminin MOSFET'lerden kat kat düşük olmasına neden olur. FinFET'lerin daha düşük güç tüketimi, düşük kaçak akımları ve daha iyi elektrostatik kontrol gibi avantajlarından kaynaklanmaktadır. Bu özellikler, özellikle mobil cihazlar, taşınabilir elektronikler ve düşük güç tüketimi gerektiren uygulamalar için FinFET'leri daha avantajlı hale getirir. MOSFET'lerin toplam güç tüketimi 132 μ W iken, FinFET'lerinki sadece 25.18 nW'dir. Bu fark, FinFET'lerin enerji verimliliği açısından MOSFET'lere kıyasla büyük bir avantaj sunduğunu açıkça ortaya koymaktadır. FinFET'lerin kanal yapısı, düşük voltajda çalışabilme kapasitesi ve daha düşük güç tüketimi, onları modern elektronik tasarımlar için ideal hale getirir. Bu sonuçlar, FinFET'lerin özellikle güç tüketimi hassas olan uygulamalarda tercih edilme sebeplerini açıkça göstermektedir. MOSFET'lerin de yüksek hız ve maliyet avantajları olmasına rağmen, enerji verimliliği açısından FinFET'ler daha iyi performans sunmaktadır.

3.1.1.2. İnvertörlü Anahtarlama Kapasitenin MOSFET ve FinFET Konfigürasyonları C, f ve W/L Değişkenlerine Bağlı Performansları

İki parametreyi sabit tutarak bir parametreyi değiştirerek devrenin performansı kontrol edildiğinde, kapasitans arttıkça devrenin çalışma frekansı da artar. Bu durum, devrenin yüksek frekans uygulamalarına daha uygun hale gelmesine olanak tanır. Yüksek frekanslarda devrenin yanıt süresi hızlanır, bu da sinyallerin daha dinamik ve hızlı işlenmesini sağlar. Özellikle frekansın artırılması, devrenin işlediği sinyallerin hızını ve doğruluğunu önemli ölçüde etkiler. Yüksek frekansta çalışan devreler, daha hızlı ve doğru sinyal işleme yeteneğine sahip olur, bu da dinamik uygulamalarda önemli avantajlar sunar. Ayrıca, transistörlerin genişlik/uzunluk (W/L) oranı da devrenin performansını etkileyen bir diğer önemli parametredir. W/L oranının artırılması, transistörlerin daha fazla akım taşıma kapasitesine sahip olmasına olanak tanır ve bu da daha hızlı anahtarlama hızına katkı sağlar. Büyük bir W/L oranı, transistörlerin devredeki akım taşıma kapasitesini artırarak, daha hızlı ve güçlü sinyal işlemlerine yardımcı olur.

Tablo 3.3 ve Tablo 3.4'te, MOSFET'leri ve FinFET'leri kullanan invertörlü anahtarlama kapasite devrelerinin en uygun performansı sağlamak için kapasitans (C), frekans (f) ve W/L oranı değerleri verilmiştir. MOSFET'li devrede, kapasitans ve frekans değerleri daha düşükken, FinFET'ler daha yüksek değerlerde çalışabilmektedir, bu da onları yüksek frekanslı ve yüksek performanslı uygulamalar için daha uygun hale getirir.

Tablo 3.3: İnvörtörlü anahtarlamaalı kapasite devresine MOSFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, f ve W/L değerleri.

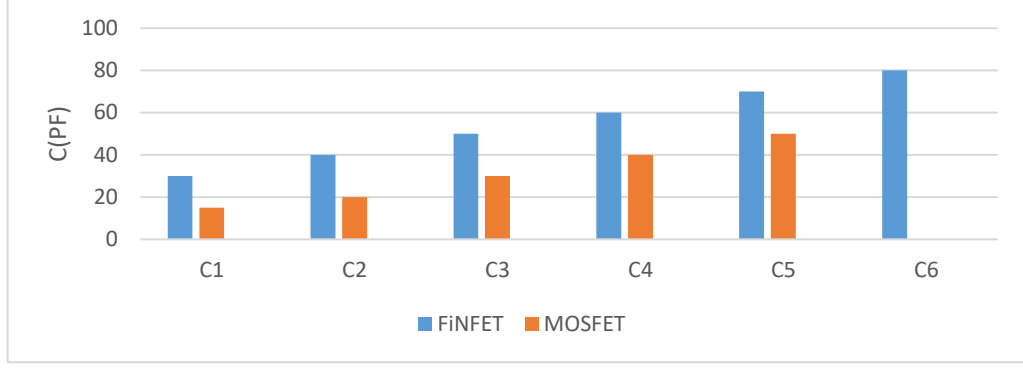
C	pF	15	20	30	40	50
f	kHz	83	100	150	180	200
W/L	$\mu\text{m}/\mu\text{m}$	5/10	10/10	38/10	43/10	50/10

Tablo 3.4: İnvörtörlü anahtarlamaalı kapasite devresine FinFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, f ve W/L değerleri.

C	pF	30	40	50	60P	70P	80P	-----	-----	-----
f	kHz	76	83	100	110	200	300	400	-----	-----
W/L	nm/nm	32/32	50/32	80/32	100/32	200/32	300/32	400/32	500/32	700/32

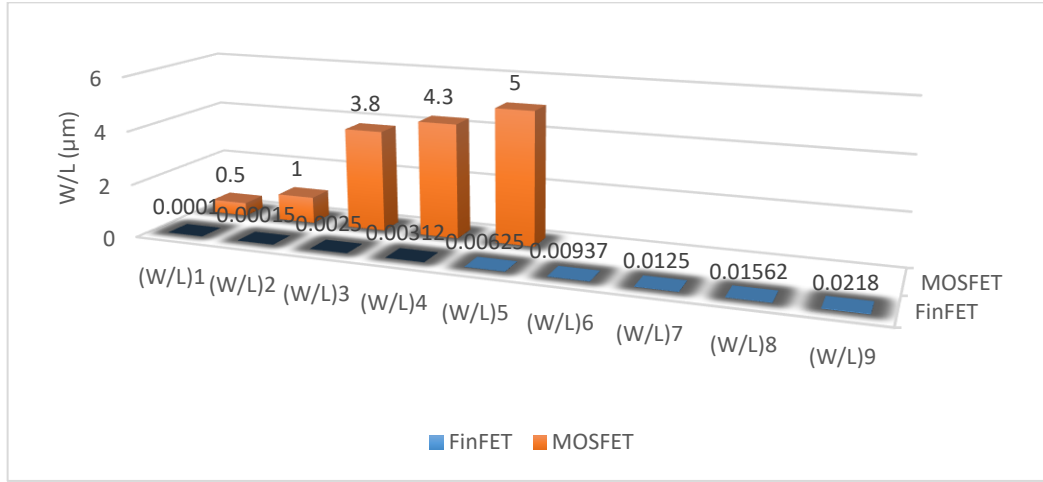
3.1.1.3. İnvörtörlü Anahtarlamaalı Kapasite Devresinin MOSFET ve FinFET Konfigürasyonları, Performans Karşılaştırması

FinFET teknolojisinin MOSFET'e kıyasla daha yüksek kapasitans değerlerine sahip olduğu Şekil 3.5 görülmektedir. Bu durum, FinFET'lerin daha yüksek enerji depolama kapasitesi sunabildiğini ve bu nedenle potansiyel olarak daha iyi performans ve enerji verimliliği sağlayabileceğini göstermektedir. Özellikle yüksek performans gerektiren uygulamalarda, FinFET teknolojisi bu avantajları sayesinde tercih sebebi olabilir. Daha yüksek kapasitans değerlerine sahip olan FinFET'ler, aynı zamanda daha düşük sızıntı akımı ve daha iyi elektrostatik kontrol avantajları sunmaktadır. Bu özellikler, FinFET'lerin yüksek performanslı elektronik sistemlerde daha verimli çalışmasına katkıda bulunmaktadır.



Şekil 3.5: İntertörlü anahtarlama kapasite devresinin MOSFET ve FinFET konfigürasyonları kapasitans değerlerinin (C) karşılaştırması.

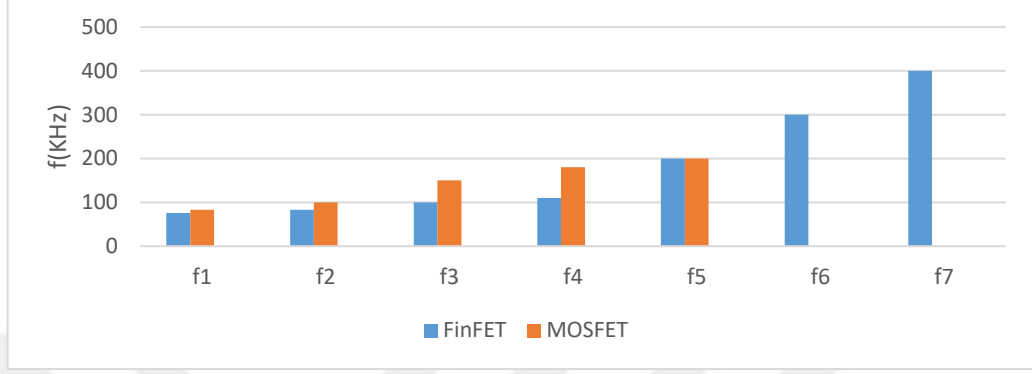
FinFET ve MOSFET transistörlerinin genişlik/uzunluk (W/L) oranlarına göre performans karşılaştırması Şekil 3.6'da gösterilmektedir. FinFET'ler, özellikle küçük ölçeklerde ve düşük W/L oranlarında yüksek verimlilik ve enerji tasarrufu sağlarken, MOSFET'ler orta W/L oranlarında daha yüksek akım taşıma kapasitesine sahiptir. Ancak, büyük W/L oranlarına doğru FinFET'ler yeniden üstünlük sağlayarak daha stabil ve kontrollü bir performans sergilemektedir. Bu, FinFET'lerin geniş bir performans aralığında MOSFET'lere kıyasla daha verimli olduğunu ve özellikle yüksek performanslı ve düşük güç tüketimli uygulamalarda tercih edilebileceğini göstermektedir.



Şekil 3.6: İntertörlü anahtarlama kapasite devresinin MOSFET ve FinFET konfigürasyonları W/L oranlarına göre performans karşılaştırması.

Farklı frekanslardaki performansları karşılaştırıldığında, FinFET'lerin özellikle yüksek frekans aralıklarında daha üstün bir performans sergilediği görülmektedir, bu da onların yüksek hız gerektiren uygulamalarda daha verimli olduğunu gösterir. Şekil 3.7'de, düşük frekans aralıklarında (f_1 ve f_2) FinFET ve MOSFET teknolojilerinin benzer performans sergilediği

dikkat çekmektedir. Orta frekanslarda (f_3 ve f_4), MOSFET'lerin FinFET'lere göre biraz daha yüksek performans sunduğu gözlemlenirken, yüksek frekanslarda (f_6 ve f_7), FinFET'ler açık bir üstünlük göstermektedir. Bu analiz, FinFET'lerin özellikle yüksek frekanslı uygulamalarda MOSFET'lere kıyasla daha etkili olduğunu ortaya koymaktadır.



Şekil 3.7: İntertörlü anahtarlamalı kapasite devresinin MOSFET ve FinFET konfigürasyonları farklı frekanslarda (f) performans karşılaştırması.

FinFET ve MOSFET teknolojilerinin frekans yanıtlarını karşılaştırırken, iki teknoloji arasındaki performans farklılıkları belirginleşmektedir. MOSFET'ler, düşük ve orta frekans aralıklarında verimli çalışabilirken, FinFET'ler özellikle yüksek frekanslarda üstün performans sunar. Bu, FinFET transistörlerinin daha hızlı anahtarlama yeteneğine sahip olduğunu ve yüksek frekanslı uygulamalara daha uygun olduğunu göstermektedir. FinFET'lerin yüksek frekanstaki bu üstünlüğü, özellikle modern elektronik cihazlar ve veri iletimi gibi yüksek hız gerektiren uygulamalarda tercih edilme olasılığını artırmaktadır. MOSFET'ler, belirli frekans aralıklarında yeterli performans sergileyebilir, ancak yüksek frekans uygulamalarında FinFET'ler daha etkili ve enerji verimli çözümler sunar [16].

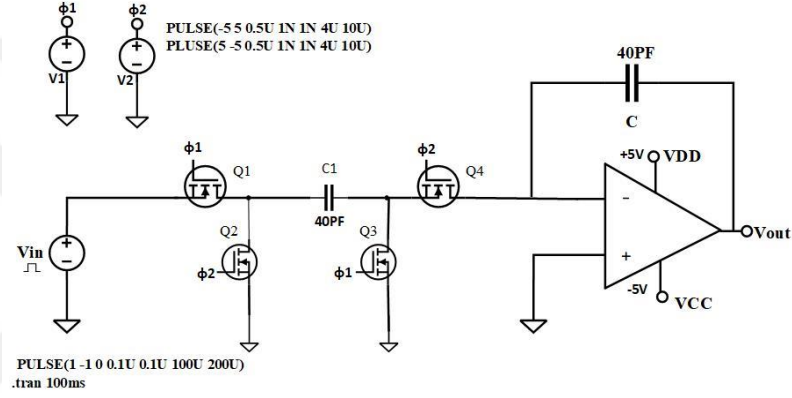
3.1.2. Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör (Positive Integrator With Insensitivity to Stray Capacitances)

Kaçak kapasitanslara karşı duyarsız bir pozitif entegratör devresi, anahtarlamalı kapasite devrelerinin performansını optimize etmek amacıyla tasarlanmıştır. Kaçak kapasitanslar, devrede istenmeyen enerji depolanmasına ve gürültüye neden olarak entegratör devresinin doğruluğunu ve performansını olumsuz etkileyebilir. Bu durumu önlemek için tasarlanan pozitif entegratör devreleri, bu tür parazitik kapasitansların etkilerini minimize ederek daha hassas sonuçlar elde edilmesini sağlar.

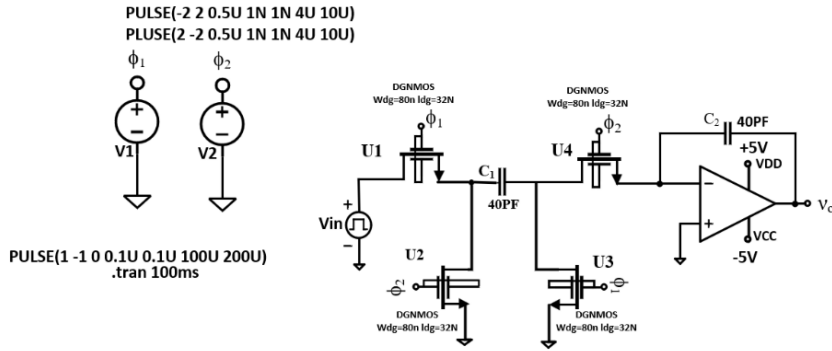
Bu tür devreler, özellikle yüksek doğruluk gerektiren uygulamalarda önemlidir. Şekil 3.8'de, MOSFET'leri ve FinFET'leri kullanan iki farklı konfigürasyon gösterilmektedir.

FinFET tabanlı devreler, MOSFET'lere göre daha iyi elektrostatik kontrol ve daha düşük kaçak kapasitans sunar. Bu avantajlar, yüksek frekans ve düşük güç tüketimi gerektiren uygulamalarda FinFET'leri daha uygun bir teknoloji haline getirmektedir. Ayrıca, FinFET'lerin daha küçük boyutlarda bile etkin performans sergileyebilmesi, özellikle modern elektronik devrelerde kaçak kapasitans sorunlarının üstesinden gelinmesinde avantaj sağlar.

Bu devre tasarımlarının optimizasyonunda, kaçak kapasitansın yanı sıra diğer parazit etkilerin de azaltılması, devrenin genel doğruluğunu artırır ve entegratör devresinin sinyal işleme kapasitesini iyileştirir [84]. Ayrıca, devrede kullanılan transistörlerin genişlik/uzunluk oranları ve frekans yanıtları da performans açısından kritik öneme sahiptir.



A

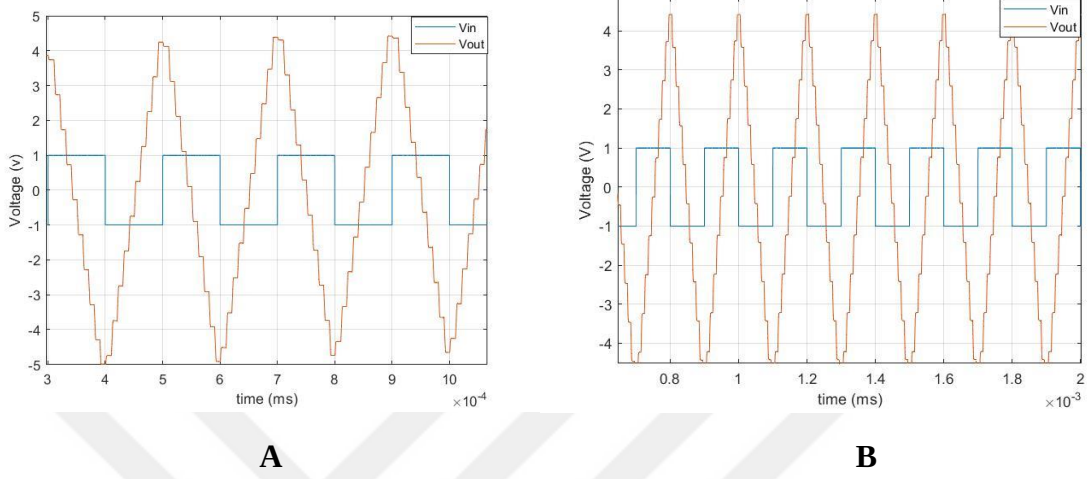


B

Şekil 3.8: Kaçak kapasitanslara karşı duyarsız pozitif entegratör **A.** MOSFET'leri kullanan konfigürasyonu **B.** FinFET'leri kullanan konfigürasyonu.

MOSFET'leri ve FinFET'leri kullanan kaçak kapasitanslara karşı duyarsız pozitif entegratör devrelerinin giriş ve çıkış voltajları karşılaştırılmaktadır. Şekil 3.9A'da, MOSFET tabanlı konfigürasyonda giriş sinyali ile çıkış sinyali arasındaki geçiş süreleri ve voltaj dalgalanmaları gözlemlenmektedir. Şekil 3.9B'de ise, FinFET'lerin kullanıldığı konfigürasyon

yer almakta olup, bu yapıda daha hızlı geçişler ve daha düşük sızıntı görülmektedir. FinFET tabanlı devrenin, özellikle yüksek frekanslı uygulamalarda, MOSFET'lere göre daha verimli çalıştığı ve kaçak kapasitanslara karşı daha duyarsız olduğu ortaya konulmuştur.



Şekil 3.9: Kaçak kapasitanslara karşı duyarsız pozitif entegratör giriş ve çıkış voltaj **A.** MOSFET'leri kullanan konfigürasyonu **B.** FinFET'leri kullanan konfigürasyonu.

3.1.2.1. Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör Güç Tüketim Hesaplaması

Kaçak kapasitanslara karşı duyarsız pozitif entegratör devresinin güç tüketim hesaplaması hem MOSFET hem de FinFET teknolojileri için ayrı ayrı yapılmıştır. Tablo 3.5'te MOSFET'lerin çalışma parametreleri yer almakta olup, her bir transistörün V_{rms} , I_{rms} ve güç tüketimi (P) değerleri hesaplanmıştır. Q1 ve Q3 transistörlerinin her biri $51.267 \mu W$ güç tüketirken, Q2 ve Q4 transistörleri $42.933 \mu W$ güç tüketmiştir. Toplam güç tüketimi, dört transistörün güç tüketimlerinin toplamı ile elde edilmiştir.

Tablo 3.5: MOSFETlerin çalışma parametreleri.

Transistor	V_{rms}	I_{rms}	P
Q1	4.997V	10.274 μ A	51.267 μ W
Q2	4.997V	8.604 μ A	42.933 μ W
Q3	4.997V	10.274 μ A	51.26 μ W
Q4	4.997V	8.604 μ A	42.933 μ W

Toplam güç tüketimi şu şekilde hesaplanır:

$$P_{t(MOSFET)} = P(Q1) + P(Q2) + P(Q3) + P(Q4) = 188.4\mu W \quad (3.6)$$

Tablo 3.6'da ise FinFET'lerin çalışma parametreleri yer almakta olup, her bir transistörün V_{rms} , I_{rms} ve güç tüketim değerleri bulunmaktadır. FinFET'lerin her birinin güç tüketimi MOSFET'lere kıyasla çok daha düşüktür. U1, U2, U3 ve U4 transistörlerinin güç tüketimi sırasıyla 147.70 nW, 168.83 nW, 149.39 nW ve 181.90 nW olarak hesaplanmıştır.

Toplam güç tüketimi şu şekilde elde edilmiştir:

Tablo 3.6: FinFETlerin çalışma parametreleri.

Transistor	V_{rms}	I_{rms}	P
U1	1.997V	5.54nA	11.06nW
U2	1.997V	5.64 nA	11.26nW
U3	1.997V	5.41 nA	10.80nW
U4	1.997V	5.66 nA	11.30nW

Toplam güç tüketimi:

$$P_{t(FinFET)} = P(U1) + P(U2) + P(U3) + P(U4) = 44.42nW \quad (3.7)$$

Bu hesaplamalar sonucunda, FinFET teknolojisinin çok daha düşük güç tüketimi sağladığı açıkça görülmektedir. Bu da FinFET'leri, enerji verimliliği gerektiren uygulamalarda daha avantajlı hale getirmektedir.

3.1.2.2. Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör MOSFET ve FinFET Konfigürasyonları C, F ve W/L Değişkenlerine Bağlı Performansları

Kaçak kapasitanslara karşı duyarsız pozitif entegratör devresi için MOSFET ve FinFET konfigürasyonlarının C, f, ve W/L parametrelerine bağlı performansları incelenmiştir. İki parametre sabit tutularak bir parametredeki değişikliklere göre devre performansı gözlemlenmiştir. Tablo 3.7'de MOSFET'leri kullanan devre konfigürasyonu gösterilmiştir. Burada, farklı kapasitans (C), frekans (f), ve genişlik/uzunluk oranı (W/L) değerleri için devrenin en uygun performansı sağladığı koşullar belirlenmiştir. Kapasitans arttıkça, devrenin çalışma frekansı ve W/L oranı da artış göstermiştir. Örneğin, C = 30 pF için frekans 100 kHz ve W/L oranı 5/10'dur. C = 75 pF'de ise frekans 400 kHz ve W/L oranı 10/10 seviyesine çıkmaktadır.

Tablo 3.7: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, F ve W/L değerleri.

C	pF	30	40	50	60	70	75
F	kHz	100	125	150	175	200	400
W/L	$\mu\text{m}/\mu\text{m}$	5/10	6/10	7/10	8/10	9/10	10/10

Tablo 3.8'de ise FinFET'leri kullanan konfigürasyon yer almaktadır. FinFET konfigürasyonunda, MOSFET'lere kıyasla daha yüksek kapasitans ve frekans değerlerinde bile devre etkin bir şekilde çalışmaktadır. Örneğin, $C = 40$ pF için frekans 30 kHz iken, $C = 150$ pF'de frekans 160 kHz'e ulaşmıştır. W/L oranları ise FinFET'lerin daha yüksek performans sağlayabileceği seviyelerde optimize edilmiştir. Bu durum, FinFET'lerin özellikle yüksek kapasitans ve yüksek frekans gerektiren uygulamalarda daha uygun olduğunu göstermektedir.

Tablo 3.8: Kaçak kapasitanslara karşı duyarsız pozitif entegratör FinFET'leri kullanan konfigürasyonu, en uygun performansı sağlamak için C, F ve W/L değerleri.

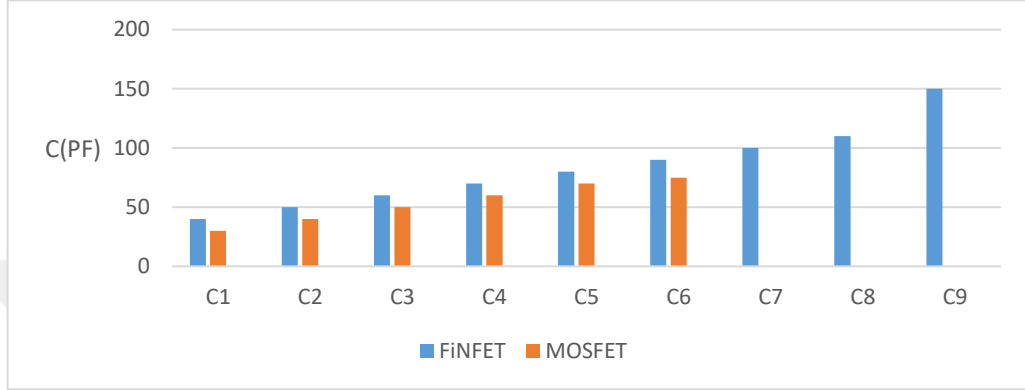
C	pF	40	50	60	70	80	90	100	110	150
F	kHz	100	110	150	200	250	300	400	500	1000
W/L	nm/nm	32/32	40/32	50/32	60/32	70/32	100/32	120/32	150/32	160/32

Bu analiz sonucunda, FinFET'lerin genel olarak daha geniş bir performans aralığı sunduğu, özellikle yüksek kapasitans ve yüksek frekans uygulamalarında MOSFET'lere kıyasla daha üstün performans sergilediği görülmektedir.

3.1.2.3. Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör MOSFET ve FinFET Konfigürasyonları, Performans Karşılaştırması

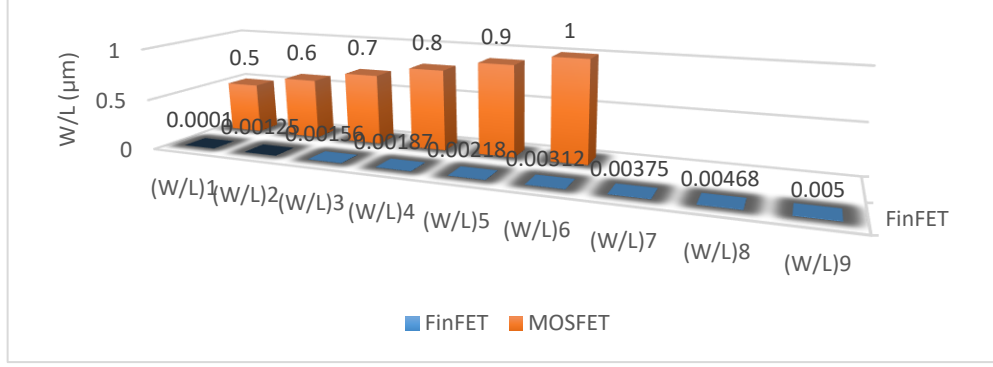
Kaçak kapasitanslara karşı duyarsız pozitif entegratör devresinde FinFET ve MOSFET konfigürasyonları kapasitans değerlerini Şekil 3.10'de karşılaştırmaktadır. Farklı kapasitör değerlerinde bu iki teknolojinin performans farkları açıkça görülmektedir. FinFET'lerin genel olarak daha yüksek kapasitans değerleri sunduğu, MOSFET'lere kıyasla daha geniş bir uygulama yelpazesi için daha uygun olduğu ortaya çıkmaktadır. FinFET'lerin daha yüksek kapasitans değerlerine sahip olmasının başlıca avantajları arasında, daha iyi enerji depolama kapasitesi ve elektrostatik kontrol yer alır. Bu, özellikle yüksek kapasitans gerektiren uygulamalarda, FinFET'leri daha verimli kılmaktadır. Ayrıca, bu teknoloji, enerji verimliliği ve

performans optimizasyonu açısından modern elektronik cihazlarda önemli katkılar sağlamaktadır. MOSFET'ler belirli kapasitans değerlerinde yeterli performans sunabilse de, yüksek kapasitans gerektiren uygulamalarda FinFET'lerin daha uygun bir seçenek olduğu görülmektedir. FinFET'lerin gelecekteki devre tasarımlarında enerji verimliliği ve performans artışı sağlamak açısından kritik bir rol oynayacağını vurgulamaktadır.



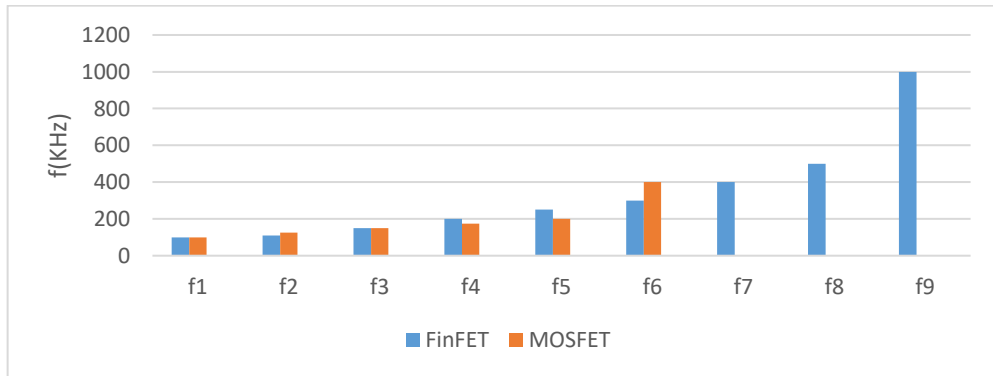
Şekil 3.10: Kaçak kapasitanslara karşı duyarlı pozitif entegratör MOSFET ve FinFET konfigürasyonları kapasitans değerlerinin (C) karşılaştırması.

FinFET ve MOSFET konfigürasyonları genişlik/uzunluk oranları (W/L) ile performans karşılaştırmasını Şekil 3.11’de göstermektedir. Farklı W/L oranlarına göre her iki teknoloji arasındaki performans farklılıkları değerlendirilmiştir. MOSFET’ler, düşük W/L oranlarında bile daha yüksek değerlere ulaşarak daha fazla akım taşıma kapasitesine sahip olduklarını ortaya koyar. Özellikle orta W/L oranlarında, MOSFET’lerin daha yüksek akım taşıma kapasitesi ve hız sunduğu gözlemlenir. FinFET’ler, daha düşük W/L oranları ile öne çıkarak kompakt tasarımlar için ideal bir seçenek olmayı sürdürmektedir. FinFET’lerin düşük enerji tüketimi ve daha küçük boyutlu uygulamalarda sağladığı avantajlar, özellikle enerji verimliliği ve performans gerektiren modern elektronik cihazlarda yaygın kullanım alanı bulmasını sağlar. Yüksek W/L oranlarında ise FinFET’ler hafif bir artış gösterirken, MOSFET’ler daha yüksek değerlere sahiptir. Bu iki teknoloji arasındaki performans farklarının anlaşılması, yarı iletken devre tasarımında en uygun teknolojiyi seçmek açısından önemlidir.



Şekil 3.11: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET ve FinFET konfigürasyonları W/L oranlarına göre performans karşılaştırması.

Kaçak Kapasitanslara Karşı Duyarsız Pozitif Entegratör FinFET ve MOSFET konfigürasyonları farklı frekans aralıklarındaki performans karşılaştırması Şekil 3.12'de yapılmaktadır. Düşük frekans aralıklarında her iki teknoloji de benzer performans sergilerken, orta ve yüksek frekans aralıklarına geçildikçe performans farkları daha belirgin hale gelmektedir. Özellikle yüksek frekans seviyelerinde FinFET'lerin, MOSFET'lere kıyasla daha yüksek performans sunduğu görülmektedir. FinFET teknolojisi, özellikle yüksek frekanslı veri iletimi ve telekomünikasyon gibi modern elektronik uygulamalarda üstün performans sergileyerek, daha hızlı anahtarlama ve daha az güç kaybı sağlar. MOSFET'ler, düşük frekans gerektiren uygulamalar için uygun olmasına rağmen, yüksek frekanslarda FinFET'lerin gerisinde kalmaktadır. Bu durum, elektronik tasarımlarda FinFET'lerin tercih edilmesinin bir diğer sebebidir.

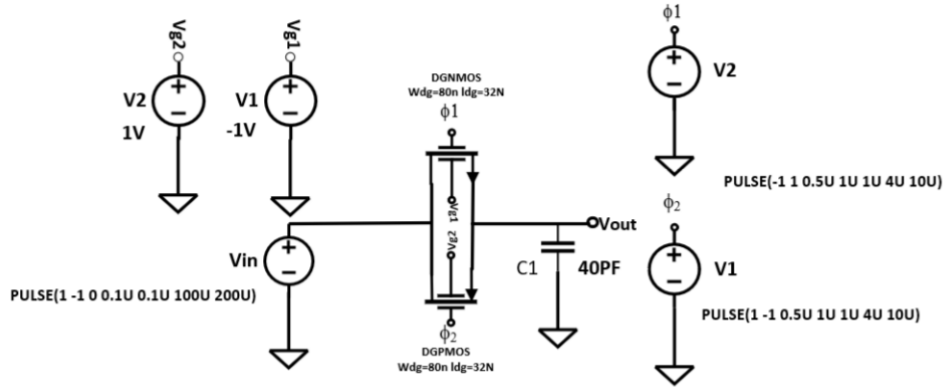


Şekil 3.12: Kaçak kapasitanslara karşı duyarsız pozitif entegratör MOSFET ve FinFET konfigürasyonları farklı frekanslarda (F) performans karşılaştırması.

3.1.3. İkinci Model İntertörlü Anahtarlama Kapasite

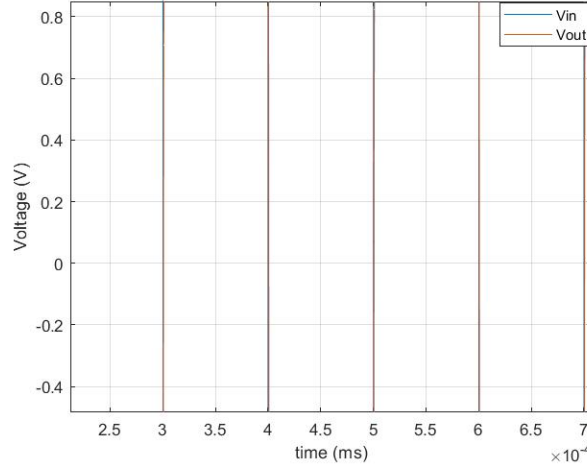
3.1.3.1. İletim Gate Yapısı

İletim gate, NMOS ve PMOS transistörlerinin birleşiminden oluşan bir devre elemanıdır. Bu yapı, hem YÜKSEK hem de DÜŞÜK seviyelerde daha iyi performans sağlar ve bu seviyeleri geçmede NMOS ve PMOS'un dezavantajlarını telafi eder. Şekil 3.13'te gösterildiği gibi, bir NMOS ve bir PMOS'un birlikte çalışarak bir iletim gate oluşturduğu bir yapı vardır. NMOS, YÜKSEK seviyeyi tam olarak geçirmekte zorluk çeker; $V_{DD} - V_{thN}$ seviyesine kadar bir voltaj düşüşü meydana gelir. Ancak bu noktada, PMOS devreye girer ve voltaj farkını telafi ederek kapasitörü YÜKSEK seviyeye şarj eder. DÜŞÜK seviye sinyali için de benzer bir işlem geçerlidir. NMOS, DÜŞÜK seviyeyi geçirmekte iyidir ve PMOS, bu durumda da devreyi tamamlayarak kapasitörün tam anlamıyla deşarj olmasını sağlar. Bu yapı, geleneksel NMOS veya PMOS anahtarlara göre daha verimli çalışır ve dijital devrelerde sıkça tercih edilir. İletim gate'in sağladığı yüksek doğruluk ve düşük kayıplar, onu veri yolu tasarımlarında ve diğer anahtarlama uygulamalarında avantajlı hale getirir.



Şekil 3.13: İletim gate yapısı.

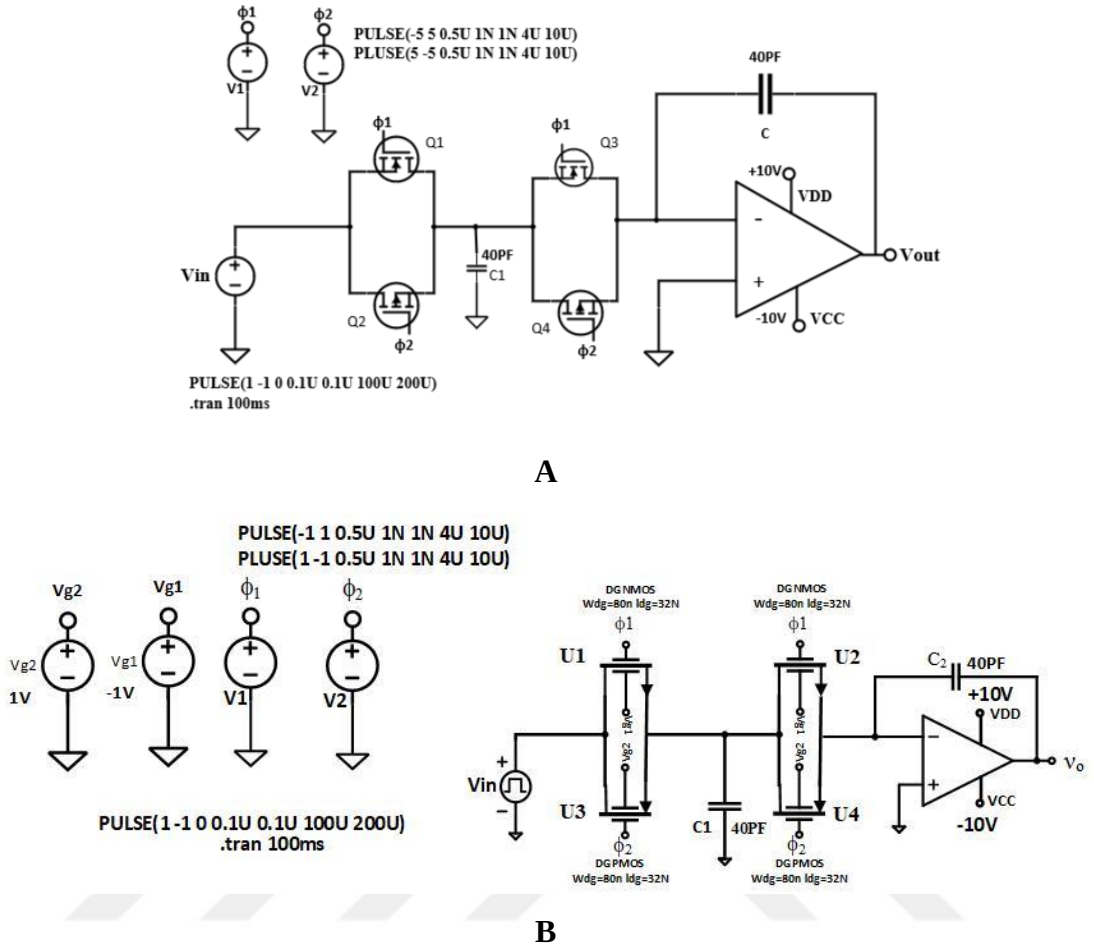
Şekil 3.14'te gösterilen NMOS ve PMOS ile oluşturulan iletim gate'in geçiş özellikleri, bu yapıların hem düşük hem de yüksek seviyelerde verimli çalıştığını göstermektedir. NMOS, düşük voltaj seviyelerinde hızlı bir şekilde iletim yaparken, PMOS ise yüksek voltaj seviyelerinde verimli bir şekilde çalışır. Bu sayede, iletim gate hem yüksek performans hem de düşük güç tüketimi için ideal bir yapı sunmaktadır. Bu tür bir yapı, özellikle yüksek hızlı dijital devrelerde yaygın olarak kullanılmakta olup, sinyal bütünlüğünü koruyarak güvenilir geçiş sağlar.



Şekil 3.14: NMOS ve PMOS ile oluşturulan iletim gate yapının geçiş özellikleri.

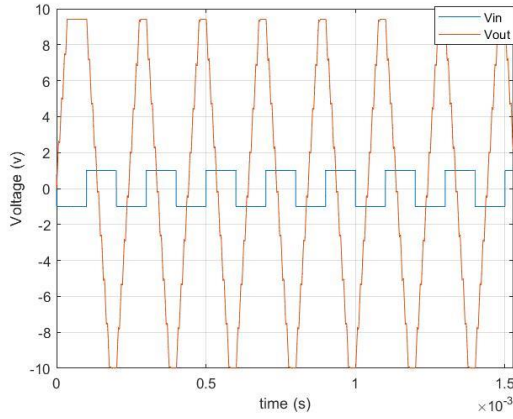
3.1.3.2. İkinci Model İnvörtörlü Anahtarlama Kapasite Devre Uygulaması

İkinci model invertörlü Anahtarlama Kapasite İletim gate ile, MOSFET ve FinFET tabanlı konfigürasyonlar kullanılarak farklı uygulamalar için optimize edilebilen bir yapı sunar. MOSFET'leri kullanan konfigürasyon, özellikle düşük ve orta frekans uygulamalarında tercih edilirken, FinFET'leri kullanan konfigürasyon yüksek frekanslı uygulamalarda daha üstün performans sergiler. Bu farklılıklar, her iki yapıdaki transistörlerin fiziksel ve elektriksel özelliklerinden kaynaklanmaktadır. MOSFET tabanlı konfigürasyon, iletim gate yapısında daha yaygın olarak kullanılsa da, daha yüksek güç tüketimine sahiptir. Bu nedenle, enerji verimliliğinin kritik olduğu uygulamalarda sınırlı bir performans sunar. FinFET tabanlı konfigürasyon ise, daha düşük güç tüketimi ve daha yüksek hız avantajları sunarak özellikle modern yüksek frekanslı elektronik uygulamalarda tercih edilmektedir. Şekil 3.15'te gösterilen yapı, iki farklı teknolojiyi karşılaştırarak devrenin çalışma koşullarına göre en uygun olanının seçilmesine olanak tanır. FinFET'lerin MOSFET'lere göre üstünlüğü, özellikle daha iyi elektrostatik kontrol ve sızıntı akımlarının azaltılmasında ortaya çıkar. Bu yapı, modern telekomünikasyon, veri iletimi ve yüksek hızlı dijital devrelerde önemli avantajlar sağlamaktadır. FinFET yapısındaki dar kanallar, kısa kanal etkilerini minimize ederken, üç gate yapı ise daha iyi bir gate kontrolü ve düşük sızıntı akımı sunar. Bu nedenle, FinFET tabanlı invertörlü anahtarlama kapasite yapısı, enerji verimliliği ve performans optimizasyonu açısından daha ideal bir çözüm sunmaktadır [62, 72].

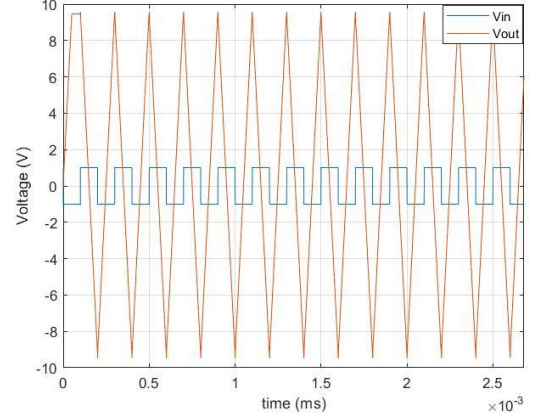


Şekil 3.15: İkinci model invertörlü Anahtarlamalı kapasite iletim gate yapısı **A.** MOSFET’leri kullanan konfigürasyon **B.** FinFET’leri kullanan konfigürasyon.

Şekil 3.16A'da MOSFET konfigürasyonu, daha geleneksel bir yapı sunmakta olup, anahtarlama hızları ve voltaj geçişlerinin nispeten daha yavaş olduğu gözlemlenmiştir. Bu yapı, MOSFET'lerin yüksek frekans uygulamalarında gösterdiği tipik zorlukları, özellikle de yüksek sızıntı akımları ve daha fazla güç tüketimi gibi etkileri içermektedir. FinFET konfigürasyonu ise Şekil 3.16B'de gösterilmiştir ve bu yapı, daha hızlı anahtarlama ve düşük güç tüketimi gibi avantajlarıyla dikkat çekmektedir. FinFET'lerin daha iyi, çıkış voltaj dalga formunun daha keskin ve hızlı geçişler yapmasını sağlamaktadır. Bu da, özellikle yüksek frekanslı uygulamalarda FinFET'lerin performans açısından daha uygun bir tercih olduğunu göstermektedir. Bu durum, Şekil 3.16'da, FinFET konfigürasyonunda daha yüksek frekansta çalışan devrelerde daha düzgün bir çıkış voltajı elde edildiğini açıkça ortaya koymaktadır.



A



B

Şekil 3.16: İkinci model invertörlü anahtarlama kapasite ile çıkış voltajı
A. MOSFET'leri kullanan konfigürasyonu **B.** FinFET'leri kullanan konfigürasyonu.

3.1.3.3. İkinci Model Invertörlü Anahtarlama Kapasite İletim Gate Yapısı ile Güç Tüketim Hesaplaması

İnvertörlü Anahtarlama Kapasite İletim gate ile yapılan güç tüketim hesaplamasında, MOSFET ve FinFET transistörlerinin güç tüketimi değerleri karşılaştırılmıştır. Tablo 3.9'da verilen MOSFET parametrelerine göre her bir transistörün V_{rms} ve I_{rms} değerleri hesaplanarak toplam güç tüketimi $188.4 \mu W$ olarak bulunmuştur. Bu değer, dört MOSFET transistörün toplam güç tüketimidir ve bu hesaplama sonucu, MOSFET'lerin güç tüketiminde daha yüksek bir değere sahip olduğunu göstermektedir.

Tablo 3.9: MOSFET'lerin çalışma parametreleri.

Transistor	V_{rms}	I_{rms}	P
Q1	4.997V	11.357 μA	56.67 μW
Q2	4.997V	11.304 μA	56.40 μW
Q3	4.997V	9.590 μA	47.85 μW
Q4	4.997V	9.551 μA	47.659 μW

$$P_{t(MOSFET)} = P(Q1) + P(Q2) + P(Q3) + P(Q4) = 208.57 \mu W \quad (3.8)$$

Tablo 3.10'da yer alan FinFET transistörlerinin güç tüketim hesaplamaları ise daha düşük seviyelerde kalmıştır. FinFET'ler için hesaplanan toplam güç tüketimi $27.05 nW$ olarak

bulunmuştur. FinFET'lerin bu düşük güç tüketimi, özellikle düşük güç tüketimi gerektiren uygulamalar için önemli bir avantaj sunmaktadır.

Tablo 3.10: FinFET'lerin çalışma parametreleri.

Transistor	V _{rms}	I _{rms}	P
U1	1V	1.1099nA	1.10nW
U2	1V	1.095 nA	1.095nW
U3	1V	12.31 nA	12.31nW
U4	1V	11.95 nA	11.95nW

$$P_{t(FinFET)} = P(U1) + P(U2) + P(U3) + P(U4) = 26.45nW \quad (3.9)$$

Bu iki konfigürasyonu arasında yapılan karşılaştırma, FinFET'lerin güç verimliliği açısından MOSFET'lere kıyasla çok daha avantajlı olduğunu ve özellikle güç tüketiminin kritik olduğu uygulamalarda tercih edilebileceğini açıkça göstermektedir.

3.1.3.4. İkinci Model İntertörlü Anahtarlama Kapasite İletim Gate Yapısı ile MOSFET ve FinFET Konfigürasyonu C, F ve W/L Değişkenlerine Bağlı Performansları

İki parametre sabit tutularak bir parametrenin değiştirilmesiyle devrenin performansı değerlendirilmiştir. Tablo 3.11'de, MOSFET İletim gate kullanılarak İntertörlü Anahtarlama Kapasite devresine uygulanan sonuçlar gösterilmiştir. Bu tabloda, en uygun performansın sağlanması için farklı kapasitans (C), frekans (F), ve genişlik/uzunluk (W/L) oranları dikkate alınmıştır. Kapasitans değeri arttıkça, frekansın da arttığı gözlemlenmiştir, ancak belirli değerlerde W/L oranlarının sabit kalması dikkat çekicidir. Bu tabloya göre, 50 pF kapasitans değeriyle en yüksek frekans 300 kHz civarında elde edilmiştir.

Tablo 3.11: İntertörlü anahtarlama kapasite devresine MOSFET iletim gate uygulandığında, en uygun performansı sağlamak için C, F ve W/L değerleri.

C	pF	10	20	30	40	50	100	200	300
F	kHz	50	100	150	200	300	*****	****	****
W/L	μm/μm	5/10	6/10	7/10	8/10	9/10	10/10	****	****

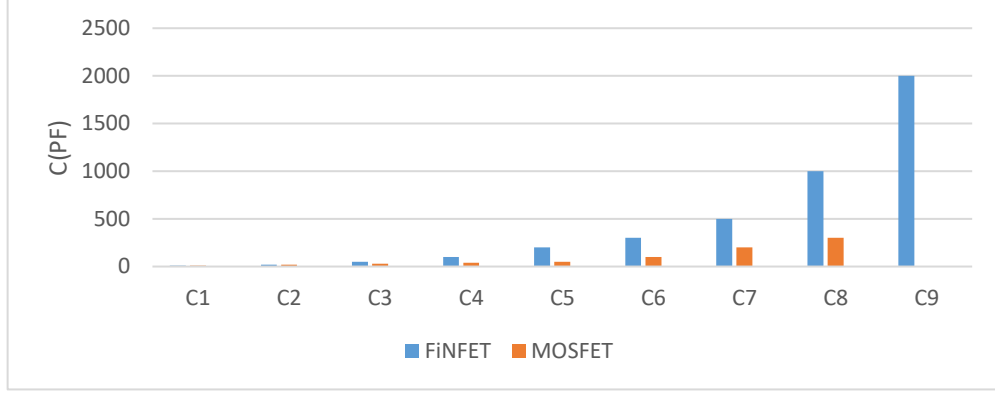
Tablo 3.12 ise FinFET İletim gate ile yapılan uygulamaları göstermektedir. Burada, MOSFET konfigürasyonuna kıyasla daha yüksek kapasitans ve frekans değerleri kullanılmıştır. Örneğin, 2000 pF kapasitans değeri ile FinFET devresinde 1000 kHz'e kadar yüksek frekans elde edilmiştir. FinFET teknolojisinin, daha yüksek kapasitans ve frekans aralıklarında MOSFET'e göre üstün performans sağladığı, özellikle enerji verimliliği ve hız gerektiren uygulamalar için tercih edilebileceği bu tablo ile ortaya konmuştur.

Tablo 3.12: İntertörlü anahtarlama kapasite devresine FinFET iletim gate uygulandığında, en uygun performansı sağlamak için C, F ve W/L değerleri.

C	pF	10	20	50	100	200	300	500	1000	2000
F	kHz	25	50	100	150	200	300	400	500	1000
W/L	nm/nm	32/32	35/32	38/32	40/32	50/32	60/32	80/32	90/32	100/32

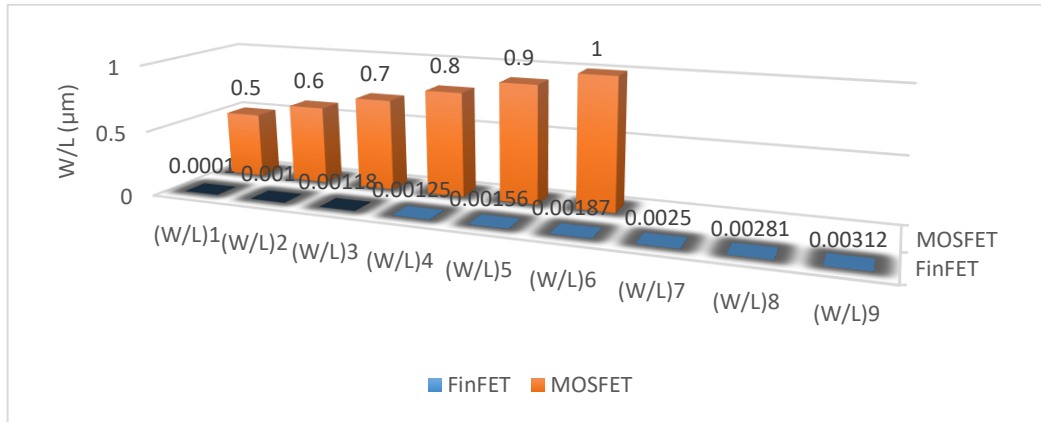
3.1.3.5. İkinci Model İntertörlü Anahtarlama Kapasite İletim Gate Yapısı ile Uygulandığında, MOSFET ve FinFET Konfigürasyonları, Performans Karşılaştırması

MOSFET ve FinFET konfigürasyonları karşılaştırıldığında, farklı kapasitans değerlerinde nasıl performans gösterdikleri incelenmiştir. Şekil 3.17'de görüldüğü gibi, düşük kapasitans değerlerinde MOSFET ve FinFET konfigürasyonları benzer bir performans sergilemektedir. Ancak, kapasitans değeri arttıkça, FinFET konfigürasyonları belirgin bir üstünlük sağlamaktadır. Özellikle yüksek kapasitans gerektiren durumlarda, FinFET konfigürasyonları daha yüksek enerji depolama kapasitesi ve daha verimli çalışma olanağı sunmaktadır. MOSFET konfigürasyonları ise belirli kapasitans değerlerinde yeterli performansı sağlamakla birlikte, çok yüksek kapasitans değerlerinde FinFET konfigürasyonlarına kıyasla sınırlı kalmaktadır. Bu nedenle, yüksek kapasitans gerektiren uygulamalarda FinFET konfigürasyonları daha uygun bir seçenek olarak değerlendirilmektedir.



Şekil 3.17: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında kapasitans değerlerinin (C) karşılaştırması.

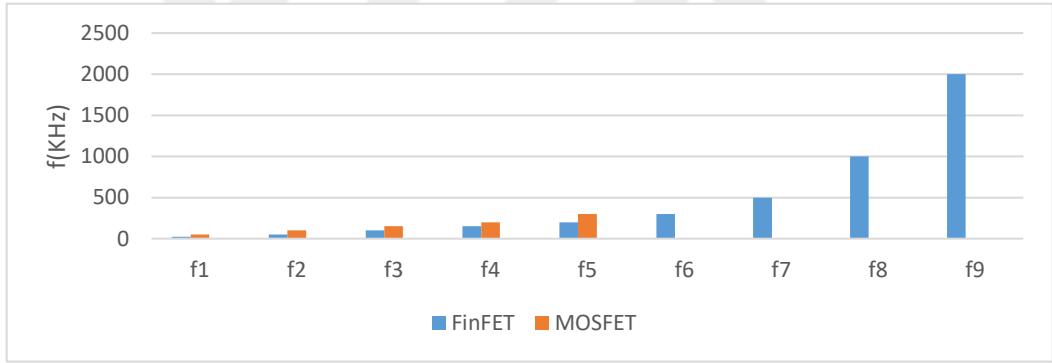
İkinci model invertörlü Anahtarlama Kapasite İletim gate yapısı ile yapılan incelemede, düşük genişlik/uzunluk oranlarında ((W/L)1, (W/L)2, (W/L)3), MOSFET'lerin daha geniş kanal genişliği sunduğu ve bu nedenle daha yüksek akım taşıma kapasitesine sahip olduğu görülmektedir. Bu, küçük boyutlarda bile daha fazla performans sağladığını göstermektedir. Orta oranlarda ((W/L)4, (W/L)5, (W/L)6) ise MOSFET'ler hâlâ daha yüksek değerlere ulaşmakta ve daha geniş kanal alanları ile yüksek performans sunmaktadır. Yüksek W/L oranlarında FinFET'lerin kompakt yapısının enerji verimliliği sağladığı ve küçük boyutlarda avantaj sunduğu anlaşılmaktadır. Her iki konfigürasyonun belirli uygulamalara yönelik avantajları, tasarım gereksinimlerine göre tercih edilmesi gerektiğini ortaya koymaktadır. Şekil 3.18, W/L oranlarına göre FinFET ve MOSFET performanslarını karşılaştırarak, MOSFET'lerin daha geniş kanal alanları sunduğu ve yüksek akım taşıma kapasitesine sahip olduğunu göstermektedir.



Şekil 3.18: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında W/L oranlarına göre performans karşılaştırması.

Düşük frekans değerlerinde (f_1 , f_2 , f_3), FinFET ve MOSFET konfigürasyonlarının performansları oldukça benzerdir. Her iki teknolojinin de frekans değerleri birbiriyle yakın olup, bu durum her iki teknolojinin de düşük frekans uygulamaları için uygun olduğunu göstermektedir. Orta frekans aralıklarında (f_4 - f_7) ise FinFET konfigürasyonları, MOSFET'lere kıyasla daha yüksek frekans performansı göstermektedir. Özellikle f_6 ve f_7 seviyelerinde, FinFET'lerin belirgin bir performans avantajı ortaya çıkmaktadır.

Yüksek frekans değerlerinde (f_8 , f_9), FinFET konfigürasyonlarının performansı daha belirgin bir şekilde öne çıkmaktadır. f_9 seviyesinde frekans değeri 2000 kHz'ye ulaşarak, MOSFET'lere göre verimli bir şekilde çalışabildiğini göstermektedir. Bu analiz, FinFET'lerin özellikle yüksek frekanslı uygulamalarda çok daha verimli olduğunu ortaya koyarken, MOSFET'lerin düşük ve orta frekanslı uygulamalarda rekabetçi bir performans sunduğunu göstermektedir. Şekil 3.19, bu frekanslara göre yapılan performans karşılaştırmasını sunmaktadır.



Şekil 3.19: İkinci model invertörlü anahtarlama kapasite iletim gate yapısı ile uygulandığında farklı frekanslarda (f) performans karşılaştırması.

Yapılan analizler ve verilere dayalı karşılaştırmalar, FinFET teknolojisinin MOSFET'e kıyasla belirli uygulamalarda sunduğu önemli avantajları vurgulamaktadır. Bu avantajları bazı kaynaklar doğrultusunda incelemek faydalı olacaktır:

Yüksek Kapasitans Performansı: FinFET'lerin yüksek kapasitans gerektiren uygulamalarda daha üstün performans sergilemesi, birçok araştırmada desteklenmektedir. FinFET'lerin kompakt yapısı, daha fazla kapasitans ve enerji depolama olanağı sağlar. Bu, özellikle mobil cihazlar gibi yüksek enerji verimliliği gerektiren uygulamalar için idealdir. MOSFET'ler, bu tür durumlarda daha sınırlı kalmakta ve daha az enerji depolayabilmektedir, bu da onları daha düşük kapasitans gerektiren uygulamalar için daha uygun hale getirir.

Yüksek Frekanslarda Üstün Performans: FinFET'lerin özellikle yüksek frekanslı uygulamalarda sağladığı üstün performans, birçok çalışmada doğrulanmaktadır. Veriler, FinFET'lerin yüksek frekanslarda hızlı anahtarlama ve düşük güç tüketimi sağladığını gösteriyor. Bu özellikler, telekomünikasyon ve veri iletimi gibi hızlı sinyal işleme gerektiren uygulamalarda büyük avantaj sağlamaktadır. MOSFET'ler ise genellikle düşük ve orta frekans aralıklarında rekabetçi bir performans gösterse de, FinFET'lerin bu seviyelerde bile daha verimli çalıştığı görülmektedir.

Kompakt ve Enerji Verimli Tasarımlar: FinFET'lerin küçük boyutlardaki uygulamalarda sunduğu avantajlar da birçok çalışma tarafından desteklenmektedir. Düşük W/L oranlarında bile etkili çalışabilen FinFET'ler, modern elektronik cihazların daha küçük ve daha enerji verimli hale getirilmesine katkıda bulunur. Bununla birlikte, MOSFET'ler daha geniş kanal boyutları sunduğundan yüksek akım taşıma kapasitesine sahiptir, ancak enerji verimliliği gerektiren uygulamalarda FinFET'ler daha fazla avantaj sağlar.

4. BULGULAR

4.1. FinFET IC TASARIMLARI

Bu çalışmada, 32nm FinFET teknolojisinde parametreli, (Double Dynamic Switching Biased), DDSB CFC Op-Amp ve anahtarlama kapasite integratör uygulaması sunulmaktadır. LTspice simülasyon sonuçları, $\pm 0.5V$ besleme gerilimlerinde amplifikatörün 44.8 dB açık devre DC kazancı ve 5 pF yük kapasitörü ile yaklaşık 87.8° faz marjı elde edebildiğini göstermektedir. Ayrıca, gözlemlenen 246 μW güç tüketimi, bias devrelerini içermekte olup, Kazanç-Bant Genişliği (GBW) 77.45 MHz'dir. Devrenin kararlılığı, farklı uygulama gereksinimlerine uygun çeşitli tasarım seçenekleri sunabilmesine imkân tanımaktadır.

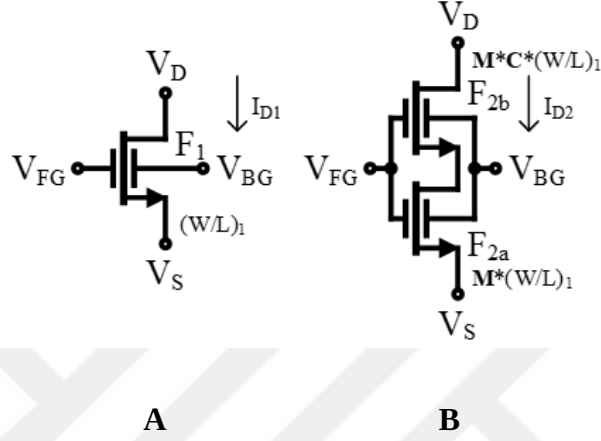
Bu tasarımda, LP modunda IG FinFET'ler kullanılarak tasarlanmış bir Op-Amp tasarımı sunulmaktadır. Simülasyonlar için Predictive Technology Model (PTM) 32nm FinFET'ler temel alınmıştır. PTM, olağanüstü ölçeklenebilirliği ve fiziksel etkileri kapsamlı bir şekilde ele alması nedeniyle simülasyon modeli olarak seçilmiştir. Bu yöntem, devre tasarım verimliliğini artırmakta ve daha doğru tahminler yapılmasını sağlamaktadır. PTM destekli, LP modundaki IG FinFET'ler için kendinden kaskod yapısıyla birlikte Op-Amp tasarımı, ileri yarı iletken teknolojilerde devre performansını artırmak için potansiyel bir yöntem sunmaktadır [84].

4.2. KENDİNDEN KASKOD YAPISI (SELF CASCODE)

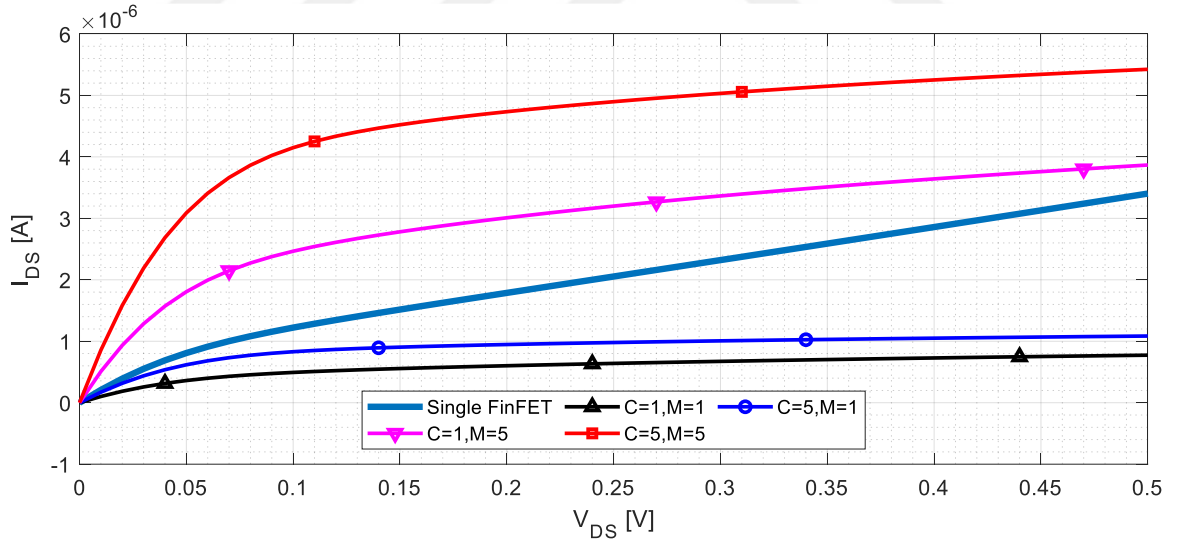
Kendinden kaskod yapı, Şekil 4.1'de iki transistörlü bir düzenek olarak gösterilmiştir ve bir kompozit transistör olarak görülebilir. Bu yapı, çıkış direncinin ve etkin kanal uzunluğunun belirgin şekilde daha uzun olmasını sağlar. Alttaki transistör, F2a olarak adlandırılan, girişe bağlı bir direnç olarak işlev görür. F2b'nin W/L oranı, F2a'ninkinden daha büyük olacak şekilde ayarlanmıştır ($C > 1$), böylece optimum performans sağlanır [5].

Yapının Composite (C) ve Multiplier (M) parametreleri kullanılarak değiştirilmesinin sonuçları Şekil 4.2'te gösterilmektedir. Önemli bir bulgu, beklenildiği üzere, bu düzenekte tek bir FinFET kullanılan düzeneklere kıyasla daha yüksek çıkış direnci sunmasıdır. C'nin

artırılması, çıkış direncinin artmasına yol açar çünkü bu durum yalnızca F2b'nin boyutunu artırır. Benzer şekilde, kendinden kaskod yapısındaki her iki FinFET'in genişletilmesi, M'nin artırılmasıyla akımın artmasına neden olur. Bu parametrelili yaklaşımı içeren teknik ile yüksek kazanç elde edilebilir. GBW'nin kritik olduğu ve güç kaynağı ile alan kısıtlamalarının önemsiz olduğu durumlarda tercih edilebilir [85].



Şekil 4.1: A. Tek FinFET B. Kendinden kaskod yapısı



Şekil 4.2: Farklı parametreler altındaki tek FinFET ve kendi-kaskod yapılarının operasyonel sonuçları (@ $V_{FG}=0.5$ V, @ $V_{BG}=V_S=GND$, $W_1/L_1=80nm/64nm$).

4.3. ÖNERİLEN CFC OP-AMP

Önerilen Complementary Folded-Cascode (CFC) tasarımı, modern IC tasarımında önemli bir yapı olarak öne çıkmaktadır. Bu tasarım, yüksek performanslı kuvvetlendirme sağlayarak çeşitli uygulamalarda kullanılabilir. CFC Op-Amp tasarımı, aşağıdaki temel özellikleri ve avantajları içerir:

CFC Op-Amp, çeşitli elektronik ve sinyal işleme uygulamalarında üstün performans sunan bir tasarım olarak öne çıkmaktadır. Bu Op-Amp tasarımı hem yüksek kazanç hem de geniş bir frekans bandında verimli çalışabilmesiyle dikkat çeker. Yüksek DC kazanç yeteneği, sinyalin amplifikasyonunda yüksek doğruluk ve verimlilik sağlarken, geniş bant genişliği sayesinde CFC Op-Amp, yüksek frekanslı uygulamalarda da etkin bir şekilde kullanılabilir.

Yüksek faz marjı, CFC Op-Amp'nin geri besleme döngülerinde stabil bir performans sergilemesine olanak tanır ve böylece güvenilirliği artırır. Bu özellik, özellikle dinamik değişikliklerin sık olduğu uygulamalarda cihazın kararlılığını korumasına yardımcı olur. Düşük gürültü özellikleri, hassas ölçüm ve sinyal işleme uygulamaları için CFC Op-Amp'yi ideal hale getirir. Düşük gürültü seviyesi, sinyalin temiz ve doğru bir şekilde işlenmesini sağlar, bu da sonuçların doğruluğunu artırır.

Enerji verimliliği, modern elektronik cihazlarda önemli bir gereksinimdir ve CFC Op-Amp, düşük güç tüketimi ile bu gereksinimi karşılar. Düşük güç tüketimi, uzun pil ömrü sağlayarak taşınabilir cihazlar için önemli bir avantaj sunar. Ayrıca, yüksek lineerlik özelliği, sinyalin bozulmadan ve doğru bir şekilde işlenmesine imkân tanır. Bu, sinyalin girişten çıkışa kadar olan süreçte en az distorsiyon ile iletilmesini ve işlenmesini sağlar.

CFC Op-Amp, yüksek kazanç, yüksek faz marjı, düşük gürültü, düşük güç tüketimi ve yüksek lineerlik gibi özellikleri bir araya getirerek, çok çeşitli elektronik ve sinyal işleme uygulamaları için ideal bir çözüm sunar. Bu tasarımın simülasyonu, çeşitli parametrelerin etkilerini analiz ederek, performans iyileştirmeleri ve optimizasyon fırsatları sunar. CFC Op-Amp'ın avantajları, onu çeşitli analog, dijital ve karışık sinyal işleme uygulamaları için uygun bir seçenek haline getirir.

Önerilen Op-Amp düzenlemesi Şekil 4.3'te gösterilmiştir. Düşük güç tüketimi sağlamak için, DDSB devresi ile bias edilmiştir. Girdi ortak mod voltajını iyileştirmek amacıyla, paralel bağlı kendinden kaskod edilmiş FinFET'ler F1Aa-F1Ab, F2Aa-F2Ab ve kendinden kaskod edilmiş FinFET'ler F1a-F1b, F2a-F2b diferansiyel giriş çiftleri içeren bir CFC Op-Amp yapısı

Şekil 4.3: Önerilen CFC Op-Amp konfigürasyonu.

DSB (Dynamic Switching Bias) devresi, elektronik devrelerin kontrol ve performansını geliştirmek için kullanılan yöntemlerden biridir, özellikle yükselteç devrelerinde kullanılır. DSB devresinin kullanılma nedeni, kuvvetlendirici devrelerinde karşılaşılan sorunlarla ilişkilendirilebilir. Kuvvetlendirici devrelerinde sıcaklık değişiklikleri, besleme gerilimi, gürültü ve yarı iletken parametrelerinin değişiklikleri gibi faktörler, devrenin performansına olumsuz etki edebilir. DSB devresi, bu etkileri azaltmak amacıyla kullanılır.

DDSB (Double Dynamic Switching Bias) devresi, elektronik tasarımlarda kararlılığı ve verimliliği artırmak için kullanılan önemli bir teknoloji olarak öne çıkmaktadır. Bu devrelerin sunduğu başlıca avantajlar arasında yüksek kararlılık, daha iyi verim, azaltılmış enerji tüketimi, üstün frekans tepkisi ve genel performans iyileştirmeleri yer almaktadır.

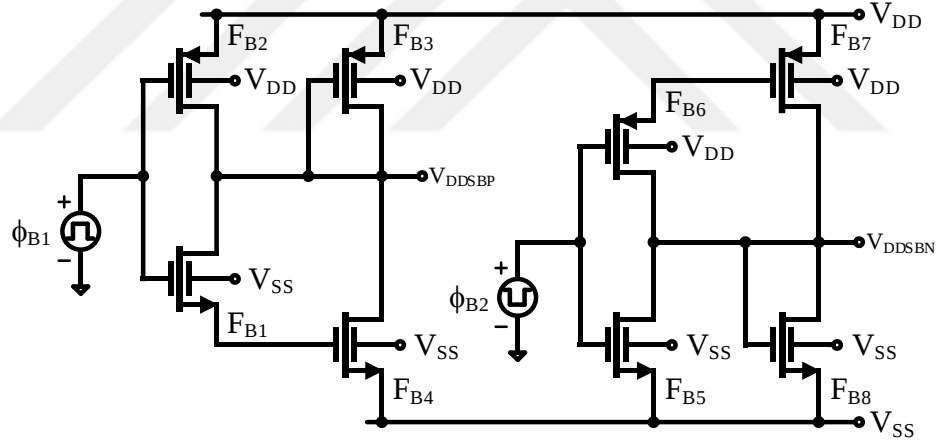
Yüksek Kararlılık: DDSB devresinin en önemli avantajlarından biri, devrenin kararlılığını artırmasıdır. Bu, farklı çalışma koşullarında, örneğin değişen sıcaklıklar ve besleme gerilimleri altında, devrenin tutarlı performans göstermesini sağlar. Yüksek kararlılık, sistemin güvenilirliğini artırarak, hataların ve performans düşüşlerinin önlenmesine yardımcı olur.

Enerji Tüketiminin Azaltılması: Modern elektronik cihazlarda enerji verimliliği kritik bir öneme sahiptir. DDSB devresi, devrenin besleme ayarlarını optimize ederek enerji tüketimini azaltır. Bu, batarya ömrünü uzatarak, taşınabilir cihazların kullanım süresini artırır ve enerji tasarrufu sağlar. Özellikle mobil ve taşınabilir cihazlarda düşük güç tüketimi, kullanıcı deneyimini önemli ölçüde iyileştirir.

Daha İyi Frekans Tepkisi: DDSB devresi, devrenin farklı frekanslarda daha iyi bir frekans tepkisine sahip olmasına yardımcı olur. Geniş bant genişliği ve hassas frekans kontrolü gerektiren uygulamalarda, bu özellik, sinyal bütünlüğünü koruyarak yüksek kaliteli performans sağlar. DDSB, devrelerin istenmeyen frekanslarda oluşabilecek gürültü ve parazitlerden etkilenmeden çalışmasını mümkün kılar.

Performans ve Kararlılık: DDSB devreleri, kuvvetlendirici ve filtre devrelerinin beslemelerini optimize ederek, genel devre performansını ve kararlılığını artırır. Bu geliştirmeler, gürültü seviyelerinin düşürülmesinde ve sinyal doğruluğunun artırılmasında önemli rol oynar. Yüksek performans ve düşük gürültü kombinasyonu, özellikle hassas ölçüm ve veri işleme uygulamaları için büyük bir avantaj sağlar.

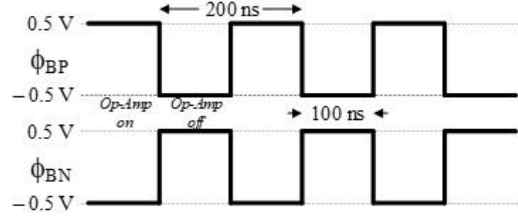
Dinamik Besleme Ayarı: DDSB devrelerinin bir diğer önemli avantajı, dinamik besleme ayarı yapabilmesidir. Bu özellik, devrelerin dış etkilere karşı daha dirençli olmasını sağlar. Örneğin, sıcaklık değişimleri, besleme gerilimindeki dalgalanmalar veya çevresel gürültü gibi istenmeyen değişikliklere karşı direnci artırır. Bu dinamik ayarlama yeteneği, sistemin sürekli olarak optimum performans seviyesinde çalışmasına olanak tanır. DDSB devresi, elektronik devrelerin performansını, kararlılığını ve enerji verimliliğini artıran önemli bir teknolojidir. DDSB'nin konfigürasyonu Şekil 4.4'te gösterilmiştir. Devrenin ilk FinFET seti olan FB1–FB4, kendinden kaskodlu akım kaynaklarının (F3Aa–F3Ab) ve CFC Op-Amp içindeki kendinden kaskodlu FinFET'lerin (F6a–F6b ve F7a–F7b) etkinlik durumunu kontrol etmek için VDDSBP bias voltajını kontrol eder. Bu modülasyon, yaklaşık olarak -160mV ile 320mV arasında değişen tanımlı bir kontrol darbesi, ϕ_{BP} ile gerçekleştirilir. Benzer şekilde, FB5–FB8, -120mV ile -380mV arasında değişen bias voltajı VDDSDN'yi kontrol ederek kendinden kaskodlu akım kaynaklarını (F3a–F3b) ve kendinden kaskodlu FinFET'leri (F8a–F8b, F9a–F9b) etkinleştirir. Bu kontrol, ϕ_{BN} olarak bilinen darbe ile sağlanır.



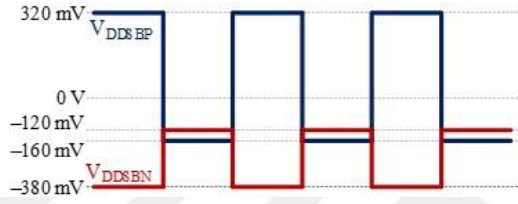
Şekil 4.4: DDSB konfigürasyonu [18].

Şekil 4.5A'da, DDSB saatlerinin operasyonel dalga formlarını göstermektedir. Bu dalga formları, Op-Amp'ın zamanlamasını ve kontrol sinyallerinin nasıl işlediğini açıklamaktadır. Op-Amp, 100 ns'de kapalı duruma getirilip, ardından senkronize şekilde tekrar açılır. Bu işlem, devredeki yan etkileri azaltarak daha temiz bir sinyal elde edilmesini sağlar. Aynı zamanda, güç tüketimini azaltarak cihazın daha verimli çalışmasına katkıda bulunur. Şekil 4.5B'de bu operasyonların sonucu olarak elde edilen çıkış voltajlarını göstermektedir. Bu entegrasyon, önerilen Op-Amp için yan etkileri azaltır ve güç tüketimini azaltarak iyileştirilmiş bir stabilite sağlar [18]. Kapalı durumda, devre içerisindeki gürültü ve parazit etkileri minimize edilirken,

senkronize açılma ile birlikte devre performansı optimize edilir. Bu süreç, Op-Amp'ın hem düşük güç tüketimi hem de yüksek performanslı çalışma gereksinimlerini karşılamak üzere tasarlanmıştır.



A



B

Şekil 4.5: A.DDSB saatlerinin çalışma dalga formları B.Çıkış voltajları.

Tablo 4.1, DDSB CFC Op-Amp'te kullanılan transistor boyutlarını listelemektedir. Transistor boyutları, devrenin performansını ve güç tüketimini doğrudan etkiler. Daha büyük transistörler, daha yüksek akım taşıma kapasitesine sahip olsalar da, daha fazla güç tüketirler. Küçük transistörler ise düşük güç tüketimi sağlar, ancak akım taşıma kapasiteleri sınırlıdır. Transistor boyutlarının optimize edilmesi, Op-Amp'ın hem güç verimliliğini hem de performansını dengelemeye yardımcı olur. Bu dengeleme, özellikle taşınabilir ve düşük güç tüketimli cihazlar için kritik öneme sahiptir.

Tablo 4.1: Transistorlerin boyut oranları.

FET	W/L (nm/nm)	FET	W/L (nm/nm)
F _{1Aa}	(1520*M)/64	F _{7a}	(800*M)/64
F _{1Ab}	(1520*M*C)/64	F _{7b}	(800*M*C)/64
F _{1a}	(1520*M)/64	F _{8a}	(450*M)/64
F _{1b}	(1520*M*C)/64	F _{8b}	(450*M*C)/64
F _{2Aa}	(1520*M)/64	F _{9a}	(450*M)/64
F _{2Ab}	(1520*M*C)/64	F _{9b}	(450*M*C)/64
F _{2a}	(1520*M)/64	F _{10a}	(500*M)/64
F _{2b}	(1520*M*C)/64	F _{10b}	(500*M*C)/64
F _{3Aa}	(420*M)/64	F _{11a}	(500*M)/64
F _{3Ab}	(420*M*C)/64	F _{11b}	(500*M*C)/64
F _{3a}	(650*M)/64	F _{B1}	200/64
F _{3b}	(650*M*C)/64	F _{B2}	200/64
F _{4a}	(500*M)/64	F _{B3}	64/64
F _{4b}	(500*M*C)/64	F _{B4}	180/64
F _{5a}	(500*M*C)/64	F _{B5}	250/64
F _{5b}	(500*M*C)/64	F _{B6}	80/64
F _{6a}	(800*M*C)/64	F _{B7}	200/64
F _{6b}	(800*M*C)/64	F _{B8}	300/64

M: Multiplier, C: Composit

DDSB CFC Op-Amp'ın performansı, LTspice programı kullanılarak yapılan simülasyonlarla kapsamlı bir şekilde değerlendirilmiştir. Şekil 4.2'te gösterildiği gibi, C (Composit) değerinin artırılması çıkış dirençlerinin artmasına neden olur ve bu da devrenin kazancını yükseltir. Benzer şekilde, M (Multiplier) değerinin artırılması, kendinden kaskod yapısındaki her iki FinFET'in boyutlarını büyüterek akımı artırır ve bant genişliğini genişletir. Bu yapı, DDSB'nin sağladığı stabilite sayesinde, tasarımın birçok talep ve hedefe uygun olarak özelleştirilmesine olanak tanımaktadır.

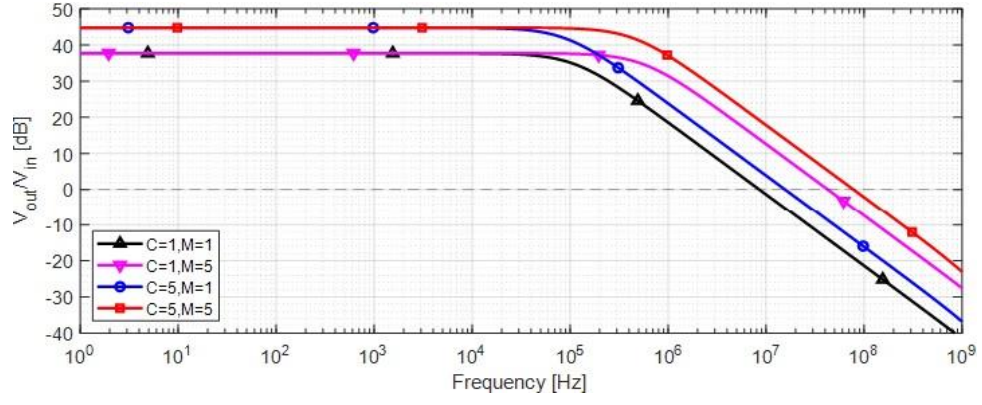
DDSB CFC Op-Amp'ın esnek ve özelleştirilebilir yapısının, farklı uygulama gereksinimlerine uygun olarak optimize edilebileceğini göstermektedir. Örneğin, yüksek kazanç ve geniş bant genişliği gerektiren uygulamalar için C ve M değerlerinin artırılması önerilirken, düşük güç tüketimi ve kompakt yerleşim alanı gerektiren uygulamalar için bu değerlerin azaltılması daha uygun olabilir. DDSB yapısının kararlılığını ve güvenilirliğini önemli ölçüde artırır. Bu özellik, elektronik cihazların farklı çalışma koşullarında, özellikle de değişken çevresel faktörlerin etkisinde kaldığı durumlarda, tutarlı ve güvenilir performans sergilemesine olanak tanır. DDSB yapısının bu avantajı, uzun süreli kullanım gerektiren ve çeşitli koşullar altında çalışması gereken elektronik cihazlar için büyük bir fayda sağlar.

Özellikle endüstriyel otomasyon, telekomünikasyon, taşınabilir cihazlar ve tıbbi cihazlar gibi kritik uygulamalarda, sistemin güvenilirliğini ve kararlılığını korumak esastır.

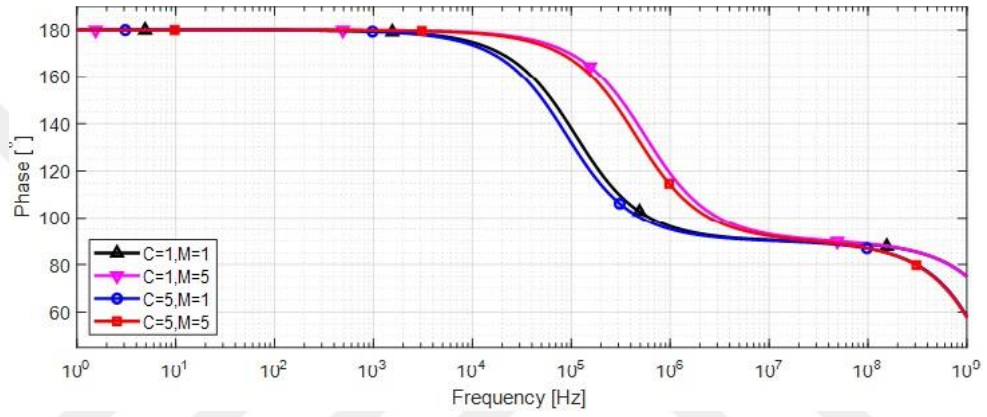
Gelecekteki araştırmalar, DDSB yapısının daha da optimize edilmesine ve farklı topolojilerle entegrasyon olanaklarının incelenmesine odaklanabilir. Bu tür araştırmalar, DDSB'nin esnekliğini artırarak, çeşitli elektronik uygulamalara uyarlanabilirliğini genişletebilir. Bunun yanı sıra, düşük güç tüketimi ve daha küçük yerleşim alanına sahip tasarımların geliştirilmesi, modern elektronik cihazların minyatürizasyonu ve enerji verimliliği taleplerine yanıt verecektir. Yeni malzemelerin ve ileri üretim tekniklerinin kullanımı, DDSB CFC Op-Amp tasarımının performansını ve etkinliğini artırma potansiyeline sahiptir. Örneğin, daha az enerji tüketen ve daha hızlı anahtarlama yapabilen yarı iletken malzemeler, DDSB'nin genel verimliliğini yükseltebilir.

Şekil 4.6'de, önerilen işlemsel yükseltecin AC frekans yanıtı analiz edilmiştir. A kısmında, yükseltecin frekansa göre voltaj kazancı gösterilirken, B kısmında ise faz marjının değişimi sunulmaktadır. Kazanç ve faz marjı eğrilerinden, Composit (C) ve Multiplier (M) parametrelerinin devrenin bant genişliği ve kararlılığı üzerindeki etkisi gözlemlenebilir. Düşük C ve M değerlerinde, kazanç eğrisi daha erken bir frekansta düşüş gösterirken, yüksek değerlerde bant genişliği genişlemekte ve devrenin kararlılığı artmaktadır. Bu sonuçlar, istenilen performans kriterlerine göre C ve M değerlerinin optimize edilmesi gerektiğini ortaya koymaktadır.

Şekil 4.7'de, önerilen CMRR ve giriş göre referanslı gürültü performansı sonuçları sunulmaktadır. Farklı Composit (C) ve Multiplier (M) değerleri için yapılan analizlerde, sistemin CMRR ve gürültü performansının frekansa bağlı değişimi gösterilmiştir. Grafik, farklı parametre kombinasyonlarının CMRR'yi nasıl etkilediğini ortaya koymaktadır; daha yüksek C ve M değerleri ile daha yüksek bir CMRR elde edilmektedir, bu da giriş gürültüsünü azaltarak sistem performansını artırır. Aynı zamanda, gürültü eğrileri, önerilen devrenin düşük frekanslarda daha düşük giriş referanslı gürültü sunduğunu, ancak yüksek frekanslarda bu değerin arttığını göstermektedir.

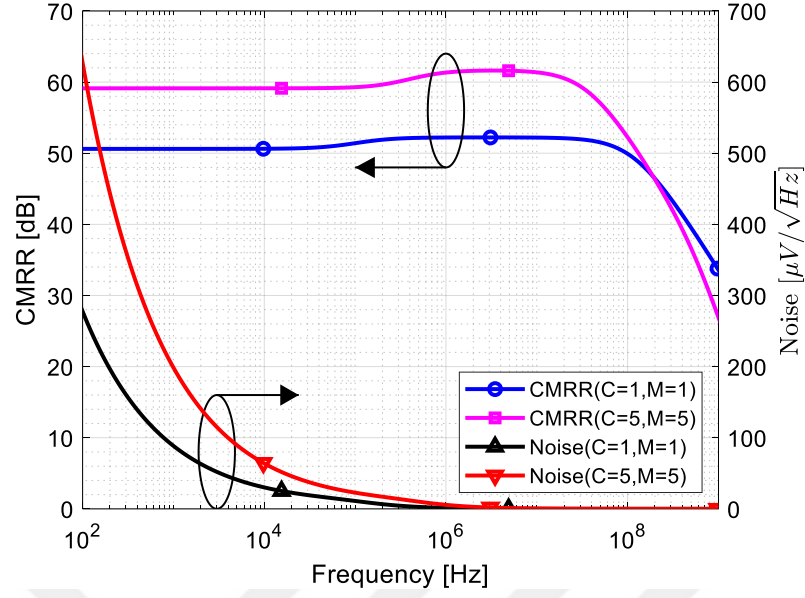


A



B

Şekil 4.6: Önerilen Op-Amp'ın AC yanıtı: **A.**Voltaj kazancı **B.**Faz marjı.



Şekil 4.7: Önerilen Op-Amp'in CMRR ve girişe referanslı gürültü (Input Referred Noise) performansı sonuçları.

Parametreler $C=1$ ve $M=1$ olarak ayarlandığında, CMRR değeri 50.62 dB'ye ulaşmaktadır. Bu boyutlarda yapılan gürültü analizi, devrenin 100 Hz'de $3.6 \mu V/\sqrt{Hz}$ ve 1 MHz'de $161.5 nV/\sqrt{Hz}$ giriş gürültü voltaj yoğunluğu sergilediğini göstermektedir. Özellikle, girişe referanslı gürültü voltaj yoğunluğu C katsayısındaki artışla yükselirken, M katsayısındaki artışla Gerilim kazancı, faz marjı, CMRR ve gürültü için frekans tepkisi diyagramları analiz edildiğinde, Şekil 4.6 ve 4.7'de gösterildiği gibi, bu parametrelerin devre performansına etkisi daha iyi anlaşılmaktadır. Bu analiz sonuçlarına göre, farklı C ve M parametrelerinin CMRR ve gürültü üzerindeki etkisi, frekansla birlikte değişim göstermekte ve bu durum, devrenin belirli çalışma koşullarında optimize edilmesi için önemli bir veri sunmaktadır. C katsayısının artışı, devrenin giriş gürültü seviyesini yükseltirken, M katsayısının artışı bu gürültüyü düşük frekanslarda azaltmaktadır. Bu da devre tasarımcılarının, belirli uygulama alanlarına yönelik en uygun performansı sağlamak için bu parametreleri dikkatli bir şekilde optimize etmeleri gerektiğini ortaya koymaktadır. C ve M değerlerinin artırılmasının devrenin performansını iyileştirdiğini, ancak aynı zamanda yerleşim boyutunu ve güç tüketimini de artırdığını belirtmek önemlidir. $C=5$ ve $M=5$ için elde edilen sonuçlar, 5pF yük kapasitansı ile 44.88dB kazanç, 42.1kHz bant genişliği, 77.45MHz Birim Kazanç Frekansı (UGW) ve 87.8° faz marjını göstermektedir. Şekil 4.6'de görüldüğü gibi voltaj kazancı ve faz marjı için frekans yanıtı diyagramları incelenerek, çeşitli C ve M değerleri için tasarlanan amplifikatörün performansı Tablo 4.2'de karşılaştırılmıştır.

Tablo 4.2: DDSB CFC Op-Amp'in performans karşılaştırması.

Parameters	Unit	C=1 M=1	C=5 M=1	C=1 M=5	C=5 M=5
Open Loop Gain (DC)	dB	37.42	44.80	37.72	44.88
CMRR	dB	50.62	59.16	50.61	59.13
Input Referred Noise (a/b)	$\frac{nV}{\sqrt{Hz}}$	3607/161.5	5246/128.9	1930/36.4	3605/79.4
Output Referred Noise (a/b)	$\frac{nV}{\sqrt{Hz}}$	277.6/1.37	912.4/2.01	1930/36.4	3605/79.4
Phase Margin	°	90.66	89.85	90.10	87.8
Power Dissipation	mW	0.083	0.097	0.179	0.246
UGW	MHz	8.46	14.82	43.15	77.45

*C_L=5pF, ^(a): @100Hz, ^(b): @1MHz

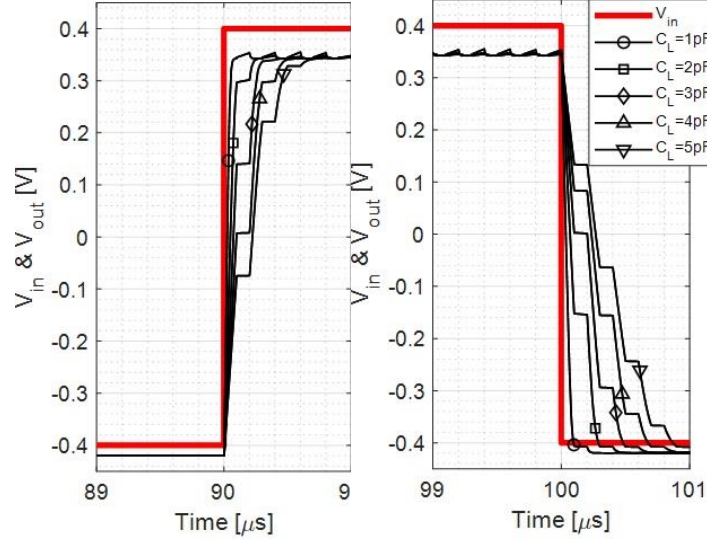
Tablo 4.3, hem CMOS teknolojisi hem de FinFET teknolojisi kullanılarak tasarlanan Op-Amp'ları karşılaştırmaktadır ve önerilen DDSB CFC Op-Amp (C=5, M=5) ile yapılmıştır. Düşük güç yapılarının karşılaştırmasını kolaylaştırmak amacıyla, küçük sinyal ve büyük sinyal güçleri açısından [87]'te kullanılan iki Performans Göstergesi (FoM_{1,2}) kullanılmıştır.

$$FoM_1 = \frac{GBW \cdot C_L}{P_{diss}} \quad (4.4)$$

$$FoM_2 = \frac{SR_a \cdot C_L}{P_{diss}} \quad (4.5)$$

SR, 800mV tepeden tepeye giriş sinyali (-400mV ila 400mV arası) kullanılarak ve %10-90 eşik değeri uygulanarak belirlenmiştir. Şekil 4.8'de yük kapasitanslarının (C_L) 1 pF'den 5 pF'ye kadar değiştiği durumlarda Op-Amp'ın adım yanıtını göstermektedir. Simülasyon sonuçları, devrenin yüksek faz marjı sayesinde kararlı bir çıkış sağladığını göstermektedir. Geçiş bandındaki dalgalanmalar, devreyi sürekli olarak açıp kapatan DDSB'nin çalışmasından kaynaklanmaktadır. Bu davranış, yükselen ve düşen geçişlerde de gözlemlenmekte olup, SR'yi düşürerek bir dezavantaj yaratmaktadır.

1 pF yük kapasitörü için ölçülen SR⁺ (SR⁻) değerleri, C=1 ve M=1 için sırasıyla 12.8 (9.3)V/μs, C=5 ve M=5 için ise 97 (68.6)V/μs'dir. C_L 5 pF'ye çıkarıldığında, SR⁺ (SR⁻) değerleri C=1 ve M=1 için sırasıyla 2.41 (1)V/μs'ye, C=5 ve M=5 için ise 32.2 (14.3)V/μs'ye düşmektedir. Bu sonuçlar, yük kapasitansının artmasıyla birlikte SR değerlerinin azaldığını ve C ile M parametrelerinin devrenin performansını önemli ölçüde etkilediğini göstermektedir.

**A****B**

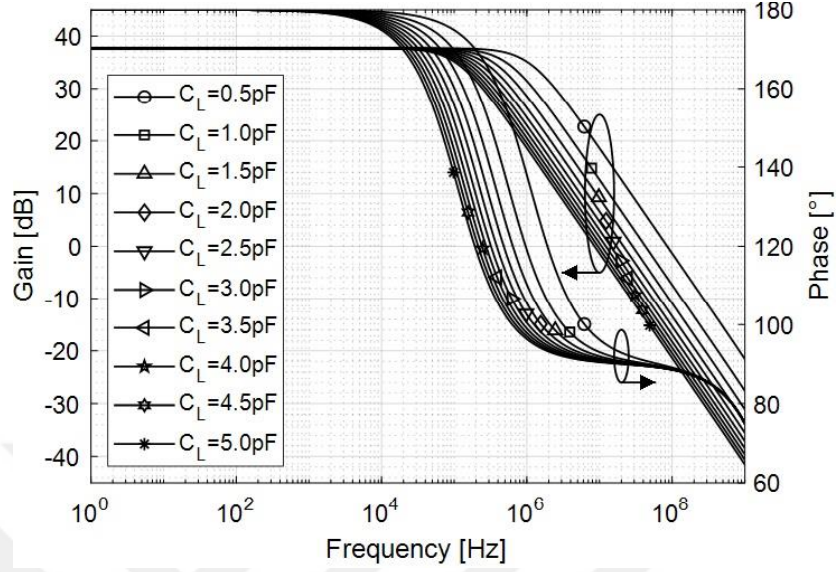
Şekil 4.8: Önerilen Op-Amp'in slew rate, $C=1$, $M=1$: **A.SR⁺** **B.SR⁻**

FoM₁ ve FoM₂'nin küçük sinyal kazanç bant genişliği ve yükselme/düşme hızını dağılım gücü ile ilişkilendirdiği belirtilmelidir. Önerilen devre ($C=5$, $M=5$), Tablo 4.3'teki değerlere bakıldığında, FoM₁ açısından diğer yayımlanan devrelerden daha iyi performans sergileyerek 1574 (MHz $\sqrt{pF}$)/mW değerine ulaşmaktadır. FoM₂ açısından ise [88] referansındaki 1440 (V $\cdot$ pF)/(μ s $\cdot$ mW) değeri öne çıkmaktadır. Bu çalışmanın tasarımı, yüksek yükselme/düşme hızını sağlamak için bir yükselme/düşme hızını artırma bloğu içerdiğinden avantajlıdır. Bununla birlikte, devrenin 8 pF yük kapasitansında ulaşılan 48.2°'lik düşük faz marjı değeri önemli bir noktadır. Kapasitans azaldıkça, kararsız çalışma olasılığı da artmaktadır.

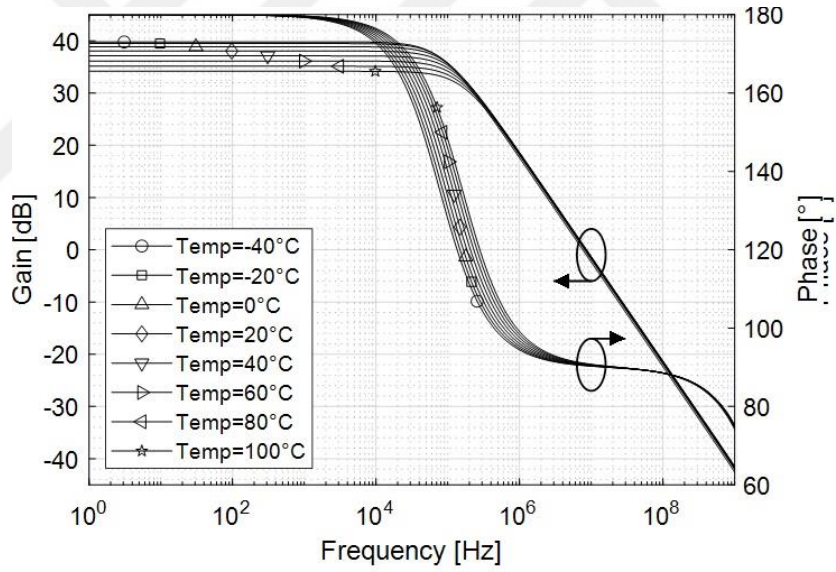
Şekil 4.9'de devrenin C_L ve sıcaklığa göre kazanç-faz karakteristiklerindeki değişimi göstermektedir. Şekil 4.8A'da, $C=1$ ve $M=1$ olarak ayarlandığında, C_L 'nin 0.5pF'den 5pF'ye artırılması durumunda, 0.5pF yük ile 87.1MHz'lik bir birim kazanç genişliği (UGW) elde edildiği ve devrenin 89.4°'lik faz marjı ile stabil kaldığı gözlemlenmiştir. Ayrıca, $C_L=10$ fF olduğunda devre, 3.19GHz'lik bir UGW ve 44.93°'lik bir faz marjı sağlamaktadır. Parametreler $C=5$ ve $M=5$ olarak ayarlandığında, devre yaklaşık 220fF'lik bir yük kapasitansına kadar stabil kalmakta ve bu yük için 1.38GHz'lik bir UGW ve 45,5°'lik bir faz marjı sunmaktadır.

Op-Amp'in frekans tepkisi, -40°C ile 100°C arasındaki geniş bir sıcaklık aralığında analiz edilmiş ve simülasyonlar her 20°C aralıkla gerçekleştirilmiştir; bu durum Şekil 4.8B'de gösterilmektedir. $C=1$ ve $M=1$ koşullarında, kazanç ve faz karakteristikleri -40°C'de sırasıyla 39.8dB ve 90,5° iken, 100°C'de 34.2dB ve 90.1° olarak ölçülmüştür. Bu durum, küçük boyutlu

Op-Amp'in termal değişimlere karşı düşük hassasiyet sergilediğini göstermektedir. Ancak, Op-Amp boyutu büyüdükçe bu sıcaklık stabilitesi azalmaktadır.



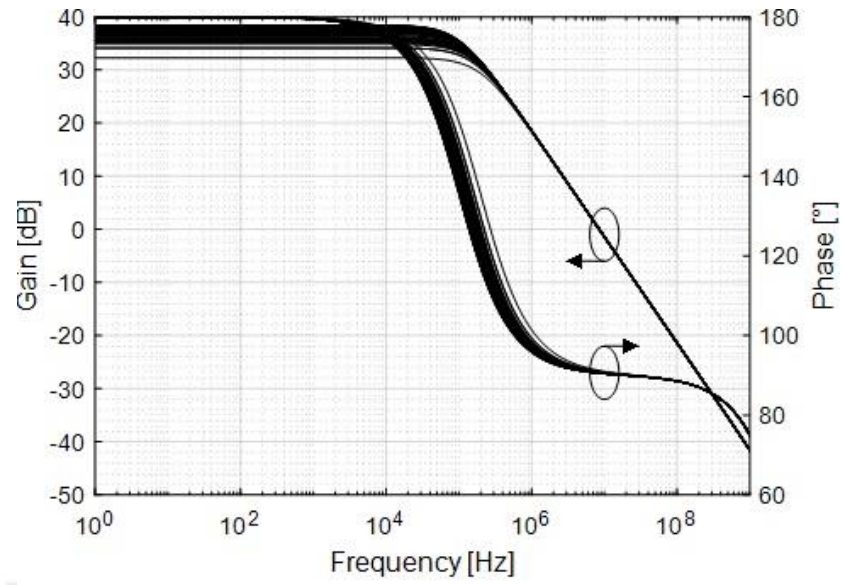
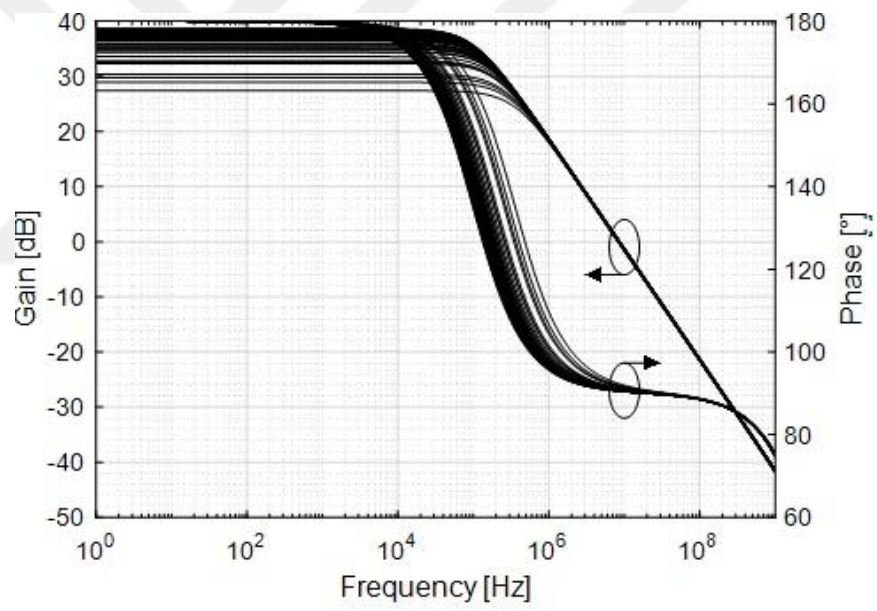
A

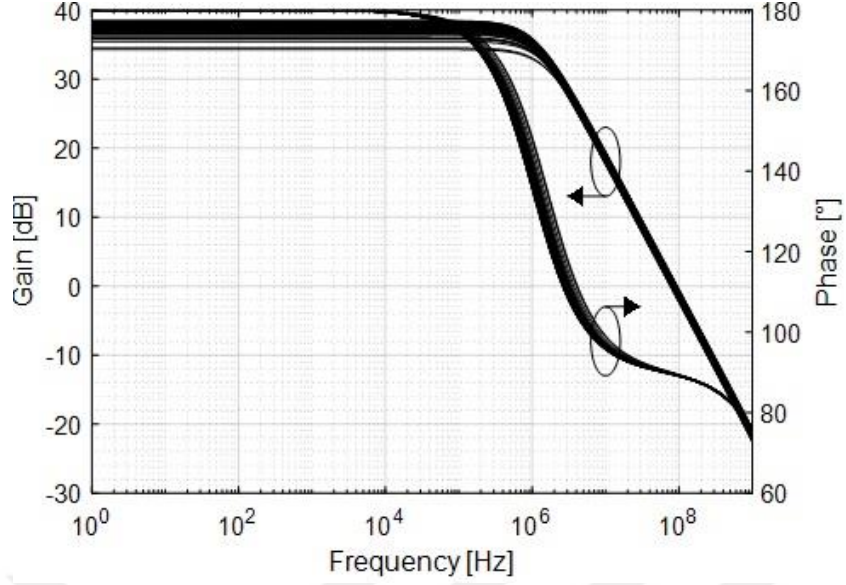


B

Şekil 4.9: Kazanç-faz tepkisi değişimi (@ $C=1$, $M=1$): **A**.CL ile, **B**.Sıcaklık ile.

Monte Carlo (MC) analizi, LTspice ortamında 50 iterasyon boyunca gerçekleştirilmiş olup, devrenin performansı üzerindeki üç temel parametrenin etkisini incelemiştir: eşik voltajı (V_{TH}), oksit kalınlığı (tox) ve besleme voltajları ($VDD-VSS$). Bu analizler, bu parametrelerdeki küçük sapmaların devrenin genel davranışı ve stabilitesi üzerindeki etkilerine dair önemli bilgiler sağlamaktadır. Sonuçlar, Şekil 4.10'de $C=1$ ve $M=1$ için gösterilmiştir.

**A****B**



C

Şekil 4.10: MC Analizi sonuçları: **A.**%3 varyasyon ile t_{ox} , **B.**%1 varyasyon ile V_{TH} , **C.**%5 varyasyon ile güç kaynakları (V_{DD} - V_{SS}).

Tablo 4.3: Önerilen Op-Amp'ın literatür ile performans karşılaştırması.

Performance Parameters	Unit	This Work ⁽²⁾	This Work ⁽³⁾	[18]	[86]	[88]	[89]	[90]	[91]
Process	N/A	32 nm (FinFET)	32 nm (FinFET)	1 μ m (CMOS)	0.6 μ m (CMOS)	0.18 μ m (CMOS)	20 nm (FinFET)	55nm (FinFET)	45nm (FinFET)
Power Supply	V	± 0.5	± 0.5	± 1.5	1.8	1.8	± 0.5	1	1
Power Dissipation	mW	0.083	0.246	9.2	0.24	1.18	0.377	0.648	0.175
C_L	pF	5	5	10	20	8	3	3	0.02
Open Loop Gain (DC)	dB	37.42	44.8	47.7	80.8	68	39.27	45.51	29.22
GBW	MHz	8.46	77.45	14.3	6.9	172.5	8.26	63	5.1
Phase Margin	°	90.66	87.8	47.9	71	48.2	45.05	60.1	90
Slew Rate (SR^+/SR^-) ⁽¹⁾	V/ μ s	2.41/1	32.2/14.3	106	2.2	212.5	2.3	41.34	1830/1120
FoM ₁	$\frac{MHz \cdot pF}{mW}$	509.64	1574	15.54	575	1169	65.72	291.66	0.582
FoM ₂	$\frac{V \cdot pF}{\mu s \cdot mW}$	103.01	472.56	115.21	183.33	1440	18.30	191.38	168.57

⁽¹⁾: Tekil SR'ye sahip makaleler için $SR_a=SR$ olarak değerlendirilmiştir; ⁽²⁾: C=1, M=1, ⁽³⁾: C=5, M=5.

Bu tezde 32nm PTM FinFET teknolojisi kullanılarak tasarlanmış CFC Op-Amp devresi sunulmuştur. Devrenin düşük voltajlardaki kararlılığı, DDSB ve geniş-salınımlı kaskod akım aynası topolojilerinin entegrasyonu sayesinde sağlanmıştır. Uygulama gereksinimlerine göre devrenin boyutları nanometre boyutlarına ($C=1$, $M=1$) ölçeklendirilebilmekte ve bu sayede güç tüketimi $83\mu W$ 'a kadar düşürülebilmektedir. Bu durumda, devre 37.42dB DC kazanç ve 8.46MHz bant genişliği sağlayabilmektedir.

$C=5$, $M=5$ olduğunda devre simülasyonları, FoM_1 açısından üstün performans sergilemiştir. Bu durumda devre, 44.8dB gerilim kazancı, 77.45 MHz bant genişliği ve $246\mu W$ güç tüketimi ile düşük güç tüketimli geniş bant sinyal işleme uygulamaları için oldukça uygun hale gelmiştir. Bu sonuçlar, önerilen Op-Amp tasarımının çeşitli uygulamalarda yüksek verimlilikle kullanılabileceğini göstermektedir.

4.4. ANAHTARLAMALI KAPASİTE ENTEGRATÖRÜ UYGULAMASI

Daha önce tartışıldığı gibi, bir direncin yerine iki FinFET ve bir kapasitor kullanılarak DDSB CFC yapılandırılabilir. Şekil 4.11'de bu yöntemi kullanarak oluşturulmuş entegre yapıyı göstermektedir. FinFET'lerin her bir gate ucu, bağımsız ve çakışmayan saat sinyalleriyle kontrol edilmektedir. İlk olarak, ϕ_1 saat sinyalinin düşük olduğu durumda, giriş sinyali C1 kondansatörü tarafından alınmaktadır. ϕ_1 Düşükten yükseğe geçiş yaptığında ve ϕ_2 yüksekte düşük geçiş yaptığında, C2'de depolanan yük, önceden depolanan yük ile eklenir [92]. Anahtar frekansı sinyal frekansına kıyasla sonsuza yaklaştıkça, aynı transfer fonksiyonlarına sahip bir devre tasarlamak mümkün hale gelmektedir. Entegre devresinin transfer fonksiyonu (4.6) olarak ifade edilebilir [93, 94].

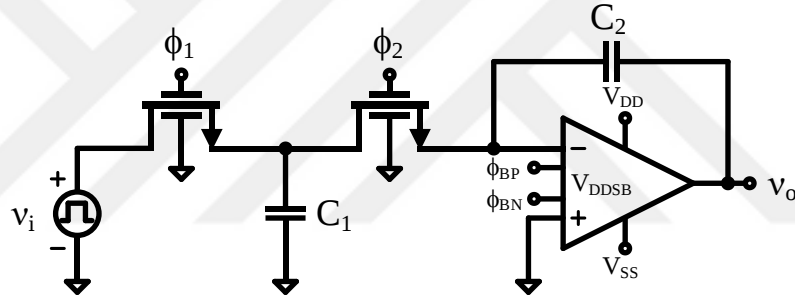
İki FinFET ve bir kapasitor kullanarak direnç yerine entegre bir devre yapılandırmak, düşük güç tüketimli ve yüksek verimli devre tasarımlarında önemli avantajlar sunmaktadır. Bu yapılandırma, bağımsız ve çakışmayan saat sinyalleri kullanılarak hassas kontrol sağlamak ve böylece yüksek doğrulukla çalışan devreler elde edilmektedir. ϕ_1 Ve ϕ_2 saat sinyallerinin kontrolü, C1 ve C2 kondansatörlerinde depolanan yüklerin doğru bir şekilde transfer edilmesini mümkün kılmaktadır. Anahtar frekansının sinyal frekansına kıyasla oldukça yüksek olması, transfer fonksiyonlarının istikrarını ve doğruluğunu artırmaktadır. Gelecekteki çalışmalar, bu entegre yapılandırmanın farklı devre topolojileriyle birleştirilmesini ve genişletilmesini içerebilir. Ayrıca, daha gelişmiş kontrol mekanizmaları ve optimizasyon teknikleri kullanılarak

devre performansının iyileştirilmesi hedeflenmektedir. Bu yöntem, özellikle düşük güç tüketimi ve yüksek doğruluk gerektiren uygulamalarda önemli katkılar sağlayacak potansiyele sahiptir.

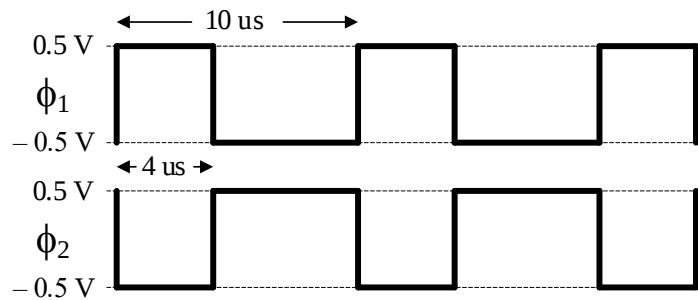
$$\frac{v_o}{v_i} = \frac{-C_1/C_2}{j\sin(\omega T) + \cos(\omega T) - 1} \quad (4.6)$$

Burada T , örnekleme periyodunu temsil eder. Anahtarlamalı kapasite saatlerinin çalışma dalga biçimleri Şekil 4.12'de gösterilmektedir.

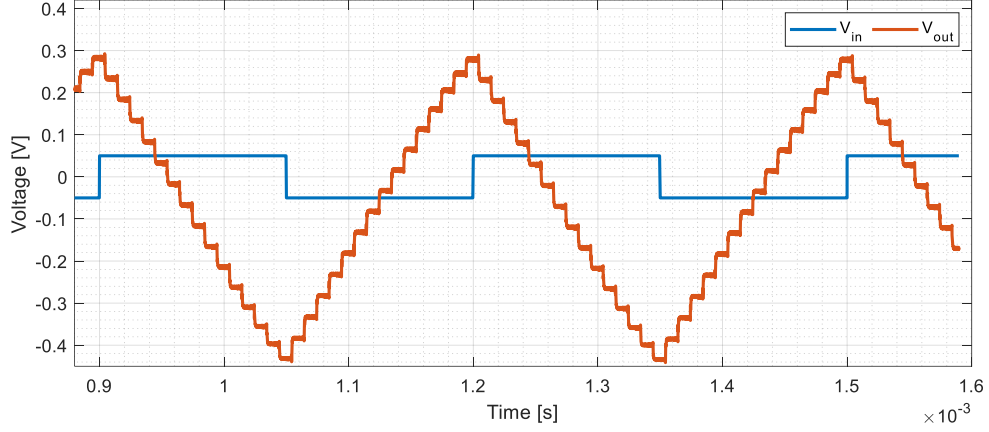
Devredeki toplam eşdeğer direnç $250\text{k}\Omega$ olarak ayarlanmıştır. Devrede kullanılan kondansatörler, C_1 ve C_2 , her biri 40pF kapasitansına sahiptir. FinFET'lerin W ve L boyutları sırasıyla 80 nm ve 32 nm olarak seçilmiştir. Tasarlanan SC entegre edicisinin çalışma dalga biçimleri Şekil 4.12'te gösterilmektedir. Bu entegre edici, -0.05V ile $+0.05\text{V}$ arasında değişen bir giriş voltajına sahip 3.33kHz frekanslı bir kare dalga sinyali alır. Beklendiği gibi, çıkış sonuç olarak dişli bir desen sergiler.



Şekil 4.11: FinFET'ler kullanılarak yapılan invertörlü anahtarlamalı kapasite konfigürasyonu.



Şekil 4.12: Anahtarlamalı kapasite saatlerinin çalışma dalga formları.

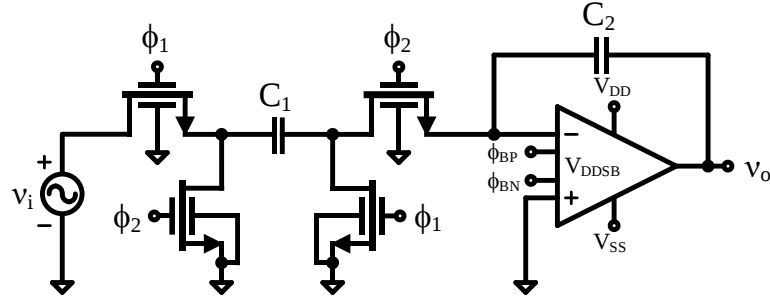


Şekil 4.13: İntvertörlü anahtarlama kapasite giriş ve çıkış dalga formları.

Şekil 4.14'te gösterilen FinFET'leri kullanan duyarsız anahtarlama kapasite integratörü, her iki FinFET'in gate pinlerini kontrol eden bağımsız ve örtüşmeyen saat sinyalleri ile çalışır. Devre, çıkışın ϕ_2 saat fazının sonunda örneklendiği varsayımıyla çalışmaktadır. Bu varsayıma dayanarak, integratörün transfer fonksiyonu türetilir. Transfer fonksiyonu, Denklem 4.7'te ifade edilmiştir.

$$\frac{v_o}{v_i} = \frac{C_1/C_2}{j\omega T} \left[\frac{\omega T}{2 \sin\left(\frac{\omega T}{2}\right)} \right] \quad (4.7)$$

Ayrıca, integratörün transfer fonksiyonu, herhangi bir düğüm ile toprak arasına bağlı kaçak kapasitörlerden etkilenmez. Bunun nedeni, bu tür bir kapasitörün ya üzerinde sabit bir sıfır potansiyel bulundurması, ya bir işlem yükselteci (Op-Amp) çıkışına bağlı olması ya da Op-Amp çıkışı tarafından şarj edilip ardından toprağa deşarj edilmesidir. Sonuç olarak, bu topraklanmış kaçak kapasitörler, geri besleme kapasitörü C2 üzerinde depolanan yükü etkilemez. Dolayısıyla, çıkış voltajı V_o , tüm topraklanmış parasitik kapasitanslardan bağımsız kalır.



Şekil 4.14: FinFET'leri kullanan kaçak kapasitanslara karşı duyarsız pozitif integratör konfigürasyonu.

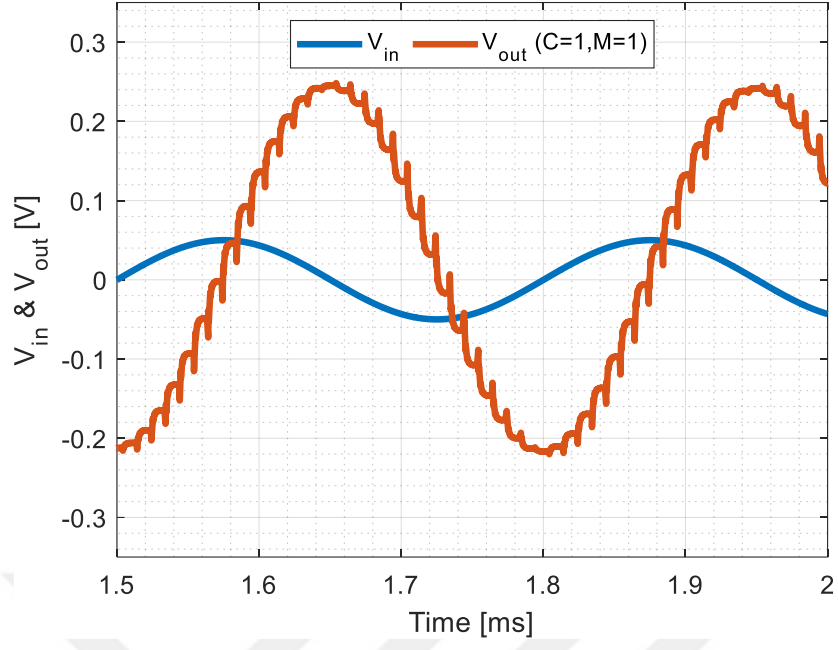
Devredeki toplam eşdeğer direnç $250\text{k}\Omega$ olarak ayarlanmıştır. Devrede kullanılan kapasitörler, C_1 ve C_2 , her biri 40pF kapasitansa sahiptir. FinFET'lerin genişlik (W) ve uzunluk (L) boyutları sırasıyla 80nm ve 32nm olarak seçilmiştir. İntegratör, frekansı 3.33kHz ve tepe voltajı 50mV olan bir sinüs dalga giriş sinyali almaktadır.

İki farklı Op-Amp konfigürasyonu ile tasarlanan SC integratörlerinin performans özellikleri Tablo 4.4'te sunulmaktadır. Elde edilen çıkışlar için hesaplanan Toplam Harmonik Bozulma (THD) değerleri, $C=1$ ve $M=1$ Op-Amp tasarımı için $\%0.336$, $C=5$ ve $M=5$ tasarımı için ise $\%0.251$ olarak belirlenmiştir. $C=1$ ve $M=1$ Op-Amp ile tasarlanan SC integratörünün çalışma dalga formları Şekil 4.15'te gösterilmiştir.

Tablo 4.4: Kaçak kapasitanslara karşı duyarsız pozitif integratör konfigürasyonu performansları.

Performance parameters	Unit	This Work ⁽¹⁾	This Work ⁽²⁾
Power Supply Voltages	V	± 0.5	± 0.5
Switching Frequency	kHz	10	10
Input Signal Amplitude	mV	50	50
THD ($f_{in} = 3.33\text{ kHz}$)	N/A	0.336%	0.251%

⁽¹⁾: $C=1$, $M=1$, ⁽²⁾: $C=5$, $M=5$



Şekil 4.15: Anahtarlama kapasite integratörünün giriş ve çıkış dalga formları.

5. TARTIŞMA

Bu çalışma, 32 nm FinFET teknolojisi kullanılarak tasarlanan düşük güç tüketimi ve yüksek performans dengesini sağlayan bir Op-Amp tasarımı sunmaktadır. Ayrıca, bu Op-Amp, anahtarlama kapasite entegratör tasarımında da başarıyla kullanılmıştır. Elde edilen sonuçlar, önerilen devrenin hem bağımsız bir Op-Amp olarak hem de anahtarlama kapasite yapılarında kullanılabilecek çok yönlü bir çözüm sunduğunu göstermektedir. Özellikle enerji verimliliği, kararlılık, geniş bant genişliği ve entegrasyon yetenekleri ile öne çıkan bu tasarım, çeşitli uygulamalarda avantaj sağlamaktadır.

Önerilen tasarımın minimum güç tüketimi ile çalışacak şekilde optimize edilmiştir ve 0.083 mW ile 0.246 mW arasında değişen bir güç tüketimine sahip olduğunu göstermektedir. Bu değerler, [18] ve [86] gibi CMOS tabanlı çalışmaların değerleri ile kıyaslandığında önemli ölçüde daha düşük olup, enerji verimliliği açısından ciddi bir avantaj sunmaktadır. Bununla birlikte, [91]'de kullanılan 45 nm FinFET tabanlı tasarım, düşük güç tüketimi bakımından benzer performans göstermekte ancak geniş bant genişliği açısından önerilen devrenin gerisinde kalmaktadır.

Geniş bant genişliği açısından, bu çalışmada sunulan Op-Amp 8.46 MHz ile 77.45 MHz arasında değişen GBW değerleri elde etmiştir. Bu değerler, [86] ve [89] gibi çalışmaların sonuçlarıyla kıyaslandığında önemli bir gelişme göstermektedir. Özellikle [88]'de sunulan CMOS tabanlı bir tasarım, düşük bant genişliği nedeniyle daha dar bir uygulama alanına sahiptir. Önerilen tasarımın bu avantajı, hızlı geçici yanıtların ve yüksek frekans hassasiyetinin gerekli olduğu iletişim sistemleri ve veri toplama sistemleri gibi uygulamalarda etkili bir çözüm sunmaktadır.

Faz marjı açısından da önerilen tasarım oldukça iyi sonuçlar elde etmiştir (90.66° ve 87.8°). Bu sonuçlar, [18] ve [86] gibi literatürdeki diğer çalışmalara kıyasla daha yüksek olup, devrenin kararlılığını ve osilasyona karşı dayanıklılığını artırmaktadır. Yüksek faz marjı, özellikle hassas analog devre uygulamalarında kritik bir performans ölçütü olarak değerlendirilmektedir.

Anahtarlama kapasite entegratörlerinde devrelerinde, bu bant genişliği, hızlı geçici yanıtlar ve yüksek frekans hassasiyeti gerektiren uygulamalar için idealdir. İletişim sistemleri, radyo frekansı devreleri ve veri toplama sistemleri gibi yüksek bant genişliği gerektiren uygulamalarda bu Op-Amp tasarımı tercih edilebilir. Önerilen Op-Amp, bu yapıda düşük güç tüketimi ve yüksek doğruluk sağlarken, sinyal entegrasyonu sırasında minimum hata ve sapma ile çalışmaktadır. Bu da veri işleme ve sinyal analizinin kritik olduğu uygulamalarda, önemli avantajlar sunmaktadır.

Önerilen devrenin THD (Total Harmonic Distortion) değeri 0.336% ile 0.251% arasında değişmektedir. Bu değerler, özellikle düşük bozulmanın kritik olduğu uygulamalar için büyük bir avantaj sunmaktadır. Örneğin, [88] ve [90] gibi çalışmalarda CMOS tabanlı Op-Amp devrelerinde bozulmaların daha yüksek seviyelerde olduğu gözlemlenmiştir; bu durum FinFET teknolojisinin elektrostatik kontrol avantajları ile ilişkilendirilebilir. FinFET teknolojisinin avantajlarından yararlanarak enerji verimliliği, geniş bant genişliği ve yüksek kararlılık hedeflerine başarıyla ulaşmıştır. Elde edilen sonuçlar, önerilen Op-Amp tasarımının, literatürdeki mevcut çözümlerle kıyaslandığında, enerji tasarrufu, performans ve çok yönlülük açısından üstün bir alternatif sunduğunu göstermektedir.

6. SONUÇ VE ÖNERİLER

Sonuç olarak, bu çalışma, düşük güç tüketimi, yüksek kararlılık ve geniş bant genişliği gibi kritik performans parametreleriyle öne çıkan bir Op-Amp tasarımı sunmuştur. Bu tasarımda FinFET teknolojisinin yenilikçi özelliklerinden yararlanılması, cihazın enerji verimliliği ve performans açısından optimize edilmesini sağlamıştır. Özellikle, FinFET yapısı, geleneksel planar MOSFET'lere kıyasla sunduğu daha iyi elektrostatik kontrol, azaltılmış güç tüketimi ve daha düşük sızıntı akımları sayesinde, önerilen Op-Amp'ın düşük güç tüketimi hedefini desteklemiştir.

Bunun yanı sıra, FinFET'in yüksek hızda anahtarlama yetenekleri, Op-Amp'ın geniş bant genişliğine ulaşmasını mümkün kılmıştır. Bu özellikler, özellikle yüksek performans gerektiren analog devre tasarımları için büyük bir avantaj sunmaktadır. Tasarımın anahtarlama kapasite entegratör uygulamaları için uygun olması, taşınabilir elektronik cihazlar, iletişim sistemleri ve hatta sensör ağları gibi çeşitli alanlarda geniş bir kullanım yelpazesine olanak tanımaktadır.

FinFET teknolojisinin sunduğu ölçeklenebilirlik avantajlarıyla, Op-Amp tasarımında yeni bir standart belirleme potansiyeline sahiptir. Bu teknolojinin ileri düzey entegrasyon seviyelerini desteklemesi, yüksek yoğunluklu entegre devrelerin geliştirilmesinde önemli bir adım olarak değerlendirilebilir. Ayrıca, bu Op-Amp tasarımı, endüstriyel ve ticari uygulamalarda yüksek güvenilirlik ve uzun süreli performans sunma potansiyeline sahip olup, gelecekteki mikroelettronik yeniliklere önemli katkılar sağlayabilir.

Modern yarı iletken entegre devre üretim süreçlerinde yüksek performanslı ve çok yönlü yapıların önemini vurgulamaktadır. Özellikle, anahtarlama kapasite devrelerinin ve FinFET yapılarının kullanımı, bu alandaki en önemli gelişmelerden biridir. Gelecekteki çalışmalar için birkaç ana öneri sunulmaktadır:

1. **Farklı Topolojilerle Entegrasyon:** FinFET ve anahtarlama kapasite devrelerinin, farklı topolojilerle entegrasyonu üzerine daha fazla araştırma yapılması önerilmektedir. Bu entegrasyonlar, devrelerin performansını optimize edebilir ve farklı uygulamaya

alanlarına uyarlanabilirliklerini artırabilir. Özellikle, bu yapıların alternatif yarı iletken teknolojileri ile birlikte kullanımı, yeni nesil elektronik cihazlarda daha geniş bir kullanım alanı sağlayabilir.

2. **Gelişmiş Optimizasyon Teknikleri:** Devre tasarımı sürecinde, daha ileri düzeyde optimizasyon tekniklerinin kullanılması önerilmektedir. Genetik algoritmalar, yapay zeka tabanlı araçlar ve parametrik analizler gibi modern optimizasyon yöntemlerinin devre tasarımına entegre edilmesi, performansın artırılmasına ve üretim süreçlerinin verimliliğinin yükseltilmesine olanak tanıyacaktır. Bu tür optimizasyonlar, özellikle düşük güç tüketimi, hız ve hassasiyet gibi kritik performans metriklerinde iyileştirmeler sağlayabilir.
3. **FinFET Teknolojisinin Geliştirilmesi:** Çalışmada FinFET'in sağladığı avantajlar açıkça gösterilmiştir. Ancak, FinFET teknolojisinin daha ileri düzeyde araştırılması ve geliştirilmesi, bu yapıların daha küçük boyutlarda, daha düşük voltajlarda ve daha yüksek hızlarda çalışabilen versiyonlarının geliştirilmesine katkı sağlayabilir.
4. **Op-Amp Yapılarının İyileştirilmesi:** Tezde sunulan DDSB bazlı Op-Amp yapısının performansı, benzer yapıların ötesine geçmektedir. Ancak, bu yapının farklı uygulamalar için optimize edilmesi ve farklı devrelerde test edilmesi önerilmektedir. Özellikle daha karmaşık devrelerde ve daha zorlu çalışma koşullarında nasıl performans gösterdiğinin araştırılması, ileriye dönük önemli bir adım olacaktır.
5. **Simülasyonların Genişletilmesi:** LTspice simülasyon araçları ile gerçekleştirilen mevcut simülasyonlar, 32 nm PTM modelleri üzerinden yapılmıştır. Gelecekteki çalışmalar, farklı boyutlardaki FinFET modelleri ve daha yeni simülasyon araçları kullanarak bu simülasyonları genişletebilir. Bu, elde edilen sonuçların daha genel bir geçerlilik kazanmasını ve farklı üretim süreçlerine uygulanabilirliğini artırabilir.

KAYNAKLAR

- [1]. Hisamoto, D., Kaga, T., Kawamoto, Y. and Takeda, E., 1990, A fully depleted lean-channel transistor (DELTA) - a novel vertical ultra thin SOI MOSFET, *International technical digest on electron devices meeting*, 833-836, doi: 10.1109/IEDM.1989.74182.
- [2]. Yu, B., Chang, L., Ahmed, S., Wang, H., Bell, S., Yang, C.-Y., Tabery, C., Ho, C., Xiang, Q., King Liu, T.-J., Bokor, J., Hu, C., Lin, M.-R. and Kyser, D., 2002, FinFET scaling to 10 nm gate length, *Digest. International electron devices meeting*, 251-254, doi: 10.1109/IEDM.2002.1175825.
- [3]. Huang, X., Lee, W.-C., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., Anderson, E., Takeuchi, H., Choi, Y.-K., Asano, K., Subramanian, V., King Liu, T.-J., Bokor, J. and Hu, C., 1999, Sub 50-nm finFET: PMOS, *International electron devices meeting 1999. technical digest (Cat. No.99CH36318)*, 67-70, doi:10.1109/IEDM.1999.823848.
- [4]. Colinge, J.-P., 2008, *FinFETs and other multi-gate transistors*, 1st ed., Springer New York, NY, ISBN: 978-0-387-71752-4, doi:10.1007/978-0-387-71752-4.
- [5]. Colinge, J.-P., Gao, M.-H., Romano-Rodriguez, A., Maes, H. and Claeys, C., 1990, Silicon-on-insulator 'gate-all-around device', *International technical digest on electron devices*, 1990 San Francisco, CA, , 595-598, doi:10.1109/IEDM.1990.237128.
- [6]. Fossum, J. and Trivedi, V., 2011, *Introduction to ultra-thin-body MOSFETs and FinFETs*, Fundamentals of ultra-thin-body MOSFETs and FinFETs, Fossum, J (ed.), Chapter 1, Cambridge University Press, Cambridge, ISBN: 9781139343466, 1-9, doi: 10.1017/CBO9781139343466.
- [7]. James, D., 2012, High-k/metal gates in leading edge silicon devices, *2012 SEMI advanced semiconductor manufacturing conference*, 15-17 May 2012 USA, New York, SEMI (Semiconductor equipment and materials international), ISBN:978-1-4673-0351-4, 346-353, doi: 10.1109/ASMC.2012.6212925.
- [8]. Hisamoto, D., Lee, W.-C., Kedzierski, J., Takeuchi, H., Asano, K., Kuo, C., Anderson, E., King Liu, T.-J., Bokor, J. and Hu, C., 2001, FinFET-a self-aligned double-gate

- MOSFET scalable to 20 nm, *IEEE transactions on electron devices*, 47(12), 2320-2325, doi:10.1109/16.887014.
- [9]. Natarajan, S., Agostinelli, M., Akbar, S., Bost, M., Bowonder, A., Chikarmane, V., Chouksey, S., Dasgupta, A., Fischer, K., Fu, Q., Ghani, T., Giles, M., Govindaraju, S., Grover, R., Han, W., Hanken, D.G., Haralson, E., Haran, M., Heckscher, M., Heussner, R.W., Jain, P., James, R., Jhaveri, R., Jin, I., Kam, H., Karl, E., Kenyon, C., Liu, M.Y., Luo, Y., Mehandru, R., Morarka, S., Neiberg, L.M., Packan, P., Paliwal, A., Parker, C., Patel, P.K., Patel, R., Pelto, C., Pipes, L.C., Plekhanov, P., Prince, M., Rajamani, S., Sandford, J., Sell, B., Sivakumar, S., Smith, P.J., Song, B., Tone, K., Troeger, T., Wiedemer, J., Yang, M., and Zhang, K., 2014, A 14nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size, *2014 IEEE international electron devices meeting*, 15-17 December 2014 San Francisco, California, Institute of electrical and electronics engineers, 3-7, doi: 10.1109/IEDM.2014.7046976.
- [10]. Baliga, B.J., 2010, *Advanced power MOSFET concepts*, 1st ed., Springer, New York, ISBN: 978-1-4419-5917-1, doi: 10.1007/978-1-4419-5917-1.
- [11]. Durrani, T.S., James clerk maxwell (1831-1879), *IEEE engineering management review*, 44 (4), 9-10, doi: 10.1109/EMR.2016.2623694.
- [12]. Razavi, B., 2001, *basic MOS device physics*, Design of analog CMOS integrated circuits, In: Stephen.W (ed.), Chapter 2, McGraw-Hill, New York, ISBN: 978-0072380321, 9-38.
- [13]. Chandrakasan, A.P., Sheng, S. and Brodersen, R., 1992, Low-power CMOS digital design, *IEEE Journal of solid-state circuits*, 27 (6), 473-484, doi: 10.1109/4.126534.
- [14]. Swanson, D. and Meindl, J.D., 1975, Fundamental performance limits of MOS integrated circuits, *1975 IEEE international solid-state circuits conference. digest of technical papers*, 12-14 February San Francisco, California, IEEE, 110-111.
- [15]. Gregorian, R. and Szentirmai, G., 1986, *introduction to analog MOS circuits*, Analog MOS integrated circuits for signal processing, In: G. Temes (eds.), Chapter 1, Wiley-Interscience, New York, ISBN: 9788126517978, 1-19.
- [16]. Baker, R., 2010, *MOSFET operation*, CMOS: circuit design, layout, and simulation, In: L. Hanzo (ed.), Chapter 6, Wiley, New York, ISBN: 978-0470891179, 131-157, doi: 10.1002/9780470891179.

- [17]. Weste, N.H.E. and Harris, D.F., 2005, *MOS transistor theory*, CMOS VLSI design: a circuits and systems perspective, In: Weste, N.H.E (ed.), Chapter 2, Addison-Wesley, Michigan, ISBN: 978-0-321-54774-3, 61-95.
- [18]. Wakaumi, H., 2021, A switched-capacitor low-pass filter with multiple-channel double-DSB OP amplifiers, *2021 International conference on electronics information and communication (ICEIC)*, 31 January 2021 Jeju, Korea (South), IEEE, 1-4, doi: 10.1109/ICEIC51217.2021.9369814.
- [19]. Feynman, R., 1992, There's plenty of room at the bottom, *Journal of Microelectromechanical Systems*, 1 (1), 60-66, doi: 10.1109/84.128057.
- [20]. Dhakshinamoorthy, M., Venkatesh, A. and Vivekanandhan, P., 2020, Nanotechnology and its application in restorative dentistry: a review of literature, *Indian journal of forensic medicine and toxicology*, 14 (4), 1215-1220, doi: 10.37506/ijfmt.v14i4.11695
- [21]. Garcia, N., 1986, Theory of scanning tunneling microscopy and spectroscopy: resolution, image and field states, and thin oxide layers, *IBM journal of research and development*, 30 (5), 533-542, doi: 10.1147/rd.305.0533.
- [22]. Cerofolini, G., 2009, *Matter on the nanoscale*, Nanoscale devices, In: Avouris, P., Bhushan, B., Bimberg, D., Sakaki, H., Wiesendanger, R. (ed.), Chapter 1, Springer Berlin Heidelberg, Berlin, ISBN: 978-3-540-93783-8, 3-7, doi:10.1007/978-3-540-92732-7_1.
- [23]. Milburn, C., 2002, Nanotechnology in the age of posthuman engineering: science fiction as science, *Configurations*, 10(2), ISSN: 1080-6520, 261-295.
- [24]. Jain, K., 2011, *Nanobiotechnology in cardiovascular disorders*, Applications of biotechnology in cardiovascular therapeutics, In: Jain, K. (ed.), Chapter 6, Springer science and Business media , Humana Press, New York, USA, 145-157, doi: 10.1007/978-1-61779-240-3_6.
- [25]. Baran, A., 2016, Nanotechnology: legal and ethical issues, *Ekonomia i zarzadzanie*, 8 (1), 47-54, doi:10.1515/emj-2016-0005.
- [26]. Choi, D.-H., Dudo, A. and Scheufele, D.A., 2013, *U.S. news coverage of neuroscience nanotechnology: how U.S. newspapers have covered neuroscience nanotechnology during the last decade*, Nanotechnology, the brain, and the future, In: Hays, S., Robert, J., Miller, C., Bennett, I. (ed.), Chapter 4, Springer, Dordrecht, ISBN: 978-94-007-1787-9, 67-78, doi:10.1007/978-94-007-1787-9_4.

- [27]. Malani, A., Chaudhari, A. and Sambhe, R., 2015, A review on applications of nanotechnology in automotive industry, *World academy of science, engineering and technology , International Journal of Mechanical, Aerospace, Industrial, Mechatronic and Manufacturing Engineering*, 10 (1), 36-40.
- [28]. Sharma, S., Bhatia, A. and Gakkhar, N., 2019, Nanotechnology in cancer therapy: an overview and perspectives, *International journal of pharmaceutical chemistry and analysis*, 110-114, doi: 10.18231/j.ijpca.2019.020.
- [29]. Papadopoulos, C., 2014, *Field effect transistors*, Solid-state electronic devices, In: Ashby, N., Brantley, W., Fowler, M., Inglis, M., Sassi, E. and Sherif, H. (eds.), Chapter 4, Springer, New York, NY, ISBN: 978-1-4614-8836-1, 121-172, doi:10.1007/978-1-4614-8836-1_4.
- [30]. Iwai, H. and Misra, D., 2022, The transistor was invented 75 years ago: a big milestone in human history, *The electrochemical society interface*, 31 (4), 65-72, doi: 10.1149/2.F13224IF.
- [31]. Riordan, M. and Hoddeson, L., 2007, Crystal fire: the invention, development and impact of the transistor, *IEEE solid-state circuits newsletter*, 12 (2), 24-29, doi: 10.1109/N-SSC.2007.4785574.
- [32]. Nishizawa, J.I., 1982, *Junction field-effect devices*, Semiconductor devices for power conditioning, In: Sittig, R. and Roggwiller, P. (eds.), Chapter 11, Springer, Boston, MA, ISBN: 978-1-4684-7263-9, 241-272.
- [33]. Roy, S., Ghosh, C., Dey, S. and Pal, A., 2023, *Metal oxide field effect transistor (MOSFET)* , Solid state and microelectronics technology, Chapter 5, Bentham science publisher, Singapore, ISBN:978-981-5079-87-6, 162-248, doi: 10.2174/9789815079876123010006.
- [34]. Dumke, W.P., 1985, The effect of electron-hole scattering on minority carrier transport in bipolar transistors, *Solid-state electronics*, 28, 183-186, doi: 10.1016/0038-1101(85)90228-X.
- [35]. Recht, F., McCarthy, L., Rajan, S., Chakraborty, A., Poblenz, C., Corrion, A., Speck, J., Mishra, U.K., 2006, Nonalloyed ohmic contacts in AlGaIn/GaN HEMTs by ion implantation with reduced activation annealing temperature, *IEEE electron device letters*, 27 (4), 205-207, doi: 10.1109/LED.2006.870419.

- [36]. Canales, B. and Agopian, P., 2023, MISHEMT's multiple conduction channels influence on its DC parameters, *36th Symposium on microelectronics technology SBMICRO*, 18 (1), 1-4, doi: 10.29292/jics.v18i1.662.
- [37]. Santos, S., Nicoletti, T. and Martino, J.A., 2011, Analog performance of gate-source/drain underlap triple-gate SOI nMOSFET, *ECS - The electrochemical society*, 39 (10), 239-246, doi:10.1149/1.3615199.
- [38]. Lee, S.-K., Lee, S.-Y., Rogdakis, K., Jang, C.-O., Kim, D.-J., Edwige, B. and Zekentes, K., 2009, Si nanowire p-FET with asymmetric source-drain I-V characteristics, *Solid state communications*, 149 (11), 461-463, doi:10.1016/j.ssc.2008.12.036.
- [39]. Song, H., Lv, D., Wang, J., Li, B., Zhong, X., Jia, L., Wang, F., 2014, Multi-channel ferroelectric-gate field effect transistors with excellent performance based on ZnO nanofibers, *RSC advances*, 4 (97), 54924-54927, doi :10.1039/C4RA04937C.
- [40]. Alothmani, A., 2019, *Capacitance optimization and ballistic modeling of nanowire transistors*, Thesis (Master's), Lund University.
- [41]. Ross, E.C., Duffy, M.T. and Goodman, A.M., 1969, Optimization of MNOS device performance, *1969 International electron devices meeting*, 29–31 October Washington, DC, USA, IEEE Xplore Digital Library, 46-46, doi: 10.1109/IEDM.1969.188107.
- [42]. Ahmad, R., Tripathy, N., Jung, D.-U. and Hahn, Y.-B., 2014, Highly sensitive hydrazine chemical sensor based on ZnO nanorods field-effect transistor, *Chemical communications (Cambridge, England)*, 50 (15), 1890-1893, doi: /10.1039/C3CC48197B.
- [43]. Graaff, H. and Klaassen, F., 1990, *Models for the JFET and the MESFET*, Compact transistor modelling for circuit design, In: Klaassen, H.C. and Klaassen, F.M. (ed.), Chapter 9 , Computational Microelectronics, Springer, Vienna, ISBN: 978-3-7091-9043-2, 267–280, doi:10.1007/978-3-7091-9043-2_9.
- [44]. Mohanram, K. and Guo, J., 2008, Graphene nanoribbon FETs: Technology exploration and CAD, *2008 IEEE/ACM international conference on computer-aided design*, 10-13 November 2008 San Jose, CA, USA, ISBN: 978-1-4244-2819-9, 412-415, doi: 10.1109/ICCAD.2008.4681607.
- [45]. Dash, T. and Maiti, C., 2023, *An overview of nanoscale device fabrication technology—part I*, Nanoelectronics : Physics, Materials and Devices Semiconductor device fabrication, In: Sarkar, A., Sarkar, C.K., Deyasi, A., De, D., and Benfdila, A. (ed.), Chapter 9, Elsevier, Netherlands, 193-214, doi: 10.1016/B978-0-323-91832-9.00007-5.

- [46]. Zhang, W., Zhang, Y. and Hu, J., 2010, P-type ECRL circuits for gate-leakage reduction in nanometer CMOS processes with gate oxide materials, *Applied mechanics and materials*, 29 (32), 1919-1924, doi: 10.4028/www.scientific.net/AMM.29-32.1919.
- [47]. Hu, C., 2012, Thin-body FinFET as scalable low voltage transistor, *Proceedings of technical program of 2012 VLSI technology, system and application*, 23-25 April 2012 Hsinchu, Taiwan, IEEE, ISBN: 978-1-4577-2083-3, 1-4, doi: 10.1109/VLSI-TSA.2012.6210163.
- [48]. Fahad, H. and Hussain, M., 2012, Are nanotube architectures more advantageous than nanowire architectures for field effect transistors?, *Scientific reports*, 2 (1), 475, doi:10.1038/srep00475.
- [49]. Singh, N., Buddhiraju, K., Manhas, S., Agarwal, A., Rustagi, S., Lo, P., Balu, N. and Kwong, D.-L., 2008, Si, SiGe nanowire devices by top-down technology and their applications, *IEEE transactions on electron devices*, 55 (11), 3107-3118, doi: 10.1109/TED.2008.2005154.
- [50]. Chang, C.S., Day, D.Y.S. and Chan, S., 1990, Analytical two-dimensional simulation for the GaAs MESFET drain-induced barrier lowering: A short-channel effect, *IEEE transactions on electron devices*, 37 (5), 1182-1186, doi: 10.1109/16.108177.
- [51]. Sze, S. and Ng, K.K., 2006, *Physics of semiconductor devices*, 3rd ed., Wiley, San Jose, California, ISBN: 978-0-470-06832-8.
- [52]. Taur, Y. and Ning, T., 2009, *Fundamentals of modern VLSI devices*, 1st ed. Cambridge University Press, Cambridge, ISBN: 110739399X, 9781107393998.
- [53]. Roy, K., Mukhopadhyay, S. and Mahmoodi-Meimand, H., 2003, Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits, *Proceedings of the IEEE*, 91 (2), 305-327, doi: 10.1109/JPROC.2002.808156.
- [54]. Neamen, D., 2012, *Semiconductor physics and devices: basic principles*, 3rd ed., McGraw-Hill, New York, ISBN: 0-07-232107-5, 0-07-119862-8.
- [55]. Xie, C., Zhang, Y., Zhang, K. and Guo, L., 2023, Introduction of gate-all-around FET (GAAFET), *Applied and computational engineering*, 28 (1), ISBN: 978-1-83558-232-9, 164-175, doi: 10.54254/2755-2721/28/20230354.
- [56]. Fried, D., Johnson, A.P., Nowak, E.J., Rankin, J., Willets, C.R., 2001, A sub 40-nm body thickness n-type FinFET, *Device research conference. conference digest*, 25-27 June

- 2001 Notre Dame, IN, IEEE, ISBN:0-7803-7014-7, 24-25, doi: 10.1109/DRC.2001.937857.
- [57]. James, D., 2012, Intel Ivy Bridge unveiled — The first commercial tri-gate, high-k, metal-gate CPU, *Proceedings of the IEEE 2012 custom integrated circuits conference*, 09-12 September 2012 San Jose, CA, USA, IEEE, ISBN:978-1-4673-1556-2, 1-4, doi: 10.1109/CICC.2012.6330644.
- [58]. Guo, X., Verma, V., Gonzalez, P., Mosanu, S. and Stan, M., 2017, Back to the future: Digital circuit design in the FinFET era, *Journal of low power electronics*, 13 (3), 338-355, doi:10.1166/jolpe.2017.1489.
- [59]. Sathya, N., Bennet, M., Mageswari, M., Priya, M. and Kayalvizhi, M., 2017, Design of low complexity accumulator using FinFET for various technologies, *International Journal on Smart Sensing and Intelligent Systems*, 10 (5), 225-235, doi: 10.21307/ijssis-2017-248.
- [60]. Auth, C., Allen, C., Blattner, A., Bergstrom, D., Brazier, M., Bost, M., Buehler, M., Chikarmane, V., Ghani, T., Glassman, T., Grover, R., Han, W., Hanken, D., Hattendorf, M., Hentges, P., Heussner, R., Hicks, J., Ingerly, D., Jain, P. and Mistry, K., 2012, A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors, *2012 symposium on VLSI technology (VLSIT)*, 12-14 June 2012 Honolulu, HI, USA. IEEE. ISBN: 978-1-4673-0846-5, 131-132, doi: 10.1109/VLSIT.2012.6242496.
- [61]. Schuster, C., Zhang, B., Vaish, R., Gomes, P., Thomas, J. and Davis, J., 2014, RTI compression for mobile devices, *Proceedings of the 6th international conference on information technology and multimedia*, 18-20 November 2014 Putrajaya, Malaysia. IEEE, ISBN: 978-1-4799-5423-0, 368-373, doi: 10.1109/ICIMU.2014.7066661.
- [62]. James, D., 2016, Moore's law continues into the 1x-nm era, *Proceedings of the 2016 27th annual SEMI advanced semiconductor manufacturing conference (ASMC)*, 16-19 May 2016 Saratoga Springs, NY, USA. IEEE, ISBN: 978-1-5090-0270-2, 324-329, doi: 10.1109/ASMC.2016.7491159.
- [63]. Pathak, S. and Yadav, D., 2022, The thematic analysis of the novels of Rohinton Mistry, *International journal of literacy and education*, 2 (1), 11-13, doi: 10.22271/27891607.2022.v2.i1a.25.
- [64]. Kanter, D., 2011, *Intel's 22nm Tri-Gate transistors*, <https://www.realworldtech.com/intel-22nm-finfet.html>, [Ziyaret Tarihi: 05.10.2024].

- [65]. Lin, J., 2022, Advancement and challenges of field effect transistors based on multi-gate transistor, *2022 international symposium on semiconductor and electronic technology, 12-14 August 2022 Fuzhou*, China, Journal of physics: conference series, 2370, 4-12.
- [66]. Tai, Y.-L., Lee, J.-W., Lien, C.-H., 2010, Local oxidation fin-field-effect-transistor structure for nanodevice applications, *Japanese journal of applied physics, part 1: regular papers and short notes*, 49 (4), 44301, doi:10.1143/JJAP.49.044301.
- [67]. Agostino, C.D., Flatresse, P., Beigne, E. and Belleville, M., Statistical leakage modeling in CMOS logic gates considering process variations, *2008 IEEE International conference on integrated circuit design and technology and tutorial*, 02-04 June 2008 Grenoble, France, 301-304, doi: 10.1109/ICICDT.2008.4567301.
- [68]. Jahnavi, M., 2013, Design and analysis of Johnson counter using FinFET technology, *IOSR journal of VLSI and signal processing*, 1 (6), 1-6, doi:10.9790/4200-0160106.
- [69]. Muttreja, A., Agarwal, N., Jha, N.K., 2007, CMOS logic design with independent-gate FinFETs, *2007 25th International conference on computer design*, 7-10 October 2007 Lake Tahoe, CA, USA, IEEE, 560-567, doi: 10.1109/ICCD.2007.4601953.
- [70]. Cao, Y., 2006, *Predictive technology model (PTM)*, Available: <http://ptm.asu.edu>, [Ziyaret Tarihi: 10.05.2022].
- [71]. Nguyen, H. V., 2012, *Novel IC designs with 32nm independent-gate FinFET*, Thesis (Master's), UNIST University.
- [72]. Skotnicki, T., Hutchby, J., King, T.-J., Wong, H. S. P. and Boeuf, F., 2005, The end of CMOS scaling toward the introduction of new materials and structural changes to improve MOSFET performance, *IEEE Circuits and devices magazine*, 21 (1), 16-26, doi: 10.1109/MCD.2005.1388765.
- [73]. Rabaey, J.M., Chandrakasan, A. and Nikolic, B., 2004, *Digital integrated circuits: a design perspective*, 2nd ed., Prentice Hall, United States, ISBN: 978-7302079682.
- [74]. Caves, J., Rosenbaum, S., Copeland, M. and Rahim, C., 1978, Sampled analog filtering using switched capacitors as resistor equivalents, *IEEE Journal of solid-state circuits*, 12 (6), 592-599, doi: 10.1109/JSSC.1977.1050966.
- [75]. Gregorian, R., Temes, G.C., 1986, *Analog MOS integrated circuits for signal processing*, 1st ed., Wiley India Pvt Limited, India, ISBN: 978-8126517978.
- [76]. Serra, H., Santos-Tavares, R., Paulino, N., 2022, Optimization methodologies for the automatic design of switched-capacitor filter circuits for IoT applications, 1st ed., Springer Cham, Switzerland, ISBN: 978-3-031-04184-6.

- [77]. Eichenberger, C., Guggenbühl, W., 1989, Dummy transistor compensation of analog MOS switches, *IEEE Journal of solid-state circuits*, 24 (4), 1143-1146, doi: 10.1109/4.34103.
- [78]. Yu, W., Leung, B., 2001, Distortion and noise performance of bottom-plate sampling mixers, *1998 IEEE international symposium on circuits and systems (ISCAS)*, 31 May 1998 Monterey, CA. IEEE. ISBN: 0-7803-4455-3, 401-404, doi: 10.1109/ISCAS.1998.698883.
- [79]. Martin, K., Sedra, A. S., 1981, Switched-capacitor building blocks for adaptive systems, *IEEE transactions on circuits and systems*, 28 (6), 576-584, doi: 10.1109/TCS.1981.1085017.
- [80]. Martin, K., Sedra, A., 1981, Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters, *IEEE Transactions on circuits and systems*, 28 (8), 822-829, doi: 10.1109/TCS.1981.1085052.
- [81]. Haug, K., Maloberti, F., Temes, G.C., 1985, Switched-capacitor integrators with low finite-gain sensitivity, *Electronics letters*, 21 (24), 1156-1157, doi: 10.1049/el:19850818.
- [82]. Boylestad, R., Nashelsky, L., 1987, *Electronic devices and circuit theory*, 4nd ed., Longman, London, ISBN-10: 0132505568.
- [83]. Ogata, K., 2010, *Modern control engineering*, 4nd ed., Prentice-Hall, United States, ISBN: 0136156738, 9780136156734.
- [84]. Liao, N., Cui, X., Liao, K., Ma, K., Wu, D., Wei, W., Li, R., and Yu, D., 2014, Low power adiabatic logic based on FinFETs, *Science China Information Sciences*, 57, 1-13, doi: 10.1007/s11432-013-4902-x.
- [85]. Kundra, S., Soni, P., and Kundra, A., 2012, Low power folded cascode OTA, *International journal of VLSI design and communication systems*, 3 (1), 127-136.
- [86]. Song, B.G., Kwon, O.J., Chang, I.K., Song, H.J., and Kwack, K.D., 1999, A 1.8 V self-biased complementary folded cascode amplifier, *AP-ASIC'99. First IEEE asia pacific conference on ASICs*, 23-25 August Seoul, Korea South, IEEE, 63-65, doi: 10.1109/APASIC.1999.824030.
- [87]. Kulej, T., and Khateb, F., 2020, A 0.3-V 98-dB rail-to-rail OTA in 0.18 μm CMOS, *IEEE access*, 8, 27459-27467, doi: 10.1109/ACCESS.2020.2972067.

- [88]. Kim, J., Song, S., and Roh, J., 2020, A high slew-rate enhancement class-AB operational transconductance amplifier (OTA) for switched-capacitor (SC) applications, *IEEE access*, 8 (28), 226167 – 226175, doi: 10.1109/ACCESS.2020.3044608.
- [89]. Shirazi, M., and Hassanzadeh, A., 2017, Design of a low voltage low power self-biased OTA using independent gate FinFET and PTM models, *AEU - international journal of electronics and communications*, 82, 136-144, doi: 10.1016/j.aeue.2017.08.013.
- [90]. Hassanzadeh, A., and Hadidi, S., 2021, Systematic approach for IG-FinFET amplifier design using gm/Id method, *Analog integrated circuits and signal processing*, 109, 379–385, doi: 10.1007/s10470-021-01917-9.
- [91]. Thakker, R., Srivastava, M., Tailor, K., Shojaei Baghini, M., Sharma, D., Rao, V., and B, M., 2011, A novel architecture for improving slew rate in FinFET-based op-amps and OTAs, *Microelectronics journal*, 42 (5), 758-765, doi: 10.1016/j.mejo.2011.01.010.
- [92]. Mohammad, K., and Brunette, C., 2022, *Switched capacitor circuits*, encyclopedia of materials: electronics, In: Haseeb, A.S.M.A (ed.), Academic Press, Elsevier, ISBN: 9780128197356, 510-518, doi: 10.1016/B978-0-12-819728-8.00061-9.
- [93]. Hosticka, B., Brodersen, R. and Gray, P., 1977, MOS sampled-data recursive filters using switched-capacitor integrators, *IEEE journal of solid-state circuits*, 12 (6), 600-608, doi: 10.1109/JSSC.1977.1050967.
- [94]. Martin, K., 1980, 'Improved Circuits for the Realization of Switched-Capacitor Filters', *IEEE transactions on circuits and systems*, 27 (4), 237-244, doi: 10.1109/TCS.1980.1084808.

İNTİHAL RAPORU İLK SAYFASI

MORTEZA BABAEIAN FAR

ORJİNALLIK RAPORU

%**3**

BENZERLİK ENDEKSİ

%**3**

İNTERNET KAYNAKLARI

%**2**

YAYINLAR

%**1**

ÖĞRENCİ ÖDEVLERİ

BİRİNCİL KAYNAKLAR

1

Submitted to The Scientific & Technological
Research Council of Turkey (TUBITAK)
Öğrenci Ödevi

%**1**

2

acikbilim.yok.gov.tr
İnternet Kaynağı

<%**1**

3

Kilinç, Ahmet Çağrı. "Metalik bronz
malzemelerin eklemeli imalatı ve
karakterizasyonu", Dokuz Eylul Üniversitesi
(Turkey), 2024
Yayın

<%**1**

4

www.openpr.com
İnternet Kaynağı

<%**1**

5

mdpi-res.com
İnternet Kaynağı

<%**1**

6

documents.irevues.inist.fr
İnternet Kaynağı

<%**1**

7

pdffox.com
İnternet Kaynağı

<%**1**

8

nek.istanbul.edu.tr:4444
İnternet Kaynağı

<%**1**