

**T.C.
SAKARYA UYGULAMALI BİLİMLER ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ**

**ŞEBEKE OLUŞTURAN EVİRİCİLERİN KONTROLÜ VE MİKRO
ŞEBEKELER İÇİN DOĞRUSAL BİR SENKRONİZASYON
KONTROL SİSTEMİ TASARIMI**

DOKTORA TEZİ

Özhan ATMACA

Enstitü Anabilim Dalı : MEKATRONİK MÜHENDİSLİĞİ

Tez Danışmanı : Prof. Dr. Murat KARABACAK

Kasım 2023

T.C.
SAKARYA UYGULAMALI BİLİMLER ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

ŞEBEKE OLUŞTURAN EVİRİCİLERİN KONTROLÜ VE MİKRO
ŞEBEKELER İÇİN DOĞRUSAL BİR SENKRONİZASYON
KONTROL SİSTEMİ TASARIMI

DOKTORA TEZİ

Özhan ATMACA

Enstitü Anabilim Dalı : MEKATRONİK
MÜHENDİSLİĞİ

Bu tez 30/11/2023 tarihinde aşağıdaki jüri tarafından oybirliği ile kabul edilmiştir.

JÜRİ	BAŞARI DURUMU
Jüri Başkanı: Prof. Dr. Engin ÖZDEMİR	BAŞARILI
Üye: Prof. Dr. Murat KALE	BAŞARILI
Üye: Doç. Dr. Salih Barış ÖZTÜRK	BAŞARILI
Üye: Dr. Öğr. Üyesi Mehmet UÇAR	BAŞARILI
Üye: Prof. Dr. Murat KARABACAK	BAŞARILI

BEYAN

Tez içindeki tüm verilerin akademik kurallar çerçevesinde tarafımdan elde edildiğini, görsel ve yazılı tüm bilgi ve sonuçların akademik ve etik kurallara uygun şekilde sunulduğunu, kullanılan verilerde herhangi bir tahrifat yapılmadığını, başkalarının eserlerinden yararlanılması durumunda bilimsel normlara uygun olarak atıfta bulunulduğunu, tezde yer alan verilerin bu üniversite veya başka bir üniversitede herhangi bir tez çalışmasında kullanılmadığını beyan ederim.

Özhan ATMACA

30/11/2023

TEŞEKKÜR

Doktora tez çalışmalarım boyunca sabırla bana destek olan sevgili eşim Büşra ATMACA'ya, değerli yakın arkadaşım Tufan Volkan Küçük'e, desteklerini hiç esirgemeyen değerli çalışma arkadaşlarım Batuhan Çakan ile Erdeniz Erol'a, Arş. Gör. Ali Kuyumcu'ya, tez danışmanı Hocam Sayın Prof. Dr. Murat Karabacak'a ve sevgili ailem Annem, Babam, Abime, Kayınpederime ve Kayınvalideme desteklerinden dolayı teşekkür eder, saygılarımı sunarım.

Bu tez çalışmasında yedi yıldır bünyesinde çalıştığım ve tez çalışması için tüm imkânları sunan Elkon Elektrik San. ve Tic. A.Ş. ailesine ayrıca teşekkür ederim.

Bu mesleğe daha çocukluk yıllarımda ilk adımlarımı atarken hiçbir zaman desteklerini esirgemeyen, kısa bir süre önce aramızdan ayrılan bu meslekte ki ilk Hocam Amcam Avni (Atni USTA) ATMACA'yı saygı, rahmet ve minnetle anıyorum.

Bu tez çalışması, Türkiye Bilimsel ve Teknolojik Araştırma Kurumu (TÜBİTAK) tarafından, Teknoloji ve Yenilik Destek Programları Başkanlığı (TEYDEB) 1505 Üniversite-Sanayi İşbirliği Destek Programı kapsamında gerçekleştirilen 5190011 numaralı, "HİBRİT VE ELEKTRİK TAHRİKLİ GEMİLER İÇİN 550 KVA ŞEBEKE EVİRİCİSİNİN TASARIMI VE ÜRETİMİ" başlıklı proje kapsamında desteklenmiştir. Desteklerinden dolayı TÜBİTAK'a teşekkür ederim.

Bu tez çalışması, Güç Elektroniği Teknolojileri Uygulama ve Araştırma Merkezi (GÜÇTEK) tarafından desteklenmiştir. Desteklerinden ötürü GÜÇTEK'e teşekkür ederim.

İÇİNDEKİLER

TEŞEKKÜR	i
İÇİNDEKİLER	ii
KISALTMALAR	vi
SİMGELER	vii
TABLolar LİSTESİ.....	ix
ŞEKİLLER LİSTESİ.....	x
ÖZET.....	xvi
ABSTRACT	xvii

BÖLÜM 1.

GİRİŞ	1
1.1. Giriş	1
1.2. Tezin Amacı	8
1.3. Tezin Kapsamı.....	9

BÖLÜM 2.

MİKRO ŞEBEKELER ve MİKRO ŞEBEKE EVİRİCİLERİ	10
2.1. Giriş	10
2.2. Mikro Şebeke Mimarileri	11
2.2.1. Alternatif akım mikro şebekeler	12
2.2.2. Doğru akım mikro şebekeler	13
2.2.3. Hibrit mikro şebekeler	14
2.3. Mikro Şebekelerin Çalışma Modları	15
2.3.1. Şebeke bağlantılı mikro şebekeler	17
2.3.2. Ada modlu mikro şebekeler	18
2.4. Mikro Şebeke Eviricileri	18
2.4.1. Şebeke oluşturan eviriciler	19
2.4.2. Şebeke bağlantılı eviriciler	20
2.5. Mikro Şebeke Eviricilerinde Hiyerarşik Denetim	22
2.5.1. Sıfırıncı seviye denetim	23

2.5.2. Birinci seviye denetim	24
2.5.3. İkinci seviye denetim	25
2.5.4. Üçüncü seviye denetim	25
2.6. Birinci Seviye Klasik Mikro Şebeke Denetim Yöntemleri	26
2.6.1. Sabit frekans ve gerilim denetimi	26
2.6.2. Sabit güç denetimi.....	27
2.6.3. Droop denetimi	28
2.6.3.1. Frekans-aktif güç (f-P) ve gerilim-reaktif güç (U-Q) droop denetim.....	29
2.6.3.2. Frekans-aktif güç (f-P) ve gerilim-reaktif güç (U-Q) droop denetim.....	30
2.7. Ada Modlu Mikro Şebekelerde Paralel Bağlı Eviricilerin Güç Paylaşımı.....	31
2.7.1. Ada modlu çalışmada droop denetimi	33
2.7.1.1. R-eviricilerde P-E ve Q-f droop denetim.....	35
2.7.1.2. L-eviricilerde P-f ve Q-E droop denetim	38
2.7.1.3. C-eviricilerde P-f ve Q-E droop denetim	40
2.7.2. Sanal empedans yöntemi.....	42
2.7.2.1. dq referans eksenlerde sanal empedans yöntemi	44
2.7.2.2. $\alpha\beta$ referans eksenlerde sanal empedans yöntemi	46

BÖLÜM 3.

EVİRİCİLERİN MODELLENMESİ VE DENETİMİ 48

3.1. Giriş	48
3.2. Referans Eksen Takımları ve Dönüşümleri	49
3.2.1. Clarke dönüşümü	49
3.2.2. Park dönüşümü.....	51
3.2. Üç Fazlı İki Seviyeli Eviricinin Matematiksel Modeli	52
3.3.1. dq eksenlerde evirici matematiksel modeli.....	53
3.3.2. $\alpha\beta$ eksenlerde evirici matematiksel modeli.....	55
3.4. Şebeke Oluşturan Eviricilerin Denetim Yöntemleri	57
3.4.1. dq eksenlerde akım ve gerilim denetimi	57
3.4.1.1. dq eksenlerde PI tabanlı akım denetimi	58
3.4.1.2. dq eksenlerde PI tabanlı gerilim denetimi.....	60
3.4.1.3. Droop tabanlı güç denetimi.....	63
3.4.2. $\alpha\beta$ eksenlerde akım ve gerilim denetimi	64
3.4.2.1. $\alpha\beta$ eksenlerinde PR tabanlı akım denetimi.....	68
3.4.2.2. $\alpha\beta$ eksenlerinde PR tabanlı gerilim denetimi	69
3.5. Darbe Genişlik Ayarı Tabanlı Anahtarlama Yöntemleri	71
3.5.1. Sinüzoidal DGA tabanlı anahtarlama yöntemi	72
3.5.2. Anahtarlama zamanlarının hesaplanması.....	74
3.5.3. Sinüzoidal DGA'nın Modülasyon İndeksi	74
3.5.4. Modülasyon katsayısının ayarı.....	74

BÖLÜM 4.

MİKRO ŞEBEKE EVİRİCİLERİNİN SENKRONİZASYON KONTROL

SİSTEMLERİ.....	76
4.1. Giriş.....	76
4.2. Şebeke Bağlantılı Mikro Şebekelerde Senkronizasyon Kontrol Sistemleri....	77
4.2.1. İkinci dereceden genelleştirilmiş integratör.....	78
4.2.1.1. İkinci dereceden genelleştirilmiş integratörün alçak geçiren filtre benzetimi.....	80
4.2.2. Faz kilitlemeli döngü.....	83
4.2.2.1. Senkron referans eksen tabanlı faz kilitlemeli döngü.....	84
4.2.2.2. İkinci dereceden genelleştirilmiş integratör tabanlı FKD.....	86
4.2.3. Frekans kilitlemeli döngü.....	87
4.2.3.1. SOGI tabanlı frekans kilitlemeli döngü.....	87
4.2.3.2. DSOGI tabanlı frekans kilitlemeli döngü.....	90
4.3. Ada Modlu Mikro Şebeke Eviricilerin Klasik Senkronizasyon Yöntemleri...	93
4.3.1. Klasik faz senkronizasyonu döngüsü.....	94
4.3.1.1. Klasik FSD’de başlangıç değeri bağımlılığı ve doğrusal olmayan dinamikler başlangıç değeri bağımlılığı ve doğrusal olmama durumu.....	95
4.3.2. Klasik gerilim senkronizasyonu döngüsü.....	97
4.3.3. Klasik FSD ile klasik GSD arasındaki çapraz bağlantının ispatı.....	98
4.4. Senkronizasyon Sonrası Eviricilerin Devreye Alınması.....	99

BÖLÜM 5.

ÖNERİLEN SENKRONİZASYON KONTROL SİSTEMİ.....

5.1. Giriş	104
5.2. DSOGI Tabanlı Frekans ve Faz Senkronizasyonu Döngüsü	108
5.2.1. DSOGI tabanlı frekans senkronizasyonu döngüsü	108
5.2.2. DSOGI tabanlı faz senkronizasyonu döngüsü	109
5.3. DSOGI Tabanlı Gerilim Senkronizasyonu Döngüsü	111
5.3.1. FFSD ile GSD arasındaki çapraz bağlantının kaldırılması	112
5.4. Alçak Geçiren Filtre Tabanlı Yumuşak Yol Verme Yöntemi.....	113
5.5. Senkronizasyon Döngüleri Denetimci Tasarımları	115
5.5.1. DSOGI tabanlı frekans senkronizasyonu döngüsü denetimci tasarımı..	116
5.5.2. DSOGI tabanlı faz senkronizasyonu döngüsü denetimci tasarımı.....	116
5.5.3. DSOGI tabanlı gerilim senkronizasyonu döngüsü denetimci tasarımı ..	117

BÖLÜM 6.

DONANIM TASARIMLARI ve DENEYSEL SONUÇLAR.....

6.1. Giriş.....	119
6.2. Senkronizasyon Kontrol Sistemi Simülasyon Çalışmaları.....	119
6.2.1. Frekans senkronizasyonu döngüsü denetimci adım cevapları	119
6.2.2. Faz senkronizasyonu döngüsü denetimci adım cevapları	121
6.2.3. Gerilim senkronizasyonu döngüsü denetimci adım cevapları	123

6.2.4. Dört farklı senaryo ile tüm senkronizasyon ve yumuşak yol verme yönteminin sonuçları	124
6.2.4.1. Senaryo 1: Dengeli doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon	125
6.2.4.2. Senaryo 2: Dengesiz doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon	127
6.2.4.3. Senaryo 3: Dengeli doğrusal AA ve dengeli doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon	129
6.2.4.4. Dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon	131
6.3. Mikro Şebeke Sistemi ve Evirici Donanım Tasarımları	135
6.3.1. Evirici ve LCL filtre donanım tasarımı	135
6.3.1.1. Malzeme seçimleri	135
6.3.1.2. Evirici donanım tasarımı	140
6.3.1.3. Mikro şebeke sistem tasarımı	141
6.3.2. Devreye alma çalışmaları	145
6.3.2.1. Açık çevrim V/f denetimi ile yükleme çalışmaları	145
6.3.2.2. Donanımların sıcaklık testleri	146
6.3.2.3. Şebeke eviricisi adım cevabı sonuçları	149
6.4. Döngüde Donanım Benzetimi Testleri	149
6.4.1. Frekans senkronizasyonu döngüsü denetimci adım cevapları	150
6.4.2. Faz senkronizasyonu döngüsü denetimci adım cevapları	150
6.4.3. Gerilim senkronizasyonu döngüsü denetimci adım cevapları	152
6.5. Gerçek Zamanlı Deneysel Sonuçlar	152
6.5.1. Frekans senkronizasyonu döngüsü denetimci adım cevapları	153
6.5.2. Faz senkronizasyonu döngüsü denetimci adım cevapları	154
6.5.3. Gerilim senkronizasyonu döngüsü denetimci adım cevapları	154
6.5.4. Önerilen senkronizasyon kontrol sistemi ve yumuşak yol verme yönteminin deneysel sonuçları	156
6.5.4.1. Senaryo 1 için mikro şebeke ile senkronizasyon	157
6.5.4.2. Senaryo 2 için mikro şebeke ile senkronizasyon	158
6.5.4.3. Senaryo 3 için mikro şebeke ile senkronizasyon	160
6.5.4.4. Senaryo 4 için mikro şebeke ile senkronizasyon	161
6.6. Mikro Şebeke Ve Eviricilerin Harmonik Testleri	163

BÖLÜM 7.

SONUÇLAR ve ÖNERİLER

6.1. Sonuçlar	168
6.2. Öneriler	173

KAYNAKLAR

KISALTMALAR

AA	: Alternatif Akım
AGF	: Alçak Geçiren Filtre
AKE	: Akım Kaynaklı Evirici
DA	: Doğru Akım
DF	: Döngü Filtresi
DGA	: Darbe Genişlik Ayarı
DSOGI	: Çift İkinci Dereceden Genelleştirilmiş İntegratör
EDS	: Enerji Depolama Sistemi
EMC	: Elektromanyetik Uyumluluk
FD	: Faz Dedektörü
FFSD	: Faz ve Frekans Senkronizasyonu Döngüsü
FKD	: Faz Kilitlemeli Döngü
FRKD	: Frekans Kilitlemeli Döngü
FSD	: Faz Senkronizasyonu Döngüsü
GDO	: Gerilim Denetimli Osilatör
GKE	: Gerilim Kaynaklı Evirici
GSD	: Gerilim Senkronizasyonu Döngüsü
PCC	: Ortak Bağlantı Noktası (Point Of Common Coupling)
PI	: Oransal-İntegratör
PR	: Oransal-Rezonatör
SOGI	: İkinci Dereceden Genelleştirilmiş İntegratör
THD	: Toplam Harmonik Bozunumu

SİMGELER

C	: Filtre kapasitesi (F)
d, q	: dq eksen bileşenleri
E	: Evirici çıkış gerilimi (V)
f	: Frekans (Hz)
I_o	: Çıkış akımı (A)
k_i	: Integratör kazancı
K_{inv}	: Evirici kazancı
k_p	: Oransal kazanç
k_r	: Rezonatör kazancı
L	: Endüktans (H)
L_c	: Filtre endüktansı (H)
m	: DGA modülasyon katsayısı
m_p, n_Q	: Droop denetim katsayıları
P	: Aktif güç (W)
Q	: Reaktif güç (VAr)
R, r	: Direnç (ohm)
T_D	: Zaman gecikmesi (s)
T_{dq}	: Park dönüşüm matrisi
t_s	: Yerleşme zamanı (s)
$T_{\alpha\beta}$	: Clarke dönüşüm matrisi
V_{DA}	: DA bara gerilimi (V)
v_{dq}	: dq eksenlerde gerilim (V)
V_o	: Çıkış gerilimi (V)
$v_{\alpha\beta}$	: $\alpha\beta$ eksenlerde gerilim (V)

X	: Reaktans (ohm)
Z	: Empedans (ohm)
α, β	: $\alpha\beta$ durağan eksen bileşenleri
δ	: Güç açısı (derece)
ζ	: Sönüm katsayısı
θ	: Elektriksel faz açısı (derece)
τ	: Zaman sabiti (s)
Φ	: Empedans açısı (derece)
ϕ	: Faz açısı (derece)
ω	: Açısal frekans (rad/s)

TABLolar LİSTESİ

Tablo 1.1 : IEEE güç kalitesi standartları.	3
Tablo 1.2 : Ada modlu çalışma standartları.	4
Tablo 1.3 : IEC güç kalitesi standartları.....	4
Tablo 1.4 : Güç sistemlerinin uluslararası standartları.....	4
Tablo 2.1 : Mikro şebeke mimarilerinin karşılaştırılması.....	16
Tablo 2.2 : Mikro şebeke eviricilerinin karşılaştırılması.	22
Tablo 2.3 : Mikro şebeke denetim yöntemlerinin karşılaştırılması.....	31
Tablo 5.1 : Denetimcilerin parametreleri.	115
Tablo 5.2 : Güç dönüştürücü parametreleri.....	115
Tablo 6.1 : Senaryo 1 için simülasyon çalışma değerleri.....	133
Tablo 6.2 : Senaryo 2 için simülasyon çalışma değerleri.....	134
Tablo 6.3 : Senaryo 3 için simülasyon çalışma değerleri.....	134
Tablo 6.4 : Senaryo 4 için simülasyon çalışma değerleri.....	134
Tablo 6.5 : Senaryo 1 için gerçek zamanlı çalışma değerleri.	163
Tablo 6.6 : Senaryo 2 için gerçek zamanlı çalışma değerleri..	163
Tablo 6.7 : Senaryo 3 için gerçek zamanlı çalışma değerleri..	163
Tablo 6.8 : Senaryo 4 için gerçek zamanlı çalışma değerleri..	164

ŞEKİLLER LİSTESİ

Şekil 2.1 : Mikro şebekelerin sınıflandırılması.	12
Şekil 2.2 : Örnek bir AA mikro şebeke mimarisi.	12
Şekil 2.3 : Örnek bir DA mikro şebeke mimarisi.	13
Şekil 2.4 : Örnek bir hibrit mikro şebeke mimarisi.	14
Şekil 2.5 : Örnek bir hibrit gemi mikro şebekesi.	15
Şekil 2.6 : Mikro şebekelerin çalışma modlarına göre sınıflandırılması.	17
Şekil 2.7 : Şebeke eviricisi eşdeğer devresi.	20
Şekil 2.8 : Şebeke eviricisi denetim blok diyagramı.	20
Şekil 2.9 : Şebeke bağlantılı evirici eşdeğer devre şemaları: (a) akım kaynağı olarak (şebeke bağlantılı çalışma) (b) gerilim kaynağı olarak (ada modlu çalışma).	21
Şekil 2.10 : Şebeke bağlantılı evirici denetim blok diyagramları: (a) şebeke bağlantılı çalışma (akım kaynağı gibi) (b) ada modlu çalışma (gerilim kaynağı gibi, şebeke eviricisi gibi).	21
Şekil 2.11 : Mikro şebekelerde hiyerarşik denetim sistemleri.	22
Şekil 2.12 : Sıfıncı seviye denetim blok diyagramı.	23
Şekil 2.13 : Birinci seviye denetim yöntemleri.	24
Şekil 2.14 : V/f denetim çalışma prensibi.	26
Şekil 2.15 : V/f denetimi blok diyagramı.	27
Şekil 2.16 : Sabit güç denetimi blok diyagramı.	28
Şekil 2.17 : Droop denetimi çalışma prensibi.	28
Şekil 2.18 : f-P ve U-Q denetim blok diyagramı.	30
Şekil 2.19 : P-f ve Q-U denetim blok diyagramı.	30
Şekil 2.20 : Ada modlu çalışan paralel bağlı iki şebeke eviricisinin devre şeması.	32
Şekil 2.21 : Dağıtım hattındaki güç akışının temsili eşdeğer devre şeması.	33
Şekil 2.22 : R eviricilerde P-E ve Q-f droop denetim karakteristiği.	36
Şekil 2.23 : R-eviricilerde P-E ve Q-f droop denetim blok diyagramı.	37
Şekil 2.24 : L-eviricilerde P-f ve Q-E droop denetim karakteristiği.	38
Şekil 2.25 : L-eviricilerde P-f ve Q-E droop denetim blok diyagramı.	39
Şekil 2.26 : C-eviricilerde P-f ve Q-E droop denetim karakteristiği.	40
Şekil 2.27 : C- eviricilerde P-f ve Q-E droop denetim blok diyagramı.	41
Şekil 2.28 : Mikro şebeke eviricileri için sanal empedans yönteminin devre şeması.	43
Şekil 2.29 : dq referans eksenlerde sanal empedans blok diyagramı.	45
Şekil 2.30 : dq eksenlerinde sanal empedans eklenmiş evirici eşdeğer devreleri.	46
Şekil 2.31 : Droop denetim ve dq tabanlı sanal empedans yönteminin uygulanması.	46
Şekil 2.32 : $\alpha\beta$ durağan eksenlerde sanal empedans blok diyagramı.	47
Şekil 2.33 : Droop denetim ve $\alpha\beta$ tabanlı sanal empedans yönteminin uygulanması.	47
Şekil 3.1 : Üç fazlı iki seviyeli evirici devre şeması.	48

Şekil 3.2 : Clarke dönüşümünün koordinat düzleminde gösterimi.	51
Şekil 3.3 : abc, $\alpha\beta 0$ ve dq0 eksen vektörleri.	52
Şekil 3.4 : Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin elektriksel dq tabanlı eşdeğer devre şeması.	54
Şekil 3.5 : Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin dq tabanlı blok diyagramı.	55
Şekil 3.6 : Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin elektriksel $\alpha\beta$ eşdeğer devresi.	56
Şekil 3.7 : Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin $\alpha\beta$ tabanlı blok diyagramı.	56
Şekil 3.8 : Şebeke eviricisinin dq eksenlerdeki denetim blok diyagramı.	58
Şekil 3.9 : dq eksenlerde akım denetim döngüleri ve dönüştürücü tarafı LCL filtre endüktansı blok diyagramı.	59
Şekil 3.10 : Akım denetimi kapalı döngü blok diyagramı.	60
Şekil 3.11 : dq eksenlerde gerilim denetim döngüleri ve LCL filtre kapasitesi blok diyagramı.	61
Şekil 3.12 : Gerilim denetimi kapalı döngü blok diyagramı.	62
Şekil 3.13 : Şebeke eviricisi PI denetim blok diyagramı.	62
Şekil 3.14 : Droop tabanlı güç denetimi blok diyagramı.	64
Şekil 3.15 : İki seviyeli üç fazlı eviricinin $\alpha\beta$ durağan eksenlerde denetim blok diyagramı.	65
Şekil 3.16 : İdeal PR denetimci blok diyagramı.	66
Şekil 3.17 : İdeal olmayan PR denetimci	66
Şekil 3.18 : İdeal ve ideal olmayan PR denetimci bode diyagramı.	67
Şekil 3.19 : (a) PR denetim blok diyagramı (b) PR denetim frekans cevabı.	68
Şekil 3.20 : $\alpha\beta$ eksenlerinde PR tabanlı akım denetimi blok diyagramı.	69
Şekil 3.21 : $\alpha\beta$ eksenlerinde PR tabanlı gerilim denetimi blok diyagramı.	70
Şekil 3.22 : Şebeke eviricisi PR denetim blok diyagramı.	71
Şekil 3.23 : Üç fazlı iki seviyeli evirici.	72
Şekil 3.24 : Sinüzoidal DGA yöntemi ile kutup ve faz-faz (hat) gerilimlerinin oluşumu.	73
Şekil 3.25 : SDGA için genlik ayarı ile evirici çıkış geriliminin değişimi.	75
Şekil 4.1 : SOGI blok diyagramı.	78
Şekil 4.2 : SOGI Bode diyagramı.	79
Şekil 4.3 : DSOGI ile pozitif ve negatif sıralı bileşenlerin ayrıştırma yönteminin blok diyagramı.	80
Şekil 4.4 : SOGI ve alçak geçiren filtre eşdeğerinin uygulaması.	82
Şekil 4.5 : Temel FKD'nin yapısı.	83
Şekil 4.6 : SRE-FKD'nin döngü yapısı.	84
Şekil 4.7 : (a) Doğrusal olmayan FKD ve (b) doğrusal FKD'nin blok diyagramı.	85
Şekil 4.8 : Üç fazlı bir DSOGI-FKD'nin blok diyagramı.	86
Şekil 4.9 : SOGI-FRKD'nin blok diyagramı.	87
Şekil 4.10 : DSOGI-FRKD'nin blok diyagramı.	90
Şekil 4.11 : Dengesizlik durumunda genlik normalizasyonu ile DSOGI-FRKD'nin blok diyagramı.	92
Şekil 4.12 : Doğrusal SOGI-FRKD'nin blok diyagramı.	92
Şekil 4.13 : Klasik FSD'nin blok diyagramı.	94
Şekil 4.14 : Doğrusallaştırılmış FSD'nin blok diyagramı.	96

Şekil 4.15 : Klasik FSD'nin blok diyagramı.....	97
Şekil 4.16 : Doğrusallaştırılmış GSD'nin blok diyagramı.....	98
Şekil 4.17 : Eş zamanlı çalışan klasik FSD ve GSD'nin çalışma anında gerilim çökmesi ve frekanstaki salınım.....	99
Şekil 4.18 : Klasik senkronizasyon kontrol sistemi ve şebeke oluşturan evirici kapalı çevrim denetimi.....	101
Şekil 4.19 : Senkronizasyon şalteri kapatıldıktan sonra: (a) aktif güçler (b) reaktif güçler.....	102
Şekil 4.20 : Senkronizasyon şalteri kapatıldıktan sonra başlangıç akımları.....	103
Şekil 5.1 : Önerilen senkronizasyon kontrol sistemi ve şebeke oluşturan evirici kapalı çevrim denetimi (Droop denetim, iç ve dış döngüler dahil).....	106
Şekil 5.2 : Önerilen senkronizasyon kontrol sistemi için DSOGI-FFSD blok diyagramı.....	107
Şekil 5.3 : Önerilen senkronizasyon kontrol sistemi için DSOGI-GSD blok diyagramı.....	107
Şekil 5.4 : DSOGI ve PSBA'nın blok diyagramı.....	108
Şekil 5.5 : DSOGI-FRSD'nin doğrusallaştırılmış modeli.....	109
Şekil 5.6 : DSOGI-FSD'nin doğrusallaştırılmış modeli.....	111
Şekil 5.7 : Önerilen sıralı algoritmik yöntemin akış şeması.....	112
Şekil 5.8 : DSOGI-GSD'nin doğrusallaştırılmış modeli.....	113
Şekil 5.9 : Alçak geçiren filtre tabanlı yumuşak devreye alma yöntemi blok diyagramı.....	114
Şekil 5.10 : Denklem 5.15 için DSOGI-FRSD'nin (a) adım cevabı (b) bode diyagramı.....	116
Şekil 5.11 : Denklem 5.16 için DSOGI-FSD: (a) adım cevabı (b) bode diyagramı.....	117
Şekil 5.12 : Denklem 5.17 için DSOGI-GSD: (a) adım cevabı (b) bode diyagramı.....	118
Şekil 6.1 : İki eviricili ada modlu mikro şebeke simülasyonu.....	120
Şekil 6.2 : DSOGI-FRSD için denetimci tasarımının simülasyon doğrulaması: (a,c) 50 Hz'den 45 Hz'e değişim (c,d) 50 Hz'den 55 Hz'e değişim.....	121
Şekil 6.3 : DSOGI-FSD için denetimci tasarımının simülasyon doğrulaması: (a,c) 45 derece (b,d) 90 derece (e,g) 135 derece (f,h) 180 derece.....	122
Şekil 6.4 : DSOGI-GSD için denetimci tasarımının simülasyon doğrulaması (a,c) 230 Vrms'ten 100 Vrms'e (b,d) 230 Vrms'ten 200 Vrms'e (e,f) 230 Vrms'ten 300 Vrms'e.....	123
Şekil 6.5 : DG ₁ ve mikro şebekenin üç fazlı gerilimleri: (a) boşta DG ₁ çıkış gerilimleri (b) senaryo 1 için mikro şebeke gerilimleri (c) senaryo 2 için mikro şebeke gerilimleri (d) senaryo 3 için mikro şebeke gerilimleri (e) senaryo 4 için mikro şebeke gerilimleri.....	124
Şekil 6.6 : Senaryo 1 için dengeli doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	126
Şekil 6.7 : Senaryo 1 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.....	126
Şekil 6.8 : Senaryo 1 için AGF-YDA ile DG ₁ ve DG ₂ 'nin üç fazlı akımların simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.....	127
Şekil 6.9 : Senaryo 2 için dengesiz doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	128

Şekil 6.10 : Senaryo 2 için AGF-YDA için DG ₁ ve DG ₂ 'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.	128
Şekil 6.11 : Senaryo 2 için AGF-YDA ile DG ₁ ve DG ₂ 'nin üç fazlı akımların simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.....	129
Şekil 6.12 : Senaryo 3 için dengeli doğrusal ve dengeli doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	130
Şekil 6.13 : Senaryo 3 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.	130
Şekil 6.14 : Senaryo 3 için AGF-YDA ile DG ₁ ve DG ₂ 'nin üç fazlı akımların simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.....	131
Şekil 6.15 : Senaryo 4'teki dengeli doğrusal ve dengesiz doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	132
Şekil 6.16 : Senaryo 4 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.	132
Şekil 6.17 : Senaryo 4 için AGF-YDA ile DG ₁ ve DG ₂ 'nin üç fazlı akımların simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.....	133
Şekil 6.18 : IGBT parametreleri.....	136
Şekil 6.19 : Diyot ve parametreleri.	136
Şekil 6.20 : Gate sürücü ve parametreleri.	137
Şekil 6.21 : Akım sensörü.	137
Şekil 6.22 : Gerilim Sensörü.	137
Şekil 6.23 : AA, DA ve Snubber kapasiteleri.	138
Şekil 6.24 : Anahtarlama Kaybı ve Sıcaklık Analizi.	138
Şekil 6.25 : Soğutma plakası ve çalışma grafikleri.	139
Şekil 6.26 : Toroid Nüve Bilgileri ve Tasarımı.....	139
Şekil 6.27 : NUCLEO-F767ZI genel görünümü ve özellikleri.....	140
Şekil 6.28 : Evirici donanımı 3D tasarımı ve uygulaması.	140
Şekil 6.29 : (a) Ana kart PCB tasarımı (b) DSP ile gate sürücü arasındaki yalıtım devresi.	141
Şekil 6.30 : Doğrultucu 3D tasarımı ve uygulaması.	141
Şekil 6.31 : 20 kW soğutma kapasitesine sahip Chiller.	142
Şekil 6.32 : AA yük bankası ve DA yük bankası.....	142
Şekil 6.33 : Güç transformatörü.	143
Şekil 6.34 : 3D pano tasarımı.	143
Şekil 6.35 : Soğutma sistemi ve yük bankaları.	143
Şekil 6.36 : Mikro şebeke sistemi ve şebeke eviricilerinin deneysel kurulumunun detaylı görünümü.....	144
Şekil 6.37 : (a) Boşta çalışmada çıkış gerilimleri (b) 25 kW kademesinde çıkış gerilimleri (ölçülen değer 18 kW) (c) 25kW + 50kW kademesinde çıkış gerilimleri (ölçülen değer 50.8 kW) (d) 25kW + 50kW +	

25kVAr kademesinde çıkış gerilimleri (ölçülen değer 50kW + 14.75 kVAr) (e) 25kW + 50kW + 25kVAr + 50 kVAr kademesinde çıkış gerilimleri (ölçülen değer 48 kW + 45.63 kVar).....	145
Şekil 6.38 : (a) Boşta çalışmada çıkış akımları ve DA bara gerilimi (b) 25 kW kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 18 kW) (c) 25kW + 50kW kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 50.8 kW) (d) 25kW + 50kW + 25kVAr kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 50kW + 14.75 kVAr) (e) 25kW + 50kW + 25kVAr + 50 kVAr kademesinde çıkış akımları ve DA bara gerilimi (48 kW + 45.63 kVar).	146
Şekil 6.39 : Şebeke Analizörü Ölçümleri.....	147
Şekil 6.40 : IGBT soğutucu sıcaklığı.	147
Şekil 6.41 : IGBT kılıf sıcaklığı.....	148
Şekil 6.42 : Gate sürücü sıcaklığı.....	148
Şekil 6.43 : (a) DSP'nin sıcaklığı (b) DA bara kapasite sıcaklığı.....	148
Şekil 6.44 : (a) LCL filtre reaktör sıcaklığı (b) LCL filtre kondansatör sıcaklığı....	148
Şekil 6.45 : Fazlar arası gerilimin tepe değeri için (a) 0 V–100 V adım cevap (b) 100 V–156 V adım cevap (c) 156 V–0 V adım cevap (d) 0 V–50 V adım cevap (e) 50 V–156 V adım cevap (f) 156 V–50 V adım cevap..	149
Şekil 6.46 : Döngüde donanım benzetimi test düzeneği.	150
Şekil 6.47 : DSOGI-FRSD için denetimci tasarımının CHIL ile doğrulaması: (a, c) 50 Hz'den 45 Hz'e değişim (b, d) 50 Hz'den 55 Hz'e değişim.....	151
Şekil 6.48 : DSOGI-FSD için denetimci tasarımının CHIL ile doğrulaması: (a,b) 45 derece (c,d) 90 derece (e,f) 135 derece (g,h) 180 derece.	151
Şekil 6.49 : DSOGI-GSD için denetimci tasarımının CHIL ile doğrulaması: (a,c) 230 V'tan 100 V'a (b,d) 230 V'tan 200 V'a (e,f) 230 V'tan 200 V'a..	153
Şekil 6.50 : DSOGI-FRSD için denetimci tasarımının gerçek zamanlı test ile doğrulaması: (a,c) 50 Hz'den 45 Hz'e adım değişim (c,d) 50 Hz'den 55 Hz'e adım değişim.	154
Şekil 6.51 : DSOGI-FSD için denetimci tasarımının gerçek zamanlı test ile doğrulaması: (a,c) 45 derece (b,d) 90 derece (e,g) 135 derece (f,h) 180 derece.	155
Şekil 6.52 : DSOGI-GSD için denetimci tasarımının gerçek zamanlı test ile doğrulaması: (a,c) 230 V'tan 100 V'a (b,d) 230 V'tan 200 V'a (e,f) 230 230 V'tan 200 V'a.....	156
Şekil 6.53 : DG ₁ ve mikro şebekenin çıkış gerilimlerinin gerçek zamanlı test sonuçları: (a) DG ₁ 'in boşta çalışma çıkış gerilimleri (b) senaryo 1 için mikro şebeke çıkış gerilimleri (c) senaryo 2 için mikro şebeke çıkış gerilimleri (d) senaryo 3 için mikro şebeke çıkış gerilimleri (e) senaryo 4 için mikro şebeke çıkış gerilimleri.....	157
Şekil 6.54 : Senaryo 1'deki dengeli doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	158
Şekil 6.55 : Senaryo 1 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.....	158
Şekil 6.56 : Senaryo 2'dek dengesiz doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	159
Şekil 6.57 : Senaryo 2'deki AGF-YDA için DG ₁ ve DG ₂ 'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı...	159

Şekil 6.58 : Senaryo 3'teki dengeli doğrusal ve debgeli doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.....	160
Şekil 6.59 : Senaryo 3 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.....	161
Şekil 6.60 : Senaryo 4'teki dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.	162
Şekil 6.61 : Senaryo 4 için AGF-YDA ile DG ₁ ve DG ₂ 'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.....	162
Şekil 6.62 : DG ₁ tekli çalışma sonuçları (a) güç değerleri (b) dengesizlik değeri (c) çıkış akımı dalga şekli (d) çıkış akımı fazör değerleri (e) çıkış gerilimi dalga şekli (f) çıkış gerilimi fazör değerleri (g) çıkış gerilimi THD değeri (h) çıkış akımı THD değeri.	164
Şekil 6.63 : DG ₂ tekli çalışma sonuçları (a) güç değerleri (b) dengesizlik değeri (c) çıkış akımı dalga şekli (d) çıkış akımı fazör değerleri (e) çıkış gerilimi dalga şekli (f) çıkış gerilimi fazör değerleri (g) çıkış gerilimi THD değeri (h) çıkış akımı THD değeri.	165
Şekil 6.64 : Paralel çalışan iki eviricinin beslediği mikro şebeke çalışma sonuçları (a) toplam güç değerleri (b) mikro şebeke dengesizlik değeri (c) eviricilerin toplam akımının dalga şekli (d) eviricilerin toplam akımının fazör değerleri (e) mikro şebeke geriliminin dalga şekli (f) mikro şebeke geriliminin fazör değerleri (g) mikro şebeke geriliminin THD değeri (h) eviricilerin toplam akımının THD değeri.....	166

ŞEBEKE OLUŞTURAN EVİRİCİLERİN KONTROLÜ VE MİKRO ŞEBEKELER İÇİN DOĞRUSAL BİR SENKRONİZASYON KONTROL SİSTEMİ TASARIMI

ÖZET

Mikro şebeke, genellikle belirli bir bölge veya tesis için enerji üretebilen, dağıtabilen ve kontrol edebilen bağımsız bir enerji sistemidir. Yenilenebilir enerji kaynaklarından, depolama sistemlerinden ve jeneratörlerden üretilen gücü, mikro şebekeye aktarmak şebeke eviricileri kullanılmaktadır. Şebeke eviricileri, yüksek çıkış gücü değerlerine ulaşabilmek için yük altında veya yüksüz durumda senkronize edilerek, frekansları ile gerilimlerinin sırasıyla faz ve genlik olarak olduğu durumda paralel çalışmaktadırlar. Senkronizasyonda gerilim ve frekans farklılıkları şebeke eviricilerinin zarar görmesine ve gerilim ile frekans kararsızlığına neden olabilmektedir. Bu nedenle senkronizasyon kontrol sistemlerinin, bu problemlerin üstesinden gelerek kesintisiz çalışmayı garanti etmesi gerekmektedir. Mikro şebekelerde klasik senkronizasyon kontrol sistemleri çoğunlukla faz senkronizasyonu döngüsü ve gerilim senkronizasyonu döngüsünden oluşmaktadır. Bu döngülerde başlangıç koşullarına bağımlılık, sınırlı çalışma koşulları ve eş zamanlı çalışmada faz senkronizasyonu döngüsü ve gerilim senkronizasyonu döngüsü arasında birbirinin dinamiklerini etkileyen bir çapraz bağlantı bulunmaktadır. Bu problemler, mikro şebekedeki dengesiz ve doğrusal olmayan yükler, senkronizasyonun doğrusal olmayan dinamiklere sahip olmasına ve döngülerde kullanılan doğrusal denetimciler kararlılık problemlerine neden olmaktadır. Bu tez çalışması, ada modlu mikro şebekelerdeki şebeke eviricilerinin doğrusal olmayan senkronizasyon kontrol sistemlerinin problemlerine odaklanmaktadır. Başlangıç koşullarına olan bağımlılık, sınırlı çalışma koşulları, çapraz bağlantının getirdiği doğrusal olmayan karakteristik ve doğrusal denetimcilerin doğrusal olmayan sistemde kullanılmasına yönelik problemlerin üstesinden gelmek için yeni bir senkronizasyon kontrol sistemi önerilmiştir. Önerilen senkronizasyon kontrol sisteminde frekans ve faz senkronizasyonu döngüsü, gerilim senkronizasyonu döngüsü ve yumuşak devreye alma yöntemi bulunmaktadır. Doğrusal olmayan klasik senkronizasyon kontrol sistemleri, önerilen yöntemle yukarıda belirtilen sorunların aşılmasıyla doğrusallaştırılmaktadır. Analitik olarak tasarlanmış kontrolörlerin simülasyon, C-HIL ve gerçek zamanlı deneysel testlerle %100 uyumlu olduğu kanıtlanmıştır.

Anahtar Kelimeler: Devreye alma, döngüde donanım benzetimi (HIL), mikro şebeke eviricileri, ada modlu mikro şebekeler, yük paylaşımı, mikro şebekeler, senkronizasyon.

CONTROL OF GRID FORMING INVERTERS AND DESIGN OF A LINEAR SYNCHRONIZATION CONTROL SYSTEM FOR MICROGRIDS

ABSTRACT

A microgrid is an independent energy system that generates, distributes, and controls energy for a specific region or facility. It can source energy from renewable energy sources, storage systems, and generators. Power generated by distributed energy sources is transferred to the microgrid through grid inverters. Grid inverters work in parallel by synchronizing under load or in no-load conditions to reach high output power values. Synchronization involves aligning the frequencies and voltages of parallel-connected grid inverters to be in phase and amplitude, respectively. Voltage and frequency differences during synchronization can damage grid inverters and voltage and frequency instability. Therefore, synchronization control systems must overcome these issues to ensure uninterrupted operation. In conventional synchronization control systems for microgrids, classical phase synchronization cycles and classical voltage synchronization cycles are commonly employed. In these loops, there is a dependence on initial conditions, limited operating conditions, and a cross-connection between the phase synchronization cycle and the voltage synchronization cycle in simultaneous operation, affecting each other's dynamics. These problems cause the classical synchronization control system to have nonlinear dynamics and the stability and performance problems of the linear controllers used in these loops. The presence of unbalanced and nonlinear loads in microgrids further contributes to the highly nonlinear characteristics of the synchronization control system. This thesis addresses the problems associated with nonlinear synchronization control systems for grid inverters in islanded microgrids. A new synchronization control system is proposed to overcome initial conditions, limited operating conditions, cross-couplings, and linear controllers in a nonlinear system. The proposed synchronization control system includes frequency and phase synchronization cycles, voltage synchronization cycles, and a soft start-up method. Nonlinear classical synchronization control systems are linearized by overcoming the abovementioned problems with the proposed method. Synchronization is performed in a wide (full) operating range, and it is possible to design analytically linear controllers. Analytically designed controllers have been proven to be 100% compatible with simulation, C-HIL, and real-time experimental testing.

Keywords: Commissioning, hardware-in-the-loop (HIL), grid-forming inverter, islanded-microgrid, load sharing, microgrid, synchronization

BÖLÜM 1. GİRİŞ

1.1. Giriş

Dünya enerji sektöründe yaşanan hızlı değişimler sonucu yenilenebilir enerji kaynaklarına olan talep giderek artmaktadır [1,2]. Bu talebin sonucu olarak klasik güç şebekelerinin yerini dağıtık enerji kaynakları ve mikro şebekelerin aldığı gözlemlenmektedir [3]. Klasik güç şebekelerinde güvenilirlik, yenilenebilir enerji kaynaklarının ve enerji depolama sistemlerinin entegrasyonundaki zorluk, operasyonel verimliliğin düşük olması, güç kalitesi problemleri gibi dezavantajlar bulunmaktadır [4]. Bu dezavantajların üstesinden gelmek için mikro şebekeler, dağıtık bir enerji üretim ve tüketim modeli olarak sıklıkla tercih edilmektedir [5,6]. Mikro şebekeler, küçük bir bölgeyi (genellikle bir gemi, bina veya uzak mesafe yaşam alanları) besleyen, bağımsız bir elektrik şebeke sistemi olarak da tanımlanmaktadır [1]. Bir mikro şebeke yenilenebilir enerji kaynakları, yakıt hücreleri, enerji depolama sistemleri, DA/DA dönüştürücüler, DA/AA dönüştürücüler, doğrusal ve doğrusal olmayan yüklerden oluşmaktadır [7].

Farklı mikro şebeke mimarileri ve denetim yöntemleri, mikro şebekelerin performansını ve kararlılığını etkilemektedir. Mikro şebekelerde şebeke bağlantılı (on-grid, grid-connected) ve ada modlu (off-grid, islanded) olmak üzere iki ayrı çalışma şekli bulunmaktadır [4,7,8]. Şebeke bağlantılı çalışma için bir ana şebeke bağlantısı yani sonsuz bara gereklidir [9,10]. Ada modlu çalışma ise ana şebeke bağlantısı bulunmadan bir mikro şebeke oluşturularak elde edilmektedir [9,11]. Gerçek zamanlı kontrol açısından bakıldığında şebeke bağlantılı çalışma ve ada modlu çalışma birbirinden çok farklıdır, farklı çalışma stratejileri ve yöntemleri içermektedir. Şebeke bağlantılı çalışmada, ana şebeke hem gerilim hem de frekans için sabit bir referans oluşturmaktadır [4,12]. Ada modlu çalışmada ise gerilim ve frekans referansları mikro şebeke için belirli toleranslarda doğrudan oluşturulmaktadır [13,14]. Mikro şebekenin,

şebeke bağlantılı çalışmanın aksine ada modlu çalışmadaki denetim yöntemlerinin amacı, gerilimin ve frekansın standartlar kapsamında belirlenen belirli toleranslar içinde kararlı şekilde kalmasını sağlamak ve enerji sürekliliğini sağlayabilmektir [15].

Mikro şebekelerin en önemli özelliklerinden biri elektrik şebekesinden bağımsız çalışabilmesidir [5,7]. Bu durum elektrik kesintilerine veya doğal afetlere maruz kalmış bölgelerde hayat kurtarıcı bir özelliktir. Mikro şebekelerin bağımsız çalışma özelliği, enerji kaynakları için bazı zorluklar ortaya çıkarmaktadır. Özellikle, bir mikro şebeke içindeki enerji kaynaklarının senkronizasyonu gibi önemli bir sorunun üstesinden gelmek gerekmektedir [16,17]. Senkronizasyon, bir mikro şebeke içindeki farklı enerji kaynaklarının doğru şekilde çalışması için en önemli konulardan biridir [18,19]. Mikro şebeke içindeki her bir enerji kaynağı, üreteceği enerjiyi belirli bir gerilim ve frekansta mikro şebeke yüklerine aktarmaktadır. Bu nedenle, enerji kaynaklarının doğru şekilde senkronize edilmemesi durumunda, gerilim ve frekans farklılıkları ortaya çıkabilmektedir. Bu farklılıklar, mikro şebeke eviricilerinin zarar görmesine veya çalışmamasına ve gerilim ile frekans kararsızlığına neden olabilmektedir [20,21].

Mikro şebekedeki rüzgâr ve güneş enerjisi gibi dağıtık enerji kaynakları tarafından üretilen gücün herhangi bir güç dönüştürücü olmaksızın mikro şebekeye bağlanmaları ve güç aktarmaları genellikle mümkün olmamaktadır [5,7]. Bu nedenle dağıtık enerji kaynakları tarafından üretilen çıkış gücünü kontrol etmek, üretilen bu gücü yüklere ve ana şebekeye ya da mikro şebekeye aktarmak için güç dönüştürücüleri gerekmektedir. Bu donanımlar mikro şebeke eviricileri (grid-forming inverter, grid-following inverter, grid-supporting inverter, islanded converter) olarak tanımlanmaktadır [22]. Ayrıca mikro şebekelerdeki enerji kaynakları arasındaki senkronizasyon, mikro şebeke eviricileri üzerinden gerçekleştirilmektedir [23,24]. Bu eviriciler, bir mikro şebeke içindeki farklı enerji kaynaklarını bir araya getirerek tek bir ortak bağlantı noktasında (Point Of Common Coupling-PCC) senkronize etmektedir [25,26]. Böylece enerji kaynakları arasındaki gerilim ve frekans farklılıkları ortadan kalkmakta ve mikro şebeke eviricileri güç akışı gerekliliklerini karşılayacak şekilde çalışmaktadır [26,27]. Ayrıca enerji kaynakları tüketim taleplerine uygun bir şekilde senkronize edilip devreye alınarak mikro şebeke verimli hale getirilmektedir. Mikro şebeke eviricileri üç ana kategoriye ayrılmaktadır. Bunlar şebeke oluşturan (grid-forming), şebeke besleyen (grid-feeding) ve şebeke destekleyen (grid-supporting) eviricilerdir [28,29,30]. Bu tez

çalışması şebeke oluşturan eviricilere odaklanmaktadır, bu yüzden tezin geri kalan kısımlarının tamamında şebeke oluşturan eviriciler, şebeke eviricisi (islanded converter) olarak ifade edilmiştir.

Şebeke eviricileri genellikle farklı enerji kaynaklarına sahip mikro şebekelerde, rüzgâr enerjisi santrallerinde, güneş enerjisi santrallerinde ve hibrit dağıtım sistemlerinde kullanılmaktadır [31,32,33,34]. Şebeke eviricilerin oluşturduğu elektrik şebekesinin gerilimi, frekansı, Toplam Harmonik Bozunumu (THD) ve Elektromanyetik Uyumluluk (EMC) değerleri, IEEE.std.1547-2003, IEC60092-101, Lloyd's Register, STANAG1008, American Bureau of Shipping 2008, IEEE Std.45-2002, IEEE Std.1547.4, IEEE Std. 1547-2018, EN/IEC 61800-3:2018 ve EN 50160:2010 gibi standartlara uymak zorundadır [35,36]. Bunun için şebeke eviricileri, öncelikle paralel çalışan eviricilerin senkronizasyonunu, aktif ve reaktif güç paylaşımını, kararlı çalışmasını vb. durumlarda kesintisiz çalışmayı garanti etmesi gerekmektedir [37,38,39].

Mikro şebekeler ile ilgili bazı IEEE ve IEC standartları Tablo 1.1, Tablo 1.2 ve Tablo 1.3'te verilmektedir [40,41,42]. Bu tablolardaki bazı standartların gerilim, frekans ve THD olarak detayları da Tablo 1.4'te verilmektedir [5].

Tablo 1.1: IEEE güç kalitesi standartları.

Standart	Standard başlığı
IEEE 519-1992	Recommended Practices and Requirements for Harmonic Control in Electric Power Systems
IEEE 493-2007	Recommended practice for the design of reliable industrial and commercial power systems
IEEE 1100-1999	Recommended practice for powering and grounding sensitive electronic equipment
IEEE 1100-1999	Recommend practice for monitoring electric power quality
IEEE 1250-1995	Guide for service to equipment sensitive to momentary voltage disturbances
IEEE 1346-1998	Recommended practice for evaluating electric power System compatibility with electronics process equipment
IEEE 1453-2004	Recommended Practice for Measurement and Limits of Voltage Fluctuations and Associated Light Flicker on AC Power Systems
IEEE 1564	Voltage sag indices

Şebeke eviricileri genellikle yüksek çıkış güç değerlerine ulaşabilmek için birbirlerine paralel bağlanmaktadır [2,3,43]. Endüstriyel mikro şebeke uygulamasına bir örnek olarak, 550 kW'lık iki şebeke eviricisi, tam elektrikli veya hibrit feribotlarda paralel

olarak çalışmaktadırlar. Paralel çalışmada ilk olarak, şebeke eviricileri yüklenme koşulları altında veya yüksüz durumda yani boşta birbirleriyle senkronize edilebilmektedir. Senkronizasyonun sağlanması, paralel bağlı şebeke eviricilerinin frekansları ile gerilimlerinin sırasıyla faz ve genlik bağlamında aynı olması anlamına gelmektedir [44,45,46].

Tablo 1.2: Ada modlu çalışma standartları.

Standart	Standard Başlığı
IEEE 929-2000	IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) Systems
IEEE 1547-2003	Standard for Interconnecting Distributed Resources with Electric Power Systems
UL 1741-1999	Standard for Inverters, Converters, and Controllers for Use in Independent Power Systems

Tablo 1.3: IEC güç kalitesi standartları.

Standart	Standard başlığı
IEC 61000-2-8	Voltage dips and short interruptions on public electric systems with statistical measurement results
IEC 61000-3-2	Limits for harmonic current emissions (equipment input current ≤ 16 A per phase)
IEC 61000-3-4	Limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16 A
IEC 61000-3-6	Assessment of emission limits for the connection of distorting installations to MV, HV and EHV power systems
IEC 61000-3-7	Assessment of emission limits for the connection of fluctuating installations to MV, HV and EHV power systems
IEC 61000-4-7	General guide on harmonics and inter-harmonics measurements and instrumentation, for power supply systems and equipment connected thereto
IEC 61000-4-11	Voltage dips, short interruptions and voltage variations immunity tests
IEC 61000-4-15	Flicker meter - Functional and design specifications
IEC 61000-4-30	Power quality measurement methods

Tablo 1.4: Güç sistemlerinin uluslararası standartları.

Standartlar	Gerilim Toleransı (%)	Frekans Toleransı (%)	THD Değeri (%)
IEC60092-101	+6, -10 ± 20 (1.5s)	± 5 ± 10 (5s)	5 (40.)
Lloyd's Register	+6, -10 ± 20 (1.5s)	± 5 ± 10 (5s)	8 (50.)
STANAG1008	± 5 ± 16 (2s)	± 3 ± 4 (2s)	5 (40.)
American Bureau of Shipping 2008	+6, -10 ± 20 (1.5s)	± 5 ± 10 (5s)	5 (40.)
IEEE Std.45-2002	± 5 ± 16 (2s)	± 3 ± 4 (2s)	5 (40.)
EN 50160:2010	± 10	± 1	8

Şebeke eviricilerinin birbirlerine senkronize olabilmesi için gerçek zamanlı geri beslemeli kontrol sistemleri kullanılır. Bu senkronizasyon kontrol sistemlerinin iç kontrol döngüleriyle uyumlu olması gereklidir. Senkronizasyon kontrol sistemleri için literatürde bazı yöntemler önerilmektedir. Bu senkronizasyon yöntemleri literatürde çoğunlukla klasik Faz Kilitlemeli Döngü (FKD) tabanlı [12,47,48,49,50,51], geliştirilmiş FKD tabanlı [8,16,24,52,53,54,55], haberleşmeye dayalı [10,56,57,58,59,60,61] ve droop denetim tabanlı (otonom) [46,62,63,64,65] gibi farklı senkronizasyon yöntemleri olarak sunulmaktadır. Bu yöntemler, ada modlu ve şebeke bağlantılı çalışma şekillerine göre farklılık göstermektedir. Şebeke bağlantılı çalışmada mikro şebekenin frekansı ve gerilimi, ana şebekenin frekansını ve gerilimini takip etmektedir, değişimler çok küçük bir aralıkta olmaktadır [51,67,68,69]. Ada modlu çalışmada ani yük değişimlerinde droop denetimi nedeniyle frekans, faz ve gerilim değerleri yüklemeye ile sürekli olarak şebeke bağlantılı çalışmaya göre çok daha geniş bir aralıkta değişmektedir [14,70,71,72,73].

Ada modlu mikro şebekelerde klasik senkronizasyon kontrol sistemleri çoğunlukla klasik faz senkronizasyonu döngüsü ve klasik gerilim senkronizasyonu döngüsünden oluşmaktadır [14,61,73]. Klasik faz senkronizasyonu döngüsünde faz açısı denetlenerek faz senkronizasyonu yapılmaktadır. Klasik faz senkronizasyonu döngüsünün başlangıç koşullarına bağlı olarak çalışma şekli de değişmektedir [48,74]. Her bir başlangıç faz açısı farkında farklı döngü cevapları gözlenmektedir. Sınırlı çalışma koşullarında (bazı varsayımlar ile) yapılan analizler ve tasarımlar ile başlangıç koşullarına olan bağımlılıktan kaçınılmaya çalışılmaktadır [48,52]. Çünkü bu sınırlı çalışma bölgesinde başlangıç koşulu ihmal edilecek kadar düşük olmaktadır [75]. Kısaca faz açısı farkı, dar veya sınırlı bir çalışma alanında, klasik faz senkronizasyonu döngüsünün cevabını etkilemeyecek değerlerde seçilebilmektedir [62]. Bu çalışma şeklinde faz farkının sürekli denetlenmesi gerekmektedir. Ancak güç talebinin hızlı karşılanmasının önemli olduğu mikro şebekelerde herhangi bir anda senkronizasyonun hemen başlaması gerekir, bu yüzden senkronize olacak iki eviricinin arasındaki faz farkının belirli bir değer aralığına düşmesini beklemek güç talebinin hızlı karşılanmasında bir dezavantaj olabilir. Ayrıca, güç talebi karşılanamadığında, kararsızlık oluşabileceği unutulmamalıdır [22,23].

Klasik senkronizasyon kontrol sistemlerinde, eş zamanlı çalışan klasik faz senkronizasyonu döngüsü ile klasik gerilim senkronizasyonu döngüsü arasında birbirinin dinamiklerini etkileyen bir çapraz bağlantı bulunmaktadır [55,76]. Bu çapraz bağlantı eş zamanlı çalışmanın getirdiği bir sonuç olarak açıklanmaktadır [77,78]. Çünkü klasik senkronizasyon sistemlerinde eş zamanlı çalışma, sınırlı çalışma koşulları altında mümkün olmaktadır. Ancak yine de çapraz bağlantı etkisinden dolayı gerilimde ve frekansta çökmeler veya osilasyonlu davranışlar meydana gelebilmektedir Bu durum da mikro şebeke yüklerine zarar verebilmektedir [23,63,65,67,74]. Hem başlangıç koşullarına olan bağımlılık hem de eş zamanlı çalışmada ki çapraz bağlantı, klasik senkronizasyon kontrol sisteminin doğrusal olmayan bir sisteme dönüşmesine neden olmaktadır [47,79,80,81,82,83]. Literatürde yapılan çalışmalarda, yukarıda ifade edilen doğrusal olmayan dinamiklerin durumunu ortadan kaldıracak yöntemler üzerine yapılmış detaylı bir çalışma bulunmamaktadır [14,47,68,73,79,80,81,82,83,84,85]. Literatürdeki çalışmalarda, doğrusal olmayan karakteristik davranış göz ardı edilerek ve sınırlı çalışma koşullarında doğrusal olduğu kabul edilerek klasik faz senkronizasyonu döngüsü ve klasik gerilim senkronizasyonu döngüsünde doğrusal Proportional-Integral (PI) denetimler kullanılmaktadır [14,68,73,84,85]. Doğrusal olmayan sistemlerin, varsayımlar ile doğrusal sistem olduğu kabul edilse bile, kullanılan doğrusal denetimcilerin geniş (tam) çalışma aralığında analitik olarak tasarlanması mümkün olmadığı için yapılan PI denetimci tasarımları ile senkronizasyon sisteminin kararlılığını ve performansını ön görmek de mümkün değildir. Bu şartlar altında, senkronizasyon kontrol sisteminin kararsızlığa gidebileceği önemli bir ihtimaldir [86,87,88].

Literatürde mikro şebeke eviricilerini devreye almak için yumuşak başlatma, yumuşak devreye alma ve siyah başlatma (black-start) gibi farklı yöntemler önerilmiştir [45,58,89,90,91,92]. Ada modlu mikro şebekelerde, şebeke eviricilerini devreye almak için senkronizasyon döngülerinin tamamlanması gereklidir. Ada modlu mikro şebekeler genellikle zayıf şebekelerdir. Şebeke eviricileri, senkronizasyon ve devreye alma işlemlerinde bu yüzden zayıf şebeke koşullarında çalışmaktadır [18,82,93]. Bu nedenle senkronizasyon sonrasında yükleme koşullarında oluşabilecek problemlerin aşılması kritik öneme sahiptir [98]. Herhangi bir senkronizasyon algoritması tamamlandıktan sonra senkronizasyon şalteri mekanik olarak kapatılmalıdır. Bu işlem sırasında, şebeke eviricileri yüksüz durumda olsa bile, daha önce de belirtildiği gibi osilasyonlu

davranışlar ortaya çıkabilmektedir [33,95] ve bu durum mikro şebeke yüklerine zarar verebilmektedir [49,66,67,94,96,97]. Ayrıca, en kötü durumda kararsızlık gerçekleşebilir, kararsızlık olarak eviriciler arasında kısa devre anlamına gelir ve yüksek genlikli kısa devre akımları oluşmasıyla kesiciler devreyi açar [24,44,92,92,94].

Mikro şebekelerde, şebeke eviricileri genellikle yükleme altında birbirleriyle senkronize edilirler. Bu yükler dengesiz ve doğrusal olmayan yükler olabilmektedir. Bu durum ise senkronizasyon kontrol sisteminin yüksek düzeyde doğrusal olmayan karakteristiğe sahip olması anlamına gelmektedir. Sonuç olarak, senkronizasyon sırasında mikro şebeke yüklerine zarar verebilecek ani yüksek genlikli başlangıç akımları, osilasyonlu davranışlar, gerilim ile frekans çökmeleri ve kararsızlık meydana gelebilir. Bu tez çalışmasında, ada modlu mikro şebekelerde kullanılan, şebeke eviricilerinin senkronizasyon problemlerine odaklanılmıştır. Yukarıda bahsedilen başlangıç koşullarına olan bağımlılık, sınırlı çalışma koşulları, çapraz bağlantının getirdiği doğrusal olmayan karakteristik ve doğrusal denetimcilerin doğrusal olmayan sistemde kullanılmasına yönelik problemlerin üstesinden gelmek için yeni bir senkronizasyon kontrol sistemi ve yeni bir devreye alma yöntemi önerilmektedir. Önerilen senkronizasyon kontrol sisteminde frekans ve faz senkronizasyon döngüsü, gerilim senkronizasyon döngüsü ve bir yumuşak devreye alma yöntemi bulunmaktadır. Önerilen senkronizasyon kontrol sistemi doğrusal bir karakteristiğe sahip olduğu için doğrusal denetimcileri analitik olarak tasarlamak mümkün olmaktadır. Böylece, tam (geniş) çalışma aralığında senkronizasyon mümkün hale gelmektedir.

Sonuç olarak literatürde ve endüstriyel uygulamalarda doğrusal olmayan senkronizasyon kontrol sistemleri bulunmaktadır. Ayrıca dengesiz ve doğrusal olmayan yüklemelerde geniş çalışma aralığında çalışan bir senkronizasyon kontrol yöntemine rastlanılmamıştır. Bu tez çalışmasında bu eksiklikler ve yukarıda detaylı olarak ele alınan problemlerin çözümlerine yönelik çalışmalara katkı sağlayacak özgün bir doğrusal senkronizasyon kontrol sistemi önerilmiştir. Bu doğrusal senkronizasyon kontrol sistemi ile birlikte teoriden uygulamaya kadar analitik tabanlı tasarımlar yapılarak sistemin tam çalışma aralığında ve tüm yük çeşitleri altında senkronizasyon kontrol sistemini kararlı tutacak ve yüksek performanslı çalışmasını sağlayacak doğrusal denetimi tasarımlarını yapabilmek, kararlılığı ve performansı ön görebilmek de mümkün hale gelmiştir.

1.2. Tezin Amacı

Bu tez çalışmasının amacı, şebeke eviricilerinin kullanıldığı ada modlu mikro şebekelerdeki senkronizasyon problemlerine odaklanmak ve senkronizasyon performansını iyileştirebilecek denetim yöntemleri önermektir. Ada modlu mikro şebekelerde, ana şebeke bağlantısı olmadığı için, şebeke eviricilerinin senkronize edilmesi mikro şebekenin zayıf karakteristiği ve değişen gerilim-frekans referansları yüzünden daha zor ve karmaşıktır. Bu durumda, şebeke eviricilerinin kararlı bir şekilde çalışabilmesi için senkronize olacağı mikro şebekeye veya paralel çalışacağı diğer eviriciye osilasyonsuz ve yüksek performanslı şekilde senkronize edilmesi gerekmektedir. Bu eviricilerin senkronizasyon sürecinde frekans, faz ve gerilim senkronizasyon döngüleri yer almaktadır.

Yapılan literatür araştırmalarında şebeke eviricilerinin senkronizasyon kontrol sistemlerinde tespit edilen başlangıç değeri (faz açısı farkı) bağımlılığı, senkronizasyon döngüleri arasında görülen çapraz bağlantının yol açtığı doğrusal olmayan karakteristik, sınırlı çalışma koşulları altında çalışma ve doğrusal varsayımların geniş çalışma aralığında yol açtığı sorunlar tespit edilmiştir. Bu problemlerin çözümüne yönelik tez kapsamında yeni bir senkronizasyon kontrol sistemi ve yeni bir yumuşak devreye alma yöntemi önerilmiştir.

Simülasyon çalışmalarına paralel olarak Denetimcili Döngüde Donanım Benzetimi (C-HIL) ve gerçek zamanlı çalışma testleri yapılmıştır. C-HIL doğrulaması için bir TI LAUNCHXL-F28379D mikro denetimcili Typhoon-HIL402 döngüde donanım benzetimi donanımı kullanılmıştır. Gerçek zamanlı çalışma için 550 kVA gücünde iki evirici tasarımı ve senkronizasyon için dağıtım panosu yapılarak devreye alınmıştır. Ayrıca 125 kVA gücünde bir mikro şebeke oluşturularak senkronizasyon kontrol sisteminin yük ve senkronizasyon testleri yapılmıştır. Denetimci tasarımlarının doğrulanmasının yanı sıra dört farklı senaryo ile farklı mikro şebeke yüklenme koşulları altında önerilen kontrol sisteminin tasarımının kararlılık testleri ve performansı doğrulanmıştır. Analitik olarak tasarlanan doğrusal denetimcilerin ve doğrusallaştırılmış senkronizasyon kontrol sisteminin tasarım amaçlarıyla %100 uyumlu olduğu testler sonucunda elde edilmiştir.

1.3. Tezin Kapsamı

Tezin kapsamı şebeke eviricilerinin, ada modlu mikro şebekeye bağlı çalışması ile sınırlıdır. Birinci bölümde mikro şebekelerin genel tanımı, şebeke eviricileri ile kullanım alanları ve şebeke eviricilerinin senkronizasyonu hakkında özet bilgiler verilmiştir. Ayrıca tez kapsamındaki teorik konular da ele alınmıştır.

İkinci bölümde mikro şebekeler, mikro şebeke mimarileri, mikro şebeke çalışma modları, mikro şebekelerde kullanılan şebeke oluşturan (yani şebeke eviricisi), şebeke besleyen ve şebeke destekleyen eviriciler detaylı olarak incelenmiştir. Bu şebeke eviricilerinin hiyerarşik denetim yöntemleri ve paralel çalışma yöntemleri ele alınmıştır.

Üçüncü bölümde üç fazlı iki seviyeli eviricilerin matematiksel modeli elde edilmiştir ve ilgili eksen dönüşüm yöntemleri anlatılmıştır. Ayrıca bu eviricilerin denetimi ve denetimci tasarımına yönelik yapılan çalışmalar analiz edilmiştir. PI ile Proportional-Resonant (PR) kontrol yöntemleri ve darbe genişlik ayarı yöntemi detaylı olarak açıklanmıştır.

Dördüncü bölümde şebeke eviricilerinin senkronizasyon kontrol yöntemleri ve problemleri ele alınmıştır. Ayrıca literatürde kullanılan senkronizasyon yöntemleri analiz edilmiştir.

Beşinci bölümde önerilen senkronizasyon kontrol sistemi ve önerilen devreye alma yöntemi ele alınmıştır. Senkronizasyon kontrol döngülerinin modellenmesi, doğrusallaştırılması ve denetimcilerin tasarımları da analiz edilmiştir.

Altıncı bölümde ada modlu mikro şebeke ve şebeke eviricilerinin donanım tasarımları detaylı olarak açıklanmıştır. Simülasyon ortamında ve deneysel düzeneklerde, önerilen senkronizasyon kontrol sistemleri ve önerilen devreye alma yöntemleri test edilmiştir. Gerçek zamanlı testlerde 70 kVA'da senkronizasyon başarı ile yapılmıştır. Denetimcilerin tasarım hedefleri ile uygulama sonuçlarının %100 uyumlu olduğu gözlemlenmiştir. Belirlenen dört senaryoya ait grafikler çalışmada verilmiş olup doğrusallaştırılmış senkronizasyon kontrol sisteminin en kötü senaryo olan dengesiz ve doğrusal olmayan yüklerde bile başarılı senkronizasyon elde edilmiştir. Tüm bu testlerde denetimcilerin kararlı bölge için yapılan tasarımları deneysel uygulama ile doğrulanmıştır. Son bölümde sonuçlar ve öneriler sunulmuştur.

BÖLÜM 2. MİKRO ŞEBEKELER ve MİKRO ŞEBEKE EVİRİCİLERİ

2.1. Giriş

Mikro şebekeler, ana şebekeden bağımsız çalışabilme yeteneği sayesinde, güç kesintilerine ve güç dalgalanmalarına karşı ana şebekeden bağımsız olan enerji kaynakları sayesinde daha dayanıklı ve kararlı çalışmaktadırlar. Mikro şebekelerin kararlı ve yüksek performanslı bir şekilde çalışabilmesi için kullanım amacına, güç kapasitesine ve çalışma koşullarına uygun eviricilerin kullanılması gereklidir. Eviriciler günümüzde birçok endüstriyel uygulama için vazgeçilmez bir unsur haline gelmiştir. Çeşitli sürücülerinin denetiminde ve güç sistemlerinde eviriciler yaygın olarak kullanılmaktadır. Ayrıca batarya sistemleri, yakıt hücreleri, güneş pilleri, rüzgâr türbinlerinin bir yükü veya şebekeyi beslediği sistemlerde de eviriciler ile sıkça karşılaşmaktadır. Bu sebepten dolayı eviriciler üzerinde yapılan çalışmalar giderek artmakta ve buna bağlı olarak evirici teknolojisi hızlı bir şekilde gelişmektedir. Mikro şebeke eviricileri, üç ana kategoride sınıflandırılmaktadır. Bunlar şebeke oluşturan, şebeke besleyen ve şebeke destekleyen eviricilerdir [98-103].

Şebeke oluşturan eviriciler yani şebeke eviricileri, mikro şebekelerde ana şebekeden bağımsız olarak çalışmaktadırlar. Şebeke bağlantılı (on-grid) eviricilerden farklı olarak şebeke eviricileri gerilimi, frekansı ve faz açısını denetleyerek ada modlu çalışabilmektedirler ve bu şekilde bütün şebeke eviricileri paralel ve gerçek zamanlı çalışabilmektedir. Böylece belirli bir frekans ve gerilimde doğrudan mikro şebekeyi oluşturabilir ve mikro şebekeye enerji kaynaklarından mikro şebeke yüklerine güç aktarabilirler. Şebeke besleyen eviriciler, bir mikro şebekeye güç aktarmak için çalışırlar ve şebekeye bağlı olarak çalışmak zorundadırlar. Bağlı olduğu şebekenin frekans ve gerilim değerlerini izlerler ve sadece güç ihtiyacı durumunda güç aktarmak için kullanılırlar. Şebeke destekleyen eviriciler, mikro şebekenin ana şebekeden gelen

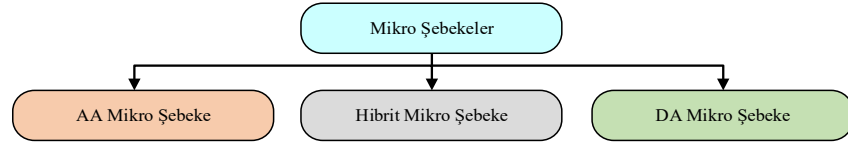
bozunumlara karşı korunmasına destek olmaktadır. Bu eviriciler gerilim ve frekans dalgalanmalarını izlemektedirler ve diğer eviricilerle koordinasyon halinde çalışarak, mikro şebekenin kararlı bir şekilde çalışmasını sağlamaktadırlar [100,101,104].

Mikro şebekelerin doğru bir şekilde koordinasyonu kararlılığı ve güvenilirliği artırmak için önemlidir. Bu nedenle mikro şebeke koordinasyonu üzerine birçok araştırma yapılmaktadır. Mikro şebeke koordinasyonu ile ilgili araştırmalar, farklı mikro şebeke mimarileri ve denetim yöntemleri üzerine odaklanmaktadır. Bu araştırmalar, AA mikro şebekelerde kullanılan gerilim ile akım denetimi ve DA mikro şebekelerde kullanılan gerilim denetimi, akım denetimi veya güç denetimi gibi denetim yöntemlerini ele almaktadırlar. Ayrıca, mikro şebekelerde kullanılan enerji depolama sistemleri gibi çeşitli bileşenlerin denetimi de araştırılmaktadır.

Enerji depolama sistemlerinin doğru bir şekilde denetlenmesi, mikro şebekenin güvenilirliğini ve performansını artırmak için önemlidir. Ayrıca AA ve DA mikro şebekelerin ortak bir kombinasyonu olarak hibrit mikro şebekeler de vardır. Yapılan bütün çalışmalar ve araştırmalar, mikro şebekelerin performansını ve güvenilirliğini artırmak için yeni yöntemler ve teknikler geliştirmeyi amaçlamaktadır [5,105].

2.2. Mikro Şebeke Mimarileri

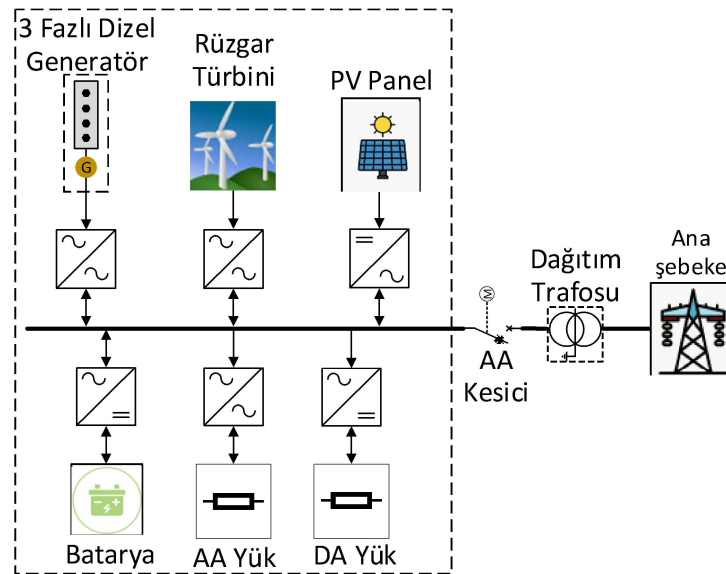
Mikro şebekelerin temel mimari tipleri üç ana kategoride AA mikro şebekeler, DA mikro şebekeler ve hibrit mikro şebekeler olarak sınıflandırılmaktadır. AA mikro şebekeler, ana şebekeden bağımsız olarak da çalışabilen ve yalnızca alternatif akımı kullanabilen mikro şebekelerdir. DA mikro şebekeler ise, doğru akımı kullanabilen ve yenilenebilir enerji kaynaklarından gelen DA gücü, enerji depolama sistemleri ve yükler arasında paylaştıran mikro şebekelerdir. DA mikro şebekelerinin en önemli avantajı dağıtık enerji kaynakları, enerji depolama sistemleri ve yükler arasındaki dönüşümlerden kaynaklanan kayıpları azaltabilmesidir. Hibrit mikro şebekeler ise AA ve DA mikro şebekelerin tasarım amaçlarına uygun ortak kombinasyonundan oluşmaktadır. Şekil 2.1’de mikro şebekelerin sınıflandırılması verilmektedir [103-106].



Şekil 2.1: Mikro şebekelerin sınıflandırılması.

2.2.1. Alternatif akım mikro şebekeler

Alternatif akım mikro şebeke, mikro şebeke çalışma modlarını kontrol eden bir AA kesici ve bir ortak bağlantı noktası aracılığıyla ana şebekeye bağlanır veya ada modlu da çalışabilir. DA/AA dönüştürücü DA gerilim üreten enerji kaynaklarını, AA bara sistemine bağlayabilmek için kullanılmaktadır. Şekil 2.2’de, ortak bağlantı noktası aracılığıyla ana şebekeye bağlı örnek bir alternatif akım mikro şebeke mimarisi verilmektedir. Alternatif akım mikro şebekelerin kurulumu ve ana şebekeye bağlanması doğru akım mikro şebekelere göre kolaydır. Çünkü bu şebekelerdeki sistemler üzerine uzun yıllardır çalışılmaktadır ve endüstride kullanıma uygun birçok ürün bulunmaktadır. Generatörler, enerji depolama sistemleri ve yüklerin ana şebeke ile gerilim ve frekans bakımından uyumlu olması gerekmektedir. Transformatörler sayesinde gerilim dönüşümü ve regülasyonu kolay olmaktadır. Ayrıca, AA sistemler için kısa devre koruma sistemleri literatürde ve endüstride yaygın olarak kullanılmaktadır.

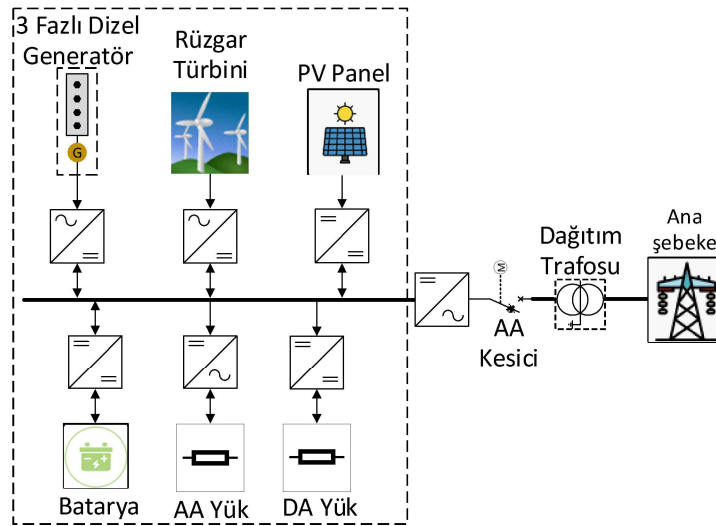


Şekil 2.2: Örnek bir AA mikro şebeke mimarisi.

Alternatif akım mikro şebekelerin temel eksikliği, dağıtık enerji kaynaklarını ana şebeke ile entegre etmek için çok sayıda evirici gerektirmesidir ve güç şebekesinde harmonik bir etki ortaya çıkarmasıdır. Ayrıca AA gerilimin genliği, frekansı ve faz açısı gibi parametrelerin mevcut ana şebeke ile senkronize edilmesi gerekmektedir. Bu tür mikro şebekeler genellikle bir doğru akım mikro şebekelerden daha fazla güç dönüştürücüsüne ihtiyaç duymaktadır. Bu durum hem verimliliği düşürmekte hem de kurulum maliyetini artırmaktadır [105,107,108,109].

2.2.2. Doğru akım mikro şebekeler

Doğru akım mikro şebekeler, DA ana bara sistemine sahip olduğu için dağıtık enerji kaynakları, AA mikro şebekelere göre mikro şebekeye daha kolay ve verimli bir şekilde entegre edilebilmektedir. Doğru akım mikro şebekeler, ana şebekeye bir DA/AA dönüştürücü ve bir ortak bağlantı noktası aracılığıyla bağlanabilmektedir veya ada modlu da çalışabilmektedir. Mikro şebekede enerji depolama sistemleri, güneş panelleri, elektrikli araçlar ve DA yükler de DA/DA dönüştürücüler aracılığıyla DA ana barasına bağlanmaktadır. Rüzgâr türbinleri ve dizel generatörlerle birlikte AA yükleri, AA/DA dönüştürücüler aracılığıyla DA barasına bağlanmaktadır. Şekil 2.3'te örnek bir doğru akım mikro şebeke mimarisi gösterilmektedir.



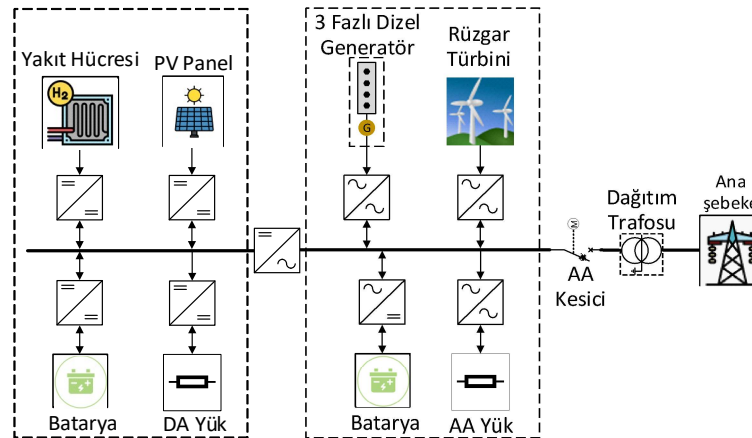
Şekil 2.3: Örnek bir DA mikro şebeke mimarisi.

Doğru akım mikro şebekeler, alternatif akım mikro şebekelere göre daha az bileşen ve dönüşüme sahip oldukları için verimleri yüksektir. Ayrıca bileşen sayısının az olması

maliyeti de olumlu yönde etkilemektedir. Diğer önemli bir özellik ise mikro şebekede bulunan sistemlerin alternatif akım mikro şebekelerdeki gibi karmaşık senkronizasyon sistemlerine ihtiyaç duymamasıdır. DA ana bara gerilimi ile aynı genliğe sahip tüm güç üreticileri ve tüketicileri doğrudan DA ana baraya bağlanabilmektedir. Bununla birlikte, günümüzde kullanılan yüklerin büyük çoğunluğunun AA yükü olması bu şebekenin yaygın kullanımını kısıtlamaktadır [105,108,110,111].

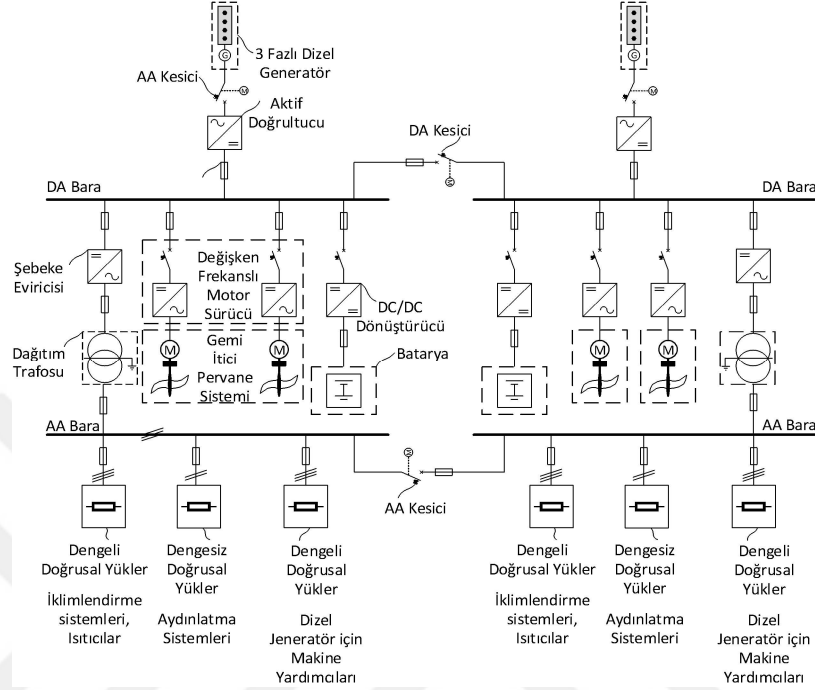
2.2.3. Hibrit mikro şebekeler

Hibrit mikro şebekeler, alternatif akım mikro şebeke ve doğru akım mikro şebekenin kombinasyonundan oluşmaktadır. Bu mimaride alternatif akım mikro şebeke doğrudan ortak bağlantı noktasına bağlıdır. Bununla birlikte doğru akım mikro şebeke, AA bara sistemine bağlanmak için çift yönlü bir DA/AA dönüştürücüye ihtiyaç duymaktadır. Mikro şebekenin kararlı bir şekilde çalışmasını sağlamak için her dönüştürücüde ana şebeke ve ana baralar arasında denetim sistemi gereklidir. Alternatif akım mikro şebeke ve doğru akım mikro şebeke arasındaki DA bara gerilimini ve güç akışını denetlemek ve düzenlemek için de çift yönlü dönüştürücüler kullanılmaktadır. Hibrit mikro şebekelerin ana avantajı dağıtık enerji kaynaklarının, senkronizasyon gerektirmemesi nedeniyle DA ana baraya kolayca bağlanabilmesidir. Şekil 2.4'te örnek bir hibrit mikro şebeke mimarisi verilmektedir [105,112,113,114]. Ayrıca hem DA hem de AA yüklerin esnek şekilde beslenebilmesi ve mikro şebekeye bağlanabilmesi, bu mikro şebeke türünün yaygınlaşmasını sağlamaktadır. Günümüzde gemi mikro şebekesi için yaygınlaşan şebeke türü bu mikro şebeke türüdür [115,116].



Şekil 2.4: Örnek bir hibrit mikro şebeke mimarisi.

Şekil 2.5’te örnek bir gemi mikro şebekesinde bulunan temel bileşenler yer almaktadır. Bu yapı hibrit bir mikro şebeke yapısına örnek teşkil etmektedir.



Şekil 2.5: Örnek bir hibrit gemi mikro şebekesi.

Şekil 2.5’teki mikro şebeke mimarisinde enerji kaynağı olarak dizel generatörler ve batarya sistemleri bulunmaktadır. DA ana bara ve AA ana bara olmak üzere iki dağıtım sistemi bulunmaktadır. Gemi itki sistemleri ve enerji kaynakları ortak bir DA barada çalışmaktadırlar. AA ana bara ise gemi içerisinde bulunan diğer tüm doğrusal ve doğrusal olmayan yükleri beslemektedir, bunlar otel yüklerdir [115,116].

Tablo 2.1’de, farklı mikro şebeke mimarilerinin avantajları ve dezavantajları karşılaştırmalı olarak verilmektedir [108,109,111,113,114,117].

2.3. Mikro Şebekelerin Çalışma Modları

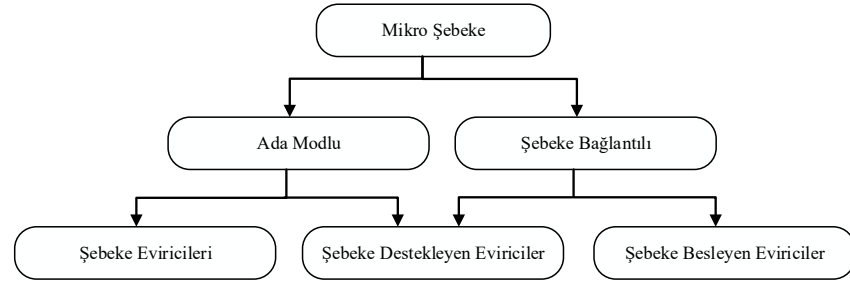
Güvenilir ve kaliteli güç sistemi konusunda mikro şebekelerden en iyi şekilde yararlanabilmek ancak bir denetim sistemi ile sağlanabilmektedir. Mikro şebekelerin iki farklı çalışma modu vardır. Bunlar şebeke bağlantılı (on-grid) ve ada modlu (off-grid) çalışmadır. Şebeke bağlantılı mikro şebekelerde, mikro şebeke sistemi ana şebekeye bağlıdır ve mikro şebeke ile ana şebeke arasında iki yönlü bir güç akışı bulunmaktadır.

Ada modlu mikro şebekeler ise ana şebekeden bağımsız olarak çalışmaktadır, bağımsız enerji kaynakları ve depolama sistemleri kullanarak enerji üretmekte ve yükleri beslemektedirler [118,119,120].

Tablo 2.1: Mikro şebeke mimarilerinin karşılaştırılması.

Mimari Tipi	Dönüştürücü gereksinimleri	Avantajlar	Dezavantajlar
AA Mikro Şebeke	AA yükler, ana dağıtım barasına doğrudan bağlanabilir. DA yükler için AA/DA dönüştürücü gerekir.	AA yüklerin kolay entegrasyonu.	Dağıtık enerji kaynaklarını mikro şebekeye entegre etmek için çok sayıda dönüştürücü gereklidir. Senkronizasyon gereklidir.
DA Mikro Şebeke	Enerji depolama sistemleri DA ana baraya bağlanmak için DA/DA dönüştürücüye ihtiyaç duymaktadır. AA yükler ve güç kaynakları için DA/AA eviriciler gerekir.	DA yüklerin kolay entegrasyonu. Senkronizasyon gerekmez.	AA yüklere uygun değildir. AA yükler için dönüştürücü gereklidir.
Hibrit Mikro Şebeke	AA dağıtımda transformatör kullanılır. DA dağıtımda bir DA/DA dönüştürücü kullanılır.	Hem AA hem de DA yükler ana baraya kolayca bağlanabilir. En verimli çalışma.	Yönetilmesi ve denetlenmesi zordur. Karmaşık mimariye sahiptir. Senkronizasyon gereklidir.

Bir mikro şebekede denetim sistemleri tarafından denetlenmesi gereken değişkenler gerilim, frekans, aktif ve reaktif güçtür. Şebeke bağlantılı çalışmada, mikro şebekenin gerilimi ve frekansı ana şebeke tarafından sağlanmaktadır. Bu durumda denetlenen sadece dağıtık enerji kaynaklarından üretilen aktif ve reaktif güçlerdir. Mikro şebekede üretilen fazla güç ana şebekeye aktarılmaktadır veya mikro şebekedeki güç ihtiyacı durumunda ana şebekeden güç transferi yapılabilir. Ada modlu mikro şebeke ise kendi gerilim ve frekans denetiminden sorumludur. Bu çalışma şekli şebeke bağlantılı çalışma şeklinden daha zordur. Bu çalışma şeklinde denetim sistemi, aktif ve reaktif güç taleplerindeki ani değişikliklerle karşılaştığı çalışma boyunca gerilim kalitesini, frekans değişimini belirli toleranslar içinde tutmak zorundadır. Bu çalışma şeklindeki denetim sistemi çok önemlidir, çünkü dağıtık enerji kaynaklarının gerilimlerinin genliği, faz açısı ve/veya frekansındaki bir anlık uyumsuzluk bile ortak bağlantı noktasında güç kalitesi problemlerine neden olabilir. Şekil 2.6'da mikro şebekelerin çalışma modları verilmektedir. Bu güç kalitesi problemleri, güç akışında, gerilimde, frekansta osilasyonlu davranışlar olarak özetlenebilir [5,120,121,122,123].



Şekil 2.6: Mikro şebekelerin çalışma modlarına göre sınıflandırılması.

2.3.1. Şebeke bağlantılı mikro şebekeler

Şebeke bağlantılı mikro şebekeler, ana elektrik şebekesine bağlıdır ve ihtiyaç duyulduğunda ana şebeke ile paralel olarak çalışabilmektedir. Bu çalışma modu, mikro şebekenin ihtiyaç duyduğu enerjiyi ana şebekeden alabileceği ve aynı zamanda ürettiği fazla enerjiyi ana şebekeye aktarabileceği anlamına gelmektedir. Ayrıca, şebeke bağlantılı mikro şebekeler, ana şebekeye fazla enerji sağlayarak, ana şebeke yükünü azaltarak ve enerji kaynaklarının daha etkin kullanılmasını sağlayarak daha sürdürülebilir bir enerji sistemi için önemli bir rol oynamaktadırlar. Şebeke bağlantılı bir mikro şebeke, mikro şebeke kaynaklarının yanı sıra ana şebekenin genelindeki enerji tedarikine de katkıda bulunabilmektedir. Bir mikro şebeke, ana şebekenin bir parçası olduğunda, diğer tüketicilerin tüketim taleplerine göre enerji üretebilir ve talep yönetimi yapabilirler. Şebeke bağlantılı mikro şebekeler, ana şebeke kesintileri sırasında da faydalı olmaktadır. Ana şebekenin tamamı için yedek güç kaynağı görevi görebilir ve kesintiler sırasında ana şebekeye elektrik sağlamaya devam edebilmektedir. Ayrıca, ana şebekenin kararlılığını artırmak için frekans ve gerilim desteği de yapabilmektedir [107,116].

Mikro şebekeler, şebeke bağlantılı çalışmada ana şebekenin durumunu izleyen ve mikro şebekenin üretim ile tüketimini buna göre ayarlayan bir enerji yönetim sistemi de olabilir. Bu sistemler, mikro şebekenin daha verimli çalışmasına ve ana şebekenin kararlılığının korunmasına yardımcı olmaktadır. Şebeke bağlantılı çalışmada hem gerilim hem de frekans ana elektrik şebekesinin gerilim ve frekansı ile aynıdır ve mikro şebekedeki tüm güç dönüştürücüleri ana şebekeyi takip eden modda çalışmaktadır. Mikro şebekelerin şebeke bağlantılı çalışmada şebeke eviricileri, güç akışını sağlamak için bir akım kaynağı gibi çalışmaktadırlar [105,124].

2.3.2. Ada modlu mikro şebekeler

Ada modlu mikro şebekeler, şebekeden bağımsız olarak çalışabilirler ve bağımsız enerji kaynaklarını ve depolama sistemlerini kullanarak enerji üretebilirler. Ada modlu çalışma, mikro şebekenin şebekeden ayrılmış bir durumda olduğu ve kendi kendine enerji ürettiği yöntemdir. Bu yöntem ana şebekenin kullanılmadığı acil durumlarda, afet durumlarında, ana şebeke kapasitesinin yetersiz olduğu zamanlarda veya şebeke kesintileri sırasında elektrik sağlamak için kullanılmaktadır. Bu sayede, mikro şebeke kullanıcıları daha güvenli bir enerji kaynağına sahip olmaktadır [95,123].

Ada modlu mikro şebekeler, çeşitli enerji kaynaklarını kullanarak enerji üretebilirler. Örneğin, güneş enerjisi, rüzgâr enerjisi, hidroelektrik enerji ve biyokütle gibi kaynaklardan enerji elde edebilirler. Enerji depolama sistemleri, ada modlu mikro şebekelerin enerji üretimini optimize etmelerine yardımcı olmaktadır ve gerektiğinde enerji sağlamaktadırlar. Ada modlu mikro şebeke ihtiyaç duyulan enerjiyi üretir ve tüketicilere sağlar, ancak ana şebekeden enerji alamaz veya ana şebekeye enerji veremez. Sonuç olarak ada modlu mikro şebekelerde eviriciler, mikro şebekenin gerilim ve frekansını düzenlemekten de sorumludur. Bu durumda ada modlu mikro şebekedeki eviriciler bir gerilim kaynağı olarak çalışmaktadır [121,122]. Bu tür şebekeler için gemi ve uçaklar örnek verilebilir. Şebeke bağlantılı mikro şebekeler, ana şebekede meydana gelen bir enerji kesintisi durumunda ada modlu çalışmaya geçiş yaparak yüklere aktarılan enerjinin kesintisiz olmasını sağlayabilirler [125].

2.4. Mikro Şebeke Eviricileri

Mikro şebeke eviricileri çalışma durumlarına göre şebeke bağlantılı evirici ve şebeke oluşturan evirici (şebeke eviricisi) olarak ikiye ayrılır [7,102,124]. Genel olarak, mikro şebeke eviricileri anahtarlama harmoniklerini azaltmak için bir çıkış L, LC veya LCL filtresine sahiptir. Yüksek performansları ve küçük boyutları nedeniyle, LC veya LCL filtreleri daha yaygın olarak kullanılmaktadırlar [5, 109]. Mikro şebeke eviricileri kaskad denetim sistemine sahiptir ve iç akım döngüsü filtre endüktansı akımını denetlerken, dış döngü ise klasik olarak DA bara gerilimi veya çıkış güçlerini denetleyerek uygun referans akımları üretmek üzere tasarlanmaktadır. Mikro şebeke eviricileri denetiminde model tabanlı denetim, kayan kip denetimi, PI ve PR denetim

yöntemleri gibi çeşitli yöntemler bulunmaktadır. Şebeke destekleyen ve şebeke besleyen eviriciler kısaca şebeke bağlantılı eviriciler olarak adlandırılır. Şebeke bağlantılı eviriciler, ana şebekede meydana gelen enerji kesintilerinde, ada modlu çalışma şekline geçiş yaparak yüklere aktarılan enerjinin sürekliliğini sağlayabilirler [27,98,126,127].

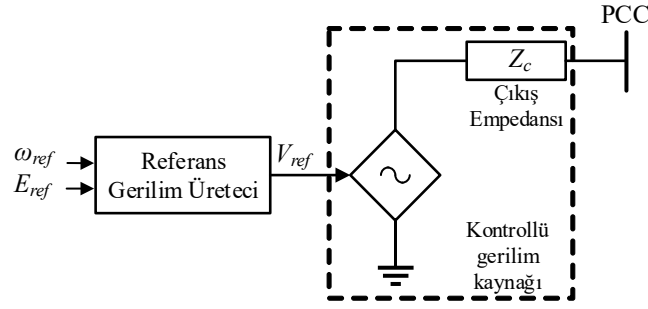
2.4.1. Şebeke oluşturan eviriciler

Daha önceden de ifade edildiği gibi kısaca şebeke eviricileri (şebeke oluşturan eviriciler), dağıtık enerji kaynaklarından gelen DA enerjinin AA enerjiye dönüştürülmesinde kullanılmaktadır. Şebeke eviricilerinin tasarımı ve çalışması, elektrik enerjisi dönüşümünün Ohm kanunu, Kirchhoff kanunları gibi temel prensipleri ile Fourier dönüşümü, Laplace dönüşümü ve matematiksel denklemlere dayanmaktadır. Şebeke eviricileri bir güç dönüştürücüsü ve çıkış filtresinden oluşmaktadır. Şebeke eviricilerinin doğru çalışması, denetim sistemlerinin doğru bir şekilde tasarlanması ve uygulanması ile mümkündür [128,129,130].

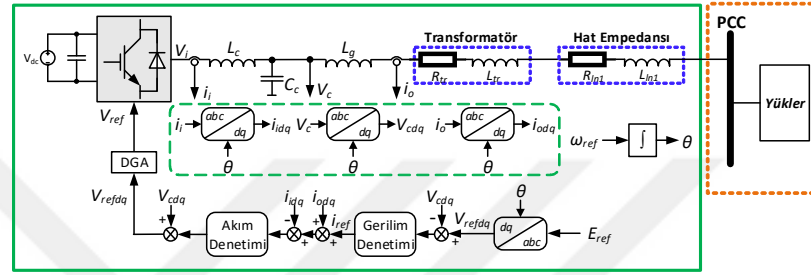
Şebeke eviricisi, ortak bağlantı noktasında düşük seri çıkış empedansı ile kontrollü ideal bir gerilim kaynağı olarak modellenmektedir. Şebeke eviricisi eşdeğer devre şeması Şekil 2.7’de verilmektedir. Gerilimin genliği ve frekansı genellikle aktif ve reaktif çıkış güçlerine bağlı olacak şekilde değişmektedir [127,131,132].

Şebeke eviricilerinin denetim amacı, ana şebeke bağlantısı olmayan bir mikro şebekede gerilimi ve frekansı belirli toleranslar içinde tutmaktır. Şebeke eviricileri düşük çıkış empedansları ile karakterize edilirler ve bu nedenle diğer eviricilerle paralel olarak çalışmak için oldukça hassas bir senkronizasyon kontrol sistemine ihtiyaç duyarlar. Genellikle DA tarafında yüksek enerji kapasitelerine sahiptir, bu nedenle yük değişimlerine kısa sürede cevap verebilmektedirler. Bir şebeke eviricisinin iç akım döngüsü ve dış gerilim döngüsü dahil olmak üzere blok diyagramı Şekil 2.8’de verilmektedir. Şekil 2.7’de şebeke eviricileri, çıkış filtre kapasitesinin gerilimini kontrol ederek denetim hedeflerine ulaşmaktadır [5,7,27,132,133,134].

Şekil 2.7, Şekil 2.8, Şekil 2.9 ve Şekil 2.10’da verilen eşdeğer devre şema ve blok diyagramlardaki tüm parametreler sonraki bölümlerde detaylı olarak açıklanmaktadır. Bu yüzden burada sadece şekiller verilmiştir ve detaylar için Bölüm 3 ve Bölüm 4’te detaylı açıklamalar yapılmaktadır.



Şekil 2.7: Şebeke eviricisi eşdeğer devresi.

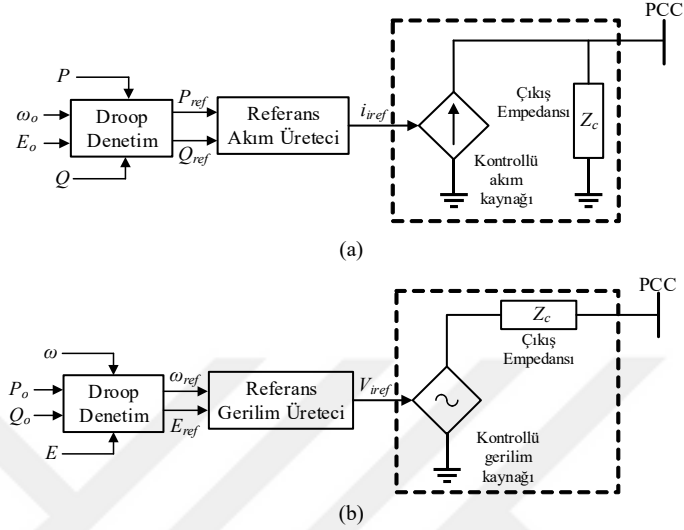


Şekil 2.8: Şebeke eviricisi denetim blok diyagramı.

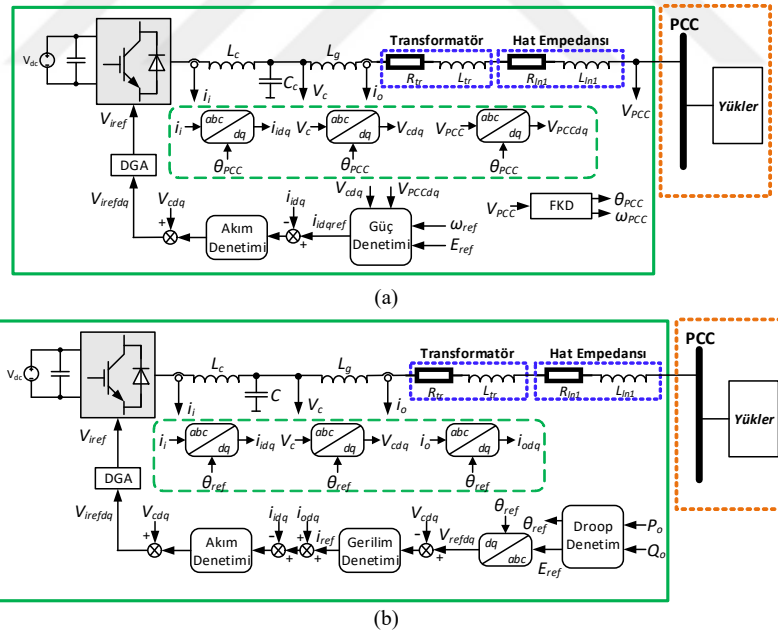
2.4.2. Şebeke bağlantılı eviriciler

Şebeke bağlantılı eviriciler, literatürde şebeke destekleyen eviriciler, şebeke besleyen eviriciler ve şebeke takip eden eviriciler gibi çeşitli başlıklar altında incelenirler [99]. Şebeke bağlantılı eviricilerin bulunduğu mikro şebekeler, ana şebekeye bağlı halde çalışmaktadırlar. Şebeke bağlantılı eviriciler, bu ana şebeke bağlantılı mikro şebekelerde, şebekeye paralel şekilde çalışırlar ve şebeke ile aktif-reaktif güç etkileşimine sahiptirler [7,100]. Şebeke bağlantılı eviricilerin normal çalışma karakteristiği akım kaynağı çalışma şekline dayanır. Fakat ana şebekede oluşan enerji kesintilerinde, şebeke oluşturan evirici (şebeke eviricisi) çalışma şekline geçiş yaparak, mikro şebeke enerji kaynaklarından beslenerek mikro şebekede var olan yükleri beslemeye devam edebilirler, bu çalışma şeklinde gerilim kaynağı gibi, yani şebeke eviricisi gibi çalışabilirler [7,101]. Özetle, şebeke bağlantılı eviriciler, ana şebeke bağlantısı var olan mikro şebekelerde akım kaynağı gibi çalışırlar. Ana şebeke bağlantısı kesildiğinde ise ada modlu hale gelen mikro şebekede gerilim kaynağı gibi çalışırlar [7,134,135]. Şekil 2.9a'da akım kaynağı olarak (şebeke bağlantılı çalışma) ve Şekil 2.9b'de gerilim kaynağı olarak (ada modlu çalışma) eşdeğer devre şemaları verilmektedir. Şebeke bağlantılı eviricilerin farklı çalışma şekillerine göre iç akım

döngüsü ve dış gerilim döngüsü dahil olmak üzere Şekil 2.10a'da şebeke bağlantılı çalışma (akım kaynağı olarak çalışma) ve Şekil 2.9b'de ada modlu çalışma (gerilim kaynağı olarak çalışma) denetim sistemi blok diyagramları verilmektedir [7,100-102].



Şekil 2.9: Şebeke bağlantılı evirici eşdeğer devre şemaları: (a) akım kaynağı olarak (şebeke bağlantılı çalışma) (b) gerilim kaynağı olarak (ada modlu çalışma)



Şekil 2.10: Şebeke bağlantılı evirici denetim blok diyagramları: (a) şebeke bağlantılı çalışma (akım kaynağı gibi) (b) ada modlu çalışma (gerilim kaynağı gibi, şebeke eviricisi gibi)

Tablo 2.2'de mikro şebeke eviricilerinin, tabloda belirtilen parametrelere göre özellikleri verilmektedir [100].

Tablo 2.2: Mikro şebeke eviricilerinin özellikleri.

	Mikro Şebeke Eviricileri	
	Şebeke eviricileri	Şebeke bağlantılı eviriciler
Kaynak Tipi	Gerilim kaynağı.	Gerilim veya Akım Kaynağı.
Denetim Tipi	Droop kontrol.	Sabit gerilim ve frekans veya droop kontrol.
Şebeke bağlantı şekli	Seri.	Seri veya Paralel.
Çıkış empedansı	$Z = 0$.	$Z = 0$ veya $Z = \text{yüksek}$.
Çıkış frekansı ve gerilimi	Toleranslar içinde (değişken).	Değişken veya sabit.
Çalışma şekli	Ada modlu.	Şebeke bağlantılı veya ada modlu.
Ana şebeke bağlantısı	Yok	Şebeke bağlantılı çalışmada var.

2.5. Mikro Şebeke Eviricilerinde Hiyerarşik Denetim

Mikro şebekelerin verimli ve kararlı yönetilmesi için hiyerarşik denetimler kullanılmaktadır. Hiyerarşik denetim, mikro şebekenin kararlı bir şekilde çalışmasını sağlayarak, enerji yönetimi operasyonlarını optimize ederek verimi iyileştirmektedir. Ayrıca, mikro şebekenin esnekliğini artırarak, mikro şebekenin enerji talebinin artması durumunda bile enerji üretim kaynakları ve depolama sistemleri arasında dengeli bir enerji dağılımı sağlanabilir [120,123,138]. Güç elektroniği donanımlarının son zamanlarda yaygın olarak uygulanmasının bir sonucu olarak, bir mikro şebekenin çalışması hem enerji yönetiminin hem de denetim sisteminin sınıflandırılmasını gerektirmektedir. IEC/ISO 62264 standardına göre, mikro şebeke hiyerarşik denetimleri, dört seviyede ele alınır bunlar; sıfırıncı seviye denetim, birinci seviye denetim, ikinci seviye denetim ve üçüncü seviye denetimdir [140-143]. Şekil 2.11’de mikro şebekelerdeki hiyerarşik denetim sistemleri verilmektedir [144-146].

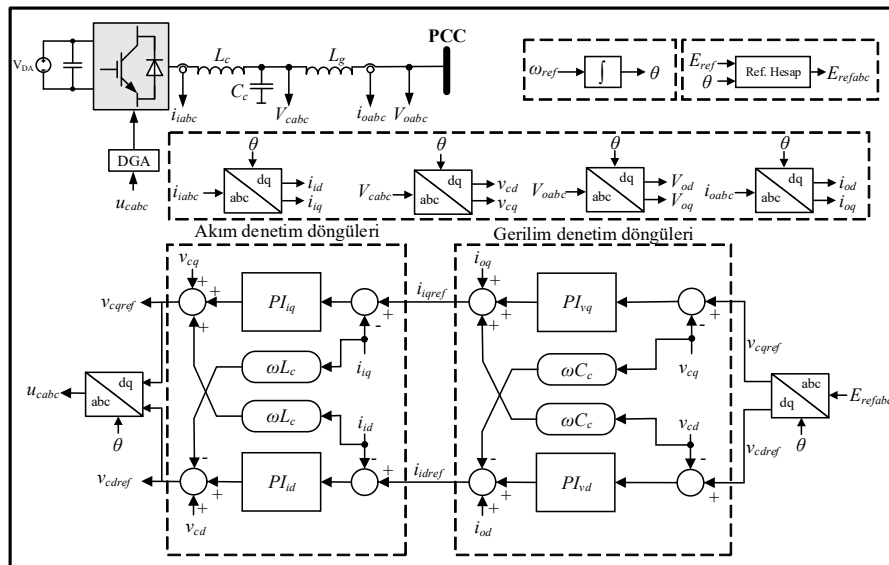


Şekil 2.11: Mikro şebekelerde hiyerarşik denetim sistemleri.

2.5.1. Sıfırinci seviye denetim

Sıfırıncı seviye denetim, mikro şebekelerdeki en temel denetim seviyesidir. Bu denetim seviyesinde, dağıtık enerji kaynaklarından gelen güç doğrudan mikro şebeke yüklerini beslemek için kullanılır ve yüksek seviyeli denetim yapılarından bağımsız olarak gerçekleştirilir. Sıfırıncı seviye denetim mikro şebekede şebeke eviricilerinin çıkış gerilimlerinin kararlı bir şekilde denetlenmesi için akım ve gerilim denetimcilerinden oluşan bir denetim yapısını kullanmaktadır. Gerilim deneticisi mikro şebekede dağıtık enerji kaynaklarını (ada modlu çalışma) veya mikro şebekenin frekansını ve gerilimini denetlemektedir [147,148]. Benzer şekilde şebeke bağlantılı çalışmada akım deneticisi, aktif ve reaktif gücün denetimini gerçekleştirmektedir. Optimizasyon ve dahili denetimcilerin frekans ve gerilim genliği için doğru referans değerlerine sahip olması gerekmektedir, bu birinci seviye denetimin görevidir. Bu tez çalışması şebeke oluşturan eviricilere odaklandığı için Şekil 2.12’de şebeke oluşturan eviricilerin sıfırıncı seviyedeki denetim blok diyagramı verilmektedir [123,145,149,150,151].

Hiyerarşik denetim seviyelerinin Şekil 2.12, Şekil 2.15 ve Şekil 2.16’da verilen blok diyagramlardaki tüm parametreler sonraki bölümlerde detaylı olarak açıklanmaktadır. Bu yüzden burada sadece şekiller verilmiştir ve detaylar için Bölüm 3 ve Bölüm 4’te detaylı açıklamalar yapılmaktadır.

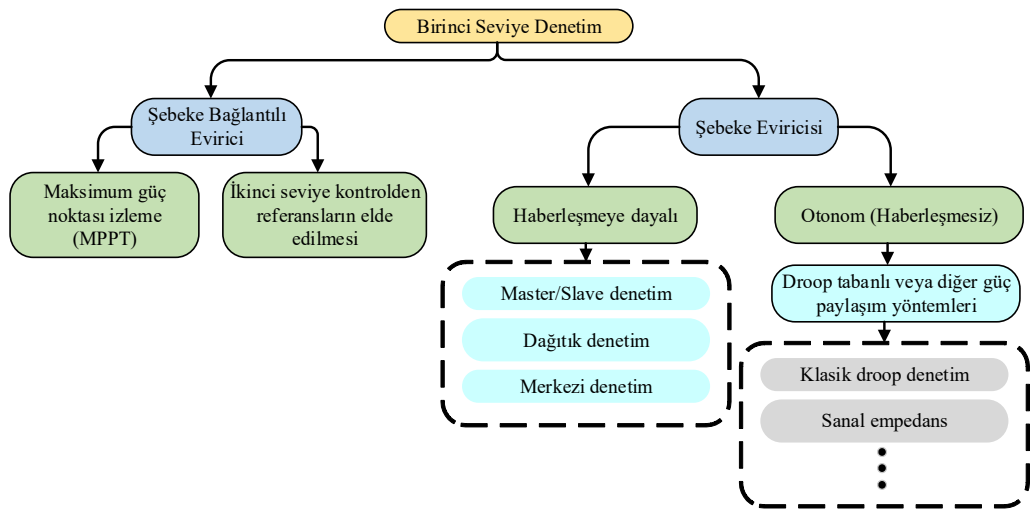


Şekil 2.12: Sıfırıncı seviye denetim blok diyagramı.

2.5.2. Birinci seviye denetim

Birinci seviye denetim seviyesinin (IEC/ISO 62264 standardına göre birinci seviye) amacı, iç akım ve gerilim denetim döngüleri için gerilim referanslarının frekansını ve genliğini ayarlamaktır. Mikro şebeke denetim hiyerarşisindeki birinci seviye denetim, en önemli denetim olarak kabul edilmektedir. Birinci seviye denetim, mikro şebekenin kaynaklardaki veya talepteki herhangi bir değişikliğe en hızlı bir şekilde yanıt vermesini sağlamaktadır ve bu da güç sistemi kararlılığının artırılmasına yardımcı olmaktadır. Bu seviyede, mikro şebekenin frekansı denetlenmektedir ve güç üretim/tüketim dengesi korunmaktadır. Birinci seviye denetim, aktif güç arttığında frekansı azaltarak senkron generatörün davranışını taklit etmektedir. Frekans, mikro şebekenin enerji arz/talep dengesi için kritik öneme sahip parametredir. Frekansın düşük olması, güç ihtiyacının talep edilenden düşük olduğunu gösterirken, yüksek frekans ise güç ihtiyacının talep edilenden yüksek olduğunu göstermektedir. Bu seviye, enerji üretim kaynakları ve yükler arasındaki anlık dengesizlikleri hızlı bir şekilde dengeleyerek, mikro şebekenin kararlı şekilde çalışmasını sağlamaktadır [126,129,131,149,152].

Mikro şebekelerdeki birinci seviye denetim, paralel eviricilerin yükleri paylaşmasını da sağlamaktadır. Yükleri, paralel eviriciler arasında paylaşmak için genellikle droop denetim yöntemi kullanılmaktadır. Şekil 2.13'te birinci seviyedeki denetim yöntemlerinin sınıflandırılması verilmektedir [141,153].



Şekil 2.13: Birinci seviye denetim yöntemleri.

2.5.3. İkinci seviye denetim

Hiyerarşik denetimde özellikle ikinci seviye denetim (IEC/ISO 62264 standardının ikinci seviyesi) gerilim ve frekans hatalarını telafi etmek ve mikro şebekenin belirli çalışma sınırlarında çalışmasını sağlamaktadır. Örneğin, Türkiye için ana şebekede izin verilen ana şebeke frekansı çalışma aralığı 49.8 Hz ile 50.2 Hz'dir. İkinci seviye denetim, mikro şebekedeki her yüklenmede veya güç üretiminde meydana gelen değişimlerden sonra frekans ve gerilimi yeniden referans değerlerine ayarlar [137,142,154]. Sistemde oluşabilecek hataları ve arızaları tespit eder ve buna hızlı bir şekilde tepki verir. Bu, mikro şebekenin güvenilirliğini artırır ve kesintisiz bir elektrik sağlamaya yardımcı olur. İkinci seviye denetimin band genişliği birinci seviye denetimin band genişliğinden daha yavaştır. Ayrıca, ikinci seviye denetimi uygulamak için bir haberleşme bağlantısı gerekmektedir [127,137,142,143].

2.5.4. Üçüncü seviye denetim

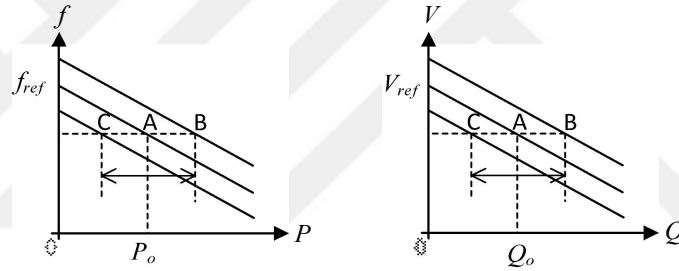
Üçüncü seviye denetim, ikinci seviye denetimden bir seviye daha yüksektir. Optimum güç akışı gereksinimlerini kullanarak sabit durum referans noktalarını belirler. Bu denetim seviyesinin ana (IEC/ISO 62264 standartının üçüncü seviyesi) amacı, hem şebeke bağlantılı hem de ada modlu çalışmada gerilimi ve frekansı düzenleyerek güç akışını yönetmektir. Ortak bağlantı noktasından aktif ve reaktif güç değerleri hesaplanarak şebekenin aktif ve reaktif gücü istenen referansla karşılaştırılmaktadır. Dolayısıyla şebeke aktif gücü, mikro şebekenin referans frekansı ayarlanarak denetlenebilir. Bu denetim seviyesi, denetim seviyelerinin son ve en yavaş seviyesidir. Üçüncü seviye denetim, dağıtık enerji kaynakları, mikro şebeke veya ana şebeke ve diğer sistemlerden bilgi almayı gerektirdiğinden haberleşmeye dayalıdır. Üçüncü seviye denetim, mikro şebekede herhangi bir haberleşmeye dayalı problem ortaya çıktığında şebekenin gerilim ve frekans bilgilerine erişemediği durumda bu değerleri anma değerlerinde tutmaya çalışır. Ada mod tespitinin yapılması, üçüncü seviye denetimde mikro şebekenin ana şebeke bağlantısının kesilmesinin tespitinde de çok önemli bir konudur [127,142,155]. Bu tez çalışması sıfıncı ve birinci denetim seviyelerine odaklandığı için takip edilen başlıklarda ikinci ve üçüncü seviye denetim konularında detaya girilmemiştir.

2.6. Birinci Seviye Klasik Mikro Şebeke Denetim Yöntemleri

Klasik olarak üç ana denetim yöntemi mikro şebekenin farklı çalışma modları ve denetim modları altında çalışmasını sağlar. Bunlar sabit gerilim ve frekans denetimi (V/f denetim), sabit güç denetimi (PQ denetimi) ve droop denetimi olarak üçe ayrılmaktadır [105].

2.6.1. Sabit frekans ve gerilim denetimi

Sabit gerilim ve frekans (V/f) denetimi güç çıkışı ne kadar değişirse değişsin mikro şebeke AA tarafı gerilim ve frekans değerlerinin sabit tutulmasına dayanır. V/f denetimi çalışma prensibi Şekil 2.14'te verilmektedir ve dağıtık enerji kaynaklarının çalışma noktası A olarak seçilmiştir.



Şekil 2.14: V/f denetim çalışma prensibi.

Şekil 2.14'te AA bara frekansı f_{ref} ve AA bara gerilimi V_{ref} 'dir. Dağıtık enerji kaynaklarının aktif çıkış gücü ve reaktif gücü sırasıyla P_0 ve Q_0 'dır. Belirlenen frekans ve gerilim değerlerine göre, dağıtık enerji kaynaklarının çıkış gerilimi denetlenmektedir. Dağıtık enerji kaynaklarının çalışma noktası C veya B'ye hareket ettiğinde, karşılık gelen frekans ve gerilim, V/f değerinin sabit bir oranda tutulmasını sağlamak için orantılı olarak değişmektedir. Denetim algoritması, gücü dikkate almadan frekansı ve gerilimi denetlemektedir. Bu denetim yöntemi, ada modlu çalışma için daha uygundur, böylece temel frekansı ve gerilimi korumak için bir ana denetimci gibi davranabilmektedir. Bu denetim yöntemi paralel çalışma ve güç paylaşımına uygun değildir, genelde tek başına ada modlu çalışan eviriciler için uygundur [105,156]. V/f denetimi blok diyagramı Şekil 2.15'te gösterilmektedir. Şekil 2.15'te gösterildiği gibi V_{cabc} ve i_{iabc} , dağıtık enerji kaynaklarının çıkış gerilimini ve akımını temsil etmektedir.

Şekil 2.17'den, aktif güç (P) ve frekans (f) arasındaki ilişki ile reaktif güç (Q) ile gerilim (U) arasındaki ilişki aşağıdaki gibi gösterilmektedir.

$$\begin{aligned} P_{ref} &= P_0 + (f_0 - f) K_f \\ Q_{ref} &= Q_0 + (U_0 - U) K_U \end{aligned} \quad (2.1)$$

$$\begin{aligned} f_{ref} &= f_0 + (P_0 - P) K_P \\ U_{ref} &= U_0 + (Q_0 - Q) K_Q \end{aligned} \quad (2.2)$$

K_f ve K_u , f-P ve U-Q droop denetimi katsayılarıdır. P_{ref} ve Q_{ref} droop denetim sonucunda elde edilen aktif ve reaktif güç referans değerleridir. K_P ve K_Q , P-f ve Q-U droop denetimi katsayılarıdır. f_{ref} ve U_{ref} droop denetim sonucunda elde edilen frekans ve gerilim referans değerleridir. Yukarıdaki denklemler ile iki temel droop denetim yöntemi elde edilmektedir:

D1. f-P ve U-Q droop denetimi: f-P droop denetimi frekanstaki değişikliklere göre dağıtık enerji kaynaklarının aktif güç çıkışını denetler. U-Q droop denetimi ise gerilimdeki değişikliklere göre dağıtık enerji kaynaklarının reaktif güç çıkışını ayarlar. Şebeke bağlantılı sistemlerde yaygındır.

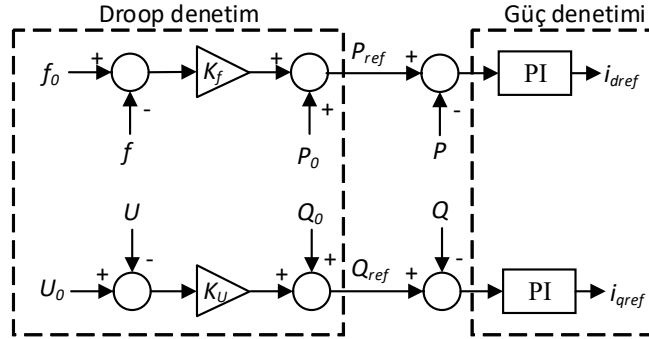
D2. P-f ve Q-U droop denetimi: P-f droop denetimi dağıtık enerji kaynaklarının aktif güç çıkışını ayarlayarak frekansı denetler. Q-U droop denetimi ise dağıtık enerji kaynaklarının reaktif güç çıkışını ayarlayarak gerilimi istenen seviyede tutmaya çalışır. Ada modlu sistemlerde yaygındır.

Bu iki yöntem (D1 ve D2) de L-eviriciler için uygundur, evirici çıkış empedansı yani bileşik hat empedansının endüktif olması gerekmektedir.

2.6.3.1. Frekans-aktif güç (f-P) ve gerilim-reaktif güç (U-Q) droop denetimi

Frekans-aktif güç (f-P) ve gerilim-reaktif güç (U-Q) droop denetimi için ilk olarak, ortak bağlantı noktasından sistemin frekansını ve gerilimin genliğini ölçmek gerekmektedir. Referans aktif ve reaktif çıkış gücü akabinde elde edilmektedir. f-P ve U-Q denetim blok diyagramı Şekil 2.18'de gösterilmektedir. Denetimci şeması iki bölümden oluşmaktadır. Dış döngü droop denetimcisi ve iç döngü güç denetimcisidir. Droop denetim, tüm dağıtık enerji kaynakları arasında güç paylaşımını sağlamak için

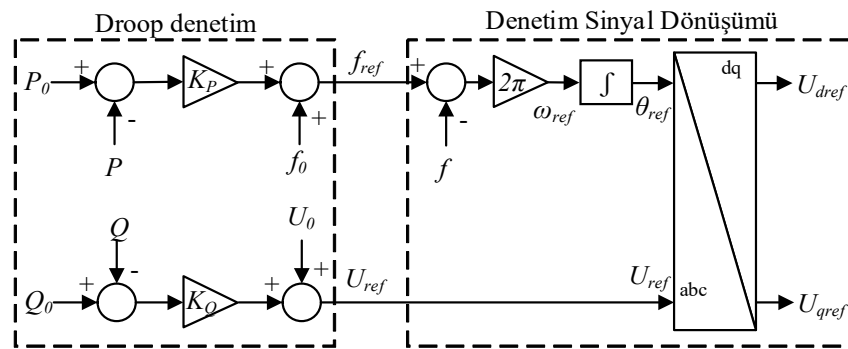
aktif güç ve reaktif güç referansları üretmektedir. Güç denetimi, denetim sinyallerini oluşturmak için akım döngüsü için referans akım değerlerini üretir [105].



Şekil 2.18: f-P ve U-Q denetim blok diyagramı.

2.6.3.2. Aktif güç-frekans (P-f) ve reaktif güç-gerilim (Q-U) droop denetimi

Aktif güç-frekans (P-f) ve reaktif güç-gerilim (Q-U) droop denetiminde ilk olarak, dağıtık enerji kaynaklarının çıkış aktif gücü ve reaktif gücü hesaplanmaktadır. Droop denetim, frekans ve gerilim referansı elde etmek için kullanılmaktadır. Bu referans değerleri de denetim sinyalleri oluşturmak için kullanılmaktadır. Aktif güç denetimi, evirici çıkış gerilim açısı veya frekansını denetler, reaktif güç denetimi ise evirici çıkış geriliminin genliğini denetlemektedir. P-f ve Q-U denetim blok diyagramı Şekil 2.19'da gösterilmektedir [105].



Şekil 2.19: P-f ve Q-U denetim blok diyagramı.

Klasik mikro şebeke denetim yöntemlerinin avantaj ve dezavantaj olarak karşılaştırılması Tablo 2.3'te verilmektedir [105].

Tablo 2.3: Birinci seviye denetim için mikro şebeke denetim yöntemleri.

Denetim Yöntemi	Avantaj	Dezavantaj
V/f Denetim	Kararlı gerilim ve frekans. Ada modlu çalışma.	Mikro şebeke güç akışı denetimi olmaması.
PQ Denetim	Ana şebekeye güç desteği. Şebeke bağlantılı çalışma.	Ada modda çalışmada zorluk. Gerilim ve frekansı sağlama yeteneğinin zayıf olması.
Droop Denetim	Senkron jeneratör karakteristiğini taklit etme. Hem şebekeye bağlı modda hem de ada modunda çalışma.	Ada modlu çalışmada gerilim ve frekans standartlar kapsamında belirli toleranslar içinde değişir.

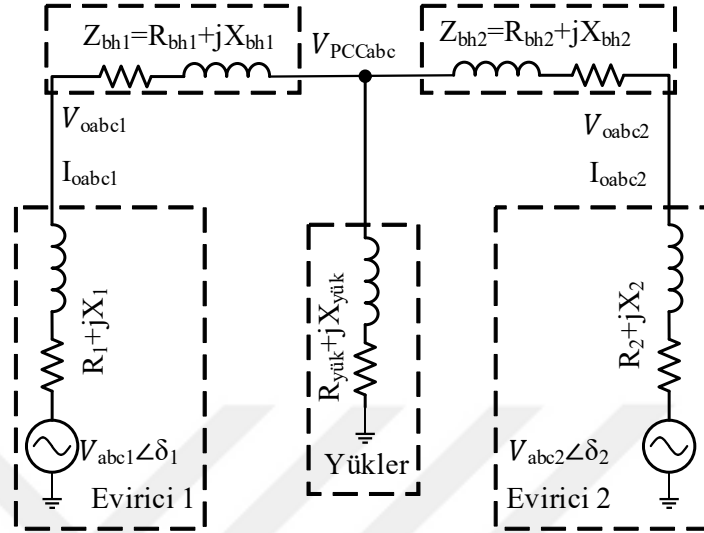
2.7. Ada Modlu Mikro Şebekelerde Paralel Bağlı Eviricilerin Aktif ve Reaktif Güç Paylaşımı

Güç talebini karşılamak ve mikro şebeke sistem kapasitesini artırmak amacıyla paylaşılan yüklere güç sağlamak için dağıtık enerji kaynakları birbirine paralel bağlanmaktadır [162]. Mikro şebeke eviricileri arasında güç paylaşımının olmaması kaynaklara zarar verebilmekte ve genellikle yükteki geçici değişiklikler sırasında mikro şebekede kararsızlığa yol açabilen eşit olmayan dengesiz güç paylaşımına neden olmaktadır [163,164,165]. Bir mikro şebekede paralel çalışan eviricilerin en önemli amaçlarından biri yük paylaşımının sağlıklı yapılmasıdır [101,163,164,166,167]. Bunu başarmak için birçok yöntem önerilmiştir, bunlar haberleşmeye dayalı ve otonom yöntemlerdir. Haberleşme tabanlı yöntem daha yüksek doğruluğa sahiptir ve eviriciler arasında yüksek band genişliğine sahip bir haberleşme altyapısına ihtiyaç duymaktadır.

Senkron generatörlerin davranışını taklit eden droop denetim, eviricilerin herhangi bir haberleşme olmadan (otonom) paralel çalışması için önerilmiştir. Droop denetimin reaktif gücü doğru bir şekilde paylaşabilmesi için paralel çalışan eviricilerin aynı çıkış gerilimini üretmelerinin yanı sıra aynı çıkış empedansına (bileşke hat empedansı da denebilir) sahip olmaları da gerekmektedir. Ancak bu durum, eviricilerin çıkış filtrelerindeki parametrelerin toleransları, farklı ara bağlantı kablo/bara uzunlukları ve çıkış gerilimi denetimindeki hatalar nedeniyle bileşke hat empedansları eşit olmamaktadır. Bu nedenle klasik droop denetimi %5-%10 civarında hatalı reaktif güç paylaşımı yapabilir [123,168].

Birbirine paralel bağlı eviriciler arasında güç paylaşımı, ada modlu mikro şebekelerde temel zorluklardan biridir. Güç paylaşımı kavramını açıklamak için besleme hatları

aracılığıyla ortak bir üç fazlı yüke güç sağlayan ada modlu çalışan şebeke eviricilerinin devre şeması Şekil 2.20’de gösterilmektedir [123,127,169].



Şekil 2.20: Ada modlu çalışan paralel bağlı iki şebeke eviricisinin devre şeması.

Şekil 2.20’de V_{abc1} ve V_{abc2} , birinci ve ikinci eviricinin açık devre geriliminin genliğini, δ_1 ve δ_2 ise faz açılarını temsil etmektedir. R_1 ve R_2 eviricilerin çıkış filtresinin dirençleridir. X_1 ve X_2 eviricilerin çıkış filtresinin reaktanslarıdır. V_{oabc1} , V_{oabc2} , I_{oabc1} ve I_{oabc2} , sırasıyla eviricilerin üç fazlı çıkış gerilimleri ve akımlarıdır. Z_{bh1} ve Z_{bh2} , R_{bh1} , R_{bh2} , ve X_{bh1} , X_{bh2} eviricilerin besleme hatlarının sırasıyla empedansları, dirençleri ve reaktanslarıdır. Birbirine bağlı eviriciler ortak bağlantı noktasında ortak yüke güç aktarmaktadırlar. Burada V_{PCCabc} ortak baradaki üç fazlı gerilimi göstermektedir. Böylece her iki eviricinin besleme hatlarından aktarılan anlık aktif ve reaktif güçler denklem 2.3’teki gibi ifade edilmektedir [101,127,163,164,170,171].

$$\begin{aligned}
 P_i &= \left(\frac{V_{oabc1} V_{PCCabc}}{Z_{bhi}} \cos(\delta_i) - \frac{V_{PCCabc}^2}{Z_{bhi}} \right) \cos(\theta_i) + \frac{V_{oabc1} V_{PCCabc}}{Z_{bhi}} \sin(\delta_i) \sin(\theta_i) \\
 Q_i &= \left(\frac{V_{oabc1} V_{PCCabc}}{Z_{bhi}} \cos(\delta_i) - \frac{V_{PCCabc}^2}{Z_{bhi}} \right) \sin(\theta_i) + \frac{V_{oabc1} V_{PCCabc}}{Z_{bhi}} \sin(\delta_i) \cos(\theta_i)
 \end{aligned} \tag{2.3}$$

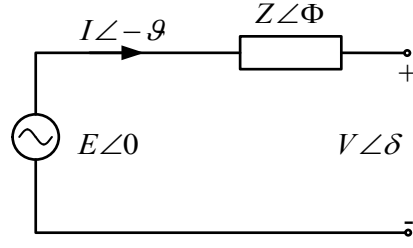
Aktif ve reaktif güçler, şebeke eviricilerinin düzgün bir şekilde birbirine bağlanması için doğru ve uyumlu bir şekilde paylaşılmalıdır. Mikro şebekelerde dağıtık enerji kaynakları farklı bağlantı uzunluklarına sahip olduğu durumlarda dağıtık enerji

kaynaklarının eşit olmayan besleme hattı empedansları ortaya çıkmaktadır. Güç paylaşımı büyük ölçüde besleme hatlarının empedans özelliklerine bağlıdır. Bu nedenle, zayıf şebekelerde güç paylaşımındaki dengesizlikleri ve kararsızlıkları ortadan kaldırmak için besleme hattı empedanslarını olabildiğince birbirine eşitlemek gerekmektedir. Eşit olmayan bileşke hat empedansları durumunda güç paylaşımı denetimi, mikro şebekelerde veya enerji dağıtım sistemlerindeki enerji kaynaklarının eşit olmayan koşullar altında güç paylaşımını etkileyebilir. Bileşke hat empedansları arasındaki farklar, güç paylaşımı denetimini zorlaştırabilir ve dengesiz güç paylaşımı, gerilim dengesizlikleri, reaktif güç problemler gibi sorunlara yol açabilmektedir [164,172,173]. Bu sorunların üstesinden gelmek için her bir eviricinin frekansı, çıkış gerilimi, aktif ve reaktif güç paylaşımı çeşitli yöntemler kullanılarak denetlenmektedir.

Mikro şebekelerde paralel bağlı eviriciler arasında yük paylaşımı yapabilmek için herhangi bir haberleşme gerektirmeyen yöntem droop denetimidir. Mikro şebeke eviricileri için gerekli olan droop denetimi, birbirine uzak mesafede çalışan eviricilerin paralel çalışmasını sağlamakla birlikte sistemin güvenilirliğini de artırmaktadır. Yine de droop denetimi, eviricilerin bileşke hat empedansları arasındaki farklılıklardan dolayı tam güç paylaşımını garanti edememektedir. Hatalı güç paylaşımı, dengesiz veya eşit olmayan bileşke hat empedansları durumunda genellikle sanal empedans yöntemleri kullanılmaktadır. Ayrıca sanal empedans değerini uygun şekilde seçmek önemlidir. Yüksek bir sanal empedans değeri, çıkışta istenmeyen gerilim çökmelerine ve çıkış gerilimin dalga formunun bozulmasına neden olmaktadır. Bu nedenle her bir eviricinin çıkışında benzer ve yakın değerlerde empedanslar elde etmek için sanal empedans değerleri uygun seçilmelidir [172,173].

2.7.1. Ada modlu çalışmada droop denetimi

Ada modlu çalışmada P-f ve Q-E droop denetimi, aktif ve reaktif güç için belirli referans değerleri belirlenerek birinci seviye denetim ile yapılmaktadır [174,175]. Droop denetimi yöntemini açıklamak için, Şekil 2.21'deki hat boyunca bir güç akışı incelenmiştir. Bileşke hat empedansı (evirici çıkış filtresi hat tarafı empedansı + fiziksel hat empedansı) Z ile hattaki aktif ve reaktif güç akışı denklem 2.4'te verilmektedir [128,145,176-178].



Şekil 2.21: Dağıtım hattındaki güç akışının temsili eşdeğer devre şeması.

$$\begin{aligned}
 P &= \frac{E^2}{Z} \cos(\Phi) - \frac{EV}{Z} \cos(\Phi + \delta) \\
 Q &= \frac{E^2}{Z} \sin(\Phi) - \frac{EV}{Z} \sin(\Phi + \delta)
 \end{aligned}
 \tag{2.4}$$

δ güç açısını temsil ederken, Φ çıkış empedansının açısıdır, $Z = R + jX$. E ve V , evirici çıkış gerilimi ve yük gerilimi değerleridir. Denklem 2.4'te $R = Z \cos \Phi$ ve $X = Z \sin \Phi$ olarak hesaplanmaktadır. Alçak gerilimli mikro şebekelerde genellikle R/X değeri yüksek hat empedansı bulunmaktadır. Ancak transformatörler, LCL filtreler ve iletim hatları gibi sistemler bileşke hat empedansına endüktif bir katkı sağlamaktadırlar. Düşük bileşke hat endüktansı olması durumunda, çıkış empedansının ağırlıklı olarak endüktif hale getirilmesi amaçlanmaktadır. Bu tezde ele alınan mikro şebekede LCL filtreler eviricilerin çıkışındadır ve şebeke tarafındaki endüktans bileşke hat empedansına katkıda bulunarak onu daha endüktif hale getirmektedir [108,179,180,181].

Genellikle gerçek bir dağıtım hattı, direnç ve endüktif özelliğe sahip ekipmanların bir birleşiminden oluşmaktadır. Bununla birlikte, tamamen endüktif dağıtım hatları genelde osilasyonlu bir cevaba neden olmaktadır. Sonuç olarak direnç ve reaktansın bir kombinasyonu da dahil olmak üzere çıkış empedansları için gerçekçi değerler seçmek önemlidir. Sanal empedans değerlerine karar verilirken de bu durumların dikkate alınması gerekmektedir [50].

Güç açısı δ 'nın küçük olduğu varsayılmaktadır. Bu varsayım ile eviricinin çıkışındaki gerilim ile yüklerin ortak bağlantı noktasındaki gerilim arasında nispeten küçük bir faz farkı olmaktadır. Burada faz farkının küçük olması ile $\sin(\delta) = \delta$ ve $\cos(\delta) = 1$ kullanılarak denklem 2.4 yeniden düzenlenirse denklem 2.5 elde edilir.

$$\begin{aligned}
P &= \frac{E^2}{Z} \cos(\Phi) - \frac{EV}{Z} [\cos(\Phi) - \sin(\Phi)(\delta)] \\
Q &= \frac{E^2}{Z} \sin(\Phi) - \frac{EV}{Z} [\sin(\Phi) + \cos(\Phi)(\delta)]
\end{aligned} \tag{2.5}$$

Çıkış empedansı resistif, endüktif veya kapasitif karakteristiğe sahip olabilmektedir. Bu durumda farklı droop denetim yöntemleri elde edilmektedir.

2.7.1.1. R-eviricilerde P-E ve Q-f droop denetim

R-eviricilerde P-E ve Q-f droop denetimde, çıkış empedansının resistif karakteristiğe sahip olduğu varsayılmaktadır. Bu durumda denklem 2.5'teki Z'deki empedansı saf bir dirence (R) eşit olmaktadır ve empedans açısı (Φ) da 0°'ye eşit olacaktır, $Z = R$ [7,148,185]. Çıkış empedansındaki gerilim düşümü denklem 2.6'daki gibi ifade edilmektedir [145].

$$\begin{aligned}
P &\cong \frac{E-V}{R} E \\
Q &\cong -\frac{EV}{R} \delta
\end{aligned} \tag{2.6}$$

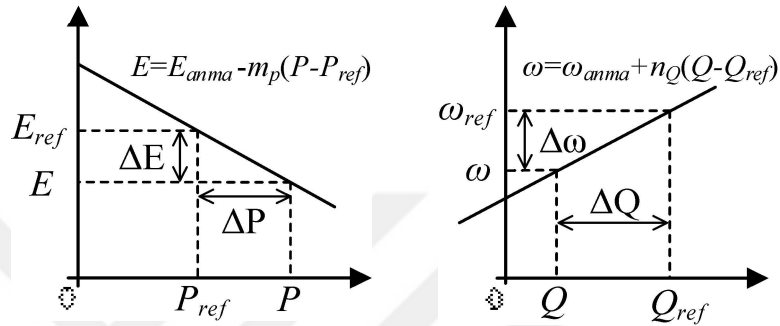
$$\begin{aligned}
\delta &\cong -\frac{R}{EV} Q \\
E-V &\cong \frac{R}{V} P
\end{aligned} \tag{2.7}$$

Denklem 2.7'de frekans ile doğrudan ilişkili olan güç açısı δ 'nın reaktif güce bağlı olduğunu göstermektedir. Benzer şekilde E-V gerilim düşümü ise aktif güç ile bağlantılıdır. Bu durum denklem 2.8'de gösterildiği gibi droop denetim karakteristiğinin temelidir [7,127,181,182].

$$\begin{aligned}
E_{ref} &= E_{anma} - m_p (P - P_{ref}) \\
\omega_{ref} &= \omega_{anma} + n_Q (Q - Q_{ref})
\end{aligned} \tag{2.8}$$

E_{anma} ve ω_{anma} anma gerilimi ve anma frekansıdır. Aktif ve reaktif droop katsayıları m_p ve n_Q olarak verilmiştir. Frekans ile aktif güç ve gerilim ile reaktif güç arasındaki

ilişki bu katsayılarla göre belirlenmektedir. P ve Q aktif güç ve reaktif güç evirici çıkışından ölçülen değerlerdir. P_{ref} ve Q_{ref} aktif ve reaktif güç için referans değerleridir. R-eviricide P-E ve Q-f droop denetim karakteristiği Şekil 2.22’de verilmektedir. Bu şekilde aktif ve reaktif güç (x) eksenini boyunca gösterilmektedir. Şekilden de anlaşılacağı gibi, artan bir aktif güç, çıkış gerilimde bir azalmaya yol açarken, artan reaktif güç ile frekans artmaktadır [127,145,180,183].



Şekil 2.22: R eviricilerde P-E ve Q-f droop denetim karakteristiği.

Şekil 2.22’de görüldüğü üzere yüklere verilen aktif güç ile frekansını, reaktif güç ile gerilimin değiştiği bir kontrol sistemi elde edilmektedir. Değişimler denklem 2.9’a göre belirlenen droop katsayıları tarafından belirlenmektedir [108].

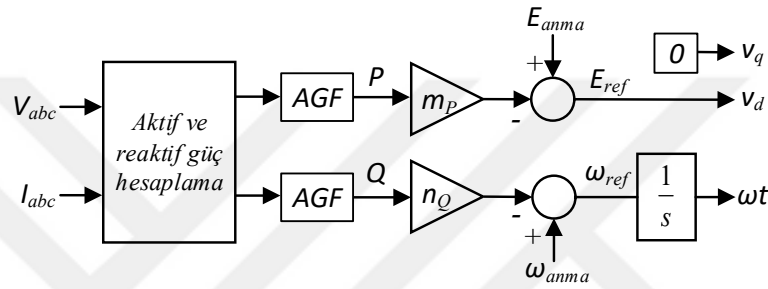
$$m_p = \frac{\Delta E_m}{P_{anma}} \quad (2.9)$$

$$n_Q = \frac{\Delta \omega_m}{Q_{anma}}$$

ΔE_m , aktif güçteki (P_{anma}) anma seviyede bir yük değişikliği nedeniyle belirlenen maksimum gerilim değişimidir. Belirli bir maksimum frekans değişimi $\Delta \omega_m$, benzer şekilde reaktif güçteki (Q_{anma}) anma seviyede yük değişimi ile ilişkilidir. Genellikle $\Delta \omega_m$ ve ΔE_m değerlerine standartlar dahilinde karar verilmektedir.

Kararlılık analizi yapılarak droop katsayılarının seçimi yapılmaktadır. Bu katsayıların kararlılık analizi ile belirlenen sınırlar dahilinde arttırılması veya azaltılması sistemde kararsızlığa yol açabilmektedir. İki eviricinin güçlerini eşit veya yakın değerlerde paylaşabilmesi için droop katsayılarının aynı oranda tasarlanması gerekmektedir [182,184].

R-eviricilerde P-E ve Q-f droop denetimi blok diyagramı Şekil 2.23'te verilmektedir. Droop katsayıları m_p ve n_Q denklem 2.10'a göre seçilmektedir. Şekil 2.23'te gerilimin yalnızca d eksen bileşeninin gerilim droop karakteristiği ile ilişkili olduğunu ve q eksen bileşeninin sıfır olmaya zorlandığını göstermektedir. Droop denetimden çıkış frekansı elde edilmektedir ve ardından ωt elde edilir. Bu açı üç faz büyüklüklerin uzay vektörün açısıdır ve dq (Park) dönüşümlerinde kullanılmaktadır. Bu yaklaşım kullanılarak eviricilerin çıkışındaki gerilim vektörleri dq eksenlerindeki d eksen ile hizalanmaktadır.



Şekil 2.23: R-eviricilerde P-E ve Q-f droop denetim blok diyagramı.

Droop denetim yönteminde yaygın olarak Alçak Geçiren Filtre (AGF), dengesiz ve doğrusal olmayan yüklerden kaynaklanan şebeke eviricisinin akımları ve gerilimlerindeki yüksek frekanslı gürültü bileşenlerinden daha az etkilenmesini sağlamaktadır [185]. AGF'nin kesim frekansı, düzgün bir çalışmayı garanti etmesi için şebeke eviricisi gerilim denetim döngülerinin band genişliğinden daha düşük tasarlanmalıdır [186,187]. Aşağıdaki başlıklarda açıklanan bütün droop yöntemlerinde (L-evirici ve C-evirici için) AGF'nin kesim frekansının düşmesi, yani kutuplarının orijine yaklaşması ile mikro şebekenin kararlılık marjinleri daralmaktadır. AGF'nin kesim frekansının düşük olması sistem dinamiğini yavaşlatır, bu da güç paylaşım performansını düşmesine ve hatta şebeke eviricisinin kararsız olmasına yol açabilmektedir [186,188].

P_{ref} ve Q_{ref} referans değerleri sistemin ya da şebekenin anlık yüküne göre haberleşmeye bağlı olan daha yüksek bir denetim seviyesi tarafından belirlenmektedir [7,181]. Bu tezin konusu olmadığı için kapsam dışıdır. L eviriciler ve C eviriciler içinde bu durum geçerlidir. Ada modlu R eviricilerde droop denetim denklemleri denklem 2.10'da verilmektedir.

$$\begin{aligned} E_{ref} &= E_{anma} - m_P P \\ \omega_{ref} &= \omega_{anma} + n_Q Q \end{aligned} \quad (2.10)$$

Denklem 2.10'a göre ada modlu R eviricilerde P-E ve Q-f droop denetimin çıkış denklemleri verilmektedir.

$$\begin{aligned} v_d &= E_{anma} - m_P P \\ \omega &= \omega_{anma} + n_Q Q \\ v_q &= 0 \end{aligned} \quad (2.11)$$

2.7.1.2. L-eviricilerde P-f ve Q-E droop denetim

L-eviricilerde P-f ve Q-E droop denetim çıkış empedansı tamamen endüktif karakteristiğe sahip olduğu varsayılmaktadır. Bu durumda denklem 2.5'teki Z empedansı saf bir reaktansa (X) eşit olmaktadır ve empedans açısı (Φ) da 90°'ye eşit olacaktır, $Z = X$ [7,142,178]. Çıkış empedansındaki gerilim düşümü denklem 2.12'deki gibi ifade edilmektedir [145].

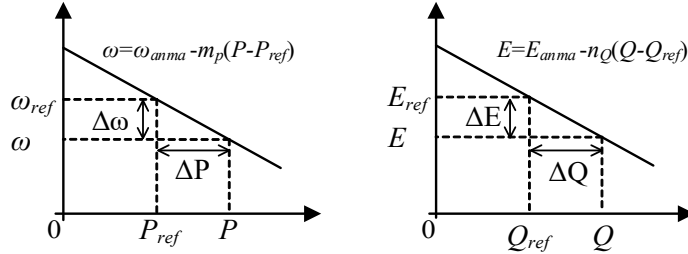
$$\begin{aligned} P &\cong \frac{EV}{X} \delta \\ Q &\cong \frac{E-V}{X} E \end{aligned} \quad (2.12)$$

$$\begin{aligned} \delta &\cong \frac{X}{EV} P \\ E-V &\cong \frac{X}{E} Q \end{aligned} \quad (2.13)$$

Denklem 2.13'de frekans ile doğrudan ilişkili olan güç açısı δ 'nın aktif güce bağlı olduğunu göstermektedir. Benzer şekilde E-V gerilim düşümü ise reaktif güç ile bağlantılıdır. Bu durum denklem 2.14'de gösterildiği gibi L-eviricilerde P-f ve Q-E droop denetim karakteristiğinin temelidir [7,127,181,182].

$$\begin{aligned} \omega_{ref} &= \omega_{anma} - m_P (P - P_{ref}) \\ E_{ref} &= E_{anma} - n_Q (Q - Q_{ref}) \end{aligned} \quad (2.14)$$

L-eviricilerde P-f ve Q-E droop denetim karakteristiği Şekil 2.24'te verilmektedir. Şekilden de anlaşılacağı gibi, artan bir aktif güç, frekansta bir azalmaya yol açarken, artan reaktif güç ile çıkış gerilimi azalmaktadır [127,145,179,183].



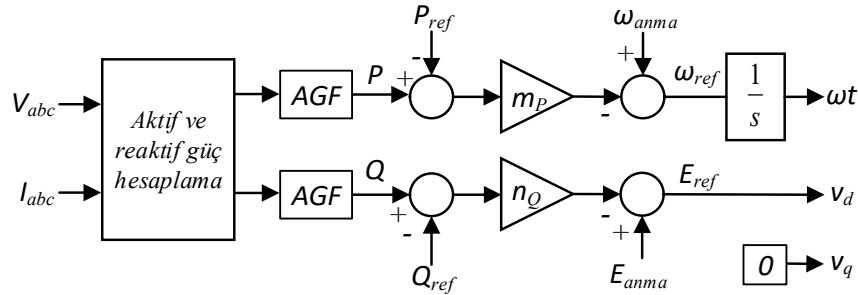
Şekil 2.24: L-eviricilerde P-f ve Q-E droop denetim karakteristiği.

Şekil 2.24'te görüldüğü üzere yüklere verilen aktif güç ile frekansını, reaktif güç ile gerilimin değiştiği bir kontrol sistemi elde edilmektedir. Değişimler denklem 2.15'a göre belirlenen droop katsayıları tarafından belirlenmektedir [108].

$$m_p = \frac{\Delta\omega_m}{P_{anma}} \quad (2.15)$$

$$n_Q = \frac{\Delta E_m}{Q_{anma}}$$

$\Delta\omega_m$, aktif güçteki (P_{anma}) anma seviyede bir yük değişikliği nedeniyle belirlenen maksimum frekans değişimidir. Belirli bir maksimum gerilim değişimi ΔE_m , benzer şekilde reaktif güçteki (Q_{anma}) anma seviyede yük değişimi ile ilişkilidir. L-eviricilerde P-f ve Q-E droop denetim blok diyagramı Şekil 2.25'te verilmektedir. Daha önce de belirtildiği gibi P_{ref} ve Q_{ref} kapsam dışı olduğu için ada modlu L eviricilerde P-f ve Q-E droop denetimin çıkış denklemleri denklem 2.16'da verilmektedir.



Şekil 2.25: L-eviricilerde P-f ve Q-E droop denetim blok diyagramı.

$$\begin{aligned}
\omega &= \omega_{anma} - m_p P \\
v_d &= E_{anma} - n_Q Q \\
v_q &= 0
\end{aligned} \tag{2.16}$$

2.7.1.3. C-eviricilerde P-f ve Q-E droop denetim

C-eviricilerde P-f ve Q-E droop denetimde çıkış empedansı tamamen kapasitif karakteristiğe sahip olduğu varsayılmaktadır. Bu durumda denklem 2.5'teki Z'deki empedansı saf bir kapasitansa (X) eşit olmaktadır ve empedans açısı (Φ) da -90° 'ye eşit olacaktır, $Z = -X$ [7,142,178]. Çıkış empedansındaki gerilim düşümü denklem 2.17'deki gibi ifade edilmektedir [145].

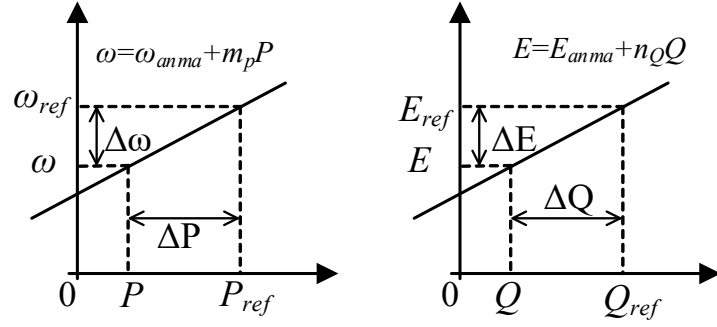
$$\begin{aligned}
P &= -\frac{EV}{X} \delta \\
Q &= -\frac{E-V}{X} E
\end{aligned} \tag{2.17}$$

$$\begin{aligned}
\delta &\cong -\frac{X}{EV} P \\
E-V &\cong -\frac{X}{E} Q
\end{aligned} \tag{2.18}$$

Denklem 2.18'de frekans ile doğrudan ilişkili olan güç açısı δ 'nın aktif güce bağlı iken E-V gerilim düşümü ise reaktif güç ile bağlantılıdır. Bu durum denklem 2.19'de gösterildiği gibi droop denetim karakteristiğinin temelidir [7,127,181,182].

$$\begin{aligned}
\omega_{ref} &= \omega_{anma} + m_p P \\
E_{ref} &= E_{anma} + n_Q Q
\end{aligned} \tag{2.19}$$

C-eviricilerde P-f ve Q-E droop denetim karakteristiği Şekil 2.26'da verilmektedir. Şekilden de anlaşılacağı gibi, artan bir aktif güç, frekansta bir artmaya yol açarken, artan reaktif güç ile çıkış gerilimi artmaktadır [189,183].



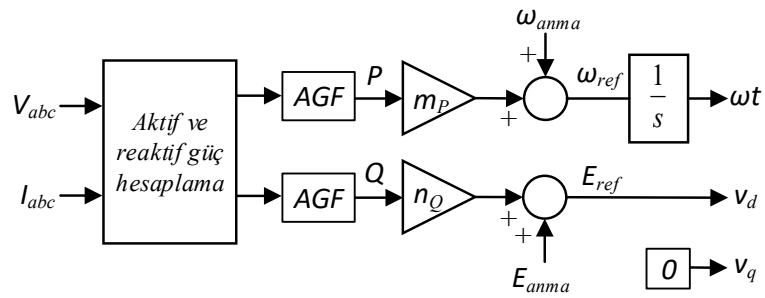
Şekil 2.26: C-eviricilerde P-f ve Q-E droop denetim karakteristiği.

Şekil 2.26’da görüldüğü üzere yüklere verilen aktif güç ile frekansını, reaktif güç ile gerilimin değiştiği bir kontrol sistemi elde edilmektedir. Değişimler denklem 2.20’ye göre belirlenen droop katsayıları tarafından belirlenmektedir [108].

$$m_p = \frac{\Delta \omega_m}{P_{anma}} \quad (2.20)$$

$$n_Q = \frac{\Delta E_m}{Q_{anma}}$$

$\Delta \omega_m$, aktif güçteki (P_{anma}) anma seviyede bir yük değişikliği nedeniyle belirlenen maksimum frekans değişimidir. Belirli bir maksimum gerilim değişimi ΔE_m , benzer şekilde reaktif güçteki (Q_{anma}) anma seviyede yük değişimi ile ilişkilidir. C-eviricilerde P-f ve Q-E droop denetim blok diyagramı Şekil 2.27’de verilmektedir.



Şekil 2.27: C-eviricilerde P-f ve Q-E droop denetim blok diyagramı.

Ada modlu C eviricilerde P-f ve Q-E droop denetimin çıkış denklemleri denklem 2.21’de verilmektedir.

$$\begin{aligned}
\omega &= \omega_{anna} + m_p P \\
v_d &= E_{anna} + n_Q Q \\
v_q &= 0
\end{aligned} \tag{2.21}$$

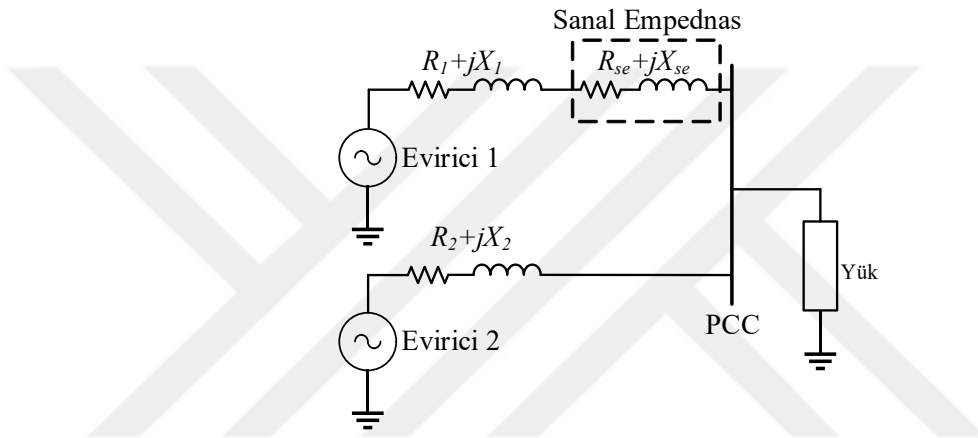
2.7.2. Sanal empedans yöntemi

Sanal empedans (virtual impedance) yöntemi dağıtık enerji kaynaklarının bulunduğu mikro şebeke güç sistemlerinin kararlılığını artırmak için kullanılan bir yöntemdir. Bu yöntem bir sanal empedans oluşturularak gerçekleştirilmektedir. Sanal empedans yöntemi sıfırcı seviye denetim yönteminde bulunmaktadır. Mikro şebeke eviricilerine sanal empedans denetimini uygulamak için eviricilerin çıkış denetim algoritmasına bir sanal empedans eklenmektedir. Bu empedans, senkron generatörlerin senkron (endüvi reaksiyonu) empedansına benzer bir davranış sergilemektedir. Sanal empedans yönteminin kullanılmasının amacı, evirici çıkışı bileşke hat empedansını şekillendirmek ve böylece tercih edilen droop yöntemine uygun hale getirmektir. Evirici çıkışı bileşke hat empedansının karakteristiğine uygun bir droop yöntemi seçilirse, ayrıca evirici çıkışı bileşke hat empedansları birbirlerine yakınsa, sanal empedans yöntemini kullanmaya gerek kalmayabilir [127,189,190]. Bir mikro şebekede güç paylaşımı sorunu, paralel bağlı eviricilerin eşit olmayan çıkış bileşke hat empedansları nedeniyle ortaya çıkmaktadır. Klasik droop denetimi yönteminde bileşke hat empedansı karmaşık olduğu durumlarda yani hem dirençli hem de endüktif empedanslara sahip olduğunda aktif ve reaktif güç arasında bir çapraz bağlantı ortaya çıkmaktadır. Bu çapraz bağlantı, güç paylaşımı hatalarına yol açmaktadır. Sanal empedans yöntemi paralel eviricilerin hat empedanslarını birbirine yaklaştırmaya veya eşitlemeye yarar. Hat empedanslarında bir miktar fark varsa, sanal empedans yoluyla telafi edilmesi amaçlanabilir. Ayrıca, bu sanal empedanslar çoğu zaman aktif ve reaktif güçlerin ayrıştırılabilmesi amacıyla L-eviriciler için endüktif olacak şekilde tasarlanabilir [127]. Bu tez çalışmasında L-evirici tabanlı çalışma esas alınmıştır. Bu yüzden bileşke hat empedansını daha endüktif hale getirmek için bir miktar sanal endüktans kullanılmıştır. Ayrıca geçici durum anlarında oluşan osilasyonları söndürmek için bir miktar da sanal direnç kullanılmıştır.

Doğrusal olmayan yükler beslenirken yani eviricilerden harmonikli akımlar çekilirken, sanal empedans değeri arttıkça ortak bağlantı noktasındaki gerilimlerin harmonik

içeriğinin yani THD'nin artacağı unutulmamalıdır. Doğrusal ve/veya doğrusal olmayan yüklerin beslenmesine bağlı olmaksızın, sanal empedans değeri arttıkça ortak bağlantı noktasındaki gerilimin yüklenme arttıkça daha çok azalacağı unutulmamalıdır. Bu iki durumda sanal empedansın yüksek olması, ortak bağlantı noktasındaki gerilimin standartları sağlayamamasına neden olabilir [191].

Şekil 2.28'de iki eviricinin $R_1 + jX_1$ ve $R_2 + jX_2$ hat empedansları ile doğrusal yüke güç sağladığı bir mikro şebekeyi göstermektedir. $Z_{se} = R_{se} + jX_{se}$ sanal empedansı temsil etmektedir.



Şekil 2.28: Mikro şebeke eviricileri için sanal empedans yönteminin devre şeması.

Şekil 2.28'deki besleme hattı empedansları eşit olmadığı durumlarda reaktif güç paylaşım hatası meydana gelmektedir. İkinci besleme hattının, birinci besleme hattına kıyasla daha büyük empedansa sahip olduğunu varsayalım. Sanal empedans, evirici çıkışlarında eşit empedansa sahip olacak şekilde aşağıdaki gibi seçilmektedir [127].

$$\underbrace{(R_{se} + jX_{se})}_{Z_{se}} + (R_1 + jX_1) = (R_2 + jX_2) \quad (2.22)$$

Denklem 2.22'ye göre sanal empedansın değeri hat empedanslarının farkı olarak denklem 2.23'te ifade edildiği gibi hesaplanmaktadır.

$$(R_{se} + jX_{se}) = (R_2 + jX_2) - (R_1 + jX_1) \quad (2.23)$$

Çoğu gemi mikro şebekesi gibi alçak gerilim güç dağıtım sistemlerinde, besleme hattı rezistif karakteristiğe sahiptir. Bu tez çalışmasında ve çoğunlukla endüstriyel

uygulamalarda uygulandığı gibi, L-eviricilerde besleme hattının endüktif olması gereklidir. Sanal empedans kullanılarak, rezistif olan bu besleme hattı empedansı endüktif hale getirilebilmektedir. Sanal empedans, denklem 2.24'te belirtildiği gibi evirici çıkış gerilim referansını değiştirmektedir. Burada değiştirilmiş gerilim referansı V_{ref} , sanal empedans üzerindeki sanal gerilim düşümünü v_{se} , V_{anma} anma referans değerinden çıkararak elde edilmektedir [108,176,179,192].

$$V_{ref} = V_{anma} - v_{se} = V_{anma} - Z_{se} \cdot I_{oabc} \quad (2.24)$$

Denklem 2.24'te I_{oabc} , evirici çıkış akımıdır. Sanal empedans, doğru reaktif güç paylaşımını sağlamak, sistemde sönümlmeye katkı sağlamak, aktif ve reaktif gücü ayırmak (yani bağımsız denetlemeyi sağlamak) için droop denetim yöntemleri ile yaygın olarak kullanılmaktadır [142,193,194].

2.7.2.1. dq referans eksenlerde sanal empedans yöntemi

Sanal empedanslar, aşağıdaki gibi sanal gerilim düşüşü, Δv_{seabc} dikkate alınarak direnç ve endüktif sanal empedanslar olarak tasarlanmıştır

$$\Delta v_{seabc} = R_{se} i_{oabc} + L_{se} \frac{di_{oabc}}{dt} \quad (2.25)$$

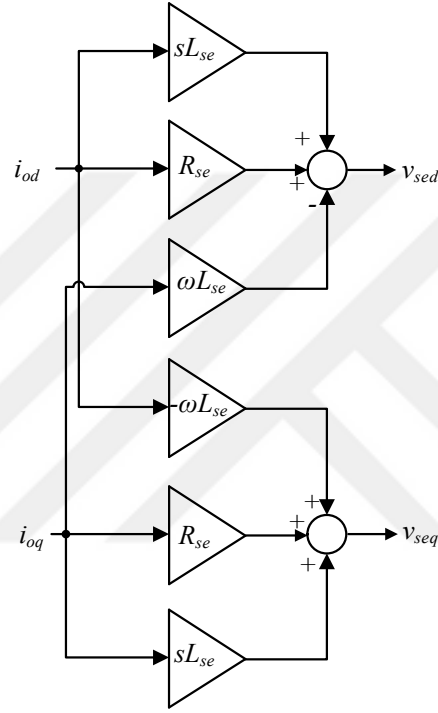
Denklem 2.25'te R_{se} sanal direnç ve L_{se} sanal endüktans değerleridir. Denklem 2.14'teki sanal empedansı uygulamak için denklem 2.25'teki dengeli üç fazlı sistem dq referans eksene dönüştürülmektedir.

$$\Delta v_{sedq} = R_{se} \cdot i_{odq} + L_{se} \frac{di_{odq}}{dt} + j\omega L_{se} i_{oq} \quad (2.26)$$

$$\begin{bmatrix} \Delta v_{sed} \\ \Delta v_{seq} \end{bmatrix} = R_{se} \begin{bmatrix} i_{od} \\ i_{oq} \end{bmatrix} + L_{se} \cdot s \begin{bmatrix} i_{od} \\ i_{oq} \end{bmatrix} + \begin{bmatrix} 0 & -\omega L_{se} \\ \omega L_{se} & 0 \end{bmatrix} \begin{bmatrix} i_{od} \\ i_{oq} \end{bmatrix} \quad (2.27)$$

i_{od} ve i_{oq} dq referans eksenlerde eviricinin çıkış akımlarıdır. Şekil 2.29'da sanal empedansın blok diyagramı verilmektedir [121,142,145,176,195,196].

Denklem 2.27'deki $sL_{se}i_{odq}$ terimi bazı uygulamalarda alçak geçiren filtre ile yüksek frekanslı bileşenlerin etkisi azaltılarak [196,197,198], bazı uygulamalarda ise kalıcı durumda akım değişiminin etkisi düşük olduğu kabul edilerek ihmal edilmiştir [199,200]. Bu yaklaşımlar ile denklem 2.16'daki droop denetim ve sanal empedans döngüsü birleştirilirse evirici referans çıkış gerilimi (v_{odq}) aşağıdaki şekilde elde edilmektedir [123,191,196].



Şekil 2.29: dq referans eksenlerde sanal empedans blok diyagramı.

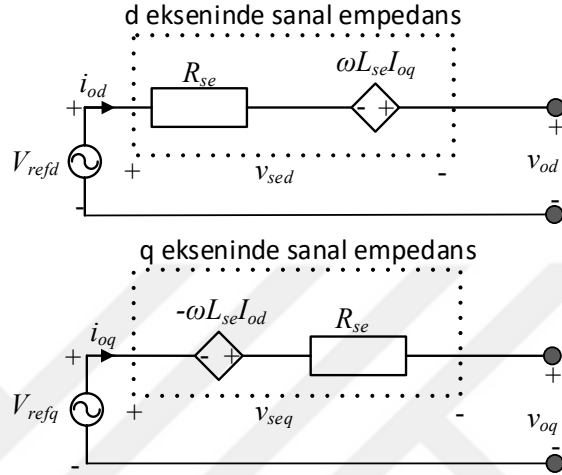
$$v_{odq} = v_{refdq} - v_{sedq} \quad (2.28)$$

$$\begin{bmatrix} v_{od} \\ v_{oq} \end{bmatrix} = \begin{bmatrix} E_{anma} & -n_Q Q \\ 0 & \end{bmatrix} - \underbrace{\begin{bmatrix} R_{se} & \omega L_{se} \\ -\omega L_{se} & R_{se} \end{bmatrix}}_{Z_{se}} \begin{bmatrix} i_{od} \\ i_{oq} \end{bmatrix} \quad (2.29)$$

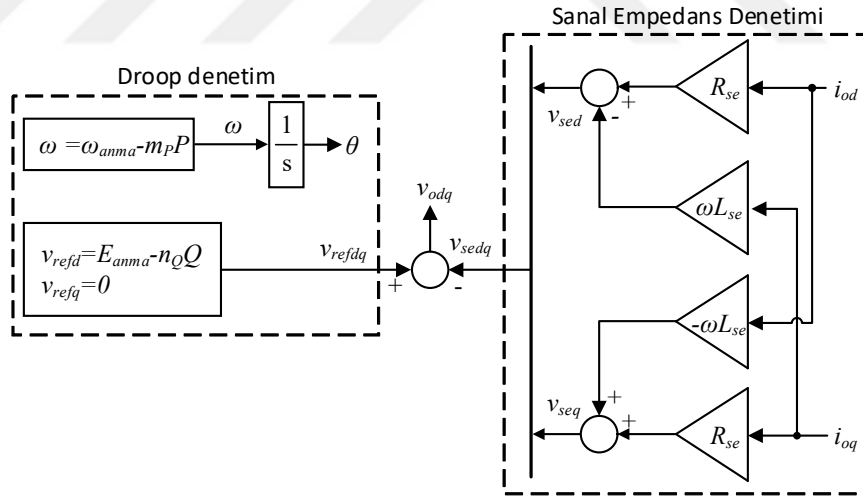
Şekil 2.30'de dq eksenlerinde sanal empedans eklenmiş halde evirici eşdeğer devresi verilmektedir. Şekil 2.31'de dq tabanlı sanal empedans ve droop denetim ile referans gerilimi denetim şeması verilmektedir [123].

2.7.2.2. $\alpha\beta$ durağan eksenlerde sanal empedans yöntemi

Denklem 2.25'teki dq tabanlı sanal empedans denklemi $\alpha\beta$ durağan eksenlerde denklem $Z_{se} = R_{se} + j\omega L_{se}$ kullanılarak denklem 2.29 ve denklem 2.30'daki gibi elde edilmektedir [201-204].



Şekil 2.30: dq eksenlerinde sanal empedans eklenmiş evirici eşdeğer devreleri.



Şekil 2.31: Droop denetim ve dq tabanlı sanal empedans yönteminin uygulanması.

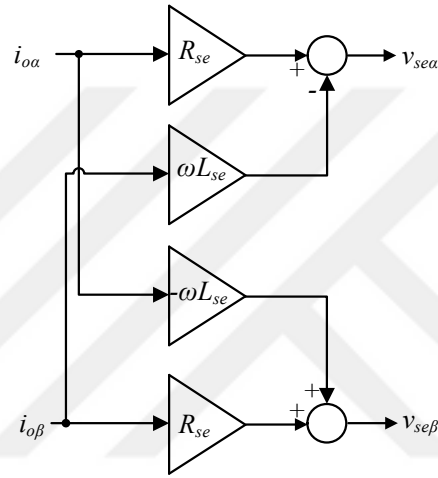
$$\Delta v_{se\alpha\beta} = (R_{se} + j\omega L_{se}) i_{o\alpha\beta} \quad (2.29)$$

$$\begin{bmatrix} \Delta v_{se\alpha} \\ \Delta v_{se\beta} \end{bmatrix} = R_{se} \begin{bmatrix} i_{o\alpha} \\ i_{o\beta} \end{bmatrix} + \begin{bmatrix} 0 & -\omega L_{se} \\ \omega L_{se} & 0 \end{bmatrix} \begin{bmatrix} i_{o\alpha} \\ i_{o\beta} \end{bmatrix} \quad (2.30)$$

$i_{o\alpha}$ ve $i_{o\beta}$ $\alpha\beta$ durağan eksenlerde eviricinin çıkış akımlarıdır. Şekil 2.32’de $\alpha\beta$ durağan eksenlerde sanal empedansın blok diyagramı verilmektedir [201-203].

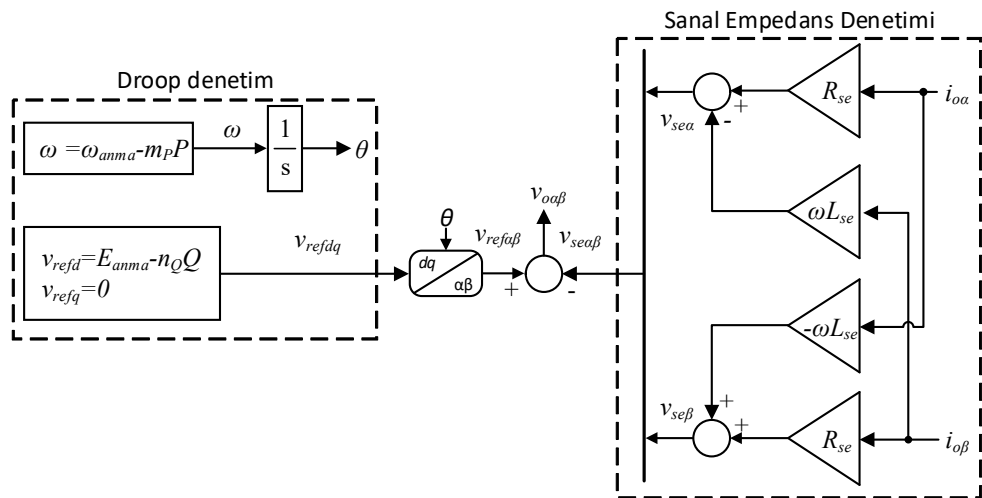
Denklem 2.39’daki sanal empedansı uygulamak için denklem 2.16’daki dq tabanlı droop denetim öncelikle $\alpha\beta$ durağan eksenlere dönüştürülür ve denklem 2.30’daki sanal empedans döngüsü birleştirilirse evirici referans çıkış gerilimi ($v_{o\alpha\beta}$) aşağıdaki şekilde elde edilmektedir [201-203].

$$v_{o\alpha\beta} = v_{ref\alpha\beta} - v_{se\alpha\beta} \quad (2.31)$$



Şekil 2.32: $\alpha\beta$ durağan eksenlerde sanal empedans blok diyagramı.

Şekil 2.33’de $\alpha\beta$ durağan eksenlerde sanal empedans ile droop denetim ile referans gerilimi denetim şeması verilmektedir [201-203].

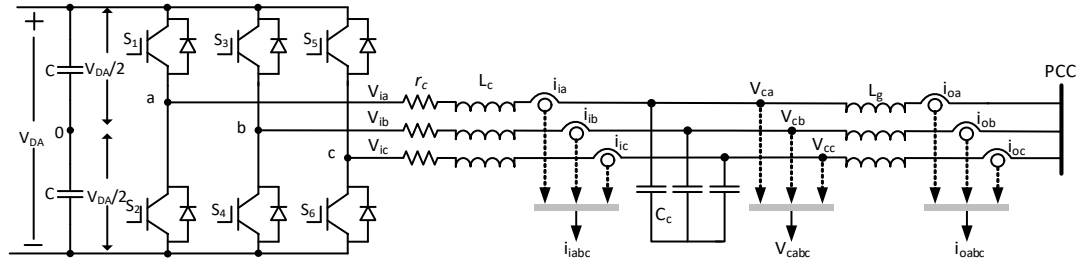


Şekil 2.33: Droop denetim ile $\alpha\beta$ durağan eksenlerde sanal empedans yönteminin uygulanması.

BÖLÜM 3. EVİRİCİLERİN MODELLENMESİ VE DENETİMİ

3.1. Giriş

Besleme kaynağının tipine ve güç devresinin ilgili topolojisine bağlı olarak evirici olarak bilinen DA'dan AA'ya dönüştürücüler, gerilim kaynaklı eviriciler ve akım kaynaklı eviriciler olarak sınıflandırılmaktadır. Gerilim kaynaklı eviricilerin üç fazlı iki seviyeli devre şeması (aynı zamanda şebeke eviricisidir) Şekil 3.1'de gösterilmektedir. Üç fazlı gerilim kaynaklı eviriciler, çeşitli darbe genişlik ayarı yöntemleri kullanılarak anahtarlanabilmektedir [205-207]. Bu eviriciler AA gerilim ve akım oluşturmak için şebeke eviricilerinde, aktif filtrelerde ve güç sistemlerinde yaygın olarak kullanılmaktadır [208]. Giriş DA gerilimi genellikle bir diyot köprülü doğrultucu ve LC veya C filtresi aracılığıyla üç fazlı şebekeden elde edilmektedir. Aktif doğrultucular da (Active Front End Rectifier) kullanılabilir.



Şekil 3.1: Üç fazlı iki seviyeli evirici devre şeması.

Üç fazlı iki seviyeli bir eviriciyi denetlemek için iki aşamalı denetim döngüsü gerekmektedir, bunlar iç döngü akım denetimi ve dış döngü gerilim denetimidir. Akım denetiminin referans girişleri, aktif ve reaktif güç denetimi veya AA veya DA gerilim denetimi gibi akım referansları sağlayan dış döngü denetimcilerden gelmektedir. İç ve dış denetim döngülerini analiz etmek, tasarlamak ve uygulamak için eviricinin dinamik modelinin elde edilmesi gerekmektedir.

3.2. Referans Eksen Takımları ve Dönüşümleri

Üç fazlı bir sistemde üç fazlı gerilim ve akım sinyalleri aynı frekansa aynı büyüklüğe ve her faz arasında 120° ($2\pi/3$ rad) kadar açısal farkına sahip sinüzoidal dalga biçimlerine sahip olduğunda dengeli kabul edilmektedir. Dengeli gerilimler ve akımlar matematiksel olarak aşağıdaki şekilde ifade edilmektedir.

$$\begin{aligned}v_a(\omega t) &= V_m \sin(\omega t + \phi_v) \\v_b(\omega t) &= V_m \sin(\omega t + \phi_v - 2\pi/3) \\v_c(\omega t) &= V_m \sin(\omega t + \phi_v + 2\pi/3)\end{aligned}\tag{3.1}$$

$$\begin{aligned}i_a(\omega t) &= I_m \sin(\omega t + \phi_i) \\i_b(\omega t) &= I_m \sin(\omega t + \phi_i - 2\pi/3) \\i_c(\omega t) &= I_m \sin(\omega t + \phi_i + 2\pi/3)\end{aligned}\tag{3.2}$$

V_m ve I_m sırasıyla üç fazlı bir eviricinin faz gerilimlerinin ve akımlarının tepe değerleridir. ω açısal frekans, ϕ_v ve ϕ_i ortak bir referansla ilgili gerilim ve akım faz açılarını ifade etmektedir. En çok kullanılan dönüştürme yöntemleri Clarke dönüşümü ve Park Dönüşümüdür. Clarke ve Park dönüşümleri kullanılarak üç fazlı gerilimler ve akımlar dq referans veya $\alpha\beta$ durağan referanslara yani iki faza dönüştürülür. Clarke ve Park dönüşümleri, analizi basitleştirmek, değişkenleri ayırmak, referans eksenlerine senkronize etmek ve analizi kolaylaştırmak için üç fazlı sistemlerin analizinde ve modellenmesinde kullanılır [102,209-212].

3.2.1. Clarke dönüşümü

Clarke dönüşümleri üç fazlı şebeke eviricilerinin denetiminde üç fazlı akım ve gerilimlerin durağan eksen dönüşümlerinde kullanılmaktadır. Bu durağan eksenler α , β ve sıfır olmak üzere üç bileşen bulunmaktadır. Dengeli bir sistem için sıfır bileşeni sıfıra eşittir. Şekil 3.2'de gösterildiği gibi, α eksenini ve β eksenini ortogonal olarak elde edilmektedir. α ve β eksenlerindeki akım ve gerilimler sinüzoidal olduğundan, denetimciler de sinüzoidal denetime uygun seçilmelidir [101,213]. Clarke dönüşümü matematiksel olarak aşağıdaki dönüşüm matrisi ile yapılmaktadır.

$$T_{abc-\alpha\beta} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \quad (3.3)$$

Ters dönüşüm matrisi de aşağıdaki şekilde ifade edilmektedir.

$$T_{\alpha\beta-abc} = \begin{bmatrix} 1 & 0 & 1 \\ -1/2 & \sqrt{3}/2 & 1 \\ 1/2 & -\sqrt{3}/2 & 1 \end{bmatrix} \quad (3.4)$$

abc referans eksenlerdeki gerilim ve akım vektörlerinin anlık bileşenleri aşağıdaki şekilde verilmektedir.

$$\begin{aligned} \vec{v}_{abc} &= [v_a \quad v_b \quad v_c]^T \\ \vec{i}_{abc} &= [i_a \quad i_b \quad i_c]^T \end{aligned} \quad (3.5)$$

$\alpha\beta 0$ durağan eksenlerde temsil edilen vektörler:

$$\begin{aligned} \vec{v}_{\alpha\beta 0} &= [v_\alpha \quad v_\beta \quad v_0]^T \\ \vec{i}_{\alpha\beta 0} &= [i_\alpha \quad i_\beta \quad i_0]^T \end{aligned} \quad (3.6)$$

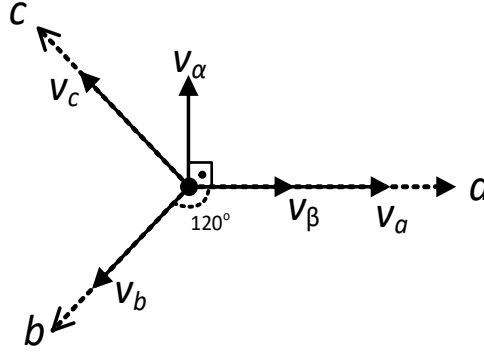
Üç fazlı gerilim ve akımın $\alpha\beta 0$ dönüşümünün vektörel gösterimi aşağıda verilmiştir.

$$\begin{aligned} \vec{v}_{\alpha\beta 0} &= T_{abc-\alpha\beta} \vec{v}_{abc} \\ \vec{i}_{\alpha\beta 0} &= T_{abc-\alpha\beta} \vec{i}_{abc} \end{aligned} \quad (3.7)$$

$\alpha\beta 0$ 'dan abc'ye ters vektörel gösterimde denklem 3.8'deki gibi ifade edilebilmektedir.

$$\begin{aligned} \vec{v}_{abc} &= T_{\alpha\beta-abc} \vec{v}_{\alpha\beta 0} \\ \vec{i}_{abc} &= T_{\alpha\beta-abc} \vec{i}_{\alpha\beta 0} \end{aligned} \quad (3.8)$$

Şekil 3.2'de üç faz eksenleri ve $\alpha\beta$ durağan eksenlerin vektörel gösterimi verilmektedir.



Şekil 3.2: Clarke dönüşümünün koordinat düzleminde gösterimi

3.2.2. Park dönüşümü

Park dönüşümü, bazı uygulamalarda $\alpha\beta$ durağan referans eksenlerden dq referans eksenlerden, bazı uygulamalarda ise üç fazlı eksenlerden doğrudan dq referans eksenlere dönüştürmektedir. Bu iki dönüşümü ardışık bir şekilde uygulamak, AA akım ve gerilim dalga biçimlerini DA değerlere dönüştürerek analizi, kontrol sistemini ve kontrol sisteminin tasarımını basitleştirmektedir [101]. Clarke dönüşümünde olduğu gibi park dönüşümünde de hesaplanan sıfır bileşeni dengeli sistemler için sıfırdır. dq0 referans eksenlerde vektörler denklem 3.9'daki tanımlanmaktadır [214, 215].

$$\begin{aligned}\vec{v}_{dq0} &= [v_d \quad v_q \quad v_0]^T \\ \vec{i}_{dq0} &= [i_d \quad i_q \quad i_0]^T\end{aligned}\tag{3.9}$$

Üç fazlı ekseninden dq referans eksene dönüşüm için Park dönüşümü matrisi denklem 3.10'da ifade edilmektedir.

Ters park dönüşümü denklem 3.11'de matris ile hesaplanmaktadır.

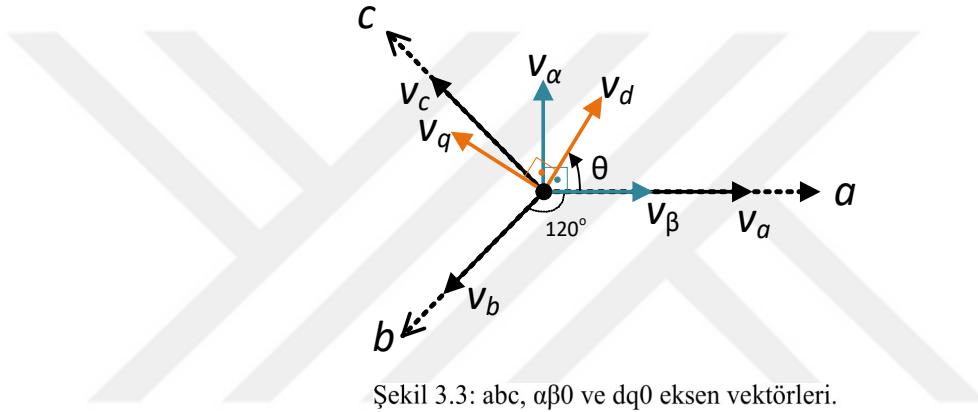
$$T_{abc-dq0} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ -\sin(\theta) & -\sin(\theta - 2\pi/3) & -\sin(\theta + 2\pi/3) \\ 1/2 & 1/2 & 1/2 \end{bmatrix}\tag{3.10}$$

$$T_{dq0-abc} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & -\sin(\theta) & 1/2 \\ \cos(\theta - 2\pi/3) & -\sin(\theta - 2\pi/3) & 1/2 \\ \cos(\theta + 2\pi/3) & -\sin(\theta + 2\pi/3) & 1/2 \end{bmatrix}\tag{3.11}$$

$\theta = \omega t + \phi$ dönüşüm açıdır ve ϕ ise faz kaymasına karşılık gelmektedir, faz farkı genelde sıfır alınır. Üç fazlı gerilim ve akımların $\alpha\beta 0$ dönüşümünün vektörel gösterimi aşağıda verilmiştir.

$$\begin{aligned}\vec{v}_{dq0} &= T_{abc-dq0} \vec{v}_{abc} \\ \vec{i}_{dq0} &= T_{abc-dq0} \vec{i}_{abc}\end{aligned}\quad (3.12)$$

abc üç fazlı eksenler, $\alpha\beta$ durağan ve dq eksenleri, hepsi birlikte vektörel olarak Kartezyen koordinat düzleminde gösterimi Şekil 3.3'te verilmektedir.



Şekil 3.3: abc, $\alpha\beta 0$ ve dq0 eksen vektörleri.

3.3. Üç Fazlı İki Seviyeli Eviricinin Matematiksel Modeli

Üç fazlı iki seviyeli eviriciler çıkışında LC(L) filtresi aracılığıyla mikro şebekeye bağlanmaktadır. Bu eviriciler dağıtık enerji kaynakları ile mikro şebekenin arasında bir arayüz donanımı olarak tanımlanmaktadırlar. Matematiksel model elde edilirken yarı iletkenlerin anahtarlama kayıpları ihmal edilmektedir. Eviriciler için dinamik modelin türetilmesi, denetimci tasarımları ve kararlılık analizi için yüksek öneme sahiptir.

Bu bölümde evirici modellenirken LCL filtrenin PCC tarafı endüktansı kontrol döngülerinin dışında yer almaktadır, dolayısıyla hat empedansı olarak değerlendirilmektedir. Bu yüzden LC filtre modellemesi yapılmaktadır ve bundan sonraki tüm denklemlerde bu dikkate alınmalıdır.

Şekil 3.1'de gösterilen üç fazlı devrenin denklemleri elde edilirken Kirchhoff gerilim ve akım yasaları kullanılarak evirici çıkış geriliminin ve çıkış akımının üç fazlı denklemleri aşağıda verilmektedir [120,217,218].

$$v_{iabc}(t) = r_c i_{iabc}(t) + L_c \frac{di_{iabc}(t)}{dt} + v_{cabc}(t) \quad (3.13)$$

$$i_{iabc}(t) = C_c \frac{dv_{cabc}(t)}{dt} + i_{oabc}(t) \quad (3.14)$$

$$v_{iabc}(t) = \begin{bmatrix} v_{ia}(t) \\ v_{ib}(t) \\ v_{ic}(t) \end{bmatrix}, i_{iabc}(t) = \begin{bmatrix} i_{ia}(t) \\ i_{ib}(t) \\ i_{ic}(t) \end{bmatrix}, v_{cabc}(t) = \begin{bmatrix} v_{ca}(t) \\ v_{cb}(t) \\ v_{cc}(t) \end{bmatrix}, i_{oabc}(t) = \begin{bmatrix} i_{oa}(t) \\ i_{ob}(t) \\ i_{oc}(t) \end{bmatrix} \quad (3.15)$$

L_c dönüştürücü tarafı LCL filtre endüktansdır ve r_c dönüştürücü tarafı LCL filtre endüktansının iç direncidir. C_c LCL filtre kapasitesidir. v_{cabc} LCL filtre gerilimidir. v_{iabc} , i_{iabc} dönüştürücü tarafı evirici çıkış gerilimi ve akımıdır. i_{oabc} PCC tarafı LCL filtre çıkış akımıdır. Denklem 3.13 ve denklem 3.14 yeniden düzenlenirse:

$$L_c \frac{di_{iabc}(t)}{dt} = v_{iabc}(t) - v_{cabc}(t) - r_c i_{iabc}(t) \quad (3.16)$$

$$C_c \frac{dv_{cabc}(t)}{dt} = i_{iabc}(t) - i_{oabc}(t) \quad (3.17)$$

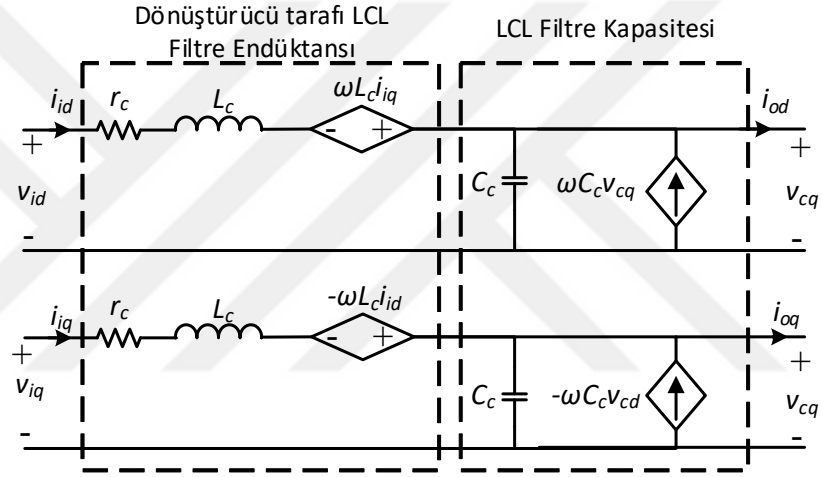
3.3.1. dq eksenlerde evirici matematiksel modeli

Denklem 3.16 ve denklem 3.17'deki LCL çıkış filtresinin dinamik denklemleri, denklem 3.12'deki Park dönüşümü kullanılarak dq eksenlerde elde edilmektedir. Dönüştürücü tarafı LCL filtre endüktansının dinamik denklemleri denklem 3.18'de ve LCL filtre kapasitesinin dinamik denklemleri denklem 3.19'da verilmektedir [120,124,216-218].

$$\begin{aligned} L_c \frac{di_{id}}{dt} &= v_{id} - v_{cd} - r_c i_{id} + L_c \omega i_{iq} \\ L_c \frac{di_{iq}}{dt} &= v_{iq} - v_{cq} - r_c i_{iq} - L_c \omega i_{id} \end{aligned} \quad (3.18)$$

$$\begin{aligned}
C_c \frac{dv_{cd}}{dt} &= i_{id} - i_{od} + C_c \omega v_{cq} \\
C_c \frac{dv_{cq}}{dt} &= i_{iq} - i_{oq} - C_c \omega v_{cd}
\end{aligned}
\tag{3.19}$$

ω evirici anlık çalışma frekansıdır. v_{cdq} , v_{idq} , i_{idq} LCL filtre kapasite gerilimi, dönüştürücü tarafı evirici çıkış gerilimi ve evirici çıkış akımı dq bileşenleridir. i_{odq} PCC tarafı LCL filtre çıkış akımı dq bileşenleridir. Denklem 3.18 ve denklem 3.19'a göre dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin dq tabanlı elektriksel eşdeğer devresi Şekil 3.4'te verilmiştir.



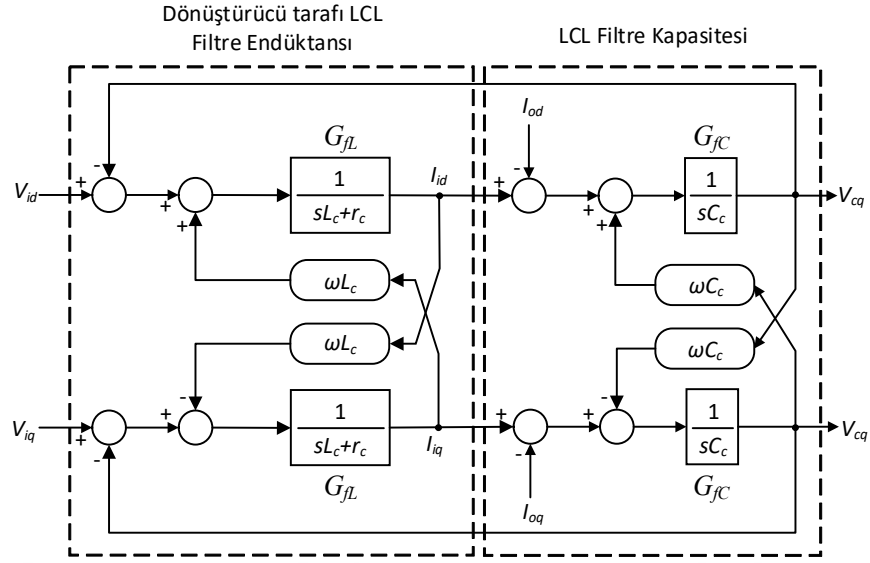
Şekil 3.4: Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin elektriksel dq tabanlı eşdeğer devre şeması.

Denklem 3.18 ve 3.19'un Laplace denklemleri denklem 3.20 ve 3.21'de verilmektedir.

$$\begin{aligned}
I_{id}(s)(sL_c + r_c) &= \omega L_c I_{iq}(s) + V_{id}(s) - V_{cd}(s) \\
I_{iq}(s)(sL_c + r_c) &= -\omega L_c I_{id}(s) + V_{iq}(s) - V_{cq}(s)
\end{aligned}
\tag{3.20}$$

$$\begin{aligned}
sC_c V_{cd}(s) &= \omega C_c V_{cq}(s) + I_{id}(s) - I_{od}(s) \\
sC_c V_{cq}(s) &= -\omega C_c V_{cd}(s) + I_{iq}(s) - I_{oq}(s)
\end{aligned}
\tag{3.21}$$

Denklem 3.20 ve denklem 3.21 ile elde edilen LCL filtrenin blok diyagramı Şekil 3.5'te verilmiştir [120,217,218].



Şekil 3.5: Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin dq tabanlı blok diyagramı.

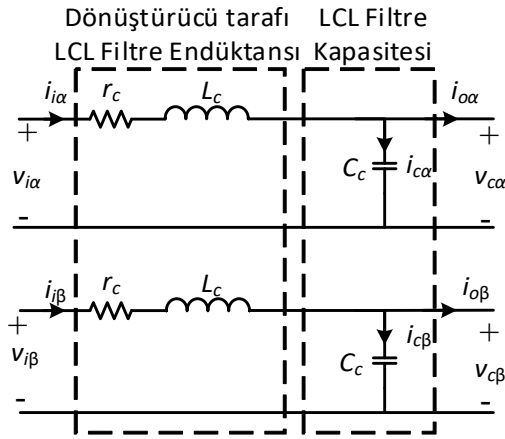
3.3.2. $\alpha\beta$ durağan eksenlerde evirici matematiksel modeli

Denklem 3.16 ve denklem 3.17'deki LCL çıkış filtresinin dinamik denklemleri, denklem 3.7'deki Clarke dönüşümü kullanılarak $\alpha\beta$ durağan eksenlerde elde edilmektedir. Dönüştürücü tarafı LCL filtre endüktansının dinamik denklemleri denklem 3.22'de ve LCL filtre kapasitesinin dinamik denklemleri denklem 3.23'te verilmektedir [213,219-221].

$$\begin{aligned} L_c \frac{di_{i\alpha}}{dt} &= v_{i\alpha} - v_{c\alpha} - r_c i_{i\alpha} \\ L_c \frac{di_{i\beta}}{dt} &= v_{i\beta} - v_{c\beta} - r_c i_{i\beta} \end{aligned} \quad (3.22)$$

$$\begin{aligned} C_c \frac{dv_{c\alpha}}{dt} &= i_{i\alpha} - i_{o\alpha} \\ C_c \frac{dv_{c\beta}}{dt} &= i_{i\beta} - i_{o\beta} \end{aligned} \quad (3.23)$$

$v_{c\alpha\beta}$, $v_{i\alpha\beta}$, $i_{i\alpha\beta}$ LCL filtre kapasite gerilimi, dönüştürücü tarafı evirici çıkış gerilimi ve evirici çıkış akımı $\alpha\beta$ bileşenleridir. $i_{o\alpha\beta}$ PCC tarafı LCL filtre çıkış akımı $\alpha\beta$ bileşenleridir. Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin $\alpha\beta$ tabanlı elektriksel eşdeğer devresi Şekil 3.6'da verilmiştir.



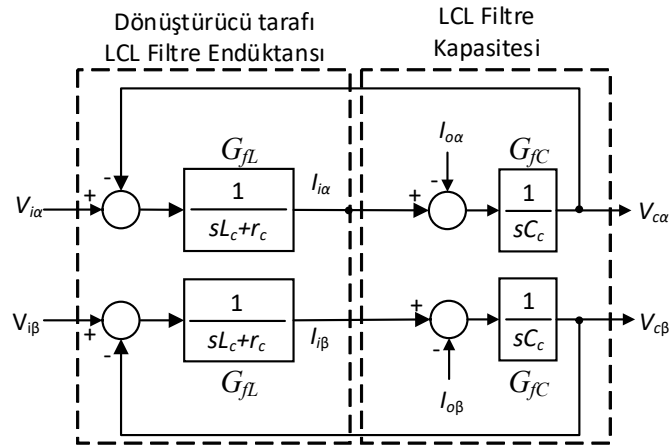
Şekil 3.6: Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin elektriksel $\alpha\beta$ eşdeğer devresi.

Denklem 3.22 ve 3.23'ün Laplace denklemleri aşağıda denklem 3.24 ve 3.25'te verilmektedir.

$$\begin{aligned} I_{i\alpha}(s)(sL_c + r_c) &= V_{i\alpha}(s) - V_{c\alpha}(s) \\ I_{i\beta}(s)(sL_c + r_c) &= V_{i\beta}(s) - V_{c\beta}(s) \end{aligned} \quad (3.24)$$

$$\begin{aligned} sC_c V_{c\alpha}(s) &= I_{i\alpha}(s) - I_{o\alpha}(s) \\ sC_c V_{c\beta}(s) &= I_{i\beta}(s) - I_{o\beta}(s) \end{aligned} \quad (3.25)$$

Denklem 3.24 ve denklem 3.25'te verilen Laplace denklemleri ile elde edilen LC filtrenin $\alpha\beta$ durağan eksenlerdeki blok diyagram Şekil 3.7'de verilmiştir.



Şekil 3.7: Dönüştürücü tarafı LCL filtre endüktansı ve LCL filtre kapasitesinin $\alpha\beta$ tabanlı blok diyagramı.

3.4. Şebeke Oluşturan Eviricilerin Denetim Yöntemleri

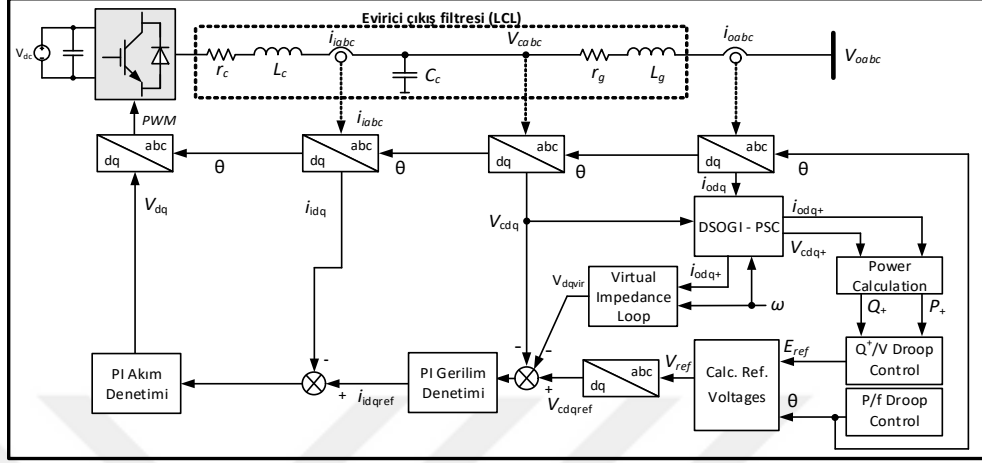
Şebeke eviricilerinin kapalı çevrim denetiminde senkron referans eksenlerde veya durağan eksenlerde yaygın olarak PI ve PR denetimciler kullanılmaktadır [222-224]. Şebeke eviricileri denetim döngüleri, ada modlu çalışma durumunda kaskad bağlı üç aşamadan oluşmaktadır bunlar: akım denetim döngüleri, gerilim denetim döngüleri ve droop denetim döngüleridir. PI denetimci, dengeli şebeke koşulları altında kullanımı kolaydır [225-227]. Dengesiz şebeke koşullarında PI denetimcileri, şebeke akımının pozitif ve negatif sıralı bileşenleri için iki ayrı PI denetimci kullanmak zorundadır ve bu durum denetim karmaşıklığını da artırmaktadır [228-231]. Son zamanlarda PR denetimci, şebeke eviricilerinde uygulamalarında PI denetimcilerinin yerini almaya başlamıştır [232,233]. PR denetimcilerin, PI denetimcilerden en önemli farkı aynı anda pozitif ve negatif sıralı bileşenleri kontrol edebilmesidir [234-238]. Böylelikle kontrol için sadece bir PR denetimcinin gerekli olması uygulanmasının PI denetimcilere daha basit olduğunu göstermektedir [239-241]. Daha önceden de bahsedildiği gibi LCL filtrenin PCC tarafı endüktansı kontrol döngülerinin dışında yer almaktadır.

3.4.1. dq referans eksenlerde akım ve gerilim denetimi

dq referans eksenlerde, evirici çıkış gerilimleri, dönüştürücü tarafı filtre endüktansı akımları ve çıkış akımları dq bileşenlerine dönüştürülmektedir. Denetim şeması kaskad bir yapıya ve dört PI denetimciye sahiptir. İç döngünün dış döngü referanslarını takip edebilmesi için akım denetim döngüsü gerilim denetim döngüsünden yeterince yüksek band genişliğine sahip olması gerekmektedir. Genel olarak, iç akım döngüsünün band genişliği, dış gerilim döngüsü band genişliğinden yaklaşık olarak on (10) kat daha büyük seçilmektedir. Ayrıca, gerilim denetimcileri tasarlanırken akım döngüsü ihmal edilir yani döngü kazancı bir (1) seçilir. Son olarak, iç ve dış döngülerde ayrıştırma (decoupling) dinamiklerinin varlığı da ihmal edilmemelidir. PI denetimcilerin kullanılmasının en önemli nedeni tasarımının basit olması ve uygulama kolaylığıdır [216,222,232,243-247]. Şekil 3.8’de şebeke oluşturan eviricilerin dq eksenlerdeki denetim blok diyagramı verilmektedir.

Şekil 3.8’de v_{cdq+} ve i_{odq+} LCL filtre kapasite gerilimi ve LCL filtre çıkış akımı pozitif sıralı dq bileşenleridir. P_+ ve Q_+ evirici çıkış aktif ve reaktif gücün pozitif bileşenleridir.

v_{dqvir} sanal empedans çıkış gerilimi dq bileşenleridir. E_{ref} evirici referans gerilimi tepe değeridir.



Şekil 3.8: Şebeke eviricisinin dq eksenlerdeki denetim blok diyagramı.

PI denetim günümüzde kullanılan en popüler denetim yöntemidir. Bir PI denetimci, oransal ve integratör terimlerinin toplamından oluşmaktadır.

$$G_{PI}(s) = k_p + \frac{k_i}{s} \quad (3.26)$$

Denklem 3.26’da PI denetimcinin k_p oransal kazancı ve k_i ise integral kazancıdır.

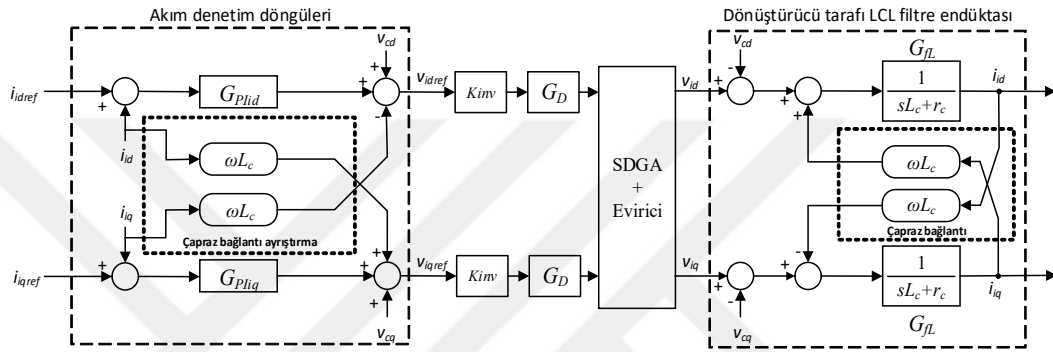
3.4.1.1. dq eksenlerde PI tabanlı akım denetimi

Akım denetim döngüsü eviricinin çıkış akımını, yani dönüştürücü tarafı LCL filtre endüktasının akımını denetler. Akım denetim döngüsü PI denetimciler, ayrıştırma terimleri ve ileri beslemeden oluşmaktadır [124]. Akım döngüsü denetimci tasarımı, bir ileri besleme ile çapraz bağlantı terimlerinin yok edilmesine dayanmaktadır [218]. Akım denetimi için denklem 3.20, PI transfer fonksiyonunu içerecek şekilde denklem 3.27’deki gibi elde edilmektedir [124,217,218].

$$\begin{aligned} G_{Plid}(s)(I_{idref}(s) - I_{id}(s)) &= V_{id}(s) - V_{cd}(s) + \omega L_c I_{iq}(s) \\ G_{Pliq}(s)(I_{iqref}(s) - I_{iq}(s)) &= V_{iq}(s) - V_{cq}(s) - \omega L_c I_{id}(s) \end{aligned} \quad (3.27)$$

Denklem 3.27’de görüldüğü gibi d ve q eksenleri arasında çapraz bağlantılar (doğrusal olmayan terimler) bulunmaktadır. Bu çapraz bağlantıların etkisi ayrıştırma yapılarak yok edilmektedir. Bu ayrıştırma işlemi ile dq eksenlerindeki akım döngüleri birbirinden bağımsız bir şekilde denetlenebilmektedirler.

dq referans eksen takımında eviriciye ait akım denetim blok diyagramı Şekil 3.9’da verilmektedir. Akım denetimci döngülerindeki ileri besleme, LCL filtre kapasitesi gerilimidir.



Şekil 3.9: dq eksenlerde akım denetim döngüleri ve dönüştürücü tarafı LCL filtre endüktansı blok diyagramı.

Şekil 3.9’da görüldüğü gibi dönüştürücü tarafı LCL filtre endüktansının dq eksenlerindeki $-\omega L_c i_{iq}$ ve $\omega L_c i_{id}$ çapraz bağlantı bileşenleri, ayrıştırma (decoupling) ile yok edilmektedir. Evirici uygulamalarında evirici kazancı dikkate alınarak sinüzoidal darbe genişlik ayarı üç fazlı doluluk oranları üretilmektedir. Genellikle evirici kazancı hesaplanarak denetimde sadeleştirilir. $K_{inv} = \frac{V_T}{V_{DA}}$ denklemi ile evirici kazancı hesaplanmaktadır. V_T , sinüzoidal darbe genişlik ayarı taşıyıcı sinyalin tepe değeridir. V_{DA} , DA bara gerilimi değeridir. Böylelikle evirici kazancı bir (1) olarak varsayım yapılırsa, akım denetimcisi çıkışı yani referans sinyal v_{idqref} doğrudan evirici çıkış gerilimi v_{idq} ’ye eşit olarak alınabilmektedir. Şekil 3.9’daki $G_D = e^{-1.5T_d s}$ toplam zaman gecikmesidir [248,249]. T_d denetim sisteminin örnekleme periyodudur [250].

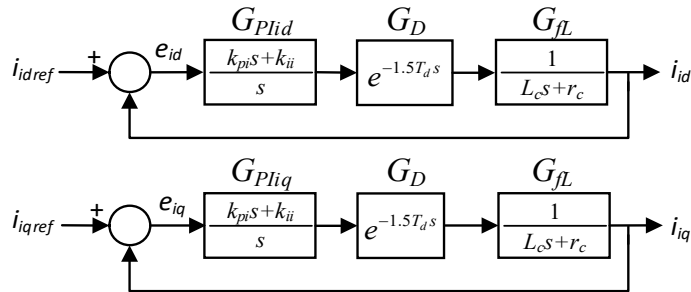
Evirici kazancı sadeleştirilerek ve zaman gecikmesi dahil edilerek denklem 3.20’deki $V_{idq}(s)$ yerine denklem 3.27 yazılırsa akım denetimi döngü denklemleri aşağıdaki gibi elde edilmektedir.

$$\begin{aligned}
I_{id}(s) &= G_D(s)G_{fL}(s) \left(\frac{\omega L_c I_{iq}(s) + G_{Plid}(s)(I_{idref}(s) - I_{id}(s))}{+ \cancel{V_{cd}(s)} - \cancel{\omega L_c I_{iq}(s)} - \cancel{V_{cd}(s)}} \right) \\
I_{iq}(s) &= G_D(s)G_{fL}(s) \left(\frac{-\omega L_c I_{id}(s) + G_{Pliq}(s)(I_{iqref}(s) - I_{iq}(s))}{+ \cancel{V_{cq}(s)} + \cancel{\omega L_c I_{id}(s)} - \cancel{V_{cq}(s)}} \right)
\end{aligned} \tag{3.28}$$

Denklem 3.28'den dq eksenlerindeki akım denetim döngüsü kapalı çevrim transfer fonksiyonu aşağıdaki gibi elde edilmektedir.

$$G_{cdq}(s) = \frac{I_{idq}(s)}{I_{idqref}(s)} = \frac{G_{Plidq}(s)G_D(s)G_{fL}(s)}{1 + G_{Plidq}(s)G_D(s)G_{fL}(s)} \tag{3.29}$$

Denklem 3.29'da $G_{Plidq}(s)$ PI denetimci transfer fonksiyonu, $G_D(s)$ zaman gecikmesinin transfer fonksiyonu ve $G_{fL}(s)$ ise dönüştürücü tarafı LCL filtre endüktansı transfer fonksiyonudur. Ayırıştırma ve evirici kazancı dikkate alınarak yapılan sadeleştirmelerden sonra Şekil 3.9'daki akım denetiminin kapalı döngü sadeleşmiş blok diyagramları ayrı ayrı Şekil 3.10'daki gibi elde edilmektedir.



Şekil 3.10: Akım denetimi kapalı döngü blok diyagramı.

e_{id} ve e_{iq} dq referans eksenlerdeki referans akım ile evirici akımı arasındaki hatalardır. k_{pi} ve k_{ii} akım denetimi PI denetimci kazançlarıdır.

3.4.1.2. dq eksenlerde PI tabanlı gerilim denetimi

Gerilim döngüsü denetimci tasarımı, akım denetimi ile benzer aşamaları takip etmektedir. Gerilim denetim döngüsü, PI denetimciler, ayırıştırma terimleri ve ileri

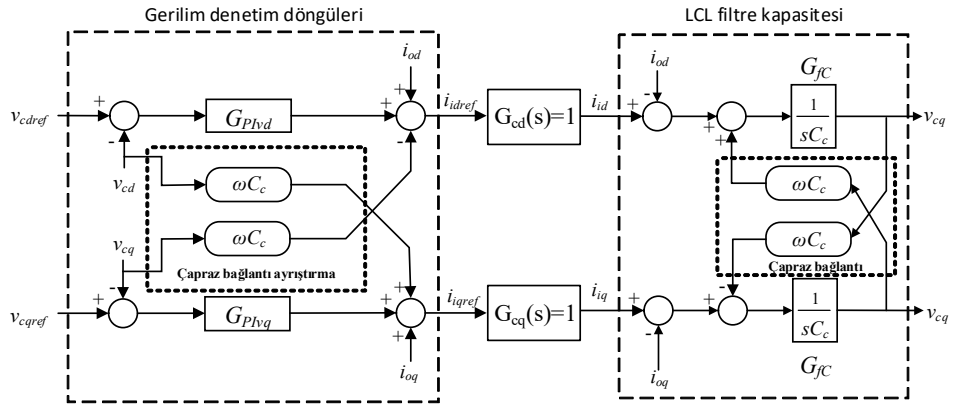
beslemeden oluşmaktadır. Gerilim denetimi için denklem 3.21, PI transfer fonksiyonunu içerecek şekilde denklem 3.30'daki gibi elde edilmektedir [124, 217, 218].

$$\begin{aligned} G_{Plvd}(s)(V_{cdref}(s) - V_{cd}(s)) &= I_{id}(s) + \omega C_c V_{cq}(s) - I_{od}(s) \\ G_{Plvq}(s)(V_{cqref}(s) - V_{cq}(s)) &= I_{iq}(s) - \omega C_c V_{cd}(s) - I_{oq}(s) \end{aligned} \quad (3.30)$$

Akım döngüsü kazancı bir (1) olarak varsayım yapılırsa, gerilim denetimsi çıkışı yani referans sinyal i_{idqref} doğrudan evirici çıkış akımına i_{idq} 'ye eşit olarak alınabilmektedir. Denklem 3.30'daki $I_{idq}(s)$ çekilerek denklem 3.21'de yerine yazılırsa gerilim denetim döngü denklemleri aşağıdaki gibi elde edilmektedir. Gerilim denetimci döngülerindeki ileri besleme, LCL filtre çıkış akımıdır.

$$\begin{aligned} V_{cd}(s) &= G_{fc}(s) \left(\frac{\omega C_c V_{cq}(s) + G_{Plvd}(s)(V_{cdref}(s) - V_{cd}(s))}{-\omega C_c V_{cq}(s) + I_{od}(s) - I_{od}(s)} \right) \\ V_{cq}(s) &= G_{fc}(s) \left(\frac{-\omega C_c V_{cd}(s) + G_{Plvq}(s)(V_{cqref}(s) - V_{cq}(s))}{+\omega C_c V_{cd}(s) + I_{oq}(s) - I_{oq}(s)} \right) \end{aligned} \quad (3.31)$$

dq eksenlerde eviriciye ait gerilim denetimi döngüleri ve LCL filtre kapasitesi blok diyagramı Şekil 3.11'de verilmektedir.



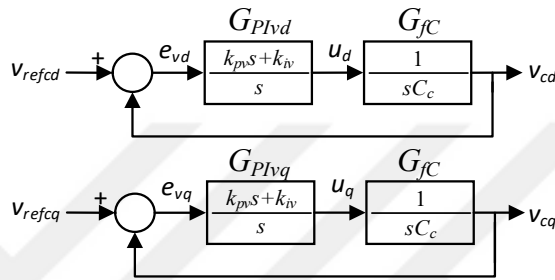
Şekil 3.11: dq eksenlerde gerilim denetim döngüleri ve LCL filtre kapasitesi blok diyagramı.

Şekil 3.11'de görüldüğü gibi LCL filtre kapasitesinin dq eksenlerindeki $-\omega C_c v_{cq}$ ve $\omega C_c v_{cd}$ çapraz bağlantı bileşenleri, ayrıştırma (decoupling) ile yok edilmektedir.

Denklem 3.31'den dq eksenlerindeki gerilim denetimsi kapalı çevrim transfer fonksiyonu aşağıdaki gibi elde edilmektedir.

$$G_{vdq}(s) = \frac{V_{cdq}(s)}{V_{cdqref}(s)} = \frac{G_{fC}(s)G_{PIvdq}(s)}{1 + G_{fC}(s)G_{PIvdq}(s)} \quad (3.32)$$

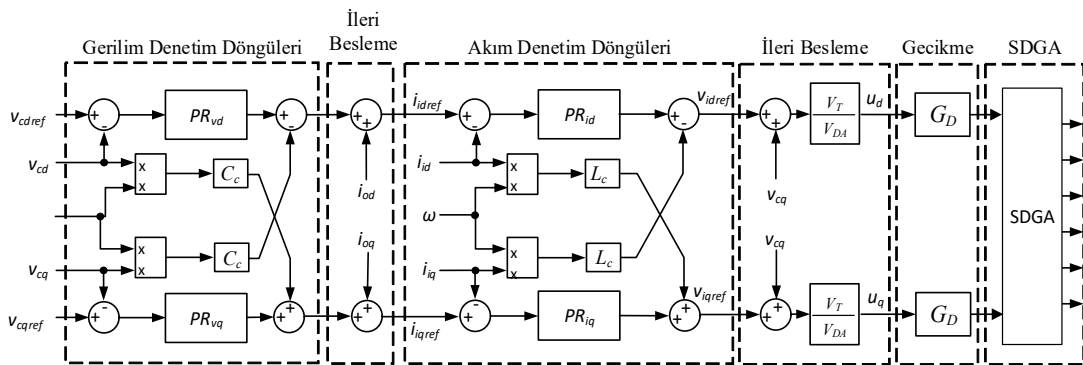
Tüm sadeleştirilmelerden sonra gerilim denetiminin kapalı döngü blok diyagramı dq eksenleri için Şekil 3.12'deki gibi elde edilmektedir.



Şekil 3.12: Gerilim denetimi kapalı döngü blok diyagramı.

e_{vd} ve e_{vq} dq referans eksenlerdeki referans gerilim ile evirici çıkış gerilimi arasındaki hatalardır. k_{pv} ve k_{iv} gerilim denetimi için PI denetimsi kazançlarıdır. u_d ve u_q dq eksenlerde denetim sistemi çıkış modülasyon sinyalleridir.

dq referans eksenlerde LCL çıkış filtreli şebeke evircisinin gerilim ve akım denetim döngülerine ait blok diyagram Şekil 3.13'te verilmektedir.



Şekil 3.13: Şebeke evircisi PI denetim blok diyagramı.

3.4.1.3. Droop tabanlı güç denetimi

Mikro şebeke eviricisinin güç denetimi, senkron generatörün davranışını taklit etmek için droop denetimine dayanmaktadır. Aktif ve reaktif güçler, sırasıyla denklem 3.33'te gösterildiği gibi dq eksenlerindeki anlık LCL filtre kapasite gerilimleri ve PCC tarafı çıkış akımı kullanılarak hesaplanmaktadır. Anlık gerilim ve akımlardan hesaplanan güçler bir alçak geçiren filtreden geçtikten sonra temel dalga pozitif sıralı güçleri elde edilmektedir [163,164,171]. Literatürde alçak geçiren filtrenin kesim frekansı, gerilim denetimi band genişliği frekansının %10'u (yani 10'da biri) seçilmektedir. Denklem 3.33'te alçak geçiren filtrelerin dahil olduğu anlık aktif ve reaktif güç hesabı denklemleri verilmektedir.

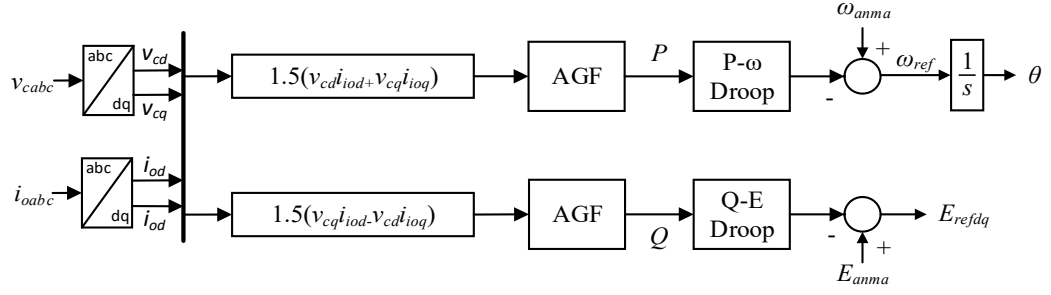
$$\begin{aligned} P &= \left(\frac{\omega_f}{s + \omega_f} \right) \left[\frac{3}{2} (v_{cd} i_{od} + v_{cq} i_{oq}) \right] \\ Q &= \left(\frac{\omega_f}{s + \omega_f} \right) \left[\frac{3}{2} (v_{cq} i_{od} - v_{cd} i_{oq}) \right] \end{aligned} \quad (3.33)$$

Denklem 3.33'te v_{cd} ve v_{cq} LCL filtre kapasitesinin gerilimi ve i_{od} ve i_{oq} ise LCL filtre çıkış akımının dq bileşenleridir. ω_f alçak geçiren filtrenin kesim frekansıdır.

Bölüm 2.'de detaylı olarak açıklanan L-eviricilerde P-f ve Q-E droop denetimi yöntemi ve denklem 2.24 kullanılarak şebeke eviricisi droop denetimi denklemleri denklem 3.35'te verilmektedir. Yani şebeke eviricisi L-evirici olarak çalışmaktadır.

$$\begin{aligned} \omega_{ref} &= \omega_{anma} - m_p P \\ E_{ref} &= E_{anma} - n_Q Q \end{aligned} \quad (3.34)$$

ω_{anma} ve E_{anma} , evirici anma çıkış frekansı ve gerilimidir. Eviricinin izin verilen maksimum ve minimum gerilim ve frekans aralığı dağıtık enerji kaynakları ile elektrik güç sistemlerini birbirine bağlamak için önceden belirlenen standartlar tarafından belirlenmektedir. Eviricinin anma güçleri ise eviricinin güç kapasitesi limitlerine bağlıdır. Droop tabanlı güç denetiminin blok diyagramı Şekil 3.14'te gösterilmektedir.



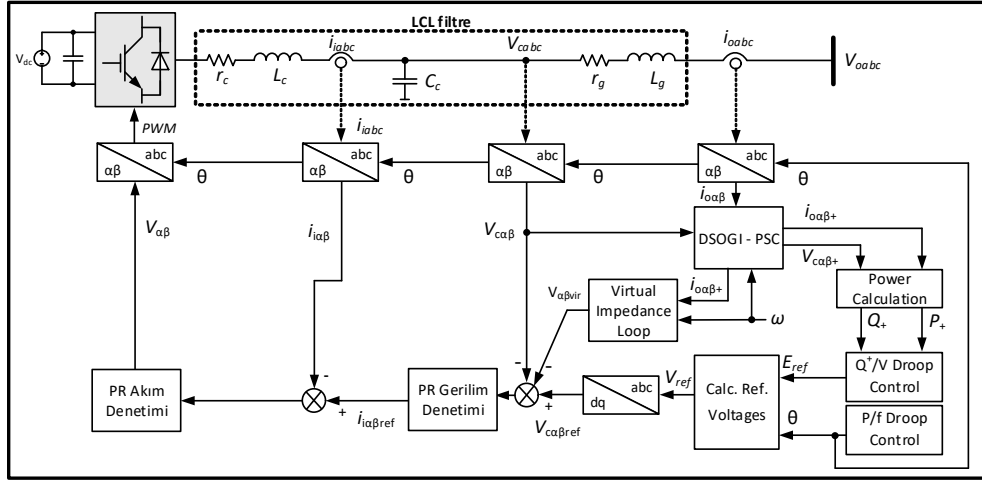
Şekil 3.14: Droop tabanlı güç denetimi blok diyagramı.

Şekil 3.14'te güç denetimcilerin çıkışlarının, ortak bağlantı noktasındaki frekans ve gerilim olduğu görülmektedir. Ancak dq eksenlerde gerilim ve akım büyüklüklerinin elde edilmesi için dönüşüm faz açısını bulmak gerekir. Dolayısıyla aktif güç droop denetiminden elde edilen açısal hızın integrali alınarak faz açısı bulunmaktadır.

3.4.2. $\alpha\beta$ durağan eksenlerde akım ve gerilim denetimi

Oransal rezonatör denetimci (PR controller), sinüzoidal akım ve gerilim kontrolünde $\alpha\beta$ durağan eksenlerde yüksek performanslı bir denetimci olarak ortaya çıkmıştır. Daha önceden de belirtildiği gibi PI denetimcilerin dezavantajları göz önüne alındığında PR denetimciler ön plana çıkmaktadır ve PR denetimcilerin kullanımı daha da yaygınlaşmaktadır. Ayrıca dengeli şebeke koşullarında PI denetimcilere göre PR denetiminin rezonatörü, denetim sinyalinin belirli rezonans frekansında kazanç sağlayarak kararlı durum hatasını daha iyi ortadan kaldırma yeteneğine sahiptir [220, 251-253].

Şekil 3.15'te iki seviyeli üç fazlı eviricinin $\alpha\beta$ eksenlerdeki denetim blok diyagramı verilmektedir.



Şekil 3.15: İki seviyeli üç fazlı eviricinin $\alpha\beta$ durağan eksenlerde denetim blok diyagramı.

$v_{ca\beta+}$ ve $i_{oa\beta+}$ LCL filtre kapasite gerilimi ve LCL filtre çıkış akımı pozitif sıralı $\alpha\beta$ bileşenleridir. $v_{\alpha\beta vir}$ sanal empedans çıkış gerilimi $\alpha\beta$ bileşenleridir.

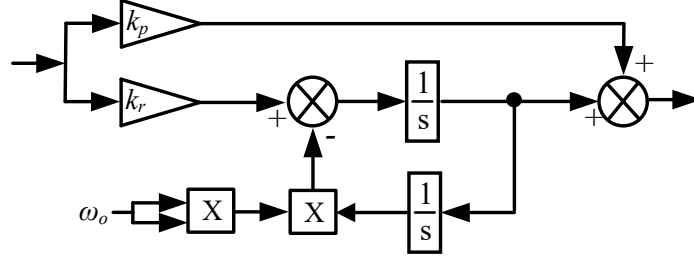
PR denetimci, oransal bir terim ile rezonatör terimin toplamından oluşmaktadır. PR denetimde Clarke dönüşüm ile üç fazlı büyüklükler, durağan eksenlere yani $\alpha\beta$ eksenlerine dönüşüm yapılmaktadır. Bu nedenle, PR denetimcilerin değişkenleri sinüzoidaldir. Ek olarak bir PR denetimcilerin aşağıdaki gibi karakteristik özellikleri vardır [220,251-2253].

- Belirli bir rezonans frekansında yüksek kazanç sağlayarak kalıcı durum hatasını yok etme yeteneğine sahiptir [254].
- PR denetimci rezonatörleri ile herhangi bir harmonik (5,7,11.) frekanslarda tasarım yapılarak sadece o harmonik frekansta çalışacak şekilde tasarlanabilmektedir [233].
- $\alpha\beta$ eksenlerdeki denetim döngülerinde çapraz bağlantı bulunmamaktadır ve bu nedenle denetim döngülerinde ayırıştırma yapılmasına gerek yoktur [235].

İdeal PR kontrol transfer fonksiyonu denklem 3.35'te verilmiştir.

$$G_{PRideal}(s) = k_p + k_r \frac{s}{s^2 + \omega_0^2} \quad (3.35)$$

k_p oransal kazanç, k_r rezonatör kazancı, ω_o rezonans frekansdır. Şekil 3.16'da ideal PR denetimci blok diyagramı verilmiştir.

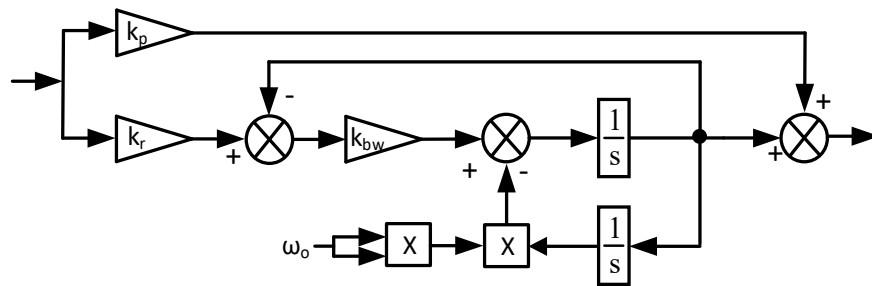


Şekil 3.16: İdeal PR denetimci blok diyagramı.

Denklem 3.35'teki PR denetimci transfer fonksiyonu idealdir ve sadece ω_o rezonans frekansında sonsuz bir kazançla sahiptir. Bu sonsuz kazançtan kaçınmak için denklem 3.35'teki ideal PR denetimci, denklem 3.36'da gösterildiği gibi ideal olmayan PR denetimciye dönüştürülmektedir [7,225].

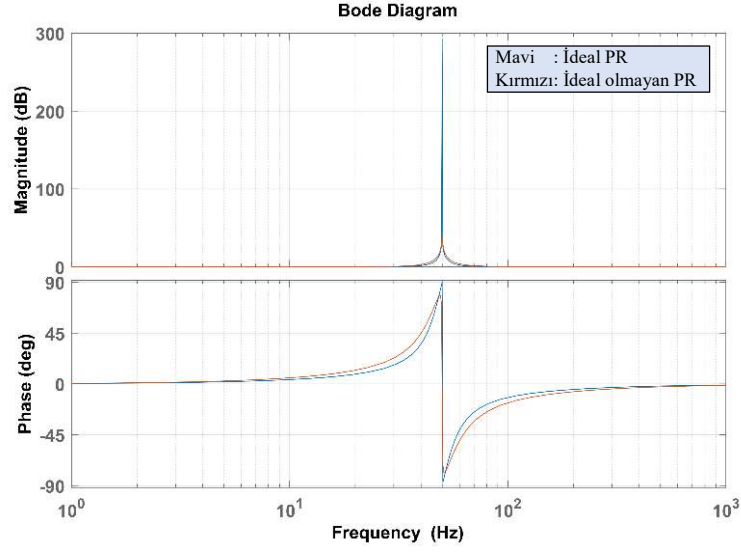
$$G_{PR}(s) = k_p + k_r \frac{2\omega_c s}{s^2 + 2\omega_c s + \omega_0^2} \quad (3.36)$$

ω_c band genişliği ve rezonans frekansı ile aralarında $\omega_c \ll \omega_o$ oranı vardır. $k_{bw} = 2\omega_c$ olarak alınmaktadır. İdeal olmayan PR denetimcinin blok diyagramı Şekil 3.17'de verilmektedir.



Şekil 3.17: İdeal olmayan PR denetimci.

Şekil 3.18'de hem ideal hem de ideal olmayan PR denetimci için frekans cevabı grafikleri verilmektedir.



Şekil 3.18: İdeal ve ideal olmayan PR denetimci bode diyagramı.

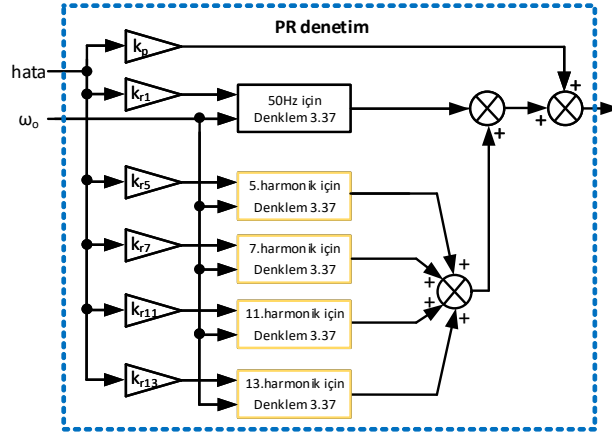
Şekil 3.18’de görüldüğü gibi ideal olmayan PR denetimcinin, ideal PR denetimciye kıyasla rezonans frekansında kazanç değerinin sonsuz olmadığı ve sınırlı bir değere sahip olduğu görülmektedir, bu sınırlı değer k_r ve k_{bw} değerleri ile ayarlanabilmektedir.

Temel dalganın dışındaki harmonikleri de kontrol edebilmek için her bir harmonik frekansta çalışacak harmonik rezonatörler tasarlamak mümkündür. Harmonik rezonatörlerin transfer fonksiyonu denklem 3.37’de verilmektedir [225,255].

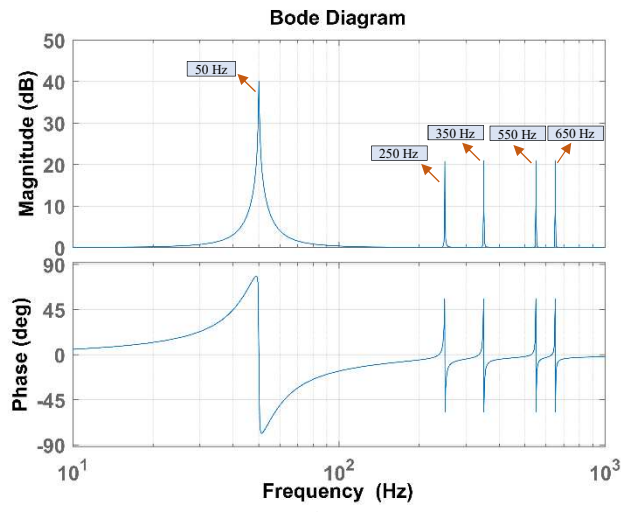
$$G_R(s) = \sum_{h=5,7,11,13} \left(k_{rh} \frac{2\omega_c s}{s^2 + 2\omega_c s + (\omega_o \cdot h)^2} \right) \quad (3.37)$$

Denklem 3.37’de h harmonik derecedir. Harmonik derecesi arttıkça genelde yüksek mertebeden harmoniklerin akımdaki THD’ye katkısı azaldığı için 13. harmonikten sonraki harmonikler genellikle ihmal edilmektedir.

Şekil 3.19’da PR denetim blok diyagramı ve PR denetim frekans cevabı verilmektedir.



(a)



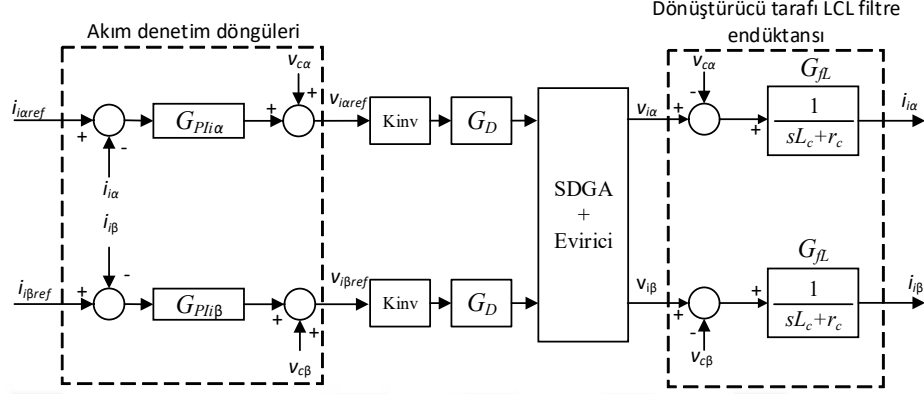
(b)

Şekil 3.19: (a) PR denetim blok diyagramı (b) PR denetim frekans cevabı.

3.4.2.1. $\alpha\beta$ eksenlerinde PR tabanlı akım denetimi

dq eksenlerdeki PI denetimci tasarımlarına benzer şekilde, akım denetim döngüsü gerilim denetim döngüsünden yaklaşık 10 kat daha yüksek band genişliğine sahip olacak şekilde tasarlanmalıdır. $\alpha\beta$ eksenlerinde evirici akım denetimi blok diyagramı Şekil 3.20’de verilmektedir. Denklem 3.22 için akım denetimi döngüleri, PR transfer fonksiyonunu içerecek şekilde denklem 3.38’deki gibi elde edilmektedir. Denklem 3.38’de görüldüğü gibi α ve β eksenlerindeki denklemler arasında bir çapraz bağlantı yoktur.

$$\begin{aligned} G_{PRi\alpha}(s)(I_{i\alpha ref}(s) - I_{i\alpha}(s)) &= V_{i\alpha}(s) - V_{c\alpha}(s) \\ G_{PRi\beta}(s)(I_{i\beta ref}(s) - I_{i\beta}(s)) &= V_{i\beta}(s) - V_{c\beta}(s) \end{aligned} \quad (3.38)$$



Şekil 3.20: αβ eksenlerinde PR tabanlı akım denetimi blok diyagramı.

Denklem 3.24 ile denklem 3.38 birleştirilirse akım denetim döngüsü denklemleri aşağıdaki gibi elde edilebilir. Akım denetim döngülerindeki ileri besleme, evirici çıkış gerilimidir.

$$\begin{aligned} I_{i\alpha}(s) &= G_{fL}(s)(G_{PRi\alpha}(s)(I_{i\alpha ref}(s) - I_{i\alpha}(s))) \\ I_{i\beta}(s) &= G_{fL}(s)(G_{PRi\beta}(s)(I_{i\beta ref}(s) - I_{i\beta}(s))) \end{aligned} \quad (3.39)$$

Evirici kazancı PI denetimde olduğu gibi hesaplanmaktadır. Evirici kazancı sadeleştirildikten sonra kapalı çevrim transfer fonksiyonu aşağıdaki gibi elde edilmektedir. $G_{PRi\alpha\beta}$ akım denetimi için PR denetimci transfer fonksiyonudur

$$G_{c\alpha\beta}(s) = \frac{I_{i\alpha\beta}}{I_{i\alpha\beta ref}} = \frac{G_{PRi\alpha\beta}(s)G_D(s)G_{fL}(s)}{1 + G_{PRi\alpha\beta}(s)G_D(s)G_{fL}(s)} \quad (3.40)$$

3.4.2.2. αβ eksenlerinde PR tabanlı gerilim denetimi

Gerilim denetimcinin tasarlanması, akım denetimi ile benzer aşamaları takip etmektedir. Denklem 3.23'te görüldüğü gibi bir çapraz bağlantı terimi bulunmamaktadır ve bu denkleme PR denetimciler dahil edilerek, denklem 3.41'deki gerilim denetimi denklemleri elde edilir. Gerilim denetimi döngülerindeki ileri besleme, evirici çıkış akımıdır.

$$\begin{aligned} G_{PRv\alpha}(s)(V_{c\alpha ref}(s) - V_{c\alpha}(s)) &= I_{i\alpha}(s) - I_{o\alpha}(s) \\ G_{PRv\beta}(s)(V_{c\beta ref}(s) - V_{c\beta}(s)) &= I_{i\beta}(s) - I_{o\beta}(s) \end{aligned} \quad (3.41)$$

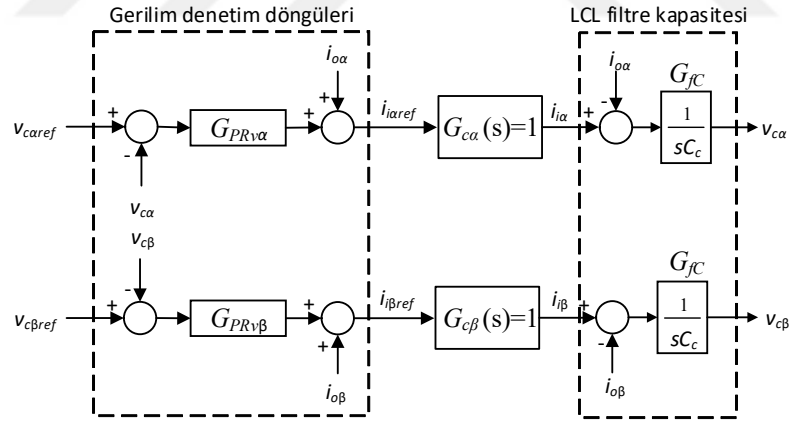
Denklem 3.25 ile denklem 3.41 birleştirilirse gerilim denetimi döngüsü denklemleri aşağıdaki gibi elde edilmektedir.

$$\begin{aligned} V_{c\alpha}(s) &= G_{fC}(s)(G_{PRv\alpha}(s)(V_{c\alpha ref}(s) - V_{c\alpha}(s))) \\ V_{c\beta}(s) &= G_{fC}(s)(G_{PRv\beta}(s)(V_{c\beta ref}(s) - V_{c\beta}(s))) \end{aligned} \quad (3.42)$$

Denklem 3.42'ye göre kapalı çevrim transfer fonksiyonu aşağıdaki gibi elde edilmektedir.

$$G_{v\alpha\beta}(s) = \frac{V_{c\alpha\beta}(s)}{V_{c\alpha\beta ref}(s)} = \frac{G_{PRv\alpha\beta}(s)G_{fC}(s)}{1 + G_{PRv\alpha\beta}(s)G_{fC}(s)} \quad (3.43)$$

Denklem 3.43'te $G_{PRv\alpha\beta}$ gerilim denetimi için PR denetimci transfer fonksiyonudur. $\alpha\beta$ eksenlerinde evirici gerilim denetimi blok diyagramı Şekil 3.21'de verilmektedir.

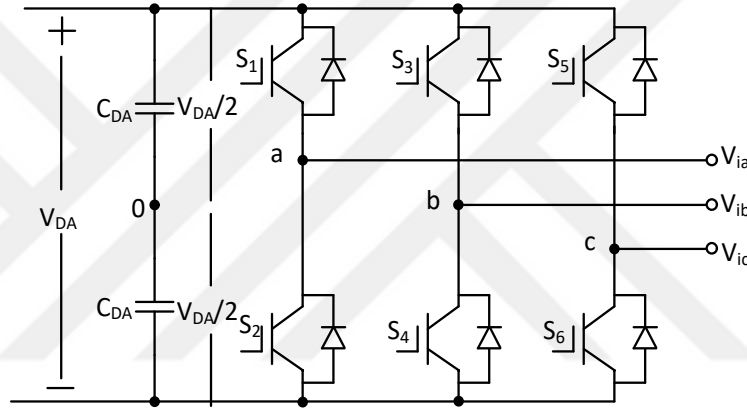


Şekil 3.21: $\alpha\beta$ eksenlerinde PR tabanlı gerilim denetimi blok diyagramı.

$\alpha\beta$ eksenlerinde akım ve denetimi blok diyagramı Şekil 3.22'de verilmektedir.

3.5.1. Sinüzoidal DGA tabanlı anahtarlama yöntemi

En çok tercih edilen yöntemlerden biri basit ve kolay uygulanabilir olduğu için Sinüzoidal DGA (SDGA) yöntemidir. SDGA yönteminde evirici çıkışında elde edilmek istenen gerilim ve akım için anahtarların doluluk oranları (duty cycle) kullanılır. Referans dalga ile yüksek frekanslı üçgen dalga karşılaştırılması ile eviricide bulunan her bir anahtarın doluluk oranları belirlenir. Yüksek frekanslı üçgen dalganın tepe değeri genellikle sabittir. Yüksek bir anahtarlama frekansı, daha iyi filtrelenmiş bir sinüzoidal çıkış dalga formunu üretmektedir. Şekil 3.23'te üç fazlı iki seviyeli eviricinin anahtarlama elemanları gösterilmektedir [101].



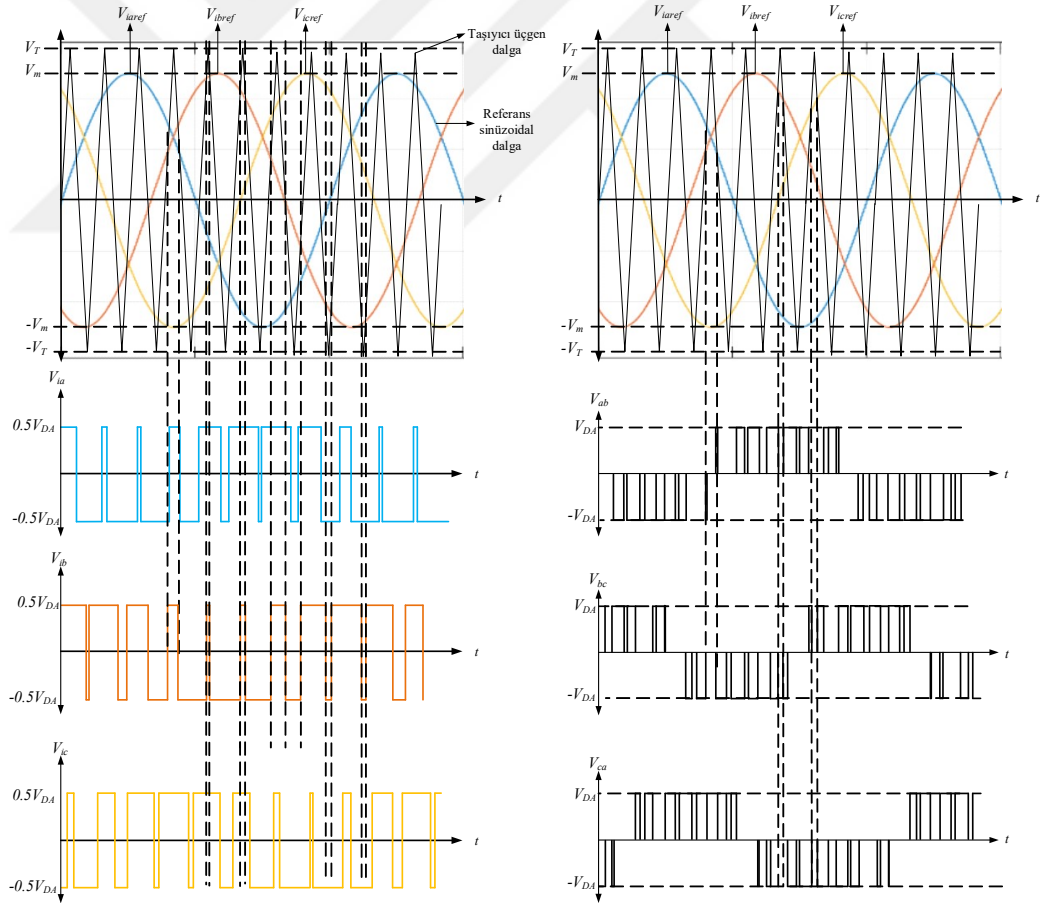
Şekil 3.23: Üç fazlı iki seviyeli evirici.

Altı anahtarlı bir evirici, Şekil 3.23'te gösterildiği gibi altı anahtarlama elemanından oluşmaktadır. Sinüzoidal DGA yönteminde, aralarında 120° faz farkı olan üç fazlı kontrol sinyalleri v_{iaref} , v_{ibref} ve v_{icref} , V_T tepe değerine sahip yüksek frekanslı üçgen dalga ile karşılaştırılır. Mantıksal olarak karşılaştırmanın sonucu olarak anahtarlama sinyalleri elde edilir. Şekil 3.24'teki mantıksal karşılaştırıcıların sonucu, eviricinin altı anahtarı için anahtarlama sinyallerini oluşturur. Eviricinin çıkış faz-nötr gerilimleri V_{ia} , V_{ib} ve V_{ic} 'dir ve her birine $\pm V_{DA}/2$ arasında gerilim uygulanmaktadır, V_{DA} toplam DA gerilimidir. Şekil 3.24'te görüldüğü gibi, darbe genişlikleri üçgen ve sinüzoidal dalga biçimlerinin kesişimine bağlıdır. Anahtarlar çiftler halinde kontrol edilir (S1-S2, S3-S4 ve S5-S6) ve anahtar kontrol sinyallerinin mantığı denklem 3.44'te verilmektedir.

$$\begin{aligned}
v_{iaref} > V_T &\rightarrow V_{ia} = 0.5V_{DA} \\
v_{ibref} > V_T &\rightarrow V_{ib} = 0.5V_{DA} \\
v_{icref} > V_T &\rightarrow V_{ic} = 0.5V_{DA} \\
v_{iaref} < V_T &\rightarrow V_{ia} = -0.5V_{DA} \\
v_{ibref} < V_T &\rightarrow V_{ib} = -0.5V_{DA} \\
v_{icref} < V_T &\rightarrow V_{ic} = -0.5V_{DA}
\end{aligned} \tag{3.44}$$

Evirici çıkış gerilimleri şekildeki gibi belirlenir. Eviricinin hatlar arası gerilimleri aşağıdaki şekilde elde edilir:

$$\begin{aligned}
V_{ab} &= V_{ao} - V_{bo} \\
V_{bc} &= V_{bo} - V_{co} \\
V_{ca} &= V_{co} - V_{ao}
\end{aligned} \tag{3.45}$$



Şekil 3.24: Sinüzoidal DGA yöntemi ile kutup ve faz-faz (hat) gerilimlerinin oluşumu.

3.5.2. Sinüzoidal DGA'nın anahtarlama zamanlarının hesabı

Eviricide bulunan anahtarların anahtarlama zamanları, referans sinüzoidal dalga ile yüksek frekanslı bir taşıyıcı üçgen dalga mantıksal olarak karşılaştırılarak elde edilir. Evirici çıkışındaki AA gerilim frekansı ve genliği referans sinüzoidal dalganın frekansına ve genliğine bağlıdır. Anahtarlama frekansı ise doğrudan taşıyıcı üçgen dalganın frekansına eşittir. Genellikle anahtarlama frekansı sabit tutulur ve çalışma esnasında değiştirilmesine izin verilmez [196-199,247].

3.5.3. Sinüzoidal DGA'nın modülasyon indeksi

Tepe değeri $V_{DA}/2$ olan simetrik bir kare dalga geriliminin Fourier serisi açılımı, $2V_{DA}/\pi$ büyüklüğünde bir temel bileşene sahiptir. Sinüzoidal DGA yöntemi ile üretilen çıkış gerilimin maksimum değeri $V_{DA}/2$ 'dir. Modülasyon katsayısı m , Sinüzoidal DGA tarafından üretilen çıkış geriliminin büyüklüğünün maksimum kare dalganın temel tepe değerine oranı olarak tanımlanmaktadır. Böylece, SDGA tekniğinin maksimum modülasyon katsayısı denklem 3.46 ile hesaplanmaktadır [257].

$$m = \frac{V_T}{V_{ia\max}} = \frac{\frac{V_{DA}}{2}}{\frac{2V_{DA}}{\pi}} = \frac{\pi}{4} = 0.7855 \quad (3.46)$$

$V_{ia\max}$ a fazı için evirici çıkış gerilimi maksimum (V_m) değeridir.

3.5.4. Modülasyon katsayısının ayarı

V_{iaref} a fazı referans sinüzoidal modülasyon dalgası denklem 3.47'de verilmektedir.

$$V_{iaref} = V_m \sin(\omega t) \quad (3.47)$$

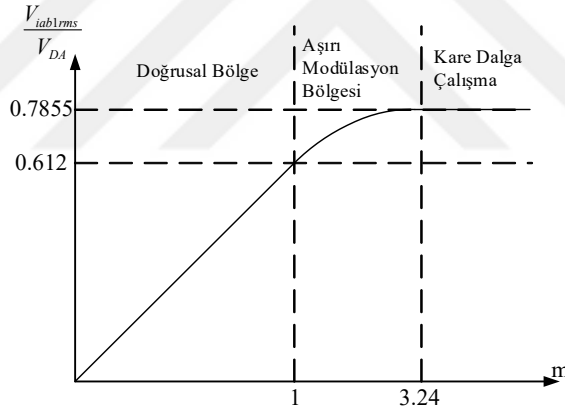
V_m referans sinüzoidal dalga tepe değeridir. V_{ia01} a fazı için faz ve DA bara sıfır noktası arasındaki gerilimin temel bileşeninin denklemi aşağıda verilmektedir.

$$V_{ia01} = m \frac{V_{DA}}{2} \sin(\omega t) \left(m = \frac{V_m}{V_T} \right) \quad (3.48)$$

Modülasyon katsayısı $0 \leq m \leq 1$ aralığında seçildiği zaman evirici çıkış gerilimi m ile doğru orantılı ve doğrusal olarak değişmektedir. Ayrıca V_{ia01} bu değer aralığında sinüzoidal bir dalga şekline sahiptir. Eğer modülasyon katsayısı $m > 1$ olursa aşırı genlik bölgesinde çalışmaktadır. Bu durumda çıkış geriliminin temel bileşeni m ile doğrusal olarak değişmemektedir. $m \geq 3.24$ olarak seçilirse kare dalga çalışma durumu ortaya çıkmaktadır. Eğer $m = 1$ olursa evirici çıkışındaki kutup geriliminin temel bileşenin maksimum değeri $V_{iamax} = V_{DA}/2$ olmaktadır. Sonuç olarak doğrusal bölge çalışma koşulu ile fazlar arası gerilimin temel bileşeninin etkin değerinin maksimum değeri $V_{iab1rmsmax}$ denklem 3.49 ile hesaplanmaktadır [258-260].

$$V_{iab1rmsmax} = m \frac{V_{DA}}{2} \frac{\sqrt{3}}{\sqrt{2}} = 0.612 V_{DA} \quad (3.49)$$

Şekil 3.25'te SDGA için genlik ayarı ile evirici çıkış geriliminin değişimi verilmektedir.



Şekil 3.25: SDGA için genlik ayarı ile evirici çıkış geriliminin değişimi.

BÖLÜM 4. MİKRO ŞEBEKE EVİRİCİLERİNİN SENKRONİZASYON KONTROL SİSTEMLERİ

4.1. Giriş

Dağıtık enerji kaynakları tarafından üretilen gücün mikro şebeke gerilimi ile aynı fazda ve genlikte olmasını sağlamak için şebeke eviricileri mikro şebeke ile senkronize edilmektedir. Şebeke eviricilerinin gerilimini ve frekansını ana şebekeyle senkronize etmek için senkronizasyon kontrol sistemleri kullanılmaktadır. Bu kontrol sistemlerinde eviricilerin frekansları, gerilimleri ve faz açıları gibi çeşitli değişkenler yer almaktadır. Ayrıca, eviricilerin birbirleriyle ve mikro şebekedeki diğer güç kaynaklarıyla nasıl senkronize olacaklarına karar vermek için haberleşme protokolleri ve denetim stratejileri de literatürde önerilmiştir [2,3,43,44,45,46,56-61].

Şebeke eviricilerinin senkronizasyonu, yenilenebilir enerji kaynaklarının güvenli ve verimli bir şekilde şebekeye güç aktarması için önemlidir. Bu eviriciler, bir güneş enerjisi veya rüzgâr türbini sistemi gibi yenilenebilir enerji kaynaklarını kullanarak elektrik üretirken, doğru bir senkronizasyon olmadan şebekeye güç aktarmada sorunlara neden olabilirler. Bu sorunlar, güç kalitesini düşürebilir ve mikro şebekenin çökmesine neden olabilir hatta hasara yol açabilir. Senkronizasyon, ada modlu mikro şebekelerde droop denetimin etkisiyle toleranslar dahilinde geniş bir aralıkta frekansın ve gerilimin değişkenliği nedeniyle zor olmaktadır. Mikro şebeke frekansı, güç talebindeki veya üretimdeki değişikliklere bağlı olarak değişebilirken, şebeke gerilimi reaktif güç değişimi ile değişmektedir, L-eviriciler için bu durum geçerlidir. Ayrıca senkronizasyon, sistemdeki diğer şebeke eviricilerinin veya generatörlerin çalışmalarından da etkilenebilmektedir. Doğru bir şekilde senkronize edilmeyen şebeke eviricileri veya generatörler, sistemde frekans ve faz sapmalarına yol açarak kararsızlığa neden olabilmektedir [26,26,27].

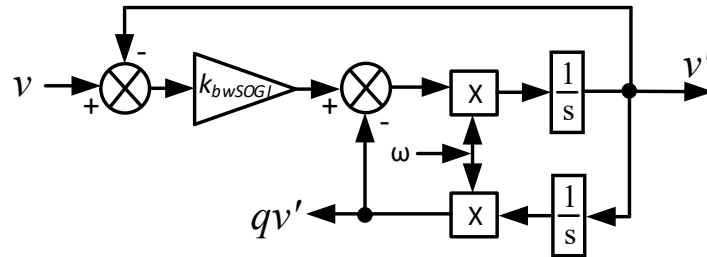
Senkronizasyon için mikro şebeke denetim sistemlerinde şebeke eviricilerinin frekansını ve faz açısını tahmin etmek gerekmektedir. Senkronizasyon için kullanılan gerilim sinyalleri gürültü, harmonik, gerilim çökmeleri veya yükselmeleri ve faz açısı hataları içerebilmektedir, hatta doğrusal olmayan yük durumunda harmonikli olabilmektedir. Bu durumda, mümkün olduğu kadar hızlı ve bozucu kaynakların etkisinden arınmış olarak algılanması gerektiğinden faz açısının algılanması bir zorluk haline gelmektedir. Senkronizasyon kontrol sistemlerinde genellikle frekans, faz ve gerilim döngüleri kullanılmaktadır. Mikro şebekelerde senkronizasyon kontrol yöntemleri şebeke bağlantılı ve ada modlu olarak iki ayrı başlıkta değerlendirilmektedir.

4.2. Şebeke Bağlantılı Mikro Şebekelerde Senkronizasyon Kontrol Sistemleri

Şebeke bağlantılı çalışmanın gerekliliği, mikro şebekenin kritik veya önemli olabilecek yerel güç talepleri, mikro şebekenin enerji üretimi kapasitesinden daha büyük hale geldiğinde ortaya çıkmaktadır. Bu durumda, yük taleplerine güç aktarımının güvenilirliğini sağlamak için şebeke bağlantılı çalışma gerekli hale gelir. Mikro şebekenin çok hassas ve kritik yükler içermesi olasılığı büyük olduğundan, sürekli ve kesintisiz bir gücün aktarılması önem taşımaktadır. Bu noktada mikro şebeke senkronizasyonu kritik öneme sahiptir. Senkronizasyon yöntemleri olarak en çok tercih edilen klasik yöntemler FGD ve Frekans Kilitlemeli Döngü (FRKD)'dür. FGD ana şebekenin faz açısına FRKD ise ana şebeke frekansına kilitlenmek için kullanılan senkronizasyon döngüleridir. Üç fazlı güç dönüştürücüleri için şebeke senkronizasyonu abc üç fazlı referans, dq ve $\alpha\beta$ eksenlerde uygulanabilmektedir. En çok tercih edilen yöntemlerden biri Senkron Referans Eksen FGD (SRE-FGD), dengeli şebeke koşullarında iyi performansa sahiptir. Ancak dengesiz şebeke koşullarında düşük performans görülebilmektedir. Bu problemlerin üstesinden gelmek için ikinci dereceden genelleştirilmiş integratör (SOGI) tabanlı filtre yöntemleri önerilmektedir. Benzer şekilde FRKD performansının iyileştirilmesi için de SOGI tabanlı yöntemler genellikle kullanılmaktadır [12,48-51].

4.2.1. İkinci dereceden genelleştirilmiş integratör

SOGI ve çift SOGI (DSOGI) gibi filtreleme yöntemleri, güç elektroniği ve akıllı şebekeler gibi alanlarda dengesiz ve harmonikli şebeke koşullarında tercih edilmektedir. SOGI tabanlı harmonik ayrıştırma ile temel dalgaın elde edilmesi literatürde en çok kullanılan yöntemlerden biridir. Harmonikli ve dengesiz sistemlerde temel dalgayı elde etmek kritik öneme sahiptir. Bu amaçla temel dalga frekansında çalışan bir SOGI tabanlı ayrıştırma yöntemi kullanmak gerekmektedir. SOGI, dengesiz ve harmonikli mikro şebeke gerilimlerinde pozitif ve negatif sıralı bileşenler hızlı ve doğru bir şekilde belirlenmektedir [261-265]. Ayrıca SOGI, frekans senkronizasyon yöntemlerinde iyi bir çözüm sağlamaktadır ve mikro şebekenin arıza durumlarında bile etkili sonuç vermektedir. SOGI bir çentik filtresi gibi çalışmaktadır. Dolayısıyla belirlenen frekansın dışındaki diğer frekanslardaki sinyaller çıkışa yansıtılmamaktadır. SOGI denetiminin iki çıktısı bulunmaktadır. Bu çıktılar daha sonra simetrikli bileşen yöntemi ile pozitif ve negatif sıralı bileşenleri hesaplamak için kullanılmaktadır. Şekil 4.1’de bir fazlı sistemlerde kullanılan SOGI blok diyagramı verilmektedir. SOGI filtresinin transfer fonksiyonları denklem 4.1’de verilmektedir [266-271].



Şekil 4.1: SOGI blok diyagramı.

$$D(s) = \frac{v'}{v}(s) = \frac{k_{bwSOGI} \omega s}{s^2 + k_{bwSOGI} \omega s + \omega^2} \quad (4.1)$$

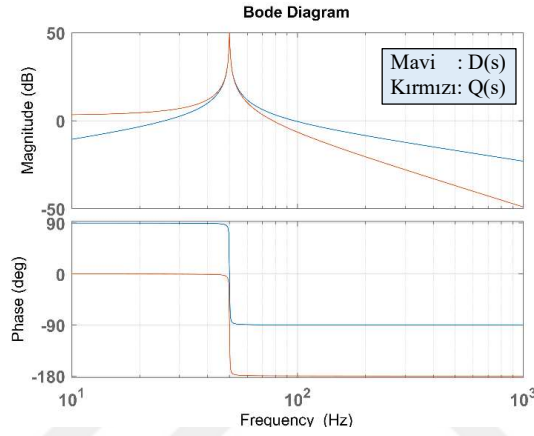
$$Q(s) = \frac{qv'}{v}(s) = \frac{k_{bwSOGI} \omega^2}{s^2 + k_{bwSOGI} \omega s + \omega^2}$$

Şekil 4.1 ve denklem 4.1’de v giriş, v' ve qv' SOGI filtresinin kuadratik (quadratik) çıkışlarıdır. ω sistemin anlık frekansıdır. k_{bwSOGI} ise SOGI’nin band genişliğini

ayarlamak için kullanılan parametredir. SOGI çıkış denklemleri denklem 4.2 ile tanımlanmaktadır.

$$\begin{aligned} v'(t) &= V \cos(\omega t + \varphi) \\ qv'(t) &= V \cos\left(\omega t + \varphi - \frac{\pi}{2}\right) \end{aligned} \quad (4.2)$$

Denklem 4.2’de φ başlangıç faz açısıdır. Şekil 4.2’de denklem 4.1’deki transfer fonksiyonlarının 50 Hz için bode diyagramı verilmektedir.

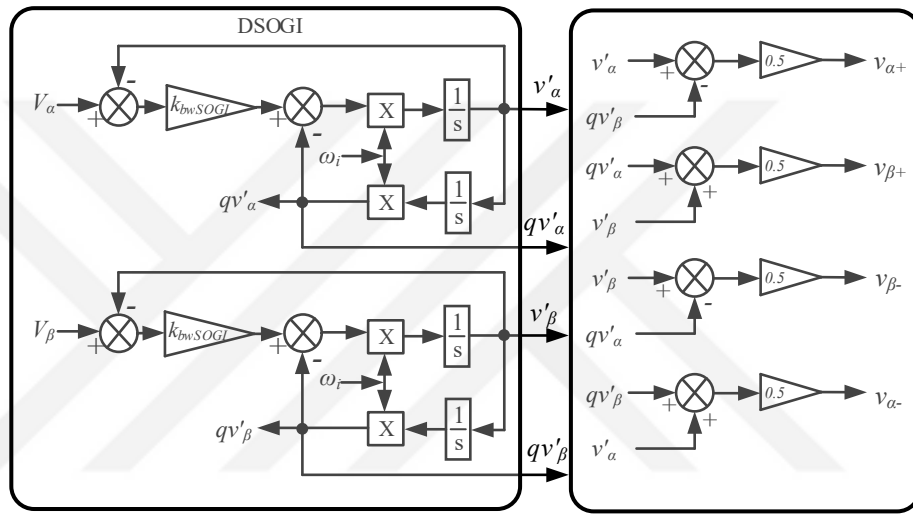


Şekil 4.2: SOGI bode diyagramı.

DSOGI, SOGI filtresinin geliştirilmiş bir versiyonudur ve iki adet SOGI’den oluşmaktadır. Bu filtre SOGI’nin özelliklerine ek olarak gerilim dengesizliğini, akım dengesizliğini ve gerilim dalgalanmalarını da filtrelemektedir. Bu sayede ideal olmayan şebeke koşullarında daha doğru ve güvenilir bir analiz yapılabilme olanağı sağlanmaktadır. Üç fazlı bir sistemin pozitif ve negatif sıralı bileşenlerini elde etmek için genelde simetrik bileşenler yöntemi kullanılır. Pozitif ve negatif sıralı bileşenleri hesaplamak için kullanılan simetrik bileşenler denklemleri denklem 4.3’te verilmiştir [13,257,268,270-272].

$$\begin{aligned}
v_{\alpha+} &= 0.5(v'_\alpha - qv'_\beta) \\
v_{\alpha-} &= 0.5(v'_\alpha + qv'_\beta) \\
v_{\beta+} &= 0.5(v'_\beta + qv'_\alpha) \\
v_{\beta-} &= 0.5(v'_\beta - qv'_\alpha)
\end{aligned} \tag{4.3}$$

Şekil 4.3'te DSOGI ile pozitif ve negatif sıralı bileşen ayrıştırma yönteminin blok diyagramı verilmektedir [13,266,268,272-274].



Şekil 4.3: DSOGI ile pozitif ve negatif sıralı bileşenlerin ayrıştırma yönteminin blok diyagramı.

4.2.1.1. İkinci dereceden genelleştirilmiş integratörün alçak geçiren filtre benzetimi

SOGI sinüzoidal bir girişe sahip olduğu için tasarım ve analizi karmaşık olmaktadır. Bu karmaşıklıktan kurtulmak için DA sistem eşdeğeri genellikle tercih edilmektedir ve SOGI'nin alçak geçiren filtre eşdeğeri kullanılmaktadır. SOGI ve alçak geçiren filtre arasındaki bağlantıyı elde etmek için aşağıdaki denklemler kullanılır [275-278].

$$\begin{aligned}
x(s) &= A \frac{\omega}{s^2 + \omega^2} \\
G_{SOGI}(s) &= \frac{2k_{rbw}\omega s}{s^2 + 2k_{rbw}\omega s + \omega^2} \\
Y(s) &= \underbrace{x(s)}_{\text{giriş}} \cdot G_{SOGI}(s) \\
Y(t) &= A \sin(\omega t) - \frac{A \cdot e^{-k_{rbw}\omega t} \sin(\sqrt{1 - k_{rbw}^2} \cdot \omega t)}{\sqrt{1 - k_{rbw}^2}}
\end{aligned} \tag{4.4}$$

Denklem 4.4'te $x(s)$ sinüzoidal giriş, $G_{SOGI}(s)$, SOGI transfer fonksiyonu, A ise sinüzoidal girişin genliği, yani tepe değeridir. $Y(s)$ sinüzoidal girişe karşı SOGI'nin zamana bağlı çıkış fonksiyonudur. Sönümlleme katsayısı k_{rbw} 'nin durumuna göre elde edilen cevaplar ile analiz yapılmaktadır. Bu durumlar $k_{rbw} \ll 1$ sönümlü, $k_{rbw} = 1$ kritik sönümlü ve $k_{rbw} \gg 1$ aşırı sönümlü olarak üçe ayrılmaktadır. Her biri için $Y(t)$ çıkış fonksiyonu değişmektedir. Bu üç duruma göre çıkış fonksiyonu denklem 4.5'te verilmektedir.

$$\begin{aligned}
k_{rbw} \ll 1 &\rightarrow Y(t) = A \sin(\omega t) (1 - e^{-k_{rbw}\omega t}) \\
k_{rbw} = 1 &\rightarrow Y(t) = A \sin(\omega t) - A t \omega e^{-\omega t} \\
k_{rbw} \gg 1 &\rightarrow Y(t) = A \sin(\omega t) - \frac{A \cdot e^{-k_{rbw}\omega t} \sinh\left(\left(\sqrt{k_{rbw}^2 - 1}\right) \omega t\right)}{\sqrt{k_{rbw}^2 - 1}}
\end{aligned} \tag{4.5}$$

Bu tez çalışmasında $k_{rbw} \ll 1$ kısıtı ile denklem 4.5'in en üstteki eşitliği geçerli hale gelmiştir. Alçak geçiren filtrenin transfer fonksiyonu aşağıdaki denklemde verilmiştir.

$$G_{AGF}(s) = \frac{\omega_c}{s + \omega_c} \tag{4.6}$$

ω_c alçak geçiren filtrenin kesim frekansıdır. Yukarıdaki transfer fonksiyonuna birim basamak giriş uygulayıp ters Laplace yapılırsa denklem 4.7 elde edilmektedir.

$$L^{-1}\{G_{AGF}(s)\} = G_{AGF}(t) = \underbrace{A}_{\text{giriş}} (1 - e^{-t/\tau}) \tag{4.7}$$

$k_{rbw} \ll 1$ olduğu durumda alçak geçiren filtre ve SOGI arasında aşağıdaki denklemler elde edilir.

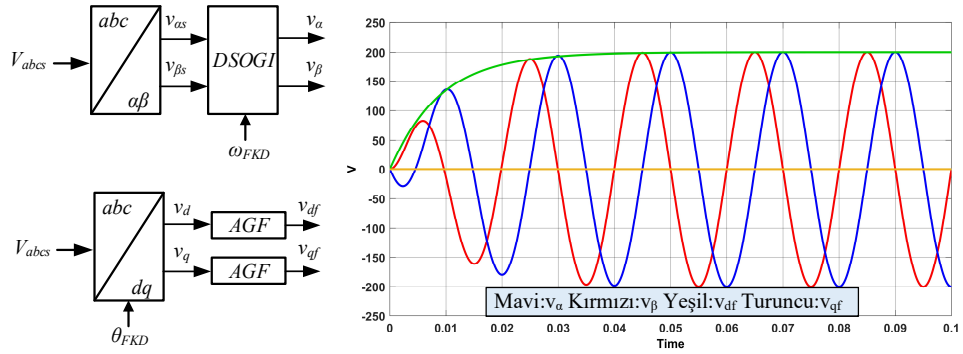
$$G_{SOGI}(t) = \underbrace{A \sin(\omega t)}_{\text{giriş}} (1 - e^{-k_{rbw} \omega t}) \quad (4.8)$$

$$G_{AGF}(t) = \underbrace{A}_{\text{giriş}} (1 - e^{-t/\tau})$$

Denklem 4.8'e göre SOGI ve alçak geçiren filtre arasındaki benzerlik göz önüne alındığında denklem 4.9'daki eşitlik elde edilmektedir.

$$\omega_c = k_{rbw} \omega \quad (4.9)$$

Sonuç olarak sinüzoidal bir girişe sahip SOGI'nin verdiği cevap ile DA bir girişe sahip alçak geçiren filtrenin verdiği cevaplar örtüşmektedir. Denklem 4.9'daki eşitliğin doğrulamasını yapmak için yapılan simülasyon çalışmasının sonucu Şekil 4.4'te verilmiştir. Görüldüğü gibi alçak geçiren filtre ve SOGI, eşdeğer çıkışa sahiptir. Dolayısıyla SOGI tabanlı ayrıştırmayı analiz etmek ve modellemek için alçak geçiren filtre tabanlı eşdeğerini kullanmak tasarımı ve analizi kolaylaştırmaktadır.

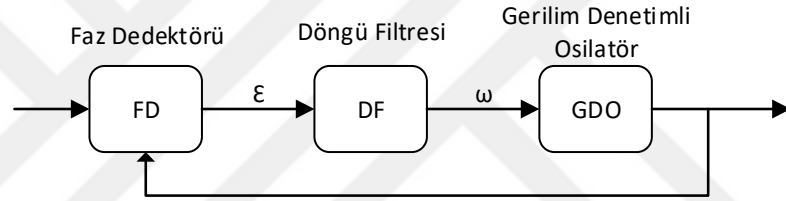


Şekil 4.4: SOGI ve alçak geçiren filtre eşdeğerinin uygulaması.

V_{abcs} şebekenin anlık üç fazlı gerilimidir. v_{α} ve v_{β} şebeke gerilimin DSOGI çıkışları ve v_{df} ve v_{qf} dq eksen bileşenlerinin alçak geçiren filtre çıkışlarıdır.

4.2.2. Faz kilitlemeli döngü

Faz kilitlemeli döngüler çoğunlukla sinyal işleme, haberleşme ve güç elektroniği uygulamalarında yaygın bir şekilde kullanılmaktadır. FKD'lerin temel bileşenleri, Faz Dedektörü (FD), Gerilim Denetimli Osilatör (GDO) ve Döngü Filtresi (DF)'nden oluşmaktadır. Şekil 4.5'te temel bir FKD yapısı verilmektedir. FKD'nin girişindeki referans sinyali, faz dedektörüne girer. Bu noktada, referans sinyali ve geri bildirim sinyali faz dedektöründe karşılaştırılır ve bir hata sinyali elde edilir. Bu hata sinyali, döngü filtresinde işlenir ve GDO'nun frekansını denetleyen bir sinyal üretilir. Bu sinyal, GDO frekansını değiştirerek hata sinyalini azaltmak için kullanılır. Sonuç olarak referans sinyali ile geri besleme arasındaki fark sıfıra yaklaştığında kilitleme işlemi gerçekleşir [279-282].

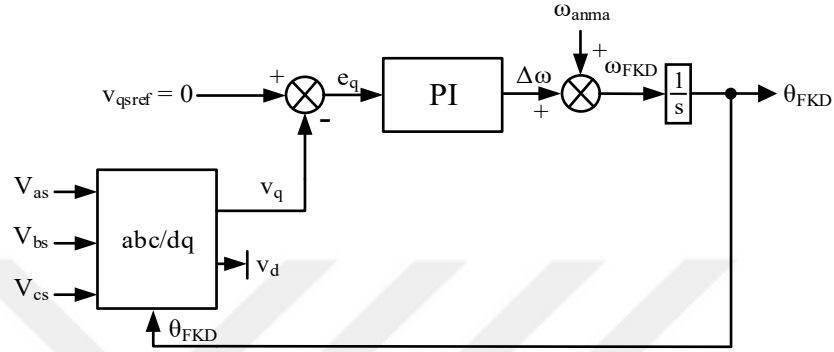


Şekil 4.5: Temel FKD yapısı.

Şebeke bağlantılı eviricilerin denetiminde, ortak bağlantı noktasındaki üç fazlı gerilimler ve akımlar, Clarke dönüşümü kullanılarak α ve β bileşenlerine dönüştürülmektedir. α ve β bileşenleri daha sonra, Park dönüşümü kullanılarak d ve q bileşenlerine dönüştürülür. Bu nedenle, şebeke bağlantılı eviricilerinin düzgün çalışması için şebeke gerilimi, faz ve frekans bilgisi yüksek önem taşımaktadır. Bu bilgileri elde etmek için FKD'ler kullanılır. FKD'nin temel amacı, ortak bağlantı noktasındaki evirici çıkış akımı ve çıkış gerilimini ana şebeke ile senkronize etmek için kullanılabilecek faz açısını sağlamaktır. Literatürde FKD denetiminde farklı yöntemler önerilmiştir. SRE-FKD, Geliştirilmiş FKD, SOGI tabanlı FKD (SOGI-FKD) gibi çeşitli yöntemler tercih edilenlerdir. Faz tespiti için FKD dışında farklı filtreleme algoritmaları da kullanılmaktadır. Bu algoritmalarda mikro şebeke gerilimi $\alpha\beta$ durağan eksenlerde veya dq eksenlerde filtrelenmektedir [281,283,284].

4.2.2.1. Senkron referans eksen tabanlı faz kilitlemeli döngü

Dengeli şebeke koşullarında ve şebeke bağlantılı güç dönüştürücülerde SRE-FKD, uygulaması ve denetimi basit olduğundan çokça tercih edilmektedir. Şekil 4.6'da SRE-FKD blok şeması verilmektedir [280,283-285].



Şekil 4.6: SRE-FKD'nin döngü yapısı.

V_{abcs} şebekenin anlık üç fazlı gerilimi şekil 4.6'da gösterildiği gibi Park dönüşümü ile dq eksenlere dönüştürülmektedir. SRE-FKD q değişkenini denetlemektedir ve bu işlem bir PI denetimci tarafından yapılmaktadır. Denetiminin çıkışı doğrudan senkronize olunacak şebeke frekansını vermektedir [279,286,287]. Şekil 4.6'daki abc/dq dönüşüm denklemleri denklem 4.10'da verilmektedir.

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta_{\theta_{FKD}}) & \cos(\theta_{\theta_{FKD}} - 120) & \cos(\theta_{\theta_{FKD}} + 120) \\ \sin(\theta_{\theta_{FKD}}) & \sin(\theta_{\theta_{FKD}} - 120) & \sin(\theta_{\theta_{FKD}} + 120) \end{bmatrix} \begin{bmatrix} V_{as} \\ V_{bs} \\ V_{cs} \end{bmatrix} \quad (4.10)$$

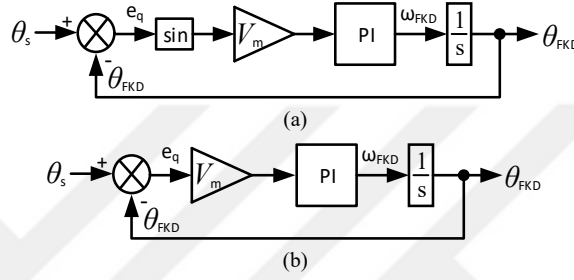
$$\begin{aligned} v_d &= V_m \cos(\theta_s - \theta_{FKD}) \\ v_q &= V_m \sin(\theta_s - \theta_{FKD}) \end{aligned} \quad (4.11)$$

V_m şebeke geriliminin tepe değeridir. θ_s şebekenin faz açısı, θ_{FKD} ise FKD faz açısıdır. FKD hata denklemi e_q aşağıdaki gibi elde edilmektedir. V_{dq} şebeke geriliminin dq bileşenleridir.

$$e_q \cong V_m \sin(\theta_s - \theta_{FKD}) \quad (4.12)$$

Literatürde ve endüstriyel uygulamalarda bazı varsayımlar ile doğrusal olmayan özelliklere sahip olan FKD doğrusallaştırılmaktadır [48,52,75]. Eğer θ_s ve θ_{FKD} arasındaki fark küçük bir aralıkta kabul edilirse $\sin(\theta_s - \theta_{FKD}) \cong \theta_s - \theta_{FKD}$ elde edilir. Böylelikle doğrusal olmayan FKD, doğrusallaştırılır ve elde edilen doğrusal denklem aşağıdaki gibi elde edilir. Şekil 4.7’de doğrusal ve doğrusal olmayan FKD blok diyagramları verilmiştir [48,52,75,288].

$$e_q \cong V_m (\theta_s - \theta_{FKD}) \quad (4.13)$$



Şekil 4.7: (a) Doğrusal olmayan FKD ve (b) doğrusal FKD'nin blok diyagramı.

Denklem 4.13'e göre doğrusallaştırılmış FKD'nin kapalı çevrim transfer fonksiyonu aşağıdaki gibi elde edilmektedir.

$$G_{FKD}(s) = \frac{\theta_{FKD}}{\theta_s} = \frac{V_m k_{p\theta} s + V_m k_{i\theta}}{s^2 + V_m k_{p\theta} s + V_m k_{i\theta}} \quad (4.14)$$

$k_{p\theta}$ ve $k_{i\theta}$ PI denetimci kazançlarıdır. Bir sonraki adım PI denetimciyi tasarlamaktır. Burada ikinci derece sistem transfer fonksiyonu benzetimi yapılarak denetimci kazançları tasarlanmaktadır.

$$G_{ids}(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (4.15)$$

$G_{ids}(s)$ ikinci derece sistem transfer fonksiyonu, ζ sönüm katsayısı, ω_n doğal frekanstır. Denklem 4.14 ve 4.15 eşitliği göz önüne alınarak PI denetim kazançları denklem 4.16'daki gibi tasarlanmaktadır.

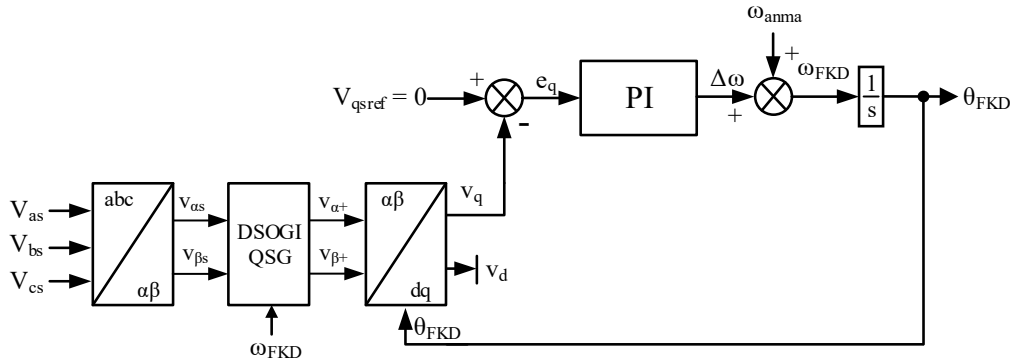
$$k_{p\theta} = \frac{\omega_n^2}{V_m}$$

$$k_{i\theta} = \frac{2\xi\omega_n}{V_m}$$
(4.16)

4.2.2.2. İkinci dereceden genelleştirilmiş integratör tabanlı FKD

SRE-FKD'nin performansını iyileştirmek ve gürültüsüz sinyaller elde etmek için $\alpha\beta$ giriş gerilimi sinyallerine DSOGI uygulanmaktadır. Klasik SRE-FKD ve DSOGI yöntemi birleştirilerek DSOGI-FKD elde edilmektedir. DSOGI-FKD, dengesiz veya arıza durumundaki şebeke koşullarında doğru bir faz açısı tahmini gerçekleştirmektedir. Sistemin dengesiz koşullarda ve bozuk giriş sinyallerine karşı dayanıklılığını artırmak için modele pozitif sıralı bileşen filtresi de eklenmektedir. Şekil 4.8'de üç fazlı bir DSOGI-FKD'nin blok diyagramını gösterilmektedir [268,279,286,289,290].

DSOGI-FKD $\alpha\beta$ durağan eksenlerde tasarlanmaktadır. DSOGI-FKD uygulamasında $\alpha\beta$ durağan referans eksenlerdeki gerilim vektörlerinin pozitif $v_{\alpha\beta+}$ bileşenlerinin elde edilmesi gerekmektedir. Bu bileşenler, Şekil 4.8'da gösterildiği gibi pozitif sıralı bileşen ayrıştırma yöntemi kullanılarak pozitif sıralı bileşenler elde edilmektedir. Son olarak, $\alpha\beta$ gerilim bileşenlerinin ($v_{\alpha\beta}$) pozitif bileşenleri, bir FKD ile fazı tahmin etmek için kullanılır. DSOGI-FKD, SRE-FKD ile aynı Park dönüşümü ve PI denetimciden oluşmaktadır.



Şekil 4.8: Üç fazlı bir DSOGI-FKD'nin blok diyagramı.

4.2.3. Frekans kilitlemeli döngü

Frekans kilitlemeli döngü özellikle frekans tahmini gerektiren uygulamalarda kullanılmaktadır. FRKD yöntemleri, kullanım amacına ve uygulama koşullarına bağlı olarak çeşitlilik göstermektedir [262,291-293]. Frekans kilitlemeli döngü, mikro şebeke senkronizasyonu ve motor sürücülerinin sensörsüz denetimi gibi çok çeşitli uygulamalarda kullanılabilen doğrusal bir kapalı döngü denetim sistemidir. FRKD tabanlı senkronizasyon tekniklerinin uygulanmasında en popüler yol, SOGI tabanlı FRKD (SOGI-FRKD) olarak bilinmektedir [262,269].

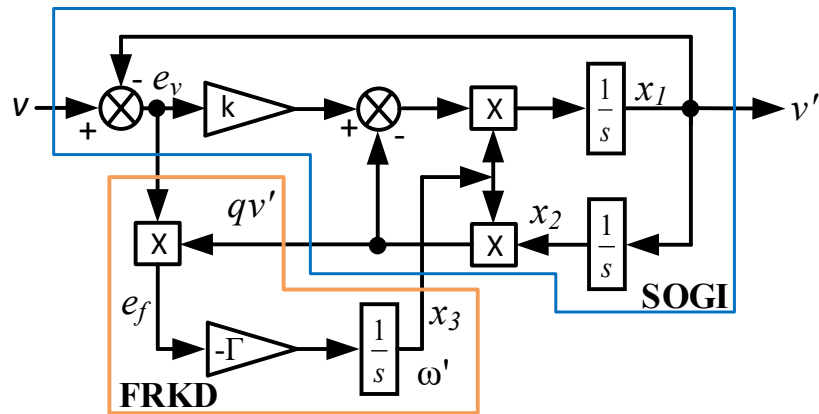
4.2.3.1. SOGI tabanlı frekans kilitlemeli döngü

SOGI-FRKD'nin yapısı, SOGI ve standart bir FRKD dahil olmak üzere Şekil 4.9'da gösterilmektedir [250,257].

ω' SOGI-FRKD'nin rezonans frekansıdır. Şekil 4.9'dan SOGI-FRKD'nin durum-uzay denklemleri denklem 4.17 ve 4.18'deki gibi elde edilmektedir [262].

$$\dot{x} = \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = Ax + Bv = \begin{bmatrix} -k\omega' & -\omega'^2 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} k\omega' \\ 0 \end{bmatrix} v \quad (4.17)$$

$$y = \begin{bmatrix} v' \\ qv' \end{bmatrix} = Cx = \begin{bmatrix} 1 & 0 \\ 0 & \omega' \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (4.18)$$



Şekil 4.9: SOGI-FRKD'nin blok diyagramı.

Denklem 4.17'deki x durum vektörü ve denklem 4.18'deki y çıkış vektörüdür. Ek olarak, SOGI-FRKD'nin dinamik cevabı denklem 4.19'daki gibi tanımlanmaktadır.

$$\dot{\omega}' = -\Gamma x_2 \omega' (v - x_1) \quad (4.19)$$

Denklem 4.19'dan anlaşılabileceği gibi, SOGI-FRKD'nin dinamik tepkisi dört parametreye bağlıdır. Kalıcı durum göz önüne alındığında $\dot{\omega}' = 0$ ve $\omega' = \omega_0$ elde edilmektedir. ω_0 SOGI-FRKD'nin tahmin ettiği frekanstır. Denklem 4.17 yeniden kalıcı durum değerlerine göre düzenlenirse denklem 4.20 elde edilmektedir [262].

$$\left. \dot{\bar{x}} \right|_{\dot{\omega}'=0} = \begin{bmatrix} \dot{\bar{x}}_1 \\ \dot{\bar{x}}_2 \end{bmatrix} = A' \begin{bmatrix} \bar{x}_1 \\ \bar{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & -\omega'^2 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{x}_1 \\ \bar{x}_2 \end{bmatrix} \quad (4.20)$$

Denklem 4.20'de kalıcı durum değişkenleri üzerlerinde bir çizgi ile gösterilmektedir. A' matrisinin özdeğerleri sıfırdır, dolayısıyla sistemin kararlı durum çıktıları, ω' frekansında belirli bir sinüzoidal giriş sinyali $v = V \sin(\omega_0 t + \phi)$ için çıkış vektörü şu şekilde verilmektedir.

$$y \Big|_{v=V \sin(\omega_0 t + \phi)} = \begin{bmatrix} v' \\ qv' \end{bmatrix} = V \begin{bmatrix} \sin(\omega_0 t + \phi) \\ -\cos(\omega_0 t + \phi) \end{bmatrix} \quad (4.21)$$

SOGI-FRKD'nin rezonans frekansı ω' , giriş sinyalinin frekansına eşit olmayan bir değere ayarlandığında aşağıdaki denklemler geçerli olmaktadır.

$$y = \begin{bmatrix} v' \\ qv' \end{bmatrix} = V |D(j\omega_0)| \begin{bmatrix} \sin(\omega_0 t + \phi + \angle D(j\omega_0)) \\ -\frac{\omega'}{\omega_0} \cos(\omega_0 t + \phi + \angle D(j\omega_0)) \end{bmatrix} \quad (4.22)$$

$$|D(j\omega_0)| = \frac{k\omega_0\omega'}{\sqrt{(k\omega_0\omega')^2 + (\omega_0^2 - \omega'^2)^2}} \quad (4.23)$$

$$\angle D(j\omega_0) = \arctan\left(\frac{\omega_0^2 - \omega'^2}{k\omega_0\omega'}\right)$$

Denklem 4.22'den SOGI durumlarının, $\omega' \neq \omega_0$ olsa bile girişine ω_0 frekansında bir sinüzoidal giriş sinyali uygulandığında aşağıdaki denklem geçerli olmaktadır.

$$\dot{x}_1 = \omega_0^2 x_2 \quad (4.24)$$

Bu nedenle, Şekil 4.9'daki e_v hata sinyali denklem 4.17'den aşağıdaki şekilde elde edilmektedir.

$$e_v = (v - x_1) = \frac{1}{k\omega'} (\dot{x}_1 + \omega'^2 x_2) \quad (4.25)$$

Denklem 4.24 ve 4.25'e göre kalıcı durum frekansın hata sinyali e_f aşağıdaki gibi elde edilmektedir.

$$e_f = x_2 \omega' e_v = \frac{x_2^2}{k} (\omega'^2 - \omega_0^2) \quad (4.26)$$

Sistem kalıcı durumda $\omega' \cong \omega_0$ olduğu varsayılırsa $(\omega'^2 - \omega_0^2)$ şu şekilde yaklaşık olarak hesaplanmaktadır.

$$\omega'^2 - \omega_0^2 \cong 2(\omega' - \omega_0) \omega' \quad (4.27)$$

Tüm sistemin dinamikleri denklem 4.28'deki gibi tanımlanmaktadır.

$$\dot{\omega}' = -\Gamma e_f = -\frac{\Gamma}{k} x_2^2 (\omega'^2 - \omega_0^2) \cong -2 \frac{\Gamma}{k} x_2^2 (\omega' - \omega_0) \omega' \quad (4.28)$$

$v = V \sin(\omega_0 t + \phi)$ giriş sinyali için, x_2^2 denklemi denklem 4.29'daki gibi elde edilmektedir.

$$x_2^2 = \frac{V^2}{2\omega_0^2} |D(j\omega_0)|^2 [1 + \cos(\omega_0 t + \phi + \angle D(j\omega_0))] \quad (4.29)$$

Kararlı durumda, denklem 4.29'da $D(j\omega_0) \cong 1$ olarak kabul edilir ve x_2^2 'deki alternatif akım bileşeni ihmal edilirse denklem 4.28 aşağıdaki gibi yeniden düzenlenir ve SOGI-FRKD sistem dinamikleri denklem 4.30'da ele edilmektedir.

$$\dot{\omega}' = -\frac{\Gamma V^2}{k\omega'} (\omega' - \omega_0) \quad (4.30)$$

4.2.3.2. DSOGI tabanlı frekans kilitlemeli döngü

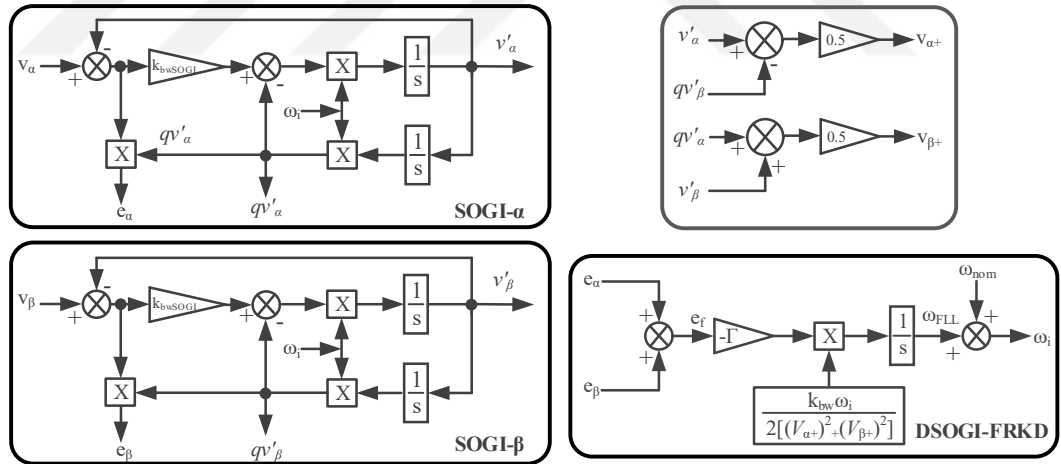
Şebeke bağlantılı evirici için kullanılan DSOGI-FRKD'nin blok diyagramı Şekil 4.10'da gösterilmektedir. Sistemde $\alpha\beta$ durağan eksenler üzerinde çalışan iki SOGI, giriş sinyallerini bir pozitif ve negatif sıralı hesaplama bloğuna aktarmaktadır. İki sinyal, $v_{\alpha+}$ ve $v_{\beta+}$, $\alpha\beta$ eksenindeki temel pozitif sıralı bileşenlerdir [262].

Şekil 4.10'daki iki kalıcı durum sinyali e_α ve e_β aşağıdaki denklemde verilmektedir.

$$\begin{aligned} e_\alpha &= \omega' x_{2\alpha} (v_\alpha - v'_\alpha) \\ e_\beta &= \omega' x_{2\beta} (v_\beta - v'_\beta) \end{aligned} \quad (4.31)$$

DSOGI-FRKD frekans hata sinyali e_f 'yi hesaplamak için denklem 4.32 kullanılmaktadır.

$$e_f = e_\alpha + e_\beta = \frac{x_{2\alpha}^2 + x_{2\beta}^2}{k} (\omega^2 - \omega_0^2) \quad (4.32)$$



Şekil 4.10: DSOGI-FRKD'nin blok diyagramı.

Şekil 4.10'daki DSOGI-FRKD dinamikleri denklem 4.33 ile açıklanmaktadır.

$$\dot{\omega}' \cong \frac{-\Gamma \omega' (x_{2\alpha}^2 + x_{2\beta}^2) (\omega'^2 - \omega_0^2)}{2 \left[(v_{\alpha+}^+)^2 + (v_{\beta+}^+)^2 \right]} \quad (4.33)$$

Kalıcı durumda $\omega'^2 - \omega_0^2 = 2(\omega' - \omega_0)\omega'$ varsayımı yapılarak denklem 4.33 aşağıdaki şekilde yeniden düzenlenir.

$$\dot{\omega}' \cong \frac{-\Gamma \omega'^2 (x_{2\alpha}^2 + x_{2\beta}^2)(\omega' - \omega_0)}{(v_\alpha^+)^2 + (v_\beta^+)^2} \quad (4.34)$$

Dengesiz veya bozuk şebeke gerilimi koşulları altında giriş sinyalleri v_α ve v_β , yalnızca temel pozitif bileşen gerilimi değil, aynı zamanda temel negatif bileşen gerilimi ve harmonik bileşenleri de içermektedir ve bu sinyaller aşağıdaki şekilde tanımlanmaktadır.

$$\begin{aligned} v_\alpha &= V_+ \cos(\omega_0 t) + V_- \cos(\omega_0 t - (\varphi_-)) \\ v_\beta &= V_+ \sin(\omega_0 t) - V_- \sin(\omega_0 t - (\varphi_-)) \end{aligned} \quad (4.35)$$

V_+ ve V_- sırasıyla pozitif ve negatif sıralı bileşenlerin geriliminin genliğidir ve φ_- ise negatif sıralı bileşenin faz açısıdır. Denklem 4.35'ten, kalıcı durumdaki $x_{2\alpha}$ ve $x_{2\beta}$ 'nin kareleri aşağıdaki şekilde elde edilmektedir.

$$\begin{aligned} x_{2\alpha}^2 &= \frac{1}{\omega'^2} (V_+^2 \sin^2(\theta_+) + V_-^2 \sin^2(\theta_-) + 2V_+ \sin(\theta_+) V_- \sin(\theta_-)) \\ x_{2\beta}^2 &= \frac{1}{\omega'^2} (V_+^2 \cos^2(\theta_+) + V_-^2 \cos^2(\theta_-) - 2V_+ \cos(\theta_+) V_- \cos(\theta_-)) \end{aligned} \quad (4.36)$$

$\theta = \omega_0 t \theta_+$, $\theta_- = \omega_0 t - \phi_-$ olarak tanımlanmaktadır. Denklem 4.34, denklem 4.36 kullanılarak yeniden düzenlenirse denklem 4.37'deki sistem dinamikleri denklemi elde edilmektedir.

$$\dot{\omega}' \cong \frac{-\Gamma}{\underbrace{(v_\alpha^+)^2 + (v_\beta^+)^2}_{V_+^2}} (\omega' - \omega_0) [V_+^2 + V_-^2 - 2V_+ V_- \cos(\theta_+ + \theta_-)] \quad (4.37)$$

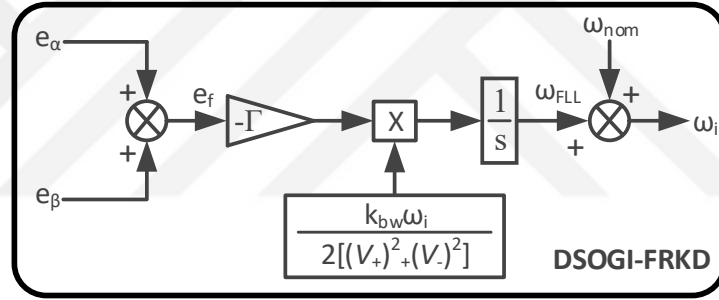
Denklem 4.37 matematiksel olarak aşağıdaki şekilde sadeleştirilmektedir [273, 274].

$$\dot{\omega}' \cong \frac{-\Gamma}{V_+^2} (\omega' - \omega_0) [V_+^2 + V_-^2] = -\Gamma (\omega' - \omega_0) \left[1 + \left(\frac{V_-}{V_+} \right)^2 \right] \quad (4.38)$$

Denklem 4.38'teki (V_-/V_+) değeri gerilim dengesizliği faktörü olarak tanımlanmaktadır. Denklem 4.38'ten, Şekil 4.10'da gösterilen DSOGI-FRKD tasarımının, DSOGI-FRKD dinamiklerini dengesiz şebeke koşulu altındaki ($V_-^2 \neq 0$) gerilim dalgalanmalarından bağımsız hale getiremeyeceği sonucuna varılabilmektedir. Bu durumda V_- ve V_+ bileşenleri hesaplanarak sistemdeki etkisi ortadan kaldırılabılır. Şekil 4.10'daki genlik normalizasyonunun yeniden düzenlenmesi gerekmektedir. Bu durum denklem 4.39'da gösterilmektedir.

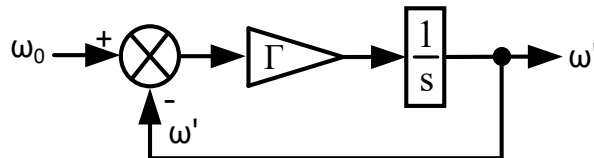
$$\dot{\omega}' \cong \frac{-\Gamma}{V_+^2 + V_-^2} (\omega' - \omega_0) (V_+^2 + V_-^2) \cong -\Gamma (\omega' - \omega_0) \quad (4.39)$$

Denklem 4.39 dikkate alınarak yeni genlik normalizasyonu Şekil 4.11'de verilmektedir [240].



Şekil 4.11: Dengesizlik durumunda genlik normalizasyonu ile DSOGI-FRKD'nin blok diyagramı.

Denklem 4.38 ve 4.39, DSOGI-FRKD'nin dinamiklerinin ne temel pozitif sıralı ne de temel negatif sıralı bileşenlere bağımlı olmadığını göstermektedir. Sonuç olarak DSOGI-FRKD birinci dereceden doğrusal sistem olarak Şekil 4.12'de olduğu gibi elde edilmektedir.



Şekil 4.12: Doğrusal SOGI-FRKD'nin blok diyagramı.

Şekil 4.12'deki sistemin kapalı çevrim transfer fonksiyonu aşağıdaki şekilde elde edilmektedir.

$$G_{SOGI-FRKD}(s) = \frac{\omega'}{\omega_0} \cong \frac{\Gamma}{s + \Gamma} \quad (4.40)$$

$G_{SOGI-FRKD}(s)$ SOGI-FRKD'nin kapalı çevrim transfer fonksiyonudur. Denklem 4.40'tan anlaşılacağı üzere yerleşme süresi yalnızca Γ parametresine bağlıdır ve aşağıdaki gibi hesaplanmaktadır.

$$t_s \cong \frac{4.6}{\Gamma} \quad (4.41)$$

FRKD ile SOGI arasındaki yerleşme zamanı arasında minimum $t_{sFRKD} \geq 2t_{sSOGI}$ oranı tercih edilmektedir. k_{bw_SOGI} kazancı genel olarak $\sqrt{2}$ seçilmektedir ve belirtilen minimum oran tasarım yapılırken dikkate alınmaktadır. SOGI'nin, yerleşme süresi t_{sSOGI} aşağıdaki hesaplanmaktadır.

$$t_{sSOGI} \cong \frac{9.2}{k_{bw_SOGI} \omega_0} \quad (4.42)$$

4.3. Ada Modlu Şebeke Eviricilerinde Klasik Senkronizasyon Döngüleri

Ada modlu şebekelerde güç talebinin artması veya paralel çalışacak eviricilerin devreye alınması aşamasında eviricilerin senkronizasyonunu gerçekleştirmek için frekans, faz ve gerilimin mikro şebeke veya diğer eviricilerin değerleri ile aynı olması sağlanmalıdır. Paralel bağlı çalışmada en büyük problem, şebeke eviricilerinin çıkış gerilimlerindeki küçük sapmalar bile şebeke eviricileri arasında sirkülasyon akımlarının oluşmasına neden olmaktadır. Yüksek sirkülasyon akımları güç kayıplarını artırarak mikro şebekenin veriminin düşmesine neden olmaktadır. Bu problemleri önlemek için paralel çalışan ve yük gücünü paylaşan şebeke eviricilerinin aynı frekans, faz ve genliğe sahip olması gerekmektedir.

Klasik senkronizasyon kontrol sistemleri genellikle iki ana başlıkta analiz edilmektedir. Bunlar klasik Faz Senkronizasyonu Döngüsü (FSD) ve klasik Gerilim Senkronizasyonu

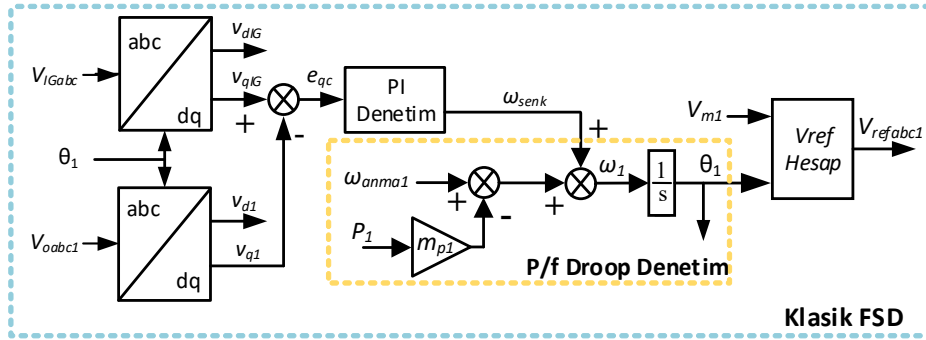
Döngüsü (GSD) olmak üzere iki döngüden oluşmaktadır. Klasik FSD, P/f droop denetim döngüsü ile klasik GSD ise Q/V droop denetim döngüsü ile çalışmaktadır. Droop denetimi denklemi klasik FSD ve klasik GSD için yeniden düzenlenirse DG₁ için aşağıdaki denklemler elde edilir [79,81,83,84,85].

$$\begin{aligned}\omega_1 &= (\omega_{anma1} - m_{p1}P_1) + \omega_{senk} \\ V_{m1} &= (V_{anma1} - n_{q1}Q_1) + v_{senk}\end{aligned}\quad (4.43)$$

ω_{anma1} , DG₁'in anma frekansdır (sıfır aktif güç değerindeki frekans). P_1 , DG₁'in çıkış aktif gücüdür, ω_{senk} , DG₁'in senkronizasyon frekansdır. Q_1 , DG₁'in çıkış reaktif gücüdür. V_{anma1} , DG₁'in anma çıkış gerilimidir (sıfır reaktif güç değerinde çıkış gerilimi) ve v_{senk} , DG₁ için senkronizasyon gerilimidir. V_{m1} , DG₁'in referans tepe gerilimidir, ω_1 , DG₁'in çalışma frekansdır. m_{p1} ve n_{q1} droop denetim katsayılarıdır.

4.3.1. Klasik faz senkronizasyonu döngüsü

Şekil 4.13'te P/f droop denetim döngüsü ile entegre olan klasik faz senkronizasyonu döngüsünün blok diyagramı verilmektedir [79,81,83,84,85].



Şekil 4.13: Klasik FSD'nin blok diyagramı.

V_{oabc} ve V_{refab} , sırasıyla DG₁'in çıkış ve referans gerilimleridir. V_{LGabc} , ortak bağlantı noktasındaki mikro şebeke gerilimidir. θ_1 , DG₁'in çalışma fazı açısıdır. e_{qc} faz senkronizasyonu döngüsü hata dinamiklerini temsil etmektedir.

Klasik senkronizasyon döngüleri, klasik FSD'nin başlangıç değeri bağımlılığı ve klasik FSD ile klasik GSD arasındaki çapraz bağlantı nedeniyle doğrusal olmayan dinamiklere sahiptir.

4.3.1.1. Klasik FSD'de başlangıç değeri bağımlılığı ve doğrusal olmayan dinamikler

Şekil 4.13'teki klasik faz senkronizasyonu döngüsü hata dinamiklerini temsil eden e_{qc} denklem 4.44'teki gibi elde edilmektedir.

$$e_{qc} = V_{mIG} \left[\sin((\omega_{IG} - \omega_s)t + (\phi_{IG} - \phi_s)) \right] - V_{m1} \left[\sin((\omega_1 - \omega_s)t + (\phi_1 - \phi_s)) \right] \quad (4.44)$$

ϕ_s ve ω_s , DG₁ için klasik senkronizasyon kontrol sisteminin tahmini fazını ve frekansını temsil etmektedir. ϕ_1 ve ϕ_{IG} sırasıyla DG₁ ve mikro şebekenin faz açılarıdır, ω_1 ve ω_{IG} sırasıyla DG₁ ve mikro şebekenin frekanslarıdır. $\phi_1 = \phi_s$ ve $\omega_1 = \omega_s$ olmak üzere iki eşitlik olduğuna dikkat edilmelidir. Denklem 4.44, $\sin((\omega_1 - \omega_s) + (\phi_1 - \phi_s)) = 0$ eşitliği kullanılarak yeniden yazılır ve dengeli bir üç fazlı durum için q bileşeni $V_{dIG} = V_{mIG}$ eşitliği kullanılarak denklem 4.45'teki gibi temsil edilmektedir.

$$e_{qc} = V_{dIG} \left[\sin((\omega_{IG} - \omega_1)t + (\phi_{IG} - \phi_1)) \right] \quad (4.45)$$

Denklem 4.45'te bulunan sinüs fonksiyonu denklemin doğrusal olmayan karakteristiklere sahip olmasına neden olmaktadır. Ayrıca, aşağıdaki varsayımlar tarafından sağlanan sınırlı bir çalışma bölgesi haricinde, hata dinamikleri doğrusal olmamaktadır. Ayrıca sinüs fonksiyonundan dolayı $\pm \pi/2$ radyan arasında bir çalışma sınırı bulunmaktadır. Bu durum faz açısı hatasının çalışma sınırları dışında, hata sinyalinde osilasyona neden olmaktadır [296,297]. Denklem 4.45'i doğrusallaştırmak için literatürde sıkça kullanılan iki varsayım bulunmaktadır [68,81,83,298].

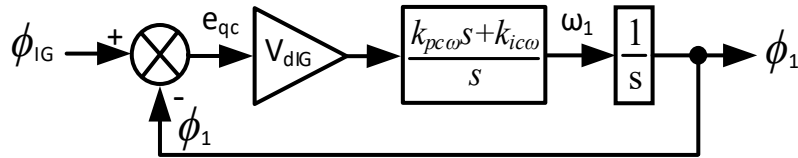
a1. Klasik senkronizasyon kontrol sistemlerinde DG₁ ve mikro şebekenin frekansları birbirine yakın veya eşit kabul edilmektedir, $\omega_1 = \omega_{IG}$.

a2. ϕ_1 ve ϕ_{IG} arasındaki fark yaklaşık $\pm 0,25$ rad aralığında kabul edilirse, $\sin(\phi_{IG} - \phi_1) = \phi_{IG} - \phi_1$ eşitliği geçerli hale gelmektedir.

Bu iki varsayım ile denklem 4.45 yeniden düzenlenirse klasik FSD'nin doğrusallaştırılmış denklemi aşağıdaki gibi elde edilmektedir. Burada dikkat edilmesi gereken en önemli nokta varsayımların geçerli olduğu çalışma koşullarında yine denklem 4.46'nın geçerli olduğudur. Aksi takdirde yapılan analiz ve tasarımlar geçerliliğini kaybetmektedir.

$$e_{qc} \cong V_{dIG} (\phi_{IG} - \phi_1) \quad (4.46)$$

Dinamik yük değişimlerinin gerçekleştiği anlarda, mikro şebeke frekansında hızlı değişimler meydana gelebilmektedir. Bu anlarda yukarıda verilen varsayımlar geçerli olmamaktadır. Dolayısıyla faz senkronizasyonu hata denklemi denklem 4.46'nın geçerli olması mümkün değildir. Doğrusal olmayan denklem 4.45'in geçerli olduğu senkronizasyon denetiminde PI gibi doğrusal denetimcilerin kullanılması doğrusal olmayan dinamiklere sahip klasik FSD için performans düşüklüğüne ve kararsızlığa sebep olmaktadır [13,47,84,86,299], Denklem 4.46'nın geçerli olduğu varsayımlara dayalı şekilde doğrusallaştırılmış klasik FSD modeli için blok diyagram Şekil 4.14'te verilmektedir.



Şekil 4.14: Doğrusallaştırılmış klasik FSD'nin blok diyagramı.

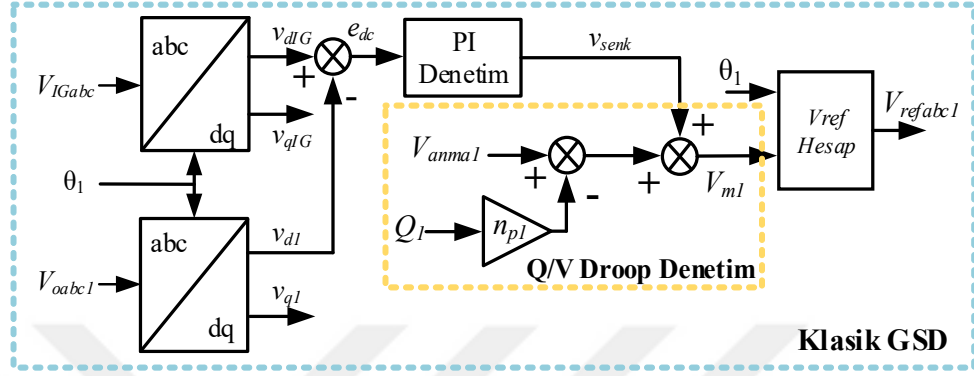
Varsayımlara dayalı şekilde doğrusallaştırılmış klasik FSD'nin kapalı döngü transfer fonksiyonu Şekil 4.14'e göre aşağıdaki şekilde ifade edilmektedir.

$$G_{FSD}(s) = \frac{\phi_1}{\phi_{IG}} = \frac{V_{dIG}k_{pc}\omega s + V_{dIG}k_{ic}\omega}{s^2 + V_{dIG}k_{pc}\omega s + V_{dIG}k_{ic}\omega} \quad (4.47)$$

$G_{FSD}(s)$ klasik FSD'nin kapalı çevrim transfer fonksiyonudur. k_{pc} ve $k_{ic}\omega$, PI denetimi kazançlarıdır.

4.3.2. Klasik gerilim senkronizasyonu döngüsü

Şekil 4.15'te, Q/V droop denetim döngüsü ile entegre olan klasik GSD blok diyagramı verilmektedir [79,81,83,84,85].



Şekil 4.15: Klasik senkronizasyon döngü için FSD'nin blok diyagramı.

e_{dc} gerilim senkronizasyonu döngüsü hata dinamiklerini temsil etmektedir.

$$e_{dc} = V_{dIG} \left[\cos((\omega_{IG} - \omega_s)t + (\phi_{IG} - \phi_s)) \right] - V_{d1} \left[\cos((\omega_1 - \omega_s)t + (\phi_1 - \phi_s)) \right] \quad (4.48)$$

Daha önce belirtildiği gibi $\phi_1 = \phi_s$ ve $\omega_1 = \omega_s$ eşitlikleri geçerli olduğundan, $\cos((\omega_1 - \omega_s) + (\phi_1 - \phi_s)) = 1$ eşitliği kullanılarak denklem 4.48 yeniden düzenlenerek denklem 4.49 elde edilir.

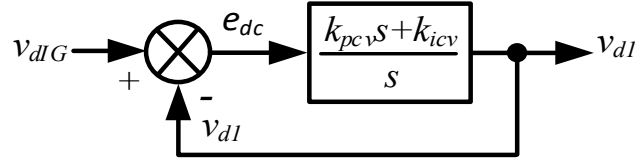
$$e_{dc} = V_{dIG} \left[\cos((\omega_{IG} - \omega_s)t + (\phi_{IG} - \phi_s)) \right] - V_{d1} \quad (4.49)$$

Klasik FSD döngüsündeki varsayımlar klasik GSD içinde geçerlidir. Bu varsayımlar (sınırlı çalışma koşulları) doğrultusunda $\omega_1 = \omega_{IG}$ ve $\cos(\phi_1 - \phi_{IG}) = 1$ eşitlikleri kullanılarak denklem 4.49 yeniden düzenlenirse doğrusallaştırılmış olan denklem 4.50 elde edilir.

$$e_{dc} = V_{dIG} - V_{d1} \quad (4.50)$$

Varsayımlar ile belirlenen çalışma koşulları haricinde denklem 4.50 yerine denklem 4.49 klasik GSD hata dinamiklerini temsil edilmektedir. Denklem 4.50'nin geçerli

olduğu doğrusallaştırılmış klasik GSD modeli için blok diyagram Şekil 4.16'da verilmektedir.



Şekil 4.16: Doğrusallaştırılmış klasik GSD'nin blok diyagramı.

Varsayımlar ile doğrusallaştırılmış klasik GSD'nin kapalı döngü transfer fonksiyonu Şekil 4.16'ya göre aşağıdaki denklemdeki gibi ifade edilmektedir.

$$G_{GSD}(s) = \frac{v_{d1}}{v_{dIG}} = \frac{k_{pcv}s + k_{icv}}{s^2 + k_{pcv}s + k_{icv}} \quad (4.51)$$

$G_{GSD}(s)$ klasik GSD'nin kapalı çevrim transfer fonksiyonudur. k_{pcv} ve k_{icv} , PI denetimci kazançlarıdır.

4.3.3. Klasik FSD ile klasik GSD arasındaki çapraz bağlantının ispatı

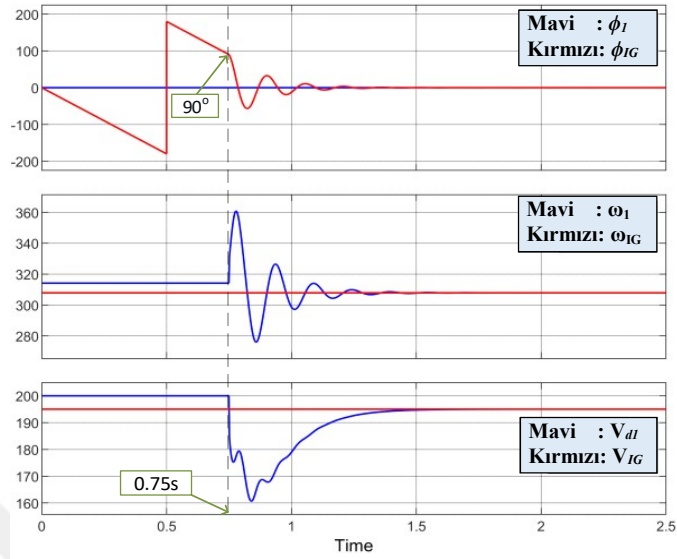
Denklem 4.45 ve denklem 4.49, denklem 4.52 ve denklem 4.53'teki gibi $\theta = \omega t \pm \phi$ fazör formu kullanılarak yeniden yazılırsa aşağıdaki denklemler elde edilir.

$$e_{qc} = V_{dIG} \sin(\theta_{IG} - \theta_1) = V_{dIG} \sin(\theta_e) \quad (4.52)$$

$$e_{dc} = V_{dIG} \cos(\theta_{IG} - \theta_1) - V_{d1} = V_{dIG} \cos(\theta_e) - V_{d1} \quad (4.53)$$

θ_e , DG₁ ve mikro şebeke gerilimleri arasındaki anlık faz açısı hatasıdır, $\theta_e = (\theta_{IG} - \theta_1)$. Denklem 4.52 ve denklem 4.53'te a_1 ve a_2 varsayımları geçerli olsun ya da olmasın klasik FSD ve klasik GSD aynı anda çalıştırılırsa Denklem 4.52 ve denklem 4.53'te de açıkça görüldüğü gibi çapraz bağlantı bulunmaktadır ve faz açısı hatası her iki hata dinamiğini de etkilemektedir. Bu durumda klasik senkronizasyon sisteminde ikinci doğrusal olmayan dinamik bu noktada ortaya çıkmaktadır. Şekil 4.17'de örnek bir çalışma ile çapraz bağlantı durumu ele alınmaktadır. Başlangıç faz açısı farkı, başlangıç

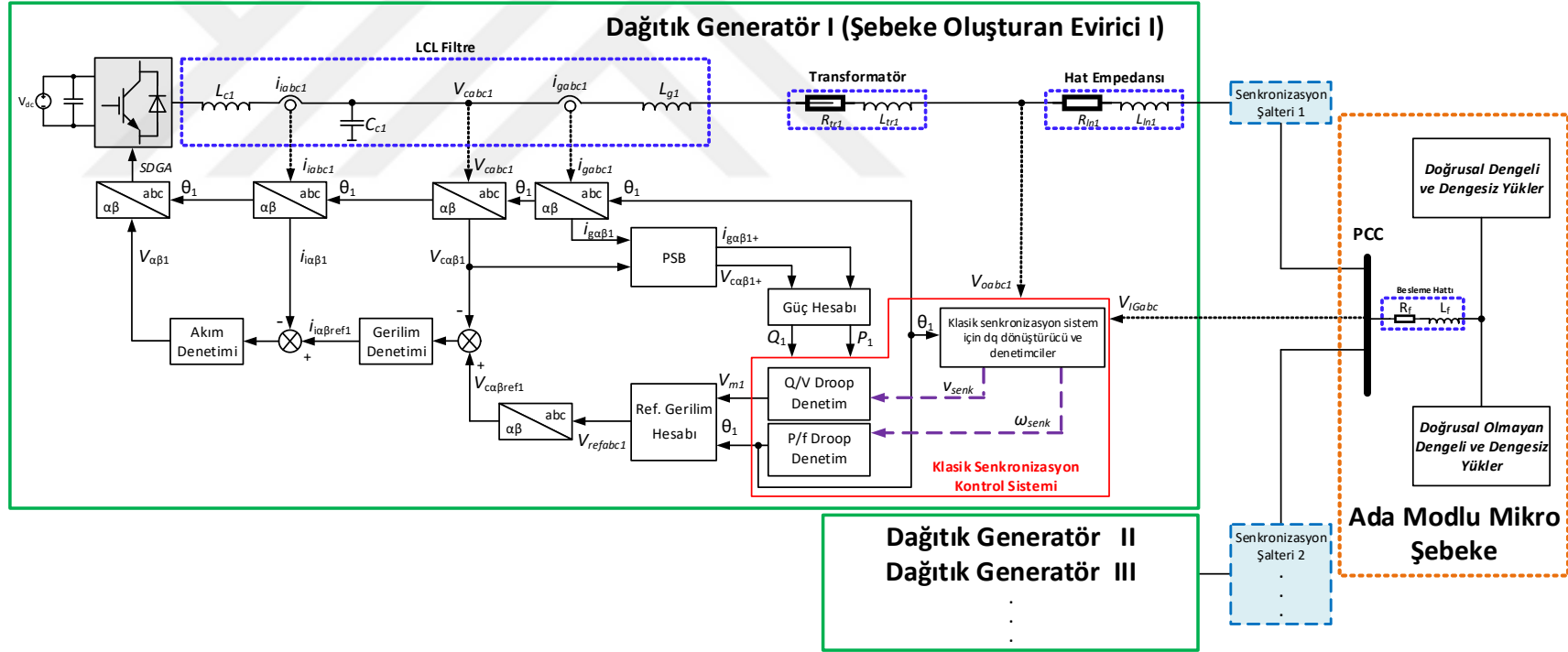
gerilim farkı ve başlangıç frekans farkı sırasıyla bu durum için 90° , 5 V ve 6.28 rad/s'dir.



Şekil 4.17: Eş zamanlı çalışan klasik FSD ve klasik GSD'nin çalışma anında ki gerilim çökmesi ve frekanstaki osilasyon.

Şekil 4.17'deki sonuçlardan, DG_1 'in mikro şebeke ile senkronize olması için klasik GSD ve klasik FSD aynı anda başlatıldığında, DG_1 'in çıkış geriliminin daha önce belirtilen doğrusal olmayan dinamiklerden dolayı gerilim çökmelerine sahip olabileceği sonucuna varılmaktadır. Kararsızlık durumu oluşmasa bile gerilim çökmeleri ve osilasyonlar kaçınılmazdır. Bu gerilim çökmeleri senkronizasyon işlemi sırasında DG_1 'in hassas yüklerinde kalıcı hasara neden olabilmektedir.

Şekil 4.18'de ada modlu mikro şebeke eviricilerinin faz ve gerilim senkronizasyonu döngülerinin dahil olduğu klasik senkronizasyon kontrol sisteminin kapalı döngü şeması verilmektedir [79,81,83,84,85]. Şekil 4.13'te görüldüğü gibi, birinci dağıtık generatör (DG_1), ada modlu mikro şebeke ile senkronize edilmektedir. İkinci dağıtık generatör (DG_2) doğrudan mikro şebekeye bağlıdır. Burada verilen senkronizasyon denetimi droop denetim ile çalışmaktadır.



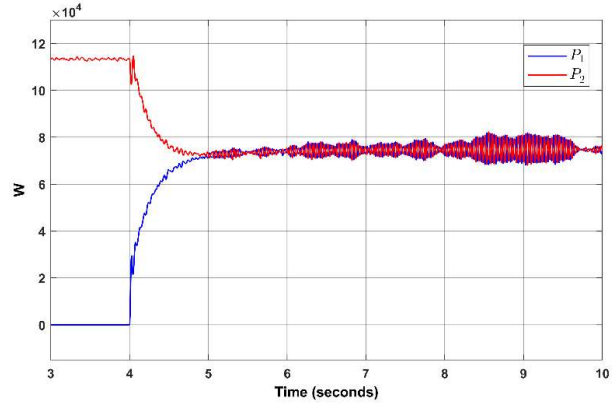
Şekil 4.18: Klasik senkronizasyon kontrol sistemi ve şebeke oluşturan evirici kapalı çevrim denetimi.

4.4. Senkronizasyon Sonrası Şebeke Eviricilerinin Devreye Alınması

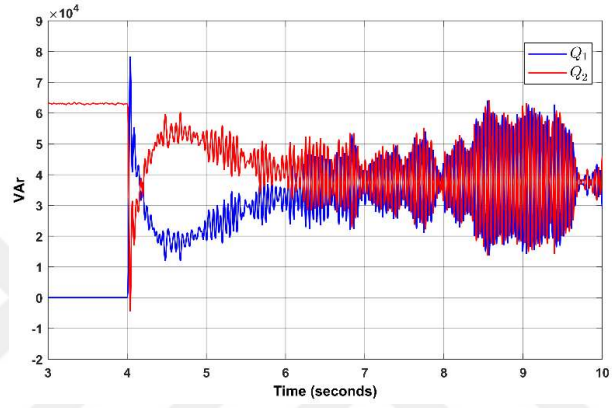
Ada modlu mikro şebekeler gibi zayıf mikro şebekelerde, senkronize edilecek şebeke eviricilerinin senkronizasyon döngülerinden sonra devreye alma sırasında güç paylaşımı veya güç akışından sirkülasyon problemleri ortaya çıkabilmektedir [19,82]. Zayıf mikro şebekeler güç, frekans ve gerilim değişikliklerine karşı oldukça hassastır [93]. Senkronizasyon kontrol döngüleri kalıcı duruma geçtikten sonra şebeke eviricileri ile mikro şebeke arasındaki mekanik senkronizasyon şalteri kapatılmaktadır. Şalter kapatıldığı anda, senkronizasyon değerlerinin (ω_{senk} ve v_{senk}) ani bir şekilde devre dışı bırakılma zorunda olması, güç osilasyonlarına neden olabilmektedir. Ayrıca gerilim çökmesi, güç osilasyonları ve sirkülasyon akımları gibi problemler mikro şebekelerde ve şebeke eviricilerinde koruma sistemlerini tetikleyerek güç kesintisine neden olabilmektedir [93,97]. Bu nedenle, senkronizasyondan sonra yükleme koşullarında oluşabilecek problemler, ada modlu mikro şebekenin frekans ve gerilim kararlılığını olumsuz etkilenebilmektedir [92,94].

Şekil 4.19 ve Şekil 4.20'de örnek bir senaryo sunulmaktadır. Bu örnekte, senkronizasyon şalteri, senkronizasyon algoritması tamamlandıktan sonra kapatılmaktadır. Şekil 4.19'da reaktif güçlerde osilasyonların meydana geldiği açıkça görülmektedir. Ayrıca bu örnekte klasik senkronizasyon kontrol döngüleri kullanılarak frekans, faz ve gerilim hatasız bir şekilde senkronize edildiği halde, güç denetimi cevaplarında osilasyonlar meydana gelmektedir. Klasik senkronizasyon döngülerinin ekstrem çalışma koşulları gerçekleşmese bile kararsızlığa gidebileceği de unutulmamalıdır.

Şekil 4.20'de eviricilerin çıkış akımlarında yüksek başlangıç akımlarının meydana geldiği gözlemlenmektedir. Bu başlangıç akımlarını oluşturan bileşenlerin baskın bileşenleri sirkülasyon akımlarıdır.

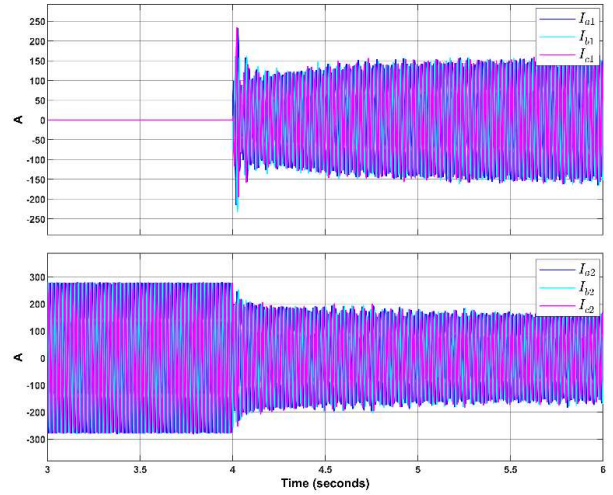


(a)



(b)

Şekil 4.19: Senkronizasyon şalteri kapatıldıktan sonra: (a) aktif güçler (b) reaktif güçler.



Şekil 4.20: Senkronizasyon şalteri kapatıldıktan sonra başlangıç akımları.

Şekil 4.20'de, I_{abc1} ve I_{abc2} sırasıyla birinci ve ikinci eviricinin çıkış akımlarıdır. Bu sorunların üstesinden gelmek için mikro şebeke eviricilerinin senkronizasyon sonrası dinamik ve kararlı durum çalışma süreçlerine yönelik aşağıdaki çözümlere odaklanılmalıdır:

- Sirkülasyon akımlarını bastırmak,
- Güç kalitesini iyileştirmek ve aktif ile reaktif güçlerdeki osilasyonlarını bastırmak,
- Anlık gerilim çökmelerini ve yükselmelerini engellemek,
- Geniş bir çalışma aralığında doğrusallığı ve dolayısıyla kararlı çalışmayı sağlamak.

Bu tez çalışmasında hem klasik FSD'nin başlangıç bağımlılığı ile oluşan doğrusal olmayan dinamikleri hem de klasik FSD ile klasik GSD arasındaki çapraz bağlantının neden olduğu doğrusal olmayan dinamikleri doğrusallaştırmak için sonraki bölümde yeni bir senkronizasyon kontrol yöntemi önerilmektedir. Ayrıca senkronizasyon şalterinin kapatılmasından sonra çalışan yeni bir yumuşak devreye alma (yol verme) yöntemi de önerilmektedir.

BÖLÜM 5. ÖNERİLEN SENKRONİZASYON KONTROL SİSTEMİ

5.1. Giriş

Klasik senkronizasyon kontrol sistemlerinde ele alınan problemlerin çözümü için yeni bir senkronizasyon kontrol sistemi önerilmektedir. Bu problemler ve önerilen özgünlükler üç ana başlık altında incelenmektedir, bunlar:

01. Başlangıç koşulu bağımlılığından kaynaklanan doğrusal olmayan dinamikleri içermeyen yeni bir doğrusal DSOGI tabanlı Frekans ve Faz Senkronizasyon Döngüsü (DSOGI-FFSD) önerilmiştir.

02. DSOGI-FFSD ve önerilen DSOGI tabanlı Gerilim Senkronizasyonu Döngüsü (DSOGI-GSD) arasındaki çapraz bağlantı, DSOGI-FFSD ve DSOGI-GSD aynı anda çalıştırılmayarak, sırayla çalıştırarak yeni bir sıralı algoritmik devreye alma yöntemi ile ayrıştırılmaktadır. Böylece çapraz bağlantının neden olduğu bir diğer doğrusal olmayan dinamik de doğrusallaştırılmış olmaktadır. Bu iki özgünlüğün bir sonucu olarak, DSOGI-FFSD ve DSOGI-GSD tamamen doğrusallaştırılmış olmaktadır. Böylece geniş (tam) çalışma aralığında doğrusallık ve kararlılık garanti edilmiş olmaktadır.

03. Senkronize edilecek DG_1 'in yumuşak bir şekilde devreye girmesi için yeni bir yumuşak devreye alma yöntemi önerilmektedir. Senkronize edilecek DG_1 yumuşak bir şekilde başlatıldığında ada modlu mikro şebeke geriliminde bozulma, yüksek başlangıç akımları veya sirkülasyon akımları, aktif ve reaktif güçlerde osilasyonlar ve performans sorunları önlenmiş olmaktadır.

Şekil 5.1'de iç (akım) ve dış (gerilim) denetim döngüleri ile droop denetim döngülerinin yer aldığı önerilen senkronizasyon kontrol sistemini kullanan bir DG için kapalı döngü denetim sistemleri verilmiştir.

Bu tez çalışmanın kapsamı iç, dış ve droop denetim döngülerini içermemektedir. Bu nedenle, şebeke eviricileri ve droop denetim sistemlerinin döngü kazançlarının birim kazanç olduğu kabul edilmektedir.

Şekil 5.1'de, iç (akım) ve dış (gerilim) denetim döngülerinde PR denetimciler kullanılmıştır. DSOGI tabanlı pozitif sıralı bileşenlerin hesaplanması yöntemi ile üç fazlı gerilim ve akımlardan pozitif sıralı bileşenler elde edilebilmektedir ve bu bileşenleri kullanarak anlık güçler hesaplanabilmektedir. P/f ve Q/V droop denetimcileri DG'ler arasında aktif ve reaktif güçleri paylaşmaktadır [143,300-302]. Aktif ve reaktif güç droop denetim döngülerinin performansı sanal empedans yöntemi ile geliştirilmiştir. Sanal empedansın temel yapısı Şekil 2.34'te gösterilmiştir.

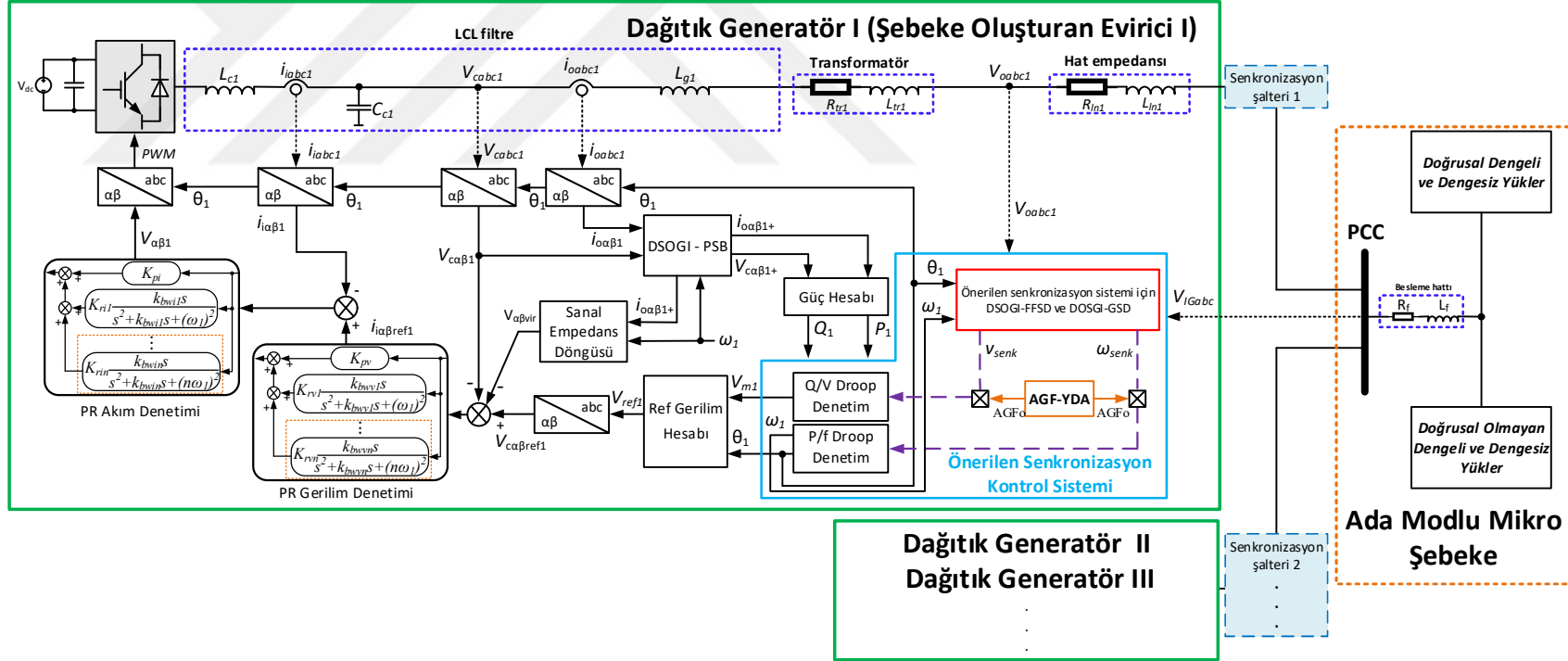
Şekil 5.1'e göre droop denetimcileri ve sanal empedans döngüleri, gerilim denetim döngülerinin referansını oluşturmaktadır. Aktif ve reaktif güçler arasındaki çapraz bağlantı probleminin üstesinden gelmek için hat empedansına sanal endüktans eklenerek endüktif hale getirilmektedir [303-305]. Güç osilasyonlarını azaltmak için de sanal direnç kullanılmaktadır [304,306].

DSOGI-FFSD, DSOGI tabanlı Frekans Senkronizasyon Döngüsü (DSOGI-FRSD) ve DSOGI tabanlı Faz Senkronizasyon Döngüsü (DSOGI-FSD) olmak üzere iki ayrı döngüden oluşmaktadır.

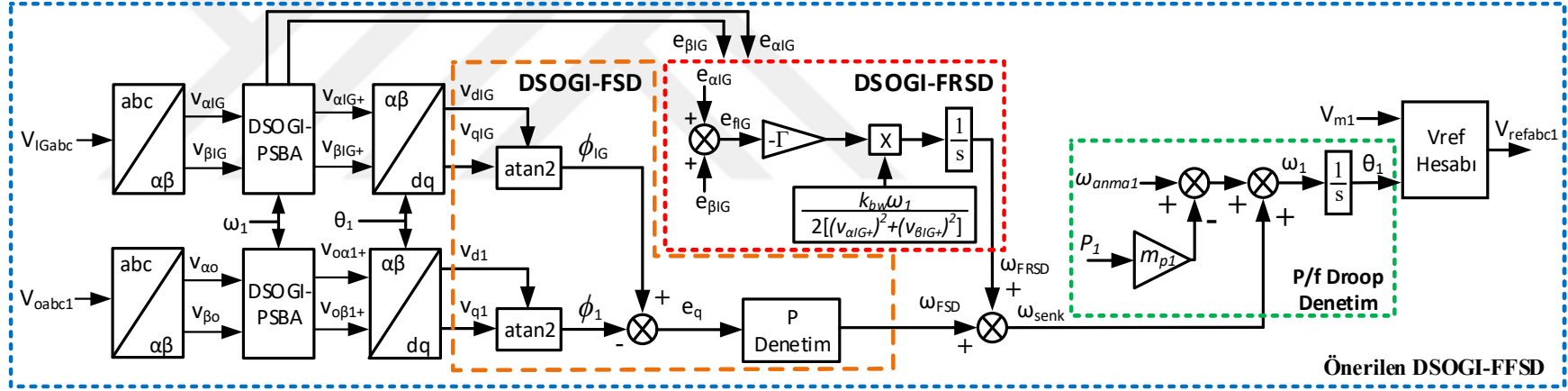
Önerilen senkronizasyon kontrol sisteminde de P/f ve Q/V droop denetim ile güç paylaşımı yapılmaktadır. Denklem 5.1'de önerilen senkronizasyon kontrol sisteminin dinamikleri (ω_{senk} ve v_{senk}) ile droop denetimin kombinasyonu verilmektedir.

$$\begin{aligned}\omega_1 &= \left(\omega_{anma1} - m_{p1} P_1 \right) + \underbrace{\omega_{FRSD} + \omega_{FSD}}_{\omega_{senk}} \\ V_{m1} &= \left(V_{anma1} - n_{q1} Q_1 \right) + v_{senk}\end{aligned}\tag{5.1}$$

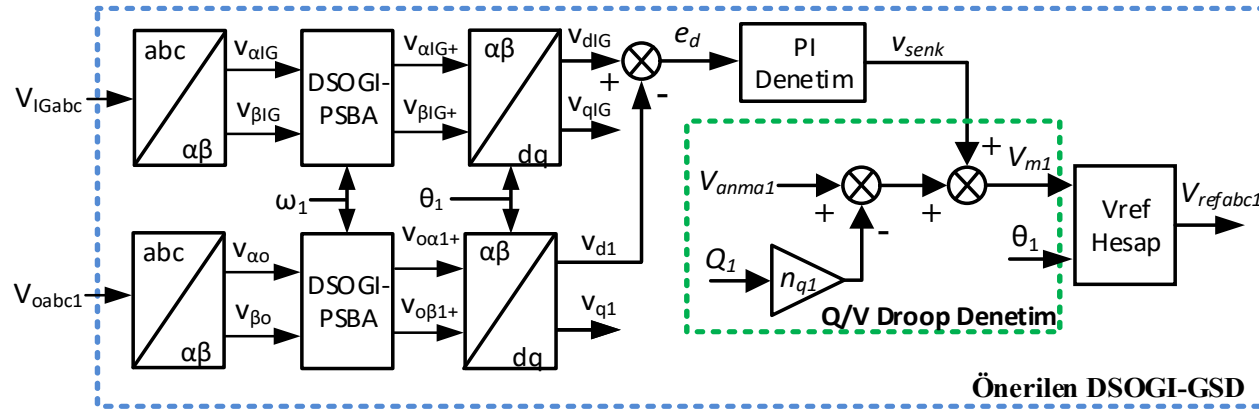
ω_{FRSD} DSOGI-FRSD'nin çıkış değeri ve ω_{FSD} DSOGI-FSD'nin çıkış değeridir. Önerilen senkronizasyon kontrol sistemi için DSOGI-FFSD blok diyagramı Şekil 5.2'de, DSOGI-GSD blok diyagramı ise Şekil 5.3'te verilmektedir.



Şekil 5.1: Önerilen senkronizasyon kontrol sistemi ve şebeke oluşturan evirici kapalı çevrim denetimi (Droop denetim, iç ve dış döngüler dahil).



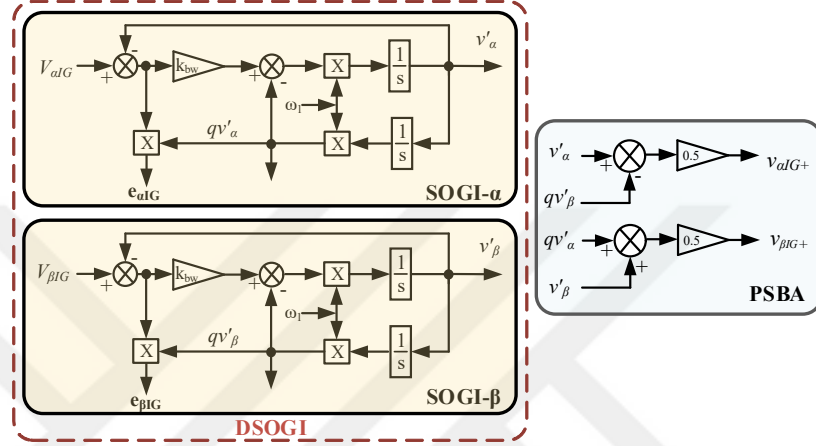
Şekil 5.2: Önerilen DSOGI-FFSD'nin blok diyagramı.



Şekil 5.3: Önerilen DSOGI-GSD'nin blok diyagramı.

5.2. DSOGI tabanlı Frekans ve Faz Senkronizasyonu Döngüsü

Şekil 5.1, Şekil 5.2 ve Şekil 5.3'teki DSOGI ve Pozitif Sıralı Bileşen Ayırıştırma (PSBA) yönteminin blok diyagramı Şekil 5.4'te verilmektedir. DSOGI ve PSBA, şebekenin harmonikli ve dengesiz olduğu durumlarda bile senkronize olmak için etkili yöntemlerdir [261-265].



Şekil 5.4: DSOGI ve PSBA'nın blok diyagramı.

Şekil 5.4'te, $e_{\alpha IG}$ ve $e_{\beta IG}$, mikro şebekenin alfa ve beta gerilimlerini temsil etmektedir, Denklem 5.2'de klasik senkronizasyon kontrol sistemindeki FSD'nin denklemi verilmektedir. Bu denklem üzerinden adım adım önerilen yöntem takip eden denklemlerle açıklanacaktır.

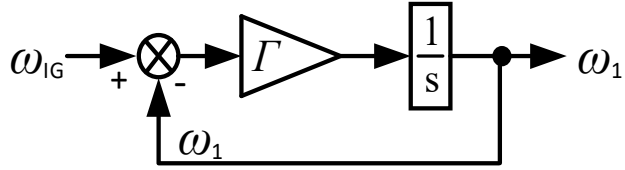
$$e_q = V_{dIG} \left[\sin((\omega_{IG} - \omega_1)t + (\phi_{IG} - \phi_1)) \right] \quad (5.2)$$

Öncelikle klasik senkronizasyonda kabul edilen iki varsayımı (a_1 ve a_2) geçersiz kılmak için DSOGI-FFSD önerilmiştir. DSOGI-FFSD iki başlık altında DSOGI-FRSD ve DSOGI-FSD olarak açıklanmaktadır.

5.2.1. DSOGI tabanlı frekans senkronizasyonu döngüsü

DSOGI-FRSD'nin ana amacı denklem 5.2'deki $(\omega_{IG} - \omega_1)$ terimini yok etmektir, yani senkronize olunacak mikro şebekenin çalışma frekansını tahmin etmektedir. Şekil 5.2'de DSOGI-FRSD blok diyagramı verilmektedir. Bu yöntem önceki bölümlerde bahsedilen klasik FRKD ile benzer yapıya sahiptir. Detaylı olarak Bölüm 3'te

anlatılmıştır. DSOGI-FRSD denetiminde kazanç normalizasyonu geniş bir giriş frekans çalışma aralığı boyunca döngünün kararlılığını, verimini ve izleme performansını korumayı amaçlamaktadır [285]. DSOGI-FRSD'nin karakteristik cevabı kazanç normalizasyonu ile Γ tek bir parametreye bağlı olarak elde edilmektedir. Γ , DSOGI-FRSD'nin döngü kazancıdır. Sonuç olarak DSOGI-FRSD'nin Şekil 5.5'teki doğrusallaştırılmış modeli elde edilmektedir.



Şekil 5.5: DSOGI-FRSD'nin doğrusallaştırılmış modeli.

Şekil 5.5'teki doğrusal modele göre elde edilen DSOGI-FRSD'nin kapalı döngü transfer fonksiyonu denklem 5.3'te verilmiştir.

$$G_{DSOGI-FRSD}(s) = \frac{\omega_1}{\omega_{IG}} = \frac{\Gamma}{s + \Gamma} \quad (5.3)$$

$G_{DSOGI-FRSD}(s)$ DSOGI-FRSD'nin kapalı çevrim transfer fonksiyonudur. Denklem 5.2'deki frekans farkı $(\omega_{IG} - \omega_1)$, denklem 5.4'te gösterildiği gibi DSOGI-FRSD tarafından sadeleştirilmektedir.

$$e_q = V_{dIG} \sin(\phi_{IG} - \phi_1) \quad (5.4)$$

DSOGI-FRSD yöntemi ile a_1 varsayımı artık geçersiz hale gelmiştir. a_2 varsayımındaki sınırlı çalışma koşullarından ve sinüs fonksiyonundan dolayı ortaya çıkan osilasyondan kurtulmak için DSOGI-FSD önerilmiştir.

5.2.2. DSOGI tabanlı faz senkronizasyonu döngüsü

DSOGI-FSD'nin ana amaç denklem 5.4'teki doğrusal olmayan karakteristiğe sahip $\sin(\phi_{IG} - \phi_1)$ teriminin yerine doğrusal bir yaklaşım elde etmektir. Denklem 5.4'teki $\sin(\phi_{IG} - \phi_1)$ terimi büyük faz farklarında $\left[\pm \frac{\pi}{2}\right]$ (rad) sınırları arasında osilasyona yol açarak önemli dinamik cevap problemlerine neden olmaktadır [307]. Çalışma sınırlarını

$[-\pi, \pi]$ aralığına genişletmek ve denklem 5.4'ü doğrusallaştırmak için faz açıları $\phi = \text{atan2}(v_q/v_d)$ hesaplama yöntemi ile elde edilmektedir. Dört bölgeli ters tanjant (atan2) fonksiyonun çalışma sınırları denklem 5.5'te verilmektedir.

$$\text{atan2}(y/x) = \begin{cases} \text{atan2}(y/x) & \text{if } (x > 0) \\ \pi + \text{atan2}(y/x) & \text{if } (x < 0 \ \& \ y \geq 0) \\ -\pi + \text{atan2}(y/x) & \text{if } (x < 0 \ \& \ y < 0) \\ \pi/2 & \text{if } (x = 0 \ \& \ y > 0) \\ -\pi/2 & \text{if } (x = 0 \ \& \ y < 0) \\ \text{tanımsız} & \text{if } (x = 0 \ \& \ y = 0) \end{cases} \quad (5.5)$$

Diğer bir konu da denklem 5.4'teki e_q hata denkleminin anlık şebeke gerilimi değişimlerinden bağımsız olması gerekmektedir. Bu amaçla, genlik normalizasyonu yöntemleri kullanılarak bu etki ortadan kaldırılmaktadır. Bu tez çalışmasında, genlik normalizasyonu yöntemlerine kıyasla alternatif bir yöntem olan ters tanjant fonksiyonu kullanılmaktadır. Bu yöntem ile hem çalışma sınırları genişletilmekte hem de mikro şebeke gerilimi değişimleri faz senkronizasyonu döngüsü dinamiklerini etkilememektedir. Dört bölgeli ters tanjant yöntemi ile denklem 5.4 yeniden düzenlenirse aşağıdaki denklem elde edilir.

$$e_q = \left[\tan^{-1}(v_{qIG}/v_{dIG}) - \tan^{-1}(v_{q1}/v_{d1}) \right] \quad (5.6)$$

$v_q = V_m \sin(\phi)$ ve $v_d = V_m \cos(\phi)$ eşitlikleri kullanılarak denklem 5.7 ve denklem 5.8'deki çıkarımlar yapılmaktadır.

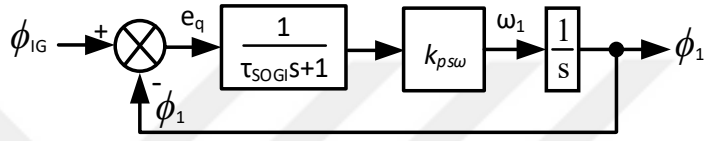
$$e_q = \tan^{-1}(v_{mIG} \sin(\phi_{IG})/v_{mIG} \cos(\phi_{IG})) - \tan^{-1}(v_{m1} \sin(\phi_1)/v_{m1} \cos(\phi_1)) \quad (5.7)$$

$$e_q = \left[\tan^{-1}(\tan(\phi_{IG})) - \tan^{-1}(\tan(\phi_1)) \right] \quad (5.8)$$

$\tan^{-1} \tan(\phi) = \phi$ kullanılarak denklem 5.8 yeniden düzenlenerek denklem 5.9 elde edilir.

$$e_q = \phi_{IG} - \phi_1 \quad (5.9)$$

Denklem 5.9'da görüldüğü gibi faz açısı hatası dinamiği, dört bölgeli ters tanjant fonksiyonun kullanılması ile tüm çalışma aralığında $[-\pi, \pi]$ tamamen doğrusallaştırılmıştır. Denklem 5.9'da, geçici durumun büyük veya küçük bir sinyal genliğine sahip olup olmadığına bakılmaksızın, döngü cevabında osilasyon olmayacağı görülmektedir. Denklem 5.9 ile doğrusallaştırılmış DSOGI-FSD'nin modeli Şekil 5.6'da verilmektedir.



Şekil 5.6: DSOGI-FSD'nin doğrusallaştırılmış modeli.

Şekil 5.4'teki DSOGI-FSD'nin kapalı döngü transfer fonksiyonu denklem 5.10'da verilmektedir. τ_{SOGI} daha önce de belirtildiği gibi DSOGI'nin AGF eş değerindeki zaman sabitidir.

$$G_{DSOGI-FSD}(s) = \frac{\phi_1}{\phi_{IG}} = \frac{k_{ps\omega}}{\tau_{SOGI}s^2 + s + k_{ps\omega}} \quad (5.10)$$

$G_{DSOGI-FSD}(s)$ DSOGI-FSD'nin kapalı çevrim transfer fonksiyonudur. $k_{ps\omega}$ oransal denetim kazancıdır.

5.3. DSOGI Tabanlı Gerilim Senkronizasyonu Döngüsü

Önerilen DSOGI-GSD Şekil 5.3'te verilmektedir. Şekil 5.6'da DSOGI-GSD'nin Q/V droop denetim döngüsü ile çalıştığı görülmektedir. DSOGI-GSD gerilim hata dinamikleri denklem 5.11 ile tanımlanmaktadır.

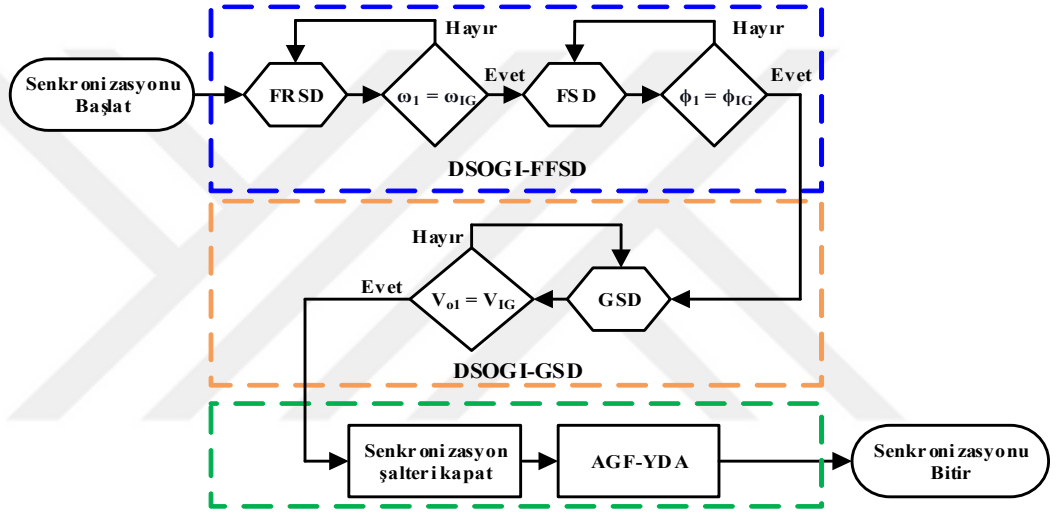
$$e_d = V_{dIG} \left[\cos((\omega_{IG} - \omega_1)t + (\phi_{IG} - \phi_1)) \right] - V_{d1} \quad (5.11)$$

DSOGI-FFSD (eş zamanlı çalışmada denklem 5.2 geçerli) ve DSOGI-GSD'lerin eş zamanlı çalışmaları durumunda, denklem 5.2 ve denklem 5.11'deki $(\omega_{IG} - \omega_1)$ ve

$(\phi_{IG} - \phi_1)$ terimlerinden dolayı DSOGI-FFSD ile DSOGI-GSD arasında çapraz bağlantı olduğu açıkça görülmektedir. Bu tez çalışmasında bu çapraz bağlantıyı ayırmak için yeni bir sıralı algoritmik yöntem önerilmiştir.

5.3.1. DSOGI-FFSD ile DSOGI-GSD arasındaki çapraz bağlantının kaldırılması

Yeni sıralı algoritmik yöntem, önerilen yumuşak devreye alma yöntemiyle birlikte Şekil 5.7'de verilmiştir. Yumuşak devreye alma yöntemi bir sonraki başlıkta detaylı olarak verilecektir.

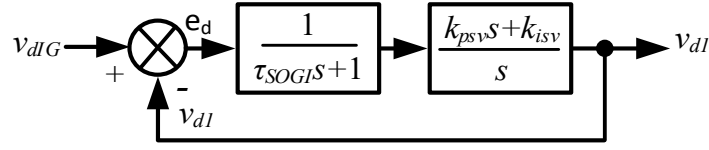


Şekil 5.7: Önerilen sıralı algoritmik yöntemin akış şeması.

Önerilen yöntemde ilk önce DSOGI-FFSD çalışmaktadır ve DG_1 ile mikro şebeke arasındaki frekans farkı ve faz açısı farkı sıfırlanmaktadır. Yeni sıralı algoritmik yöntem kullanılarak önerilen DSOGI-FRSD ile $(\omega_1 = \omega_{IG})$ ve önerilen DSOGI-FSD ile $(\phi_1 = \phi_{IG})$ eşitlikleri elde edilmektedir. Böylelikle denklem 5.11 yeniden düzenlenirse denklem 5.12 elde edilir. Denklem 5.12'de görüldüğü üzere hata dinamikleri tamamen bağımsız ve doğrusal olmaktadır.

$$e_d = V_{dIG} - V_{d1} \quad (5.12)$$

Denklem 5.12'ye göre DSOGI-GSD'nin doğrusallaştırılmış modeli Şekil 5.8'de verilmektedir.



Şekil 5.8: DSOGI-GSD'nin doğrusallaştırılmış modeli.

DSOGI-GSD'nin kapalı döngü transfer fonksiyonu aşağıdaki şekilde elde edilmektedir.

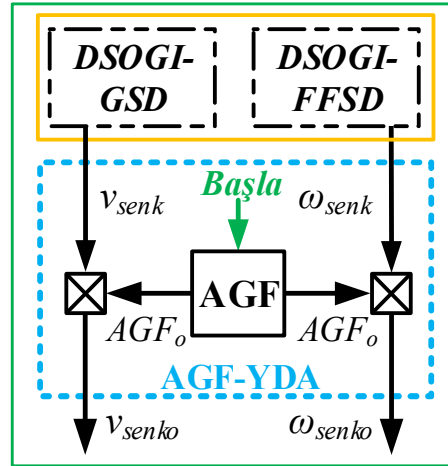
$$G_{DSOGI-GSD}(s) = \frac{v_{dI}}{v_{dIG}} = \frac{k_{psv}s + k_{isv}}{\tau_{SOGI}s^2 + (1 + k_{psv})s + k_{isv}} \quad (5.13)$$

$G_{DSOGI-GSD}(s)$ DSOGI-GSD'nin kapalı çevrim transfer fonksiyonudur. k_{psv} ve k_{isv} PI denetimci kazançlarıdır.

5.4. Alçak Geçiren Filtre Tabanlı Yumuşak Yol Verme Yöntemi

Şekil 5.9'da önerilen AGF tabanlı Yumuşak Devreye Alma (AGF-YDA) yöntemi verilmektedir. Şekil 5.1'deki mekanik senkronizasyon şalteri, DSOGI-FFSD ve DSOGI-GSD tamamlandıktan sonra kapatılmaktadır. Bu senkronizasyon döngüleri tamamlandıktan sonra şalterin kapatılması ile senkronize olacak şebeke eviricisinde ortaya çıkabilecek yüksek başlangıç akımlarını ve aktif ile reaktif güçlerdeki osilasyonlarını önlemek için, Şekil 5.9'da gösterildiği gibi yeni bir devreye alma yöntemi önerilmektedir. Algoritma şu şekilde çalışmaktadır.

1. Sadece DSOGI-FFSD çalıştırılarak sırasıyla aşağıdaki alt döngüler başlatılır.
 - 1.1. DSOGI-FRSD'yi çalıştır, $(\omega_1 = \omega_{IG})$ olmasını bekle.
 - 1.2. DSOGI-FSD'yi çalıştır, $(\phi_1 = \phi_{IG})$ olmasını bekle.
2. Birinci adımın ardından DSOGI-GSD'yi çalıştır, $(v_1 = v_{IG})$ olmasını bekle.
3. Senkronizasyon şalterini kapat, DSOGI-FFSD ve DSOGI-GSD döngülerini durdur fakat ω_{senk} ve v_{senk} değerlerini tutmaya devam et.
4. AGF-YDA'yı çalıştır, ω_{senk} ve v_{senk} değerlerinin birinci dereceden sistem cevabı (AGF) ile $5\tau_{AGF}$ sonunda sıfıra yakınsamasını sağla.



Şekil 5.9: Alçak geçiren filtre tabanlı yumuşak devreye alma yöntemi blok diyagramı.

ω_{senko} ve v_{senko} değerleri AGF-YDA'nın çıkış değerleridir. AGF-YDA yönteminin transfer fonksiyonu denklem 5.14'te verilmektedir. Burada en önemli nokta başlangıç değerinin bir (1) olmasıdır ve senkronizasyon döngülerinin başlangıcında sistemin çalışmasında herhangi bir etkisi yoktur.

$$G_{AGF-YDA}(s) = \frac{1}{\tau_{AGF}s + 1} \quad (5.14)$$

τ_{AGF} , AGF-YDA'nın zaman sabitidir ve yerleşme süresi $t_{AGF} = 5\tau_{AGF}$ eşitliği kullanılarak ayarlanmaktadır. DSOGI-FFSD ve DSOGI-GSD tamamlandığında $\omega_1 = \omega_{IG}$, $\phi_1 = \phi_{IG}$ ve $V_{o1} = V_{IG}$ eşitlikleri elde edilmektedir ve akabinde de mekanik senkronizasyon anahtarı kapatılmaktadır. Ancak DG₁'nin yük alması için AGF-YDA'nın çalışması beklenmektedir. AGF'nin başlangıç değeri bire eşittir. DSOGI-FFSD ve DSOGI-GSD çalışmalarını tamamladıktan sonra AGF'nin çıkışı belirlenen süre içerisinde sıfıra düşmektedir. Önerilen AGF-YDA, senkronizasyon sistemini yumuşak bir şekilde devre dışı bırakarak ve DG₁ yumuşak bir şekilde devreye alınmaktadır yani yük almaya başlamaktadır. Bu amaçla AGF-YDA etkinleştirildiğinde ile ω_{senk} ve v_{senk} değerleri birinci dereceden sistem cevabı ile $5\tau_{AGF}$ sonunda sıfıra yakınsamaktadır.

5.5. Senkronizasyon Döngüleri Denetimci Tasarımları

Bu tez çalışmasında önerilen senkronizasyon kontrol sistemi ile doğrusal olmayan klasik senkronizasyon kontrol döngüleri doğrusallaştırılmıştır. Sonuç olarak, doğrusal denetimciler analitik tasarım yöntemleri kullanılarak frekans, faz ve gerilim senkronizasyon döngüleri için kararlı şekilde kullanılabilir hale gelmiştir. Güç dönüştürücülerin ve denetimcilerinin parametreleri Tablo 5.1 ve 5.2'de verilmektedir.

Tablo 5.1: Denetimcilerin parametreleri.

Komponent	Parametre	Değer
Harmonik	n	5,7,11,13
	K_{pil}	0.2
	K_{ril}	100
Akım denetimi	K_{rin}	10
	k_{bwi1}	0.1
	k_{bwin}	1
	K_{pvl}	0.8
	K_{rvl}	4000
Gerilim denetimi	K_{rvn}	1
	k_{bwl}	0.01
	k_{bwn}	0.1
AGF zaman sabiti	τ_{LPF}	1
Droop katsayıları	m_p	10e-5
	n_q	10e-5
FRKD kazancı	Γ	46

Tablo 5.2: Güç dönüştürücü parametreleri.

Komponent	Parametre	Değer
Anma frekansı	ω_{anma}	314.1592 rad/s
LCL filtre	L_c	54e-6 H
	C_c	450e-6 F
	L_g	97e-6 H
Transformatör	L_{tr}	150e-6 H
	R_{tr}	0.002 Ω
DA bara gerilimi	V_{DA}	540 V
Şebeke anma gerilimi	V_{anma}	230 V
DA bara kapasitesi	C_{bara}	6800 uF
Doğrultucu kapasitesi	C_{DA}	10000 uF
Evirici gücü	$S_{evirici}$	550 kW
IGBT modül	Semikron	SKM1400GB17P4
IGBT gate sürücü	Semikron	Skyper Prime ST10
Gerilim sensörü	LEM	LV 25-P/SP5
Mikro denetimci	STM	NUCLEO-F767ZI
Akım sensörü	LEM	LF1005-s

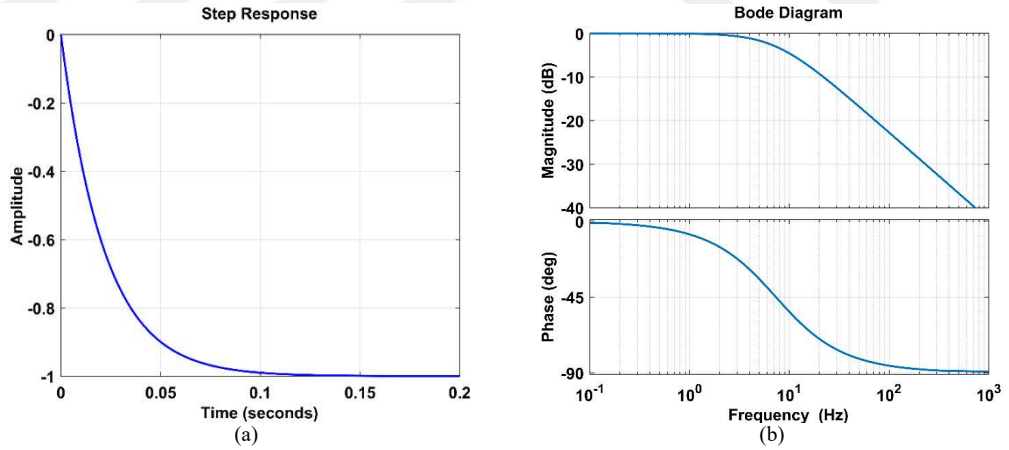
5.5.1. DSOGI tabanlı frekans senkronizasyonu döngüsü denetimci tasarımı

Bölüm 3'te de açıklanan SOGI zaman sabiti $\tau_{SOGI} \cong 1/(k_{bwSOGI}\omega_{anm})$ denklemine göre seçilmektedir ve yerleşme süresi de $t_{sSOGI} \cong 9.2\tau_{SOGI}$ ile hesaplanmaktadır. DSOGI-FRSD yerleşme süresi ise $t_{sFRSD} \cong 4.6/\Gamma$ ile hesaplanmaktadır. Ayrıca deneysel yaklaşıma dayalı olarak minimum bir $t_{sFRSD} \geq 2t_{sSOGI}$ oranı dikkate alınarak tasarım yapılmalıdır.

t_{sSOGI} yerleşme süresi yaklaşık 0.020 s seçilmiştir. DSOGI-FRSD kapalı döngü transfer fonksiyonu $\Gamma = 46$ için denklem 5.15'te elde edilmektedir, yerleşme süresi 0.100 s seçilmiştir. Ayrıca t_{sFRSD} , t_{sSOGI} 'den yaklaşık 5.0 kat büyüktür. Böylelikle $t_{sFRSD} \geq 2t_{sSOGI}$ oranının sağlandığı açıktır.

$$G_{DSOGI-FRSD}(s) = \frac{46}{s + 46} \quad (5.15)$$

DSOGI-FRSD kapalı döngü transfer fonksiyonunun adım cevabı ve bode diyagramı denklem 5.15 kullanılarak Şekil 5.10'da verilmektedir.



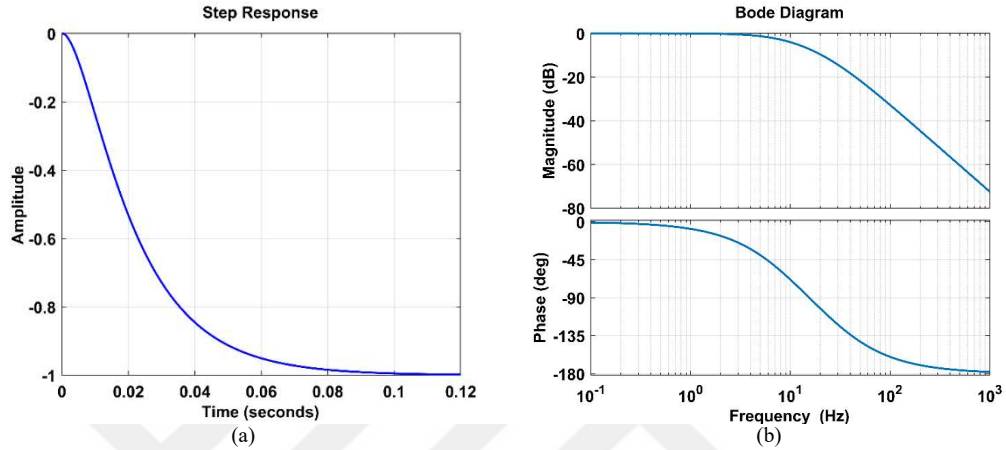
Şekil 5.10: Denklem 5.15 için DSOGI-FRSD: (a) adım cevabı (b) bode diyagramı.

5.5.2. DSOGI tabanlı faz senkronizasyonu döngüsü denetimci tasarımı

$k_{ps\omega} = 42.5$ için DSOGI-FSD döngülerinin kapalı döngü transfer fonksiyonu denklem 5.16'daki gibi elde edilmektedir. Yerleşme süresi 0.100 s seçilmiştir.

$$G_{DSOGI-FSD}(s) = \frac{42.5}{0.004502s^2 + s + 42.5} \quad (5.16)$$

DSOGI-FSD kapalı döngü transfer fonksiyonu adım cevabı ve bode diyagramı denklem 5.16 kullanılarak Şekil 5.11'de verilmektedir.



Şekil 5.11: Denklem 5.16 için DSOGI-FSD: (a) adım cevabı (b) bode diyagramı.

5.5.3. DSOGI tabanlı gerilim senkronizasyonu döngüsü denetimci tasarımı

DSOGI-GSD kapalı döngü transfer fonksiyonu $k_{psv} = 0.2437$ ve $k_{isv} = 29.25$ için denklem 5.17'de elde edilmiştir, yerleşme süresi 0.200 s seçilmiştir. DSOGI-GSD, PR gerilim denetim döngüsünden yaklaşık 10.0 kat daha yavaş seçilmiştir.

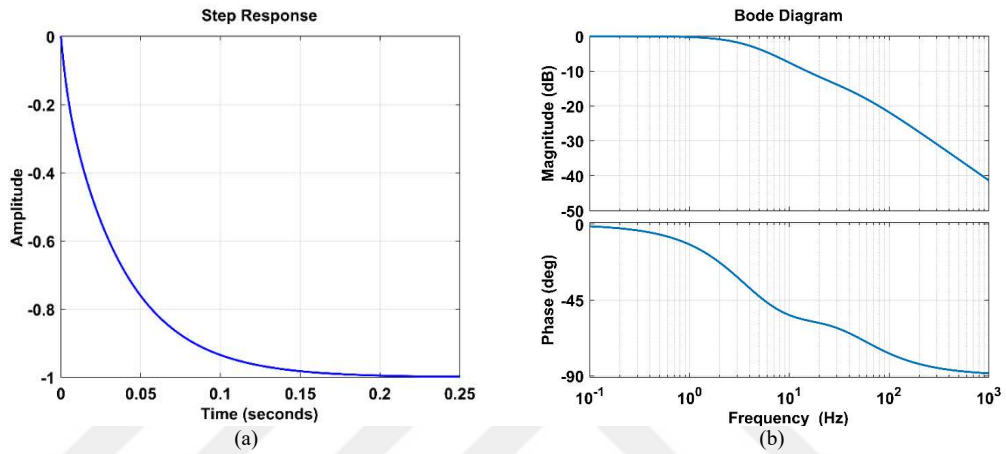
$$G_{DSOGI-GSD}(s) = \frac{0.2437s + 29.25}{0.004502s^2 + 1.2437s + 29.25} \quad (5.17)$$

DSOGI-GSD kapalı döngü transfer fonksiyonunun adım cevabı ve bode diyagramı denklem 5.17 kullanılarak Şekil 5.12'de verilmektedir.

Denklem 5.15, denklem 5.16 ve denklem 5.17 için bode diyagramları incelendiğinde birinci derece sistem cevaplarına benzediği açıkça gözükmemektedir. Bu yüzden bode diyagramları analizi yapılırken birinci derece sistemler referans alınacaktır.

Birinci derece sistemlerde, kararlılık analizinde genellikle faz marjini ve genlik marjini gibi marjinal değerler kullanılmaz. Bunun yerine, kazanç marjini ve sistem parametreleri (örneğin zaman sabiti) dikkate alınarak sistem kararlılığı değerlendirilir.

Birinci derece sistemlerde, kazanç marjini genellikle sınırlıdır. Negatif bir kazanç marjini yoktur ve genellikle pozitif bir değere sahiptir. Pozitif bir değere sahip olması, sistemde belirli bir bant genişliğinde kararlılık ve performans sağlandığı anlamına gelmektedir. Bu, sistemdeki belirsizliklere veya dış etkilere karşı direnci artırabilir. Kazanç marjini ne kadar yüksekse, sistem o kadar kararlıdır. Ancak, birinci derece sistemlerde kazanç marjini genellikle daha düşüktür ve genellikle sınırlı bir aralıkta bulunur.



Şekil 5.12: Denklem 5.17 için DSOGI-GSD: (a) adım cevabı (b) bode diyagramı.

Birinci derece bir sistemde, kazanç grafiği frekansa bağlı olarak düşer. Daha düşük frekanslarda kazanç daha yüksektir ve yüksek frekanslarda düşer. Kararlı bir sistemde, kazanç grafiği genellikle frekans arttıkça negatif bir eğimle düşer. Birinci derece bir sistemde, faz grafiği genellikle frekans arttıkça 90 derece azalır. Faz marjı birinci derece sistemlerde genellikle sabit bir değer olan -90 derecedir. Bu, sistemdeki faz değişimini ifade eder. Faz marjı negatif olduğu için, birinci derece sistemlerde genellikle faz marjı hakkında endişe duyulmaz. Kararlı bir sistemde, faz grafiği frekans arttıkça negatif bir eğimle düşer.

Yukarıdaki çıkarımlardan yola çıkarak kazanç grafiği ve faz grafiği frekans arttıkça düşüş gösterdiğini Şekil 5.10b, Şekil 5.11b ve Şekil 5.12b'deki bode grafiklerinden görülmektedir. Bu durumda doğrusal denetimler ile tasarlanan kapalı döngü sistemlerinin asimptotik olarak kararlı olduğunu göstermektedir.

BÖLÜM 6. DONANIM TASARIMLARI ve DENEYSEL SONUÇLAR

6.1. Giriş

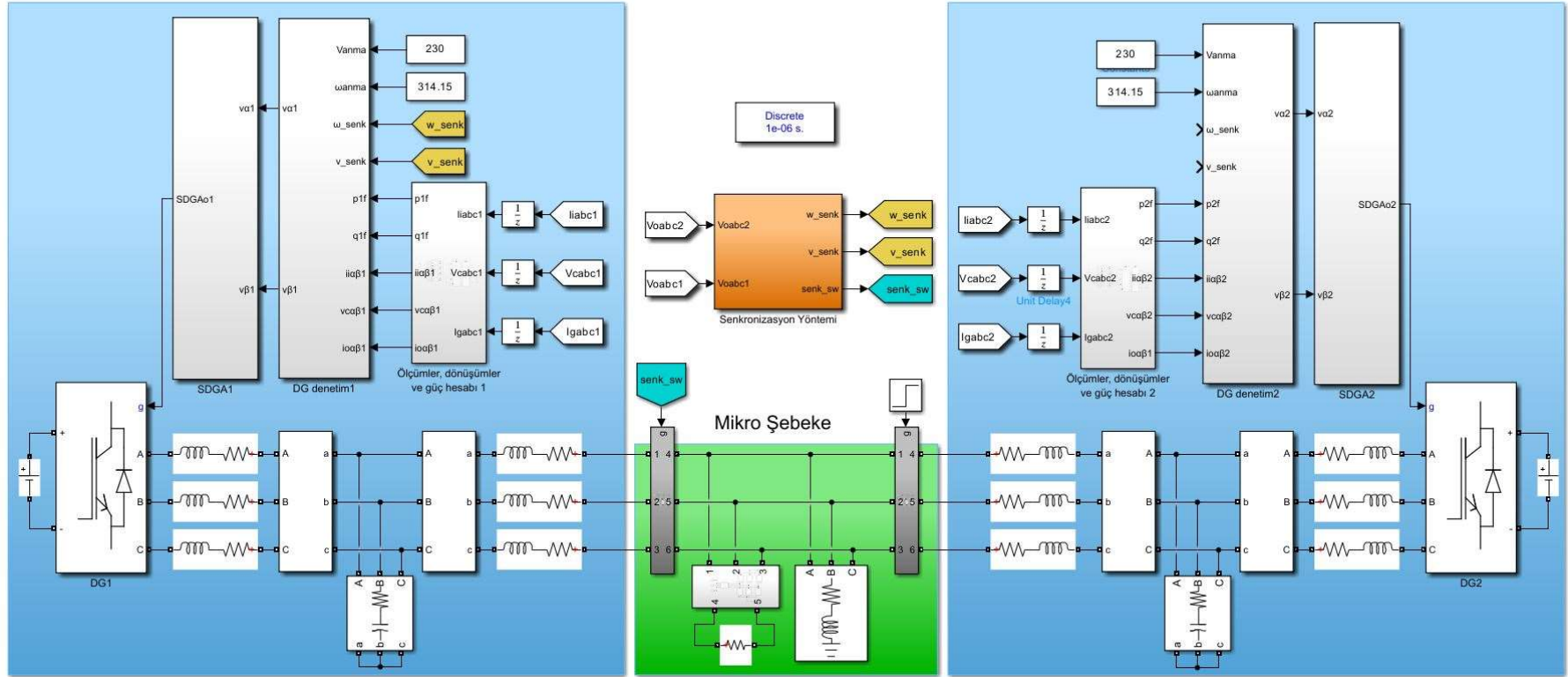
Bu bölümde şebeke eviricilerinin, ada modlu mikro şebekeler ile senkronize edilmesi için önerilen senkronizasyon kontrol sisteminin deneysel kurulumu ve donanım tasarımları detaylı şekilde anlatılmıştır. Ayrıca önerilen senkronizasyon kontrol yönteminin simülasyon ve döngüde donanım benzetimi (controller hardware-in-the-loop, CHIL) sonuçları ve gerçek zamanlı deneysel sonuçları detaylı olarak bu bölümde verilmektedir.

6.2. Senkronizasyon Kontrol Sistemi Simülasyon Çalışmaları

Önerilen senkronizasyon kontrol yöntemi için denetimci tasarımlarının simülasyon ile doğrulaması yapılmıştır. Ayrıca senkronizasyon kontrol yöntemi ile yumuşak devreye alma yöntemi için dört farklı senaryo oluşturularak simülasyon sonuçları elde edilmiştir. Bölüm 5'te önerilen senkronizasyon kontrol sistemi için denetimci analizleri ve tasarımları yapılmıştı. Teorik olarak elde edilen adım cevaplar ile simülasyon adım cevaplarını karşılaştırmak için iki eviricili bir ada modlu şebeke sistemi oluşturulmuştur. Şekil 6.1'de senkronizasyon kontrol sistemi için oluşturulan simülasyonun genel görünümü gösterilmektedir.

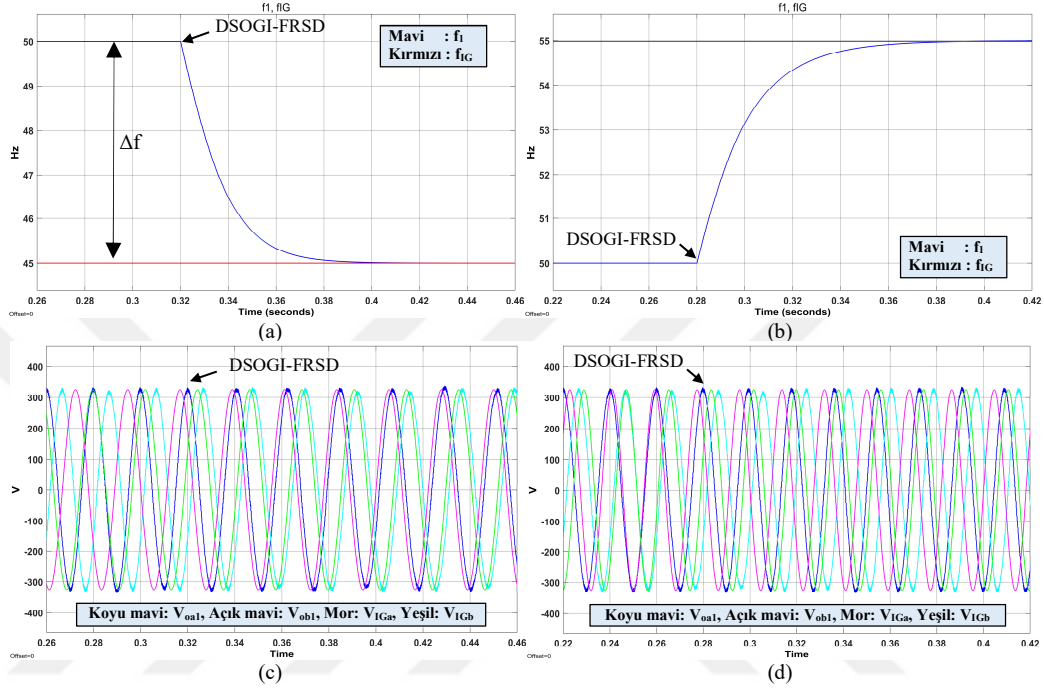
6.2.1. DSOGI tabanlı frekans senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-FRSD için denetimci tasarımının simülasyon ile doğrulamasını yapmak için Şekil 6.2a ve Şekil 6.2c'de frekansın 50 Hz'den 45 Hz'e değişen bir adım değişimi uygulanmaktadır.



Şekil 6.1: İki şebeke eviricili ada modlu mikro şebeke simülasyonu.

Şekil 6.2b ve Şekil 6.2d'de frekansın 50 Hz'den 55 Hz'e değişen bir adım değişimi uygulanmaktadır. Bu uygulamanın sonuçları iki fazlı ölçümler ile de desteklenmiştir. Bu bölümdeki tüm simülasyon, CHIL ve deneysel sonuçlarda senkronizasyon kontrol döngülerinin başlangıç noktaları grafikler üzerinde döngü isimleri ile belirtilecektir.



Şekil 6.2: DSOGI-FRSD için denetimci tasarımının simülasyon ile doğrulaması: (a,c) 50 Hz'den 45 Hz'e adım değişim (b,d) 50 Hz'den 55 Hz'e adım değişim.

Şekil 6.2a ve Şekil 6.2b'de açıkça görüldüğü üzere, dinamik tepki tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0.100 s'ye eşittir. Sonuç olarak simülasyon sonuçları bölüm 5.5.1'teki teorik tasarım amaçlarıyla yani Şekil 5.10 ile uyumludur.

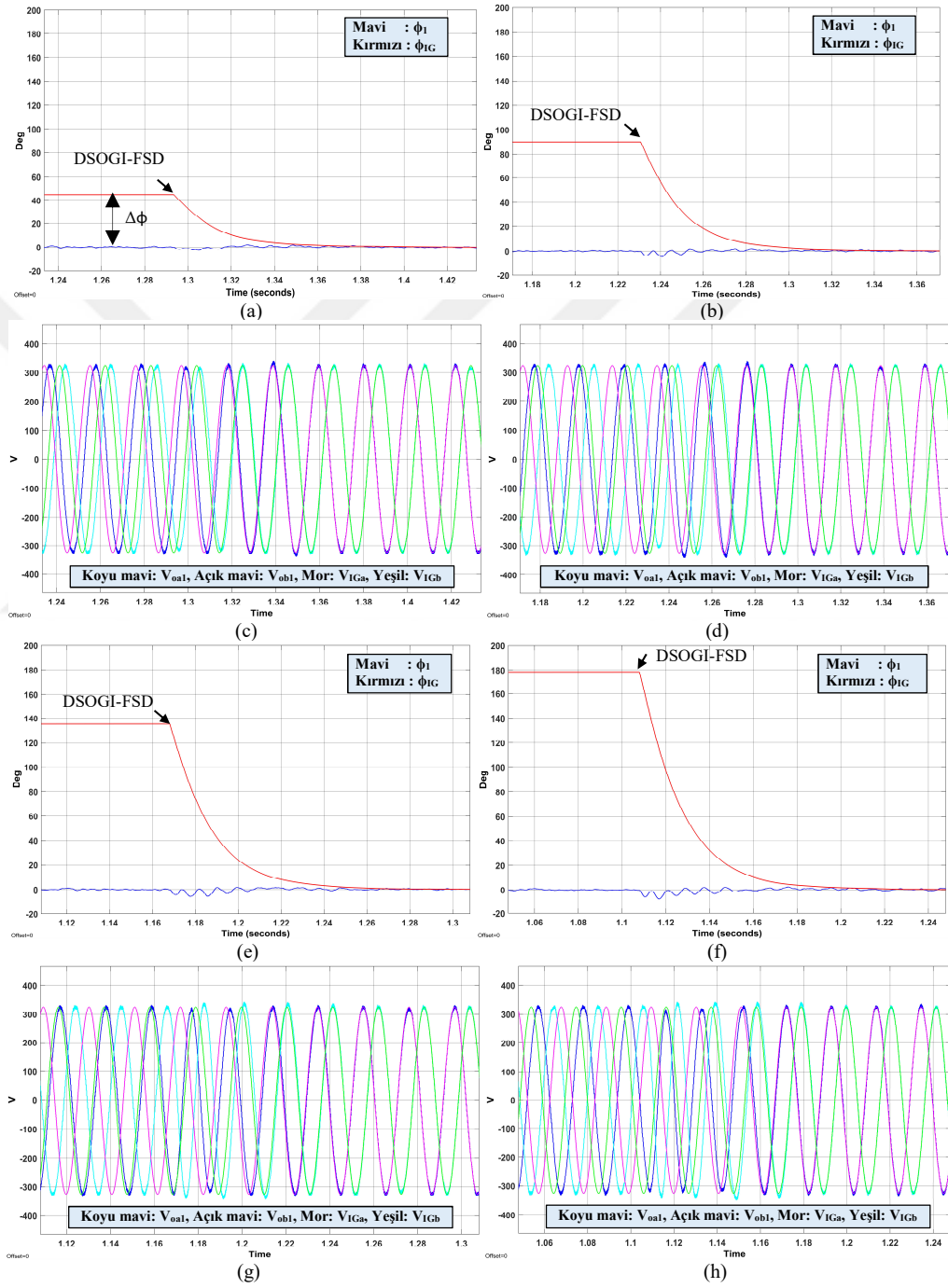
6.2.2. DSOGI tabanlı faz senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-FSD için denetimci tasarımının simülasyon ile doğrulamasını yapmak için 45, 90, 135 ve 180 dereceden 0 (sıfır) dereceye adım değişimleri uygulanmaktadır. Bölüm 5.5.2'deki teorik tasarımın simülasyon ile örtüştüğünün gözlemlenmesi beklenmektedir.

Şekil 6.3a, Şekil 6.3b, Şekil 6.3e ve Şekil 6.3f'deki dinamik cevaplar tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0.100 s'ye eşittir. Sonuç

olarak simülasyon sonuçları bölüm 5.5.2'deki teorik tasarım amaçlarıyla yani Şekil 5.11 ile uyumludur.

Her bir faz adım değişimi için başlangıç noktaları sırasıyla 1.2935 s, 1.2307 s, 1.1681 s ve 1.048 s olarak belirlenmiştir.

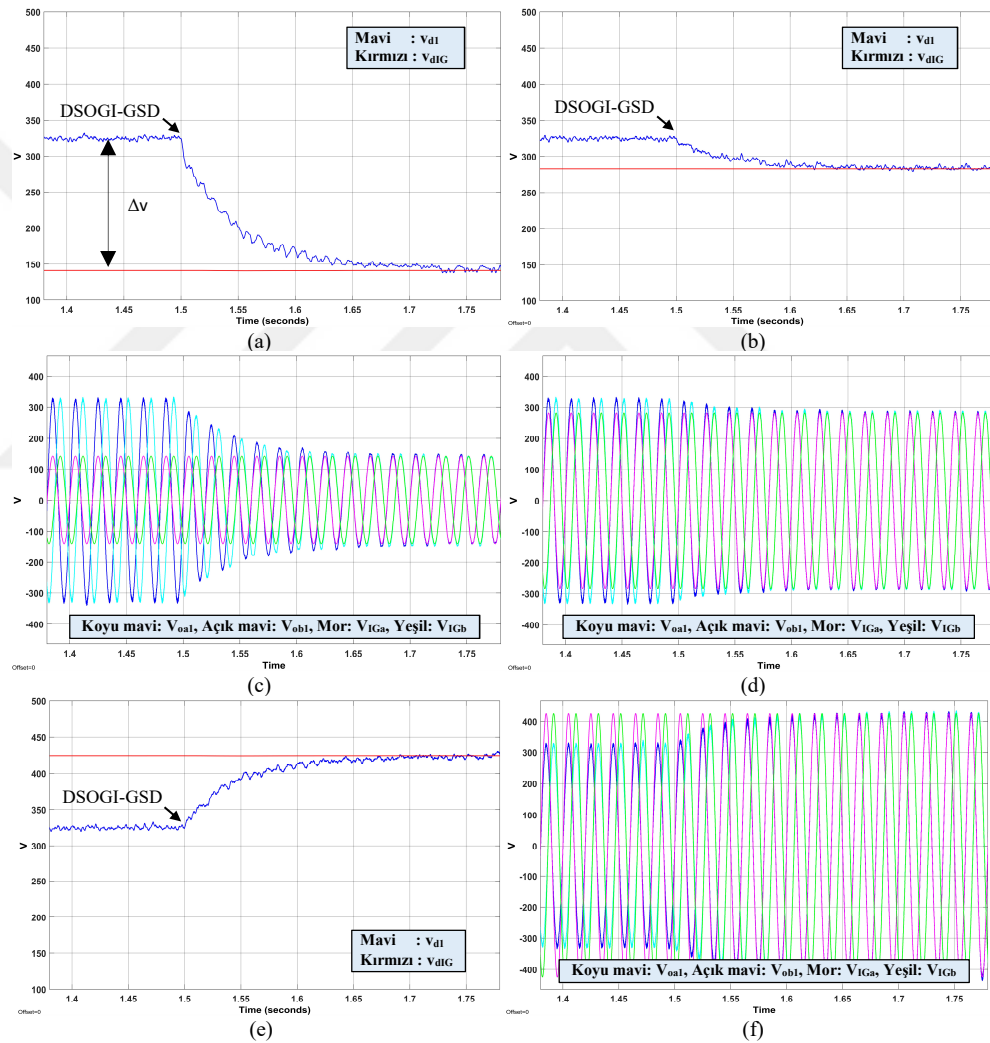


Şekil 6.3: DSOGI-FSD için denetimi tasarımının simülasyon ile doğrulanması: (a,c) 45 derece (b,d) 90 derece (e,g) 135 derece (f,h) 180 derece.

6.2.3. DSOGI tabanlı gerilim senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-GSD için denetimci tasarımının simülasyon ile doğrulaması için 230 V_{rms}'den 100, 200 ve 300 V_{rms}'e değişen gerilimin adım değişimleri uygulanmaktadır ve Şekil 6.4'te DSOGI-GSD adım cevapları ve iki fazlı sonuçlar elde edilmektedir.

Şekil 6.4a, Şekil 6.4b ve Şekil 6.4e'deki DSOGI-GSD yerleşme zamanı aşma olmadan yaklaşık 0.200 s'ye eşit olduğu grafiklerden de gözlenmektedir. Simülasyon sonuçları bölüm 5.5.3'teki teorik tasarım amaçlarıyla yani Şekil 5.12 ile uyumludur.

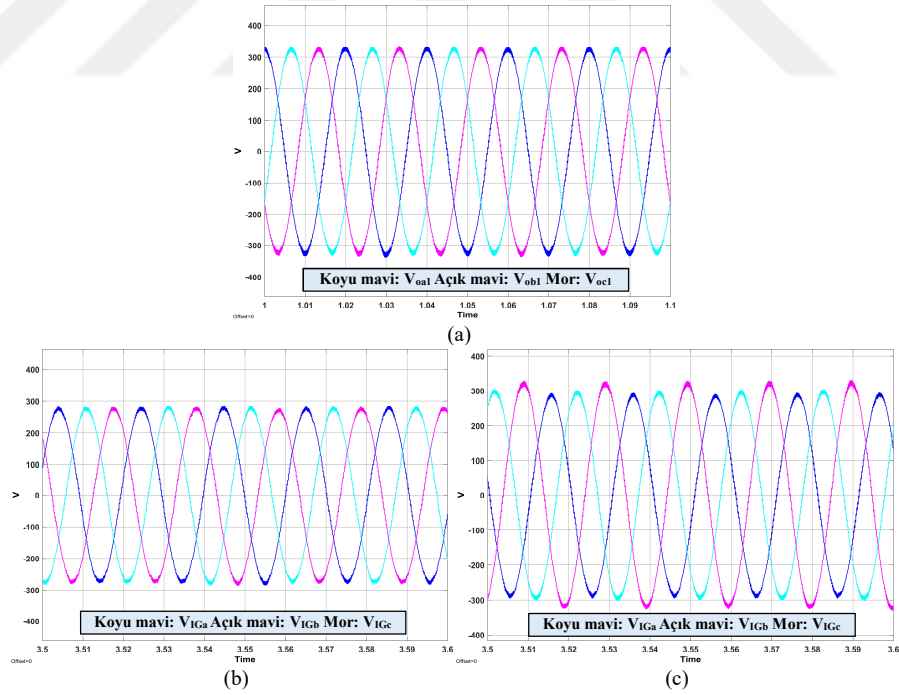


Şekil 6.4: DSOGI-GSD denetimci tasarımının simülasyon ile doğrulaması (a,c) 230 V_{rms}'den 100 V_{rms}'e (b,d) 230 V_{rms}'den 200 V_{rms}'e (e,f) 230 V_{rms}'den 300 V_{rms}'e.

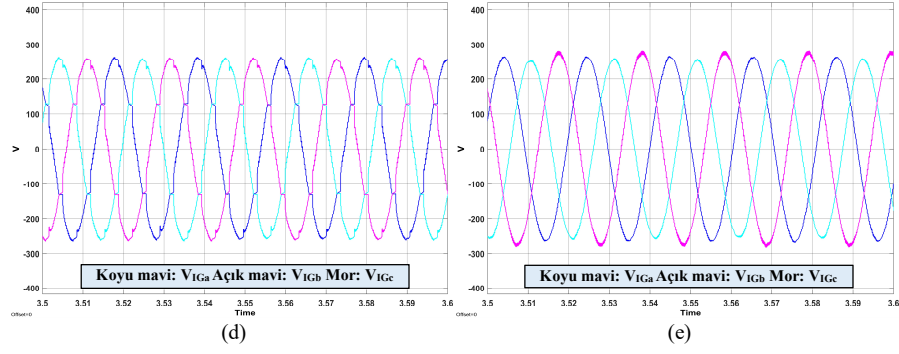
6.2.4. Dört farklı senaryo ile tüm senkronizasyon kontrol sisteminin ve yumuşak yol verme yönteminin sonuçları

Önerilen senkronizasyon kontrol sistemini ve AGF-YDA yöntemini doğrulamak için dört farklı mikro şebeke koşullarında senaryolar oluşturulmuştur. Bunlar dengeli doğrusal, dengeli doğrusal olmayan, dengesiz doğrusal ve dengesiz doğrusal olmayan yüklenme durumlarında ki mikro şebeke koşullarını içermektedir. Daha önce de bahsedildiği gibi DG_1 , mikro şebeke ile senkronize edilecek eviricidir ve DG_2 doğrudan mikro şebekeye bağlıdır ve mikro şebekenin frekans ve gerilimini oluşturmaktan sorumludur.

Tüm senaryolarda senkronizasyon kontrol sisteminin başlangıç zamanı 2. saniyedir. AGF-YDA algoritması ise 4. saniyede başlamaktadır. AGF-YDA yerleşme süresi 4.0 s olarak ayarlanmıştır ve toplam senkronizasyon kontrol döngü süresi ise 2.0 s olarak belirlenmiştir. DG_1 'in yüksüz üç fazlı çıkış gerilimleri ve mikro şebekenin farklı yük durumlarında üç fazlı gerilimleri Şekil 6.5'te verilmiştir.



Şekil 6.5: DG_1 ve mikro şebekenin üç fazlı gerilimleri: (a) boşta DG_1 çıkış gerilimleri (b) senaryo 1 için mikro şebeke gerilimleri (c) senaryo 2 için mikro şebeke gerilimleri.



Şekil 6.5 (devam): DG₁ ve mikro şebeke gerilimi üç fazlı gerilimleri: (d) senaryo 3 için mikro şebeke gerilimleri (e) senaryo 4 için mikro şebeke gerilimleri.

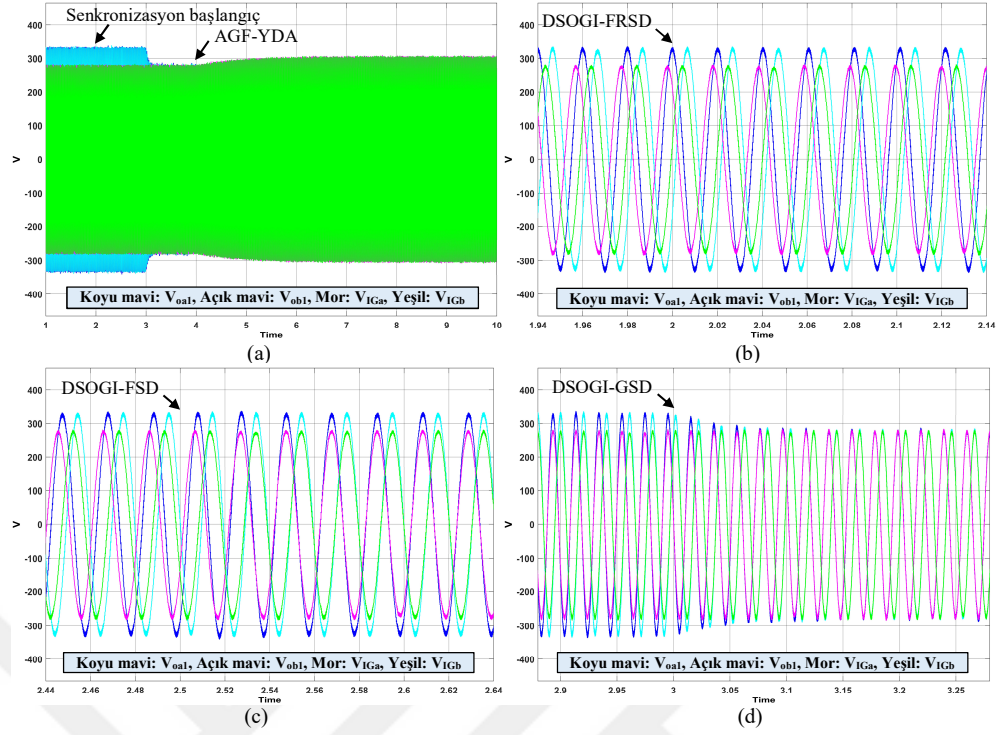
6.2.4.1. Senaryo 1: Dengeli doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon

Birinci senaryoya ait deneysel sonuçlar Şekil 6.6, Şekil 6.7 ve Şekil 6.8'de sunulmaktadır. Senkronizasyon kontrol sistemi başlangıç anında DG₁ ile mikro şebeke arasında 45 derece ($\pi/4$ rad) faz açısı farkı bulunmaktadır. DG₁'in boşa çalışma frekansı 50 Hz ve mikro şebeke frekansı 49.15 Hz'dir. Ayrıca DG₁'in boşa faz gerilimleri 230 V_{rms}, mikro şebekenin faz gerilimleri 194.45 V_{rms}'dir.

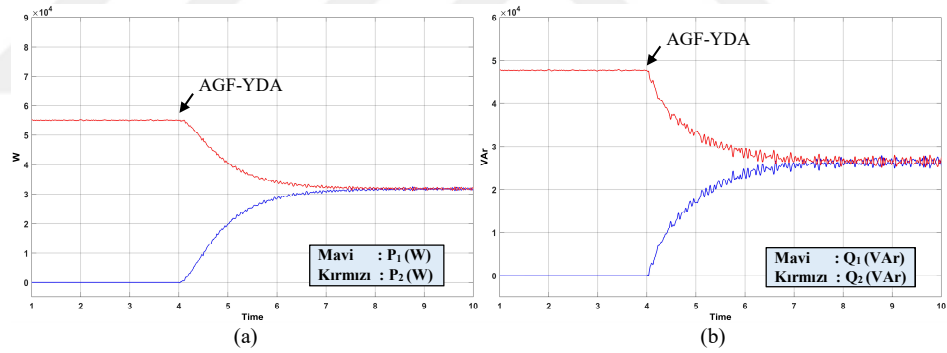
Şekil 6.6a'da senaryo 1 için tüm operasyon, Şekil 6.6b'de DSOGI-FRSD, Şekil 6.6c'de DSOGI-FSD ve Şekil 6.6d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki simülasyon sonuçları verilmektedir.

Şekil 6.7'de senaryo 1 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı simülasyon sonuçları verilmektedir. Şekil 6.7a'da aktif güç paylaşımı ve Şekil 6.7b'de reaktif güç paylaşımı simülasyon sonuçları sunulmaktadır.

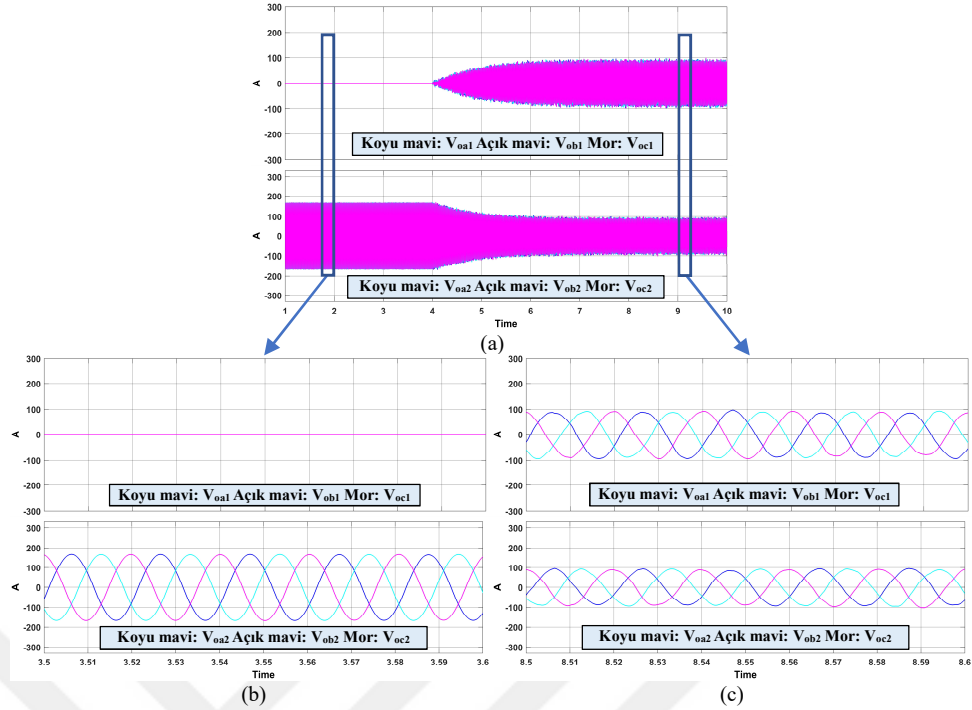
Şekil 6.8'de senaryo 1 için AGF-YDA ile DG₁ ve DG₂'nin üç fazlı çıkış akımlarının simülasyon sonuçları verilmektedir. Şekil 6.8a'da tüm senkronizasyon sürecinde akımlar, Şekil 6.8b'de senkronizasyon öncesi akımlar ve Şekil 6.8c'de senkronizasyon sonrası akımlar olarak elde edilmektedir.



Şekil 6.6: Senaryo 1 için dengeli doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.7: Senaryo 1 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.



Şekil 6.8: Senaryo 1 için AGF-YDA ile DG_1 ve DG_2 'nin üç fazlı akımlarının simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.

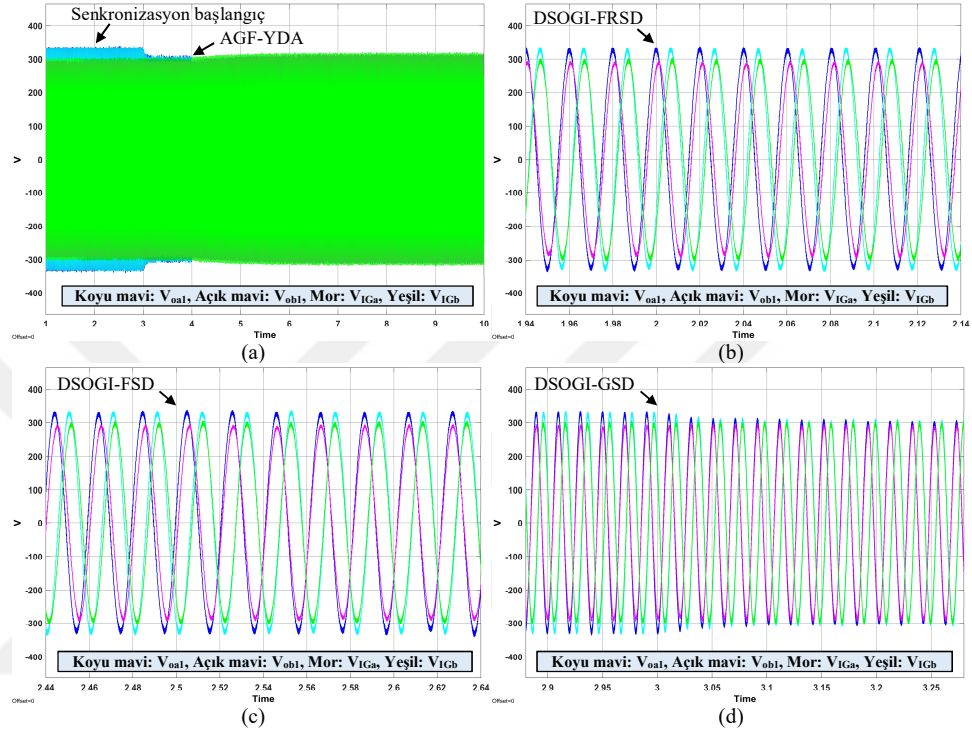
6.2.4.2. Senaryo 2: Dengesiz doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon

Dengesiz doğrusal AA yüklenme koşullarının uygulama sonuçları için mikro şebeke ile dengeli doğrusal AA yük arasındaki bir fazın bağlantısı iptal edilmiştir. İkinci senaryoya ait deneysel sonuçlar Şekil 6.9, Şekil 6.10 ve Şekil 6.11'de verilmektedir. Senkronizasyon kontrol sistemi başlangıç anında DG_1 ve mikro şebeke arasındaki faz açıları farkı 45 derece olarak belirlenmiştir. DG_1 'in boşa çalışma frekansı 50 Hz ve mikro şebeke frekansı 49.50 Hz'dir. Ayrıca DG_1 'in boşa faz gerilimleri 230 V_{rms}, mikro şebekenin faz gerilimleri sırasıyla a, b ve c fazları olmak üzere 208, 211.77 ve 224.50 V_{rms}'dir.

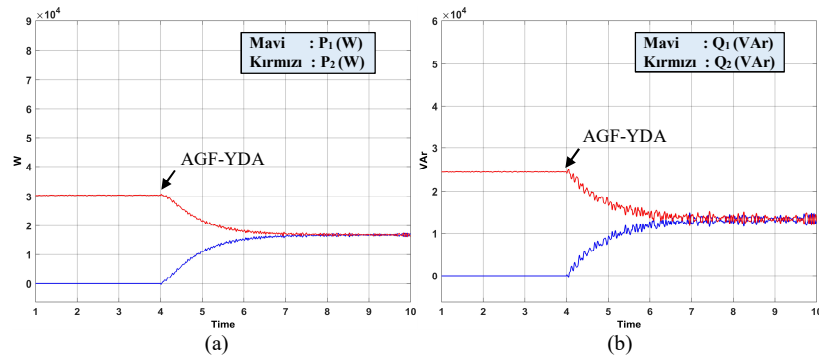
Şekil 6.9a'da senaryo 2 için tüm operasyon, Şekil 6.9b'de DSOGI-FRSD, Şekil 6.9c'de DSOGI-FSD ve Şekil 6.6d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki sonuçları verilmektedir.

Şekil 6.10'de senaryo 2 için AGF-YDA ile DG_1 ve DG_2 'nin güç paylaşımı simülasyon sonuçları verilmektedir. Şekil 6.10a'da aktif güç paylaşımı ve Şekil 6.10b'de reaktif güç paylaşımı simülasyon sonuçları sunulmaktadır.

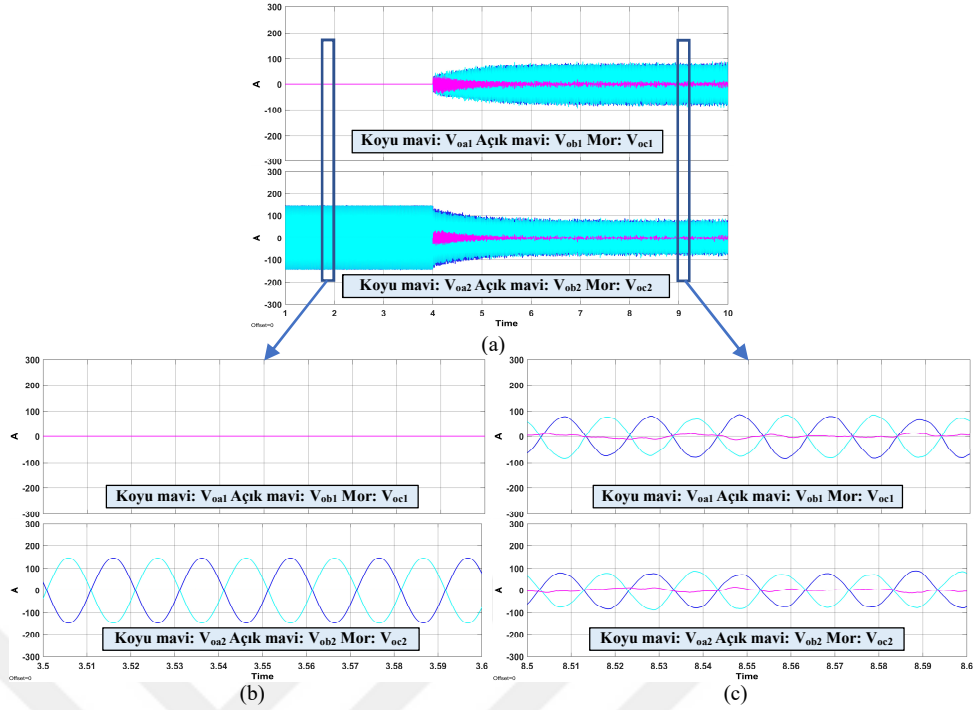
Şekil 6.11’de senaryo 2 için AGF-YDA ile DG₁ ve DG₂’nin üç fazlı akımlarının simülasyon sonuçları verilmektedir. Şekil 6.11a’da tüm senkronizasyon sürecinde akımlar, Şekil 6.11b’de senkronizasyon öncesi akımlar ve Şekil 6.11c’de senkronizasyon sonrası akımlar olarak ayrı ayrı elde edilmektedir.



Şekil 6.9: Senaryo 2 için dengesiz doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.10: Senaryo 2 için AGF-YDA ile DG₁ ve DG₂’nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.



Şekil 6.11: Senaryo 2 için AGF-YDA ile DG_1 ve DG_2 'nin üç fazlı akımlarının simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.

6.2.4.3. Senaryo 3: Dengeli doğrusal AA ve dengeli doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon

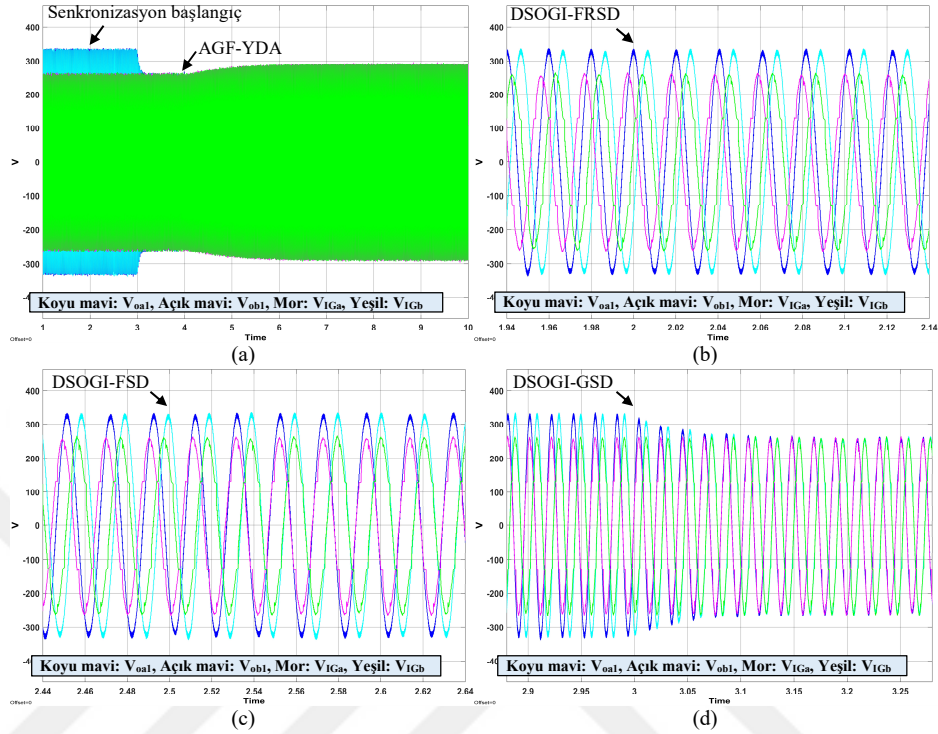
Üçüncü senaryoya ait deneysel sonuçlar Şekil 6.12, Şekil 6.13 ve Şekil 6.14'te sunulmaktadır. Senkronizasyon kontrol sistemi başlangıç anında DG_1 ve mikro şebeke arasındaki faz açısı farkı 90 derece olduğunda başlamaktadır. DG_1 'in çıkış frekansı 50 Hz ve mikro şebeke frekansı 48.7 Hz'dir. Ayrıca DG_1 'in çıkış faz gerilimleri 230 V_{rms}, mikro şebeke faz gerilimleri 183.4 V_{rms}'dir.

Şekil 6.12a'da senaryo 3 için tüm operasyondaki çıkış gerilimleri, Şekil 6.12b'de DSOGI-FRSD, Şekil 6.12c'de DSOGI-FSD ve Şekil 6.12d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki sonuçları verilmektedir.

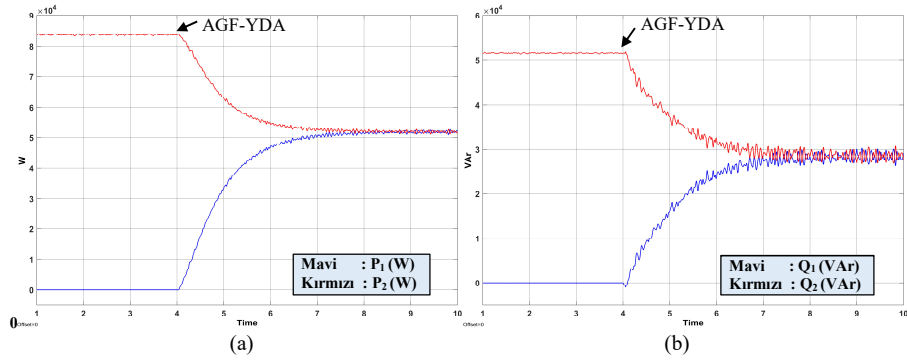
Şekil 6.13'te senaryo 3 için AGF-YDA ile DG_1 ve DG_2 'nin güç paylaşımı simülasyon sonuçları verilmektedir. Şekil 6.13a'da aktif güç paylaşımı ve Şekil 6.13b'de reaktif güç paylaşımı sonuçları elde edilmiştir.

Şekil 6.14'te senaryo 3 için AGF-YDA ile DG_1 ve DG_2 'nin üç fazlı akımlarının simülasyon sonuçları verilmektedir. Şekil 6.14a'da tüm senkronizasyon sürecinde

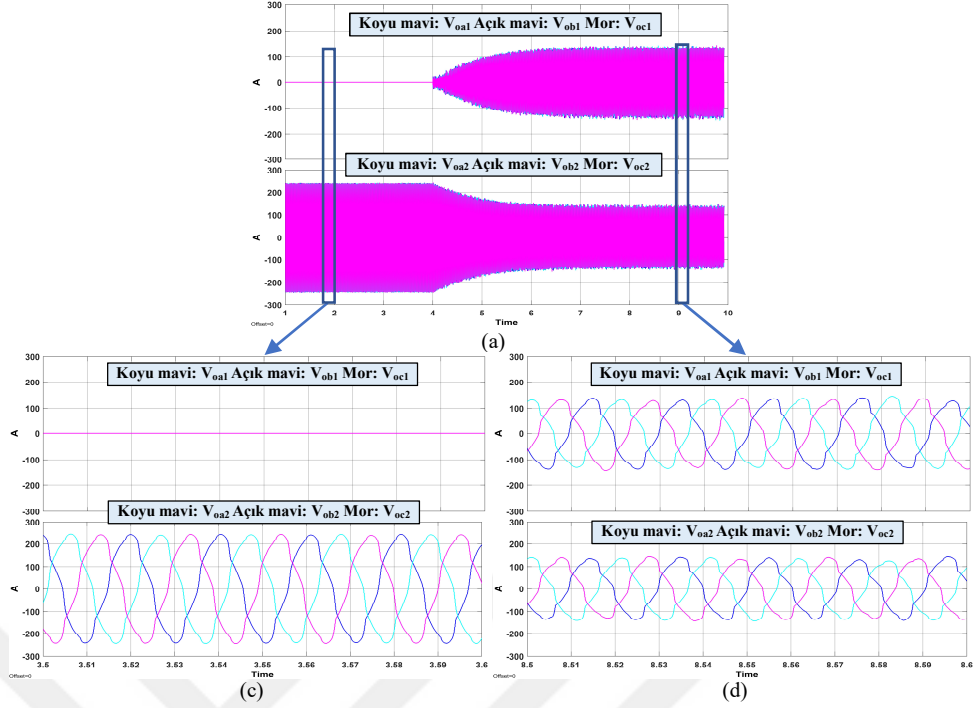
akımlar, Şekil 6.14b’de senkronizasyon öncesi akımlar ve Şekil 6.14c’de senkronizasyon sonrası akımlar olarak ayrılmaktadır.



Şekil 6.12: Senaryo 3 için dengeli doğrusal ve dengeli doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.13: Senaryo 3 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.



Şekil 6.14: Senaryo 3 için AGF-YDA ile DG_1 ve DG_2 'nin üç fazlı akımlarının simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.

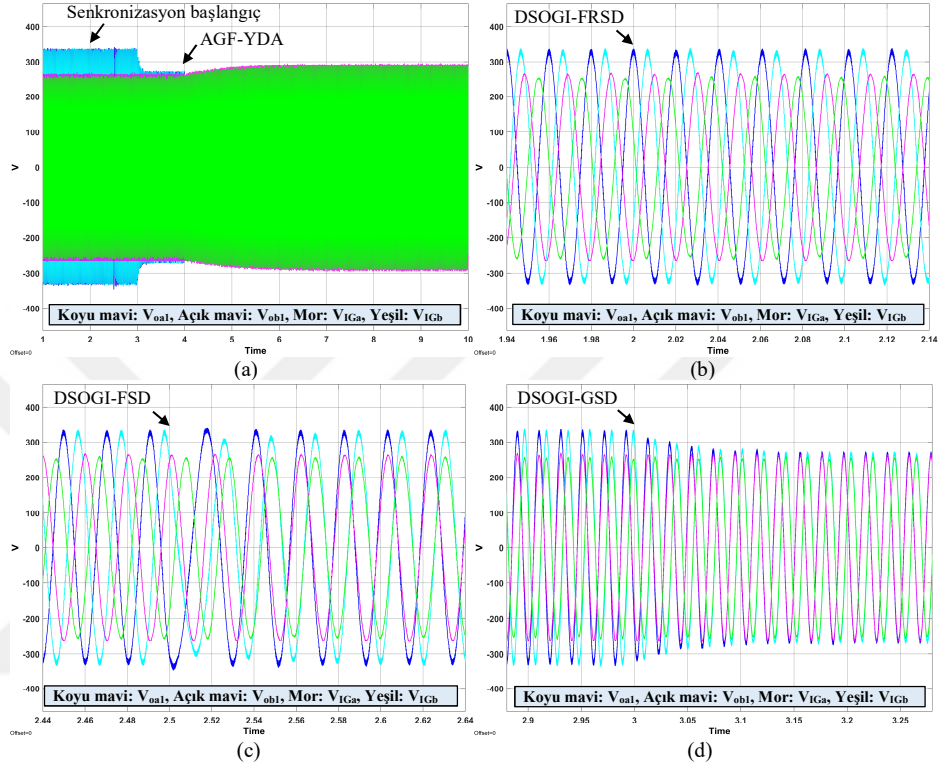
6.2.4.4. Senaryo 4: Dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon

Dördüncü senaryoya ait deneysel sonuçlar Şekil 15, Şekil 16 ve Şekil 17'de verilmektedir. Senkronizasyon kontrol sistemi başlangıç anında DG_1 ve mikro şebeke arasında 90 derece ($\pi/2$ rad) faz açısı farkı bulunmaktadır. DG_1 'in boşa çalışma frekansı 50 Hz ve mikro şebeke frekansı 48.85 Hz'dir. Dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yüklenme koşulları için mikro şebeke ile doğrusal olmayan yükün arasındaki bir faz iptal edilerek elde edilmiştir. DG_1 'in boşa çalışma faz gerilimleri 230 V_{rms}, mikro şebeke faz gerilimleri sırasıyla a, b ve c fazları olmak üzere 188,23, 176,35 ve 200,33 V_{rms}'dir.

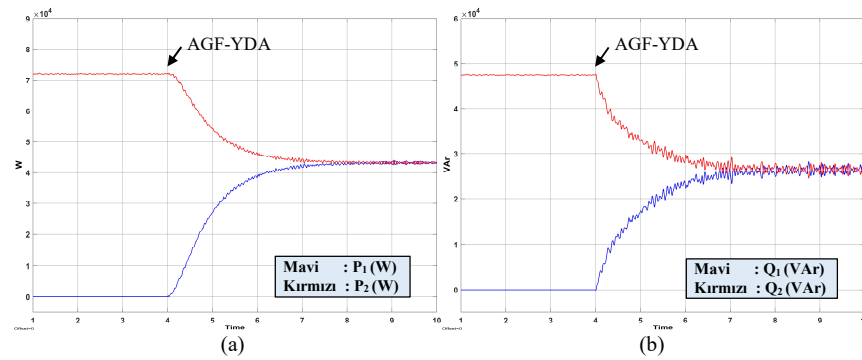
Şekil 6.15a'da senaryo 4 için tüm operasyondaki çıkış gerilimler, Şekil 6.15b'da DSOGI-FRSD, Şekil 6.15c'de DSOGI-FSD ve Şekil 6.15d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki simülasyon sonuçları verilmektedir.

Şekil 6.16'da senaryo 4 için AGF-YDA ile DG_1 ve DG_2 'nin güç paylaşımı simülasyon sonuçları verilmektedir. Şekil 6.16a'da aktif güç paylaşımı ve Şekil 6.16b'de reaktif güç paylaşımı simülasyon sonuçları verilmektedir.

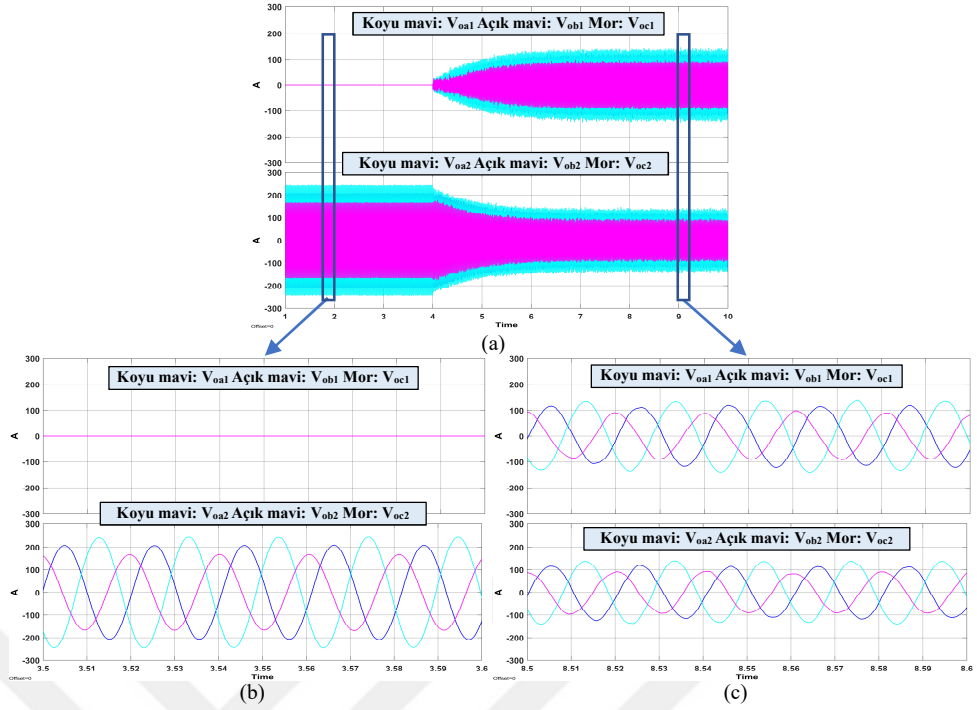
Şekil 6.17’de senaryo 4’teki AGF-YDA için DG_1 ve DG_2 ’nin üç fazlı akımlarının simülasyon sonuçları verilmektedir. Şekil 6.17a’da tüm senkronizasyon sürecinde akımlar, Şekil 6.17b’de senkronizasyon öncesi akımlar ve Şekil 6.17c’de senkronizasyon sonrası akımlar sunulmaktadır.



Şekil 6.15: Senaryo 4’teki dengeli doğrusal ve dengesiz doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.16: Senaryo 4 için AGF-YDA ile DG_1 ve DG_2 ’nin güç paylaşımı simülasyon sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.



Şekil 6.17: Senaryo 4 için AGF-YDA ile DG_1 ve DG_2 'nin üç fazlı akımların simülasyon sonuçları: (a) tüm senkronizasyon sürecinde akımlar (b) senkronizasyon öncesi akımlar (c) senkronizasyon sonrası akımlar.

Tüm DSOGI-FRSD, DSOGI-FSD ve DSOGI-GSD için yerleşme süreleri sırasıyla 0,100 s, 0,100 s ve 0,200 s olarak simülasyon sonuçlarından açıkça gözükmektedir. Ayrıca, AGF-YDA yerleşme süresi de tasarlandığı gibi 4.0 s'dir. Sonuçlardan da anlaşılacağı gibi simülasyon sonuçları bölüm 5.5'teki teorik tasarımlar ile uyumludur. Ek olarak, senkronizasyon öncesi ve sonrası çalışma değerlerini karşılaştırmak için DG_1 ve DG_2 değerleri Tablo 6.1, Tablo 6.2, Tablo 6.3 ve Tablo 6.4'te sunulmuştur.

Tablo 6.1: Senaryo 1 için simülasyon çalışma değerleri.

	Parametreler ve Birimler		Senkronizasyon	
			Önce	Sonra
DG₁	V_{oabc1}	V_{rms}	230	212,83
	f_1	Hz	50	49,50
	P_1	kW	0	31,86
	Q_1	kVar	0	26,40
DG₂	V_{oabc2}	V_{rms}	194,45	212,83
	f_2	Hz	49,15	49,50
	P_2	kW	55,06	31,86
	Q_2	kVar	47,67	26,41

Tablo 6.2: Senaryo 2 için simülasyon çalışma değerleri.

Parametreler ve Birimler		Senkronizasyon	
		Önce	Sonra
DG₁	V_{oa1}		213,89
	V_{ob1}	V_{rms}	219,20
	V_{oc1}		227,68
	f_1	Hz	49,74
	P_1	kW	16,74
	Q_1	kVar	12,61
DG₂	V_{oa2}		208,12
	V_{ob2}	V_{rms}	211,77
	V_{oc2}		224,50
	f_2	Hz	49,50
	P_2	kW	30,52
	Q_2	kVar	24,41
			12,61

Tablo 6.3: Senaryo 3 için simülasyon çalışma değerleri.

Parametreler ve Birimler		Senkronizasyon	
		Önce	Sonra
DG₁	V_{oabc1}	V_{rms}	230
	f_1	Hz	50
	P_1	kW	0
	Q_1	kVar	0
DG₂	V_{oabc2}	V_{rms}	183,14
	f_2	Hz	48,70
	P_2	kW	83,70
	Q_2	kVar	51,59

Tablo 6.4: Senaryo 4 için simülasyon çalışma değerleri.

Parametreler ve Birimler		Senkronizasyon	
		Önce	Sonra
DG₁	V_{oa1}		208,24
	V_{ob1}	V_{rms}	230
	V_{oc1}		216,09
	f_1	Hz	50
	P_1	kW	0
	Q_1	kVar	0
DG₂	V_{oa2}		188,23
	V_{ob2}	V_{rms}	176,35
	V_{oc2}		200,33
	f_2	Hz	48,85
	P_2	kW	72,01
	Q_2	kVar	47,42
			26,40

Önerilen senkronizasyon kontrol sistemi, dengeli doğrusal, dengeli doğrusal olmayan, dengesiz doğrusal ve dengesiz doğrusal olmayan mikro şebeke koşullarından etkilenmeden çalışmıştır. Bu nedenle simülasyon çalışmasının sonuncunda önerilen

senkronizasyon kontrol yöntemi ve AGF-YDA yöntemi, klasik senkronizasyon kontrol yöntemlerinin sorunlarını ortadan kaldırmaktadır.

6.3. Mikro Şebeke Sistemi ve Evirici Donanım Tasarımları

Gerilim kaynaklı eviriciler DA gerilimden, genliği ve frekansı değişebilen AA gerilimler elde etmek için kullanılmaktadır. Üç fazlı gerilimlerden denetimli veya denetimsiz doğrultucu kullanılarak DA gerilim elde edilmektedir. DA gerilimin tepe değeri doğrultucunun girişine bağlı olan üç fazlı dengeli kaynak gerilimlerinin tepe değeri ile aynıdır. DA gerilimi daha az salınımlı ve gürültüsüz halde elde etmek için DA filtre kapasiteleri kullanılmaktadır.

Endüstriyel uygulamalarda çoğunlukla iki seviyeli üç fazlı evirici yapısı kullanılmaktadır. Bu tez çalışmasında üç fazlı iki seviyeli gerilim kaynaklı eviriciler kullanılmıştır. İki adet şebeke eviricisi ve AA ile DA yükler kullanılarak bir mikro şebeke donanımı oluşturulmuştur. Tez kapsamında tasarlanacak olan şebeke eviricisinin anma değerleri şu şekilde seçilmiştir. Anma görünür güç 550 kVA, DA bara gerilimi 535-900 V_{DA}, çıkışta fazlar arası gerilimin etkin değeri 400 V (230 V, 440 V, 690 V olmak üzere değişkenlik gösterebilmektedir), frekans ise 50 Hz veya 60 Hz'dir. Şebeke eviricisi çıkışında, tam güç kapasitesinde bir sinüs (LCL) filtresi de vardır. LCL çıkış filtresi ile standartlar sağlanmakta, basit yapısı, düşük maliyetli olması ile tercih edilmektedir. AA şebeke, IT yapıda 3 faz 3 tellidir.

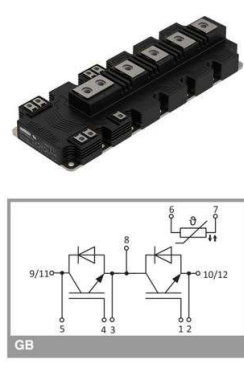
6.3.1. Evirici ve LCL filtre donanım tasarımı

Bu bölümde tez kapsamında gerçekleştirilen deneysel tasarım için tüm sistemin malzeme seçimleri ve donanım tasarımlarının detayları yer almaktadır.

6.3.1.1. Malzeme seçimleri

Malzeme seçimleri konusunda şebeke eviricisi gücü dikkate alınmıştır. Daha önce belirtilen anma çalışma koşulları dikkate alınarak şebeke eviricilerinin malzeme seçimleri yapılmıştır.

Şebeke eviricilerinde anahtar olarak Semikron IGBT'ler ve doğrultucu içinde Semikron diyotlar kullanılmıştır. IGBT seçimi yapılırken anma değerlerinin üstünde seçim yapılmıştır. IGBT üreticilerinden alınan referanslar doğrultusunda bir IGBT ama değerlerinin %60-%80'inde daha kararlı ve verimli çalışmaktadır. Seçilen IGBT SKM1400GB12P4 ve diyot SKKE 1201'dir. Şekil 6.18'de seçilen IGBT ve Şekil 6.19'da diyot için parametreler verilmektedir.



Characteristics				
Symbol	Conditions	min.	typ.	max.
IGBT				
$V_{CE(sat)}$	$I_C = 1400\text{ A}$ $V_{GE} = 15\text{ V}$ chip level	$T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	1.75 2.18	2.06 2.44
V_{CE}	$T_J = 25^\circ\text{C}$ chip level	$T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	0.80 0.70	0.90 0.80
r_{CE}	$V_{GE} = 15\text{ V}$ chip level	$T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	0.68 1.06	0.83 1.17
$V_{GE(th)}$	$V_{GE} = V_{CE}$, $I_C = 49.2\text{ mA}$	$T_J = 25^\circ\text{C}$	5	6.5
I_{CES}	$V_{GE} = 0\text{ V}$, $V_{CE} = 1200\text{ V}$, $T_J = 25^\circ\text{C}$			6
C_{ies}	$V_{CE} = 25\text{ V}$ $V_{GE} = 0\text{ V}$	$f = 1\text{ MHz}$		81.6
C_{oss}	$V_{GE} = 0\text{ V}$	$f = 1\text{ MHz}$		5.28
Q_{gs}	$V_{GE} = -8\text{ V} \dots +15\text{ V}$			4.50
Q_{gd}	$T_J = 25^\circ\text{C}$			7500
$R_{DS(on)}$	$T_J = 25^\circ\text{C}$			0.8
$t_{d(on)}$	$V_{CC} = 600\text{ V}$ $I_C = 1400\text{ A}$	$T_J = 150^\circ\text{C}$		353
t_r	$V_{GE} = +15/-15\text{ V}$	$T_J = 150^\circ\text{C}$		119
E_{on}	$R_{DS(on)} = 1\text{ }\Omega$	$T_J = 150^\circ\text{C}$		150
$t_{d(off)}$	$dI/dt_{on} = 11\text{ kA}/\mu\text{s}$	$T_J = 150^\circ\text{C}$		803
t_f	$dI/dt_{off} = 6.9\text{ kA}/\mu\text{s}$	$T_J = 150^\circ\text{C}$		171
E_{off}	$dI/dt = 3300\text{ V}/\mu\text{s}$ $I_C = 36\text{ A}$	$T_J = 150^\circ\text{C}$		277
$R_{th(j-c)}$	per IGBT			0.02
$R_{th(c-a)}$	per IGBT ($\lambda_{grasse}=0.81\text{ W/(m}^2\text{K)}$)			0.008

Şekil 6.18: IGBT parametreleri.



SKKE 1201/22				
Symbol	Conditions	Values	Unit	Characteristics
Rectifier Diode				
$I_{F(av)}$	sin. 180°	$T_c = 85^\circ\text{C}$ $T_c = 100^\circ\text{C}$	1360 1100	A
$I_{F(RMS)}$	continuous operation		1700	A
$I_{F(peak)}$	10 ms	$T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	41000 35000	A
P_T	10 ms	$T_J = 25^\circ\text{C}$ $T_J = 150^\circ\text{C}$	8405000 6125000	A ² s
V_{FSM}			2300	V
$V_{F(ave)}$			2200	V
T_J		-40 ... 150		°C
Module				
T_{dip}		-40 ... 150		°C
V_{dip}	a.c.; 50 Hz; r.m.s.	1 min 1 s	3000 3600	V
Diode				
V_F	$T_J = 150^\circ\text{C}$, $I_F = 3000\text{ A}$			1.11
$V_{T(c)}$	$T_J = 150^\circ\text{C}$			0.75
r_T	$T_J = 150^\circ\text{C}$			0.0173
I_{so}	$T_J = 150^\circ\text{C}$, $V_{GE} = V_{GE(sat)}$			150
$R_{th(j-c)}$	cont.	per chip per module		0.0466 0.0466
$R_{th(c-a)}$	sin. 180°	per chip per module		0.0466 0.0466
Module				
$R_{th(j-c)}$	chip			0.015
$R_{th(c-a)}$	module			0.015
M_1	to heatsink M6		5.1	6.9
M_2	to terminal M12		16.2	19.8
w			5 * 9.81	9

Şekil 6.19: Diyot ve parametreleri.

SKM1400GB17P4 serisi IGBT gate şarj değeri Şekil 6.18'deki parametre tablosundan da görüldüğü üzere 7500 nC'dur. Bu değere uygun gate sürücü seçimi yapılması gerekmektedir. Tak-çalıştır gate sürücüler elektriksel ve fiber optik gate tetikleme olarak iki farklı tipte üretilmektedir. Bu tezde çalışmasında elektriksel olanı tercih edilmiştir. Şekil 6.20'de gate sürücü ve parametreleri verilmektedir.

Tez kapsamında akım sensörü olarak Hall Etkili Akım Sensörü (LEM LF1005-S) seçilmiştir. Akım sensörü boyutlandırması yapılırken ek olarak pano tipi bara montajına ve endüstriyel çalışma koşullarına uygun olması da göz önünde bulundurulmuştur.



Absolute Maximum Ratings			
Symbol	Conditions	Values	Unit
V_E	Supply voltage primary	16	V
V_{IH}	Input signal voltage (HIGH)	$V_S + 0.3$	V
V_{IL}	Input signal voltage (LOW)	GND - 0.3	V
$I_{OUTPEAK}$	Output peak current	15	A
$I_{OUTAVMAX}$	Output average current	100	mA
f_{max}	Max. switching frequency 85°C	10	kHz
V_{CE}	Collector emitter voltage sense across the IGBT	1200	V
dv/dt	Rate of rise and fall of voltage secondary to primary side	50	kV/ μ s
$V_{isol IO}$	Insulation test voltage input - output (AC, rms, 2s)	5000	V
$Q_{outpulse}$	Max. rating for output charge per pulse	7.5	μ C
T_{ap}	Operating temperature	-40 ... 85	°C
T_{stg}	Storage temperature	-40 ... 85	°C

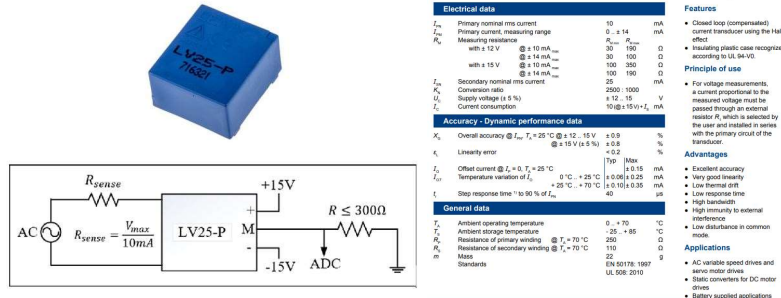
Şekil 6.20: Gate sürücü ve parametreleri.



Electrical data			
I_N	Primary nominal rms current	1000	A
I_{Nmax}	Primary current, measuring range @ ± 24 V	0 ... 1000	A
R_N	Measuring resistance @	$T_a = 70^\circ\text{C}$, $T_r = 125^\circ\text{C}$	Ω
	With ± 15 V	R_{Nmax} , R_{Nmin} , R_{Ntyp}	Ω
	@ ± 1000 A	0 ... 10 ... 15	Ω
	@ ± 100 A	0 ... 7 ... 0 ... 4	Ω
	@ ± 10 A	0 ... 0.00 ... 0.00	Ω
	With ± 24 V	0 ... 0.00 ... 0.00	Ω
	@ ± 1000 A	24 ... 10 ... 21	Ω
I_N	Secondary nominal rms current	200	mA
R_N	Conversion ratio	1 ... 5000	
V_N	Supply voltage (5 %)	± 15 , ± 24	V
I_N	Current consumption (5 %)	20 @ ± 24 V, 10 @ ± 15 V	mA
Accuracy - dynamic performance data			
δ	Accuracy @ $T_a = 70^\circ\text{C}$	± 0.5	%
δ	Linearity error	$< \pm 1$	%
I_N	Offset current @ $T_a = 0^\circ\text{C}$, $T_r = 25^\circ\text{C}$	Typ	mA
I_N	Offset current @ $T_a = 0^\circ\text{C}$ and specified R_N after an offset of 3 A	± 0.2	mA
I_N	Temperature variation of I_N	± 0.5	mA
I_N	Temperature variation of I_N	± 0.5	mA
I_N	Response time 1 to 90 % of I_{Nmax}	< 1	μ s
I_N	drift: data accuracy followed	> 100	A
R_N	Resistance bandwidth (1 % dB)	DC ... 100	kHz
General data			
T_a	Ambient operating temperature	-40 ... +85	°C
T_r	Ambient storage temperature	-40 ... +100	°C
R_N	Resistance of primary winding @	48	Ω
R_N	Resistance of secondary winding @	51	Ω
m	Mass	500	g
m	Standards	EN 50178, 1807	

Şekil 6.21: Akım sensörü.

Gerilim sensörü olarak LEM LV 25-p/SP5 modeli seçilmiştir. Şekil 6.22’de bağlantı yapısı ve parametre bilgileri yer almaktadır.



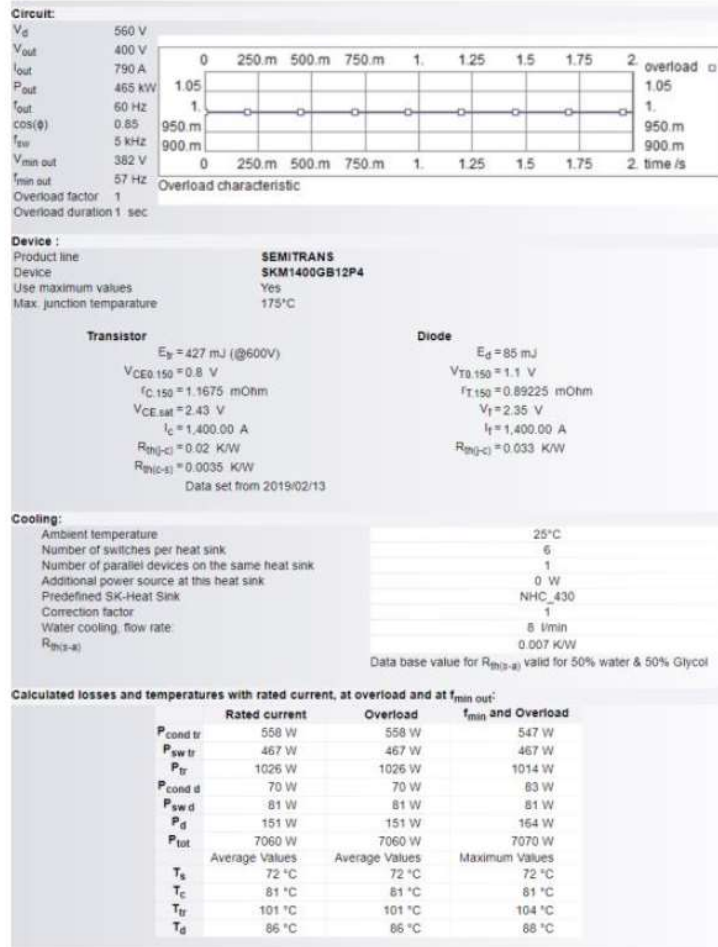
Şekil 6.22: Gerilim Sensörü.

900 V_{DA} gerilim değerine uygun DA kapasitesi için ITELCOND marka 6800uF 450 V_{DA} kondansatör tercih edilmiştir. Ayrıca bu kondansatör doğrultucu çıkışında da kullanılmıştır. LCL filtre kapasitesi için ticari uygulamalarda kullanılan üçgen bağlı Epcos 3x50uF 480 V_{rms} AA kapasiteler tercih edilmiştir. İki seviyeli üç fazlı evirici için üç adet IGBT gereklidir. Her bir IGBT üzerinde 2 adet snubber kapasite olacak şekilde tasarım yapılmıştır. Snubber kapasitesi olarak 1uF 1250 V_{DA} 10% 28X30X45X27MM KP3C seçilmiştir. Şekil 6.23’te seçilen kapasiteler verilmektedir.



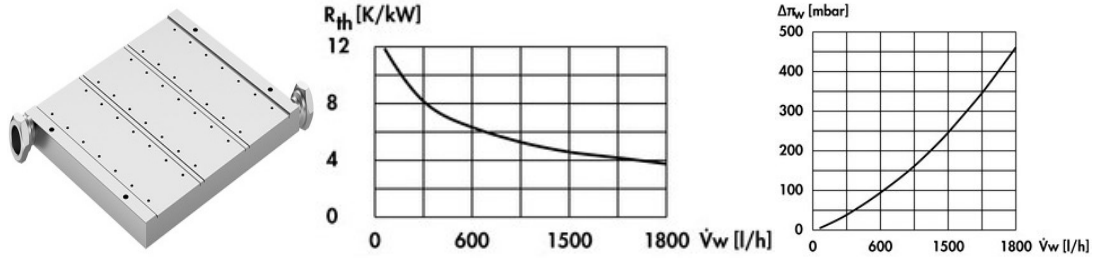
Şekil 6.23: AA, DA ve Snubber kapasiteleri.

IGBT soğutucu plaka ve sulu soğutma sistemi için Semisel programında ısı analiz yapılmıştır. Şekil 6.24'te iki eviricinin de toplam gücü girilerek analiz yapılmıştır. IGBT'lerde anma gücünde yaklaşık 7 kW kayıp olmaktadır. Bu kayıp gerçek zamanlı uygulamada simüle edilemeyen parametrelerden dolayı daha fazla olması beklenmektedir. Ayrıca LCL filtrede de kayıplar olacaktır.



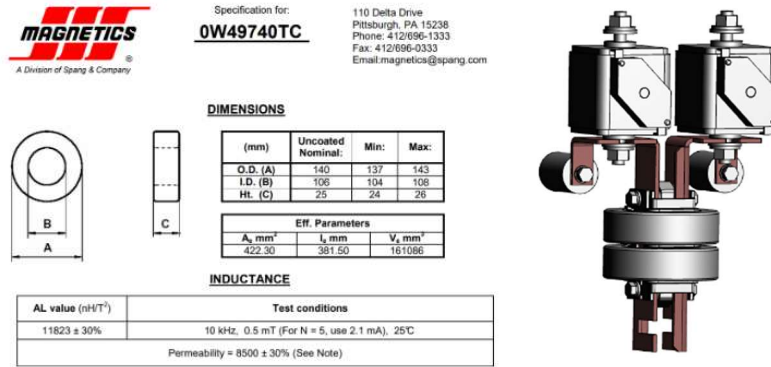
Şekil 6.24: Anahtarlama Kaybı ve Sıcaklık Analizi.

Üç adet IGBT'nin aynı soğutucu plaka üzerinde olması için sıcaklık analizlerine ve IGBT montaj yapısına uygun olarak Fischer FLKI 295 soğutucu seçimi Şekil 6.25'teki gibi yapılmıştır. Bir soğutucu üzerine 3 adet IGBT yerleştirilmiştir.



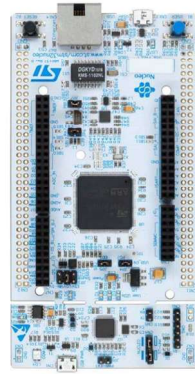
Şekil 6.25: Soğutma plakası ve çalışma grafikleri.

Eviricinin DA bara girişine oluşabilecek EMI/EMC problemlerini önlemek bir filtre tasarımı yapılmıştır. Ayrıca koruma amaçlı hızlı sigortalar da filtresi önüne eklenmiştir. Toroidal ferrit nüve kullanılarak DA baranın her iki ucu da toroid içinden geçmektedir. Toroid permabilite değerleri 5000 ile 10000 arasında değişmektedir ve Şekil 6.26'da Magnetix firmasına ait bir toroidin verileri verilmiştir.



Şekil 6.26: Toroid Nüve Bilgileri ve Tasarımı.

Şekil 6.27'de tez çalışmasında mikro denetleyici olarak kullanılan STMicroelectronics marka NUCLEO-F767ZI verilmektedir. Her bir eviricide NUCLEO ile altı adet DGA çıkışı, altı adet akım ve altı adet gerilim okuması yapılmıştır.

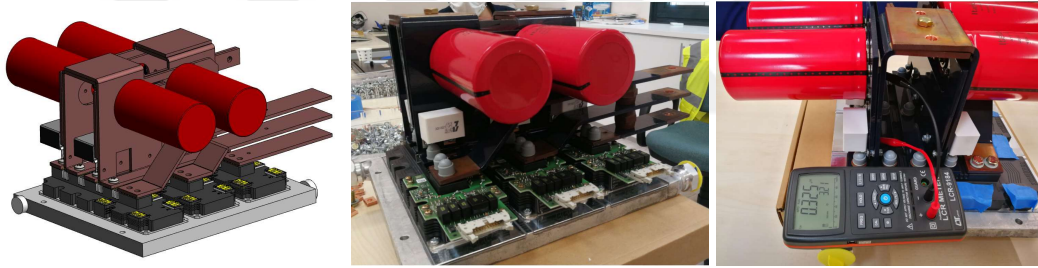


NUCLEO-XXXXZX NUCLEO-XXXXZX-P STM32 Nucleo-144 boards																			
Data brief																			
Features • STM32 microcontroller in LQFP144 package • External SMPS to generate Vcore logic supply (only available on "-P" suffixed boards) • Ethernet compliant with IEEE-802.3-2002 (depending on STM32 support) • USB OTG or full-speed device (depending on STM32 support) • 3 user LEDs • 2 user and reset push-buttons • 32.768 kHz crystal oscillator • Board connectors: – USB with Micro-AB – SWD – Ethernet RJ45 (depending on STM32 support) • Board expansion connectors: – ST Zio connector including Arduino™ Uno V3 – ST morpho • Flexible power-supply options: ST-LINK USB VBUS or external sources																			
• On-board ST-LINK/V2-1 debugger/programmer with USB re-enumeration capability: mass storage, virtual COM port and debug port • Comprehensive free software libraries and examples available with the STM32Cube package • Support of a wide choice of Integrated Development Environments (IDEs) including IAR™, Keil™, GCC-based IDEs, Arm® Mbed™ • Arm® Mbed Enabled™ compliant (only for some Nucleo part numbers)																			
Table 1. Device summary <table border="1"> <thead> <tr> <th>Reference</th><th>Part number</th></tr> </thead> <tbody> <tr> <td>NUCLEO-F302ZG</td><td>NUCLEO-F302ZG</td></tr> <tr> <td>NUCLEO-F412ZG</td><td>NUCLEO-F412ZG</td></tr> <tr> <td>NUCLEO-F429ZG</td><td>NUCLEO-F429ZG</td></tr> <tr> <td>NUCLEO-F446ZE</td><td>NUCLEO-F446ZE</td></tr> <tr> <td>NUCLEO-F446ZE-P</td><td>NUCLEO-F446ZE-P</td></tr> <tr> <td>NUCLEO-F767ZI</td><td>NUCLEO-F767ZI</td></tr> <tr> <td>NUCLEO-L486ZI</td><td>NUCLEO-L486ZI</td></tr> <tr> <td>NUCLEO-L486ZI-P</td><td>NUCLEO-L486ZI-P</td></tr> </tbody> </table>		Reference	Part number	NUCLEO-F302ZG	NUCLEO-F302ZG	NUCLEO-F412ZG	NUCLEO-F412ZG	NUCLEO-F429ZG	NUCLEO-F429ZG	NUCLEO-F446ZE	NUCLEO-F446ZE	NUCLEO-F446ZE-P	NUCLEO-F446ZE-P	NUCLEO-F767ZI	NUCLEO-F767ZI	NUCLEO-L486ZI	NUCLEO-L486ZI	NUCLEO-L486ZI-P	NUCLEO-L486ZI-P
Reference	Part number																		
NUCLEO-F302ZG	NUCLEO-F302ZG																		
NUCLEO-F412ZG	NUCLEO-F412ZG																		
NUCLEO-F429ZG	NUCLEO-F429ZG																		
NUCLEO-F446ZE	NUCLEO-F446ZE																		
NUCLEO-F446ZE-P	NUCLEO-F446ZE-P																		
NUCLEO-F767ZI	NUCLEO-F767ZI																		
NUCLEO-L486ZI	NUCLEO-L486ZI																		
NUCLEO-L486ZI-P	NUCLEO-L486ZI-P																		

Şekil 6.27: NUCLEO-F767ZI genel görünümü ve özellikleri.

6.3.1.2. Evirici donanım tasarımı

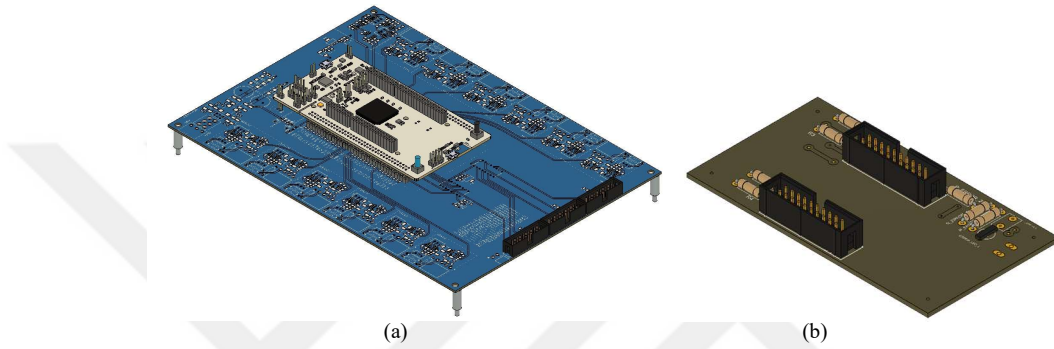
Eviriciye uygun malzeme seçimleri yapıldıktan sonra güç donanımı ve DA bara tasarımı aşamasına geçilmiştir. Burada DA bara endüktans değerinin düşük olması için ve DA bara kapasiteleri IGBT'lere yakın olacak şekilde 5 mm yaprak bakır bara ile optimum tasarım yapılmıştır. Şekil 6.28'de eviricinin 3D tasarımı ve uygulaması verilmektedir.



Şekil 6.28: Evirici donanımı 3D tasarımı ve uygulaması.

Şekil 6.28'de görüldüğü gibi DA bara endüktansı 325 nH çıkmıştır. Kapasitelerin yakınlığı ve optimum DA bara tasarımı sayesinde düşük endüktanslı tasarım elde edilmiştir. Şebeke eviricisi çıkışında LCL filtre kullanılmış olup değerleri Tablo 5.2'de verilmektedir. Seçilen değerlere göre en iyi ve en kötü durum için rezonans frekansı hesaplanmıştır. Bu hesaplanan değerler anahtarlama frekansının çok çok altında kalmaktadır. Evirici anahtarlama frekansı 5 kHz seçilmiştir. LCL filtre tasarımında kısıtlar, rezonans frekansı, kapasite ripple (veya rms) akımı ve boyutlandırmadır. Ayrıca, denetim algoritmasının ve anahtarlama frekansının örnekleme süresi eşit olduğu kabul edilirse, bu örnekleme frekansının LCL filtre rezonans frekansından en az 3 kat yüksek olması beklenmektedir. LCL filtre rezonans frekansı yaklaşık 1.276 kHz'dir. Ayrıca, rezonans frekansı temel dalga frekansının en az 10 katı olmalıdır. Bu şartlar

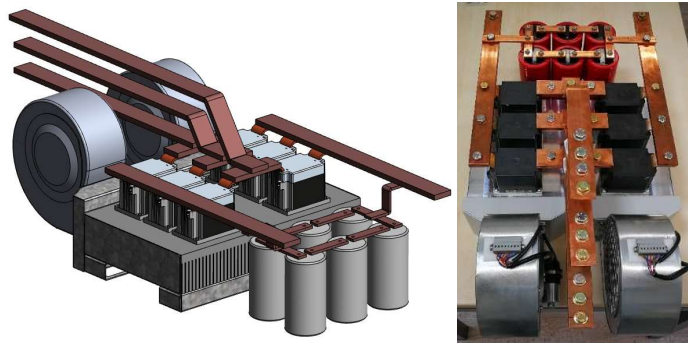
sağlanamıyorsa, pasif veya aktif söndürme yöntemlerinden biri kullanılarak olası rezonansların söndürülmesi gerekir. Her bir evirici de altı akım ve altı gerilim okuması yapılmıştır. Üç adet evirici çıkış akımı, üç adet LCL çıkış akımı, üç adet LCL çıkış gerilimi ve üç adet ortak bağlantı noktası (mikro şebeke) gerilimi ölçümü yapılmıştır. Sensör ve sinyal işleme devreleri için Şekil 6.29'daki ana kart tasarımı ve üretimi yapılmıştır. Ayrıca ana karttaki DGA çıkışları ile gate sürücü arasına yalıtımlı opamplar ile galvanik yalıtım devresi yapılmıştır.



Şekil 6.29: (a) Ana kart PCB tasarımı (b) DSP ile gate sürücü arasındaki yalıtım devresi.

6.3.1.3. Mikro şebeke sistem tasarımı

Şebeke eviriciler için hem DA bara gerilimi elde etmek hem de DA yükü beslemek için diyotlu pasif doğrultucu tasarımı Şekil 6.30'daki gibi yapılmıştır. Soğutma sistemi olarak hava soğutmalı soğutucu seçilmiştir ve doğrultucu girişine hat filtresi de yerleştirilmiştir.



Şekil 6.30: Doğrultucu 3D tasarımı ve uygulaması.

Eviricilerin, LCL filtrelerin ve panoların sulu soğutma sistemi için Şekil 6.31'deki sulu soğutucu seçilmiştir. Anlık ortalama 20 kW soğutma gücü ile hem eviricileri hem de diğer sistemler için yeterli güce sahiptir.

Mikro şebekede birer adet AA ve DA yük bankası mevcuttur. AA yük bankası dört kademeden oluşmaktadır. Kademeleri olarak 25/50/75 kW aktif ve 25/50/75 kVar reaktif yükleme yapılmaktadır. DA yük bankası ise 30/60 kW kademelerinde yükleme yapılabilmektedir. Şekil 6.32'de yük bankalarını üst görünümü verilmektedir.



Şekil 6.31: 20 kW soğutma kapasitesine sahip Chiller.



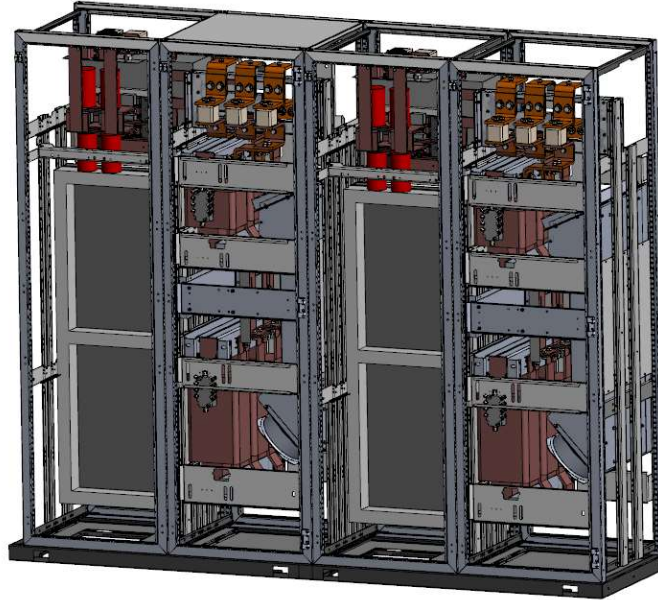
Şekil 6.32: AA yük bankası ve DA yük bankası.

Her bir eviricinin çıkışında güç transformatörü olarak 250 kVA, 3x400/3x690 V_{rms} (Dd0) dönüşüm oranı ve bağlantı tipine sahip transformatör seçilmiştir. Şekil 6.33'te güç transformatörünün teknik bilgileri verilmektedir. İki şebeke eviricisi, LCL çıkış filtreleri, sensör ve sinyal düzenleme devreleri ile DA ve AA baraların yer aldığı bir ana pano tasarımı yapılmıştır. Şekil 6.34'teki gibi bir şebeke eviricisi için iki göz olacak şekilde tasarım hedeflenmiştir. Bir gözde LCL çıkış filtresi diğer gözde ise şebeke eviricisi donanımı, ana kart, sensör sinyal devreleri ve DA besleme güç kartları yer almaktadır. Şekil 6.35'te deneysel uygulama için soğutma sistemi ve yük bankaları ve

Şekil 6.36'da ada modlu mikro şebeke sistemine ait tüm ekipmanlar detaylı olarak verilmektedir.

Transformer Data Sheet	
Total Power (VA)	250.00
No. of Phases	3
Frequency(Hz)	50/60
Connection Type	0/0
Phase Shift	0°
Voltage	
Primary Voltage (V)	400V
Secondary Voltage (V)	690V-440V
Secondary 2 Voltage(V)	
Turns Ratio	1:1.73
Primary Parameters	
Current (A)	352.86
No load Current (A)	4.73
Short Circuit Imp. (%)	3.44%
Short Circuit Current (kA)	6.25
Inrush Current(kA)	7.51
Regulation(%)	1.10%
Winding Resistance(mΩ)	5.67
Secondary Parameters	
Load Current(A)	210.71
No Load Voltage (V)	702.00
Winding Resistance(mΩ)	21.66
Losses	
No Load Losses (W)	1602
Load Losses (W)	2680
Losses at 25% Load (W)	1771
Losses at 50% Load (W)	2276
Losses at 75% Load (W)	3117
Total Losses (W)	4285
Efficiency (%)	98.3
Temperature Rise (K)	70
Other Parameters	
Isolation Class	F (155°)
Cooling	ANALV / TAP/PC / F
Environmental	C150P0
Protection Index	IP00
Operation Mode	Continuous
Weight(kg)	1700
Winding Material	AL
Core Material	M330
Standard	IEC 60076
Tolerances	0.5:1
ISO 2768-M	M2.2
Code	ET3U-2503 250kVA 400V / 690V-440V Data
Isolation Transformer	
Code	22/02/2022/02/01
Date	14.01.2020
http://www.elektra.com.tr	
ELEKTRA © 2020	

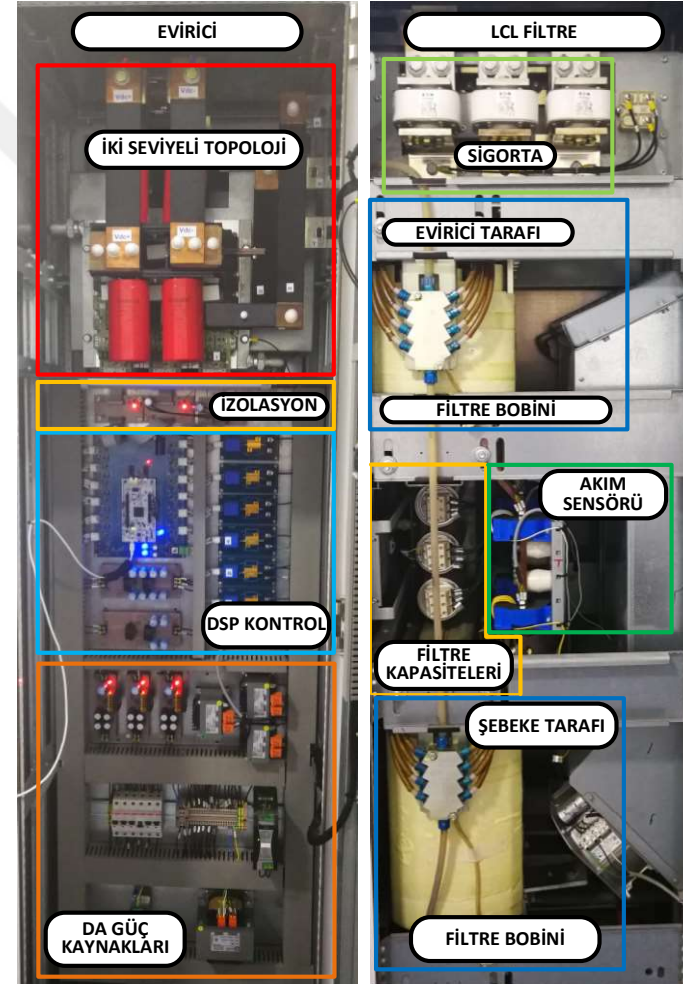
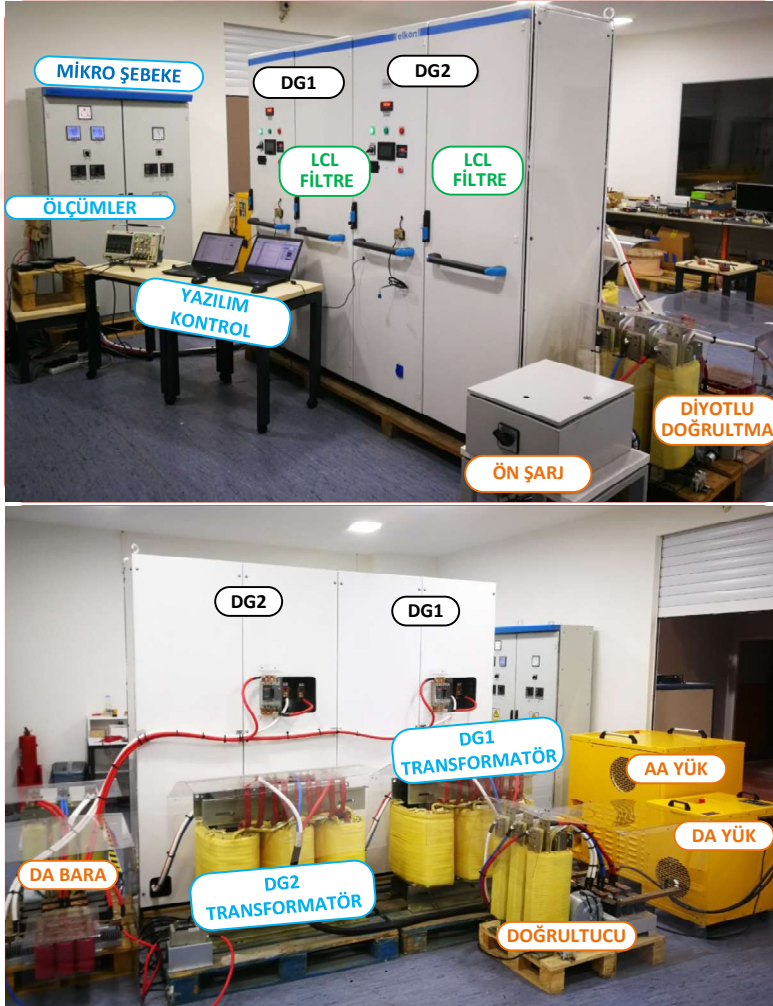
Şekil 6.33: Güç transformatörü.



Şekil 6.34: 3D pano tasarımı.



Şekil 6.35: Soğutma sistemi ve yük bankaları.



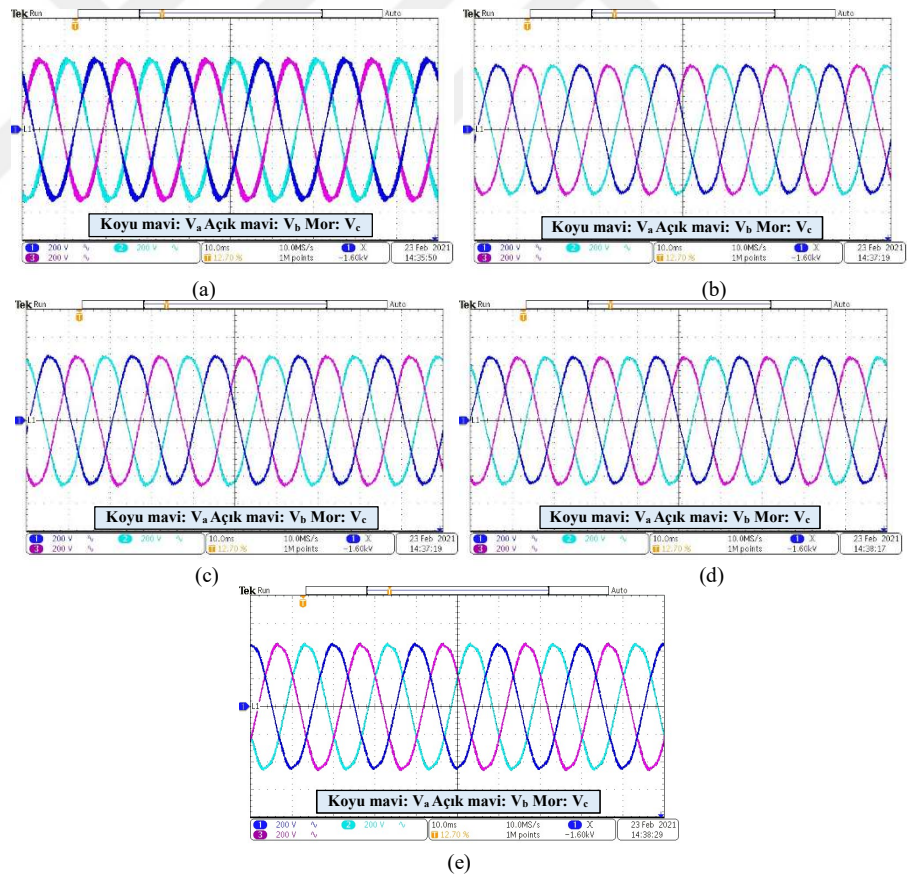
Şekil 6.36: Mikro şebeke sistemi ve şebeke eviricilerinin deysel kurulumun detaylı görünümü.

6.3.2. Devreye alma çalışmaları

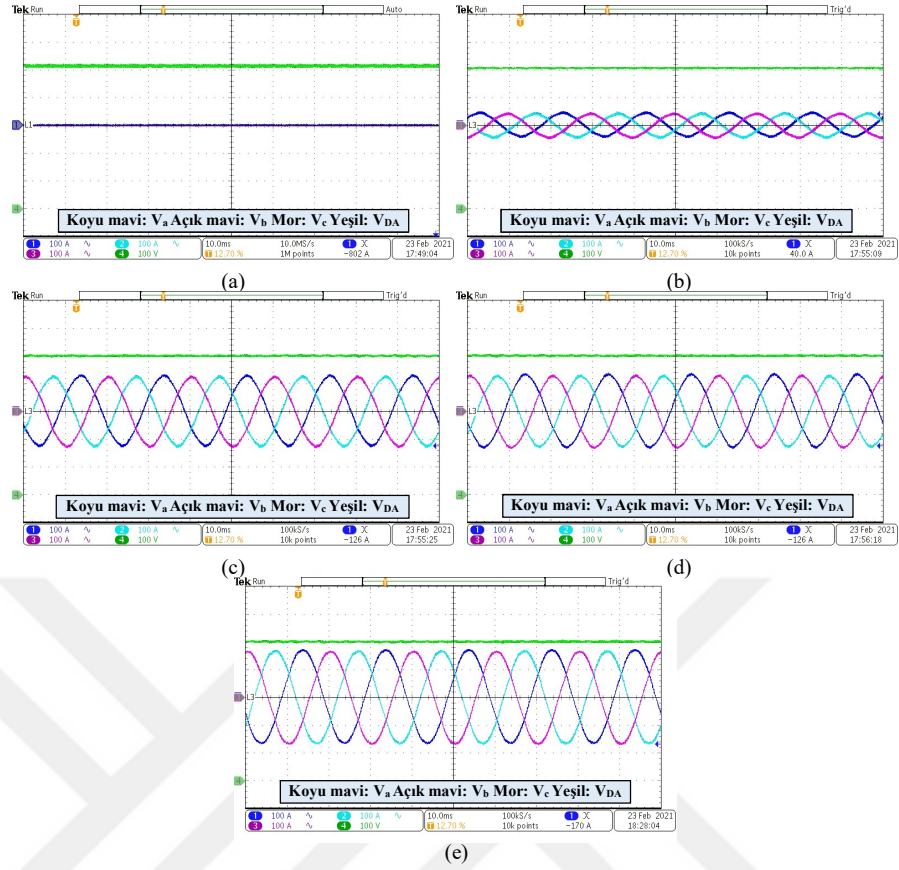
Öncelikle her bir şebeke eviricisi açık çevrim denetim ile yükleme testleri yapılarak SDGA çıkışlarının uyumluluğu, Analog-Dijital Dönüştürücü (ADC) ölçümleri ile ölçeklendirmeler, sıcaklık testleri, adım cevap testleri yapılmıştır. Yükleme testleri 100 kVA yük bankası ile yapılmıştır. Ayrıca donanım sıcaklıkları kalıcı duruma geçtikten sonra da ölçümler alınmıştır.

6.3.2.1. Açık çevrim V/f denetimi ile yükleme çalışmaları

Her bir evirici için açık çevrim V/f denetimi ile çalışma testleri yapılmıştır. Boşta çalışma ve farklı yükleme kademelerinde alınan gerilim ve akım ile DA bara gerilimi ölçüm sonuçları verilmiştir. Şekil 6.37 şebeke eviricisi çıkış gerilimlerinin, Şekil 6.38'de de çıkış akımlarının ve DA bara geriliminin ölçüm sonuçları sunulmuştur.



Şekil 6.37: (a) Boşta çalışmada çıkış gerilimleri (b) 25 kW kademesinde çıkış gerilimleri (ölçülen değer 18 kW) (c) 25kW + 50kW kademesinde çıkış gerilimleri (ölçülen değer 50.8 kW) (d) 25kW + 50kW + 25kVAr kademesinde çıkış gerilimleri (ölçülen değer 50kW + 14.75 kVAr) (e) 25kW + 50kW + 25kVAr + 50 kVAr kademesinde çıkış gerilimleri (ölçülen değer 48 kW + 45.63 kVar).



Şekil 6.38: (a) Boşta çalışmada çıkış akımları ve DA bara gerilimi (b) 25 kW kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 18 kW) (c) 25kW + 50kW kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 50.8 kW) (d) 25kW + 50kW + 25kVAr kademesinde çıkış akımları ve DA bara gerilimi (ölçülen değer 50kW + 14.75 kVAr) (e) 25kW + 50kW + 25kVAr + 50 kVAr kademesinde çıkış akımları ve DA bara gerilimi (48 kW + 45.63 kVAr)

Dağıtım panosu üzerindeki şebeke analizörü ile alınan diğer ölçümler Şekil 6.39’da verilmektedir. Bu ölçümler tam yüklenmede yani Şekil 6.38e’de verilen ölçümlerde alınmıştır. Şekil 6.39’da da görüldüğü gibi akımlar ve gerilimler dengelidir.

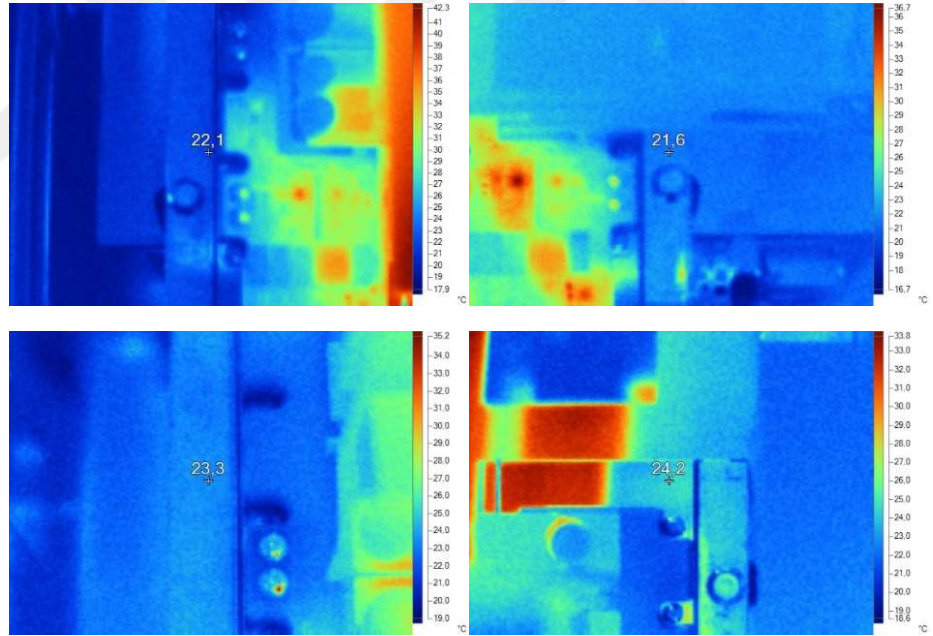
6.3.2.2. Donanımların sıcaklık testleri

Şebeke eviricileri kalıcı sıcaklığa geçtikten sonra termal kamera ile alınan ölçümler Şekil 6.40’ta verilmiştir. Bu ölçümler tam yüklenmede alınmıştır. Bu ölçümler sonucunda 100 kVA yüklenme koşullarında ölçülen tüm sıcaklıklar güvenli bölgededir.

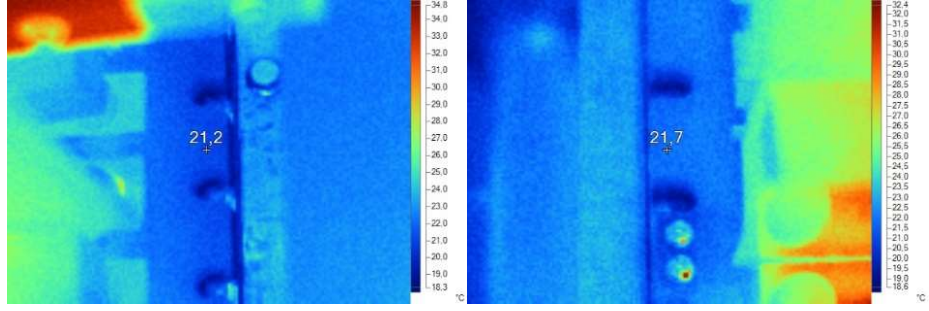
Şekil 6.40’ta IGBT soğutucu sıcaklığı, Şekil 6.41’de IGBT kılıf sıcaklığı, Şekil 6.42’de gate sürücü sıcaklığı, Şekil 6.43a’da DSP’nin sıcaklığı, Şekil 6.43b’de DA bara kapasite sıcaklığı, Şekil 6.43c’de LCL filtre reaktör sıcaklığı Şekil 6.43d’de LCL filtre kondansatör sıcaklığı verilmektedir.



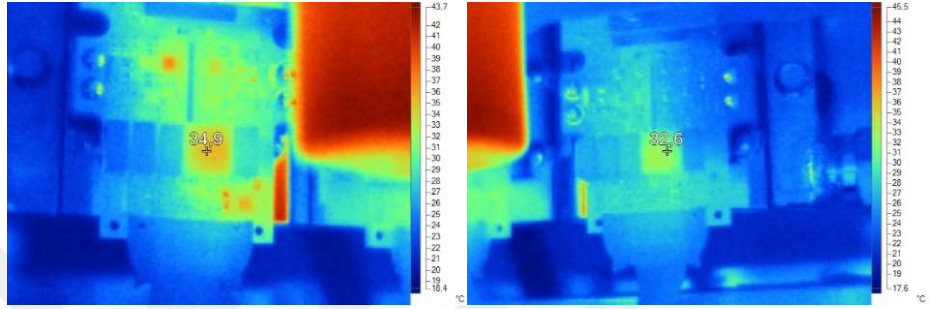
Şekil 6.39: Şebeke Analizörü Ölçümleri.



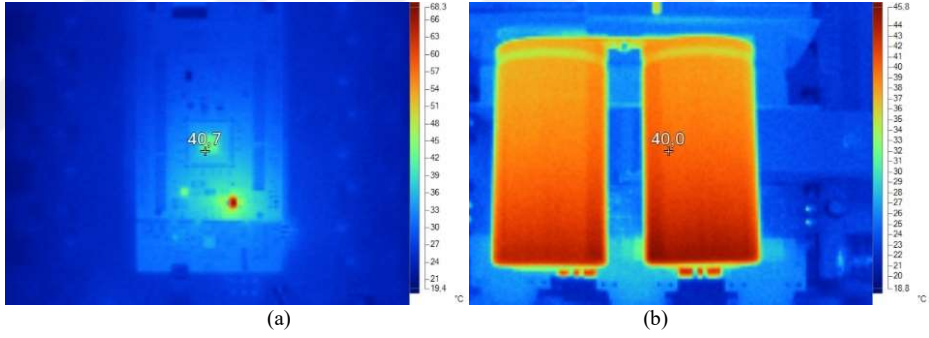
Şekil 6.40: IGBT soğutucu sıcaklıkları.



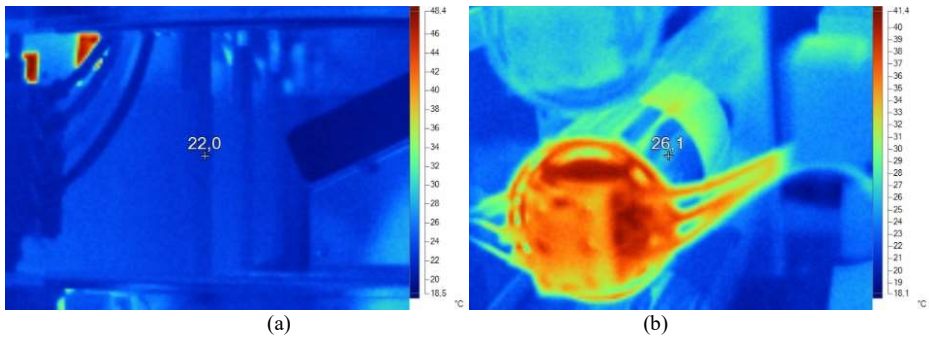
Şekil 6.41: IGBT kılıf sıcaklığı.



Şekil 6.42: Gate sürücü sıcaklığı.



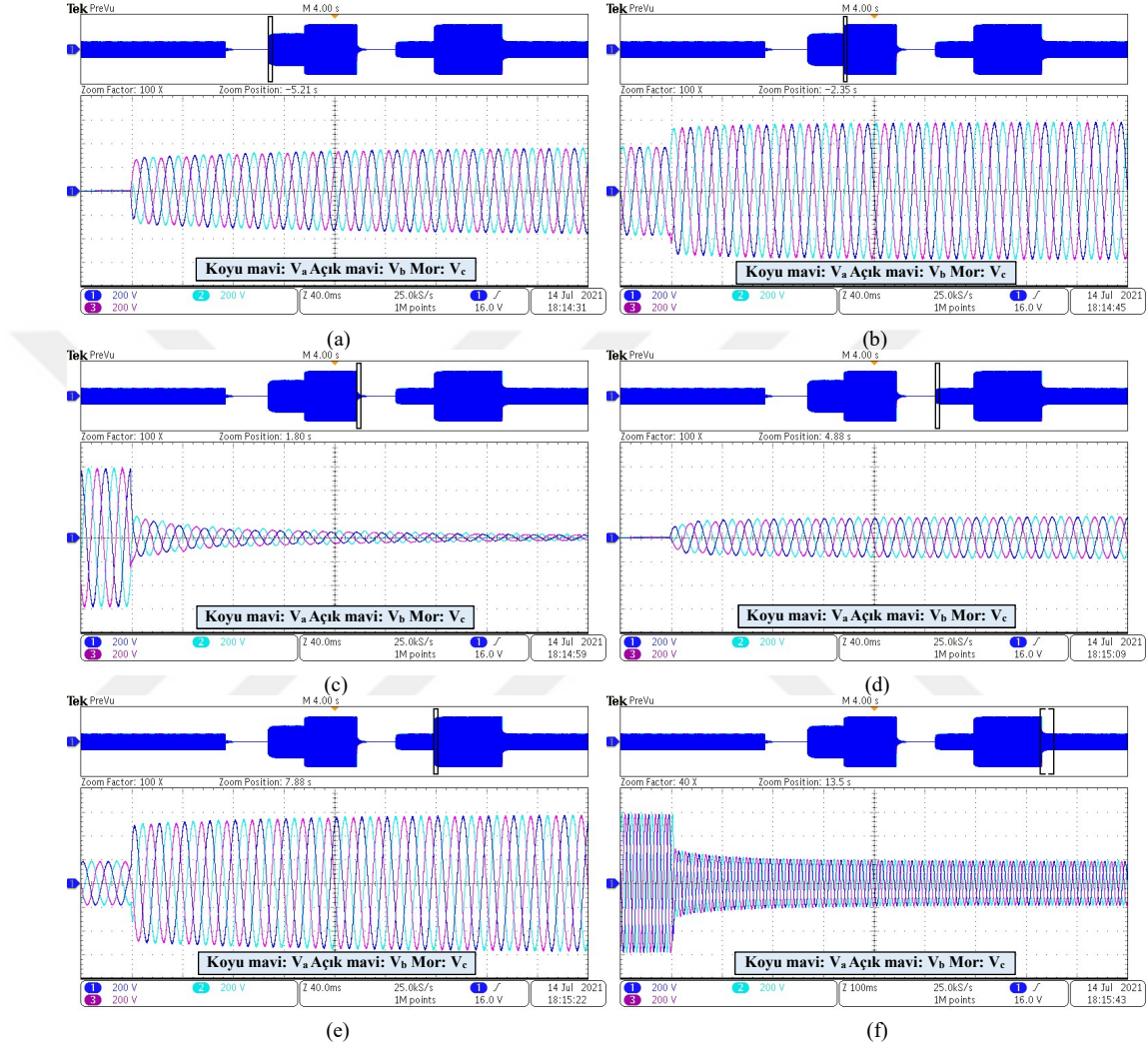
Şekil 6.43: (a) DSP'nin sıcaklığı (b) DA bara kapasite sıcaklığı.



Şekil 6.44: (a) LCL filtre bobini sıcaklığı (b) LCL filtre kondansatörü sıcaklığı.

6.3.2.3. Şebeke eviricisi adım cevapları

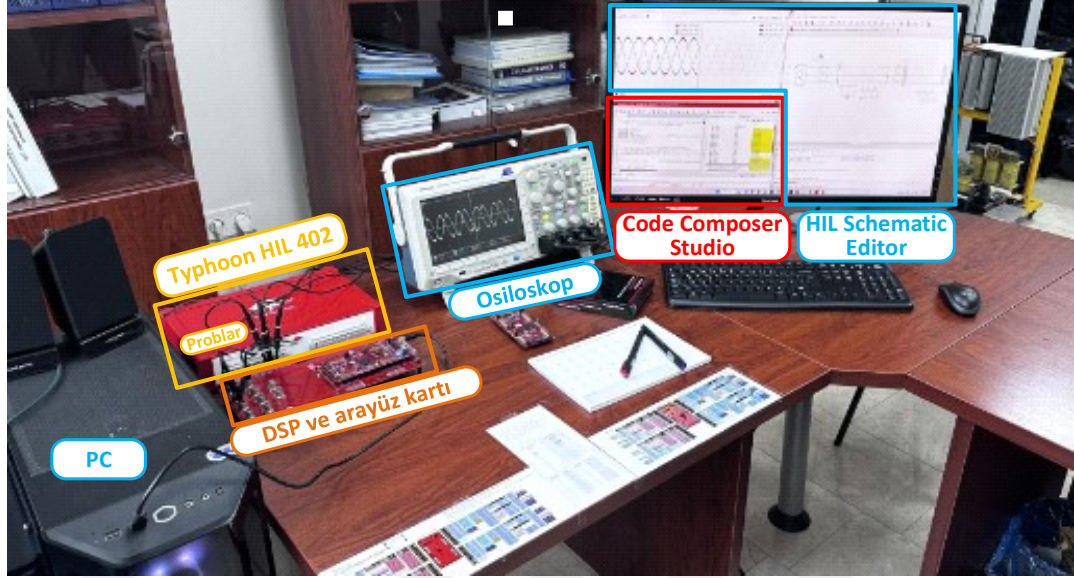
Şebeke eviricisi PR denetimcileri adım testleri için farklı adım girişler uygulanmıştır ve Şekil 6.45'teki sonuçlar elde edilmiştir.



Şekil 6.45: Fazlar arası gerilimin tepe değeri için (a) 0 V-100 V adım cevap (b) 100 V-156 V adım cevap (c) 156 V-0 V adım cevap (d) 0 V-50 V adım cevap (e) 50 V-156 V adım cevap (f) 156 V-50 V adım cevap.

6.4. Döngüde Donanım Benzetimi Testleri

Simülasyon çalışmalarına paralel olarak C-HIL testleri yapılmıştır. C-HIL doğrulaması için bir TI LAUNCHXL-F28379D mikro denetimci kullanan Typhoon-HIL402 döngüde donanım benzetimi çalışması yapılmıştır. Senkronizasyon döngülerinin C-HIL testleri için deneysel bir düzenek Şekil 6.46'da gösterilmektedir.



Şekil 6.46: Döngüde donanım benzetimi test düzeneği.

6.4.1. DSOGI tabanlı frekans senkronizasyonu döngüsü denetimci adım cevapları

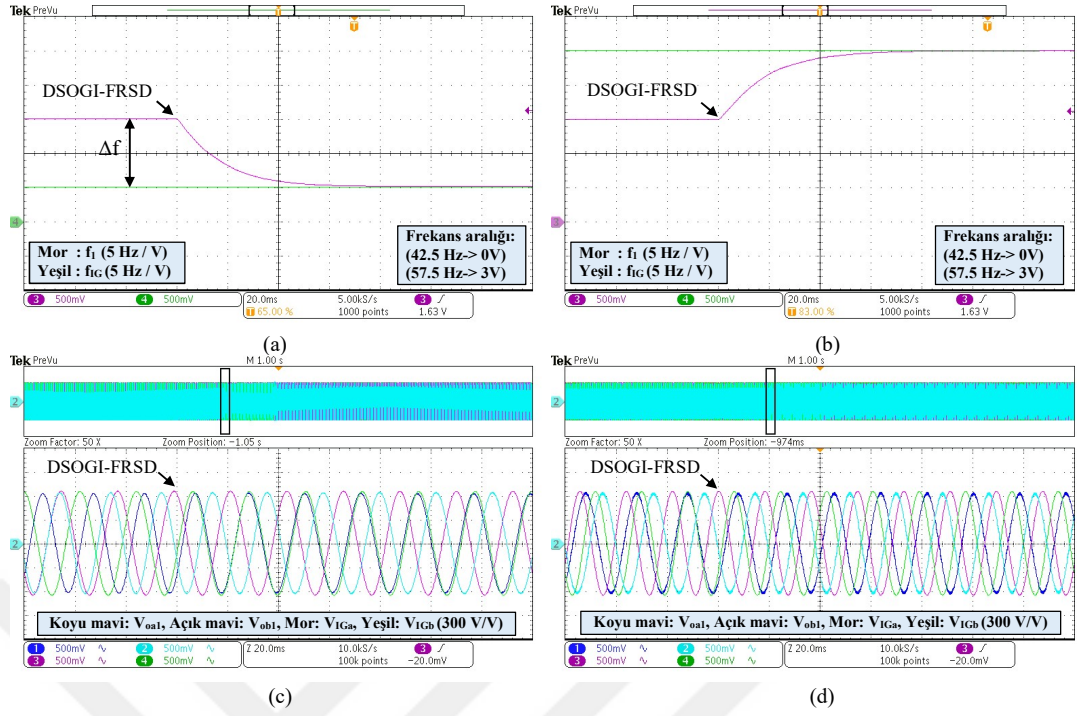
DSOGI-FRSD denetimci adım cevapları için Şekil 6.47a ve Şekil 6.47c'de frekansın 50 Hz'den 45 Hz'e değişen bir adım değişim ve Şekil 6.47b ve Şekil 6.7d'de frekansın 50 Hz'den 55 Hz'e değişen bir adım değişim uygulanmaktadır. Bu uygulamanın sonuçları iki fazlı ölçümler ile de desteklenmiştir.

Şekil 6.47a ve Şekil 6.47c'den açıkça anlaşıldığı gibi, dinamik tepki tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0.100 s'ye eşittir. Sonuç olarak simülasyon sonuçları bölüm 5.5.1'teki teorik tasarım amaçlarıyla yani Şekil 5.10 ile uyumludur.

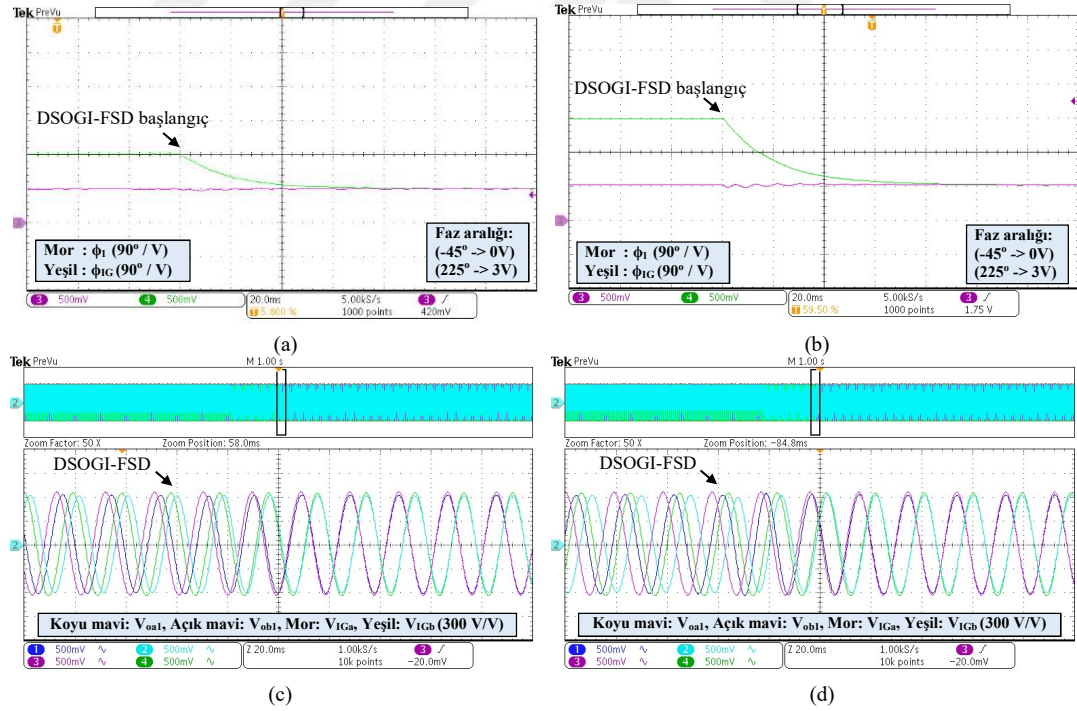
6.4.2. DSOGI tabanlı faz senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-FSD denetimci adım cevapları için 45, 90, 135 ve 180 dereceden 0 dereceye adım değişimleri uygulanmaktadır ve Şekil 6.48'de sonuçlar verilmektedir. Bölüm 5.7.2'deki teorik tasarımın simülasyon ile örtüşmesi beklenmektedir.

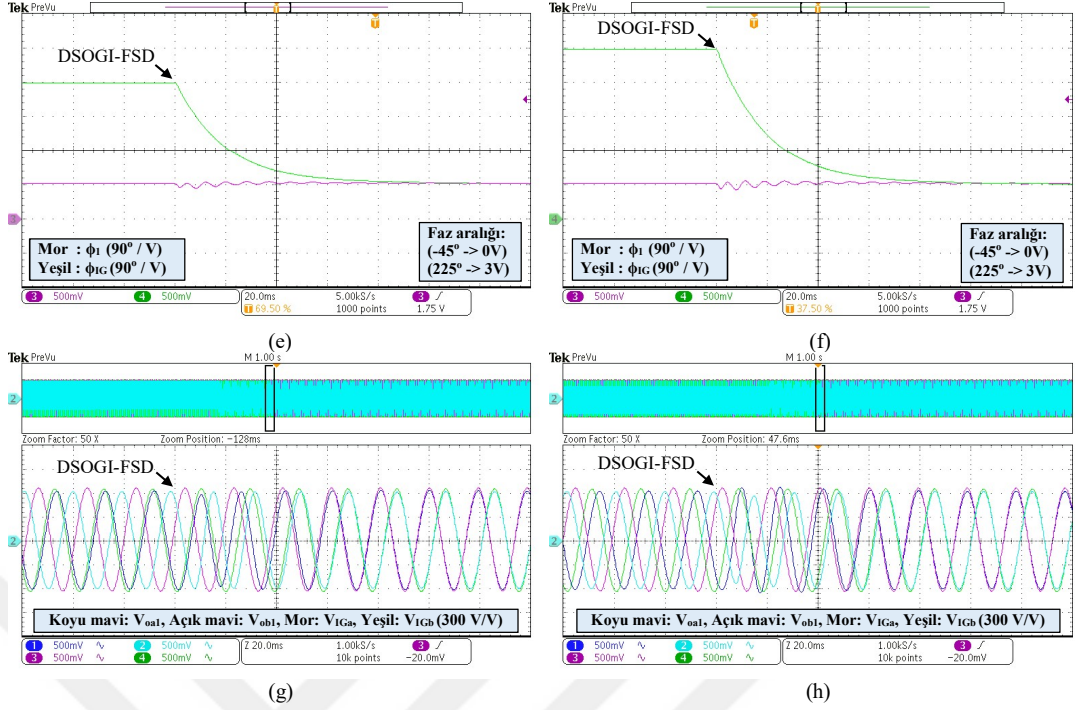
Şekil 6.48a, Şekil 6.48b, Şekil 6.48c ve Şekil 6.48f'deki dinamik tepkiler tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0.100 s'ye eşittir. Sonuç olarak simülasyon sonuçları bölüm 5.5.2'deki teorik tasarım amaçlarıyla yani Şekil 5.11 ile uyumludur.



Şekil 6.47: DSOGI-FRSD için denetimci tasarımının CHIL ile doğrulaması: (a,c) 50 Hz'den 45 Hz'e adım değişim (b,d) 50 Hz'den 55 Hz'e adım değişim.



Şekil 6.48: DSOGI-FSD için denetimci tasarımının CHIL ile doğrulaması: (a) 45 derece (b) 90 derece (c) 45 derece (d) 90 derece



Şekil 6.48 (devam) : DSOGI-FSD için denetimci tasarımının CHIL doğrulaması: (e,g) 135 derece (f,h) 180 derece.

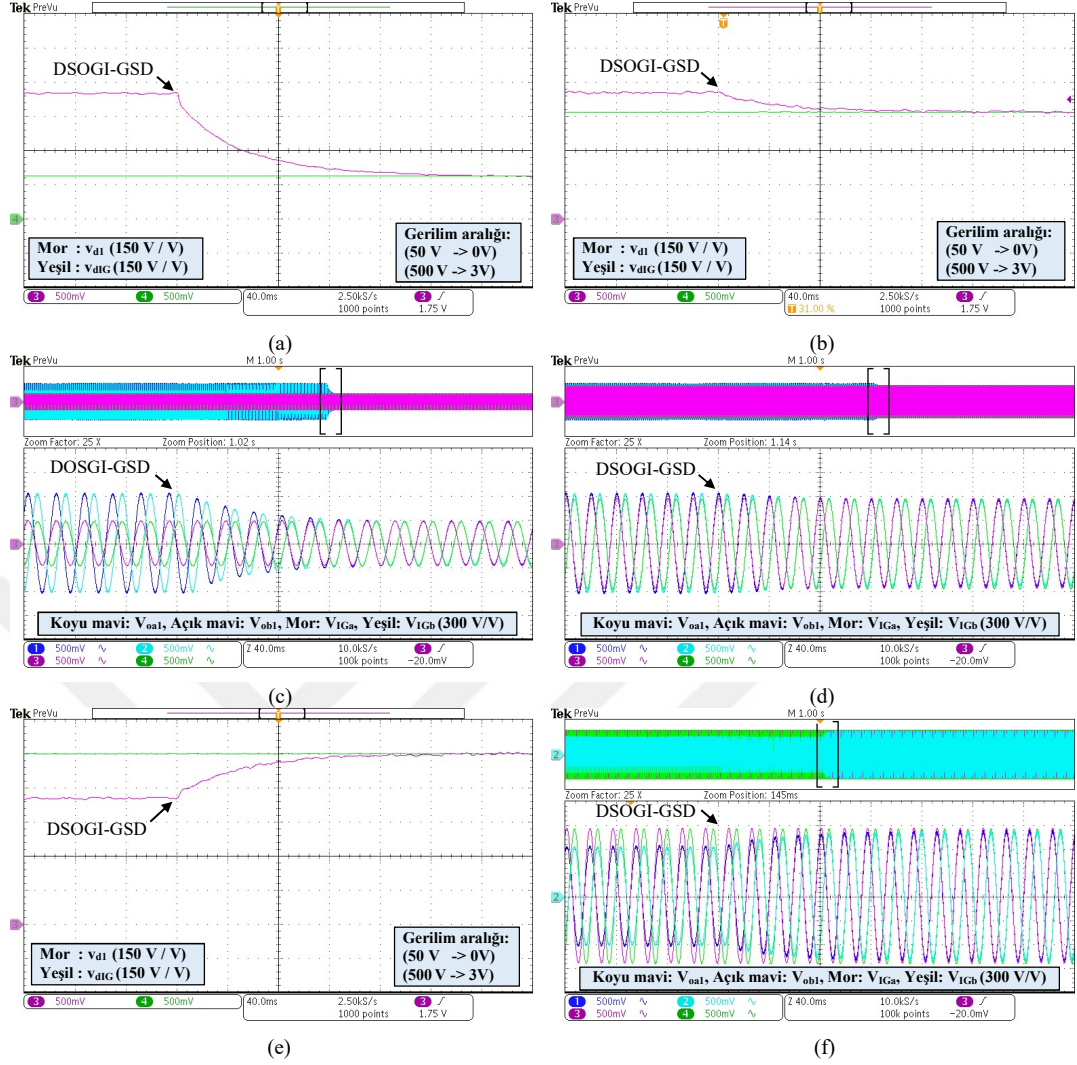
6.4.3. DSOGI tabanlı gerilim senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-GSD denetimci adım cevapları için 230 V_{rms} 'den 100, 200 ve 300 V_{rms} 'e adım değişimleri uygulanmaktadır ve Şekil 6.49'te DSOGI-GSD adım cevaplar ve iki fazlı sonuçlar ele elde edilmektedir.

Şekil 6.49a, Şekil 6.49b ve Şekil 6.49e'deki DSOGI-FSD yerleşme zamanı aşma olmadan yaklaşık 0.200 s'ye eşit olduğu grafiklerden de gözlenmektedir. Simülasyon sonuçları bölüm 5.5.3'teki teorik tasarım amaçlarıyla yani Şekil 5.12 ile uyumludur.

6.5. Gerçek Zamanlı DeneySEL Sonuçlar

Şekil 6.36'da verilen ada modlu mikro şebeke deneysel düzenekte, gerçek zamanlı testler yapılmıştır. Simülasyon ve CHIL çalışmalarındaki benzer testler bu bölümde de yapılmıştır.

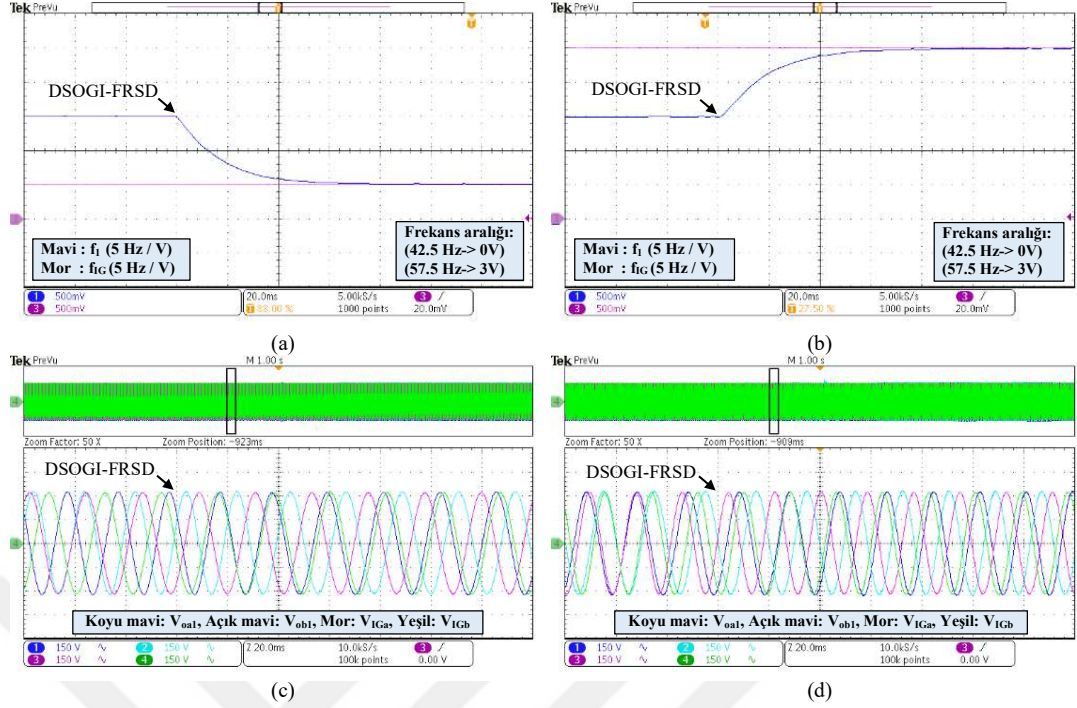


Şekil 6.49: DSOGI-GSD için denetimci tasarımının CHIL ile doğrulaması: (a,c) 230 V_{rms} ’den 100 V_{rms} ’e (b,d) 230 V_{rms} ’den 200 V_{rms} ’e (e,f) 230 V_{rms} ’den 300 V_{rms} ’e.

6.5.1. DSOGI tabanlı frekans senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-FRSD denetimci adım cevapları için Şekil 6.50a ve Şekil 6.50c’de frekansın 50 Hz’den 45 Hz’e değişen bir adım değişim ve Şekil 6.50b ve Şekil 6.50d’de frekansın 50 Hz’den 55 Hz’e değişen bir adım değişim uygulanmaktadır. Bu uygulamanın sonuçları iki fazlı ölçümler ile de desteklenmiştir.

Şekil 6.50a ve Şekil 6.50c’den açıkça anlaşıldığı gibi, dinamik tepki tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0.100 s’ye eşittir. Sonuç olarak deneysel sonuçlar simülasyon sonuçları, CHIL sonuçları bölüm 5.5.1’teki teorik tasarım amaçlarıyla yani Şekil 5.10 ile uyumludur.



Şekil 6.50: DSOGI-FRSD için denetimci tasarımının gerçek zamanlı test ile doğrulanması: (a,c) 50 Hz'den 45 Hz'e adım değişim (b,d) 50 Hz'den 55 Hz'e adım değişim.

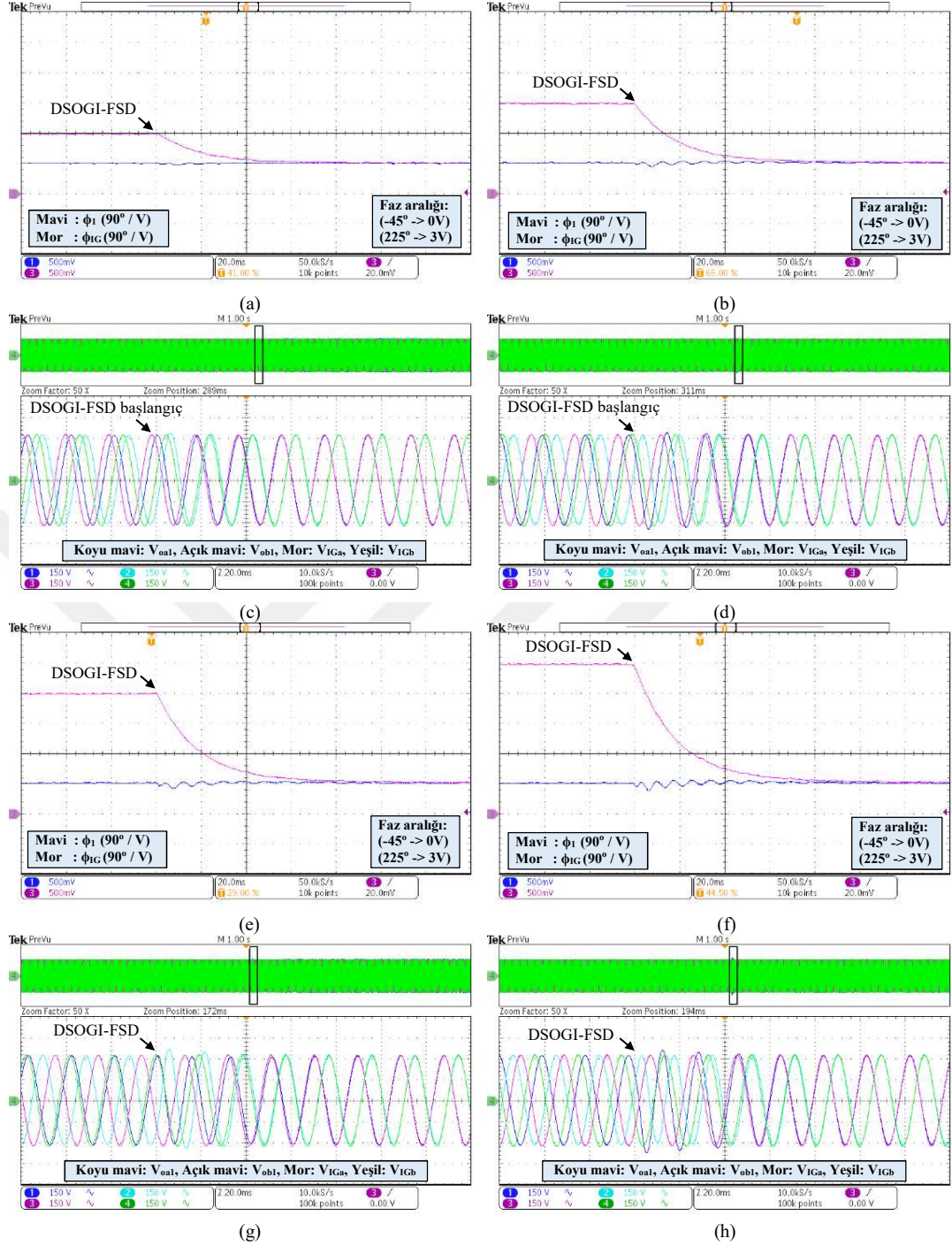
6.5.2. DSOGI tabanlı faz senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-FSD denetimci adım cevapları için 45, 90, 135 ve 180 dereceden 0 dereceye adım değişimler uygulanmaktadır ve Şekil 6.51'de sonuçlar verilmektedir. Bölüm 5.7.2'deki teorik tasarımın deneysel sonuçlar ile örtüştüğünün gözlemlenmesi beklenmektedir.

Şekil 6.51a, Şekil 6.51b, Şekil 6.51e ve Şekil 6.51f'deki dinamik tepkiler tasarlandığı gibi gerçekleşmektedir ve yerleşme süresi aşım olmadan yaklaşık 0,100 s'ye eşittir. Sonuç olarak deneysel sonuçlar simülasyon sonuçları, CHIL sonuçları ve bölüm 5.5.2'deki teorik tasarım amaçlarıyla yani Şekil 5.11 ile uyumludur.

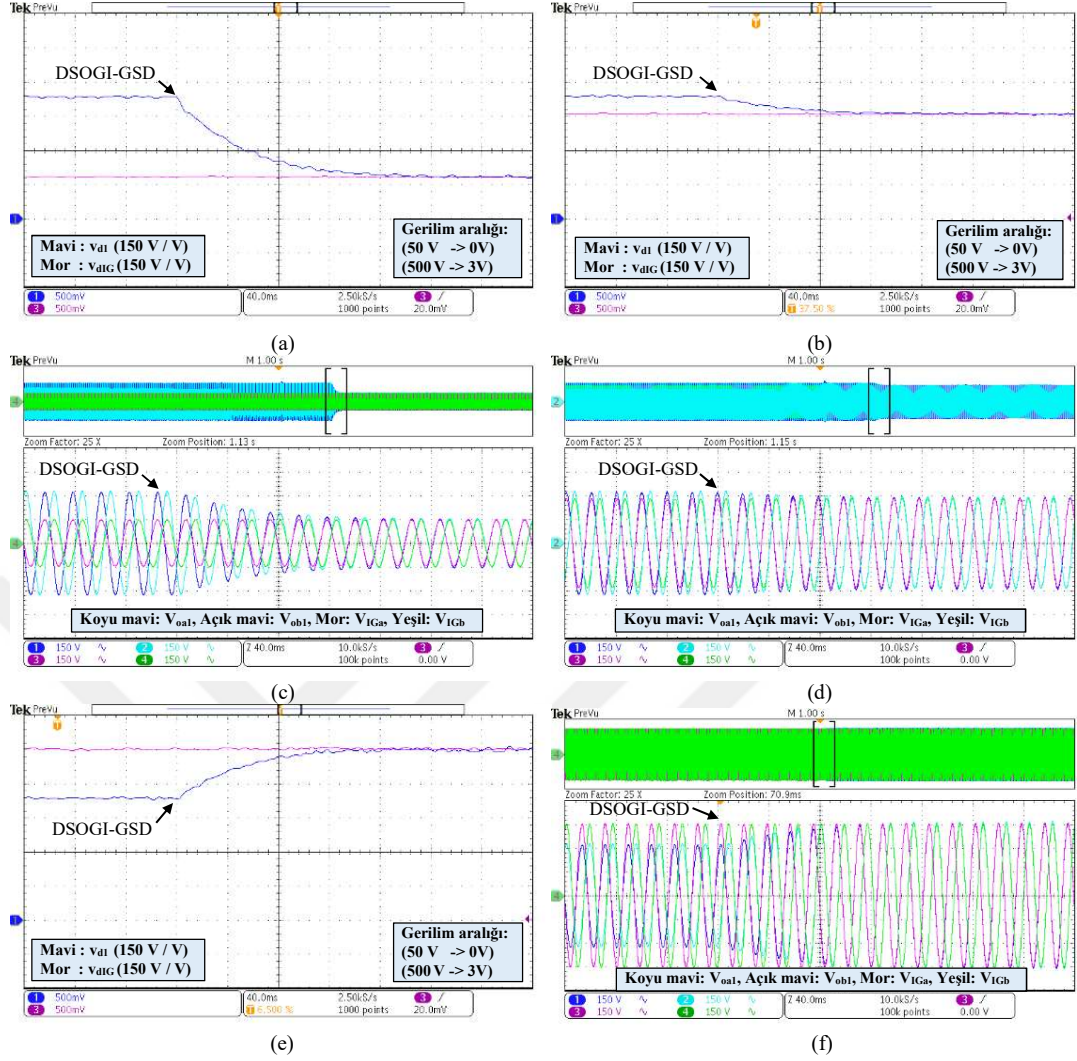
6.5.3. DSOGI tabanlı Gerilim senkronizasyonu döngüsü denetimci adım cevapları

DSOGI-GSD denetimci adım cevapları için 230 V_{rms} 'den 100, 200 ve 300 V_{rms} 'e adım değişimleri uygulanmaktadır ve Şekil 6.4'te DSOGI-GSD adım cevaplar verilmektedir.



Şekil 6.51: DSOGI-FSD için denetimci tasarımının gerçek zamanlı test ile doğrulanması: (a,c) 45 derece (b,d) 90 derece (e,g) 135 derece (f,h) 180 derece.

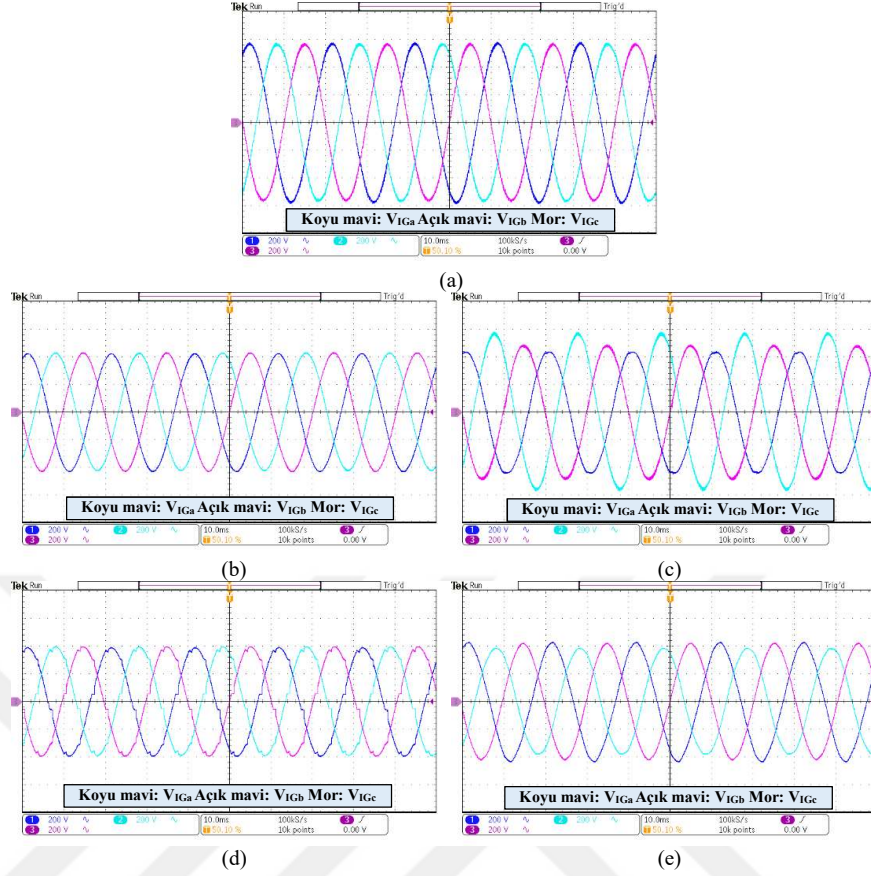
Şekil 6.4a, Şekil 6.4b ve Şekil 6.4e'deki DSOGI-FSD yerleşme zamanı aşma olmadan yaklaşık 0.200 s'ye eşit olduğu grafiklerden de gözlenmektedir. Deneysel sonuçlar simülasyon sonuçları, CHIL sonuçları bölüm 5.5.3'teki teorik tasarım amaçlarıyla yani Şekil 5.12 ile uyumludur.



Şekil 6.52: Farklı adım değişimleri ile DSOGI-GSD için denetimci tasarımının gerçek zamanlı test ile doğrulaması: (a,c) 230 V_{rms} 'den 100 V_{rms} 'e (b,d) 230 V_{rms} 'den 200 V_{rms} 'e (e,f) 230 V_{rms} 'den 300 V_{rms} 'e.

6.5.4. Önerilen senkronizasyon kontrol sistemi ve önerilen yumuşak yol verme yönteminin deneysel sonuçları

Önerilen senkronizasyon kontrol döngülerini ve AGF-YDA yöntemini gerçek zamanlı çalışma ile doğrulamak için simülasyon senaryolarına benzer dört farklı mikro şebeke senaryosu elde edilerek testler yapılmıştır. Dengeli doğrusal, dengeli doğrusal olmayan, dengesiz doğrusal ve dengesiz doğrusal olmayan durumlar, Şekil 6.36'daki üç fazlı doğrusal ve doğrusal olmayan yükleri kullanan deney düzeneğinde gerçekleştirilmiştir. Her senaryo için AGF-YDA yerleşme süresi 4.0 s olarak seçilmiştir ve toplam senkronizasyon döngü süresi 2.0 s'dir. Ayrıca DG₁'in yüksüz üç fazlı gerilimleri ve mikro şebekenin yük altında üç fazlı gerilimleri Şekil 6.53'te verilmiştir.



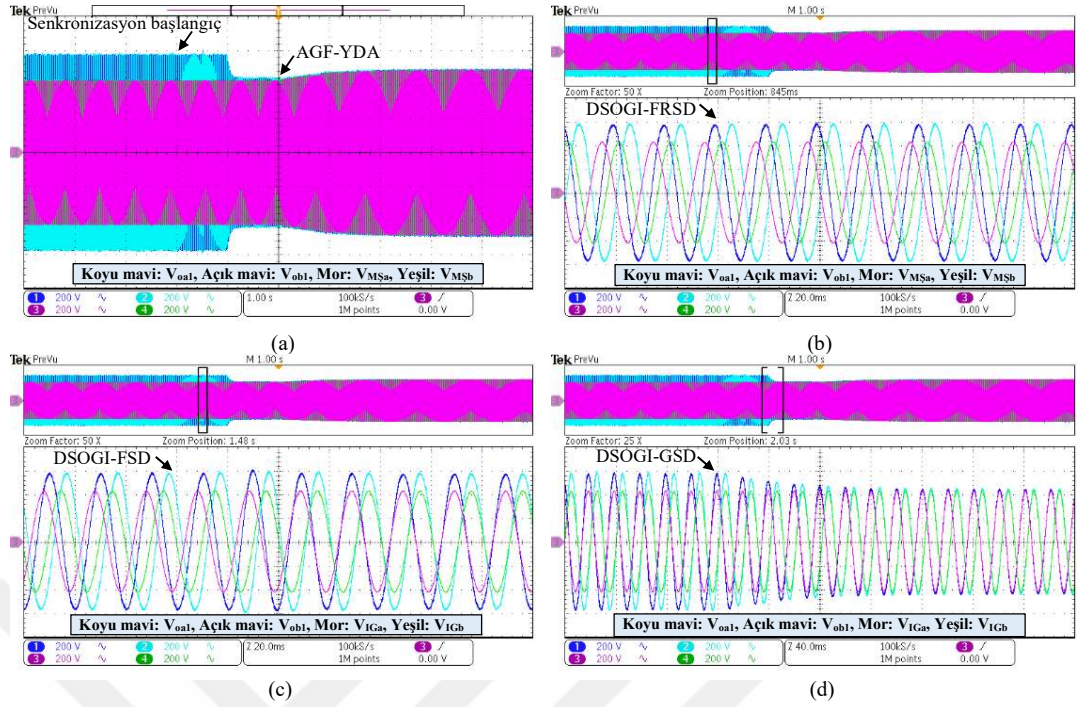
Şekil 6.53: DG₁ ve mikro şebekenin çıkış gerilimlerinin gerçek zamanlı test sonuçları: (a) DG₁'in boştaki çalışma çıkış gerilimleri (b) senaryo 1 için mikro şebeke çıkış gerilimleri (c) senaryo 2 için mikro şebeke çıkış gerilimleri (d) senaryo 3 için mikro şebeke çıkış gerilimleri (e) senaryo 4 için mikro şebeke çıkış gerilimleri.

6.5.4.1. Senaryo 1: Dengeli doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon

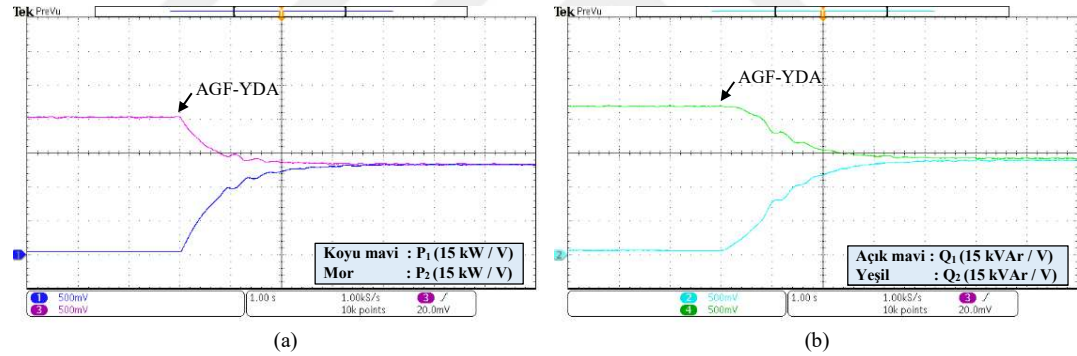
Birinci senaryoya ait deneysel sonuçlar Şekil 6.54 ve Şekil 6.55'te verilmiştir. Senkronizasyon anında DG₁ ile mikro şebeke arasında 45 derece ($\pi/4$ rad) faz açısı farkı vardır. DG₁'in boştaki çalışma frekansı 50 Hz ve mikro şebeke frekansı 49.51 Hz'dir. Ayrıca DG₁'in boştaki faz gerilimleri 400 V_{rms}, mikro şebeke faz gerilimleri 308.5 V_{rms}'dir.

Şekil 6.54a'da senaryo 1 için tüm operasyondaki çıkış gerilimler, Şekil 6.54b'de DSOGI-FRSD, Şekil 6.54c'de DSOGI-FSD ve Şekil 6.54d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki deneysel sonuçları verilmektedir.

Şekil 6.55'te senaryo 1 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları verilmektedir. Şekil 6.55a'da aktif güç paylaşımı ve Şekil 6.55b'de reaktif güç paylaşımı deneysel sonuçları verilmektedir.



Şekil 6.54: Senaryo 1'deki dengeli doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



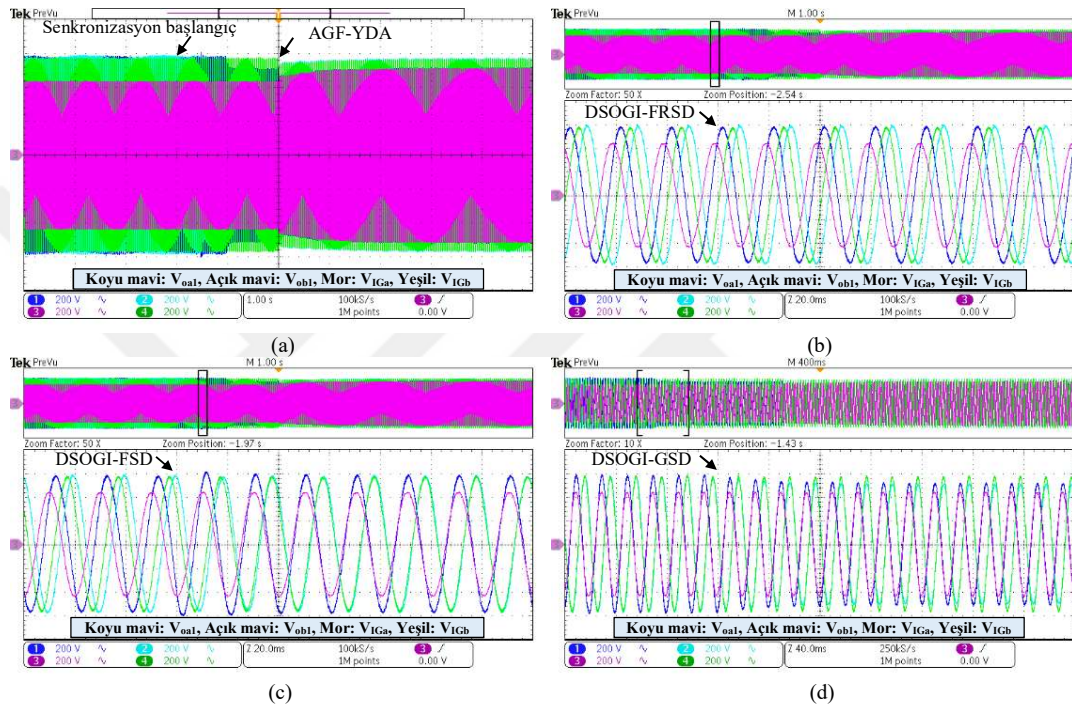
Şekil 6.55: Senaryo 1 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.

6.5.4.2. Senaryo 2: Dengesiz doğrusal AA yüklenme koşullarında mikro şebeke ile senkronizasyon

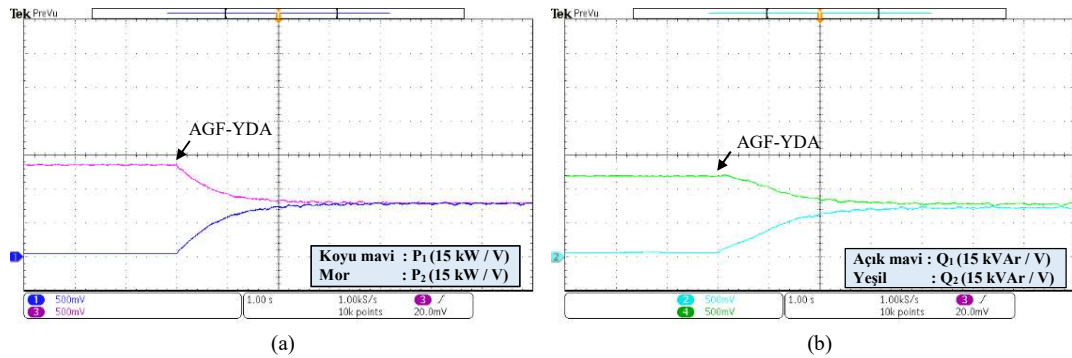
Dengesiz doğrusal AA yüklenme için mikro şebeke ile yük bankası arasındaki bir faz iptal edilmiştir. İkinci senaryoya ait deneysel sonuçlar Şekil 6.56 ve Şekil 6.57'de verilmiştir. Senkronizasyon anında DG₁ ve mikro şebeke arasındaki faz açısı farkı 45 derecedir ($\pi/4$ rad). DG₁'in boşa çalışma frekansı 50 Hz ve mikro şebeke frekansı 49.65 Hz'dir. Ayrıca DG₁'in boşa faz gerilimleri 400 V_{rms}, mikro şebeke faz gerilimleri sırasıyla a, b ve c fazları olmak üzere 323, 400 ve 350 V_{rms}'dir.

Şekil 6.56a'da senaryo 2 için tüm operasyondaki çıkış gerilimleri, Şekil 6.56b'de DSOGI-FRSD, Şekil 6.56c'de DSOGI-FSD ve Şekil 6.56d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki deneysel sonuçları verilmektedir.

Şekil 6.57'de senaryo 2 için AGF-YDA ile DG_1 ve DG_2 'nin güç paylaşımı deneysel sonuçları verilmektedir. Şekil 6.57a'da aktif güç paylaşımı ve Şekil 6.57b'de reaktif güç paylaşımı deneysel sonuçları verilmektedir.



Şekil 6.56: Senaryo 2'deki dengesiz doğrusal yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



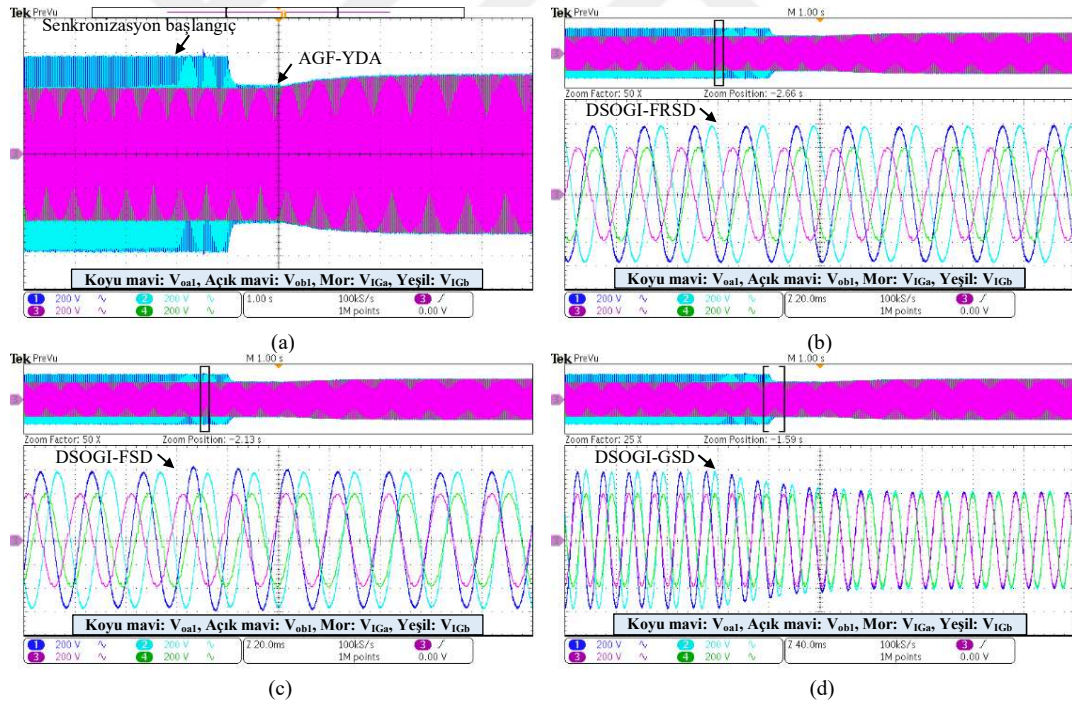
Şekil 6.57: Senaryo 2 için AGF-YDA ile DG_1 ve DG_2 'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.

6.5.4.3. Senaryo 3: Dengeli doğrusal AA ve dengeli doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon

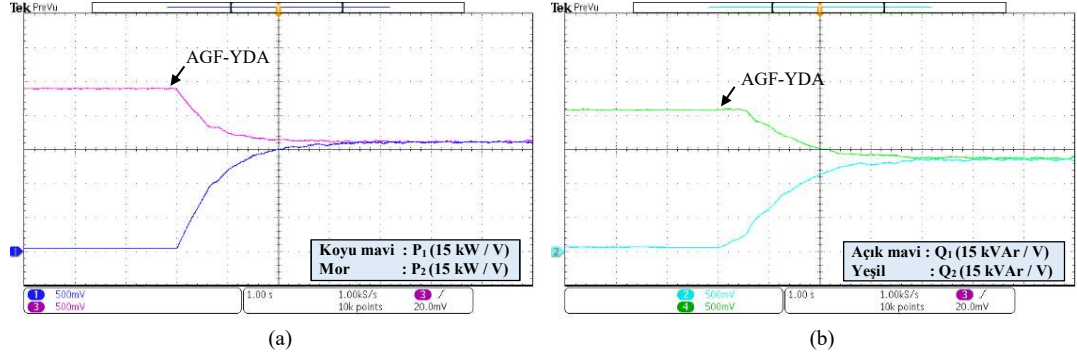
Üçüncü senaryonun deneysel sonuçları Şekil 6.58 ve Şekil 6.59'da verilmiştir. Senkronizasyon anında DG₁ ve mikro şebeke arasındaki faz açısı farkı 90 derecedir ($\pi/2$ rad). DG₁'in boşa çalışma frekansı 50 Hz ve mikro şebeke frekansı 49.37 Hz'dir. Ayrıca DG₁'in boşa faz gerilimleri 400 V_{rms}, mikro şebeke faz gerilimleri 285 V_{rms}'dir.

Şekil 6.58a'da senaryo 3 için tüm operasyondaki çıkış gerilimleri, Şekil 6.58b'de DSOGI-FRSD, Şekil 6.58c'de DSOGI-FSD ve Şekil 6.58d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki deneysel sonuçları verilmektedir.

Üçüncü senaryonun AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları Şekil 6.59'da verilmektedir. Şekil 6.59a'da aktif güç paylaşımı ve Şekil 6.59b'de reaktif güç paylaşımı deneysel sonuçları verilmektedir.



Şekil 6.58: Senaryo 3'teki dengeli doğrusal ve dengeli doğrusal olmayan yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.59: Senaryo 3 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.

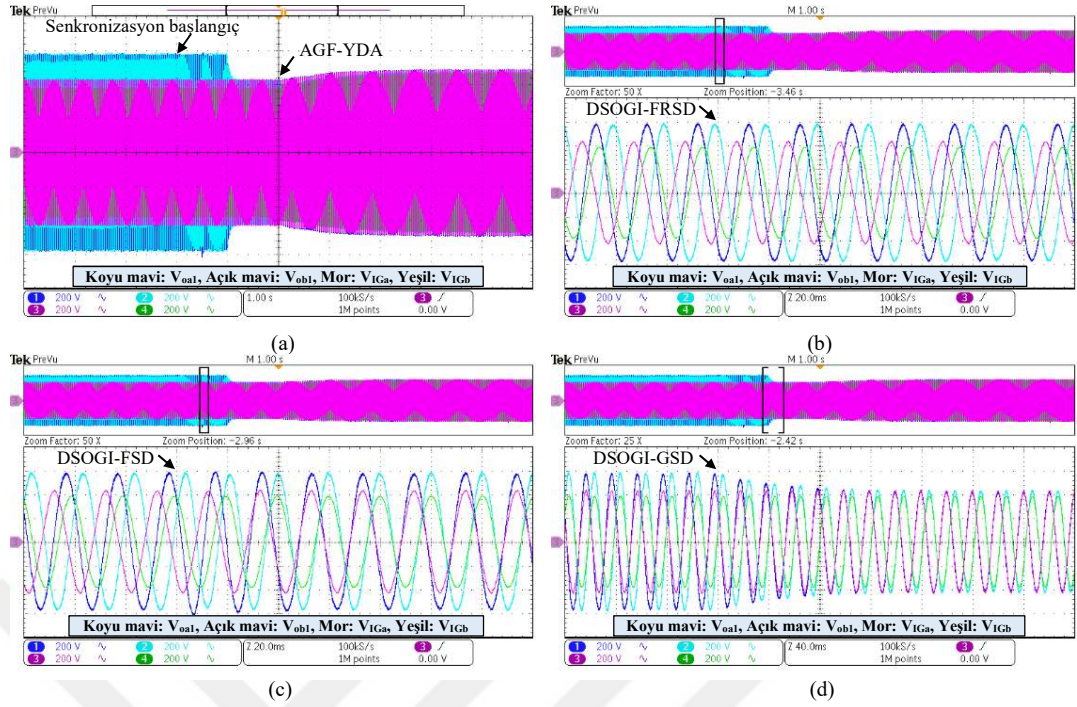
6.5.4.4. Senaryo 4: Dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yüklenme koşullarında mikro şebeke ile senkronizasyon

Dördüncü duruma ait deneysel sonuçlar Şekil 6.60 ve Şekil 6.61'de verilmiştir. Senkronizasyon anında DG₁ ve mikro şebeke arasında 90 derece ($\pi/2$ rad) faz açısı farkı vardır. DG₁'in boşa frekansı 50 Hz ve mikro şebeke frekansı 49.44 Hz'dir. Dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yük çalışması, mikro şebeke ile doğrusal olmayan yük arasındaki bir faz iptal edilerek elde edilmiştir.

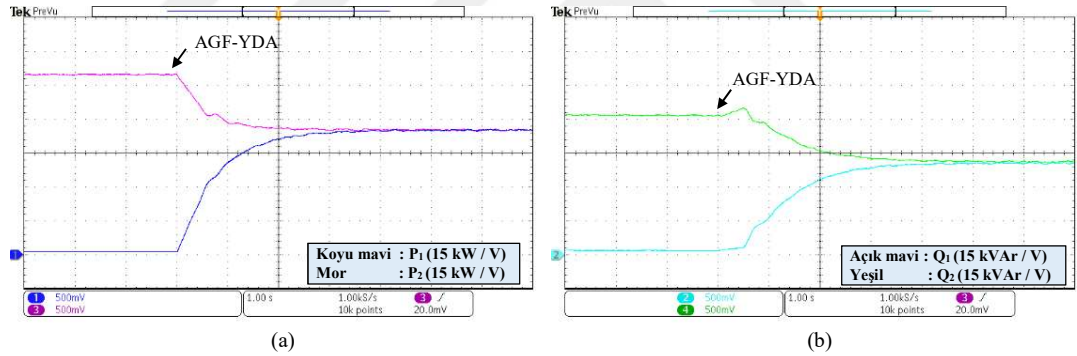
DG₁'in boşa çalışma faz gerilimleri 400 V_{rms}, mikro şebeke faz gerilimleri sırasıyla a, b ve c fazları olmak üzere 305, 283 ve 302 V_{rms}'dir. Şekil 6.60a'da senaryo 4 için tüm operasyondaki çıkış gerilimleri, Şekil 6.60b'de DSOGI-FRSD, Şekil 6.60c'de DSOGI-FSD ve Şekil 6.60d'de DSOGI-GSD için çıkış gerilimlerinin senkronizasyon anındaki sonuçları verilmektedir.

Şekil 6.61'de senaryo 4 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları verilmektedir. Şekil 6.61a'da aktif güç paylaşımı ve Şekil 6.61b'de reaktif güç paylaşımı sonuçları verilmektedir.

Tüm senaryoların gerçek zamanlı testleri sonucunda, DSOGI-FRSD, DSOGI-FSD ve DSOGI-GSD için yerleşme süresi sırasıyla 0,100 s, 0,100 s ve 0,200 s olarak elde edilmiştir. Ayrıca, AGF-YDA yerleşme süresi tasarlandığı gibi 4,0 s'dir. Bu nedenle, sonuçlardan da anlaşılacağı gibi, deneysel sonuçlar bölüm 5.5'teki teorik tasarım amaçlarıyla uyumludur.



Şekil 6.60: Senaryo 4'teki dengeli doğrusal AA ve dengesiz doğrusal olmayan DA yük altında çıkış gerilimleri: (a) tüm operasyon (b) DSOGI-FRSD (c) DSOGI-FSD (d) DSOGI-GSD.



Şekil 6.61: Senaryo 4 için AGF-YDA ile DG₁ ve DG₂'nin güç paylaşımı deneysel sonuçları: (a) aktif güç paylaşımı (b) reaktif güç paylaşımı.

Senkronizasyon öncesi ve sonrası çalışma değerlerini karşılaştırmak için DG₁ ile DG₂ çalışma değerleri Tablo 6.5, Tablo 6.6, Tablo 6.7 ve Tablo 6.8'de sunulmuştur. Ayrıca, önerilen senkronizasyon kontrol sistemi, dengeli doğrusal, dengeli doğrusal olmayan, dengesiz doğrusal ve dengesiz doğrusal olmayan mikro şebeke koşullarından etkilenmeden çalışmaktadır. Bu nedenle, Tablo 6.5, Tablo 6.6, Tablo 6.7 ve Tablo 6.8'den anlaşıldığı üzere, önerilen senkronizasyon kontrol sistemi ve önerilen AGF-YDA yöntemi, klasik senkronizasyon yöntemlerinin sorunlarını ortadan kaldırmaktadır.

Tablo 6.5: Senaryo 1 için gerçek zamanlı çalışma değerleri.

	Parametreler ve Birimler		Senkronizasyon	
			Önce	Sonra
DG₁	V_{oabc1}	V_{rms}	400	352.4
	f_1	Hz	50	49.68
	P_1	kW	0	20.10
	Q_1	kVar	0	20.50
DG₂	V_{oabc2}	V_{rms}	308.5	353.2
	f_2	Hz	49.51	49.68
	P_2	kW	30.50	20,10
	Q_2	kVar	33.50	21.50

Tablo 6.6: Senaryo 2 için gerçek zamanlı çalışma değerleri.

	Parametreler ve Birimler		Senkronizasyon	
			Önce	Sonra
DG₁	V_{oa1}			362
	V_{ob1}	V_{rms}	400	405
	V_{oc1}			373
	f_1	Hz	50	49.82
	P_1	kW	0	11.80
	Q_1	kVar	0	10.80
DG₂	V_{oa2}		323	362
	V_{ob2}	V_{rms}	400	405
	V_{oc2}		350	373
	f_2	Hz	49.65	49.82
	P_2	kW	20.20	11.80
	Q_2	kVar	18	11.50

Tablo 6.7: Senaryo 3 için gerçek zamanlı çalışma değerleri.

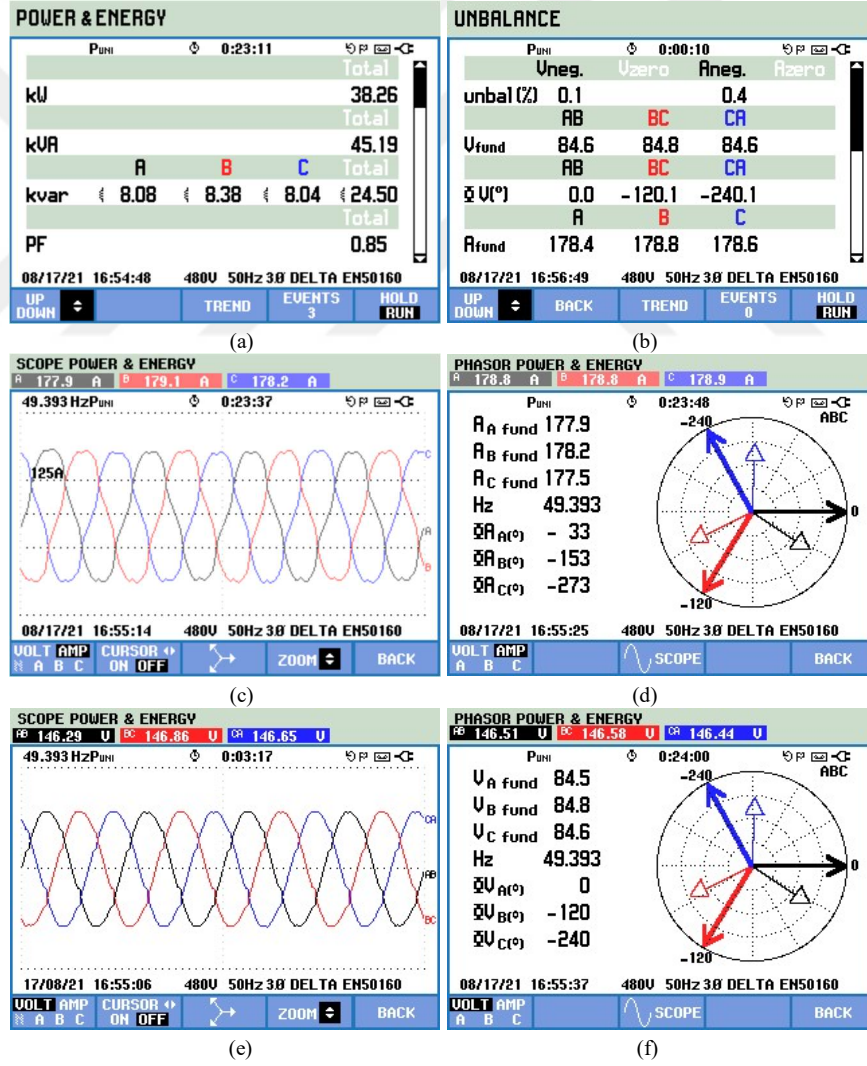
	Parametreler ve Birimler		Senkronizasyon	
			Önce	Sonra
DG₁	V_{oabc1}	V_{rms}	400	337
	f_1	Hz	50	49.56
	P_1	kW	0	27.8
	Q_1	kVar	0	20
DG₂	V_{oabc2}	V_{rms}	285	337
	f_2	Hz	49.37	49.56
	P_2	kW	40	27.80
	Q_2	kVar	31.1	20.50

6.6. Mikro şebekenin ve eviricilerin harmonik testleri

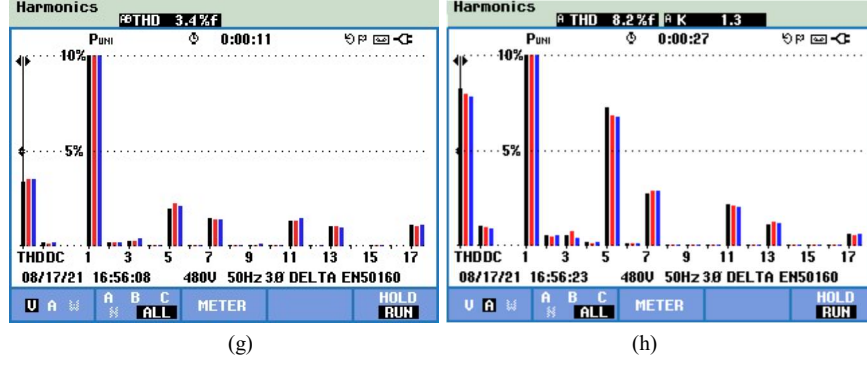
Bu bölümde, önceki bölümdeki testlere ek olarak mikro şebeke ve şebeke eviricilerinin dengesizlik ve harmonik ölçümleri yapılmıştır. Şekil 6.62’de DG₁’in tam yüklenmede tekli çalışma değerleri, Şekil 6.63’te DG₂’in tam yüklenme de tekli çalışma değerleri ve Şekil 6.64’te paralel çalışan iki eviricinin tam yüklenmede mikro şebekenin çalışma değerleri güç analizörü ölçülmüştür.

Tablo 6.8: Senaryo 4 için gerçek zamanlı çalışma değerleri.

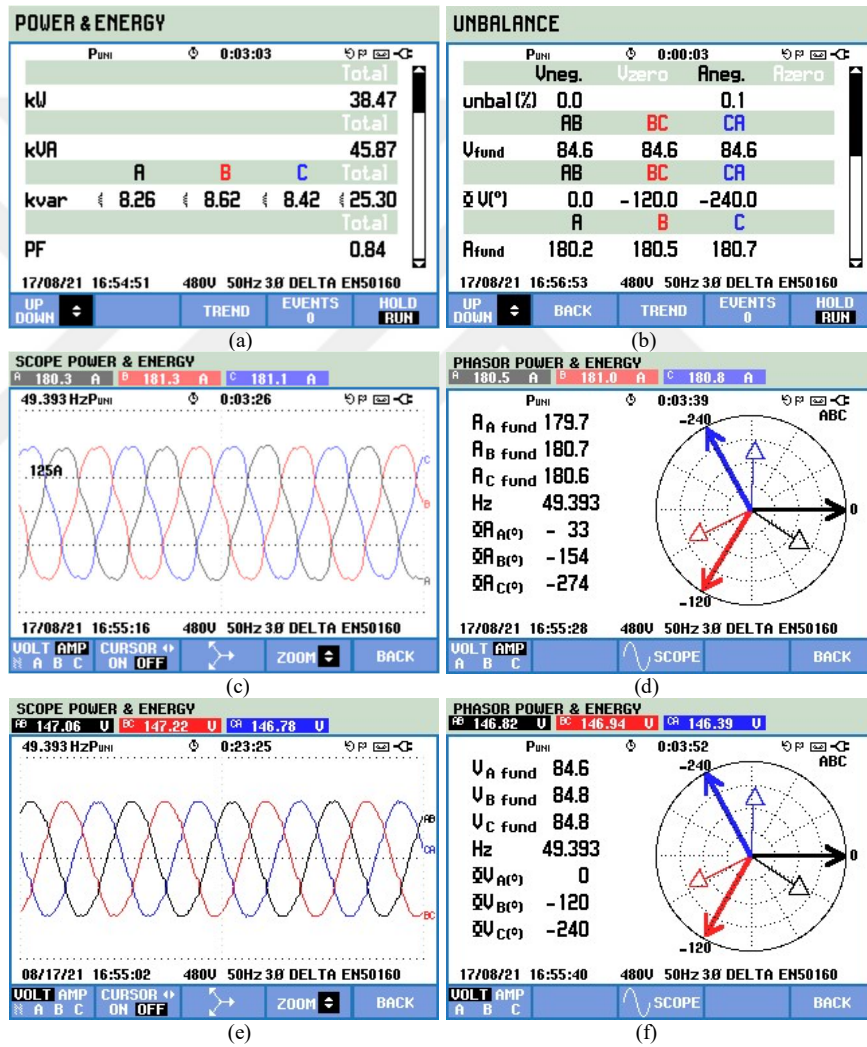
Parametreler ve Birimler		Senkronizasyon	
		Önce	Sonra
DG ₁	V _{oa1}		350
	V _{ob1}	V _{rms}	335
	V _{oc1}		349
	f ₁	Hz	49.63
	P ₁	kW	24.25
	Q ₁	kVar	19.80
DG ₂	V _{oa2}		305
	V _{ob2}	V _{rms}	283
	V _{oc2}		302
	f _{1G}	Hz	49.44
	P ₂	kW	36
	Q ₂	kVar	31.50



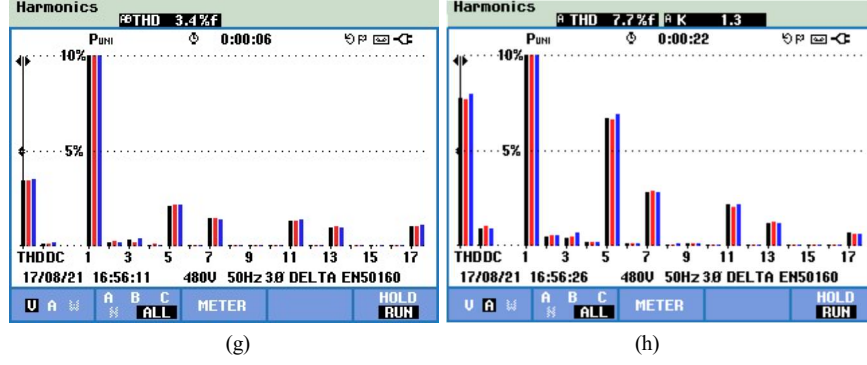
Şekil 6.62: DG₁ tekli çalışma sonuçları (a) güç değerleri (b) dengesizlik değeri (c) çıkış akımı dalga şekli (d) çıkış akımı fazör değerleri (e) çıkış gerilimi dalga şekli (f) çıkış gerilimi fazör değerleri



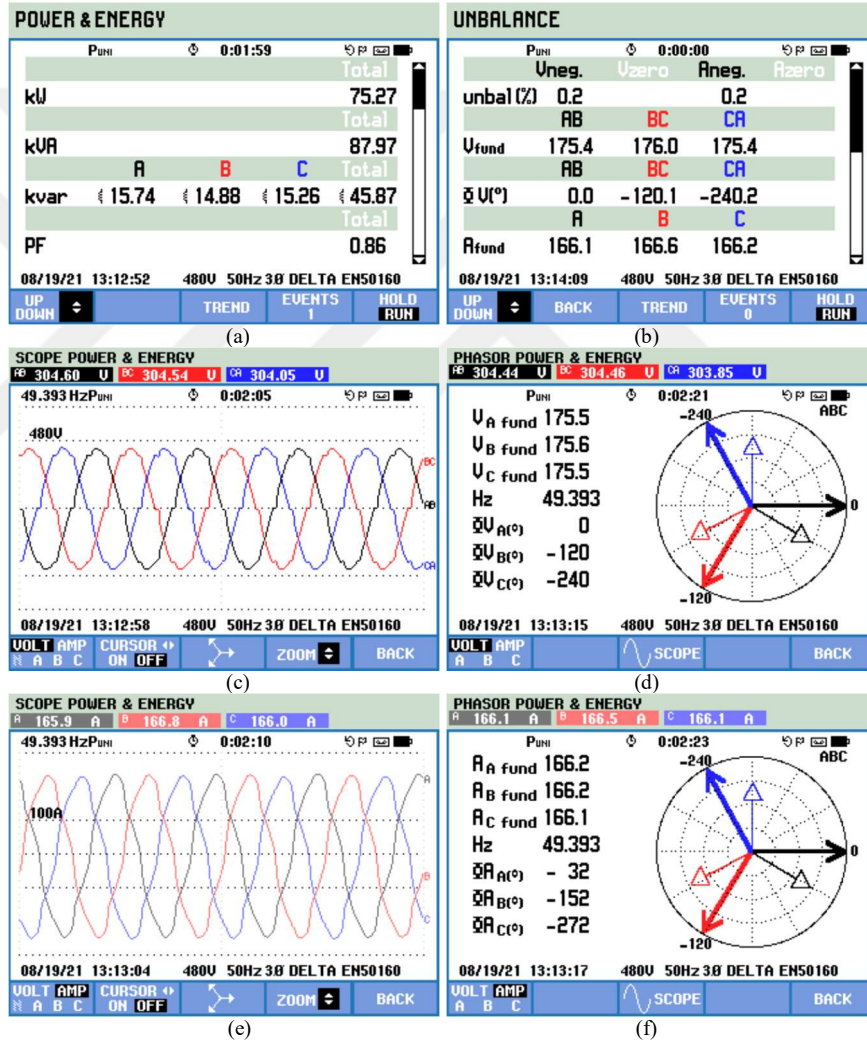
Şekil 6.63 (Devam): DG₁ tekli çalışma sonuçları (g) çıkış gerilimi THD değeri (h) çıkış akımı THD değeri.



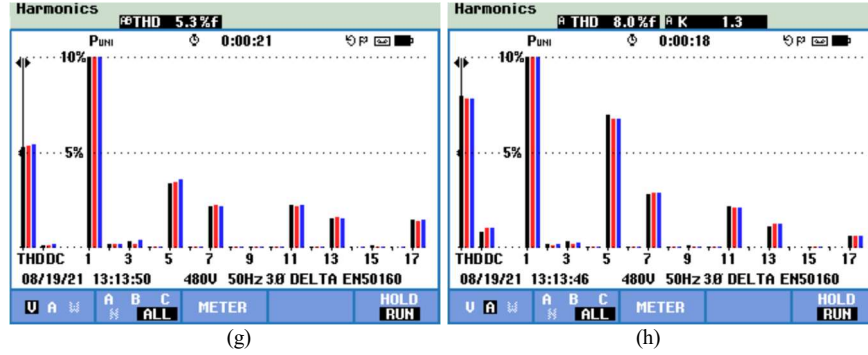
Şekil 6.63: DG₂ tekli çalışma sonuçları (a) güç değerleri (b) dengesizlik değeri (c) çıkış akımı dalga şekli (d) çıkış akımı fazör değerleri (e) çıkış gerilimi dalga şekli (f) çıkış gerilimi fazör değerleri



Şekil 6.64 (Devam): DG₂ tekli çalışma sonuçları (g) çıkış gerilimi THD değeri (h) çıkış akımı THD değeri.



Şekil 6.64: Paralel çalışan iki eviricinin beslediği mikro şebeke çalışma sonuçları (a) toplam güç değerleri (b) mikro şebeke dengesizlik değeri (c) eviricilerin toplam akımının dalga şekli (d) eviricilerin toplam akımının fazör değerleri (e) mikro şebeke geriliminin dalga şekli (f) mikro şebeke geriliminin fazör değerleri



Şekil 6.65 (Devam): Paralel çalışan iki eviricinin beslediği mikro şebeke çalışma sonuçları (g) mikro şebeke geriliminin THD değeri (h) eviricilerin toplam akımının THD değeri.

Şekil 6.64g’de mikro şebeke geriliminin THD’si verilmektedir ve görüldüğü gibi her bir harmonik genlik yaklaşık %3’ün altındadır fakat toplam harmonik bozunum %5’ten çok az miktarda büyüktür. Bu durumun nedeni, eviricilerin güç değerinden 4 kat daha düşük şebeke eviricisi çıkışında güç transformatörü kullanılmış olmasıdır. Tasarlanan şebeke eviricilerinin yarı iletken güç boyutu 550 kVA olmasına rağmen, eviricilerin LCL filtreleri 1.1 MVA güç boyutundadır. Şebeke eviricisi güç transformatörlerinin güç boyutunun belirlenmesinde temel LCL filtre olduğu için transformatörlerin güç değerleri olması gerekenden 4 kat düşüktür.

Yük bankaları 400 V/50 Hz değerlerinde üretilmiştir. Fakat burada, gerilim droop denetim ve evirici gücünde göre 250 kVA küçük güç ölçekli transformatör yüzünden şebeke gerilimi azalmaktadır. Frekans droop denetim yüzünden de frekans azalmaktadır. Bu sebeplerle yük bankaları üzerinde ifade edilen değerler analizör sonuçlarında görülmemektedir. Analizör sonuçları doğal olarak yük bankaları değerlerinden daha küçüktür. Yük bankalarının etiket değerleri Şekil 6.32’de verilmiştir.

BÖLÜM 7. SONUÇLAR VE ÖNERİLER

7.1. Sonuçlar

Yenilenebilir enerji kaynakları günümüzde önemli konular arasında yer almaktadır. Bu kaynakların entegrasyonu, verimli çalışması ve güç dönüşümlerinde yüksek performans gibi kriterler için çoğunlukla mikro şebekeler tercih edilmektedir. Mikro şebekeler, mimarisi ve çalışma şekli bakımından bağımsız elektrik şebeke sistemleridir. Bu sistemler, yenilenebilir enerji kaynakları, yakıt hücreleri, enerji depolama sistemleri ve dönüştürücüler gibi bileşenleri içerir. Mikro şebeke mimari bakımından alt sınıflara ayrılmaktadır. Buradaki seçim uygulama açısından en uygun topolojinin seçilerek yapılmaktadır. Bu tez çalışmasında ada modlu DA mikro şebeke mimarisi üzerinde çalışmalar yapılmıştır. Mikro şebekelerde ada modlu ve şebeke bağlantılı çalışma olarak iki çalışma şekli bulunmaktadır. Bazı mikro şebeke mimarileri, bağımsız çalışmanın yanı sıra ana şebeke bağlantılıda çalışabilmektedir. Bu durumda ana şebeke gerilim ve frekans için referans oluşturmaktadır. Ada modlu şebekelerde bu durum söz konusu olmamakla birlikte şebeke oluşturan eviriciler standartlar kapsamında belirlenen belirli toleranslar içinde mikro şebekenin gerilim ve frekans kararlılığından da sorumlu olmaktadır.

Mikro şebekeler zayıf mikro şebeke özellikleri göstermektedir. Enerji üretim ve dağıtım için kısa iletim ve dağıtım hatlarına sahip olması mikro şebekenin omik karakteristik göstermesine yol açmaktadır. Bu omik karakteristik, mikro şebekedeki sistemlerin oldukça hassas çalışma koşullarına sahip olduğu anlamına gelmektedir. Bu çalışma koşullarında yük paylaşımı, paralel çalışma, senkronizasyon, devreye alma gibi kritik çalışmalarda bazı zorluklar meydana gelmektedir. Tez kapsamında da ele alınan en önemli konularda biri yüksek güç değerlerine çıkabilmek için paralel çalışmadır. Paralel çalışma için senkronizasyon kaçınılmazdır. Her bir şebeke eviricisi farklı dağıtık enerji kaynağından üretilen gücü aynı gerilim ve frekansta senkronize olarak mikro şebeke

aktarmalı ya da diğer şebeke eviricileri ile senkronize olarak paralel çalışmalıdır. Senkronizasyon için faz, frekans ve gerilim değerlerinin senkronize olunacak mikro şebeke veya diğer şebeke eviricileri ile aynı olması kaçınılmazdır. Bu nedenle oluşabilecek herhangi bir hatalı senkronizasyon mikro şebekedeki yüklere hatta eviricilere de zarar verebilmektedir.

yöntem önerilmektedir. Bu yöntemler mikro şebeke mimarilerine ve çalışma şekillerine göre kontrol amaçlarını yerine getirmektedir. Tez kapsamında yapılan araştırma ve analizlerde en çok bilenen kontrol yöntemleri çoğunlukla klasik faz kilitlemeli döngü tabanlı, geliştirilmiş FGD tabanlı, haberleşmeye tabanlı ve droop denetim tabanlı (otonom) senkronizasyon kontrol sistemleridir. FGD tabanlı ve geliştirilmiş FGD tabanlı sistemler daha çok şebeke bağlantılı sistemlerde tercih edilmektedir. Çünkü ana şebekenin frekansı ve gerilimi sabit kabul edildiği için sadece faz kilitlemeli döngü ile senkronizasyon sağlanmaktadır. Ancak ada modlu çalışma şeklinde kullanılacağı zaman ise kısıtlar ve varsayımlar (a_1 ve a_2) ön plana çıkmaktadır. Bilindiği gibi ada modlu mikro şebekelerde droop denetim tabanlı güç paylaşım yöntemlerinin yüklenme durumunda faz, frekans ve genlik değerleri geniş bir aralıkta değişmektedir. Bu durumda FGD tabanlı sistemler geçerliliğini kaybetmektedir. Bu senkronizasyon yöntemleri geniş $[-\pi, \pi]$ çalışma aralığında doğrusal olmayan dinamiklere sahiptir. Droop denetim tabanlı senkronizasyon sistemlerinde de bu doğrusal olmayan dinamiklere rastlanılmıştır. Çünkü temelde FGD tabanlı sistemleri kullanarak yapılan tasarım ve analizler yine kısıtlar ve varsayımları ortaya çıkarmaktadır. Ayrıca mikro şebekelerde dengesiz ve doğrusal olmayan yüklerin olması da sistemin oldukça doğrusal olmayan karakteristik özellik göstermesine yol açmaktadır. Tüm bu doğrusal olmayan dinamikler incelendiğinde aşağıdaki temel problemler ortaya çıkmaktadır.

- Sınırlı çalışma koşulları ve başlangıç koşulları bağımlılığı
- Eş zamanlı çalışmanın sonucu çapraz bağlantı etkisi
- Doğrusal olmayan sistemlerde doğrusal denetimcilerin kullanılması sonucu hem tasarımın sınırlı koşullarda yapılması hem de kararlılık ve performans gibi kriterlerin öngörülememesi
- Mikro şebeke sisteminin dengesiz ve doğrusal olmayan yük koşullarında doğrusal olmayan dinamiklere sahip olması

- Zayıf mikro şebeke koşullarının dikkate alınmaması

Yukarıda verilen problemler tek tek alınarak teknik araştırmalar ve analizler yapılarak aşağıdaki bulgular elde edilmiştir.

Klasik senkronizasyon kontrol sistemleri genellikle klasik faz senkronizasyonu döngüsü ve klasik gerilim senkronizasyonu döngüsünden oluşmaktadır. Yapılan tasarım ve analizler bu iki döngü üzerinden yürütülmektedir. Klasik faz senkronizasyonu döngüsünde ada modlu mikro şebekelerde ortaya çıkan başlangıç koşulu bağımlılığı tespit edilmiştir. Bu durum geniş çalışma aralığı dikkate alındığın görülmektedir. Önceden de bahsedildiği gibi sınırlı çalışma koşulları ve varsayımlar ile yapılan tasarımlarda başlangıç koşullarına bağımlılık farklı faz açısı durumlarında farklı döngü cevapları vermektedir. Sonuç olarak denetimci tasarımlarının kararlılık ve performans gibi önemli kriterleri öngörmeyi ortadan kaldırmaktadır. Klasik senkronizasyon kontrol sistemlerinde bu problemin aşılması için sınırlı çalışma bölgesinde başlangıç koşulu ihmal edilecek kadar düşük seçilerek yapılsa da ada modlu mikro şebekeler için uygun olmadığı açıkça görülmüştür. Çünkü güç talebinin karşılanmasının elzem olduğu durumlarda varsayımlar ve kısıtları beklemek önemli dezavantajdır ve hatta güç talebi karşılanamadığında, kararsızlık oluşabileceği unutulmamalıdır.

Klasik senkronizasyon kontrol sistemlerinde diğer bir problemde eş zamanlı çalışan klasik faz senkronizasyonu döngüsü ile klasik gerilim senkronizasyonu döngüsü arasında birbirinin dinamiklerini etkileyen bir çapraz bağlantı olmasıdır. Bu durum hem teorik hem de simülasyonlar ile kanıtlanmıştır. Her iki döngünün bağımsız kontrol edilememesinden dolayı gerilimde ve frekansta çökmeler veya osilasyonlu davranışlar meydana gelmektedir.

Klasik senkronizasyon kontrol sisteminin doğrusal olmayan bir sisteme dönüşmesine hem başlangıç koşullarına olan bağımlılık hem de eş zamanlı çalışmada ki çapraz bağlantı neden olmaktadır. Literatürde bu odak noktası için doğrudan yapılan çalışmalara rastlanılmamıştır. Çoğunluk yukarıda da bahsedilen çalışma koşullarında doğrusallaştırma problemlere neden olmaktadır. Özellikle doğrusal olmayan ve sınırlı bölgede doğrusal kabul edilen sistemlerde doğrusal denetimcilerin kullanılması ada modlu mikro şebeke çalışma koşullarında sistemin kararlılığını ve performansını ön

görmek de mümkün değildir. Tüm bu bilgiler ışığında senkronizasyon kontrol sisteminin kararsızlığa gidebileceği yapılan analiz ve testlerle doğrulanmıştır.

Literatürde ve endüstriyel uygulamalarda diğer bir konu da zayıf mikro şebeke koşullarında şebeke eviricileri ve yüklerin oldukça hassas davranış göstermedir. Çünkü senkronizasyon sonrası paralel çalışma ve yük paylaşımı için şebeke eviricisi ve mikro şebekenin birbirlerini etkilemeden çalışma gerekmektedir. Özellikle deneysel çalışmalarda sirkülasyon akımlarının neden olduğu güç paylaşımındaki osilasyonlar sistemi kararsızlığa götürmektedir. Buradaki kararsızlık eviricileri için kısa devre anlamına gelmektedir ve yüksek kısa devre akımları kesicilerin açmasına yol açmaktadır.

Bu tez çalışmasında, ada modlu mikro şebekelerde kullanılan şebeke oluşturan eviricilerinin senkronizasyon kontrol sistemlerindeki doğrusal olmayan dinamiklerin etkilerin ortadan kaldırmak için yeni bir senkronizasyon kontrol sistemi önerilmiştir. Önerilen senkronizasyon kontrol sisteminde DSOGI tabanlı frekans ve faz senkronizasyon döngüsü, DSOGI tabanlı gerilim senkronizasyon döngüsü ve bir yumuşak devreye alma yöntemi bulunmaktadır. DSOGI tabanlı frekans ve faz senkronizasyonu döngüsü başlangıç koşulu bağımlılığı ve sınırlı çalışma koşullarını ortadan kaldırmak için önerilmiştir. Eş zamanlı çalışmadan dolayı çapraz bağlantıyı yok etmek için yeni bir analitik tabanlı sıralı algoritmik çalışma yöntemi sunulmuştur. Bu iki problemin ortadan kalkmasıyla önerilen senkronizasyon kontrol sistemi doğrusal bir karakteristiğe sahip olduğu için doğrusal denetimcileri analitik olarak tasarlamak mümkün olmuştur. Böylece, geniş çalışma aralığında senkronizasyon yapmak mümkün hale gelmiştir. Denetimci tasarımlarında önemli bir kriter de senkronizasyon kontrol döngülerinin, şebeke oluşturan eviricinin iç kontrol döngüleri ile uyumlu çalışması gerekliliğidir. Bu durumlar dikkate alınarak döngülerin band genişlikleri uyumlu seçilmiştir.

Önerilen DSOGI tabanlı frekans, faz ve genlik farkı kilitlemeli senkronizasyon kontrol döngüleri, ada modlu mikro şebekelerde kullanılabilen doğrusallaştırılmış bir senkronizasyon kontrol şemasıdır. Bu şemanın birincil görevi, şebeke eviricisinin çıkış gerilimini ada modlu mikro şebekenin gerilimiyle senkronize ederek, şebeke eviricisinin ada modlu mikro şebeke ile aynı fazda çalışmasını sağlamaktadır. Bu amaca uygun

şekilde önerilen senkronizasyon kontrol yöntemi, ada modlu mikro şebeke gerilimlerini, şebeke eviricisi çıkış geriliminin frekansı, fazı ve büyüklüğü ile karşılaştırarak ve bir fark varsa şebeke eviricisi çıkış gerilimini frekans, faz ve genlik olarak şebeke gerilimiyle aynı olacak şekilde ayarlamaktadır. Şebeke eviricisi çıkış geriliminin frekansı, fazı ve gerilimi, sırasıyla bir frekans senkronizasyon döngüsü, faz senkronizasyon döngüsü ve gerilim senkronizasyon döngüsü kullanılarak senkronizasyon gerçekleştirilmektedir. Frekans senkronizasyonu döngüsü ve ters tanjant fonksiyonu ile faz senkronizasyonu döngüsü doğrusallaştırılmaktadır. Sıralı çalışma ile gerilim senkronizasyonu döngüsü doğrusallaştırılmaktadır. Doğrusallaştırma analitik tabanlıdır ve kritik önemde varsayımlara bağlı değildir. Bu doğrusal senkronizasyon döngüleri için doğrusal denetimci tasarımları analitik yöntemlerle gerçekleştirilmiştir. Ek olarak, senkronize olacak şebeke eviricileri için bir alçak geçiren filtre tabanlı yumuşak devreye alma (yol verme) yöntemi de önerilmiş, yüksek başlangıç akımları ve osilasyonlu davranışlar engellenmiş, klasik sistemlere göre daha iyi paralel çalışma ve güç paylaşım performansı elde edilmiştir.

Sonuç olarak literatürde ve endüstriyel uygulamalarda doğrusal olmayan senkronizasyon kontrol sistemleri bulunmaktadır. Ayrıca dengesiz ve doğrusal olmayan yüklemelerde geniş çalışma aralığında çalışan bir senkronizasyon kontrol yöntemine rastlanılmamıştır. Bu tez çalışmasında bu eksiklikler ve yukarıda detaylı olarak ele alınan problemlerin çözümlerine yönelik çalışmalara katkı sağlayacak özgün bir doğrusal senkronizasyon kontrol sistemi önerilmiştir. Bu doğrusal senkronizasyon kontrol sistemi ile birlikte teoriden uygulamaya kadar analitik tabanlı tasarımlar yapılarak sistemin tam çalışma aralığında ve tüm yük çeşitleri altında senkronizasyon kontrol sistemini kararlı tutacak ve yüksek performanslı çalışmasını sağlayacak doğrusal denetimci tasarımlarını yapabilmek, kararlılığı ve performansı ön görebilmek de mümkün hale gelmiştir.

Denetimcili döngüde donanım benzetimi ve gerçek zamanlı çalışma testleri 125 kVA gücünde bir mikro şebeke oluşturularak yapılmıştır. C-HIL deneysel çalışmada TI LAUNCHXL-F28379D mikro denetimcili Typhoon-HIL402 döngüde donanım benzetimi donanımı kullanılmıştır. Gerçek zamanlı deneysel çalışma için 550 kVA gücünde iki adet evirici tasarımı ve senkronizasyon için dağıtım panosu yapılarak devreye alınmıştır. Deneysel çalışma için oluşturulan mikro şebekede senkronizasyon

kontrol sisteminin yüklenme ve senkronizasyon testleri yapılmıştır. Şebeke oluşturan eviricinin iç kontrol döngüleri ile uyumlu çalışacak band genişlikleri dikkate alınarak DSOGI tabanlı frekans senkronizasyonu döngüsü band genişliği DSOGI band genişliğinden 5 kat büyük seçilerek yerleşme süresi 0.100 s olarak elde edilmiştir. DSOGI tabanlı faz senkronizasyonu döngüsü yerleşme süresi frekans senkronizasyonu döngüsü ile aynı kriterlere göre 0.100 s olarak tasarlanmıştır. DSOGI tabanlı gerilim senkronizasyonu döngüsü band genişliği şebeke oluşturan evirici iç gerilim kontrol döngüsü band genişliğinden 10 kat büyük seçilerek 0.200 s olarak yerleşme süresi tasarımı yapılmıştır. Alçak geçiren filtre tabanlı yumuşak devreye alma yöntemi için band genişliği, droop denetimin alçak geçiren filtre band genişliğinden (0.4 s) 10 kat büyük seçilerek 4 s olarak tasarlanmıştır. Denetimci tasarımlarının doğrulanması için analitik olarak tasarlanan denetimcilerin simülasyon, C-HIL ve gerçek zamanlı deneysel uygulamaları yapılmış olup sonuçların uyumluluğu analiz edilmiştir. Analitik olarak tasarlanan doğrusal denetimcilerin tasarım amaçlarıyla %100'e yakın uyumlu olduğu testler sonucunda verilmiştir. Ayrıca önerilen kontrol sisteminin tasarımının kararlılık testleri ve performansı dört farklı senaryo ile farklı mikro şebeke yüklenme koşulları altında doğrulanmıştır, sonuçlar detaylı olarak verilmiştir. Gerçek zamanlı deneysel testlerde 70 kVA güç altında senkronizasyon başarı ile yapılmıştır. Önerilen senkronizasyon kontrol sistemi tasarım hedefleri ile uygulama sonuçları %100'e yakın uyumludur. Tüm bu testlerde denetimcilerin kararlı bölge için yapılan tasarımları da deneysel uygulama ile doğrulanmıştır.

7.2. Öneriler

Literatürde ve endüstriyel uygulamalarda doğrusal olmayan senkronizasyon kontrol sistemleri, önerilen senkronizasyon kontrol sistemi ile doğrusallaştırılmıştır. Literatürde var olan eksiklikler ve problemler için özgün yaklaşımlar sunulmuştur. Bu tez çalışmasında sadece ada modlu mikro şebekelerdeki şebeke oluşturan eviricilerin senkronizasyonu için çalışmalar yapılmıştır. Yapılan teorik ve deneysel çalışmalarda uygulama açısından eksikliği belirlenen ve üzerinde çalışılması önerilen konular aşağıdaki gibi verilmektedir.

- 1- Bu senkronizasyon kontrol sistemi, farklı mikro şebeke mimarileri ve farklı evirici tipleri (grid-following inverter, grid-supporting inverter) için uygulamaya açıktır. Tez kapsamı dışında olduğu için bu testler yapılmamıştır.
- 2- Doğrusal P ve PI denetimciler ile tasarımlar yapılmış olup sonraki çalışmalarda farklı doğrusal denetimciler için tasarımlar yapılabilir.
- 3- Yine bu çalışmada iki adet şebeke oluşturan evirici ile mikro şebeke oluşturulmuştur. Önerilen senkronizasyon kontrol yöntemi, ikiden fazla şebeke eviriciler kullanılarak oluşturulan mikro şebekede uygulanabilir.
- 4- Daha karmaşık bir sistem olan dizel jeneratörler ile senkronizasyon kontrol sistemi kullanılarak güç paylaşımı yapılabilir.
- 5- Gelişmiş C-HIL kullanılarak gerçek zamanlı testlerin aynısı bu donanım üzerinde test edilebilir.
- 6- Şebeke bağlantılı sistemlerde senkronizasyon kontrol sisteminin uygulaması yapılabilir.

Mikro şebekelerde şebeke bağlantılı çalışma ile ada modlu çalışma arasındaki geçişlerde de senkronizasyon kontrol sistemi uygulanabilir.

KAYNAKLAR

- [1] Ahmad, S., Shafiullah, M., Ahmed, C. B. & Alowaifeer, M. (2023). A Review of Microgrid Energy Management and Control Strategies, *IEEE Access*, vol. 11, pp. 21729-21757, doi: 10.1109/ACCESS.2023.3248511.
- [2] Hirsch, A., Parag, Y. & Guerrero, J. (2018). Microgrids: A review of technologies, key drivers, and outstanding issues, *Renewable and sustainable Energy reviews*, vol. 90, p. 402-411, doi: 10.1016/j.rser.2018.03.040.
- [3] Olivares, D. E. et al. (2014). Trends in Microgrid Control, *IEEE Transactions on Smart Grid*, vol. 5, no. 4, pp. 1905-1919, doi: 10.1109/TSG.2013.2295514.
- [4] Matarweh, J. B. (2022). *Seamless Transition of a Microgrid between Grid-Connected and Islanded Mode* (Doctoral dissertation), Boise State University, Electrical and Computer Engineering, USA.
- [5] Kuyumcu, A. (2020). *Evirici arayüzlü dağıtık enerji kaynakları tabanlı mikro şebekelerde güç paylaşımı ve kararlılık analizi* (Yüksel lisans tezi). Sakarya Uygulamalı Bilimler Üniversitesi, Lisansüstü Eğitim Enstitüsü, Sakarya.
- [6] Rahman, H. A., Majid, M. S., Jordehi, A. R., Kim, G. C., Hassan, M. Y. & Fadhl, S. O. (2015). Operation and control strategies of integrated distributed energy resources: A review, *Renewable and Sustainable Energy Reviews*, vol. 51, pp. 1412–1420.
- [7] Rocabert, J., Luna, A., Blaabjerg, F. & Rodríguez, P. (2012). Control of Power Converters in AC Microgrids, *IEEE Transactions on Power Electronics*, vol. 27, no. 11, pp. 4734-4749, doi: 10.1109/TPEL.2012.2199334.
- [8] Zapata, J. W., Postiglione, G. & Pezet, F. (2020). Supervision based Smart Microgrid Systems: Grid Connected, Island Mode and Seamless Transition, *2020 International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, Sorrento, Italy, pp. 336-341, doi:10.1109/SPEEDAM48782.2020.9161968.
- [9] Sadeque, F., Sharma, D. & Mirafzal, B. (2021). Power-sharing between grid-forming and grid-following inverters. In *2021 IEEE 22nd Workshop on Control and Modelling of Power Electronics (COMPEL)*, pages 1-5.
- [10] Negi, N., Sahoo, S. R. & Chakrabarti, S. (2019). Distributed Control based power sharing strategy for an islanded AC Microgrid, *IET Generation, Transmission & Distribution*, vol. 13, no. 4, pp. 553-562, doi: 10.1049/iet-gtd.2018.5320.

- [11] Chandak, S. & Rout, P K. (2021). Seamless transition of microgrid between islanded and grid-connected mode of operation, *IET Energy Systems Integration*, vol. 3, no. 1, pp. 60-72, doi: 10.1049/esi2.12004.
- [12] Luo, S., Wu, W., Koutroulis, E., Chung, H. S. -H. & Blaabjerg, F. (2021). A New Virtual Oscillator Control Without Third-Harmonics Injection For DC/AC Inverter, *IEEE Transactions on Power Electronics*, vol. 36, no. 9, pp. 10879-10888, doi: 10.1109/TPEL.2021.3066162.
- [13] Rizo, M., Huerta, F., Bueno, E. & Liserre, M. (2012). A synchronization technique for microgrid reclosing after islanding operation, *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Montreal, QC, Canada, pp. 5596-5601, doi: 10.1109/IECON.2012.6389010.
- [14] Shrivastava, S., Subudhi, B. & Das, S. (2018). Distributed voltage and frequency synchronisation control scheme for islanded inverter-based microgrid, *IET Smart Grid*, vol. 1, no. 2, p. 48-56, doi: 10.1049/iet-stg.2018.0020.
- [15] Fani, B., Shahgholian, G., Alhelou, H. H. & Siano, P. (2022). Inverter-based islanded microgrid: A review on technologies and control, *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, vol. 2, Art. No. 100068, ISSN 2772-6711, doi: 10.1016/j.prime.2022.100068.
- [16] Malkhandi, A., Chakraborty, T. & Alian, G. (2022). A Synchronizing Strategy for Seamless Interconnection of an Isolated Microgrid, *2022 IEEE Sustainable Power and Energy Conference (iSPEC)*, Perth, Australia, , pp. 1-5, doi: 10.1109/iSPEC54162.2022.10033025.
- [17] Wang, X., Taul, M. G., Wu, H., Liao, Y., Blaabjerg, F. & Harnefors, L. (2020). Grid-Synchronization Stability of Converter-Based Resources-An Overview, *IEEE Open Journal of Industry Applications*, vol. 1, pp. 115-134, doi: 10.1109/OJIA.2020.3020392.
- [18] Fu, Q. et al. (2014). Transition management of microgrids with high penetration of renewable energy, *IEEE Trans. Smart Grid*, vol. 5, no. 2, pp. 539–549.
- [19] Wang, J., Cisse, B. M. & Brown, D. (2017). Design of a microgrid transition controller I: For smooth transition operation under normal conditions, *2017 IEEE PES Innovative Smart Grid Technologies Conference Europe (ISGT-Europe)*, pp. 1-6, doi: 10.1109/ISGTEurope.2017.8260286.
- [20] Macana, C. A., Mojica-Nava, E., Pota, H. R., Guerrero, J. & Vasquez, J. C. (2020). Accurate proportional power sharing with minimum communication requirements for inverter-based islanded microgrids, *International Journal of Electrical Power & Energy Systems*, vol. 121, Art. no. 106036, ISSN 0142-0615, doi: 10.1016/j.ijepes.2020.106036.
- [21] Hou, S., Chen, J. & Chen, G. (2023). Distributed control strategy for voltage and frequency restoration and accurate reactive power-sharing for islanded microgrid, *Energy Reports*, vol. 9, pp. 742-751, doi: 10.1016/j.egyr.2022.12.039

- [22] Mohammed, N., Callegaro, L., Ciobotaru, M. & Guerrero, J. M. (2023). Accurate power sharing for islanded DC microgrids considering mismatched feeder resistances, *Applied Energy*, vol. 340, Art. no. 121060, doi: 10.1016/j.apenergy.2023.121060
- [23] Sharma, D., Sadeque, F. & Mirafzal, B. (2022). Synchronization of Inverters in Grid Forming Mode, *IEEE Access*, vol. 10, pp. 41341-41351, doi: 10.1109/ACCESS.2022.3167521.
- [24] Mu, P., McGrath, B., Holmes, D. G. & Teixeira, C. (2021). Small Signal Stability Analysis of Paralleled Grid-Forming Islanded Voltage Regulated Inverters using Self Synchronization, *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, pp. 3324-3331, doi: 10.1109/ECCE47101.2021.9595181.
- [25] D'silva, S., Zare, A., Shadmand, M. B., Bayhan, S. & Abu-Rub, H. (2023). Towards Resiliency Enhancement of Network of Grid-Forming and Grid-Following Inverters, *IEEE Transactions on Industrial Electronics*, doi: 10.1109/TIE.2023.3262866.
- [26] Chandak, S., Bhowmik, P., & Rout, P.K. (2019). Load shedding strategy coordinated with storage device and D-STATCOM to enhance the microgrid stability, *Protection and Control of Modern Power Systems*, vol. 4, Art. No. 22, doi: 10.1186/s41601-019-0138-0.
- [27] Rathnayake, D. B. et al. (2021). Grid Forming Inverter Modeling, Control, and Applications, *IEEE Access*, vol. 9, pp. 114781-114807, doi:10.1109/ACCESS.2021.3104617.
- [28] Guo, W. & Mu, L. (2016). Control principles of micro-source inverters used in microgrid, *Protection and Control of Modern Power Systems*, 1, doi:10.1186/s41601-016-0019-8.
- [29] Ray, I. (2021). *Grid-Forming Converter Control Method to Improve DC-Link Stability in Inverter-Based AC Grids* (Doctoral dissertation). University of Tennessee, Knoxville.
- [30] Li, Y. (2020). *Modeling and control of power electronic converters in power systems* (Doctoral dissertation). Imperial College of Science, Technology and Medicine Department of Electrical and Electronic Engineering, London.
- [31] Unruh, P., Nuschke, M., Strauß, P. & Welck, F. (2020). Overview on Grid-Forming Inverter Control Methods, *Energies*, vol. 13, no. 10, p. 2589, doi:10.3390/en13102589.
- [32] Aghdam, S. A. & Agamy, M. (2022). Virtual oscillator-based methods for grid-forming inverter control: A review, *IET Renewable Power Generation*, vol. 16, pp. 835-855, doi:10.1049/rpg2.12398.
- [33] Matevosyan, J. & MacDowell, J. (2021). Survey of grid-forming inverter applications, *Global PST Consortium*, online, Available:

<https://www.esig.energy/event/g-pst-esig-webinar-series-survey-of-grid-forming-inverter-applications/>.

- [34] Ray, I. & Tolbert, L. M. (2022). Grid-forming inverter control design for PV sources considering DC-link Dynamics, *IET Renewable Power Generation*, doi:10.1049/rpg2.12454
- [35] IEEE Standard 1547. (2003). IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems.
- [36] Guerrero, J. M. et al. (2016). Shipboard Microgrids: Maritime Islanded Power Systems Technologies, *PCIM Asia 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Shanghai, China, pp. 1-8
- [37] Dong, J., Gong, C., Bao, J., Zhu L. & Wang, Z. (2023). Dynamic virtual resistance-based droop control for seamless transition operation of multi-parallel microgrid inverters, *Electrical Engineering*, vol. 105, pp 1163-1177, doi:10.1007/s00202-022-01723-0.
- [38] Jha, S.K., Kumar, D., & Mohanta, D.K. (2022). Voltage reduction strategy for V-I droop-based stand-alone microgrid considering demand side management capability, *Electrical Engineering*, vol. 104, pp. 4451-4476, doi:10.1007/s00202-022-01632-2.
- [39] Sellamna, H., A. Pavan, M., Mellit, A. & Guerrero, J. M. (2020). An iterative adaptive virtual impedance loop for reactive power sharing in islanded meshed microgrids, *Sustainable Energy, Grids and Networks*, vol. 24, Art. No. 100395, doi:10.1016/j.segan.2020.100395.
- [40] Moore, A. T. (2012). *Design, Implementation and Evaluation of A Microgrid In Island and Grid Connected Modes With A Fuel Cell Power Source* (Master's thesis). The University of Western Ontario, Electrical and Computer Engineering, Canada.
- [41] Bollen, M. H. J. (2003). Review: What is power quality?, *Electric Power Systems Research*, pp 5-14, doi:10.1016/S0378-7796(03)00067-1.
- [42] Lasseter, R. & Piagi, P. (2006). *Control & Design of Microgrid Components - Final Project Report*, PSERC Publication 06-03.
- [43] Blaabjerg, F., Teodorescu, R., Liserre, M. & Timbus, A. V. (2006). Overview of Control and Grid Synchronization for Distributed Power Generation Systems, *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1398-1409, doi:10.1109/TIE.2006.881997.
- [44] Wang, J. (2021). Design Power Control Strategies of Grid-Forming Inverters for Microgrid Application, *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, pp. 1079-1086, doi:10.1109/ECCE47101.2021.9595064.

- [45] Gupta, S., Umar, M. F., Shadmand, M. B. & Mazumder, S. K. (2021) Self-Synchronization Scheme for Network of Grid-following and Grid-forming Photovoltaic Inverters, *IECON 2021 - 47th Annual Conference of the IEEE Industrial Electronics Society*, Toronto, ON, Canada, pp. 1-6, doi:10.1109/IECON48115.2021.9589752.
- [46] Monica, P., Kowsalya, M. & Guerrero, J. M. (2021). Logarithmic droop-based decentralized control of parallel converters for accurate current sharing in islanded DC microgrid applications, *IET Renewable Power Generation*, vol. 15(6), pp. 1240-1254, doi:10.1049/rpg2.12103
- [47] Behera, M. K., Raj, R. & Saikia, L. C. (2020). A Novel Decentralized Virtual Impedance Droop Integrating Phase Locked Loop (PLL) Control Scheme for Parallel DG Inverter in an Islanded Microgrid, *2020 IEEE 17th India Council International Conference (INDICON)*, New Delhi, India, pp. 1-6, doi:10.1109/INDICON49873.2020.9342195.
- [48] Banerjee, A. et al. (2023). Autonomous Restoration of Networked Microgrids Using Communication-Free Smart Sensing and Protection Units, *IEEE Transactions on Sustainable Energy*, vol. 14, no. 2, pp. 1076-1087, doi:10.1109/TSTE.2023.3245881.
- [49] Wang, J., Pratt, A. & Baggu, M. (2019). Integrated Synchronization Control of Grid-Forming Inverters for Smooth Microgrid Transition, *2019 IEEE Power & Energy Society General Meeting (PESGM)*, Atlanta, GA, USA, pp. 1-5, doi:10.1109/PESGM40551.2019.8973453.
- [50] Shen, C., Gu, W. & Luo, E. (2022). Transient performance comparison of grid-forming converters with different FRT control strategies, *Frontiers in Energy*, doi:10.1007/s11708-022-0856-2.
- [51] Das, D., Gurralla, G. & Shenoy, U. J. (2017). Transition between grid-connected mode and islanded mode in VSI-fed microgrids, *Sādhanā*, vol. 42, pp. 1239–1250, doi:10.1007/s12046-017-0659-z.
- [52] Wang, J., Lundstrom, B. & Bernstein, A. (2020). Design of a Non-PLL Grid-forming Inverter for Smooth Microgrid Transition Operation, *2020 IEEE Power & Energy Society General Meeting (PESGM)*, Montreal, QC, Canada, pp. 1-5, doi:10.1109/PESGM41954.2020.9282077.
- [53] De Raul, A. J. T. G., Maldonado, A. E., Javier, P. R. & Jose, A. B. J. (2022). Grid-Forming Type Converter Decoupling and Resynchronization for an AC Microgrid, *2022 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, Ixtapa, Mexico, pp. 1-6, doi:10.1109/ROPEC55836.2022.10018617.
- [54] Laaksonen, H. (2022). Universal Grid-Forming Method for Future Power Systems, *IEEE Access*, vol. 10, pp. 133109-133125, doi:10.1109/ACCESS.2022.3231479.
- [55] Zeng, Z. & Shao, W. (2017). Reconnection of micro-grid from islanded mode to grid-connected mode used sliding Goertzel transform based filter, *IET*

Renewable Power Generation, vol. 11 (7), pp. 1041-1048, doi:10.1049/iet-rpg.2016.0932

- [56] Patrao, I., González-Medina, R., Marzal, S., Garcerá, G. & Figueres, E. (2017). "Synchronization of Power Inverters in Islanded Microgrids Using an FM-Modulated Signal, *IEEE Transactions on Smart Grid*, vol. 8, no. 1, pp. 503-510, doi:10.1109/TSG.2016.2574038.
- [57] Hennane, Y., Berdai, A., Pierfederici, S., Meibody-Tabar, F. & Martin, J. (2022). Novel non-linear control for synchronization and power sharing in islanded and grid-connected mesh microgrids, *Electric Power Systems Research*, vol. 208, Art. no. 107869, doi:10.1016/j.epsr.2022.107869.
- [58] Nun, B., Umar, M. F., Karaki, A., Shadmand, M. B., Bayhan, S. & Abu-Rub, H. (2021). Model Predictive Control for Black Start of Connected Communities via Autonomous Indexing, *2021 IEEE 12th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Chicago, IL, USA, pp. 1-7, doi:10.1109/PEDG51384.2021.9494198.
- [59] Gao, Y. & Ai, Q. (2018). A distributed coordinated economic droop control scheme for islanded AC microgrid considering communication system, *Electric Power Systems Research*, vol. 160, pp. 109-118, doi:10.1016/j.epsr.2018.02.008.
- [60] Gong, P., Lu, Z. & Lv Z. (2020). Local adaptive pinning synchronisation for distributed secondary control of islanded microgrid, *IET Generation, Transmission & Distribution*, vol. 14(8), pp. 1476-1482, doi:10.1049/iet-gtd.2019.1350.
- [61] Shrivastava, S., Subudhi, B. & Das, S. (2019). Noise-resilient voltage and frequency synchronisation of an autonomous microgrid, *IET Generation, Transmission & Distribution*, vol. 13(2), pp. 189-200, doi:10.1049/iet-gtd.2018.6409.
- [62] Bansode, P., Deshpande, A., Bahadure, S., Bajaria, P., Kazi, F. & Singh, N. (2017). A Stackelberg game theoretic approach to resilient control of an islanded microgrid, *2017 Indian Control Conference (ICC)*, Guwahati, India, pp. 212-218, doi:10.1109/INDIANCC.2017.7846477.
- [63] Chakraborty, S., Rana, M. T. & Salapaka, M. V. (2022). Active Synchronization of Islanded Microgrid using Droop-controlled Grid-forming Inverters, *IECON 2022 – 48th Annual Conference of the IEEE Industrial Electronics Society*, Brussels, Belgium, pp. 1-6, doi:10.1109/IECON49645.2022.9968775.
- [64] Kong, L., Xue, Y., Qiao, L. & Wang, F. F. (2021). Angle Droop Design for Grid-Forming Inverters Considering Impacts of Virtual Impedance Control, *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, pp. 1006-1013, doi:10.1109/ECCE47101.2021.9595604.
- [65] Geng, S. & Hiskens, I. A. (2022). Dynamic Performance of Unified Grid-Forming/Following Inverter Control, *2022 58th Annual Allerton Conference on*

Communication, Control, and Computing (Allerton), Monticello, IL, USA, pp. 1-8, doi:10.1109/Allerton49937.2022.9929391.

- [66] Li, X., Zhang, H., Shadmand, M. B. & Balog, R. S. (2017). Model Predictive Control of a Voltage-Source Inverter With Seamless Transition Between Islanded and Grid-Connected Operations, *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 7906-7918, doi:10.1109/TIE.2017.2696459.
- [67] Miranbeigi, M., Kandula, P. & Divan, D. (2021). Unified Control (UniCon) Strategies for Grid-Connected Inverters, *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, pp. 3000-3006, doi:10.1109/ECCE47101.2021.9595967.
- [68] Cao, Y., Hu, Y., Hu, R. & Chen, J. (2015). Research on the synchronization control strategy for microgrid-connected voltage source inverter, *2015 IEEE 6th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Aachen, Germany, pp. 1-5, doi:10.1109/PEDG.2015.7223062.
- [69] Simpson-Porco, J. W., Dörfler, F. & Bullo F. (2013). Synchronization and power sharing for droop-controlled inverters in islanded microgrids, *Automatica*, vol. 49(9), pp. 2603-2611, doi:10.1016/j.automatica.2013.05.018.
- [70] Montegiglio, P., Acciani, G., Dicorato, M., Forte, G. & Marasciuolo, F. (2023). A Decentralized Power and Bus Voltage Regulation Approach for DC Microgrids, *IEEE Transactions on Industry Applications*, doi:10.1109/TIA.2023.3258422.
- [71] Simpson-Porco, J. W., Shafiee, Q., Dörfler, F., Vasquez, J. C., Guerrero, J. M. & Bullo, F. (2015) Secondary Frequency and Voltage Control of Islanded Microgrids via Distributed Averaging, *IEEE Transactions on Industrial Electronics*, vol. 62, no. 11, pp. 7025-7038, doi:10.1109/TIE.2015.2436879.
- [72] Nömm, J., Rönnerberg, S. & Bollen, M. (2018). An Analysis of Frequency Variations and its Implications on Connected Equipment for a Nanogrid during Islanded Operation, *Energies*, vol. 11, no. 9, p. 2456, doi:10.3390/en11092456.
- [73] Shrivastava, S., Subudhi, B. & Das, S. (2017). Voltage and frequency synchronization of a low voltage inverter based microgrid, *2017 4th International Conference on Power, Control & Embedded Systems (ICPCES)*, Allahabad, India, pp. 1-6, doi:10.1109/ICPCES.2017.8117629.
- [74] Alves, A.G.P., Dias, R.F.S. & Rolim, L.G.B. (2020). A Smooth Synchronization Methodology for the Reconnection of Autonomous Microgrids, *Journal of Control, Automation and Electrical Systems*, vol. 31, pp. 665-674, doi:10.1007/s40313-020-00576-x.
- [75] Souza, L.A.R., Matos, J.G., Saavedra, O.R., et al. (2021). DC-AC Bidirectional Converters for Application in Isolated Microgrids, *Journal of Control, Automation and Electrical Systems*, vol. 32, pp. 1087–1098, doi:10.1007/s40313-021-00748-3

- [76] Choi, K., Kim, S., Jung, S. & Kim, R. (2019). Selective frequency synchronization technique for fast grid connection of islanded microgrid using prediction method, *International Journal of Electrical Power & Energy Systems*, vol. 111, pp. 114-124, doi: 10.1016/j.ijepes.2019.03.063.
- [77] Khan, M. Y. A., Liu, H., Shang, J. & Wang, J. (2023). Distributed hierarchal control strategy for multi-bus AC microgrid to achieve seamless synchronization, *Electric Power Systems Research*, vol. 214, Art no. 108910, doi:10.1016/j.epsr.2022.108910.
- [78] Mustafa, A. M., Nassa, M. E., Salama, M. & Hamouda, M. R. (2023). Voltage-sag mitigation by stability-constrained partitioning scheme, *Ain Shams Engineering Journal*, vol. 14 (2), Art no. 101867, doi:10.1016/j.asej.2022.101867.
- [79] Jin, C., Gao, M., Lv, X. & Chen, M. (2012). A seamless transfer strategy of islanded and grid-connected mode switching for microgrid based on droop control, *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, Raleigh, NC, USA, pp. 969-973, doi:10.1109/ECCE.2012.6342714.
- [80] Papadimitriou, C. N., Kleftakis, V. A. & Hatziaargyriou, N. D. (2017) Control strategy for seamless transition from islanded to interconnected operation mode of microgrids, *Journal of Modern Power Systems and Clean Energy*, vol. 5, no. 2, pp. 169-176, doi:10.1007/s40565-016-0229-0.
- [81] Tang, F., Guerrero, J. M., Vasquez, J. C., Wu, D. & Meng, L. (2015). Distributed Active Synchronization Strategy for Microgrid Seamless Reconnection to the Grid Under Unbalance and Harmonic Distortion, *IEEE Transactions on Smart Grid*, vol. 6, no. 6, pp. 2757-2769, doi:10.1109/TSG.2015.2406668.
- [82] Shi, R., Zhang, X., Xu, H., Liu, F. & Cao, W. (2014). Research on the synchronization control strategy for microgrid inverter, *2014, International Power Electronics and Application Conference and Exposition*, Shanghai, China, pp. 210-213, doi:10.1109/PEAC.2014.7037856.
- [83] Xu, H. et al. (2013). Synchronization strategy of microgrid from islanded to grid-connected mode seamless transfer, *2013 IEEE International Conference of IEEE Region 10 (TENCON 2013)*, Xi'an, China, pp. 1-4, doi:10.1109/TENCON.2013.6718475.
- [84] Biel, Z., Jeck, P., Ilončiak, J. and Valčo, M. (2018). Control strategy for parallel-connected three-phase inverters, *2018 ELEKTRO*, Mikulov, Czech Republic, pp. 1-5, doi:10.1109/ELEKTRO.2018.8398283.
- [85] Chen, Z., Zhang, W., Cai, J., Cai, T., Xu, Z. & Yan, N. (2015). A synchronization control method for micro-grid with droop control, *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, Canada, pp. 519-524, doi:10.1109/ECCE.2015.7309733.
- [86] Nguyen, D.H., Lowenberg, M.H., & Neild, S.A. (2021). Identifying limits of linear control design validity in nonlinear systems: a continuation-based approach, *Nonlinear Dynamics*, vol. 104, pp. 901–921, doi:10.1007/s11071-021-06341-2.

- [87] Nikolaou M. & Misra P. (2003). Linear control of nonlinear processes: recent developments and future directions, *Computers & Chemical Engineering*, vol. 27, pp. 1043-1059, doi:10.1016/S0098-1354(03)00036-X.
- [88] Ang, K. H., Chong, G. & Li, Y. (2005). PID control system analysis, design, and technology, *IEEE Transactions on Control Systems Technology*, vol. 13, no. 4, pp. 559-576, doi:10.1109/TCST.2005.847331.
- [89] Zheng, S., Shu, Y., Qi, M., Lang, J. & Hu, X. (2021). A novel soft-start method for SVG based on D-axis orientation, *Chinese Journal of Electrical Engineering*, vol. 7, no. 1, pp. 55-62, doi:10.23919/CJEE.2021.000005.
- [90] Chen, B., Sun, T., Hou, K. & Song, F. (2022). Control Design for 1500V Battery Three-Phase Inverter Considering Black Start, *2022 IEEE 5th International Electrical and Energy Conference (CIEEC)*, Nangjing, China, pp. 4877-4880, doi:10.1109/CIEEC54735.2022.9846206.
- [91] He, S., Zhou, D., Wang, X. & Blaabjerg, F. (2022). Line Voltage Sensorless Control of Grid-Connected Inverters Using Multisampling, *IEEE Transactions on Power Electronics*, vol. 37, no. 4, pp. 4792-4803, doi:10.1109/TPEL.2021.3123786.
- [92] Jain, H., Seo, G. -S., Lockhart, E., Gevorgian, V. & Kroposki, B. (2020). Blackstart of Power Grids with Inverter-Based Resources, *2020 IEEE Power & Energy Society General Meeting (PESGM)*, Montreal, QC, Canada, pp. 1-5, doi:10.1109/PESGM41954.2020.9281851.
- [93] Wang, Z., Miao, Z. & Fan, L. (2021). Practical Start-Up Process of Multiple Grid-Tied Voltage-Sourced Inverters in Laboratory, *2021 North American Power Symposium (NAPS)*, College Station, TX, USA, pp. 1-6, doi:10.1109/NAPS52732.2021.9654265.
- [94] Liu, J., Sun, X., Ren, B. & Zhang, Q. (2022). Dynamic Circulating Current Suppression Method for Multiple Hybrid Power Parallel Grid-Connected Inverters With Model Reference Adaptive System, *IEEE Transactions on Industrial Electronics*, vol. 69, no. 5, pp. 4364-4375, doi:10.1109/TIE.2021.3084166.
- [95] Rokrok, E., Shafie-khah, M., & Catalão, J. P. (2018). Review of primary voltage and frequency control methods for inverter-based islanded microgrids with distributed generation, *Renewable and Sustainable Energy Reviews*, vol. 82, pp. 3225-3235, doi:10.1016/j.rser.2017.10.022
- [96] Sadeque, F. & Mirafzal, B. (2022). A Universal Controller for Grid-Forming Inverters in Microgrid during Islanding for Low Transient Current, *2022 1st IEEE International Conference on Industrial Electronics: Developments & Applications (ICIDeA)*, Bhubaneswar, India, pp. 62-67, doi:10.1109/ICIDeA53933.2022.9970059.
- [97] Westman, J., Hadidi, R., Fox, C. & Leonard ,J. (2021). Energization of Transformers in Medium Voltage Island Microgrids by Leveraging Grid

Forming Inverter Control, *2021 IEEE/IAS 57th Industrial and Commercial Power Systems Technical Conference (I&CPS)*, Las Vegas, NV, USA, pp. 1-8, doi:10.1109/ICPS51807.2021.9416595.

- [98] Zilin, L. (2022). *Advanced control of grid-forming inverters under uncertain operating conditions in AC microgrids* (Doctoral dissertation). The Hong Kong Polytechnic University, Department of Electrical Engineering, China.
- [99] Rahman, M. A. & Islam, M. R. (2016). Different control schemes of entire microgrid: A brief overview, *2016 3rd Int. Conf. Electr. Eng. Inf. Commun. Technol. iCEEiCT 2016*, pp. 1–6.
- [100] Bouzid, A. M., Guerrero, J. M., Cheriti, A., Bouhamida, M., Sicard, P. & Benghanem, M. (2015). A survey on control of electric power distributed generation systems for microgrid applications, *Renewable and Sustainable Energy Reviews*, vol. 44, pp. 751–766.
- [101] Hossain, M. A., Pota, H. R., Issa, W. & Hossain, M. J. (2017). Overview of AC microgrid controls with inverter-interfaced generations, *Energies*, vol. 10, no. 9, pp. 0–27.
- [102] Akagi, H., Watanabe, E. H. & Aredes, M. (2007). *Instantaneous Power Theory and Applications to Power Conditioning*, Wiley-IEEE Press, Power, Energy and Industry Applications.
- [103] Mahieux, C. & Oudalov, A. (2016). Microgrids enter the mainstream, *Renewable Energy Focus*, vol. 17, no. 2, pp. 70-72, doi:https://doi.org/10.1016/j.ref.2016.02.010.
- [104] Morstyn, T., Hredzak, B. & Agelidis, V. G. (2018). Control Strategies for Microgrids with Distributed Energy Storage Systems: An Overview, *IEEE Trans. Smart Grid*, vol. 9, no. 4, pp. 3652–3666.
- [105] Liu, J. (2019). *Multi-Functional Inverter Based Microgrid For Power Quality Improvement With Smooth Transient Performance* (Doctoral dissertation). Griffith University, Griffith School of Engineering and Built Environment, Australia.
- [106] Lasseter, R.H. (2011). Smart Distribution: Coupled Microgrids, *Proceedings of the IEEE*, vol. 99, no. 6, pp. 1074-1082, doi:10.1109/JPROC.2011.2114630.
- [107] Khodaei, A. & Shahidehpour, M. (2013). Microgrid-Based Co-Optimization of Generation and Transmission Planning in Power Systems, *IEEE Transactions on Power Systems*, vol. 28, no. 2, pp. 1582-1590, doi:10.1109/TPWRS.2012.2224676.
- [108] Planas, E., Gil-de-Muro, A., Andreu, J., Kortabarria, I. & de Alegría, I.M. (2013) General aspects, hierarchical controls and droop methods in microgrids: A review. *Renewable and Sustainable Energy Reviews*, vol. 17, pp. 147–159.

- [109] Patrao, I., Figueres, E., Garcerá, G. & González-Medina, R. (2015) Microgrid architectures for low voltage distributed generation. *Renewable and Sustainable Energy Reviews*, vol 43, pp. 415–424.
- [110] Liu, X., Wang, P., & Loh, P. C. (2011). A Hybrid AC/DC Microgrid and Its Coordination Control. *IEEE Transactions on Smart Grid*, vol. 2, no. 2, pp. 278-286, doi: 10.1109/TSG.2011.2116162.
- [111] Deng, N., Zhang, X., Wang, P., Gu, X. & Wu, M. (2013). A converter-based general interface for AC microgrid integrating to the grid. *In Proceedings of the IEEE PES ISGT Europe 2013*, Lyngby, Denmark, 6-9 October, pp. 1–5.
- [112] Jain T. (2013). Hybrid AC/DC Micro Grid: An Overview. *Fifth International Conference on Power and Energy Systems*. 28-30 October, pp. 128-131.
- [113] Unamuno, E. & Barrena, J.A. (2015). Hybrid ac/dc microgrids-Part I: Review and classification of topologies. *Renewable and Sustainable Energy Reviews*, vol. 52, pp. 1251–1259.
- [114] Unamuno, E. & Barrena, J.A. (2015). Hybrid ac/dc microgrids-Part II: Review and classification of control strategies. *Renewable and Sustainable Energy Reviews*, vol. 52, pp. 1123–1134.
- [115] Aboelezz, A.M., Sedhom, B.E., El-Saadawi, M.M., Eladl, A.A., & Siano, P. (2023). State-of-the-Art Review on Shipboard Microgrids: Architecture, Control, Management, Protection, and Future Perspectives. *Smart Cities 2023*, vol. 6, pp. 1435-1484, doi:10.3390/smartcities6030069.
- [116] Jayasinghe, S.G., Meegahapola, L., Fernando, N., Jin, Z. & Guerrero, J.M. Review of Ship Microgrids: System Architectures, Storage Technologies and Power Quality Aspects. *Inventions 2017*, vol. 2, 4, doi:10.3390/inventions2010004.
- [117] Islam, Md Mainul, et al. (2021). General aspects, islanding detection, and energy management in Microgrids: a review. *Sustainability* vol. 13 no. 16, 9301, doi:10.3390/su13169301.
- [119] Basso, T., Chakraborty, S., Hoke, A., & Coddington M. (2015). IEEE 1547 Standards advancing grid modernization. *2015 IEEE 42nd Photovoltaic Specialist Conference (PVSC)*, 14-19 June, pp. 1-5, doi:10.1109/PVSC.2015.7356267.
- [119] Llaría A., Cúrea O., Jiménez J., & Camblong H. (2011). Survey on microgrids: Unplanned islanding and related inverter control techniques. *Renewable Energy*, vol. 36, no. 8, pp. 2052-2061, doi:/10.1016/j.renene.2011.01.010.
- [120] Naeinian, B. (2016). *Seamless Operation of a Microgrid Using BESS*. (Master's thesis). Seamless Operation of a Microgrid Using BESS, Seamless Operation of a Microgrid Using BESS, Netherlands.
- [121] Chiang, W.-J., Jou, H.-L., & Wu, J.-C. (2012). Active islanding detection method for inverter-based distribution generation power system. *International Journal of*

Electrical Power & Energy Systems, vol. 42, no. 1, pp. 158-166, doi: <https://doi.org/10.1016/j.ijepes.2012.03.038>.

- [122] Eltawil, M. A. and Zhao, Z. (2010). Grid-connected photovoltaic power systems: Technical and potential problems-A review. *Renewable and Sustainable Energy Reviews*, vol. 14, no. 1, pp. 112-129, doi:10.1016/j.rser.2009.07.015.
- [123] Alsafran, A.S. & Daniels, M.W. (2020). Consensus Control for Reactive Power Sharing Using an Adaptive Virtual Impedance Approach. *Energies* 2020, vol. 13 no. 8, doi:10.3390/en13082026.
- [124] Bowen, W. (2021). *Control and Stability of Residential Microgrid with Grid-Forming Prosumers*. (Doctoral dissertation). Centre for Future Energy Networks School of Electrical and Information Engineering Faculty of Engineering, The University of Sydney, Australia.
- [125] Buticchi, G., Bozhko, S., Liserre, M., Wheeler, P., & Al-Haddad, K. (2019). On-Board Microgrids for the More Electric Aircraft-Technology Review. *IEEE Transactions on Industrial Electronics*, vol. 66, no. 7, pp. 5588-5599, doi:10.1109/TIE.2018.2881951.
- [126] Pattabiraman, D., Lasseter, R. H., & Jahns, T. M.. (2018). Comparison of grid following and grid forming control for a high inverter penetration power system. *2018 IEEE Power & Energy Society General Meeting (PESGM)*, Portland, USA, pp. 1-5, doi:10.1109/PESGM.2018.8586162.
- [127] Javed, A. H., Meng, X., & Jinjun, L. (2019). Reactive Power Sharing using modified Virtual Impedance and Local load measurement for Islanded Microgrid. *PCIM Asia 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Shanghai, China, pp. 1-7.
- [128] Wesenbeeck, M. P. N., Haan, S. W. H. Varela, P., & Visscher K. (2009). Grid tied converter with virtual kinetic storage. *2009 IEEE Bucharest PowerTech*, Bucharest, Romania, pp. 1-7, doi:10.1109/PTC.2009.5282048.
- [129] Pan, D., Wang, X., Liu, F., & Shi, R. (2019). Transient stability of voltage-source converters with grid-forming control: A design-oriented study. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 2, pp. 1019-1033, doi:10.1109/JESTPE.2019.2946310.
- [130] Westman, M. & Nordén, E. (2020). Modeling and comparative analysis of different grid-forming converter control concepts for very low inertia systems (Dissertation). Retrieved from <https://urn.kb.se/resolve?urn=urn:nbn:se:uu:diva-414402>
- [131] Hatziaargyriou N. D. & Sakis Meliopoulos A. P. (2002). Distributed energy sources: Technical challenges. *Proceedings of the IEEE Power Engineering Society Transmission and Distribution Conference*, vol. 2, no. c, pp. 1017–1022.

- [132] Taoufik, Q., Cossart, Q., Li, C., Gruson, F., Colas, F., Kestelyn, X., & Guillaud X. (2018). D3.2 - local control and simulation tools for large transmission systems (Report: Ref. Ares(2018)6528683), Massive InteGRATion of power Electronic devices project.
- [133] Zhong, Q. C. & Weiss, G. (2011). Synchronverters: Inverters that mimic synchronous generators. *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1259–1267.
- [134] Rosso, R., Wang, X., Liserre, M., Lu, X., & Engelken, S. (2020). Grid-forming converters: An overview of control approaches and future trends. *Proc. IEEE Energy Convers. Congr. Expo. (ECCE)*, October, pp. 42924299.
- [135] D'Arco, S. & Suul, J. A. (2014). Equivalence of virtual synchronous machines and frequency-droops for converter-based Microgrids. *IEEE Trans. Smart Grid*, vol. 5, no. 1, pp. 394–395.
- [136] Parhizi, S., Lotfi, H., Khodaei, A., & Bahramirad, S. (2015). State of the art in research on microgrids: A review. *IEEE Access*, vol. 3, pp. 890–925.
- [137] Guerrero, J. M., Chandorkar, M., Lee, T. L., & Loh, P. C. (2013). Advanced control architectures for intelligent microgrids part i: Decentralized and hierarchical control. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1254–1262.
- [138] Timbus, A., Liserre, M., Teodorescu, R., Rodriguez, P., & Blaabjerg, F. (2009). Evaluation of Current Controllers for Distributed Power Generation Systems. *IEEE Transactions on Power Electronics*, vol. 24, no. 3, pp. 654-664, March doi:10.1109/TPEL.2009.2012527.
- [139] Baudoin, S., Vechiu, I. & Camblong, H. (2012). A review of voltage and frequency control strategies for islanded microgrid. *2012 16th International Conference on System Theory, Control and Computing (ICSTCC)*, Sinaia, Romania, pp. 1-5.
- [140] Zhou, J., Zhang, J., Cai, X., Shi, G., Wang, J., & Zang, J. (2019). Design and analysis of flexible multi-microgrid interconnection scheme for mitigating power fluctuation and optimizing storage capacity. *Energies*, vol. 12, no. 11, p. 2132, June, doi:10.3390/en12112132.
- [141] Lopes, J. A. P., Moreira, C. L., & Madureira, A. G. (2006). Defining control strategies for microgrids islanded operation. *IEEE Transactions on Power Systems*, vol. 21, no. 2, pp. 916–924.
- [142] Mehrizi-Sani, A. & Iravani R. (2010). Potential-function based control of a microgrid in islanded and grid-connected modes. *IEEE Transactions on Power Systems*, vol. 25, no. 4, pp. 1883-1891.
- [143] Guerrero, J. M., Vasquez, J. C., Matas, J., Vicuna, L. G., & Castilla, M. (2011). Hierarchical control of droop-controlled ac and dc microgrids-a general

- approach toward standardization. *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 158–172.
- [144] Ilic, M. & Liu, S. (2012). *Hierarchical power systems control: its value in a changing industry*, Springer Science & Business Media.
 - [145] Holvik, A. B. (2018). *Virtual impedance techniques for power sharing control in ac islanded microgrids*. (Master's thesis). Department of Electric Power Engineering, Norwegian University of Science and Technology.
 - [146] Palizban, O. & Kauhaniemi, K. (2015). Hierarchical control structure in microgrids with distributed generation: Island and grid-connected mode. *Renewable and Sustainable Energy Reviews*, vol. 44, pp. 797–813, April, doi:10.1016/j.rser.2015.01.008.
 - [147] Hossain, A. & Pota, H. R. (2015). Voltage tracking of a single-phase inverter in an islanded microgrid. *International Journal of Renewable Energy Research (IJRER)*, vol. 5, no. 3, p. 10.
 - [148] Hossain, M. A., Pota, H. R., Haruni, A. M. O., & Hossain, M. J. (2017). DC-link voltage regulation of inverters to enhance microgrid stability during network contingencies. *Electric Power Systems Research*, vol. 147, pp. 233–244, June, doi:10.1016/j.eprsr.2017.02.026.
 - [149] Machowski, J., Bialek, J. W., & Bumby, J. R. (2014). Power System Dynamics. Stability and Control. *John Wiley & Sons*.
 - [150] Soni, N., Doolla, S., and Chandorkar, M. C. (2013). Improvement of transient response in microgrids using virtual inertia. *IEEE transactions on power delivery*, vol. 28, no. 3, pp. 1830–1838.
 - [151] Singh, B., Al-Haddad, K., & Chandra, A. (1999). A review of active filters for power quality improvement. *IEEE transactions on industrial electronics*, vol. 46, no. 5, pp. 960–971.
 - [152] Iravani G. & Iravani, M. R. (2008). A control strategy for a distributed generation unit in gridconnected and autonomous modes of operation. *IEEE Transactions on Power Delivery* 23, vol. 23, no. 2, pp. 850-859, April, doi:10.1109/TPWRD.2007.915950.
 - [153] Serban, I. & Marinescu, C. (2010). A look at the role and main topologies of battery energy storage systems for integration in autonomous microgrids. *2010 12th International Conference on Optimization of Electrical and Electronic Equipment*, Brasov, Romania, pp. 1186-1191, doi:10.1109/OPTIM.2010.5510532.
 - [154] Miveh, M. R., Rahmat, M. F., Ghadimi, A. A., & Mustafa M. W. (2015). Power quality improvement in autonomous microgrids using multi-functional voltage source inverters: A comprehensive review. *Journal of Power Electronics* 15, 1054.

- [155] Souza, W. F., Severo-Mendes, M. A., & Lopes L. A. C. (2015). Power sharing control strategies for a three-phase microgrid in different operating condition with droop control and damping factor investigation. *IET Renewable Power Generation*, vol. 9, no. 7, pp. 831–839, May, doi:10.1049/iet-rpg.2014.0250.
- [156] Huang, W., Lu, M., & Zhang, L. (2011). Survey on Microgrid Control Strategies. *Energy Procedia*, vol. 12, pp. 206-212, doi:10.1016/j.egypro.2011.10.029.
- [157] Bertani, A., Bossi, C., Fornari, F., Massucco, S., Spelta, S., & Tivegna, F. (2004). A microturbine generation system for grid connected and islanding operation," *IEEE PES Power Systems Conference and Exposition*, 10-13 October, pp. 360-365 vol. 1, doi:10.1109/PSCE.2004.1397563.
- [158] Wang, C., Nehrir, M. H., & Gao, H. (2006). Control of PEM fuel cell distributed generation systems. *IEEE Transactions on Energy Conversion*, vol. 21, no. 2, pp. 586-595, doi:10.1109/TEC.2005.860404.
- [159] Wang, C. (2006). *Modeling and control of hybrid wind/photovoltaic/fuel cell distributed generation systems*. (Doctoral dissertation). Montana State University-Bozeman, College of Engineering.
- [160] Borup, U., Blaabjerg, F., & Enjeti, P. N. (2001). Sharing of nonlinear load in parallel-connected three-phase converters. *IEEE Transactions on Industry Applications*, vol. 37, no. 6, pp. 1817-1823, doi:10.1109/28.968196.
- [161] Piagi, P. & Lasseter, R. H. (2006). Autonomous control of microgrids. *2006 IEEE Power Engineering Society General Meeting*, 18-22 June, p. 8, doi:10.1109/PES.2006.1708993.
- [162] Lasseter, R. et al. (2002). Integration of distributed energy resources. The CERTS microgrid concept. *California Energy Commission*, Berkeley, CA, LBNL--50829, 799644, April, doi:10.2172/799644.
- [163] Han, H., Hou, X., Yang, J., Wu, J., Su, M., & Guerrero, J. M. (2016). Review of power sharing control strategies for islanding operation of AC microgrids. *IEEE Trans. Smart Grid*, vol. 7, no. 1, pp. 200-215, doi:10.1109/TSG.2015.2434849.
- [164] Han, Y., Li, H., Shen, P., Coelho, E. A. A., & Guerrero, J. M. (2017). Review of active and reactive power sharing strategies in hierarchical controlled microgrids. *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2427-2451, March, doi: 10.1109/TPEL.2016.2569597.
- [165] Kang, N., Wang, J., Singh, R., & Lu, X. (2017). Interconnection, integration, and interactive impact analysis of microgrids and distribution systems. *Argonne National Laboratory*, Alexandria, VA, ANL/ESD--17/4, 1349056, Januar., doi:10.2172/1349056.
- [166] ChethanRaj, D. & Gaonkar, D. N. (2017). Multiple inverters operated in parallel for proportional load sharing in microgrid. *Int. J. Power Electron. Drive System*, vol. 8, no. 2, pp. 654–666, doi:10.11591/ijpeds.v8.i2.pp654-666.

- [167] De, D. & Ramanarayanan, V. (2010). Decentralized parallel operation of inverters sharing unbalanced and nonlinear loads. *IEEE Transactions on Power Electronics*, vol. 25, no. 12, pp. 3015–3025, December, doi: 10.1109/TPEL.2010.2068313.
- [168] John, B., Ghosh, A., & Zare, F. (2017). Droop control in low voltage islanded microgrids for sharing nonlinear and unbalanced loads. *2017 IEEE Region 10 Symposium (TENSYP)*, July, pp. 1–5, doi:10.1109/TENCONSpring.2017.8069980.
- [169] Mahmood, H., Michaelson, D., & Jiang, J. (2015). Accurate reactive power sharing in an islanded microgrid using adaptive virtual impedances. *IEEE Trans. Power Electron.*, vol. 30, no. 3, pp. 1605–1617, March, doi:10.1109/TPEL.2014.2314721.
- [170] Li, Y. W. & Kao, C.-N. (2009). An accurate power control strategy for power-electronics-interfaced distributed generation units operating in a low-voltage multibus microgrid,” *IEEE Trans. Power Electron.*, vol. 24, no. 12, pp. 2977–2988, December, doi:10.1109/TPEL.2009.2022828.
- [171] Han, H., Liu, Y., Sun, Y., Su, M., & Guerrero, J. M. (2015). An improved droop control strategy for reactive power sharing in islanded microgrid. *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3133–3141, June, doi:10.1109/TPEL.2014.2332181.
- [172] Tuladhar, A., Jin, H., Unger, T., & Mauch, K. (1998). Control of parallel inverters in distributed AC power systems with consideration of the line impedance effect. *APEC '98 Thirteenth Annual Applied Power Electronics Conference and Exposition*, February, vol. 1, pp. 321–328 vol. 1, doi:10.1109/APEC.1998.647710.
- [173] Liu, B., Liu, Z., Liu, J., Wu, T., & An, R. (2017). A novel unbalanced power sharing control method for an islanded microgrid. *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*, June, pp. 1617–1622, doi:10.1109/IFEEC.2017.7992289.
- [174] Chandorkar, M. C., Divan, D. M., & Adapa, R. (1993). Control of parallel connected inverters in standalone AC supply systems. *IEEE Trans. Ind. Appl.*, vol. 29, no. 1, pp. 136–143, January, doi: 10.1109/28.195899.
- [175] Marwali, M. N., Jung, J.-W., & Keyhani, A. (2004). Control of distributed generation systems - Part II: Load sharing control. *IEEE Trans. Power Electron.*, vol. 19, no. 6, pp. 1551–1561, November, doi: 10.1109/TPEL.2004.836634.
- [176] Guerrero, J. M., Hang, L., & Uceda, J. (2008). Control of distributed uninterruptible power supply systems. *IEEE Trans. Ind. Electron.*, vol. 55, no. 8, pp. 2845–2859, August, doi:10.1109/TIE.2008.924173.
- [177] Hassanzahraee, M. & Bakhshai, A. (2011). Transient droop control strategy for parallel operation of voltage source converters in an islanded mode microgrid.

2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC), October, pp. 1-9, doi:10.1109/INTLEC.2011.6099827.

- [178] Micallef, A. M., Spiteri-Staines, A., & Spiteri-Staines, C. (2016). Performance comparison for virtual impedance techniques used in droop controlled islanded microgrids. *International Symposium on Power Electronics*, pp. 695–700.
- [179] Villalón, A, et al. (2020). Power sharing control of islanded ac microgrid considering droop control and virtual impedance. *2020 IEEE International Conference on Industrial Technology (ICIT) IEEE*, pp. 1139-1144, doi:10.1109/ICIT45562.2020.9067231.
- [180] Wu, X., Shen, C., & Iravani, R. (2018). A Distributed, Cooperative Frequency and Voltage Control for Microgrids. *IEEE Transactions on Smart Grid*, vol. 9, no. 4, pp. 2764-2776.
- [181] De Brabandere K. (2006). *Voltage and Frequency Droop Control in Low Voltage Grids by Distributed Generators with Inverter Front-End*. (Doctoral dissertation). Katholieke University Lueven.
- [182] Papathanassiou, S., Hatziaargyriou, N., Strunz, K., et al. (2005). A benchmark low voltage microgrid network. *In Proceedings of the CIGRE symposium: power systems with dispersed generation*, pages 1-8.
- [183] Rowe, C. N., Summers, T. J., Betz, R. E., Cornforth, D. J., & Moore, T. G. (2013). Arctan power-frequency droop for improved microgrid stability. *IEEE Transactions on Power Electronics*, vol. 28, no. 8, pp. 3747–3759, 2013.
- [184] Li, J., Su, J., Yang, X., & Zhao, T. (2011). Study on microgrid operation control and black start. *In Electric Utility Deregulation and Restructuring and Power Technologies (DRPT)*, 4th International Conference on, pp. 1652-1655.
- [185] Cortés, P., Ortiz, G., Yuz, J. I., Rodríguez, J., Vazquez, S., & Franquelo, L. G. (2009). Model predictive control of an inverter with output lc filter for ups applications. *IEEE Transactions on Industrial Electronics*, vol. 56, no. 6 pp. 1875–1883.
- [186] Li, M., Matas, J., Mariachet, J.E., Branco, C.G.C., & Guerrero, J.M. (2022). A Fast Power Calculation Algorithm for Three-Phase Droop-Controlled-Inverters Using Combined SOGI Filters and Considering Nonlinear Loads. *Energies* 2022, vol. 15, p. 7360, <https://doi.org/10.3390/en15197360>.
- [187] Coelho, E. A. A., Cortizo, P. C., & Garcia, P. F. D. (2002). Small-signal stability for parallel-connected inverters in stand-alone AC supply systems. *IEEE Transactions on Industry Applications*, vol. 38, no. 2, pp. 533-542, doi:10.1109/28.993176.
- [188] An, R., Liu, J., Wu, T., Wang, S., & Liu B. (2017). Analysis and design of cutoff frequency for power calculation low-pass filters in droop control. *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC*

- 2017 - ECCE Asia), Kaohsiung, Taiwan, pp. 1596-1600, doi:10.1109/IFEEC.2017.7992285.
- [189] Micallef, A., Apap, M., Spiteri-Staines, C., Guerrero, J. M., & Vasquez, J. C. (2014). Reactive power sharing and voltage harmonic distortion compensation of droop controlled single phase islanded microgrids. *IEEE Transactions on Smart Grid*, vol. 5, no. 3, pp. 1149-1158.
 - [190] Ziouani, I., Boukhetala, D., Darcherif, A.-M., Amghar, B., & Abbassi, I. E. (2018). Hierarchical control for flexible microgrid based on three-phase voltage source inverters operated in parallel. *International Journal of Electrical Power & Energy Systems*, vol. 95, pp. 188-201.
 - [191] Qian, H., et al. (2021). Analysis and implementation of virtual impedance for fixed-frequency control strategy in microgrid. *IET Generation, Transmission & Distribution*, vol. 15, no. 15, pp. 2262-2276.
 - [192] Wai, R. J., Zhang, Q. Q., & Wang, Y. (2019). A Novel Voltage Stabilization and Power Sharing Control Method Based on Virtual Complex Impedance for an Off-Grid Microgrid. *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1863–1880.
 - [193] Forskrift om leveringskvalitet i kraftsystemet. Accessed: 2017-12-14. https://lovdata.no/dokument/SF/forskrift/2004-11-30-1557#KAPITTEL_4.
 - [194] Buraimoh, E., Aluko, A.O., Oni, O.E., Davidson, I.E. (2022). Decentralized Virtual Impedance- Conventional Droop Control for Power Sharing for Inverter-Based Distributed Energy Resources of a Microgrid. *Energies* 2022, vol. 15, p. 4439, <https://doi.org/10.3390/en15124439>.
 - [195] Sang, W., Guo, W., Dai, S., Tian, C., Yu, S., & Teng, Y. (2022). Virtual Synchronous Generator, a Comprehensive Overview. *Energies* 2022, vol. 15, p. 6148. <https://doi.org/10.3390/en15176148>
 - [196] Wang, X., Li, Y. W., Blaabjerg, F., & Loh, P. C. (2015). Virtual-Impedance-Based Control for Voltage-Source and Current-Source Converters. *IEEE Transactions on Power Electronics*, vol. 30, no. 12, pp. 7019-7037.
 - [197] Qian, H., Xu, Q., Xia, Y., Zhao, J., & Du, P. (2021). Analysis and implementation of virtual impedance for fixed-frequency control strategy in microgrid. *IET Generation, Transmission & Distribution*, vol. 15. 10.1049/gtd2.12176.
 - [198] Göthner, F., O. Midtgård, -M., Torres-Olguin, R., & D’Arco, S. (2018). Effect of Including Transient Virtual Impedance in Droop-Controlled Microgrids. *2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I&CPS Europe)*, Palermo, Italy, pp. 1-6, doi:10.1109/EEEIC.2018.8493932.
 - [199] Ma, T., Huang, B. & Zhang, Y. (2021). Analysis of Virtual Impedance Control Characteristics of Microgrid Power Supply. *Journal of Physics: Conference Series*. 1846. 012056. 10.1088/1742-6596/1846/1/012056.

- [200] Eskandari, M. & Li, L. (2018). Microgrid Operation Improvement by Adaptive Virtual Impedance. *IET Renewable Power Generation*, vol. 13. 10.1049/iet-rpg.2018.5303.
- [201] Li, Y. W. & Kao, C. -N. (2009). An Accurate Power Control Strategy for Power-Electronics-Interfaced Distributed Generation Units Operating in a Low-Voltage Multibus Microgrid. *IEEE Transactions on Power Electronics*, vol. 24, no. 12, pp. 2977-2988, December, doi:10.1109/TPEL.2009.2022828.
- [202] Savaghebi, M., Vasquez, J. C., Jalilian, A., Guerrero, J. M., & Lee, T. -L. (2012). Selective harmonic virtual impedance for voltage source inverters with LCL filter in microgrids. *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, Raleigh, NC, USA, pp. 1960-1965, doi:10.1109/ECCE.2012.6342572.
- [203] Guerrero, J. M., Matas, J., de Vicuna, L. G., Castilla, M. & Miret, J. (2007). Decentralized Control for Parallel Operation of Distributed Generation Inverters Using Resistive Output Impedance. *IEEE Transactions on Industrial Electronics*, vol. 54, no. 2, pp. 994-1004, April, doi:10.1109/TIE.2007.892621.
- [204] Macana, C.A., Mojica-Nava, E., Pota, H.R., Guerrero, J.M., Vasquez, J.C. (2019). A Novel Compact dq-Reference Frame Model for Inverter-Based Microgrids. *Electronics*, vol. 8, p. 1326. <https://doi.org/10.3390/electronics8111326>.
- [205] Atmaca, Ö. (2017). *Değişken hızlı rüzgâr türbinlerinin tasarımı ve denetimi*. (Yüksek Lisans tezi). Sakarya Üniversitesi, Mekanik mühendisliği, Sakarya.
- [206] Mohan, N., Undeland, T. M. (2007). *Power electronics: converters, applications, and design*. John Wiley & Sons.
- [207] Wu, B. (2006). *High Power Converter and AC Drives*. IEEE Press-Wiley, ISBN: 9780471731719.
- [208] Holmes, D. G. & Lipo, T. A. (2003). *Pulse Width Modulation for Power Converters - Principle and Practise*. John Wiley & Sons, New Jersey: IEEE Press, ISBN: 0471208140.
- [209] Levron, Y., Belikov, J., & Baimel, D. (2018). A Tutorial on dynamics and control of power systems with distributed and renewable energy sources based on the DQ0 transformation. *Applied Sciences*, vol. 8, no. 9, Art. no. 9, September, doi: 10.3390/app8091661.
- [210] Belikov, J. & Levron, Y. (2018). Uses and misuses of quasi-static time-varying phasor models in power systems. *IEEE Trans. Power Deliv.*, vol. 33, no. 6, pp. 3263-3266, December, doi:10.1109/TPWRD.2018.2852950.
- [211] Fitzgerald, A. E., Kingsley, C., & Umans, S. D. (2003). *Electric Machinery*. 6th ed. Boston, Mass: McGraw-Hill.
- [212] Belikov, J. & Levron, Y. (2017). Comparison of time-varying phasor and dq0 dynamic models for large transmission networks,” *Int. J. Electr. Power Energy Syst.*, vol. 93, pp. 65-74, December, doi:10.1016/j.ijepes.2017.05.017.

- [213] Savaghebi, M., Jalilian, A., Vasquez, J. C., & Guerrero, J. M. (2013). Autonomous voltage unbalance compensation in an islanded droop-controlled microgrid. *IEEE Trans. Ind. Electron.*, vol. 60, no. 4, pp. 1390–1402.
- [214] Szczesniak, P., Fedyczak, Z., & Klytta, M. (2008). Modelling and analysis of a matrix-reactance frequency converter based on buck-boost topology by DQ0 transformation. *13th International Power Electronics and Motion Control Conference*, September, pp. 165–172, doi:10.1109/EPEPEMC.2008.4635262.
- [215] Belikov, J. & Levron, Y. (2018). Integration of long transmission lines in large-scale dq0 dynamic models. *Electrical Engineering*, vol. 100, no. 2, pp. 1219–1228, June, doi:10.1007/s00202-017-0582-7.
- [216] Wang, J.. (2016). *The Control of Grid-Connected Inverters in Microgrids*. The University of Liverpool, Faculty of Science and Engineering, United Kingdom.
- [217] Patel, P.. (2011). *Modeling, Stability Analysis and Control of Renewable Driven Islanded and Grid Connected Microgrids*. (Doctoral dissertation). Indian Institute of Technology Hyderabad, Electrical engineering, Indian.
- [218] Chetry, B. (2018). *Reactive Power Control in Microgrids*. (Doctoral dissertation). University of Porto, Faculty of Engineering, Portugal.
- [219] Yepes, A. G., Vidal, A., Freijedo, F. D., Malvar, J., Lopez, O., & Doval-Gandoy, J. (2012). Transient response evaluation of resonant controllers for AC drives. *IEEE Energy Conversion Congress and Exposition*. September, pp. 471–478.
- [220] Zmood, D. N. & Holmes, D. G. (2003). Stationary frame current regulation of PWM inverters with zero steady-state error. *IEEE Trans. Power Electron.*, May vol. 18, no.3, pp. 814-822.
- [221] Zmood, D., Holmes, D., & Bode, G. (2001). Frequency domain analysis of three phase linear current regulators. *IEEE Transactions on Industry Applications*, March, vol. 37, no. 2, pp. 601-610.
- [222] Freijedo, F. D., Vidal, A., Yepes, A. G., Guerrero, J. M., Lopez, O., Malvar, J., et al. (20015). Tuning of synchronous-frame PI current controllers in grid-connected converters operating at a low sampling rate by MIMO root locus. *IEEE Transactions on Industry Applications*, August, vol. 62, no. 8, pp. 5006-5017.
- [223] Wu, E. & Lehn, P. (2006). Digital current control of a voltage source converter with active damping of LCL resonance. *IEEE Transactions on Power Electronics*, September, vol. 21, no. 5, pp. 1364–1373.
- [224] Zhang, X., Wang, Y., Yu, C., Guo, L., & Cao, R. (2016). Hysteresis model predictive control for high-power grid-connected inverters with output LCL-filter. *IEEE Transactions on Industry Applications*, January, vol. 63, no. 1, pp. 246-256.

- [225] Zhang, J.. (2018). *Control strategies and applications of three-phase direct matrix converters*. University of Technology Sydney, Faculty of Engineering and IT, Australia.
- [226] T. Ye, N. Dai, C. Lam, M. Wong, and J. M. Guerrero. (2016). Analysis, Design, and Implementation of a Quasi-Proportional-Resonant Controller for a Multifunctional Capacitive-Coupling Grid-Connected Inverter. *IEEE Transactions on Industry Applications*, vol. 52, no. 5, pp. 4269-4280.
- [227] Shen, G., Xu, D., Cao, L., & Zhu, X. (2008). An improved control strategy for grid-connected voltage source inverters with an LCL filter. *IEEE Transactions on Power Electronics*, vol. 23, no. 4, pp. 1899-1906.
- [228] Redl, R.. (2012). Feedforward control of switching regulators. *Analog Circuit Design*, Springer Netherlands, pp. 321-338.
- [229] Zammit, D., Staines, C. S., & Apap, M. (2014). Comparison between PI and PR current controllers in grid connected PV inverters. *WASET, International Journal of Electrical, Electronic Science and Engineering*, vol. 8, no. 2.
- [230] Wang, X., Ruan, X., Bao, C., Pan, D., & Xu, L. (2012). Design of the PI regulator and feedback coefficient of capacitor current for grid-connected inverter with an LCL filter in discrete-time domain. *2012 IEEE energy conversion congress and exposition (Ecce)*, September, pp. 1657-1662.
- [231] Hwang, J. G., Lehn, P. W., & Winkelnkemper, M. (2010). A generalized class of stationary frame-current controllers for grid-connected AC–DC converters. *IEEE Transactions on Power Delivery*, vol. 25, no. 4, pp. 2742-2751.
- [232] Shen, G., Zhu, X., Zhang, J., & Xu, D. (2010). A new feedback method for PR current control of LCL-filter-based grid-connected inverter. *IEEE Transactions on Industrial Electronics*, vol. 57, no. 6, pp. 2033-2041.
- [233] Liserre, M., Teodorescu, R., & Blaabjerg, F. (2006). Multiple harmonics control for three-phase grid converter systems with the use of PI-RES current controller in a rotating frame. *IEEE Transactions on power electronics*, vol. 21, no. 3, pp. 836-841.
- [234] Jia, Y., Zhao, J., & Fu, X. (2013). Direct grid current control of LCL-filtered grid-connected inverter mitigating grid voltage disturbance. *IEEE Transactions on Power Electronics*, cilt 29, no. 3, pp. 1532-1541.
- [235] Teodorescu, R., Blaabjerg, F., Liserre, M., & Loh, P. C. (2006). Proportional-resonant controllers and filters for grid-connected voltage-source converters. *Electric Power Applications, IEE Proceedings*, vol. 153, pp. 750-762.
- [236] Lascu, C., Asiminoaei, L., Boldea, I., & Blaabjerg, F. (2007). High Performance Current Controller for Selective Harmonic Compensation in Active Power Filters. *IEEE Transactions on Power Electronics*, vol. 22, pp. 1826-1835.
- [237] Zhang, J., Li, L., Dorrell, D. G., & Guo, Y. (2017). Space vector modulation based proportional resonant current controller with selective harmonics

- compensation for matrix converter systems. *2017 20th International Conference on Electrical Machines and Systems (ICEMS)*, Sydney, NSW, Australia, pp. 1-6, doi: 10.1109/ICEMS.2017.8055959.
- [238] Cha, H., Vu, T. K., & Kim, J. E. (2009). Design and control of Proportional-Resonant controller based Photovoltaic power conditioning system. *IEEE Energy Conversion Congr. Exposition (ECCE)*, pp. 2198-2205.
 - [239] Hasanzadeh, A., Onar, O. C., Mokhtari, H., & Khaligh, A. (2010). A proportional-resonant controller-based wireless control strategy with a reduced number of sensors for parallel-operated UPSs. *IEEE Transactions on Power Delivery*, vol. 25, no. 1, pp. 468-478.
 - [240] Vidal, A., Freijedo, F. D., Yepes, A. G., Fernandez-Comesana, P., Malvar, J., López, Ó., & Doval-Gandoy, J. (2013). Assessment and optimization of the transient response of proportional-resonant current controllers for distributed power generation systems. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1367-1383.
 - [241] Shen, G., Zhu, X., Zhang, J., & Xu, D. (2010). A new feedback method for PR current control of LCL filter-based grid-connected inverter," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 6, pp. 2033-2041.
 - [242] Bae, B.-H. & Sul, S.-K. (2003). A compensation method for time delay of full digital synchronous frame current regulator of PWM AC drives. *IEEE Transactions on Industry Applications*, vol. 39, no. 3, pp. 802-810.
 - [243] Li, W., Ruan, X., Pan, D., & Wang, X. (2013). Full-feedforward schemes of grid voltages for a three-phase LCL-type grid-connected inverter. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 6, pp. 2237-2250.
 - [244] Teodorescu, R., Blaabjerg, F., Borup, U., & Liserre, M. (2004). A new control structure for grid-connected LCL PV inverters with zero steady-state error and selective harmonic compensation. *Applied Power Electronics Conference and Exposition, APEC '04. Nineteenth Annual IEEE*, vol. 1, pp. 580-586.
 - [245] Erika, T. & Holmes, D. G. (2003). Grid current regulation of a three-phase voltage source inverter with an LCL input filter. *IEEE Transactions on Power Electronics*, vol. 18, pp. 888-895.
 - [246] Gardner, F. M. (1984). Phase-lock techniques. *IEEE Transactions on Systems, Man, and Cybernetics*, vol. SMC-14, no. 1, pp. 170-171, doi:10.1109/TSMC.1984.6313286.
 - [247] Teodorescu, R. & Blaabjerg, F. (2004). Flexible control of small wind turbines with grid failure detection operating in stand-alone and grid-connected mode. *IEEE Transactions on Power Electronics*, vol. 19, pp. 1323-1332.
 - [248] Wang, X., Loh, P. C., & Blaabjerg, F. (2017). Stability Analysis and Controller Synthesis for Single-Loop Voltage-Controlled VSIs. *IEEE Transactions on*

Power Electronics, vol. 32, no. 9, pp. 7394-7404, doi:10.1109/TPEL.2016.2632065.

- [249] Blasko, V. & Kaura, V. (1997). A new mathematical model and control of a three-phase AC-DC voltage source converter. *IEEE Transactions on Power Electronics*, vol. 12, no. 1, pp. 116-123, doi: 10.1109/63.554176.
- [250] Wang, X., Blaabjerg, F., Liserre, M., Chen, Z., He J., & Li Y. (2014). An Active Damper for Stabilizing Power-Electronics-Based AC Systems. *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3318-3329, doi:10.1109/TPEL.2013.2278716.
- [251] Vidal, A., Freijedo, F. D., Yepes, A. G., Fernandez-Comesana, P., Malvar, J., Lopez, Ó., et al. (2013). Assessment and optimization of the transient response of proportional-resonant current controllers for distributed power generation systems. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1367-1383.
- [252] Castilla, M., Miret, J., Camacho, A., Matas, J., & de Vicuna, L. G. (2013). Reduction of current harmonic distortion in three-phase grid-connected photovoltaic inverters via resonant current control. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1464-1472.
- [253] Wang, X., Blaabjerg, F., & Loh, P. (2015). Virtual RC damping of LCL-filtered Voltage source converters with extended selective harmonic Compensation. *IEEE Transactions on Power Electronics*, vol. 30, no. 9, pp. 4726-4737.
- [254] Castilla, M., Miret, J., Matas, J., de Vicua, L. G., & Guerrero, J. M. (2008). Linear Current Control Scheme With Series Resonant Harmonic Compensator for Single-Phase Grid-Connected Photovoltaic Inverters. *IEEE Transactions on Industrial Electronics*, vol. 55, pp. 2724-2733.
- [255] Teodorescu, R., Blaabjerg, F., & Liserre, M. (2004). Proportional-resonant controllers. A new breed of controllers suitable for grid-connected voltage-source converters, *OPTIM*, Brasov, Romania.
- [256] Karabacak, M. (2012). *Sürekli Miknatıslı Senkron Motorun Doğrusal Olmayan Ve Uyarlamalı Geri Adımlı Hız Denetimi*. (Doktora tezi). Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Sakarya.
- [257] Quan, H., Gang, Z., Jie, C., Wu, Z., Liu, Z. (2011). Study of a novel over-modulation technique based on space-vector PWM. In *Computer Distributed Control and Intelligent Environmental Monitoring (CDCIEM)*, 2011 International Conference on, 295-298.
- [258] Yazdani, A. & Iravani, R. (2010). *Voltage-Sourced Converters in Power Systems*. Hoboken, John Wiley & Sons.
- [259] Kumar, K. V., Michael, P. A., John, J. P., & Kumar, S. S. (2010). Simulation and comparison of SPWM and SVPWM control for three phase inverter. *ARNP Journal of Engineering and Applied Sciences*, vol. 5, no. 7, pp. 61-74.

- [260] Zhou, K. & Wang, D. (2002). Relationship between space-vector modulation and three-phase carrier-based PWM: a comprehensive analysis [three-phase inverters]. *IEEE transactions on industrial electronics*, vol. 49, no. 1, pp. 186-196.
- [261] Patil, K., & Patel, H. (2016). Modified Dual Second-order Generalized Integrator FLL for Frequency Estimation Under Various Grid Abnormalities. *Transactions on Environment and Electrical Engineering*, vol. 1, no. 4, pp. 10-18, doi:10.22149/tee.v1i4.47.
- [262] Ma, W., Ouyang, S., & Xu, W. (2019). Improved Frequency Locked Loop Based Synchronization Method for Three-Phase Grid-Connected Inverter under Unbalanced and Distorted Grid Conditions. *Energies*, vol. 12, no. 6, p. 1023, doi: 10.3390/en12061023.
- [263] Xu, J., Qian, H., Hu, Y., Bian, S. & Xie, S. (2021). Overview of SOGI-Based Single-Phase Phase-Locked Loops for Grid Synchronization Under Complex Grid Conditions. *IEEE Access*, vol. 9, pp. 39275-39291, doi:10.1109/ACCESS.2021.3063774.
- [264] Rodriguez, P., Luna, A., Candela, I., Teodorescu, R., & Blaabjerg, F. (2008). Grid synchronization of power converters using multiple second order generalized integrators. *2008 34th Annual Conference of IEEE Industrial Electronics*, Orlando, FL, USA, pp. 755-760, doi:10.1109/IECON.2008.4758048.
- [265] Patiño, D. G., Guamá, E. G. E., Rosero, E. E. & Fielagán, J. R. (2015). SOGI-FLL for synchronization and fault detection in an inverter connected to the grid. *2015 IEEE PES Innovative Smart Grid Technologies Latin America (ISGT LATAM)*, Montevideo, Uruguay, pp. 833-838, doi:10.1109/ISGT-LA.2015.7381264.
- [266] Bolzoni, A. (2019). *Advanced control strategies for power converters in AC microgrids* (Doctoral dissertation). Politecnico Di Milano, Electrical Engineering Energy Department.
- [267] Mojiri, M., Karimi-Ghartemani, M., & Bakhshai, A. (2007). Time-domain signal analysis using adaptive notch filter. *IEEE Transactions on Signal Processing*, vol. 55, pp. 85.
- [268] Rodriguez, P., Teodorescu, R., Candela, I., Timbus, A. V., Liserre, M., & Blaabjerg, F. (2006). New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions. *2006 37th IEEE Power Electronics Specialists Conference*, pp. 1.
- [269] Rodriguez, P., Luna, A., Candela, I., Mujal, R., Teodorescu, R., & Blaabjerg, F. (2011). Multiresonant frequency-locked loop for grid synchronization of power converters under distorted grid conditions. *IEEE Transactions on Industrial Electronics*, vol. 58, pp. 127.

- [270] Ciobotaru, M., Teodorescu, R., & Blaabjerg, F. (2006). A new single-phase pll structure based on second order generalized integrator. *2006 37th IEEE Power Electronics Specialists Conference*, pp. 1.
- [271] Yuan, X., Merk, W., Stemmler, H., & Allmeling, J. (2002). Stationary-frame generalized integrators for current control of active power filters with zero steady-state error for current harmonics of concern under unbalanced and distorted operating conditions. *IEEE transactions on industry applications*, vol. 38, no. 2, pp. 523-532.
- [272] Xin, Z., Wang, X., Qin, Z., Lu, M., Loh, P. C., & Blaabjerg, F. (2016). An improved secondorder generalized integrator based quadrature signal generator. *IEEE Transactions on Power Electronics*, vol. 31, pp. 8068-8073.
- [273] Charro, C. B. (2015). *Synchronization, islanding detection and power quality improvement in distributed power generation systems* (Doctoral dissertation). Universidad de Oviedo, Department of Electrical, Computer and Systems Engineering, Gijón.
- [274] Izah, R., Subiyanto, S., & Prastiyanto, D. (2018). Improvement of DSOGI PLL Synchronization Algorithm with Filter on Three-Phase Grid-connected Photovoltaic System. *Jurnal Elektronika dan Telekomunikasi*, vol. 18, no. 1, pp. 35-45, doi:10.14203/jet.v18.35-45.
- [275] Xiao, F., Dong, L., Li, L., & Liao, X. (2016). A frequency-fixed SOGI-based PLL for single-phase grid-connected converters. *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1713-1719.
- [276] Colombage, N. C. (2015). *Design and Control of On-board Bidirectional Battery Chargers with Islanding Detection for Electric Vehicle Applications* (Doctoral dissertation). University of Sheffield, Faculty of Engineering Department of Electronic and Electrical Engineering, Sheffield.
- [277] Rohitbhai, P. K. (2018). *Investigation Into Power Quality Issues And Harmonic Mitigation In Modern Power Systems* (Doctoral dissertation). Gujarat Technological University, Electrical Engineering, Ahmedabad.
- [278] Kankanala, S. H., Kimball, J. W., & Moeini, A. (2021). Modeling and control of cascaded bridgeless multilevel rectifier under unbalanced load conditions. *In 2021 IEEE Applied Power Electronics Conference and Exposition (APEC)* pp. 260-266.
- [279] Sorkhabi, S. S. & Bakhshai, A. (2016). Microgrid control system based on an Adaptive Notch Filter power processor. *2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Vancouver, BC, Canada, pp. 1-6, doi:10.1109/PEDG.2016.7527025.
- [280] Nagliero, A., R. Mastromauro, A., Liserre, M. & Dell' Aquilla, A. (2009). Synchronization techniques for grid connected wind turbines. *IEEE Industrial Electronics*, Porto, pp. 4606-4613, doi: 10.1109/IECON.2009.5414859.

- [281] Guo, X. Q., Wu, W. Y., Gu, H. R. (2011). Phase locked loop and synchronization methods for grid-interfaced converters: a review. *Przegląd Elektrotechniczny*, vol. 87, no. 4, 1pp. 82-187.
- [282] Bobrowska-Rafal, M., Rafal, K., Jasinski, M., & Kazmierkowski, M. (2011). Grid synchronization and symmetrical components extraction with PLL algorithm for grid connected power electronic converters-a review. *Bulletin of the Polish Academy of Sciences: Technical Sciences*, vol. 59, no. 4, pp. 485-497.
- [283] Jaalam, N., Rahim, N. A., Bakar, A. H. A., Tan, C., & Haidar, A. M. (2016). A comprehensive review of synchronization methods for grid-connected converters of renewable energy source. *Renewable and Sustainable Energy Reviews*, vol 59, pp. 1471-1481.
- [284] Gao, S., & Barnes, M. (2016). Phase-locked loops for grid-tied inverters: comparison and testing. *Power Electronics, Machines and Drives (PEMD 2016), 8th IET International Conference*, pp. 1-6.
- [285] Meersman, Bart, et al. (2010). Overview of PLL methods for distributed generation units. *45th International Universities Power Engineering Conference UPEC2010*. IEEE, pp. 1-6.
- [286] Yazdani, D., Bakhshai, A. & Jain, P. K. (2009). Grid Synchronization Techniques for Converter Interfaced Distributed Generation Systems. *IEEE Energy Conversion Congress and Exposition*, San Jose, CA, pp. 2007-2014, doi:10.1109/ECCE.2009.5316522.
- [287] Rodríguez, P., Pou, P., J. Bergas, Ignacio Candela, M. J., Boroyevich, B. R. P., & Boroyevich D. (2007). Decoupled double synchronous reference frame PLL for power converters control. *IEEE Transactions on Power Electronics*, vol. 22, no. 2, pp. 584-592.
- [288] Sharifov, B. Yunusov, R., Gulyamov, K., Dovudov, S., Safaraliev, M., & Ghulomzoda, A. (2021). The mathematical model of pulse width modulation frequency converter. In *2021 Ural-Siberian Smart Energy Conference (USSEC)*, p.81–84.
- [289] Kulkarni A. & John V. (2013). A novel design method for SOGI-PLL for minimum settling time and low unit vector distortion. *IEEE Conference on Industrial Electronics Society*, Vienna, pp. 274-279, doi:10.1109/IECON.2013.6699148.
- [290] Yongheng, Y., Hadjidemetriou, L., Blaabjerg, F. & Kyriakides, E. (2015). Benchmarking of phase locked loop based synchronization techniques for grid-connected inverter systems. *IEEE Conference on Power Electronics and ECCE Asia*, Seoul, pp. 2167-2174, doi: 10.1109/ICPE.2015.7168077.
- [291] Rodriguez, P., Luna, A., Ciobotaru, M., Teodorescu, R., Blaabjerg, F. (2006). Advanced grid synchronization system for power converters under unbalanced and distorted operating conditions. In *Proceedings of the IECON 2006 32nd*

Annual Conference on IEEE Industrial Electronics, Paris, France, pp. 5173–5178.

- [292] Matas, J., Miret, J., de Vicuña, L.G., Guzman, R. (2014). An adaptive prefiltering method to improve the speed/accuracy tradeoff of voltage sequence detection methods under adverse grid conditions. *IEEE Transactions on Industrial Electronics*, vol. 61, pp. 2139–2151.
- [293] Du, H., Sun, Q., Cheng, Q., Ma, D., Wang, X. (2019). An Adaptive Frequency Phase-Locked Loop Based on a Third Order Generalized Integrator. *Energies*, vol. 12, p. 309.
- [294] Guo, X.Q., Wu, W.Y., Chen, Z. (2011). Multiple-Complex Coefficient-Filter-Based Phase-Locked Loop and Synchronization Technique for Three-Phase Grid-Interfaced Converters in Distributed Utility Networks. *IEEE Transactions on Industrial Electronics*, vol. 58, pp.1194–1204.
- [295] Riedle, B.D., Kokotovic, P.V. (1986). Integral manifolds of slow adaptation. *IEEE Transactions on Automatic Control*, vol. 31, pp. 316–324.
- [296] Miskovic, V., Blasko, V., Jahns, T. M., Lorenz, R. D. & Jorgensen, P. M. (2018). Linear Phase-Locked Loop. *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, pp. 5677-5683, doi:10.1109/ECCE.2018.8558259.
- [297] Golestan, S., Guerrero, J. M., & Vasquez, J. C. (2017). Three-Phase PLLs: A Review of Recent Advances. *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1894-1907, doi:10.1109/TPEL.2016.2565642.
- [298] Zunaib A., et al. (2018). Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review. *Renewable and Sustainable Energy Reviews*, Elsevier, vol. 90, pp. 434-452, doi: 10.1016/j.rser.2018.03.086
- [299] Chen, C. -L., Wang, Y. Lai, J. -S., Lee, Y. -S. & Martin, D. (2010). Design of Parallel Inverters for Smooth Mode Transfer Microgrid Applications. *IEEE Transactions on Power Electronics*, vol. 25, no. 1, pp. 6-15, doi:10.1109/TPEL.2009.2025864.
- [300] Mousavi, S. Y. M., Jalilian, A., Savaghebi, M. & Guerrero, J. M. (2018). Autonomous Control of Current- and Voltage-Controlled DG Interface Inverters for Reactive Power Sharing and Harmonics Compensation in Islanded Microgrids. *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9375-9386, doi:10.1109/TPEL.2018.2792780.
- [301] Vasquez, J. C., Guerrero, J. M., Savaghebi, M., Eloy-Garcia, J. & Teodorescu, R. (2013). Modeling, Analysis, and Design of Stationary-Reference-Frame Droop-Controlled Parallel Three-Phase Voltage Source Inverters. *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1271-1280, doi:10.1109/TIE.2012.2194951.

- [302] Wen, C.X., Liu, Z.Y., Li, Z.X. (2015). Droop Control of Parallel Dual-Mode Inverters Used in Micro Grid. *Proceedings of the 2015 International Conference on Power Electronics and Energy Engineering*, doi:10.2991/peee-15.2015.2.
- [303] He, J. & Li, Y. W. (2010). Analysis and design of interfacing inverter output virtual impedance in a low voltage microgrid. *2010 IEEE Energy Conversion Congress and Exposition*, Atlanta, GA, USA, pp. 2857-2864, doi:10.1109/ECCE.2010.5618181.
- [304] Yao, W., Chen, M., Matas, J., Guerrero, J. M. & Qian, Z. -M. (2011). Design and Analysis of the Droop Control Method for Parallel Inverters Considering the Impact of the Complex Impedance on the Power Sharing. *IEEE Transactions on Industrial Electronics*, vol. 58, no. 2, pp. 576-588, doi:10.1109/TIE.2010.2046001.
- [305] Micallef, A., Apap, M., Spiteri-Staines, C., & Guerrero, J. M. (2013). Selective virtual capacitive impedance loop for harmonic voltage compensation in islanded MicroGrids. *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, Vienna, Austria, pp. 7968-7973, doi:10.1109/IECON.2013.6700464.
- [306] Savaghebi, M., Shafiee, Q., Vasquez, J. C., & Guerrero, J. M. (2015). Adaptive virtual impedance scheme for selective compensation of voltage unbalance and harmonics in microgrids. *2015 IEEE Power & Energy Society General Meeting*, Denver, CO, USA, pp. 1-5, doi:10.1109/PESGM.2015.7286092.
- [307] Rodriguez, P., Luna, A., Etxeberria, I., Hermoso, J. R., & Teodorescu, R. (2009). Multiple second order generalized integrators for harmonic synchronization of power converters. *2009 IEEE Energy Conversion Congress and Exposition*, San Jose, CA, USA, pp. 2239-2246, doi:10.1109/ECCE.2009.5316279.S.