

38304

T.C.
İSTANBUL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**CMOS R-S FLIP-FLOP LARDA ARA-KARARLILIK
DURUM ANALİZİ**

DOKTORA TEZİ

Nafiz ÜNLÜ

Elektronik Mühendisliği Anabilim Dalı

Danışman : Prof. Dr. Ergür TÜTÜNCÜOĞLU

Mayıs - 1995

ÖNSÖZ

Bu çalışmada CMOS RS Flip-Flop larda Ara-Kararlılık Analizi yapılmıştır. Bulunan ve önerilen sonuçlar ölçme , analitik analiz ve PSPICE yöntemiyle de doğrulanmıştır. CMOS üretim parameteleri için optimum tasarım yöntemi önerilmiştir.

Bu tezin hazırlanması ve ortaya çıkmasında yönlendirme, teşvik ve her türlü desteği ile bana yol gösteren sayın hocam Prof. Dr. Ergür TÜTÜNCÜOĞLU ' na , sayın bölüm başkanım Prof. Dr. Gökhan UZGÖREN 'e teşekkürü bir borç bilirim.

İÇİNDEKİLER

ÖNSÖZ.....	I
İÇİNDEKİLER	II
ÖZ.....	III
ABSTRACT.....	III
ŞEKİL LİSTESİ.....	IV
TABLO LİSTESİ.....	V
I. GİRİŞ	
1.1 D Flip-Flop 1	
1.2 Ara-Kararlılık (Metastability).....	2
1.3 Ara-Kararlılık Durumunun Neden Olduğu Hatalar	3
1.4 Ara-Kararlılığın Değerlendirilmesi.....	4
1.5 Güvenilir Bir Sistem İçin MTBF ve ΔT 'nin Hesaplanması	7
1.6 Ara-kararlılığı Sabit Tutulmuş Tümdetre Flip-Flop' lar	8
II. SEVİYE TETİKLEMELİ NOR RS FLİP-FLOP	11
III. SEVİYE TETİKLEMELİ NOR RS FLİP-FLOP' DAN D FF	
ELDE EDİLMESİ VE ARA-KARARLI DURUM.....	14
IV. CMOS NOR RS FLİP-FLOP, ARA-KARARLI DURUM VE	
EŞDEĞER DEVRELERİ.....	16
4.1 CMOS NOR RS FF ' in İç Yapısı	16
4.2 Ara-Kararlı Durumda Doğrusal Eşdeğer Devre	18
V. OSİLASYONLU ARA-KARARLI DURUMUN ANALİZİ ,	
ÖLÇÜMÜ VE PSPICE İLE SİMÜLASYONU	20
VI. OSİLASYONSUZ ARA-KARARLI DURUMUN ANALİZİ	
VE DEĞİŞİM SÜRESİNİN KISALTILMASI.....	29
VII.OSİLASYONSUZ VE KISA BİR ARA-KARARLILIK DEĞİŞİM	

SÜRESİ İÇİN TRANSİSTÖRÜN FİZİKSEL PARAMETRELERİNİN SEÇİMİ	33
VIII. TARTIŞMA VE SONUÇ	35
IX. ÖZET SUMMARY.....	36
X. KAYNAKLAR.....	37
XI. EKLER.....	38
XII. ÖZGEÇMİŞ.....	44



III

ÖZ

Bu tezde CMOS RS FF’larda ana-kararlılık analizi osilasyonlu ara-kararlılık ve osilasyonsuz ara-kararlılık frekansının analitik formülleri çıkarılarak sunulmuştur.

CMOS RS flip-flop’ların ara-kararlılık durumunda osilasyon frekansının deneysel sonuçlarla da aynı olduğu gözlenmiştir.

CMOS flip-flop’un performansı ve τ , ω_0 , G parametrelerinin etkileri birinci seviye transistör modeli kullanılarak SPICE simülasyonu ile de doğrulanmıştır.

ABSTRACT

“An Analysis Of Metastable State in CMOS R-S Flip-Flops”

In this thesis an analysis of Metastable operation in CMOS RS Flip-Flops is presented, Analytical formulas for the frequency of the oscillatory metastable and non-oscillatory metastable operation are derived.

Correctness of the frequency of oscillation prediction in metastable state was confirmed by experimental observation of CMOS RS Flip-Flops.

The parameters (τ , ω_0 and G) performance of CMOS flip-flop is also approved by SPICE SIMULATION using level 1 of transistor models.

IV

ŞEKİL LİSTESİ

<i>Şekil No</i>	<i>Başlık</i>	<i>Sayfa No</i>
1	Şekil-1.1.1:Flip-flop'un blok şeması	1
2	Şekil-1.1.2: Flip-flop çalışmasının, zaman diyagramı.....	2
3	Şekil-1.2.1: Flip-Flop çıkışının ara-kararlı duruma takılması ...	3
4	Şekil-1.3.1: Ara-Kararlılığın bir hataya neden olabileceği sistem örneği	4
5	Şekil-1.4.1: Ara-Kararlılık test devresi.....	5
6	Şekil-1.4.2:AS, ALS, LS ailelerinin ara,kararlılık karakteristikleri.....	6
7	Şekil-1.5.1:Güvenilir Bir Sistem İçin Δt Hesabı.....	7
8	Şekil-1.6.1:Birinci Çift Dereceli Senkronizasyon Yöntemi	8
9	Şekil-1.6.2:Çift Dereceli Senkronizasyon Yöntemi	9
10	Şekil-2.1:Düşüncel NOR Geçitli ve Gecikme Öğeli SR Flip-Flop.....	10
11	Şekil-2.2:NOR Geçitli Flip-Flop Devresinde S,R ve Q,Q' dalga biçimleri için zamanlama şekli	11
12	Şekil-3.1:SR den D FF elde edilmesi	14
13	Şekil-3.2:D FF'da dalga şekilleri	14
14	Şekil-4.1 a:NOR CMOS Flip-Flop.....	16
15	Şekil-4.1 b:NOR RS CMOS Flip-Flop'un iç yapısı.....	16
16	Şekil-4.2:Flip-Flop giriş işaretleri	17
17	Şekil-4.3:Şekil-4.1 b'nin sol tarafının yeniden çizimi.....	17

18	Şekil-4.4:Ara-karalı duruma geçiş ve değişim süresi zamanında bu durumdan çıkma	18
19	Şekil-4.5:Lineer çalışma bölgesinde şekil-4.3'deki devrenin küçük işaret eşdeğeri	19
20	Şekil-5.1:Şekil-4.1 b'deki devrenin geri beslemeli modeli	20
21	Şekil-5.1.1:Osilasyon yer Eğrileri.....	23
22	Şekil-5.2:Bir kolu 3 adet 74C02 CMOS NOR ile gerçekleştirilen RS FF da ortaya çıkan osilasyonun osiloskopta görünüşü.....	24
23	Şekil-5.3:74C02 Her bir kolda 3 adet 74C02 CMOS NOR RS FF'dan oluşan test model	25
24	Şekil-5.4:f=8MHz $\tau=42$ ns gecikme ve 5V çalışmadaki PSPICE (V_Q işareti) çıktısı	26
25	Şekil-5.4.1:f=8MHz $\tau=75$ ns gecikme ve 5V çalışmadaki PSPICE (V_Q işareti) çıktısı	26.1
26	Şekil-5.5:f=8MHz $\tau=42$ ns gecikme ve 5V çalışmadaki PSPICE (V_Q işareti) çıktısı.....	27
27	Şekil-5.5.1:f=8MHz $\tau=75$ ns gecikme ve 5V çalışmadaki PSPICE (V_Q işareti) çıktısı.....	27.1
28	Şekil-5.6:Giriş ve çıkış işaretlerinin PSPICE'daki görünüşü ($\tau=42$ için).....	28
29	Şekil-5.6.1:Giriş ve çıkış işaretlerinin PSPICE'daki görünüşü ($\tau=75$ için).....	28.1
30 nin	Şekil-6.1: $G=2.785$ ve $\omega_0 = 0.00187.10^9$ için $F(t)$ ' değişimi	32
31	Şekil-7.1: $K= W_p/W_n$ oranına bağlı $\tau_0 = \omega_0 = 1/RC$ 'nin değişimi.....	34
32	Şekil-7.2: CMOS Eviricinin görünüşü	34

TABLO LİSTESİ

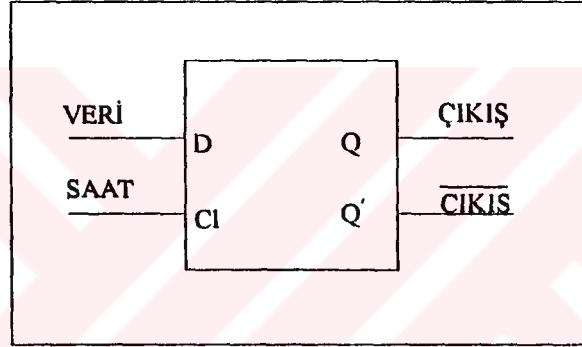
<i>Tablol No</i>	<i>Başlık</i>	<i>Sayfa No</i>
1	Tablo-1.4.1:Ara-Kararlılık karakteristiğinin C_1 ve C_2 sabitleri.....	7
2	Tablo-1.6.1: Meta-Flops' lar	9
3	Tablo-2.1: NOR geçitli SR flip-flop için durum geçiş çizelgesi.....	13



1- GİRİŞ

1.1 D Flip-Flop

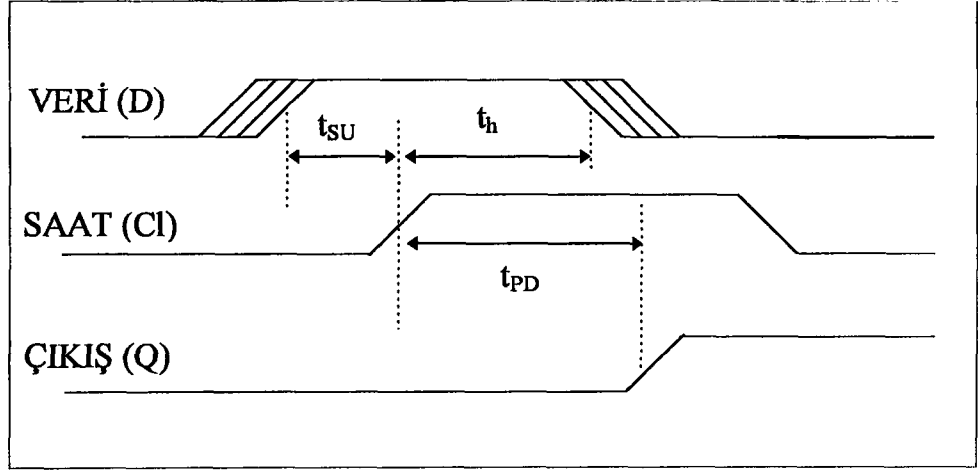
Şekil 1.1.1 ' de blok şeması verilen D Flip-Flop, saat girişindeki darbenin yükselen veya düşen kenarı ile (kenar tetiklemesi) veya 1 seviyesine geçmesiyle (seviye tetiklemesi) D girişindeki veriyi tutar ve çıkışa aktarır. Yükselen kenar ile tetiklenen bir flip-flop için, bu işlemin zaman diyagramı Şekil-1.1.2 'de verilmiştir.



Şekil-1.1.1 Flip-flop 'un blok şeması

Burada ;

t_{su} = Yerleşme Zamanı $\Rightarrow$ Flip-flop'un D girişinde, verinin kararlı bir mantık seviyeye geçmesi ile saat işaretinin oluşması, arasındaki gerekli minimum süre. Hızlı Flip-flop' larda bu süre kısadır.



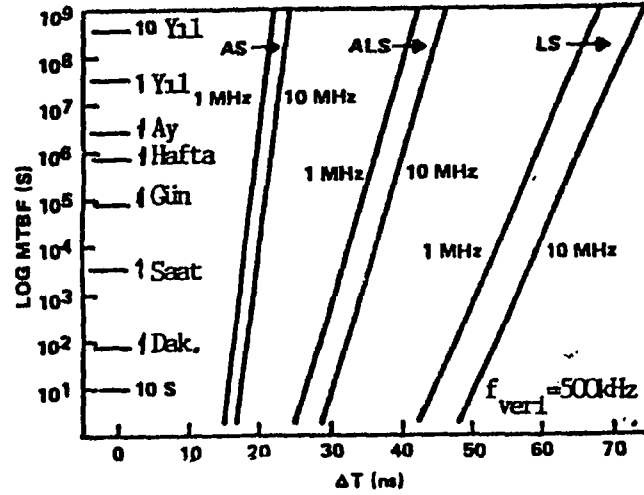
Şekil-1.1.2: Flip-flop çalışmasının, zaman diyagramı

t_h = Tutma süresi = Saat işareti oluşuktan sonra , flip-flop' un D girişindeki verinin aynı mantık seviyeyi koruması için gerekli minimum süre.

t_{PD} = Yayılım Gecikmesi = Saat işaretinin oluşması ile D girişindeki verinin Q çıkışında gözükmesi , arasındaki geçen süre. Bazı kaynaklarda bu süre t_{CO} (Clock to Output Time) olarak verilir.

1.2 Ara-kararlılık (Metastability)

Bir Flip-flop için izin verilmesi gerekli olan yerleşme ve tutma süreleri, yeterinden kısa olursa, flip-flop' un çıkışı düşük bir olasılıkla, Şekil-1.2.1' deki zaman diyagramında görüldüğü gibi, ara-kararlı durum (Metastable Region) (tanımsız bölge) denilen üçüncü bir duruma gider[GOĞÜSGEREN Ü. 1989].



Şekil-1.2.1: Flip-flop çıkışının ara kararlı duruma takılması

Flip-flop çıkışının ara-kararlı bölgeye takılmasının iki nedeni vardır:

- 1) Flip-flop' un D girişindeki verinin kararlı bir mantık seviyeye geçmesinden sonra, t_{SU} süresinden daha kısa bir süre içinde saat işaretinin gelmesi
- 2) Saat işareti oluşuktan sonra t_h süresinden daha kısa bir süre içinde verinin mantık seviyesinin değişmesi

Flip-flop' un çıkışı t_{mh} süresi içinde gitmesi gereken mantık duruma gider. Ara-kararlılık açısından önemli olan, flip-flop'un ne kadar sıklıkla ara-kararlı duruma takılacağı ve bu ara-kararlı durumda ne kadar süre kalacağıdır. Buradaki iki kavram sırasıyla MTBF ve t_{mh} olarak bilinir.

MTBF (Mean Time Between Failures) : Hataların oluşma aralığı (sn)

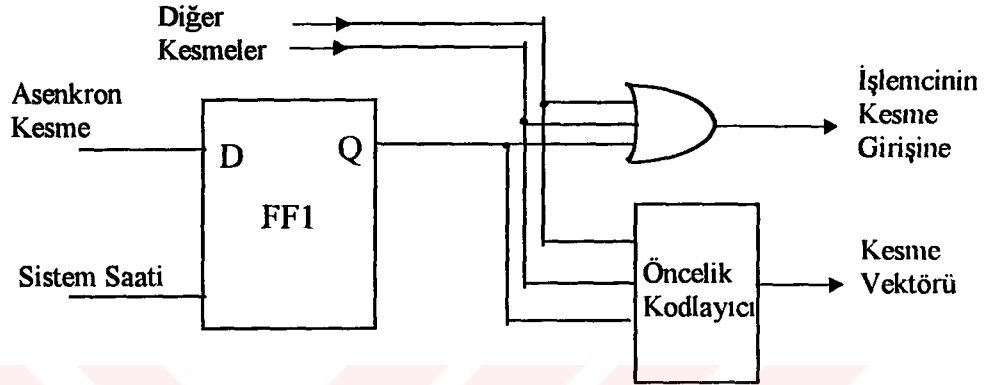
t_{mh} (Metastable Hold Time) : Ara-kararlı durumda kalma süresi

1.3 Ara-kararlılık durumunun neden olduğu hatalar

Ara-kararlı duruma takılan flip-flop'un, kendi başına bu durumdan kurtulduğu bilindiğine göre, "Ara-kararlılık nasıl sistemi çıkmaza sokar? " şeklinde bir soru aklımıza gelebilir. Bu olay, Şekil-1.3.1.'de verilen sistemde kolayca görülebilir. Senkronizasyon için kullanılan flip-flop' un çıkışında oluşacak ara-kararlı durum, VEYA kapısının girişinde mantık-1 olarak

algılanıp bir kesmeye neden olabilir. Bu arada, Öncelik-Kodlayıcı (Priority Encoder) da flip-flop'un çıkışındaki ara-kararlı durumu mantık-0 olarak algılayıp, hatalı bir kesme vektörü üretebilir.

Ara-kararlı durumun farklı kapılar tarafından, farklı mantık seviyede algılanmasından doğan bu hata, büyük sistem hatalarına yol açabilir.



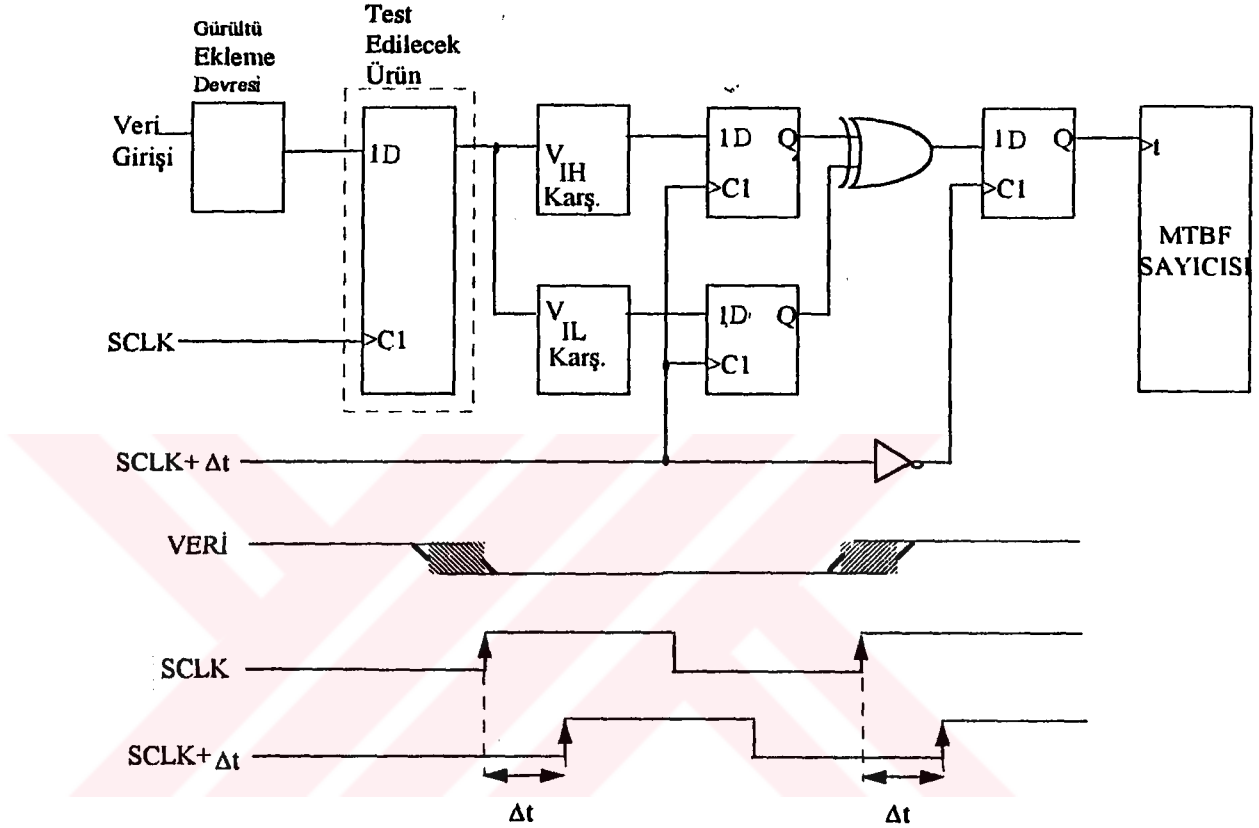
Şekil-1.3.1 : Ara-kararlılığın bir hataya neden olabileceği sistem örneği

1.4 Ara-Kararlılığın Değerlendirilmesi

Flip-flop'un çıkışının ara-kararlı bölgede kalma sayısı, flip-flop'a gelen saat işareti sayısı ile karşılaştırıldığında son derece küçüktür. Ayrıca, ara-kararlı bölgede kalma süresi değişkendir ve kullanılan flip-flop'un teknolojisine göre de değişir. Flip-flop'un yayılım gecikmesi, data sheet ile verilen değerden daha uzun olamaz. Sistemin garantili çalışması için veriyi almadan (kullanmadan) önce en az t_{PD} veya t_{CO} ile belirtilen yayılım gecikme süresi kadar beklenmelidir. Sistem ve veri frekanslarının, hataların oluşma aralığının ve ara-kararlı durumda kalma süresinin bilinmesiyle, hangi aileden flip-flop kullanılacağına ve veriyi kullanmadan önce ne kadar süre beklenmesi gerektiğinde akılcı bir şekilde karar verilebilir.

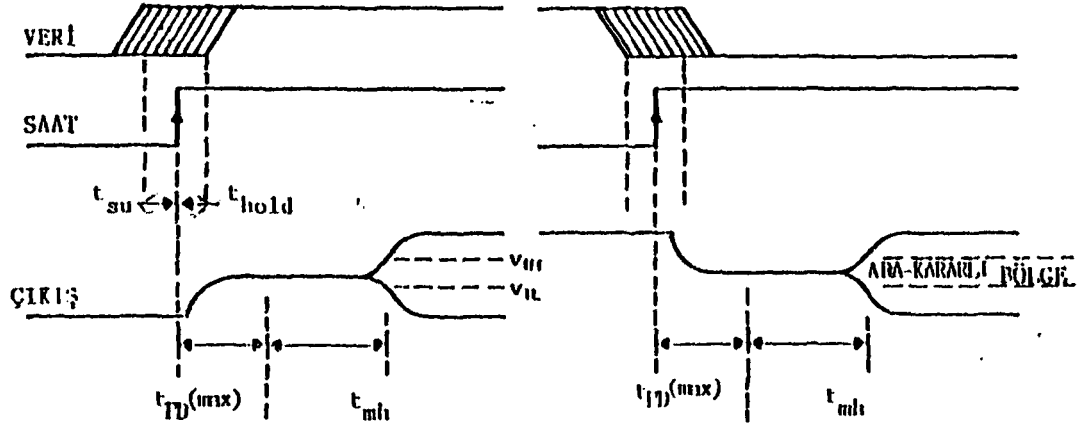
Geleneksel test cihazları, ara-kararlı durumda kalma sayısı ve süresini ölçmek için tasarlanmamıştır. Bu değerlerin ölçülmesi için özel test devreleri gereklidir. Şekil-1.4.1'de ara-kararlılığın ölçülmesinde kullanılabilecek test devresinin blok şeması verilmiştir.

Gerçek ortamda gürültülerin de olabileceği düşünülerek, veri, bir gürültü ekleme devresinden geçirilip, test edilecek flip-flop'un D girişine gelir. Flip-flop'un saat girişine sistem saati, Q çıkışına V_{IH} ve V_{IL} karşılaştırmaları bağlanır.



Şekil-1.4.1: Ara-kararlılık test devresi

Eğer flip-flop ara-kararlı duruma girmişse, karşılaştırmaların çıkışları farklı mantık seviyeleri gider ve bu farklı seviyeler, sistem saatinden Δt süre sonra gelen bir işaret ile iki kaydedici tarafından tutulur. Kaydedicilerin çıkışındaki AYRICALIKLI-VEYA (XOR) kapısı, girişindeki farklı mantık seviyelerine karşılık çıkışında mantık-1 seviye üretir. Ara-kararlı duruma girilmesi halinde mantık-1 seviye veren bu XOR kapısının çıkışı, sistem saatinden Δt süre sonra gelen işareti üretir. Ara-kararlı duruma girilmediğinde, karşılaştırmaların çıkışları aynı mantık seviyesinde, çıkışlarındaki iki kaydedici de aynı mantık seviyesinde, XOR kapısının çıkışı mantık-0 seviyesinde olacak, kapının çıkışındaki flip-flop konumu değiştirmeyecek ve MTBF sayıcısı saymayacaktır.



Şekil-1.4.2: AS, ALS, LS ailelerinin ara kararlılık karakteristikleri

Hataların oluşma aralığının (MTBF) belirlenmesi için, test edilen süre, MTBF sayıcısının içeriğine bölünür.

$$MTBF = \text{Süre (s)} / \text{Hata Sayısı}$$

Ara kararlı bölgede kalma süresi farklı olduğundan, test gecikme süresi olan Δt test gecikme süreleri için oluşan hata sayısı yarı logaritmik bir kağıda çizilir. Şekil-1.4.2'de Texas Instruments firmasının ALS, AS, LS mantık ailelerine ait flip-flop'ların ara-kararlılık karakteristikleri verilmiştir. Şekil-1.4.2'de verilen test için sistem frekansı $f_{CLK}=1\text{MHz}$ ve 10MHz , veri frekansı $f_{data}=500\text{kHz}$ 'dir. Diyagramdan, AS, ALS, LS ailelerine ait flip-flop'lar için, herhangi bir Δt test süresi geçtikten sonra ara-kararlı bölgede bulunma sayısı kolaylıkla görülebilir. Yapılan deneyler sonucunda, artan sistem ve veri frekansı ile ara-kararlı bölgede bulunma sayısının arttığı gözlenmiştir ve (1) eşitliği üretilmiştir.

$$\frac{1}{MTBF} = f_{CLK} \times f_{data} \times C1 \times e^{(-C2 \times \Delta t)} \quad (1)$$

veya ,

$$MTBF = \frac{e^{(C2 \times \Delta t)}}{f_{CLK} \times f_{data} \times C1}$$

$C1$ ve $C2$ ürüne ait ara-kararlılık karakteristiğinin sabitleridir ve deneyler sonucunda bulunur. Tablo-1.4.1 'de, Texas Instrument firmasının LS, ALS,

AS, HC, AC ailelerine ait flip-flop'ların ara-kararlılık karakteristiğini belirleyen C_1 ve C_2 sabitleri verilmiştir.

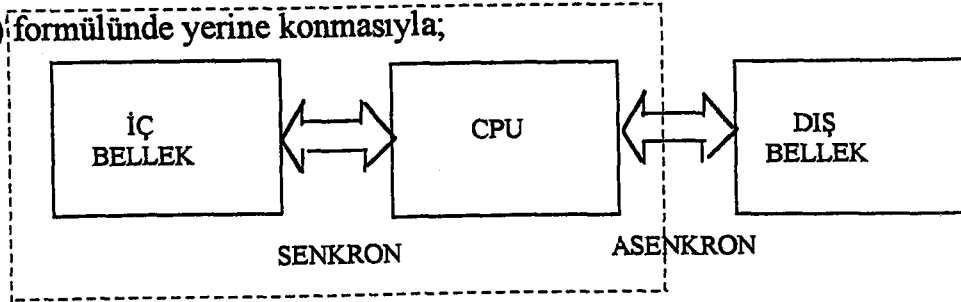
	C_1 (s)	C_2 (ns ⁻¹)
SN74LS	306	0.78
SN74ALS	2.49	1.151
SN74AS	1.53	2.92
SN74HC	$2.19 \cdot 10^{-8}$	0.161
74AC	$2.13 \cdot 10^2$	2.95

Tablo-1.4.1: Ara-kararlılık karakteristiğinin C_1 ve C_2 sabitleri

1.5 Güvenilir bir sistem için MTBF ve ΔT 'nin Hesaplanması

Senkron devrelerde ara-kararlı duruma takılmayı önleyecek bir yol yoktur. Fakat flip-flop' un çıkışını test etme süresi Δt uzatılarak sistem güvenilirliği artırılabilir. Bu süre çok büyütülürse, sistemin hızı düşüp, geç cevap verecektir. Kabul edilebilecek belirli bir hata oluşma aralığı (MTBF) değeri için, Δt test süresinin hesabı aşağıdaki örnekte açıklanmıştır.

Şekil-1.5.1 'de verilen sistem için, ara-kararlı bölgede kalma aralığı 100 yıldan büyük olması ve ALS mantık ailesinin kullanılması isteniyor. Sistem saat frekansı 10mhz, dış bellek ile iletişim frekansı 100khz 'dir. Değerlerin (1) formülünde yerine konmasıyla;



Şekil-1.5.1 Güvenilir bir sistem için Δt hesabı

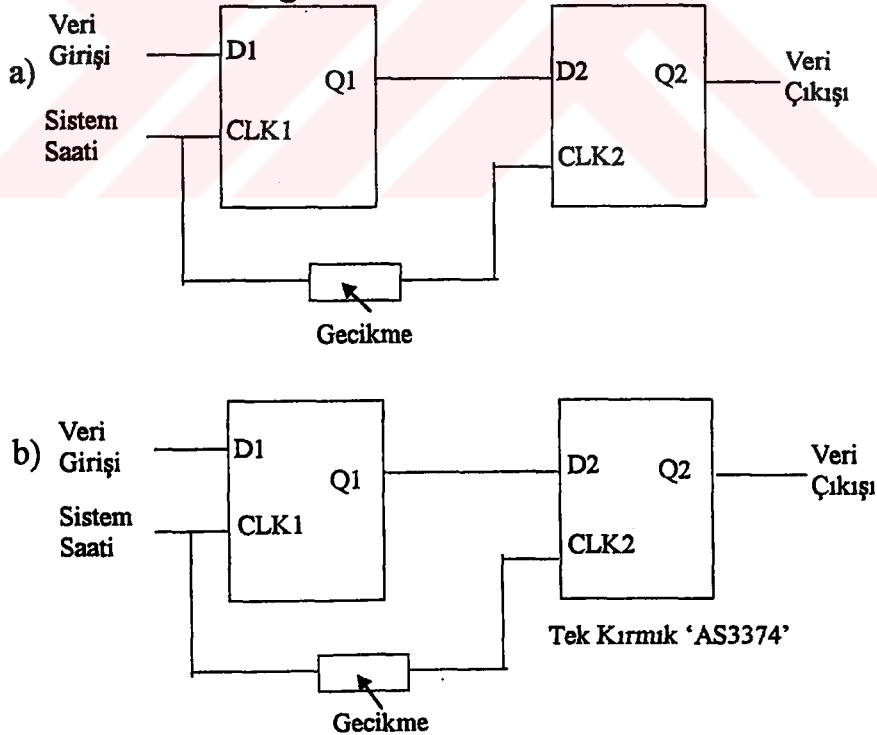
$$100 \text{ yıl} = 3,2 \times 10^9 \text{ s} = \frac{e^{(1,51\Delta t)}}{100\text{kHz} \cdot 10\text{MHz} \cdot 2,49}$$

$$\Delta t = 43 \text{ ns}$$

bulunur. Sonuç olarak, dış bellek ALS türü bir flip-flop ile senkronize edilirse ve sistem işaretinin yükselen kenarından 43 ns sonra okunursa, sistem 100 yılda bir hatalı duruma gider.

1.6 Ara-kararlılığı sabit tutulmuş Tümdevre Flip-Flop' lar

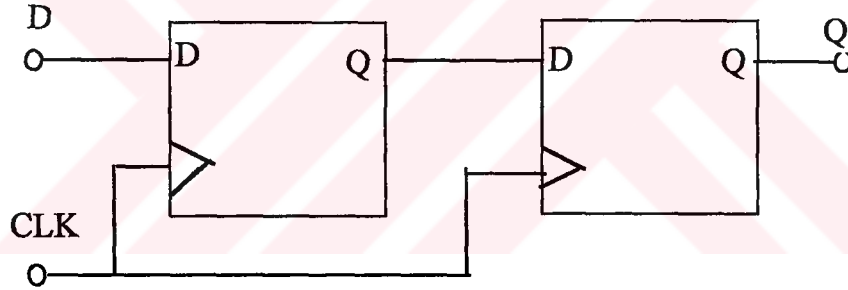
Bir flip-flop 'un ara-kararlı bölgeye girmesi önlenemez, fakat ara-kararlı bölgede iken flip-flop' un okunması önlenebilir. Bu amaçla şekil-1.6.1.a 'da görüldüğü gibi, birinci flip-flop' un çıkışı ikinci flip-flop' un D girişine bağlanır. İkinci flip-flop' un saat işaretinin, birinci flip-flop' un saat işaretinden belirli bir gecikmeden



Şekil-1.6.1: Birinci çift dereceli senkronizasyon yöntemi

sonra oluşması için saat hattına bir gecikme devresi konur. Bu çözüme, çift dereceli (Dual Ranking) senkronizasyon denir. Gecikme, birinci flip-flop'un yayılım gecikmesi ve ara-kararlı bölgede kalma sürelerinin toplamından büyük olursa, ikinci flip-flop'a saat işareti geldiğinde, birinci flip-flop'un ara-kararlı durumda olmadığına emin olunabilir. Texas Instruments firmasının, ara-kararlılığa dayanıklı ürünler grubundaki 74AS3374 ürününde (Şekil-1.6.1.b) bu yolla çözüme gidilmiştir. Bu tek yonga çözüm, tipik 15ns yayılım gecikmesi (ara-kararlı durumda kalma süresi dahil) sunarken, MTBF değerini ve sistem güvenilirliğini artırıp, güç harcamasını azaltmaktadır.

MTBF değerini arttırmanın diğer bir yolu da , şekil-1.6.2'de görüldüğü gibi, birinci flip-flop'un çıkışına, saat işaretinin bir sonraki kenarıyla tetiklenen ikinci flip-flop'u bağlamaktır. Saat işaretinin kenarları arasındaki geçen süre, birinci



Şekil-1.6.2: Çift dereceli senkronizasyon yöntemi

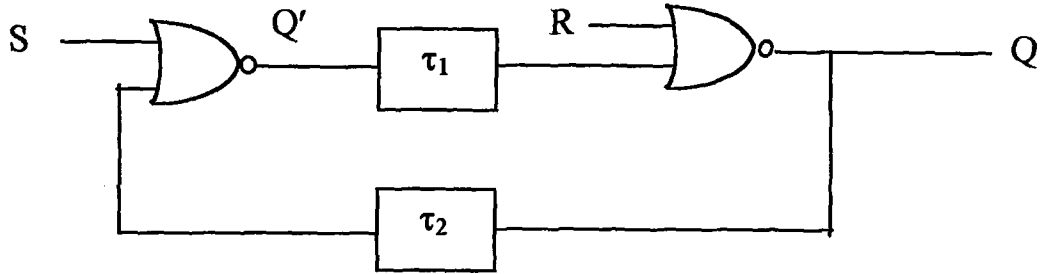
flip-flop'un ara-kararlı bölgeden çıkması için gerekli bekleme süresidir. Texas Instruments firmasının 74AS4374 ürününde kullanılan bu çözüm, tasarımcıya kendi uygulaması için gecikme süresini ayarlama olanağı sunmaktadır.

Tablo-1.6.1' den görüldüğü gibi, Texas Instrument firmasınca As ailesinde üretilen Meta-Flops' lar (Texas Instruments firmasının Ara-Kararlılığa dayanıklı flip-flop'ları.(TI'nın tescilli ismi) gelecekte AC ailesinde de üretilecektir.

ÜRÜN	ÖZELLİK
AS3074(AC11480)	Ara-kararlılığa dayanıklı, D tipi, Silme ve yazma girişleri olan 2 flip-flop
AC11476	Ara-kararlılığa dayanıklı, D tipi, Yazma girişi olan 8 flip-flop (20 bacak)
AS3374(AC11477)	Ara-kararlılığa dayanıklı, D tipi, 3-durum çıkışlı 8 flip-flop.
AC11482	Ara-kararlılığa dayanıklı, D tipi, 3-durum çıkışlı 9-bit flip-flop
AS4374A(AC11478)	Ara-kararlılığa dayanıklı, D tipi, 3-durum çıkışlı 8 flip-flop
AC11483	Ara-kararlılığa dayanıklı, Yazma ve Silme girişi 8-bit'lik ortak Yol Arabağlaşım devresi.

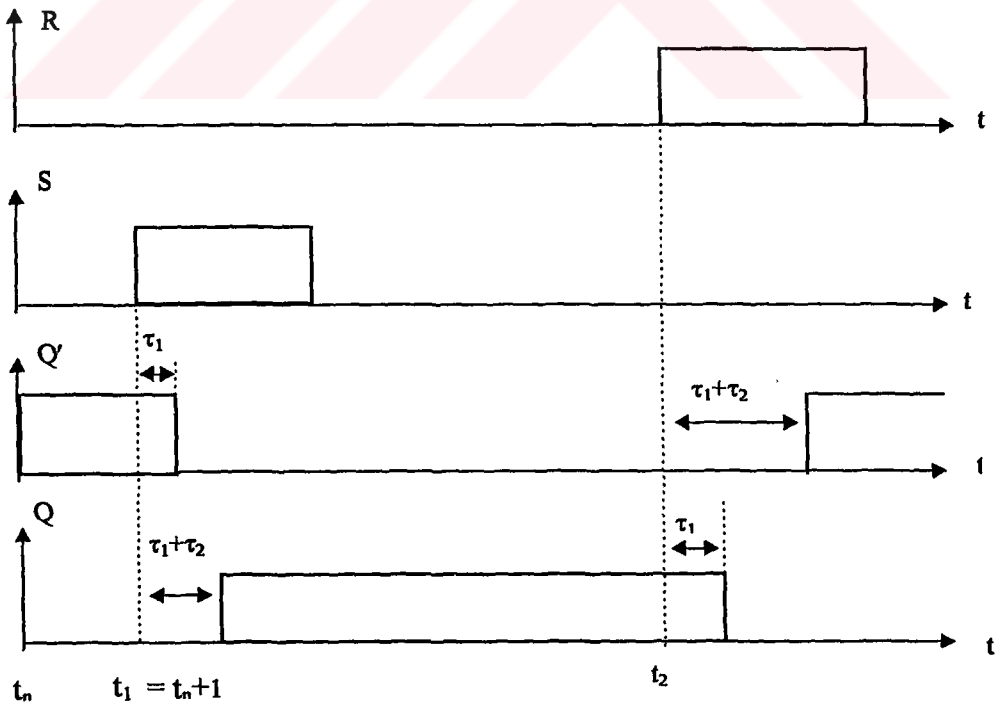
Tablo-1.6.1: Meta-Flops' lar

II- SEVİYE TETİKLEMELİ NOR RS FLIP-FLOP



Şekil 2.1 :Düşüncel NOR geçitli ve gecikme öğeli SR flip-flop

Devrenin durum geçişlerini açıklamak için değişkenlerin dalga biçimleri şekil-2.2 'de[Sankur B. ve IstefanopulosY. 1994] çizilmiştir. Başlangıç durumu, dalga biçimlerinden de görüldüğü gibi, $Q, Q' = 0,1$ olsun. Bu devreye önce $S,R = 1,0$ sonra sırasıyla $S,R = 0,0$ ve $S,R = 0,1$ uygulanmaktadır. Şekil-2.2 den izleneceği gibi t_1 anında giriş $S,R = 1,0$ yapıldığında Q' nun 0 durumuna çekilmesi içsel gecikmelerden ötürü $t_1 + \tau_1$ anında gerçekleşir, bu anda $Q' = 0$, $R = 0$ girdilerini alan NOR geçidinin Q çıkışıda ancak $t_1 + \tau_1 + \tau_2$ anında 1 durumuna gelebilmektedir.



Şekil- 2.2 : NOR geçitli flip-flop devresinde S,R ve Q, Q' dalga biçimleri için zamanlama şekli.

Aynı biçimde t_2 anında uygulanan $S, R = 0, 1$ girdisi ile bu flip-flop yeniden “silmiş”(Reset) durum getirilmek istenmekte, ancak Q' ve R girişli NOR geçidi gecikmeden dolayı bu etkiyi $t_2 + \tau_2$ anında alabilmekte, flip-flop'un kararlı duruma gelmesi için $t_2 + \tau_2 + \tau_1$ anını beklemek gerekmektedir.

Flip-flop'un hem kararlı hem de kararsız ya da geçici durumları bulunmaktadır. Örneğin $S, R = 1, 0$ olduktan sonra Q ve $Q' = 0, 1$ sonra Q ve $Q' = 0, 0$ kararsız durumlarına geçildiği daha sonra $Q, Q' = 1, 0$ kararlı duruma ulaşıldığı kolayca gözlenmektedir. Benzer bir şekilde $S, R = 0, 0$ den sonra girdilerin $S, R = 0, 1$ olduğunda önce yine kararsız olan $Q, Q' = 1, 0$ ve $Q, Q' = 0, 0$ durumlarından geçtikten sonra flip-flop'un $Q, Q' = 0, 1$ kararlı duruma eriştiği izlenmektedir. Ayrıca $S, R = 0, 0$ girdisinin hiçbir değişikliğe yol açmayan ve daha önce kazanılmış durumun korunduğu bir saklama durumu olduğu görülmektedir.

En son $S, R = 1, 1$ girdileri için bir çelişki doğduğunu belirtelim. Aslında $S, R = 1, 1$ olduğu zaman kararlı durum olarak $Q, Q' = 0, 0$ oluşmaktadır, oysa bu çıktılar birbirlerinin tümüleri olmalıydı. Diğer yandan $S, R = 1, 1$ ve $Q, Q' = 0, 0$ iken girdileri $S, R = 0, 0$ olarak değiştirirsek gelecek iki kararlı durumdan $Q, Q' = 1, 0$ ya da $Q, Q' = 0, 1$ 'den hangisine ulaşılacağı belirsizdir. Devrenin ulaşacağı kararlı durum iç gecikmelere bağlı olan bir yarışın sonucunda belirlenir, başka bir deyişle çıktısı Q olan NOR geçidinin iç gecikmesi küçükse önce daha Q 0 'dan 1' e değişir ve böylece $Q = 0$ olarak kalır, değilse önce Q' 0 'dan 1 'e değişir ve $Q = 0$ olarak kalır. Bu belirsizliklerden dolayı, $S, R = 1, 1$ değer katışımı uygulamalarda kaçınılan bir durumdur.

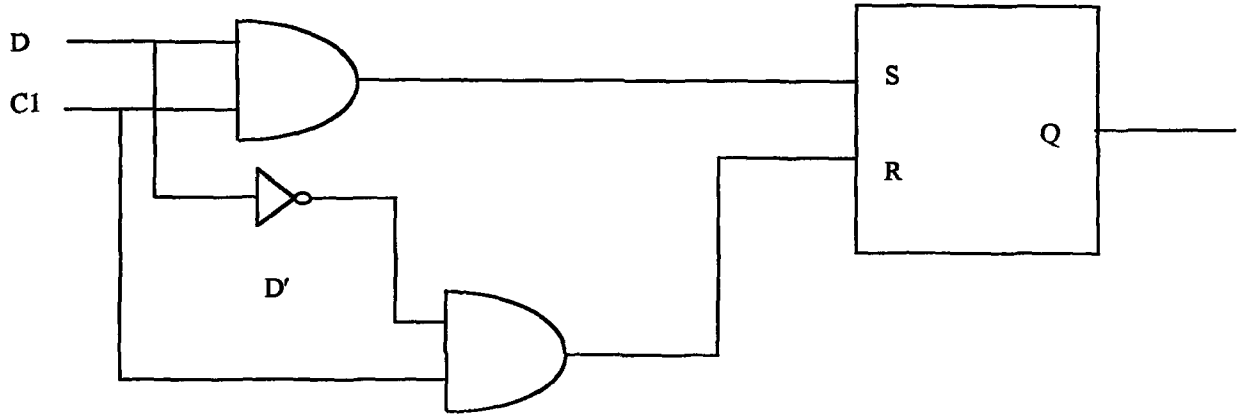
Yukarda irdelenen ardışıl devre ‘temel modda’ çalışmaktadır, çünkü şekil-2.2 ‘den görüldüğü gibi girdilerdeki bir değişikliğin etkisi yerleşene kadar giriş değerlerinde yeni bir değişikliğe izin verilmemektedir. Temel modda çalışmanın sağlanabilmesi için giriş değerlerinden her birinin seviye değişimleri arasında en az $(\tau_1 + \tau_2)$ kadar bir zaman aralığı zorunludur.

Temel modda çalışmanın sağlandığı varsayımı ile herhangi bir t_n anında şimdiki durum Q_n olarak gösterilirse ve t_n anında uygulanan S ve R girdileri belirlendiğinde, daha sonraki bir t_{n+1} anındaki gelecek durum Q_{n+1} Tablo 2.1 ‘ te belirtildiği gibi oluşur.

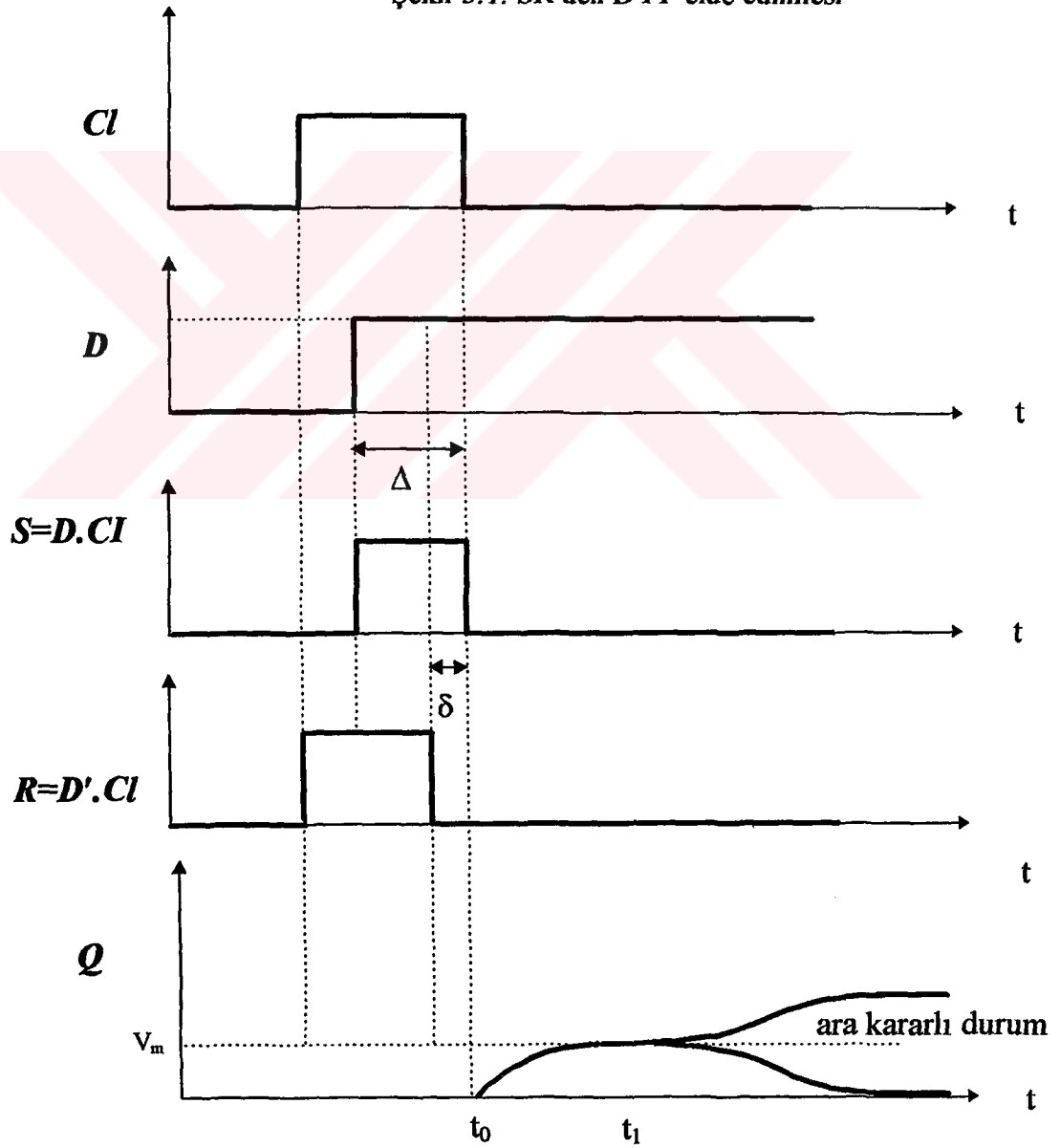
Tablo-2.1: NOR geitli SR flip-flop iin durum geiř izelgesi

t_n anındaki girdiler S R		t_{n+1} anındaki girdiler S R		řimdiki durum Q_n	Gelecek durum Q_{n+1}	SONU
0	0	0	0	0	0	$Q_{n+1} = Q_n$ saklama durumu
0	0	0	0	1	1	
0	0	0	1	0	0	$Q_{n+1} = 0$ silme (reset) durumu
0	0	0	1	1	0	
0	0	1	0	0	1	$Q_{n+1} = 1$ Yazma (set) durumu
0	0	1	0	1	1	
0	0	1	1	0	0	Belirsiz
0	0	1	1	1	1	

III- SEVİYE TETİKLEMELİ NOR RS FLİP-FLOP ' DAN D FF ELDE EDİLMESİ VE ARA-KARARLI DURUM



Şekil-3.1: SR den D FF elde edilmesi



Şekil-3.2: D FF da dalga şekilleri

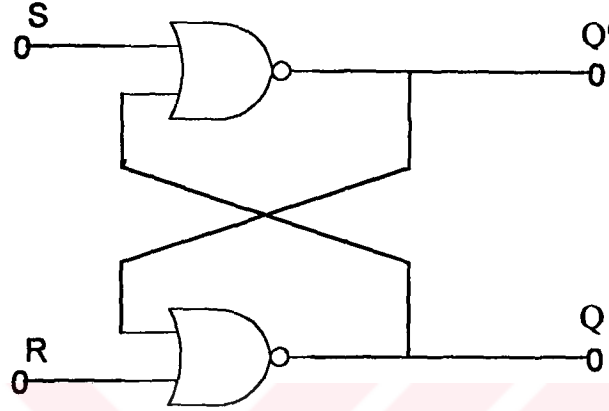
Seviye tetiklemeli bir RS FF den D FF Şekil 3.1 de görüldüğü gibi iki tane (VE) kapısı ve bir evirici kullanılarak elde edilebilir. Saat (Cl) girişi her iki kapıyı da aynı anda açtığı halde D' evirici den geçirilerek elde edildiğinden Δ kadar gecikmiştir. Sonuçta, saat tarafından örneklenen S ve R arasında δ kadar küçük bir faz farkı meydana gelir (Şekil-3.2) .

S ve R 'nin bu durumuna temel modda çalışan FF de müsaade edilmez. Burada D işareti ve ssat tamamen bağımsızdır. Dolayısı ile hazırlama ve tutma süreleri (Setup ve Hold time) istenilen şekilde gerçekleşemez ve Şekil-3.2 deki dalga şekilleri meydana gelerek t_0 dan başlayarak ara-kararlı durum ortaya çıkar.

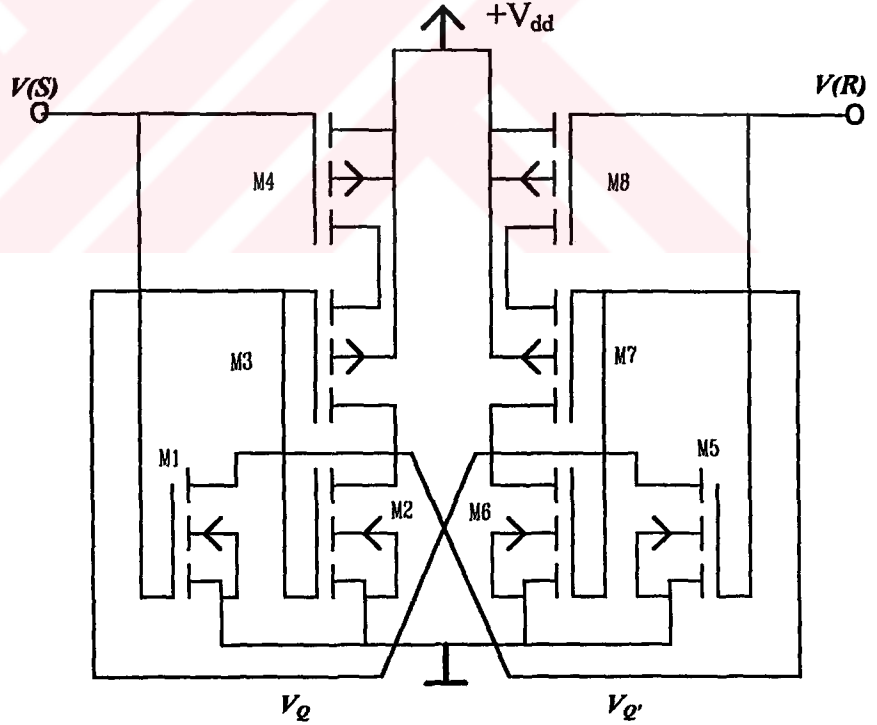


IV- CMOS NOR RS FLİP-FLOP, ARA-KARALILIK DEVRESİ VE EŞDEĞER DEVRELERİ

4.1 CMOS NOR RS FF 'in İç Yapısı



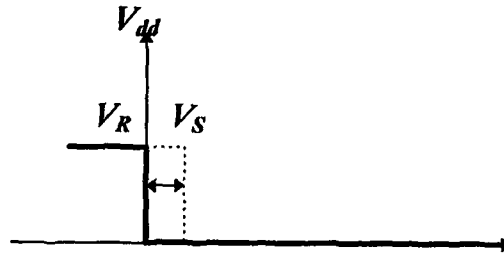
Şekil-4.1.a: NOR CMOS flip-flop



Sekil-4.1.b: NOR RS CMOS flip-flop iç yapısı

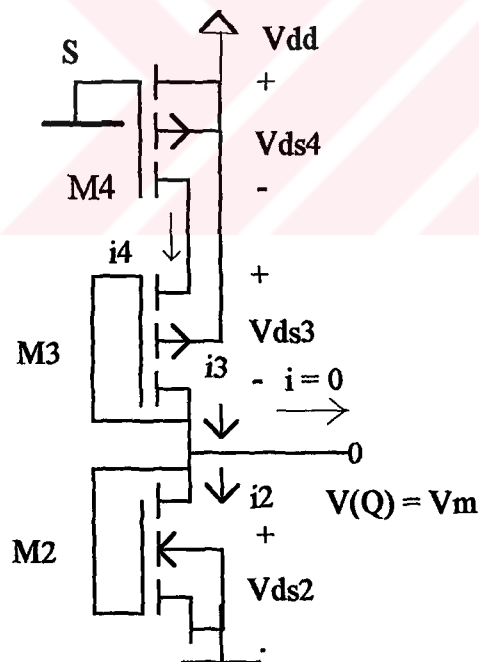
Çapraz bağlı iki NOR kapısından oluşan CMOS RS flip-flop ve iç yapısı şekil-4.1 ' de verilmiştir. Burada devre simetrik ve M1, M2, M5, M6 NMOS ve M3, M4, M7, M8 PMOS transistordur. Şekil-3.2' de görülen

ara-kararlılık durumunun meydana gelmesi için, R ve S flip-flop girişlerinin her ikisinde aynı şekilde gösterildiği gibi küçük bir δ zaman farkı ile 1 den 0 ' a inmesini sağlamak gerekir. Bu ise Şekil-4.2' de yeniden çizilmiştir.



Şekil-4.2 : Flip-flop Giriş İşaretleri

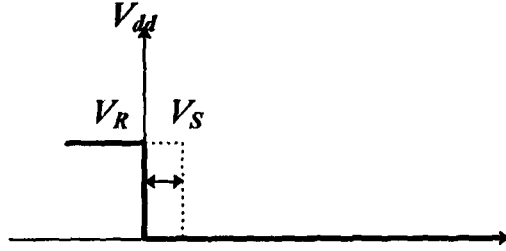
Şekil-4.1.6 'daki giriş gerilimleri Şekil-4.2 de olduğu gibi $\tau=\delta'$ da ve doyma bölgelerinde çalışırken M1 transistörü kesimde ve M4 transistörü direnç bölgelerindedir. Bu durumda Şekil-4.1.6 'nin sol tarafı Şekil 4.3 de yeniden çizilmiştir.



Şekil-4.3: Şekil 4.1.b nin sol tarafının yeniden çizimi

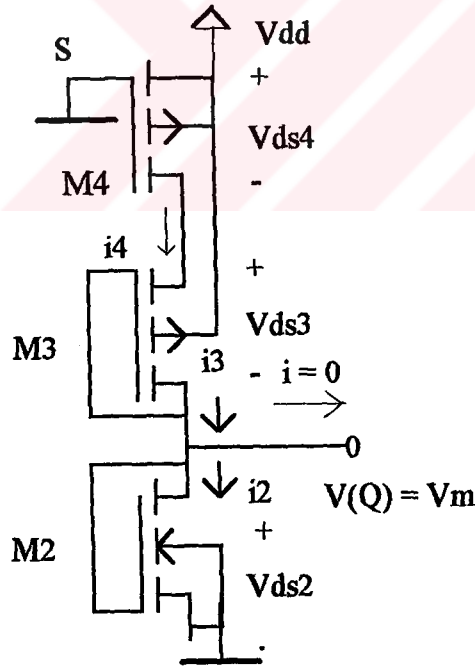
Şekil-4.4 den görüldüğü V_Q gerilimi başlangıç fazında V_Q 'ya eşit olarak V_m ara-kararlılık gerilimine kadar nonlineer şekilde artar. Buna başlangıç

ara-kararlılık durumunun meydana gelmesi için, R ve S flip-flop girişlerinin her ikisinde aynı şekilde gösterildiği gibi küçük bir δ zaman farkı ile 1 den 0 ' a inmesini sağlamak gerekir. Bu ise Şekil-4.2' de yeniden çizilmiştir.



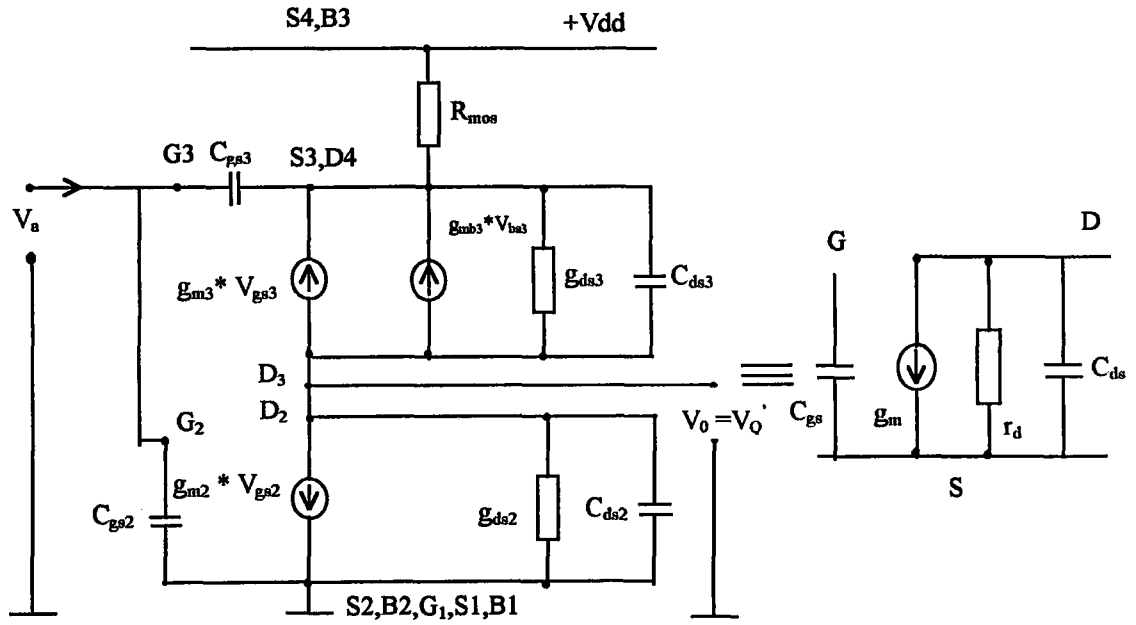
Şekil-4.2 : Flip-flop Giriş İşaretleri

Şekil-4.1.6 'daki giriş gerilimleri Şekil-4.2 de olduğu gibi $\tau=\delta$ da ve doyma bölgelerinde çalışırken M1 transistörü kesimde ve M4 transistörü direnç bölgelerindedir. Bu durumda Şekil-4.1.6 'nin sol tarafı Şekil 4.3 de yeniden çizilmiştir.



Şekil-4.3: Şekil 4.1.b nin sol tarafının yeniden çizimi

Şekil-4.4 den görüldüğü V_Q gerilimi başlangıç fazında V_Q 'ya eşit alarak V_m ara-kararlılık gerilimine kadar nonlineer şekilde artar. Buna başlangıç



Şekil-4.5: Lineer çalışma bölgesinde Şekil 4.3'deki devrenin küçük işaret eşdeğeri.

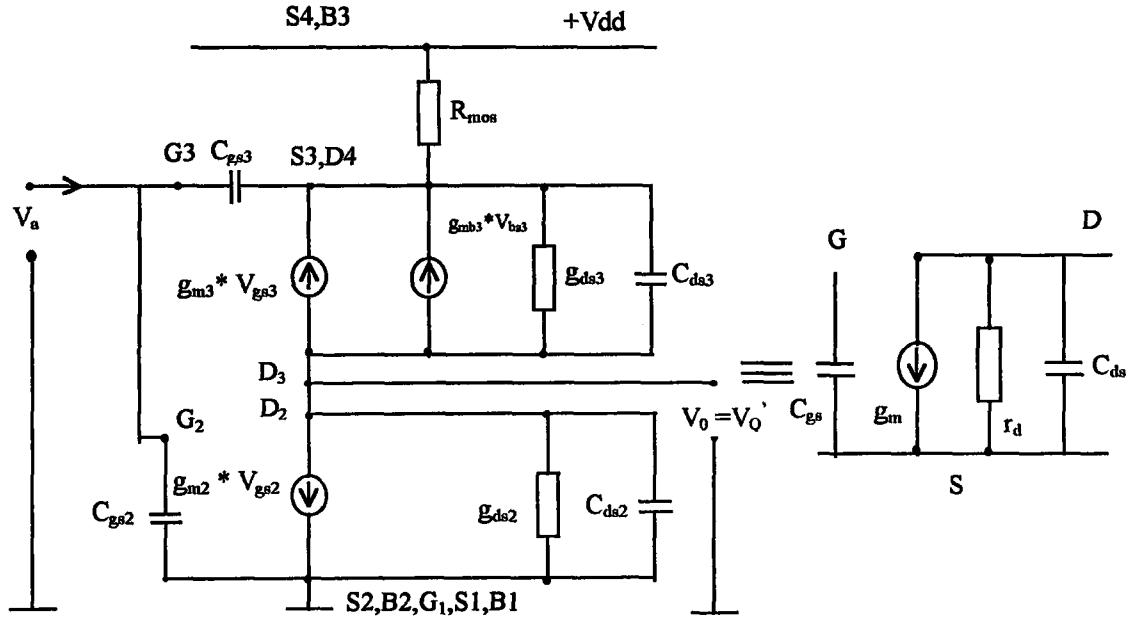
Şekil-4.5'de R_{mos} ihmal edilirse $V_{bs3} = 0$ alınıp $g_{mb3} * V_{bs3} = 0$ olur ve $+V_{dd}$ değişken işaretler için toprak potansiyelinde olduğundan

$$g_m = g_{m2} + g_{m3} \quad , \quad r_d = \frac{1}{g_{ds2} + g_{ds3}} \quad , \quad C_{ds} = C_{ds2} + C_{ds3}$$

elde edilir.

Devrede kapasiteler ihmal edildiğinde kazanç;

$$G = -g_m \cdot r_d = -(g_{m2} + g_{m3}) \cdot \frac{1}{g_{ds2} + g_{ds3}} \text{ dır.}$$



Şekil-4.5: Lineer çalışma bölgesinde Şekil 4.3'deki devrenin küçük işaret eşdeğeri.

Şekil-4.5'de R_{mos} ihmal edilirse $V_{bs3} = 0$ alınıp $g_{mb3} * V_{bs3} = 0$ olur ve $+V_{dd}$ değişken işaretler için toprak potansiyelinde olduğundan

$$g_m = g_{m2} + g_{m3} \quad , \quad r_d = \frac{1}{g_{ds2} + g_{ds3}} \quad , \quad C_{ds} = C_{ds2} + C_{ds3}$$

elde edilir.

Devrede kapasiteler ihmal edildiğinde kazanç;

$$G = -g_m \cdot r_d = -(g_{m2} + g_{m3}) \cdot \frac{1}{g_{ds2} + g_{ds3}} \text{ dır.}$$

Açı için;

$$-2 \arctg \frac{\omega}{\omega_0} - 2 \omega \tau = -2 \pi$$

$$-\arctg \frac{\omega}{\omega_0} - \omega \tau = -\pi$$

$$(\arctg \frac{\omega}{\omega_0} + \omega \tau = \pi) \quad (4)$$

Modül için;

$$G^2 \cdot \omega_0^2 \cdot \frac{1}{\omega^2 + \omega_0^2} = 1$$

$$G^2 \cdot \omega_0^2 = \omega^2 + \omega_0^2$$

$$G^2 \cdot \omega_0^2 - \omega_0^2 = \omega^2$$

$$G^2 \omega_0^2 - \omega_0^2 = \omega^2$$

$$(G^2 - 1) \omega_0^2 = \omega^2$$

$$\omega_{1,2} = \pm \sqrt{G^2 - 1} \cdot \omega_0$$

$j\omega$ eksenini üzerinde iki kutup vardır bunlar;

$$\omega_1 = +\sqrt{G^2 - 1} \cdot \omega_0$$

$$\omega_2 = -\sqrt{G^2 - 1} \cdot \omega_0$$

$$\text{ayrıca } \omega_0 = \frac{1}{RC} \quad \text{oldu[undan ;}$$

$$\text{Osilasyon frekansı} \quad (\omega = +\sqrt{G^2 - 1} \cdot \omega_0 = \frac{\sqrt{G^2 - 1}}{RC}) \quad (5)$$

Osilasyon frekansının (5) 'deki ifadesini (4) 'de yerine koyarak

$$\text{osilasyon koşulu ;} \quad \arctg \sqrt{G^2 - 1} + \sqrt{G^2 - 1} \cdot \omega_0 \cdot \tau = \pi$$

$$(\sqrt{G^2 - 1} \cdot \omega_0 \cdot \tau = \pi - \arctg \sqrt{G^2 - 1}) \quad (6)$$

Osilasyon olması için ω_0, τ, G (6) ifadesindeki gibi birbirine uygun değerler almalıdır. 74C02 CMOS NOR entegre devresi ile ölçmede $V_{DD} = 5V$ 'da bir kapı

Açı için;

$$-2\arctg\frac{\omega}{\omega_0} - 2\omega\tau = -2\pi$$

$$-\arctg\frac{\omega}{\omega_0} - \omega\tau = -\pi$$

$$(\arctg\frac{\omega}{\omega_0} + \omega\tau = \pi) \quad (4)$$

Modül için;

$$G^2 \cdot \omega_0^2 \cdot \frac{1}{\omega^2 + \omega_0^2} = 1$$

$$G^2 \cdot \omega_0^2 = \omega^2 + \omega_0^2$$

$$G^2 \cdot \omega_0^2 - \omega_0^2 = \omega^2$$

$$G^2 \omega_0^2 - \omega_0^2 = \omega^2$$

$$(G^2 - 1)\omega_0^2 = \omega^2$$

$$\omega_{1,2} = \pm\sqrt{G^2 - 1} \cdot \omega_0$$

$j\omega$ eksenini üzerinde iki kutup vardır bunlar;

$$\omega_1 = +\sqrt{G^2 - 1} \cdot \omega_0$$

$$\omega_2 = -\sqrt{G^2 - 1} \cdot \omega_0$$

ayrıca $\omega_0 = \frac{1}{RC}$ olduğundan ;

$$\text{Osilasyon frekansı} \quad (\omega = +\sqrt{G^2 - 1} \cdot \omega_0 = \frac{\sqrt{G^2 - 1}}{RC}) \quad (5)$$

Osilasyon frekansının (5) 'deki ifadesini (4) 'de yerine koyarak

$$\text{osilasyon koşulu ;} \quad \arct\sqrt{G^2 - 1} + \sqrt{G^2 - 1} \cdot \omega_0 \cdot \tau = \pi$$

$$(\sqrt{G^2 - 1} \cdot \omega_0 \cdot \tau = \pi - \arct\sqrt{G^2 - 1}) \quad (6)$$

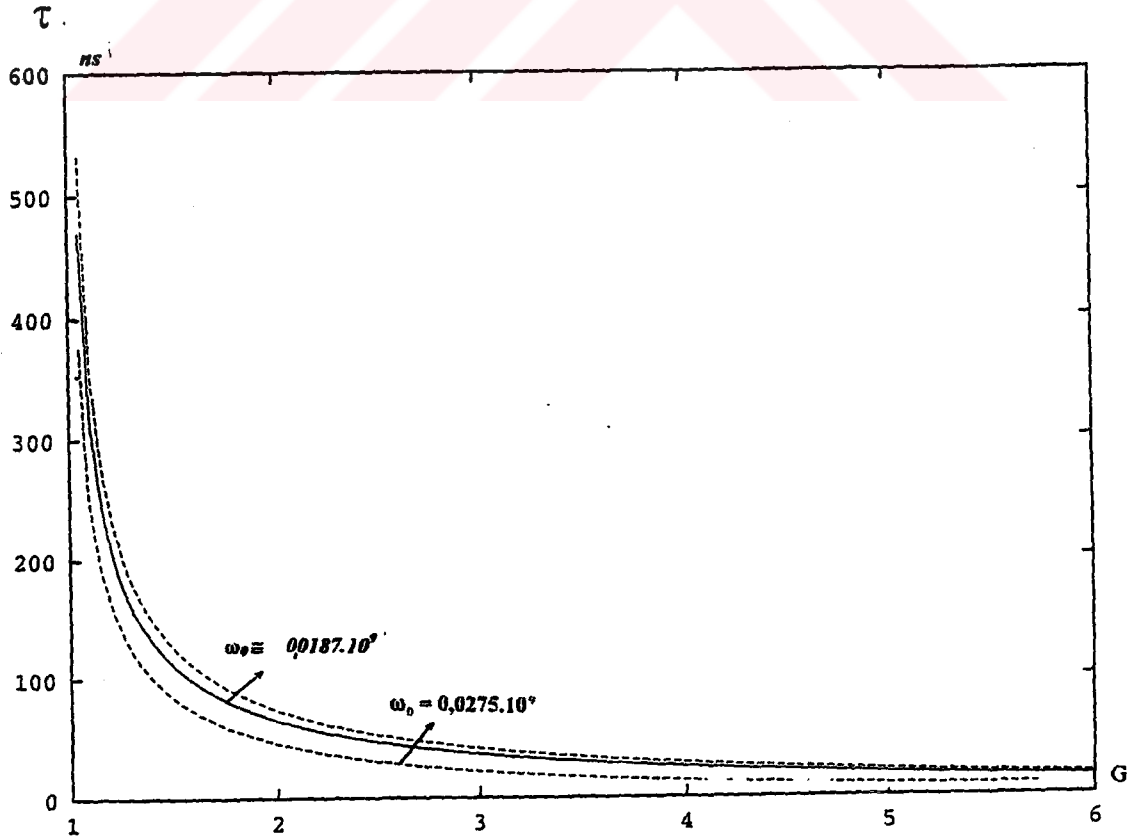
Osilasyon olması için ω_0, τ, G (6) ifadesindeki gibi birbirine uygun değerler almalıdır. 74C02 CMOS NOR entegre devresi ile ölçmede $V_{DD} = 5V$ 'da bir kapı

Tablo-5.1: 74C02 Kapısı İle Ölçme Sonuçları

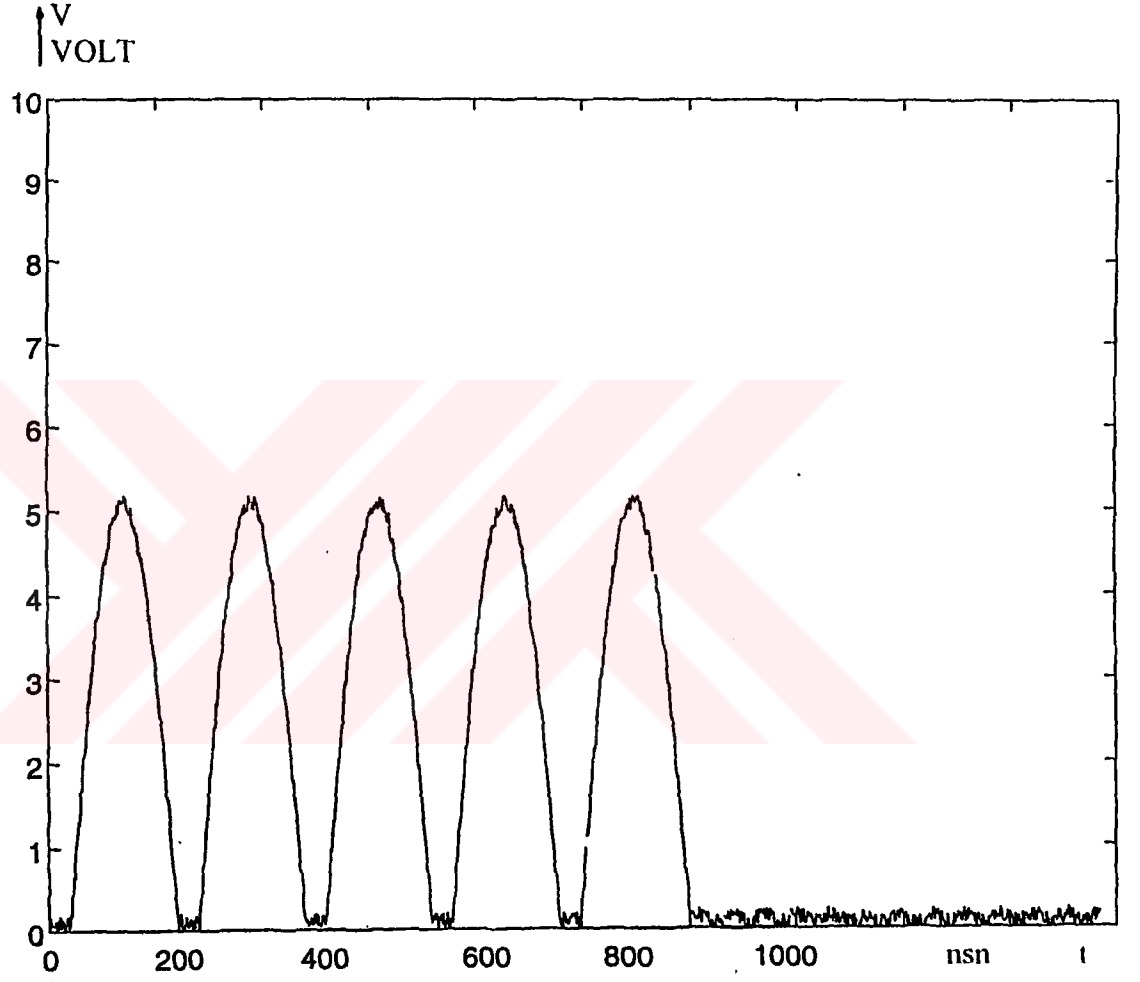
Darbe Frekansı : 50 KHz

74C02 CMOS/NOR

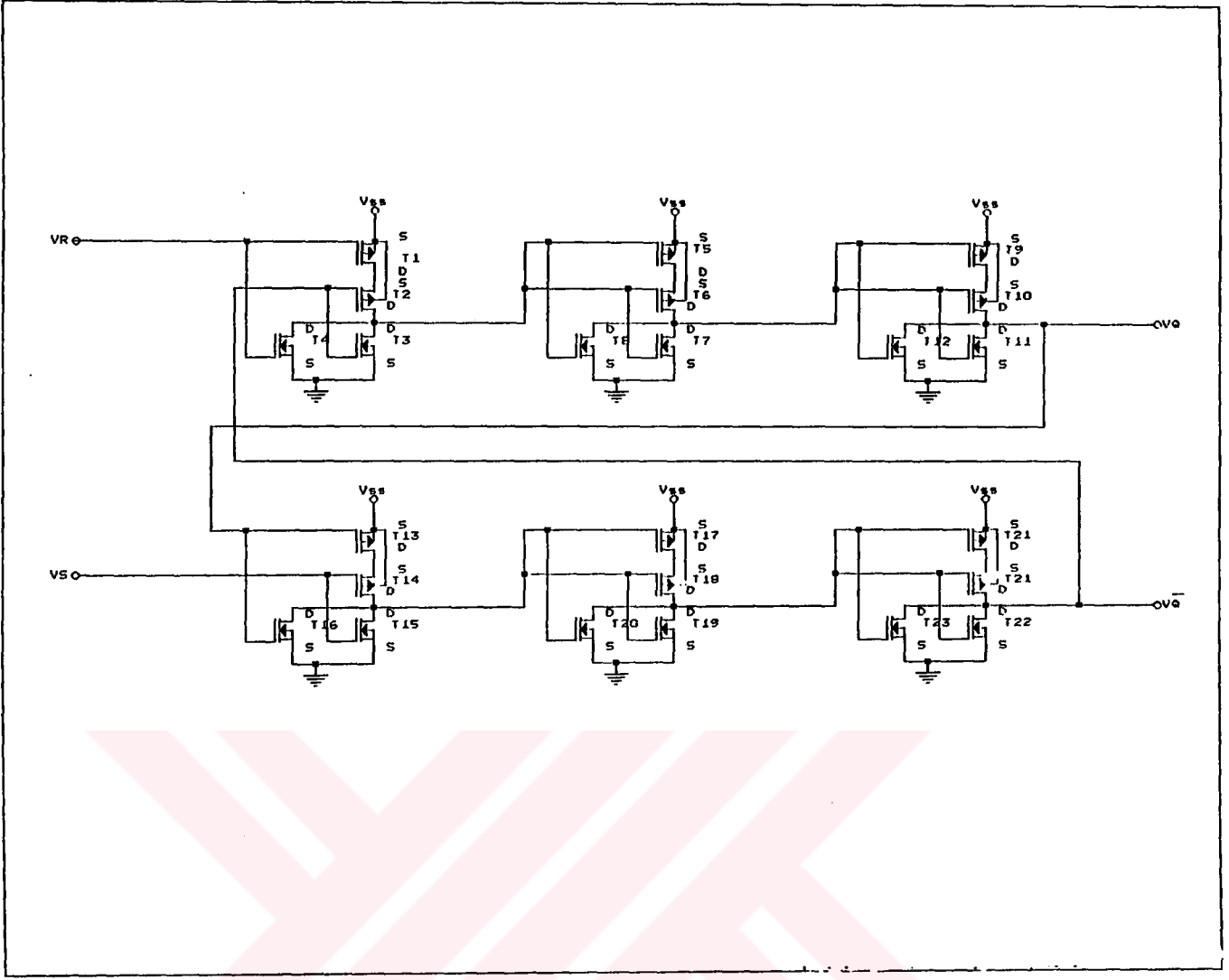
Besleme Gerilimi	Pulse	Yükselme zamanı	Gecikme
3.1 Volt	3.1V	28.8 ns	8 ns
4 Volt	4 V	32 ns	10ns
5 Volt	5 V	33.6ns	14ns
6 Volt	6 V	36.8ns	19.5ns
7 Volt	7 V	40.8ns	20.5ns
8 Volt	8 V	61.6ns	20.5ns
9 Volt	9 V	69.6ns	23ns
10 Volt	10V	72.4ns	32ns
11 Volt	11V	76ns	32ns
12 Volt	12V	72.8ns	32ns
13 Volt	13V	79.2ns	34ns
14 Volt	14V	80.8ns	37ns
15 Volt	15V	87.6ns	41ns



Şekil-5.1.1: Osilasyon yer Eğilimi

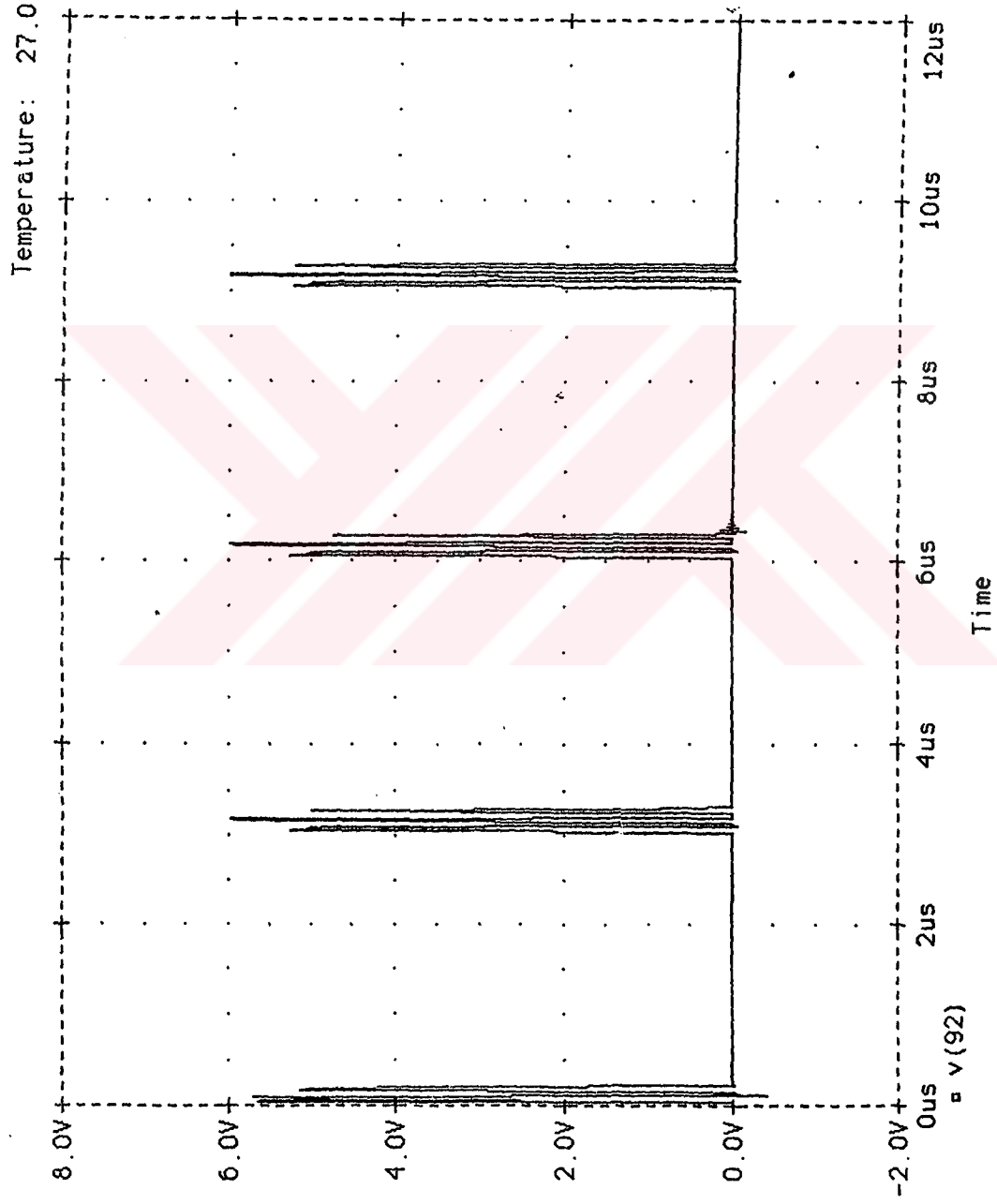


Şekil-5.2: Bir kolu 3 adet 74C02 CMOS NOR ile gerçekleştirilen RS FF da ortaya çıkan osilasyonun Osilasköpta görünüşü. Osilasyon frekansı $f = 7,81$ MHz

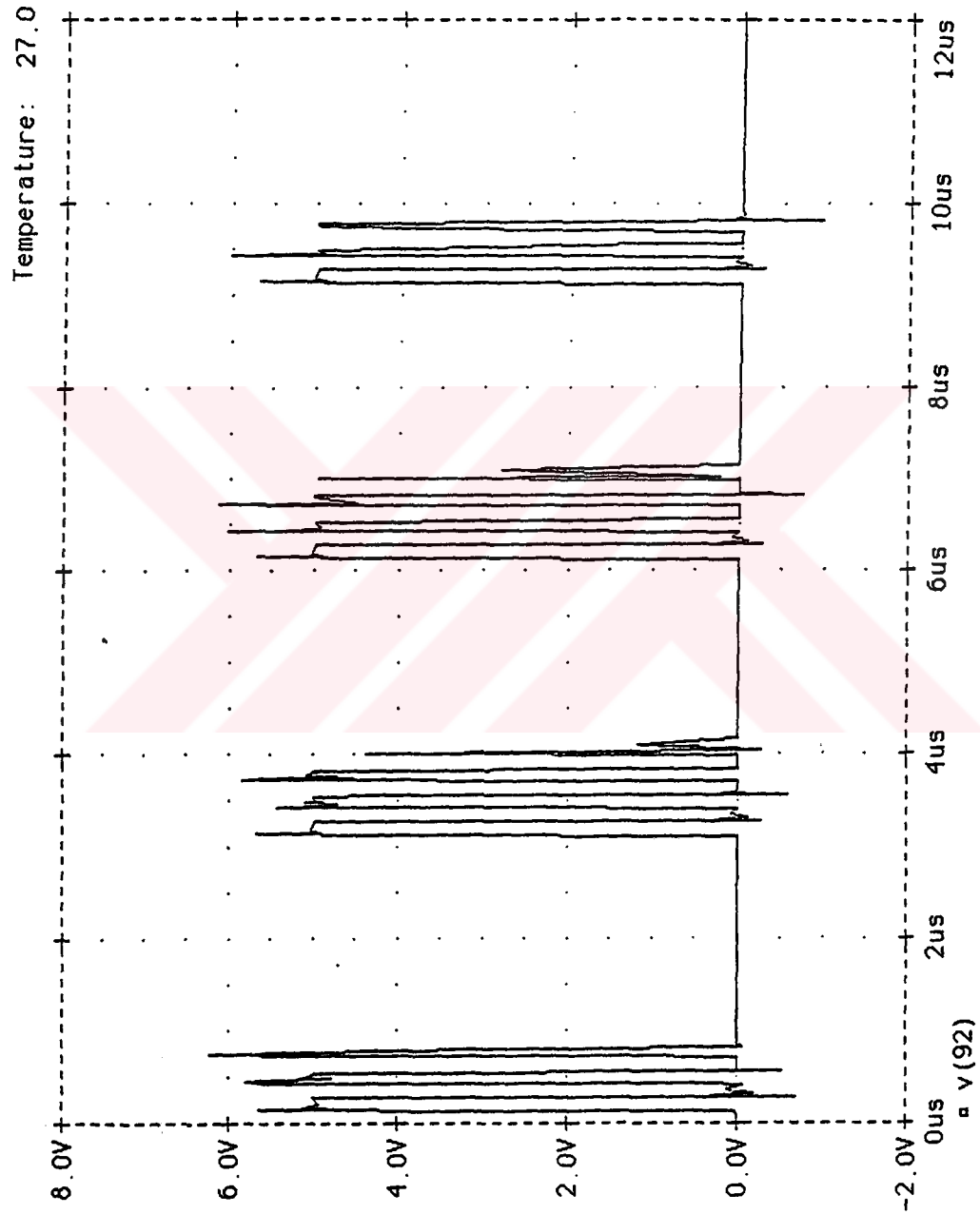


Şekil-5.3: Her bir kolda 3 adet 74C02 CMOS NOR RS FF dan oluşan Test Modeli

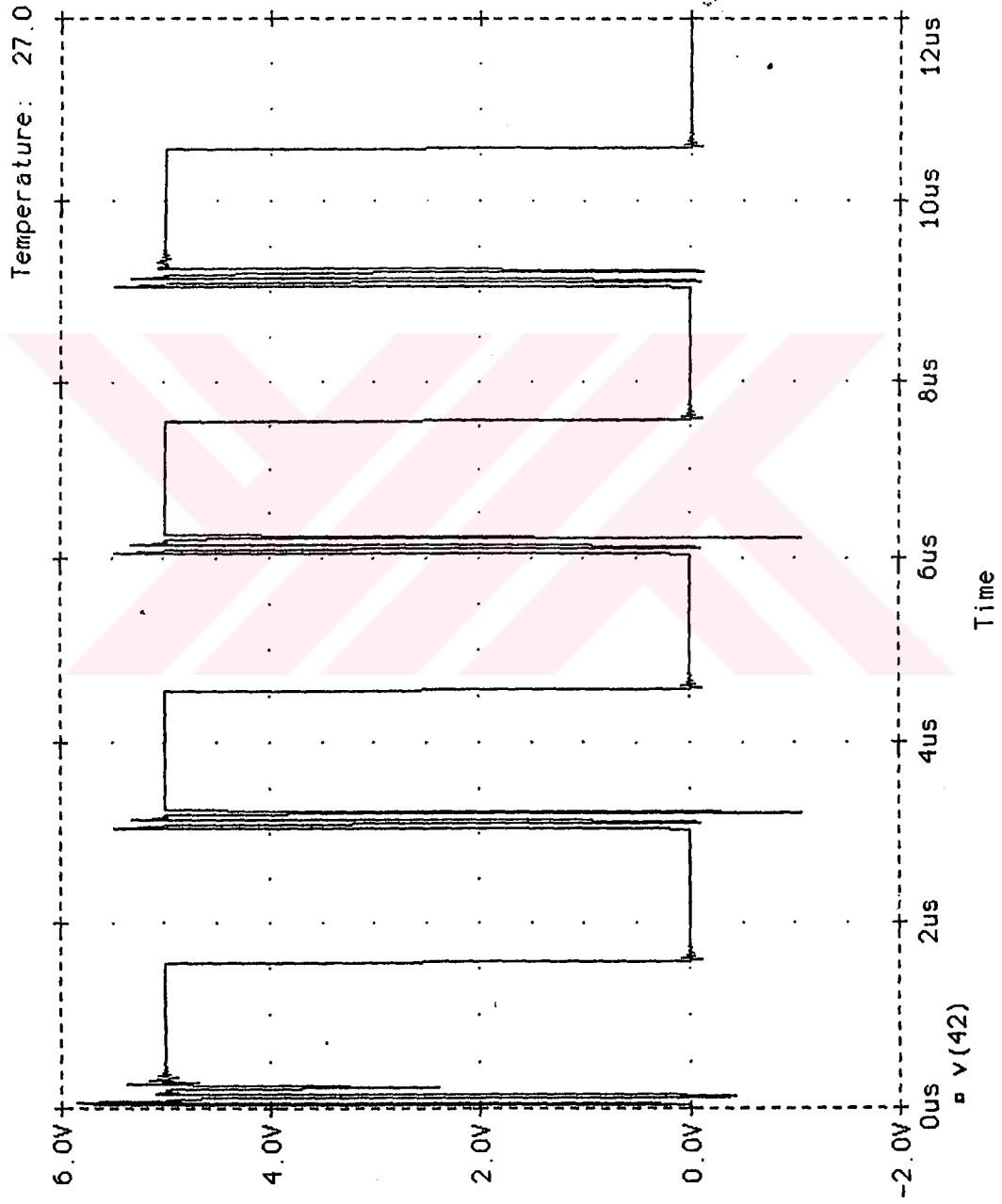
Şekillerden de görüleceği gibi şekil-5.3 'de kurulan model üzerinde yapılan ölçmelerden alınan sonuçlar (Şekil-5.2 ve Tablo-5.1) , PSPICE çıktıları (Şekil-5.4, Şekil5.5, Şekil-5.6) ile analitik sonuçlar, birbirini doğrulamaktadır.



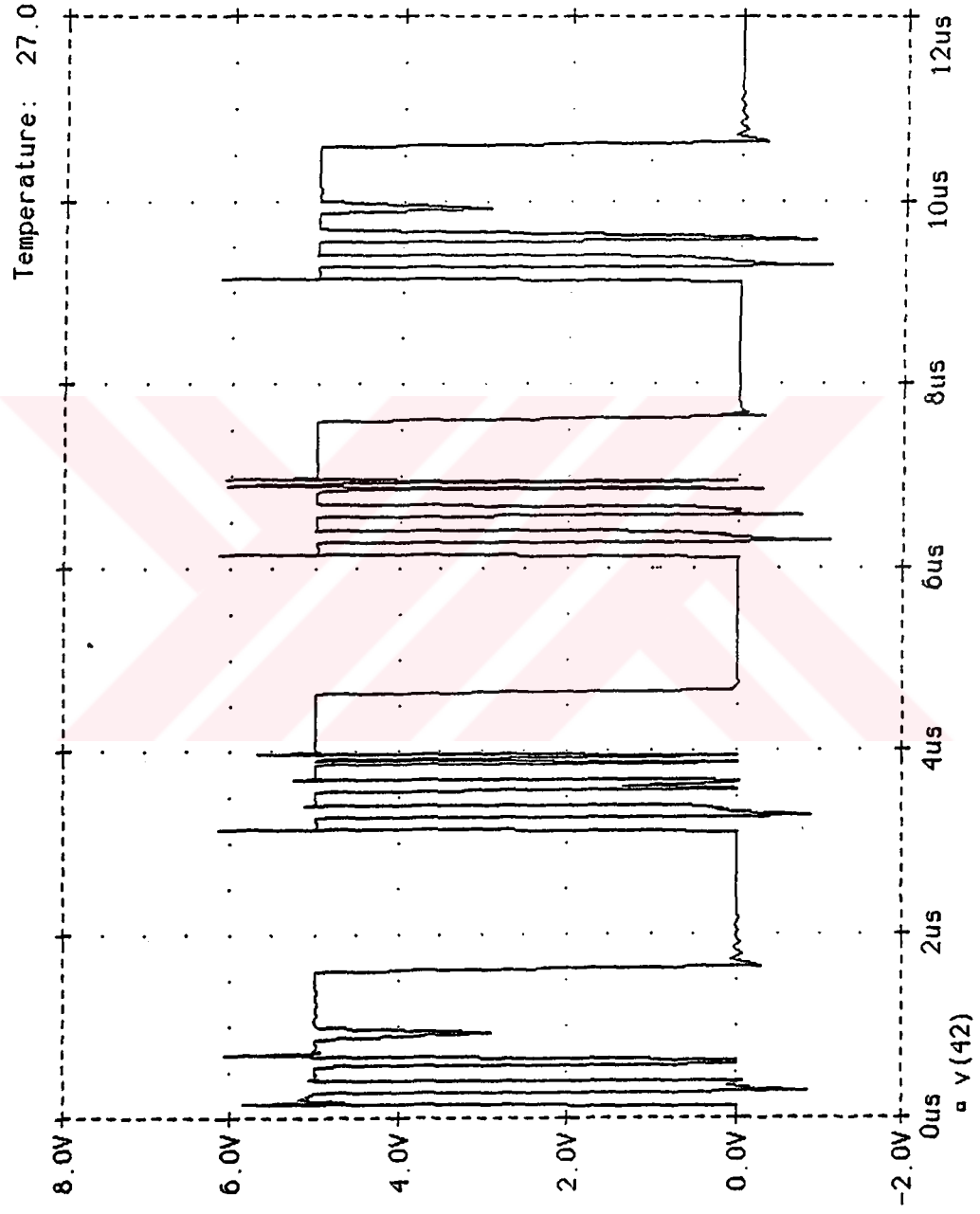
Şekil-5.4: $f = 8 \text{ Mhz}$ $\tau = 42 \text{ ns}$ gecikme ve 5V çalışmadaki PSPICE çıktısı
(V_Q işareti)



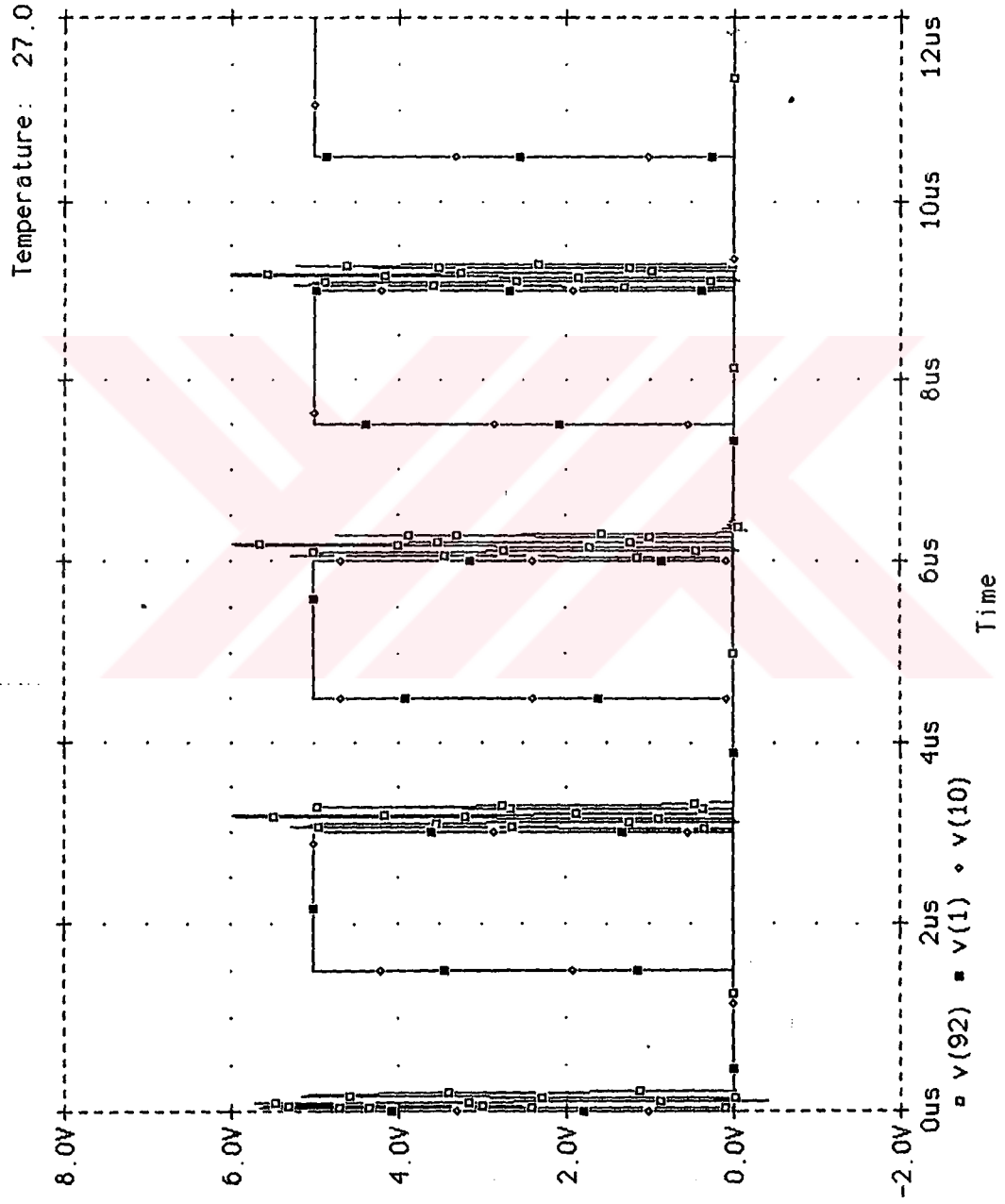
Şekil-5.4.1: $f = 8\text{MHz}$ $\tau = 75\text{ ns}$ gecikme ve 5V çalışmadaki PSPICE çıktısı
(V_o işareti)



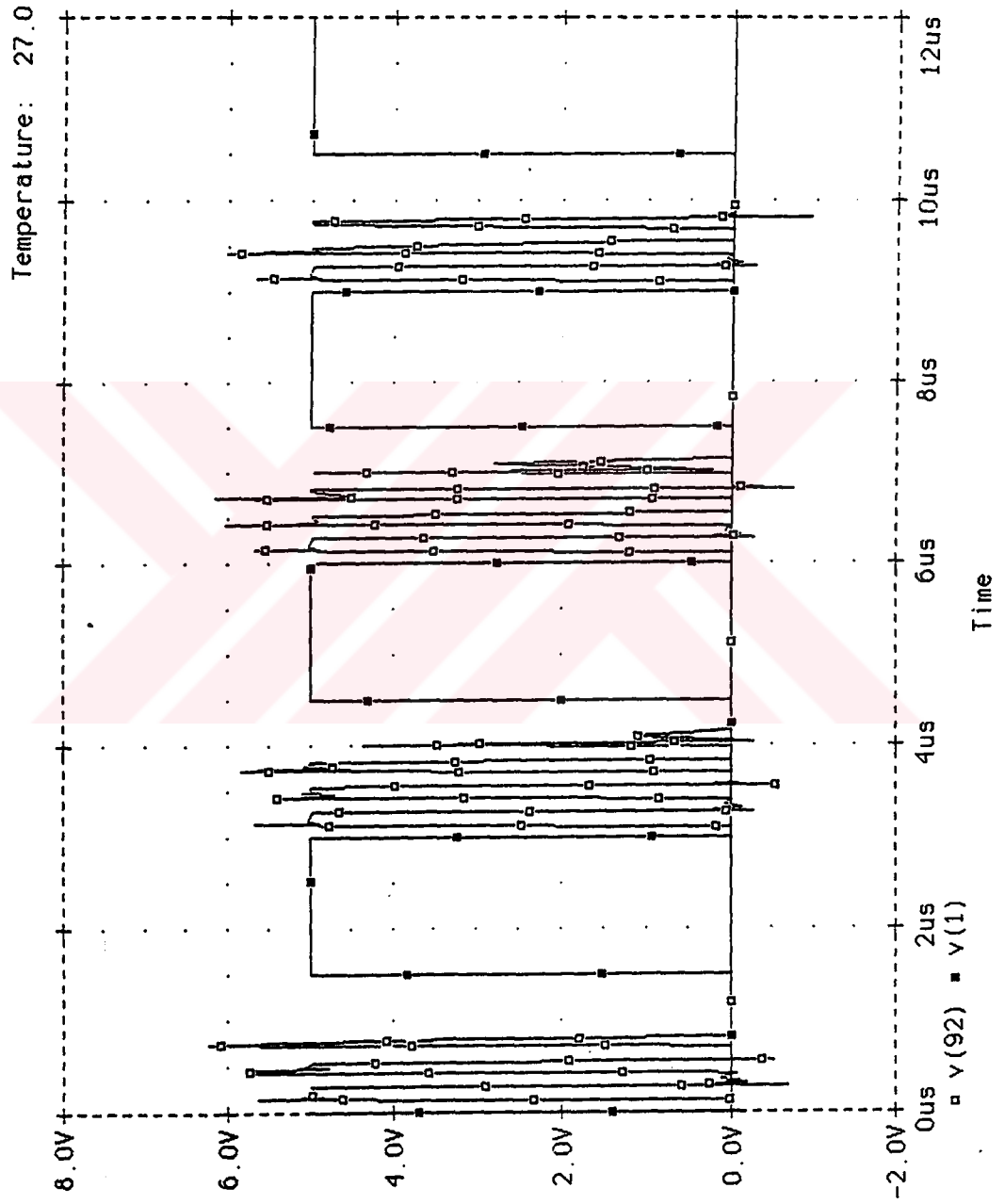
Şekil-5.5: $f = 8 \text{ Mhz}$ $\tau = 42 \text{ ns}$ gecikme ve 5V çalışmadaki PSPICE çıktısı
(V_Q ' işaretli)



Şekil-5.5.1: $f = 8\text{MHz}$ $\tau = 75\text{ ns}$ gecikme ve 5V çalışmadaki PSPICE çıktısı
(V_u' işareti)



Şekil-5.6: Giriş ve Çıkış İşaretlerinin PSPICE'daki Görünüşü



Şekil-5.6.1: Giriş ve Çıkış isaretlerinin PSPICE 'daki görüntüsü ($\tau = 75 \text{ ns}$)

VI - OSİLASYONSUZ ARA-KARARLILIK DURUMUN ANALİZİ VE “değişim süresinin” KISALTILMASI

Yukarıdaki şekilde S döneminde D_1 ve D_2 düğümleri için düğüm denklemleri yazılıp bunlar birleştirilirse [Kacprzak T. 1988]

$$\frac{R^2 C^2}{G^2} s^2 + 2 \frac{RC}{G} \cdot \frac{1}{G} s + \frac{1}{G^2} - e^{-2s\tau} = 0$$

$$\frac{1}{G^2 \omega_0^2} s^2 + 2 \frac{1}{G^2 \omega_0} s + \frac{1}{G^2} - e^{-2s\tau} = 0$$

$$s^2 + 2\omega_0 s + \omega_0^2 - G^2 \omega_0^2 \cdot e^{-2s\tau} = 0$$

Şekil-5.1 deki devrenin çözüm eşitliğinin karakteristik fonksiyonu olan

$$(s + \omega_0)^2 - G^2 \omega_0^2 \cdot e^{-2s\tau} = 0 \quad (7)$$

elde edilir.

Bu ise (2) numaralı açık çevrim kazancının 1 'e eşit yazılması ($v_1 = v_2$) yapmakta yani çevre kapatılmakta ve sağdaki 1 'in sola geçirilmesiyle elde edilen denklemin aynıdır.

Ek 1 'de verildiği gibi sistem fonksiyonu karakteristik fonksiyonun tersi olup sisteme bir (δ) fonksiyonu uygulanması halinde zorlanmış çözümü (impulse cevabını) verir.

Başlangıç fazını non-lineer olarak tamamlayan devre bunun sonunda t_1 anından itibaren (Şekil-4.4) $V_m = \text{sabit}$ ara kararlılık gerilimi ile [Kacprzak T. 1987] kutuplanmış bir lineer devre gibi davranır. Bunun eşdeğeri Şekil-4.5 deki gibi

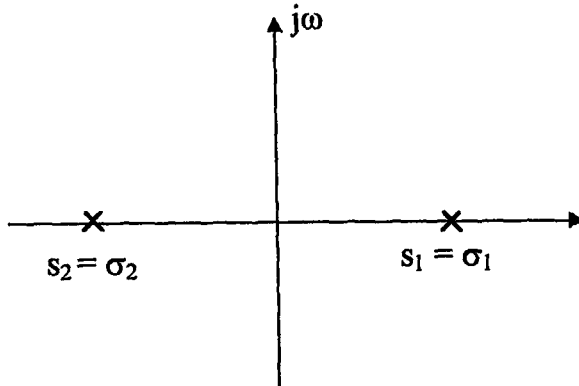
basitleştirilmiş ve osilasyon frekansı ile osilasyon koşulu Şekil-5.1 yardımı ile bulunmuştur.

Tam bu noktada (t_1 anında) osilasyonsuz devrede , V_i veya V_1 olarak bir gürültü geriliminin (δ) fonksiyonu şeklinde belirmesi halinde V_0 veya V_2 , sistem fonksiyonunun (t) dönüşüğü şeklinde değişecek ve bu gerilimleri lojik 0 veya lojik 1 'e taşıyacaktır.(Devre çıkışları saturasyon ve kesime yaklaşımda devre non-lineer olarak çalışır ve model geçerliliğini yitirir.Dolayısıyla çözüm değişim fazı "resolving phase" 'nın başlangıcında doğrudur ve gidiş için bir fikir verir. (6) 'deki osilasyon koşulu gerçekleşmişse gürültü olmasa dahi bu geçiş sinüzoidal osilasyonlar göstererek olur.

Osilasyonlar değişim fazı "resolving phase" da istenmediğinden osilasyon şartının gerçekleşmesi istenmez.Bunun yanında , elektronik gürültü mutlaka sistemde ortaya çıkacağından bunun neden olduğu lojik 1 ve lojik 0 ' a geçişin çok hızlı olması , yani değişim fazı "resolving phase" nın kısa olması istenir.Çünkü bu MTBF 'yi büyütür, sistemi güvenilir hale getirir.

Bunun koşulu sistem fonksiyonun kutuplarının yani karakterisitik fonksiyon sıfırlarının s düzleminde σ eksenini üzerinde olmasıdır. (7) 'deki karakteristik denklemden; τ eksenini üzerinde iki sıfır bulunması için

$$(s + \omega_0)^2 - G^2 \omega_0^2 e^{-2sr} = 0$$



$$e^x = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots |x| < 1 \quad \text{için}$$

$x = -2\sigma\tau$ olup pratikte bu koşulu sağlar.

$$(s + \omega_0)^2 - G^2 \omega_0^2 (1 - 2s\tau) = 0$$

$$s^2 + 2s\omega_0 + \omega_0^2 - G^2 \omega_0^2 + 2s\tau G^2 \omega_0^2 = 0$$

$$s^2 + s(2\omega_0 + 2\tau G^2 \omega_0^2) + \omega_0^2(1 - G^2) = 0$$

s çok büyükse (s^2) ' nin yanında (s) li terim ihmal edilebilir. Denklem;

$$s^2 + \omega_0^2(1 - G^2) = 0 \quad \text{olur.}$$

$$s^2 = (G^2 - 1)\omega_0^2$$

$$s_{1,2} = \pm \sqrt{(G^2 - 1)} \cdot \omega_0$$

$$s_1 = \sigma_1 = \sqrt{(G^2 - 1)} \cdot \omega_0$$

$$s_2 = \sigma_2 = -\sqrt{(G^2 - 1)} \cdot \omega_0$$

$$F(s) = \frac{1}{(s - \sigma_1)(s - \sigma_2)} = \frac{1}{(s + \omega_0)^2 - G^2 \omega_0^2 \cdot e^{-2s\tau}}$$

$$\sigma_1 = \sqrt{G^2 - 1} \cdot \omega_0$$

$$\sigma_2 = -\sqrt{G^2 - 1} \cdot \omega_0$$

$$[F(s) \cdot e^{st}] = \frac{e^{st}}{(s - \sigma_1)(s - \sigma_2)} = \frac{(F(s) \cdot e^{st}) \text{ nin } s = \sigma_1' \text{ deki rezidü}}{(s - \sigma_1)} + \frac{(F(s) \cdot e^{st}) \text{ nin } s = \sigma_2' \text{ deki rezidü}}{(s - \sigma_2)}$$

$$(F(s) \cdot e^{st}) \text{ nin}$$

$$s = \sigma_1' \text{ deki rezidü} = [F(s) \cdot e^{st}](s - \sigma_1) \Big|_{s=\sigma_1} = \frac{e^{\sigma_1 t}}{\sigma_1 - \sigma_2}$$

$$(F(s) \cdot e^{st}) \text{ nin}$$

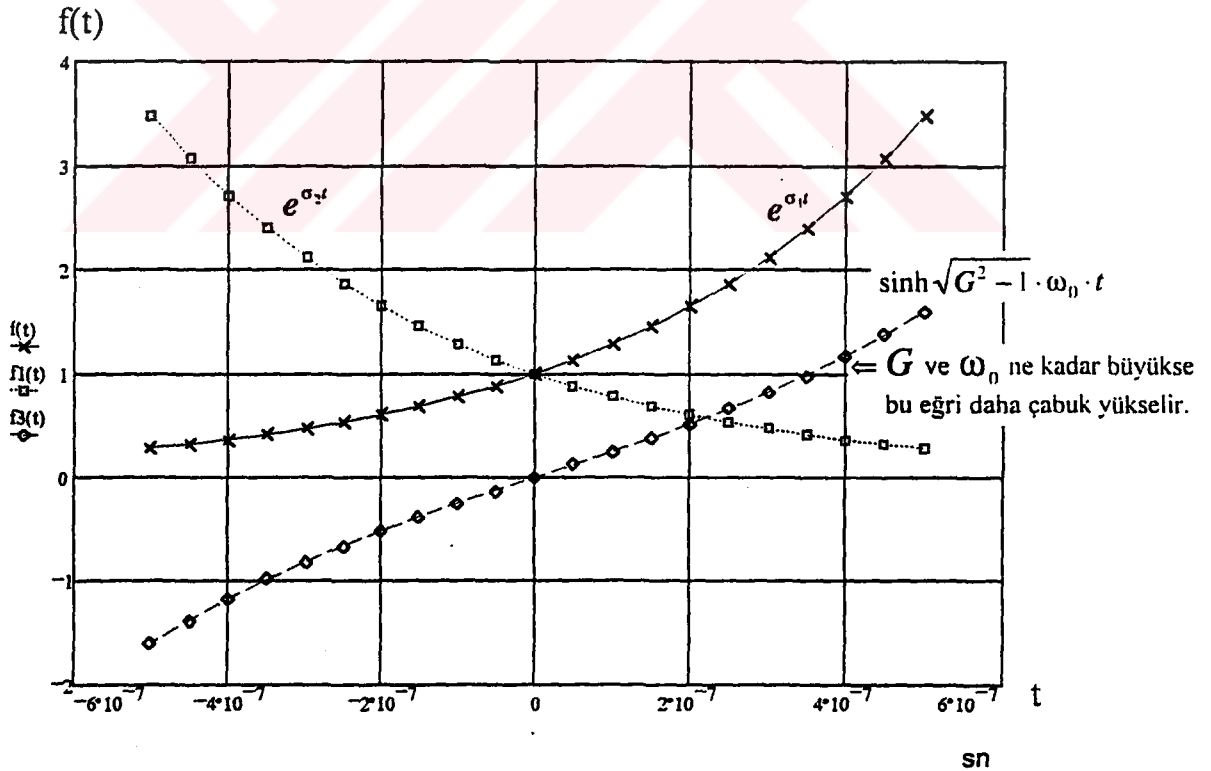
$$s = \sigma_2' \text{ deki rezidü} = [F(s) \cdot e^{st}](s - \sigma_2) \Big|_{s=\sigma_2} = \frac{e^{\sigma_2 t}}{\sigma_2 - \sigma_1}$$

$$L^{-1}[F(s)] = f(t) = \text{Re zidülerin toplamı} = \frac{1}{\sigma_1 - \sigma_2} (e^{\sigma_1 t} - e^{\sigma_2 t})$$

$$f(t) = \frac{1}{2\sqrt{G^2 - 1} \cdot \omega_0} (e^{\sqrt{G^2 - 1} \cdot \omega_0 t} - e^{-\sqrt{G^2 - 1} \cdot \omega_0 t})$$

$$f(t) = \frac{1}{2\sqrt{G^2 - 1} \cdot \omega_0} \sinh \sqrt{G^2 - 1} \cdot \omega_0 \cdot t$$

$f(t)$ 'nin daha dik yükselip kısa zamanda çıkışı doymaya götürebilmesi için eksponansiyel terimler daha hızlı değişmeli yani $|\sigma_1|$ ve $|\sigma_2|$ 'ye alabileceği en büyük değerler verilmelidir. Bu durumda, G ve ω_0 osilasyon şartını sağlamayacak şekilde mümkün olduğu kadar büyük yapılmalıdır.



Şekil-6.1: $G=2.785$ ve $\omega_0=0.00187 \cdot 10^9$ için $f(t)$, değişimi

VII- OSİLAYONSUZ VE KISA BİR ARA-KARARLILIK DEĞİŞİM SÜRESİ İÇİN TRANSİSTORUN FİZİKSEL PARAMETRELERİNİN SEÇİMİ

Şekil-4.5 deki eşdeğer devreden tek bir kapı için;

$$G = -g_m \cdot r_d = -(g_{m2} + g_{m3}) \cdot \frac{1}{g_{ds2} + g_{ds3}}$$

bulunmuştur. Buradan fiziksel üretim parametrelerine geçerek;

$$G = -\left(\sqrt{\frac{2K'_n W_n}{L}} \sqrt{|I_{DQ}|} + \sqrt{\frac{2K'_p W_p}{L}} \sqrt{|I_{DQ}|}\right) \cdot \frac{1}{\lambda_n |I_{DQ}| + \lambda_p |I_{DQ}|}$$

bulunur.

$$G = -\left(\sqrt{\frac{2}{L}} \sqrt{|I_{DQ}|} (\sqrt{K'_n W_n} + \sqrt{K'_p W_p})\right) \cdot \frac{1}{|I_{DQ}|} \cdot \frac{1}{\lambda_n + \lambda_p}$$

$$G = -\left(\sqrt{\frac{2}{L}} \sqrt{|I_{DQ}|} \sqrt{W_n} (\sqrt{K'_n} + \sqrt{K'_p} \cdot \sqrt{\frac{W_p}{W_n}})\right) \cdot \frac{1}{|I_{DQ}|} \cdot \frac{1}{\lambda_n + \lambda_p}$$

Burada L kanal uzunluğu W kanal genişliği λ kanal uzunluğu modülasyon faktörü K' ise üretim sabitidir.

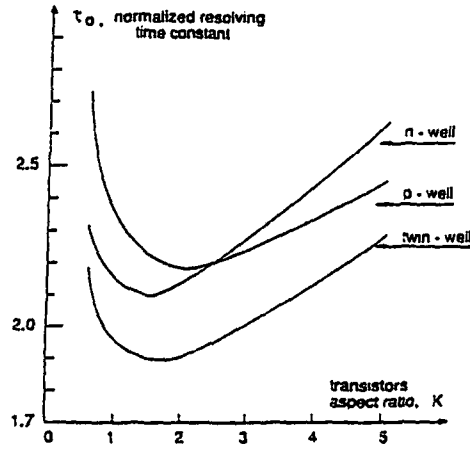
$$K = \frac{W_p}{W_n} = 1.5 \text{ gibi belli bir oranda tutulursa } 1/\tau_0 = \omega_0 = \frac{1}{RC} \text{ nin}$$

maksimum yapılabileceği referansında gösterilmiştir (Şekil-7.1).

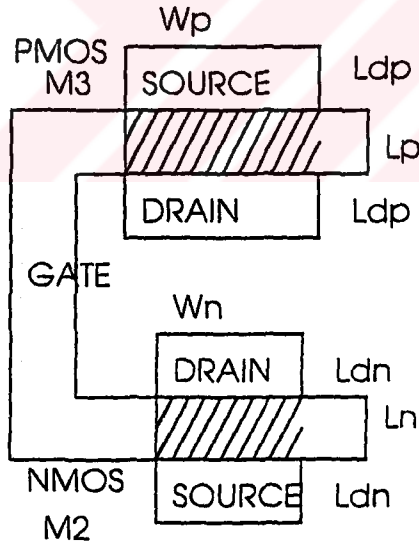
Yukardaki G ifadesinde bu oran sabit olduğuna göre W_n maksimum ,

L minimum yapılarak G artırılabilir. Osilasyon şartı böylece bozulur.

G. ω_0 değişim zaman sabiti ise daha büyütülerek değişim süresi iyice kısaltılmış olur.



Şekil-7.1: $K = W_p / W_n$ oranına bağlı olarak, $1/\tau_o = \omega_o = 1/RC$ 'nin değişimi (Kacprzak T. 1987)



Şekil-7.2: CMOS Eviricinin görünüşü

VIII- TARTIŞMA VE SONUÇLAR

1. Osilasyonlu Ara-kararlılık analizi s domeninde geri besleme sonucu osilasyon koşulu yazılarak yapılmıştır.
2. Osilasyon koşulu analitik olarak elde edilmiştir.
3. Bu koşul, ölçme ile doğrulanmıştır.
4. Osilasyonsuz ara-kararlılık yine s domeninde analiz edilmiş ve kutupların yeri uygun seçilerek değişim süresinin s kısaltılması için gerekli koşul çıkartılmıştır.
5. Osilasyonun kısa sürecek bir ara-kararlılık ‘değişim süresi’ (resolving time) için bulunan koşullardan CMOS üretim parametrelerine geçilerek optimum tasarım yöntemi önerilmiştir.
6. PSPICE simülasyonu sonucu elde edilen dalga şekilleri ile osilasyon koşulunun τ , ω_0 ve G parametreleri ile bağlantısı ve ara-kararlılık durumunun osilasyonsuz ve kısa sürede geçilmesi için bulunan koşulların doğruluğu gösterilmiştir.

IX- ÖZET

Bu çalışmada CMOS RS "Flip-Flop" larda osilasyonlu ve osilasyonsuz kararlılık analizi yapılmış, osilasyon koşulu analitik olarak elde edilmiş ve bu koşul kurulan bir ölçme, test devresiyle doğrulanmıştır. Bu sonuçlardan hareket edilerek optimum CMOS üretim parametreleri ve tasarım yöntemleri önerilmiştir. PSPICE simülasyonu ile de bu sonuçlar gözlenmiş ilgili dalga şekilleri çıkarılmış ve bütün sonuçların doğru olduğu gösterilmiştir.

SUMMARY:

In this work the oscillatory metastable and non-oscillatory metastable operation of CMOS RS Flip-Flops have been analyzed, the condition for oscillation has been derived analytically. This condition has been verified experimentally by measurements on the test circuits. Optimum CMOS RS Flip-Flop fabrication parameters have been obtained and a design method has been proposed. The analytical results have also been verified by using PSPICE simulations. It has been shown that the experimental observations and PSPICE simulation results do agree with the analytical results.

X- KAYNAKLAR

CHANEY T.J. and MOLNAR C.E. "Anomalous Behavior of Synchronizer and Arbiter Circuits," IEEE Tran.Computer Apr.1973, pp.421-422

CATT I."Time Loss Through Gating of Asynchronous Logic Signal Pulses" IEEE Tran.Electronic Computers, feb. 1966, pp108-111

GÖĞÜSGEREN Ü. “ Flip-Flop ‘ların Anormal Davranışı: Ara-Kararlılık (Metastable) ve Texas Instruments Firmasının (Metastable Hardened) Mantık Ürünleri , Empa ,1989, 96-106

KACPRZAK T. " Analysis of Oscillatory Metastable Operation of an RS Flip-Flop" IEEE Journal of Solid-State Circuits Feb.1988,pp.261-266

KACPRZAK T. " Analysis of Metastable Operation in RS CMOS Flip-Flop" IEEE Journal of Solid-State Circuits Feb.1987,pp.57-64

KLEEMAN L. AND CANTONİ A. "Metastable Behavior in Digital Systems" IEEE Design and Test of Computers Decem. 1987 pp. 1-20

KLEEMAN L. AND CANTONİ A.-2 "On the Unavoidability of Metastable Behavior " IEEE Computers jan. 1987 pp. 109-111

MARİNO L.R. "General Theory of Metastable Operation" IEEE Trans.Computers Feb.1981,pp. 107-115

SANKUR B. ve ISTEFAKOPULOS Y. “ Bilgisayar Mantık Devreleri” Boğaziçi Üniversitesi, 1994, 298-300

XI- EKLER

$$A \frac{d^2 y}{dt^2} + B \frac{dy}{dt} + Cy = f(t). \text{sürücü. fonksiyon}$$

$$y = y(t) \text{cevap.. fonksiyonu}$$

$$(As^2 + Bs + C).Y(s) = F(s) + y(0^+)(As + B) + y'(0^+).A$$

Karakteristik fonk. Cevap dönüşüğü sürücü dönüş. ilk şartlar

Dönüşük .denklem

$$Y(s) = \frac{1}{As^2 + Bs + C} \left[F(s) + y(0^+)(As + B) + y'(0^+)A \right]$$

Burada $Y(s)$ = cevap dönüşüklüğü yada ilgilenilen çıkış büyüklüğü

$$H(s) = \frac{1}{D(s)} = \frac{1}{As^2 + Bs + C} = \text{Sistem fonksiyonu yani}$$

karakteristik fonks. tersi

$$F(s) + y(0^+)(As + B) + y'(0^+)A = \text{Uyarma fonksiyonu dur.}$$

$$Y(s) = \frac{F(s)}{D(s)} + \frac{N(s)}{D(s)} = H(s).F(s) + H(s).N(s)$$

$$\frac{F(s)}{D(s)} = Y_a(s), \frac{N(s)}{D(s)} = Y_b(s), H(s).F(s) = Y_a(s)$$

$$H(s).N(s) = Y_b(s)$$

yukarının dönüşüğü;

$$y(t) = y_a(t) + y_b(t)$$

burada;

$y_a(t)$ = zorlanmış çözüm yada ilk koşulları sıfırken bulunan çözümdür.

$y_b(t)$ = kaynak fonksiyonu veya sıfırken bulunan çözüm, öz çözümdür. Sonuç olarak yukardaki $y(t)$ denkleminin sağ tarafı TAM ÇÖZÜM 'dür.

$f(t) = \delta(t)$ impuls fonksiyonu ise $F(s) = 1$ olacağından

$Y_a(s) = H(s)$ olur.

$y_a(t) = h(t)$ olur.

$H(s)$ 'in ters laplace dönüşüğü olan $h(t)$, devrenin (veya sistemin) impuls cevabı olur.

EK 2 : PROGRAMLAR

* M-CMOS3

* Ölçme değerleri $f = 8\text{mhz}$ $\tau = 75\text{ ns}$ Çalışma voltajı = 5V

* CMOS NOR kaps ile gecikme veriliyor *

VDD 2 0 5V

VIN 1 0 DC 5V PULSE (5V 0 0 2NS 2NS 500ns 1000ns)

VB 10 0 DC 5V PULSE (5V 0 0 2NS 2NS 500ns 1000ns)

.MODEL PMOD PMOS (VTO=-2 KP=2E-4 CBD=5PF CBS=2PF RD=5 RS=2 RB=0
+ RG=0 RDS=1MEG CGSO=2PF CGDO=1PF CGBO=1PF)

.MODEL NMOD NMOS (VTO=2 KP=2.5E-4 CBD=5PF CBS=2PF RD=5 RS=2
RB=0

+ RG=0 RDS=1MEG CGSO=1PF CGDO=1PF CGBO=1PF)

** open loop **

M1 3 1 2 2 PMOD L=1U W=5U

M2 5 42 2 3 PMOD L=1U W=5U

M3 5 42 0 0 NMOD L=1U W=5U

M4 5 1 0 0 NMOD L=1U W=5U

M5 6 5 2 2 PMOD L=1U W=5U

M6 7 5 2 6 PMOD L=1U W=5U

M7 7 5 0 0 NMOD L=1U W=5U

M8 7 5 0 0 NMOD L=1U W=5U

M9 8 7 2 2 pMOD L=1U W=5U

M10 9 7 2 8 pMOD L=1U W=5U

M11 9 7 0 0 NMOD L=1U W=5U

M12 9 7 0 0 NMOD L=1U W=5U

T1 9 0 92 0 Z0=100K TD=75NS

R1 92 0 100K

M13 11 92 2 2 PMOD L=1U W=5U

M14 12 10 2 11 PMOD L=1U W=5U

M15 12 10 0 0 NMOD L=1U W=5U

M16 12 92 0 0 NMOD L=1U W=5U

M17 13 12 2 2 PMOD L=1U W=5U

M18 14 12 2 13 PMOD L=1U W=5U

M19 14 12 0 0 NMOD L=1U W=5U

M20 14 12 0 0 NMOD L=1U W=5U

```
M21 15 14 2 2 PMOD L=1U W=5U  
M22 4 14 2 15 PMOD L=1U W=5U  
M23 4 14 0 0 NMOD L=1U W=5U  
M24 4 14 0 0 NMOD L=1U W=5U
```

```
T2 4 0 42 0 Z0=100K TD=75NS  
R2 42 0 100K  
.TRAN 0.1ns 8us  
* Transfer function analysis  
.TF V(9) VIN  
.END
```



* M-CMOS4

* Ölçmeye uygun simulasyon $f=8\text{Mhz}$ $T_O=42\text{ns}$ 5V çalışma

VDD 2 0 5V

VIN 1 0 DC 5V PULSE (5V 0 0 2NS 2NS 1500ns 3000ns)

VB 10 0 DC 5V PULSE (5V 0 0 2NS 2NS 1500ns 3000ns)

.MODEL PMOD PMOS (VTO=-2 KP=6E-4 CBD=5PF CBS=2PF RD=5 RS=2 RB=0
+ RG=0 RDS=1MEG CGSO=2PF CGDO=1PF CGBO=1PF)

.MODEL NMOD NMOS (VTO=2 KP=6.8E-4 CBD=5PF CBS=2PF RD=5 RS=2
RB=0

+ RG=0 RDS=1MEG CGSO=1PF CGDO=1PF CGBO=1PF)

** open loop **

M1 3 1 2 2 PMOD L=1U W=5U

M2 5 42 2 3 PMOD L=1U W=5U

M3 5 42 0 0 NMOD L=1U W=5U

M4 5 1 0 0 NMOD L=1U W=5U

M5 6 5 2 2 PMOD L=1U W=5U

M6 7 5 2 6 PMOD L=1U W=5U

M7 7 5 0 0 NMOD L=1U W=5U

M8 7 5 0 0 NMOD L=1U W=5U

M9 8 7 2 2 PMOD L=1U W=5U

M10 9 7 2 8 PMOD L=1U W=5U

M11 9 7 0 0 NMOD L=1U W=5U

M12 9 7 0 0 NMOD L=1U W=5U

T1 9 0 92 0 Z0=100K TD=42NS

R1 92 0 100K

M13 11 92 2 2 PMOD L=1U W=5U

M14 12 10 2 11 PMOD L=1U W=5U

M15 12 10 0 0 NMOD L=1U W=5U

M16 12 92 0 0 NMOD L=1U W=5U

```
M17 13 12 2 2 PMOD L=1U W=5U
M18 14 12 2 13 PMOD L=1U W=5U
M19 14 12 0 0 NMOD L=1U W=5U
M20 14 12 0 0 NMOD L=1U W=5U
```

```
M21 15 14 2 2 PMOD L=1U W=5U
M22 4 14 2 15 PMOD L=1U W=5U
M23 4 14 0 0 NMOD L=1U W=5U
M24 4 14 0 0 NMOD L=1U W=5U
```

```
T2 4 0 42 0 Z0=100K TD=42NS
R2 42 0 100K
.TRAN 0.1ns 12us
* Transfer function analysis
.TF V(9) VIN
.END
```

XII- ÖZGEÇMİŞ

Kars 'ın Susuz ilçesinde 1959 yılında doğdu. İlk, orta ve liseyi istanbulda okudu. 1982 yılında Yıldız Teknik Üniversitesi Elektrik Mühendisliği bölümünü bitirdi. Aynı yıl Bursa Uludağ Üniversitesine Araştırma Görevlisi olarak girdi. 1985 yılında Uludağ Üniversitesinde Elektronik ve Haberleşme Mühendisliği Bölümünde Master yaptı. İkinci yüksek lisans çalışmasını 1989-1991 yılında İngiltere de yapay zeka konusunda University of Wales 'de yaptı. Halen İstanbul Üniversitesi Mühendislik Fakültesinde Öğretim Görevlisi ve yarı zamanlı olarak da TUBİTAK 'da çalışmaktadır

