

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

METAL OKSİTLİ ALAN ETKİLİ TRANSİSTÖR GÜÇ
ELEMENLARININ GÜVENİLİRLİK ANALİZİ

Rahmet Aybüke BİLİR

YÜKSEK LİSANS TEZİ

Elektrik Mühendisliği Anabilim Dalı

Elektrik Makinaları ve Güç Elektroniği Programı

Danışman

Dr. Öğr. Üyesi Nihan ALTINTAŞ

Eş Danışman

Prof. Dr. Erkan MEŞE

Haziran, 2019

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

METAL OKSİTLİ ALAN ETKİLİ TRANSİSTÖR GÜÇ ELEMANLARININ
GÜVENİLİRLİK ANALİZİ

Rahmet Aybüke BİLİR tarafından hazırlanan tez çalışması 10.06.2019 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektrik Mühendisliği Anabilim Dalı, Elektrik Makinaları ve Güç Elektroniği Programı **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Dr. Öğr. Üyesi Nihan ALTINTAŞ

Yıldız Teknik Üniversitesi

Danışman

Prof. Dr. Erkan MEŞE

Ege Üniversitesi

Eş Danışman

Jüri Üyeleri

Dr. Öğr. Üyesi Nihan ALTINTAŞ, Danışman

Yıldız Teknik Üniversitesi

Prof. Dr. Faruk BAKAN, Üye

Yıldız Teknik Üniversitesi

Dr. Öğr. Üyesi Hakan AKÇA, Üye

İstanbul Gelişim Üniversitesi

Danışmanım Dr. Öğr. Üyesi Nihan ALTINTAŞ sorumluluğunda tarafımda hazırlanan Metal Oksitli Alan Etkili Transistör Güç Elemanlarının Güvenilirlik Analizi başlıklı çalışmada veri toplama ve veri kullanımında gerekli yasal izinleri aldığımı, diğer kaynaklardan aldığım bilgileri ana metin ve referanslarda eksiksiz gösterdiğimi, araştırma verilerine ve sonuçlarına ilişkin çarpıtma ve/veya sahtecilik yapmadığımı, çalışmam süresince bilimsel araştırma ve etik ilkelerine uygun davrandığımı beyan ederim. Beyanımın aksinin ispatı halinde her türlü yasal sonucu kabul ederim.

Rahmet Aybüke BİLİR

İmza



Ailem'e

TEŞEKKÜR

Öncelikle, lisans eğitimime başladığım andan itibaren kendisini örnek aldığım, her dersini ayrı keyifle dinlediğim, güç elektroniğini bana sevdiren, bana danışman olmaktan yorulmayan eş danışmanım Prof. Dr. Erkan Meşe'ye,

Bu tez çalışması boyunca bana 7/24 zaman ayıran, bir danışmandan çok daha fazlası arkadaş olan danışman hocam Doç. Dr. Nihan Altıntaş'a,

Lisans ve yüksek lisans eğitimim süresince kendilerinden ders aldığım ve mühendis olmamda katkıları olan YTÜ Elektrik Mühendisliği Bölümü öğretim üyelerine,

Tez konusu belirlemede fikir veren iş arkadaşım Uğur Emre Doğru'ya, Tez konum ile ilgili yanlarına gittiğimde bu işe nasıl başlamam konusunda beyin fırtınası ile çalışmanın temellerini attığım değerli çalışma arkadaşlarım Burak Yoca ve Erman Kiremit'e, MOSFET'lerin analizinde kapılarını her çaldığımda desteğini esirgemeyen Arçelik Yarı iletken laboratuvarı'na, her ihtiyacımda tezimdaki deneylerde ve araştırmalarda hiçbir desteğini esirgemeyen özverili sevgili iş arkadaşım Zülal Tosunoğlu'na, Deneylerde bana destek olan arkadaşım Cem Sasa'ya, tez süresince hiçbir desteğini esirgemeyen beni her zaman motive eden kıymetli çalışma arkadaşım Neslihan Demircan'a, Tüm cihaz envanterini kullanımıma açan Arçelik elektronik işletmesi giriş kalite laboratuvarına ve teknisyenlerine,

Mesleki açıdan her biri son derece kıymetli olan Arçelik Ar-Ge'deki çalışma arkadaşlarım Özgür Özen, Mertcan Aşçı, İsmail Çimen'e, İskender Gürler ve Hakan Yazıcı'ya,

En önemlisi de eğitim hayatım boyunca varlığını hep yanımda hissettiğim biricik anneme, benden hiçbir zaman maddi ve manevi desteğini esirgemeyen hem iş arkadaşım hem hayat arkadaşım sevgili eşim Aydoğan Bilir'e sonsuz teşekkürler.

Rahmet Aybüke BİLİR

İÇİNDEKİLER

SİMGE LİSTESİ.....	IX
KISALTMA LİSTESİ	XII
ŞEKİL LİSTESİ.....	XIV
TABLO LİSTESİ.....	XVI
ÖZET	XVII
ABSTRACT.....	XIX
1 Giriş.....	1
1.1 Literatür Özeti.....	1
1.2 Tezin Amacı.....	6
1.3 Hipotez.....	6
2 Metal Oksit Alan Etkili Güç Transistörlerine (MOSFET) Genel Bakış.....	7
2.1 MOSFET Tarihçesi	7
2.2 MOSFET Prensibi.....	7
2.2.1 I-V Karakteristiği.....	10
2.2.2 MOSFET'in Çalışma Prensibi.....	12
3 Güvenilirlik ve Temelleri	20
3.1 Güvenilirlik Nedir?	20
3.2 Banyo Küvet (BathTub Curve) Eğrisi.....	21
3.3 Güvenilirlik Test Metodları	22
3.3.1 Hızlandırılmış Testler	22
3.3.1.1 Sıcaklık Hızlandırması (Temperature Acceleration)	24
3.3.1.2 Aktivasyon Enerjisi.....	25
3.3.3.1 Gerilim Hızlandırma.....	25

3.3.3.4 Sıcaklık Döngüsü Hızlandırma	26
3.3.3.5 Nem Hızlandırma	27
3.4 Veri Analizi İçin Güvenilirlik Fonksiyonu	27
3.4.1 Güvenilirlik Fonksiyonunun Tanımı	28
3.4.2 Hata Dağılım Fonksiyonu.....	28
3.4.3 Hata Olasılık Yoğunluğu Fonksiyonu	29
3.4.4 Hata Oranı Fonksiyonu	30
3.4.5 Hata Oranı Birimi	30
4 Güvenilirlik Testleri.....	31
4.1 Teknoloji Stres Testleri.....	31
4.2 Sıcak Taşıyıcı Ömrü	31
4.3 Elektron Göçü	33
4.4 Zamana Bağlı Dielektrik Dağılım (TDDB).....	34
4.5 Yaşlandırma ve Analizi.....	35
4.6 Yeterlilik için Ürün Stres Testleri	36
4.6.1 Yüksek Sıcaklık Ömür Testleri	36
4.6.1.1 Yüksek Sıcaklık Geçit Öngerilimi (High- Temperature Gate Bias HTBG).....	36
4.6.1.2 Yüksek Sıcaklık Test Öngerilimi (High Temperature Reverse Bias HTRB)	36
4.6.1.3 Yüksek Sıcaklıkta Çalışma Ömrü (High Temperature Operating Life HTOL).....	37
4.6.2 Çevresel Testler	37
4.6.2.1 Önkoşul (Patlamış Mısır Etkisi Muhasebesi)	37
4.6.2.3 Sıcaklık Döngüsü (Temperature Cycling TC).....	38
4.6.2.4 Sıcaklık Nemi Öngerilimi (Temperature Humidity Bias THB).....	38

4.6.2.5 Yüksek Derecede Hızlandırılmış Stres Testi (HAST).....	38
4.6.2.6 Ddkl Tencere Testi (Pressure Cooker Test PCT).....	38
4.6.2.7 Aralıklı Çalıřma mr (Intermittent Opertational Life IOL).....	39
5 Hata Mekanizmaları.....	40
5.1 Termomekanik Gerilmelerden Kaynaklı Hatalar	40
5.1.1 MOSFET Baę Teli Kırılması ve Kalkma Hatası	41
5.1.2 MOSFET Çekirdek Ek Yeri Yařlanması ve Hatası.....	42
5.2 Elektriksel Hatalar.....	43
5.2.1 Kapı Oksit Bozulması	43
5.2.2 Maksimum Savak-Kaynak Gerilimi Bozulması.....	44
6 Deneysel Çalıřma.....	46
6.1 Yntem	48
6.2 Kullanılan Malzemeler	49
6.3 Veri Sayfası Karřılařtırması	46
6.4 Kullanılan Malzemelerin Elektriksel Grafiklerinin Karřılařtırılması.....	47
6.5 Test Dzeneęi	49
7 Analizler	55
7.1 Analiz Yntemi.....	55
7.2 Test Sonrası lmler.....	56
7.3 Hatalı MOSFET'lerin İ Yapılarının Analizi	64
7.4 Test Sonularının Deęerlendirilmesi	67
8 Tartıřma ve Sonu	78
Kaynaka.....	80
A rnek Hata Oranı Hesaplama Tablosu.....	84
B Elektriksel Parametrelerin rnek lm Raporları.....	84
C Arduino Anahtarlama Kodu	84

D Elektriksel Parametrelerin Değişim Tabloları.....	84
Tezden Üretilmiş Yayınlar	89



SİMGE LİSTESİ

A°	Angstrom
atm	Atmosfer Basıncı
AF_V	Gerilim Hızlanma Faktörü
BV_{DSS}	Savak-Kaynak Devrilme Gerilimi
C_{ox}	Oksit Kapasitesi
cm	Santimetre
$^\circ C$	Santigrat
D	Drain (Savak)
eV	Elektron Volt
Ev	Elektron Volt
E_a	Aktivasyon Enerjisi
$F(t)$	Arıza Dağılım Fonksiyonu
$f(t)$	Hata Olasılık Yoğunluğu Fonksiyonu
G	Gate (Kapı-Geçit)
I_{DSS}	Savak Kaynak Akımı
I_{GSS}	Kapı Kaynak Akımı
i_D	Savak Akımı
k	Boltzmann Sabiti
L	Kanal Genişliği
M	Mikro
n	İyi Örnek Sayısı
n	N maddesi

p	P Maddesi
$r(t)$	0'dan t'ye kadar olan dönem boyunca başarısız olan toplam örnek sayısı
RH	Bağıl Nem
$R(t)$	Güvenilirlik Fonksiyonu
$R_{DS(ON)}$	Savak Kaynak Direnci
S	Source (Kaynak)
Si	Silisyum
SiO_2	Silisyum Oksit
S_o	Çalışma Stresi
S_s	Stres Seviyesi
T_o	Çalışma Sıcaklığı
T_c	Kılıf Sıcaklığı
T_s	Stres Sıcaklığı
T_j	Jonksiyon Sıcaklığı
T_{ODA}	Ortam Sıcaklığı
t_{ox}	Oksit Kalınlığı
$V_{CS(x)}$	Kanal Gerilim Düşümü
V_{DD}	Savak Kaynak Kutuplama Gerilimi
V_{DS}	Savak-Kaynak Gerilimi
$V_{GS(th)}$	Kapı Kaynak Tetikleme Gerilimi
V_{GS}	Kapı-Kaynak Gerilimi
V_{GSS}	Kapı Kaynak Gerilimi
V_o	Çalışma Gerilimi
W	Kapı Genişliği
ϵ_{ox}	Silisyum Dioksit Elektrik Alan Sabiti

τ_0	Ürünün Kullanım Ömrü
τ_s	Ömür
ΔT	Sıcaklık Farkı
x	Mesafe
β	Ürünün Ömür Eğrisinde Arızalanma Karakteristiğini Gösteren Parametresi
Ω	Ohm



KISALTMA LİSTESİ

AEC-Q101	Otomotiv Elektronik Konseyi
AFT	Sıcaklık İvme Faktörü
BJT	Bipolar Jonksiyon Transistor
CMOS	Complementary Metal Oxide Semiconductor
FET	Alan Etkili Transistor
FIT	Başarısızlık Birimi
HALT	Highly Accelerated Life Test
HASS	Highly Accelerated Stress Screen
HTGB	High Temperature Gate Bias
HTGB	High Temperature Reverse Bias
HTOL	High Temperature Operating Life
HTRB	High Temperature Operating Life
HTS	High Temperature Storage
IC	Integrated Circuit
IEC	Uluslararası Elektroteknik Komisyonu
IOL	Intermittent Operating Life
JEDEC	Joint Electron Device Engineering Council
JEITA	Japonya Elektronik ve Bilgi Teknolojileri Endüstrileri Birliği
JFET	Eklem Alan Etkili Transistor
JIS	Japon Endüstri Standartları
LED	Light Emitting Diode
LLD	Lightly Doped Drain (Hafif Katkılı Savak)
MIL	Askeri Şartnameler ve Standartlar

MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MTTF	Mean Time to Failure
PCT	Pressure Cooker Test
PPM	Part Per Million (Milyonda Bir)
QALT	Quantitative Accelerated Life Test
TC	Temperature Cycling
TDDDB	Time Dependent Dielectric Breakdown
THB	Temperature Humidity Bias
VRAMP	Voltage Ramping

ŞEKİL LİSTESİ

Şekil 2.1 n-kanallı güç MOSFET'inin düşey kesit görünüşü.....	8
Şekil 2.2 n-kanallı güç MOSFET'inin perpektif görünüşü.....	9
Şekil 2.3 İletim durumunda yığılma katmanının meydana gelmesi.....	9
Şekil 2.4 Kesim durumunda alan levhası davranma durumu.....	10
Şekil 2.5 (a) n-kanallı (b) p-kanallı MOSFET için devre sembolleri.....	10
Şekil 2.6 (a) n-tipi bir MOSFET'in akım-gerilim eğrisi (b) geçiş eğrisi	11
Şekil 2.7 (a) Fakirleşmiş katmanın oluşumu (b), (c) Evirtim katmanının oluşumu ..	13
Şekil 2.8 (a) Uzaysal olarak düzgün alan, (b) uzaysal düzgün olmayan alan	16
Şekil 2.9 Elektrik alan şiddetine göre silisyumdaki electron sürüklenme hızı	17
Şekil 3.1 Zamana bağlı hata oranı banyo kuvvet eğrisi	20
Şekil 3.2 Stres seviyesinin ömür ile ilişkisi.....	22
Şekil 3.3 Güvenilirlik ve güvenilmezlik fonksiyonlarının ilişkisi	27
Şekil 3.4 Güvenilirlik fonksiyonu $R(t)$ hata dağılım fonksiyonu $F(t)$ ve hata olasılık yoğunluğu fonksiyonu $f(t)$	28
Şekil 4.1 Doygunlukta bir n-kanallı MOSFET	30
Şekil 4.2 Boşluklar ve çıkıntılar.....	32
Şekil 5.1 Yarı iletkenin çekirdek ek yeri ve bağ teli.....	39
Şekil 5.2 Bağ teli kırılması	40
Şekil 5.3 Bağ teli kalkması.....	40
Şekil 5.4 Bakır çekirdek ek yeri.....	41
Şekil 5.5 Yüksek çözünürlüklü transmision elektron mikrografi ile çekilmiş MOSFET.....	43
Şekil 5.6 Sığ geri çekme(Shallow snap-back solda), derin geri çekme (deep snap- back sağda).....	43

Şekil 6.1 Devre şeması	48
Şekil 6.2 Sıcaklık ölçme test düzeneği	49
Şekil 6.3 Test Metodu	50
Şekil 7.1 Analiz Yöntemi Akış Şeması	52
Şekil 7.2 $R_{DS(ON)}$ değerlerinin değişimi.....	55
Şekil 7.3 I_{GSS0} (nA) değerlerinin değişimi.....	55
Şekil 7.4 I_{GSS0} (nA)(-) değerlerinin değişimi	56
Şekil 7.5 I_{DSS} değerlerinin değişimi.....	56
Şekil 7.6 B_{VDSS} değerlerinin değişimi.....	57
Şekil 7.7 V_{SD} değerlerinin değişimi	57
Şekil 7.8 $V_{GS(th)}$ değerlerinin değişimi.....	58
Şekil 7.9 Firma1_Örnek 2_500.000 çevrim sonrası	59
Şekil 7.10 Firma 1_Örnek 3_Bir Milyon Çevrim Sonrası.....	59
Şekil 7.11 Firma 2_Örnek 1 500.000 çevrim sonrası	60
Şekil 7.12 Firma 3_Örnek 2 Bir Milyon çevrim sonrası	60
Şekil 7.13 Firma 3_Örnek 4 500.000 çevrim sonrası	60
Şekil 7.14 Tuzak yüklerin oluşumu ve kapı kırılması.....	62
Şekil 7.15 $V_{GS(th)}$ değerinin ölçülme devresi.....	64
Şekil 7.16 $V_{GS(th)}$ değerinin ölçüm düzeneği.....	64
Şekil 7.17 V_{DSS} değerinin ölçme devresi.....	65
Şekil 7.18 V_{DSS} değerinin ölçüm düzeneği.....	65
Şekil 7.19 I_{DSS} değerinin ölçülme devresi	66
Şekil 7.20 I_{DSS} değerinin ölçüm düzeneği.....	66
Şekil 7.21 V_{GSS} değerinin ölçülme devresi	67
Şekil 7.22 V_{GSS} değerinin ölçüm düzeneği.....	67
Şekil 7.23 I_{GSS} değerinin ölçülme devresi.....	68

Şekil 7.24 I_{GSS} değerinin ölçüm düzeneği.....	69
Şekil A.1 TI firmasına ait hata oranı hesaplayıcısının örnek çıktıları.....	76
Şekil B.2 Elektriksel parametrelerin örnek ölçüm raporu.....	77
Şekil B.3 Karakteristik grafiklerinin örnek ölçüm raporu	77
Şekil C.1 Arduino anahtarlama kodu.....	78
Şekil D.1 Arduino anahtarlama kodu	79



TABLO LİSTESİ

Tablo 3.1 Hata Mekanizmalarına Göre Aktivasyon Enerjiler	24
Tablo 3.2 Hata Mekanizmalarına Göre Gerilim Hızlandırma katsayısı.....	25
Tablo 6.1 Kullanılan MOSFET'lerin Modelleri	45
Tablo 6.2 Üç firmanın veri sayfası değerlerinin karşılaştırılması.....	45
Tablo 6.3 Üç firmanın grafiklerinin karşılaştırılması 1.....	46-47
Tablo 6.4 Kılıftan ölçülen sıcaklıklar	49
Tablo 7.1 Hatalı Örneklerin Hata Çevrim Tablosu.....	53
Tablo 7.2 Hatalı Örneklerin Sıcaklık Değişim Tablosu.....	53
Tablo 7.3 MOSFET Pinler Arası Ölçüm	54
Tablo 7.4 1. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi .	60
Tablo 7.5 2. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi	61
Tablo 7.6 3. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi	61
Tablo 7.7 $V_{GS(th)}$ ölçüm sonuçları	64
Tablo 7.8 V_{DSS} ölçüm sonuçları.....	65
Tablo 7.9 I_{DSS} ölçüm sonuçları.....	67
Tablo 7.10 $+V_{GSS}$ değerinde 24saat süreyle bekletilen örneklerin durumu	68
Tablo 7.11 I_{GSS} sızıntı akımlarının ölçüm ölçüm tablosu	69
Tablo 7.12 Ölçümlerin özet tablosu	70
Tablo A.1 B_{VDSS} 'in değişimi	79
Tablo A.2 I_{DSS} (nA)'nın değişimi.....	80
Tablo A.3 I_{GSS} (nA)'nın değişimi.....	80
Tablo A.4 I_{GSS} (-)(nA)'nın değişimi.....	81
Tablo A.5 $V_{GS(th)}$ (V)'nin değişimi.....	81

Tablo A.6 $R_{DS(ON)}$ (m Ω)'nın deęiřimi 82

Tablo A.7 V_{SD} (V)'nin deęiřimi 82



Metal Oksitli Alan Etkili Transistör Güç Elemanlarının Güvenilirlik Analizi

Rahmet Aybüke BİLİR

Elektrik Mühendisliği Anabilim Dalı

Yüksek Lisans Tezi

Danışman: Dr. Öğr. Üyesi Nihan ALTINTAŞ

Eş-Danışman: Prof. Dr. Erkan MEŞE

Son yıllarda yarı iletken güvenilirliği önemli bir konu haline gelmiştir. Yarı iletkenler tüketici elektroniği, havacılık, otomotiv ve askeri sistemler başta olmak üzere birden çok farklı alanlarda kullanılmaktadır. Kullanım yerlerine bakıldığında ürünlerin güvenilirliği bu alanlarda müşteriler için ön plandadır. Müşteri çabuk arızalanan bir ürünü kullanmayı tercih etmeyeceği gibi üretici de garanti gideri fazla olacak bir ürünü üretmeyi istemez. İşte tam da bu noktada güvenilirlik başlar. Güvenilirlik analizi sayesinde ürün tasarım aşamasındayken hata eğilimi Yüksek malzemeler seçilmeyerek meydana gelebilecek problemlerin olasılığı düşürülebilir.

Yarı iletkenlerden MOSFET'lerin güvenilirliği ile ilgili birçok araştırmalar yapılmaktadır. Bir devre tasarımcısının tasarımında fiyat performansı açısından hangi marka MOSFET'i seçeceği çok önemlidir. Buna karar verebilmek için elindeki malzemeleri karşılaştırabileceği bir yöntemi olması gerekmektedir.

MOSFET yapısı gereği arızalandırmadan yaşlandırması zor olan malzemelerden biridir. Bu tezde iki farklı çalışma yapılmıştır. Birinci çalışmada aynı tipte 3 farklı firmaya ait MOSFET'lere hızlandırılmış yaşlandırma testi tasarlanmış ve test sonuçları analiz edilerek hata oluşum mekanizmalarına ışık tutulmaya çalışılmıştır. Tasarlanan yaşlandırma testi ile elektriksel parametrelerinin %10'dan daha fazla değiştiğinde bu değişime bağlı olarak iç yapısındaki değişiklikler aydınlatılmaya çalışılmıştır. Hata mekanizması olarak termal stress kaynaklı çipte yanıklar tespit edilmiştir. Kullanılan yöntem sayesinde tasarımcılar ve üreticiler için malzemelerini değerlendirmelerinde yeni bir test yöntemi geliştirilmiştir. İkinci çalışma olarak üreticilerin giriş kalite kontrol bölümlerine (incoming quality control) bir test kontrol noktası eklenmesi açısından MOSFET'ler için üretim partilerinin kontrolüne yönelik testler önerilmiştir. İlk çalışmada tasarımcının ikinci çalışmada da üreticinin MOSFET'i kullanmadan önce güvenilirliğini test etmesi hedeflenmiştir.

Anahtar Kelimeler: Güvenilirlik, termal stress, yaşlandırma

Analysis Study on Power MOSFET Reliability

Rahmet Aybüke BİLİR

Department of Electrical Engineering

Msc. Thesis

Advisor: Asst. Prof. Dr. Nihan ALTINTAŞ

Co-advisor: Prof. Dr. Erkan MEŞE

Recently semiconductor's reliability has become very important issue. Nowadays especially Power MOSFETs have been used in different area such as; military, consumer electronics, automotive and aviation etc. The cost, efficiency, power density, complexity, and reliability come into prominence for different industries. Especially reliable product affects failure rate and guarantee expenses positively.

Having preliminary knowledge regarding failure modes of a power semiconductor device, a designer is able to predict worst case scenario after the product is commercialized. Furthermore, the same knowledge can serve as a significant database to take preventive action beforehand.

Failure modes of Mosfets of different brands after degradation test, their reaction after the same time span and the variation on their parameters can become a invaluable knowledge base for designers.

These stresses can change MOSFET's operating parameters. Percentage of the change in the operating parameters give degradation period of device. As cited in the literature 10% change in a parameter means that it begins to give its fault signal.

In this study, based on the characteristic parameters of MOSFET's degradation, reliability of MOSFETs from different companies has been compared. Same type of MOSFETs are investigated. Acceleration test are designed and devices are degraded. According to degradation data, transfer characterization is investigated and failure modes of MOSFETs have been examined. This degradation data of values have been observed %10 variance which is degradation's sign. At the same time basic MOSFET parameter test designed for incoming quality control.

Keywords: Degradation, Reliability, MOSFET, transfer characterisation, failure mode



1.1 Literatür Özeti

Yarı iletkenler yalıtkan maddeler olup, dışarıdan uygulanan ısı, ışık, manyetik alan, gerilim gibi fiziksel enerjiler sayesinde valans elektronları serbest hale geldiğinde iletken hale geçebilen maddelerdir.

Bir çok araştırmacı yarı iletkenlerin çalışma mekanizmalarına, güvenlik ve güvenilirlik analizleri üzerine çalışmaktadır. Şirketler güvenilirlik ile ilgili mühendislik alanları oluşturmakta, çalıştaylar düzenlemektedir. Bunlara örnek olarak Arçelik Güvenilirlik Günleri ve 2019 yılında ilk defa Ankara'da bölgesel olarak düzenlenen şirketlerin güvenilirlik mühendislerini bir araya getiren Applied Reliability and Durability Konferansı gösterilebilir.

Güvenilirlik bir ürünün kendisinden beklenen fonksiyonu, istenilen zaman aralığında belirtilen şartlarda hata yapmadan yerine getirebilme olasılığıdır.

Müşteriler doğal olarak yarı iletken cihazların ilk gerekli oldukları andan itibaren gerekli işlevleri yerine getirmesini beklerler. Beklenen kullanım süresi boyunca cihazların arızasız çalışmasını beklemektedirler. Güvenilirlik tanımına geri dönerek bir ögenin istenen işlemi gerçekleştirmesini sağlayan özellikler olarak tanımlanabilir. Öngörülen koşullar altında ve öngörülen süre boyunca çalışır. Güvenilirlik testleri, müşterilerin ihtiyaç duyduğu güvenilirliğin yarı iletken cihazlarda bulunup bulunmadığını doğrulamaya yöneliktir.

Güvenilirlik testlerinin amacı yarı iletken bir cihazın hatasız çalışmasını onaylamak ve ömrü boyunca stres miktarına bağlı olarak cihazı hızlandırılmış veya marjinal streslerle üretimde, nakliyesinde ya da kullanımında maruz kalan gerilme, mekanik gerilme, elektriksel gerilme vb. tahmin etmektir.

Güvenilirlik testleri, varsayılmış strese dayanan çeşitli stres koşulları altında gerçekleştirilir. Üretim, nakliye ve kullanım sırasındaki koşullar ve çeşitli yarı

iletken cihaz test yöntemleri Japon Endüstri Standartları (JIS), Japonya Elektronik ve Bilgi Teknolojileri, Teknoloji Endüstrileri Birliği (JEITA) Standartları, Askeri Şartnameler ve Standartlar (MIL) ve Uluslararası Elektroteknik Komisyonu (IEC) Standartları gibi standartlarla standart hale gelmiştir.

Yarı iletkenin maruz kaldığı şok veya titreşim gibi mekanik stresler, lehim sıcaklığı veya ortam sıcaklığı gibi termal stresler, akım veya gerilim gibi elektrik stresler bulunmaktadır [1].

Bir ürünün güvenilirliğini tahmin edebilmek için bilinen 4 yöntem vardır. Bunlar; Geçmiş benzer sistemlerin saha verilerinden derlenmiş istatistiksel analize dayalı tahminleme (Standards Based: MIL-HDBK-217F, 217Plus), ömür testleri, saha veya test verilerine dayalı tahminleme, hatanın fiziksel modellemeye dayalı tahminlemesidir [2].

Geçmiş benzer sistemlerin saha verilerinden derlenmiş istatistiksel analize dayalı tahminleme (Standards Based: MIL-HDBK-217F, 217Plus) yönteminde bir elektronik kartın hata oranı, üzerinde bulunan tüm elemanların hata oranlarının toplamı ile bulunur. Yeni teknolojiler için tahmin yapamaması, hata kök neden analizi yapamaması, kullanım koşullarının analize girdi oluşturamaması sebebiyle bu tahmin yöntemi çok tercih edilmemektedir.

Saha veya test verilerine dayalı tahminle yönteminde, eleman hata oranını değerleri üretici firmaların hızlandırılmış test sonuç raporlarından elde edilebilir. Üretici firmaların internet sayfalarında bazı elemanlar için hata oranı tahmini de yapılabilmektedir. Ek A Şekil A.1'de hata oranı tahmin hesaplayıcısının resmi verilmiştir.

Saha veya test verilerine göre tahminlemede, hatanın gerçekleştiği zamana ve hata oranına bakılarak istatistiksel yöntemlerle bir güvenilirlik oranı oluşturulabilir.

Üreticiler, ürünlerinin güvenilirliklerini normal ortam koşullarında kullanarak test etselerdi, ürünün teknolojisi o ürünün bulunduğu şartlardaki teknolojisinden geri kalırdı. Bu yüzden de güvenilirlik testleri çalışma koşullarını sümüle etmeli bir yandan da süre olarak hızlı olmalıdır.

Güvenilirlik ile ilgili en çok kullanılan yöntem; ürünü, elemanı bir takım testlere sokarak performans parametrelerinin değişimlerinin incelenmesidir.

Bu değişimlerle günümüzde Reliasoft, Minitab, Knime gibi yazılım araçları ile hata olana kadar oluşacak süre (MTTF) ömür hesapları yapılabilmektedir, gelişmiş görüntüleme ölçüm sistemleri ile de bozulma mekanizmasına ait bilgiler edinilmektedir.

Performans parametre değişimlerinin incelenmesinde kullanılan testler hızlandırılmış yaşlandırma testleri literatürde sıklıkla karşılaşılan highly accelerated life test (HALT), highly accelerated stress screen (HASS) olarak adlandırılmaktadır.

Testlerde ürüne etki edecek stress olarak adlandırılacak gerilim, akım, sıcaklık, titreşim, nem gibi parametrelerin etkilerine bakılır.

Bu etkiler ürünün, elemanın özelliklerine bağlı olarak, veri sayfasındaki değerlerini değiştirebilir. Bu değişimlerin nedeni; yapılan literatür taramasında karşılaşılan 2 farklı ana nedendir. Bu iki nedenden biri elektriksel kaynaklı hatalar diğeri de termo mekanik strese bağlı hatalardır [4].

Güvenilirlik tahmininde kullanılan yöntemlerden bir diğeri olan hatanın fiziksel modellemeye dayalı tahminlemesi yönteminde (Physics of Failure) ürünle ilgili çözümün sistematik bir şekilde irdelenerek zayıf noktaların bulunması iyileştirilmesi ve önlem alınmasını amaçlamaktadır. Prototip öncesi ve ürün öncesi yapılmaktadır. Ancak bu yöntemin de dezavantajı yazılım ve insan hatasına açık olmasıdır.

Metal Oksit-Yarı İletken Alan Etkili Transistör (MOSFET)'ler 1920'lerde temeli oluşturulmasına rağmen elemanın tam anlamıyla bulunması 1960 yıllarını bulmuştur. Bu buluş, uygun şekilde işlenmiş Si- SiO_2 arabiriminin kusursuz eşleşmiş kritik özelliklerine dayanıyordu. Bu malzeme sistemi o zamandan beri mikroelektronik endüstrisini sürdürmüştür. Cihazlar küçüldükçe, daha hızlı ve daha az güç kullanarak, SiO_2 geçidi oksit başarıyla 25 Å kalınlığa düşürüldü [5]. Bu kalınlık azaldıkça kapı geçit oksiti boyunca uzanan alan dahil olmak üzere tüm alanlar belirgin şekilde artmıştır. Bu yapı incelidikçe kapı oksidinin güvenilirliği

konusunda endişeler artmış ve çalışmalar yapılmaya başlanmıştır [6]. [6]'daki çalışmada 20 A'nın üzerindeki oksitler için oksitlerin bozulmaya başlayacağı öne sürülmüştür. Bunun nedeni kapı gerilimi ile hızlanan taşıyıcılarla ilgili hataların kademeli olarak artmasıdır. Çipin üzerinde herhangi bir yerinde yüksek iletken bir yol oluşturacakları bölgede yeterli seviyede hata meydana geldiğinde pozitif geri beslemeye ve artan kapı sızıntısına neden olan hatalar ortaya çıkar. Düşük gerilimlerde yüksek gerilimlere göre bozulma süresi daha uzundur [7].

Elemanın güvenilirliğini arttırmak için bahsedilen Si- SiO_2 ara yüzeyindeki ve geçit oksitindeki tuzaklar ve tuzaklara giren yükler üzerine araştırmalar yapılmıştır [8]. Bu çalışmalar bir çok tez konusuna kaynak olmuştur. Bahsedilen tuzaklar ve tuzaklara giren yüklerin MOSFET yapılarında yorma sonucu yapıları incelenmiştir. Geçit oksidini kırmadan geçit oksitinde ve ara yüzeylerde tuzaklar oluşturup MOSFET parametrelerindeki etkileri incelenmiştir [9].

Sıcak taşıyıcı etkisini belirlemek için MOSFET'in çıkış akımındaki değişim incelenmiştir. Bunun yanı sıra transistörde oluşan taban akımları, geçit akımları ve yük pompası akımı da incelenebilir [10].

MOSFET'lerde güvenilirliğe etki eden faktörlerden biri olan sıcak taşıyıcı etkisi ile ilgili çok sayıda çalışma yapılmıştır [11-12]. Bu konu ile ilgili yapılan çalışmalar dört alanda toplandığı görülmektedir. Birincisi daha önce bahsedilen sıcak taşıyıcıların etkisidir [13]. İkincisi farklı üretim proseslerinde elde edilen elemanların sıcak taşıyıcı yorulması incelenmiştir [14]. Bir diğeri ise farklı stres yöntemleri ve ölçüm teknikleri kullanarak sıcak taşıyıcı oluşum mekanizması ve etkisi incelenmiştir [15]. Son olarakta elektriksel karakteristikler kullanılarak analitik modeller önerilmiştir [16-17].

Genelde literatürde Teknik vey sayfasında bulunan elektriksel parametrelerin örneğin B_{VDSS} , I_{DSS} , I_{GSS} gibi parametrelerin değişiminde %10'a ulaşması yarı iletkenin yaşlanması anlamına gelmektedir [18].

2019 yılında düzenlenen güvenilirlik konferansında son yapılan çalışmalarda yaşlandırma kriteri olarak %20 parametrelerdeki değişim baz alınmıştır [19].

MOSFET yaşlandırma ile çıkan hata modları üzerine çok fazla çalışma yapılmış ve yapılmaya da devam etmektedir.

Anahtarlama devreleri ile geçit oksidi yaşlandırması yapılmış ve yaşlanma kriteri olarak sızıntı akımının değişimi verilmiştir [20].

Farklı bir çalışmada MOSFET yaşlandırma testleri ile yaşlanma kriteri olarak eşik geriliminin değişimi verilmiştir [21].

Termal olarak hızlandırılmış koşullar altında örneğin oda koşulları yerine termal stress koşulunda anahtarlama devresi ile yaşlandırma testleri tasarlanıp kılıf güvenilirliği ve MOSFET ömrü analiz edilmesi kararsız mekanizmaları ortaya çıkarabilir. Tetikleme gerilimi ve iç direnç değişimi ile hata mekanizması aydınlatılabilir [22].

MOSFET'lerde fiziksel bozulmanın işareti olarak çekirdek lehim noktasında boşluk (void) oranlarının ölçülmesi de gösterilebilir [23].

Bu tez çalışmasının diğerlerine göre farklı yönü farklı firmalara ait MOSFET'ler yaşlandırma testlerine tabi tutulmuştur ve kademeli olarak veri sayfasındaki tüm elektriksel parametreleri ölçülmüştür. Elektriksel parametrelerindeki değişiminin yanı sıra fiziksel yapısındaki değişimlerine de bakılmıştır. Literatürdeki yaşlanma kriterine göre de yaşlanma seviyeleri değerlendirilmiştir. Tüm bu değişimlere bakılarak elemanın hata modlarına ışık tutulmaya çalışılmıştır. Aynı zamanda üreticilerin giriş kalitelerinde bir test kontrol noktası olması için MOSFET'ler için üretim partilerinin kontrolüne yönelik testler önerilmiştir.

1.2 Tezin Amacı

Bu tezde aynı tipte 3 farklı firmaya ait MOSFET'ler yaşlandırma testlerine tabi tutulmuştur ve her döngü adımında veri sayfasındaki tüm elektriksel parametreleri ölçülmüştür. Elektriksel parametrelerindeki değişiminin yanı sıra iç yapısındaki değişimlerine de bakılmıştır. Tüm bu değişimlere bakılarak elemanın hata modlarına ışık tutulmaya çalışılmıştır. Kullanılan yöntem sayesinde tasarımcılar ve üreticiler için malzemelerini değerlendirmelerinde yeni bir test yöntemi geliştirilmiştir. Aynı zamanda üreticilerin giriş kalitelerinde (incoming quality) bir

test kontrol noktası olması için MOSFET'ler için üretim partilerinin kontrolüne yönelik testler önerilmiştir.

1.3 Hipotez

Literatür özetinde bahsedilen bilgiler doğrultusunda bu tez çalışmasında 3 farklı firmaya ait MOSFET'i veri sayfalarının verdiği jonksiyon limitlerine göre iklimlendirme kabininde anahtarlayarak hızlandırılmış test tasarımı önerilmiştir.

Bu testte belirli bir çevrimden sonra yapılan ölçümlerde veri sayfasındaki değerler ve fiziksel iç yapıları değişecektir. Bu değişimlere göre de MOSFET'lerin hata modlarına ışık tutulması hedeflenmiştir.



Metal Oksitli Alan Etkili Güç Transistörlerine (MOSFET) Genel Bakış

2.1 MOSFET Tarihçesi

Julius Edgar Lilienfeld tarafından 1926 yılında patenti alınan ve icat edilen FET, 1934 yılında Oskar Heil tarafından büyük geliştirmeler yaşadı. 1947 yılında Bell laboratuvarlarında ise JFET, elektrik alan etkisinin keşfedilmesi ile icat edildi. 1960 yılında aynı laboratuvarında Atalla ve Kahnag tarafından MOSFET geliştirildi. Metal-Oksit-yarı iletkenli alan etkili transistörler kayda değer iletim durumu akım taşıma kapasitesine ve kesim durumu tıkama gerilimine sahip olduğu için güç elektroniği uygulamalarında yaygın olarak kullanılmaktadır.

2.2 MOSFET Prensibi

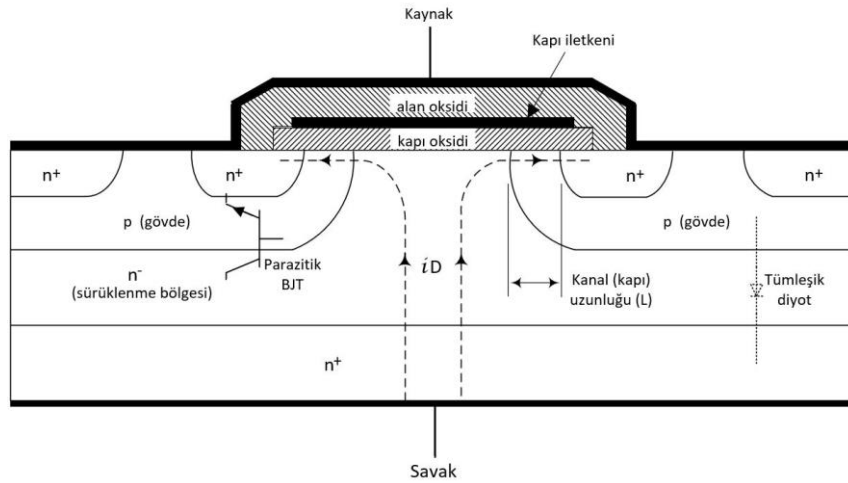
Birden fazla paralel bağlı hücreden oluşan bir güç MOSFET'i Şekil 2.1'de görüldüğü gibi birbirini takip eden p tipi ve n tipi katkılı düşey yönlendirilmiş katmanlardan oluşur. Katkılama profiline göre p ya da n kanallı MOSFET olarak ismi değişebilir.

Şekilde savak ve kaynak olarak gösterilmiş iki adet n^+ katmanındaki katkılama, yaklaşık birbirinin aynısı olup, oldukça büyük (10^{19} cm^{-3})'tür. Genellikle gövde olarak isimlendirilen p-tipi orta katman, kaynak ve savak arasında kanalın oluşturulduğu bölgedir. n^- katmanı ise savak sürüklenme bölgesidir. Bu sürüklenme bölgesi, elemanın devrilme gerilimini belirler [24].

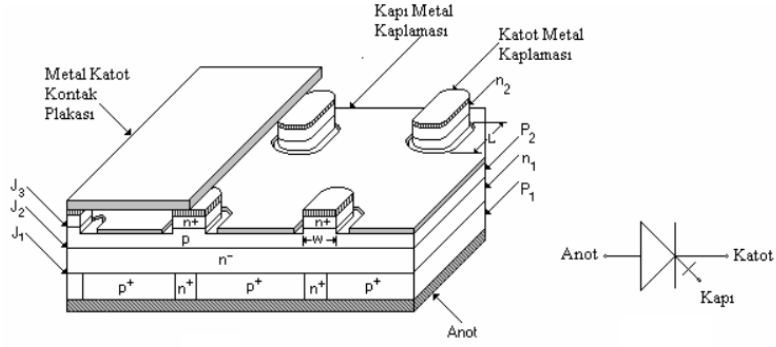
Şekle ilk bakıldığında elemanın savak ve kaynak uçları arasında, akımın akabileceği bir yol yokmuş gibi görünür. Pn jonksiyonlarından biri (gövde-kaynak ya da savak-gövde), savak ve kaynak arasına uygulanan gerilimin polaritesine bağlı olarak ters kutuplanacaktır. Kapı, çok iyi bir yalıtkan olan silisyum dioksit katmanı gövdeden yalıtıldığı için kapı vasıtasıyla gövdeye azınlık taşıyıcı püskürtmesi olmayacaktır.

Kapıyı, kaynağa göre pozitif kutuplayan bir gerilim uygulayarak, kapı oksidi altındaki silisyum yüzeyi bir n-tipi katman ya da kanala dönüştürmek mümkündür. Bununla birlikte kaynak, savağa bağlanacak ve kayda değer akım akması sağlanacaktır. Kapı oksidinin kalınlığı, kapının genişliği ve elektriksel olarak paralel bağlı kapı/kaynak bölgelerinin sayısı; verilen geçit- kaynak gerilimine karşı ne kadar çok akım akacağını belirlemek açısından önemlidir. MOSFET'in kapı genişliği W , her bir hücrenin çevre uzunluğu ile elemanı oluşturan hücre sayısının çarpımına eşittir. Elemanın maksimum kazancı için kapı genişliği-uzunluğu oranı büyük olması istenir.

Kaynak ve savak kontaktları arasında Şekil 2.1 ve Şekil 2.2'de görüldüğü gibi parazitik bir npn BJT'si vardır. Bu BJT'nin bazı, p-tipi gövde bölgesidir. Bu transistörün her zaman iletme geçme olasılığını minimum yapmak için, Şekil 2.1'de görüldüğü gibi p-tipi gövde bölgesi ile kaynak metallemesini örtüştürerek, p-tipi gövde bölgesi kaynak bölgesi ile kısa devre edilir. Bu gövde kaynak kısadevresinin bir sonucu olarak Şekil 2.1 ve Şekil 2.2' de görülen savak ve kaynak arasında bağlı parazitik bir diyot vardır [25].

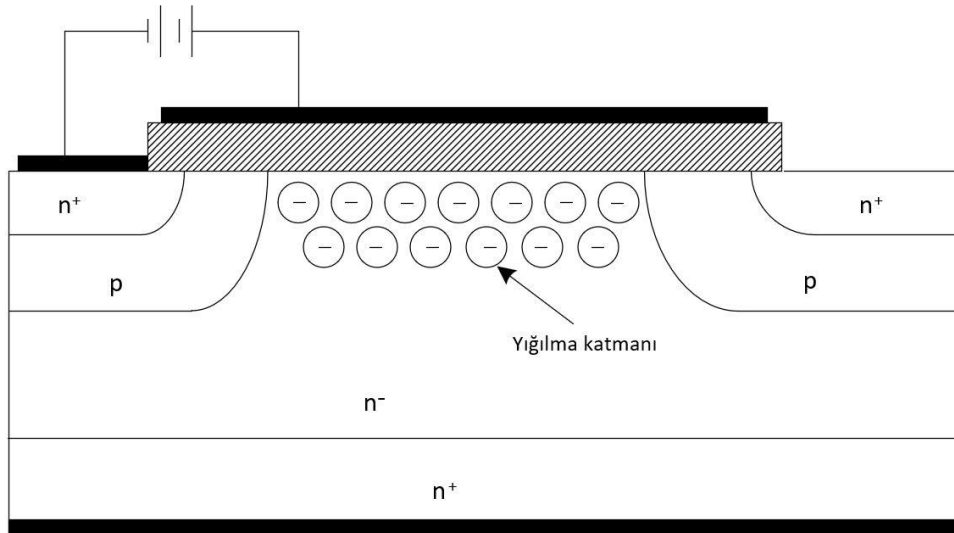


Şekil 2.1 n-kanallı güç MOSFET'inin düşey kesit görünüşü

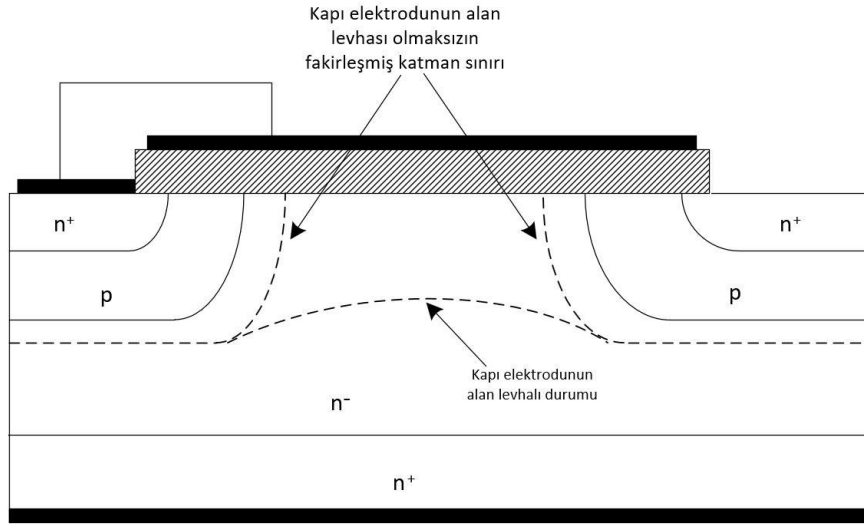


Şekil 2.2 n-kanallı güç MOSFET'inin perpektif görünüşü [26]

Taban yüzeyinde çıkıntı meydana getiren n^- sürüklenme bölgesi üzerinde bir kapı metalleme vardır. Kapı metalleme iki amaca hizmet eder. İlk olarak, Şekil 2.3'de görüldüğü gibi bir yığılma katmanı yani iletkenliği arttırılmış bölge oluşturarak, $n-SiO_2$ ara yüzeyindeki sürüklenme bölgesinin iletkenliğini artırma eğilimindedir. Böylece iletim durum direncinin en az olması sağlanacaktır. İkinci olarak MOSFET kesimde olduğu zaman bu metalleme, savak-gövde pn- jonksiyon diyodunun fakirleşmiş bölgesi eğrilik yarı çapının çok küçük olmasını ve bu yüzden de elemanın devrilme geriliminin azalmasını önleyen bir alan levhası gibi davranma eğilimindedir. Bu alan levhasının fonksiyonu, Şekil 2.3' te çizilmiştir [27].



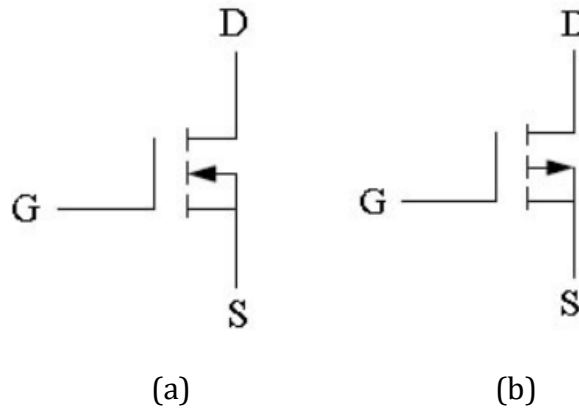
Şekil 2.3 İletim durumunda yığılma katmanının meydana gelmesi



Şekil 2.4 Kesim durumunda alan levhası davranma durumu

2.2.1 I-V Karakteristikleri

MOSFET'in giriş ucu kapı, çıkış uçları kaynak ve savak olarak adlandırılır. Kapı ucu kaynak ve savak uçları arasındaki akım akışını kontrol eder. Kaynak genellikle ortak bir uçtur. Şekil 2.6a n-kanallı bir MOSFET'in kapı-kaynak gerilimi V_{GS} ile savak-kaynak gerilimi V_{DS} 'nin birer fonksiyonu olarak i_D savak akımının değişimi (çıkış karakteristikleri) görülmektedir.

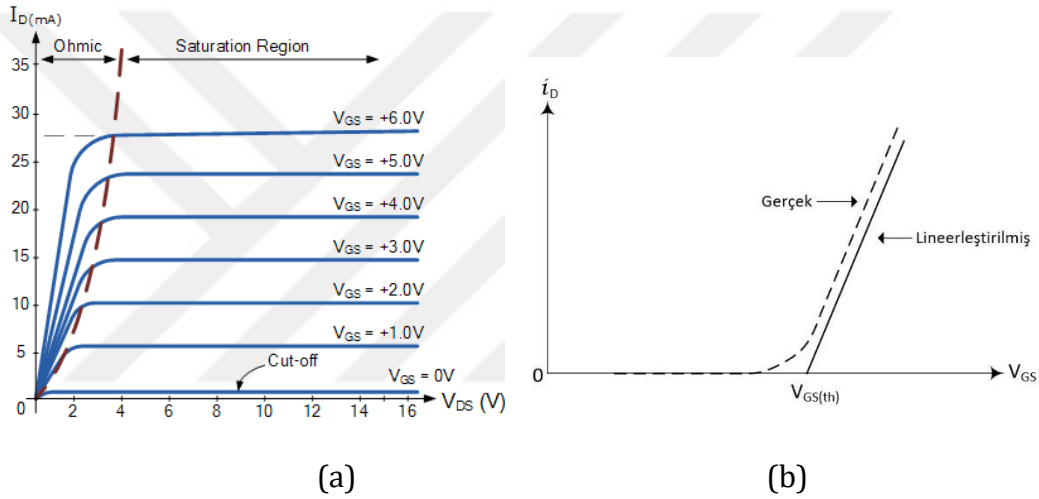


Şekil 2.5 (a) n-kanallı (b) p-kanallı MOSFET için devre sembolleri

Güç elektroniği uygulamalarında MOSFET, yüke aktarılan gücü kontrol eden bir anahtar gibi davranır. Bu uygulamalarda, MOSFET iletme geçtikçe, elemanın $i_D - v_{DS}$ karakteristiklerinde aktif bölge aracılığıyla kesim bölgesinden omik bölgeye

geçilirken, eleman kesime geçtikçe de tekrar geriye dönlür. Akım gerilim karakteristiğinin kesim, aktif ve omik bölgesi Şekil 2.7a'da görülmektedir.

Kapı-kaynak gerilimi, güç MOSFET'lerinde tipik olarak birkaç volt olan eşik gerilimi $V_{GS(th)}$ 'dan daha küçük olduğu zaman MOSFET kesimdedir. Bu durumda açık devre olan MOSFET'in, uygulanan güç besleme geriliminin devreden uzak tutması gerekir. Bu ise devrilme ve bunu izleyen yüksek güç harcamasından sakınmak için Şekil 2.7'te görülen savak-kaynak devrilme gerilimi BV_{DSS} 'nin uygulanan savak-kaynak geriliminden daha büyük olması ile aynı anlama gelir. Diğer taraftan devrilme oluştuğu zaman, bu durum savak-gövde jonksiyonunun devrilmesinden kaynaklanır.



Şekil 2.6 (a) n-tipi bir MOSFET'in akım-gerilim eğrisi, (b) geçiş eğrisi

MOSFET büyük bir kapı-kaynak gerilimi ile sürüldüğü zaman, savak-kaynak geriliminin küçük olduğu omik bölgeye girilir. Bu bölgede, savak akımı çok büyük olsa bile $V_{DS(on)}$ minimum yapılarak güç harcaması makul sınırlar içerisinde tutulabilir. (2.1) eşitsizliği sağlandığı zaman, MOSFET omik bölgededir.

$$v_{GS} - V_{GS(th)} > v_{DS} \quad (2.1)$$

Aktif bölgede, savak akımı sadece kapı-kaynak gerilimine bağlı olup, savak-kaynak geriliminden bağımsızdır. Bu durumda, akım doymadadır. Sonuçta bazen doyma bölgesi ya da pentod bölge olarak isimlendirilir. MOSFET'lerde bu bölgeye aktif bölge denir. Aktif bölgedeki savak akımını öngören basit birinci mertebeden teori, yaklaşık olarak (2.2)'deki gibi verilmiştir.

$$i_D = K(v_{GS} - V_{GS(th)})^2 \quad (2.2)$$

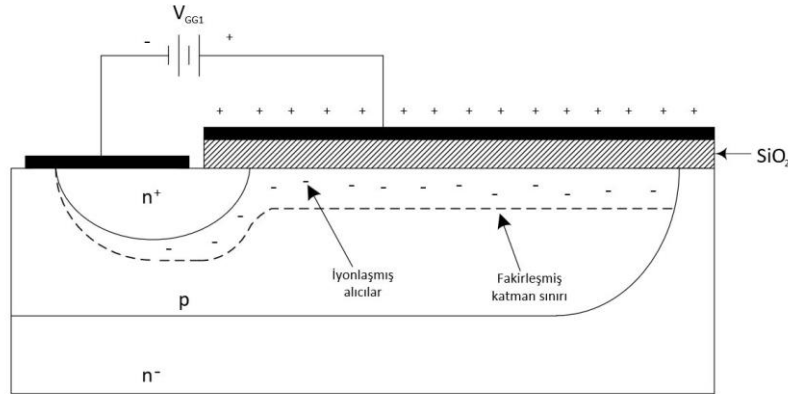
K, elemanın geometrisine bağlı bir sabittir. Omik bölge ve aktif bölge arasındaki sınırda, $v_{GS} - V_{GS(th)} = v_{DS}$ alınarak eşitlik alttaki hale getirilir.

$$i_D = K v_{DS}^2 \quad (2.3)$$

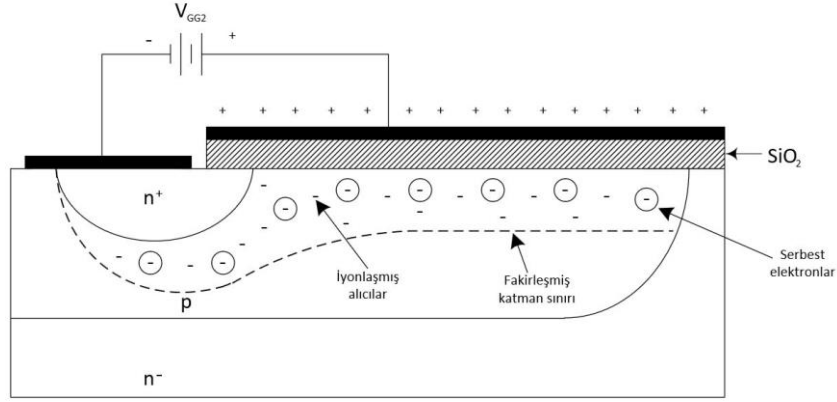
Bu ifade Şekil 2.5a'da görülen iki bölge arasındaki sınırı çizmenin uygun yoludur.

2.2.2 MOSFET'in Çalışma Prensibi

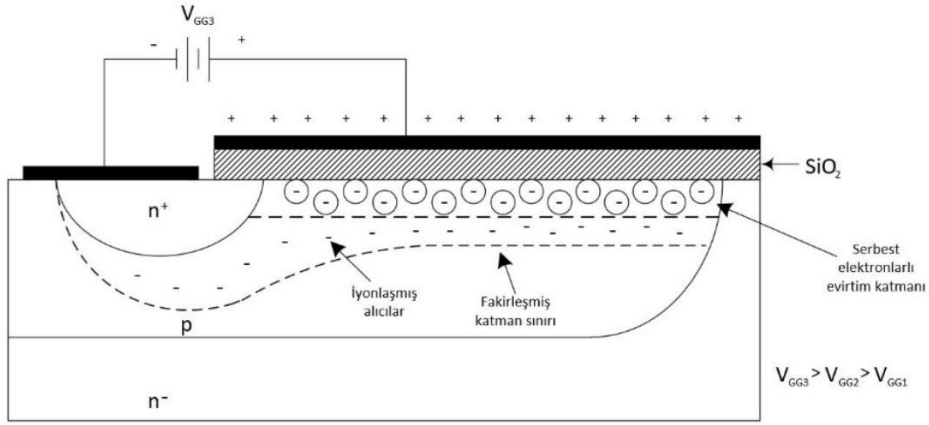
MOSFET kapı, drain, savak olmak üzere 3 çıkışı bulunmaktadır. MOSFET'in kapı kısmı, kapı metallemesi, kapı oksidi olarak da nitelendirilen kapı iletkeninin altındaki silisyum dioksit ve kapı oksidinin aşağısındaki silisyumdan oluşur. Bu bölgede Şekil 2.8'de görüldüğü gibi yüksek nitelikli kondansatör oluşturur. Bu kondansatöre bazen, bir MOS kondansatörü de denir. Kondansatör genellikle alüminyum metalleme, SiO_2 ve silisyum alt katmanından oluşmasına rağmen, aynı temel yapı galyum arsenit gibi diğer yalıtkanlarla da üretilebilir. Üst metalleme katmanı da diğer iletken maddeler olabilir. Ayrıca, çok kristalli silisyum, tungsten gibi kolay işlenemez metaller ve diğer metaller MOSFET'de kullanılmaktadır.



(a)



(b)



(c)

Şekil 2.7 (a) (b) Fakirleşmiş katmanın oluşumu, (c) Evirtim katmanın oluşumu

Küçük bir pozitif kapı-kaynak gerilimi Şekil 2.8a'da görülen n-kanallı MOSFET'in basitleştirilmiş şeklindeki kondansatör yapısına uygulandığı zaman, SiO_2 ve silisyum arasındaki arayüzeyde bir fakirleşme bölgesi oluşur. Uygulanan gerilim ile üstteki metallemeye (kapı tarafı) neden olan pozitif yük, kapı oksidinin silisyum tarafında bulunan daha aşağıdaki levhada eşit bir negatif yük gerektirir. Pozitif yükten kaynaklanan elektrik alan, arayüzey bölgesinden çoğunluk taşıyıcı

deliklerini iter ve bu yüzden de negatif olarak yükü alıcılar meydana çıkar. Böylece fakirleşmiş bir bölge oluşur.

İlave negatif yükü sağlamak için v_{GS} 'nin daha fazla arttırılması, Şekil 2.8b'de görüldüğü gibi fakirleşmiş katman kalınlığının büyümesine neden olur. Bu fakirleşmiş katmanın büyümesi yaklaşık olarak tek taraflı bir basamak jonksiyon olarak modellenenir. Gerilim arttıkça, oksit silisyum arayüzeyindeki elektrik alan daha da büyür ve bu alan serbest delikleri iterken, serbest elektronları da çekmeye başlar. Elektronların bu durumda kaynağı, fakirleşmiş bölgenin ilerisindeki yarıiletken hacime itilen serbest delikler ile ısıl iyonlaşma sonucunda oluşan elektron delik üretimidir.

Sonunda kutuplama gerilimi arttıkça ara yüzeydeki serbest elektron yoğunluğu, fakirleşmiş katmanın uzağındaki gövde bölgesi hacimindeki serbest delik yoğunluğuna eşit olacaktır. Ara yüzeydeki serbest elektronların katmanı yüksek dereceden iletken olup, n tipi bir yarı iletkenin tüm özelliklerine sahiptir. Bu noktada serbest elektronların bu katmanına Şekil 2.8c'de gösterildiği gibi evirtim katmanı denir. Bu n tipi katman n^+ savak ve kaynak bölgeleri arasında akım akışına izin veren iletken bir yoldur. Bu şekilde, uygulanan gerilim veya elektrik alan yardımıyla geçit yalıtkanının hemen altındaki yarıiletkenin, iletkenlik tipini değiştirme becerisine alan etkisi denir. Alan etkisi, ara yüzeyin iletkenliğini arttırır. Bunlara kanal oluşturmali transistör denilir.

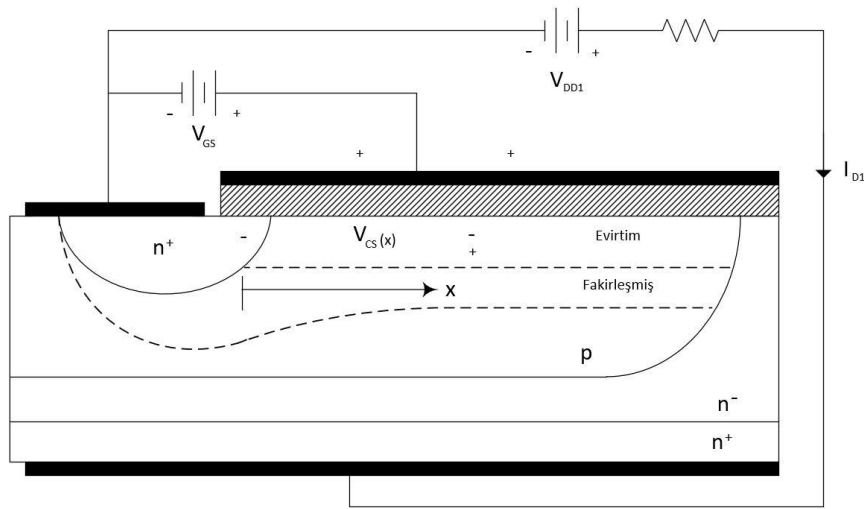
Evirtim katmanının oluştuğu düşünölen v_{GS} değerine, eşik gerilimi $V_{GS(th)}$ denir. v_{GS} , $V_{GS(th)}$ 'in üstüne çıktıkça evirtim katmanı bir şekilde daha kalın, daha da önemlisi serbest elektron yoğunluğunun büyümesiyle daha çok iletken olur. Yeteri kadar büyümesi ile daha çok iletken olur. Yeteri kadar büyük v_{GS} uygulandıında evirtim bölgesi, fakirleşmiş bölgenin sabit kalmasına neden olur. Eşik gerilimin değeri, birkaç faktörün bir fonksiyonudur. Baskın olan faktör, birim alan başına düşen oksit kapasitesi C_{ox} olup, denklemi alttaki gibi verilmiştir.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.4)$$

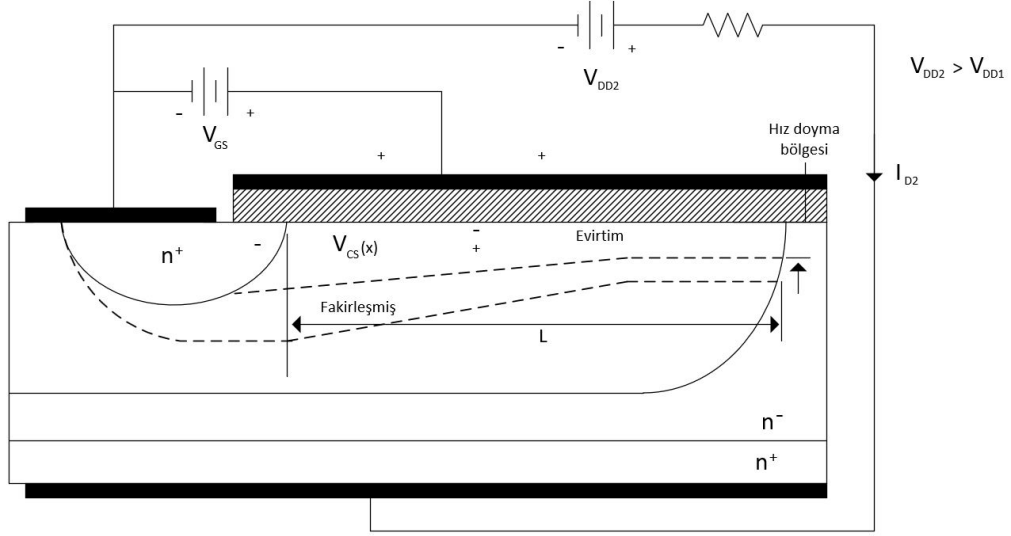
Burada ϵ_{ox} , silisyum dioksit elektrik alan sabiti (1.05×10^{-12} F/cm)'dir. t_{ox} ise oksidi kalınlığı (100 angstrom)'dır. Eşik gerilimi, C_{ox} ile ters orantılıdır. $V_{GS(th)}$ 'i etkileyen

diğer faktörler; silisyum ve kapı metallerinin çalışma fonksiyonları, silisyum dioksitteki bağlı ya da tutulmuş herhangi bir yük, ara yüzeydeki ya da silisyum dioksitteki katkı atomları, vs şeklinde sıralanabilir. $V_{GS(th)}$ 'ı etkileyen karmaşık bir dizi faktöre rağmen, eleman üreticileri $V_{GS(th)}$ 'ın değerini istenilen herhangi bir değere (tipik olarak birkaç volt) ayarlayabilir. Etkin olan ayarlamalar kapı metallemesinin seçimi, gövde bölgesinin katkılama yoğunluğu ve kapı oksidinin kalınlığı ile yapılır. Üretim boyunca eşik gerilimindeki küçük ayarlamalar kapı oksidinin tam altında bulunan gövde bölgesine iyon katkılamasıyla yapılır.

Şekil 2.6'da yer alan n-kanallı MOSFET'e Şekil 2.9'de görüldüğü gibi bir kapı kaynak kutuplama gerilimi V_{GS} ve bir savak kaynak kutuplama gerilimi V_{DD} 'nin ise küçük olduğu varsayılmıştır. Bu durumda MOSFET, I_D 'nin nispeten küçük bir değeri ile omik bölgede olacak ve evirtim katmanı Şekil 2.7a'da görüldüğü gibi fiziksel olarak düzgün bir kalınlığa sahip olacaktır. Şimdi V_{GS} sabit tutulurken, V_{DD} herhangi bir zamanda yavaş yavaş daha büyük değerlere arttırılsın. Bu durumda evirtim katmanı savak kaynak arasına bağlı bir omik direnç gibi görüleceği için, savak akımı da V_{DD} 'deki artmaya orantılı başlangıçta artacaktır. Bu artan akım, $V_{CS(x)}$ olarak Şekil 2.9a'da görülen kanal boyunca gerilim düşümüne neden olacaktır. Burada x , kaynaktan belirtilen gerilimin olduğu kanaldaki konuma bağlı mesafedir.



(a)



(b)

Şekil 2.8 (a) Uzaysal olarak düzgün alan, (b) uzaysal düzgün olmayan alan

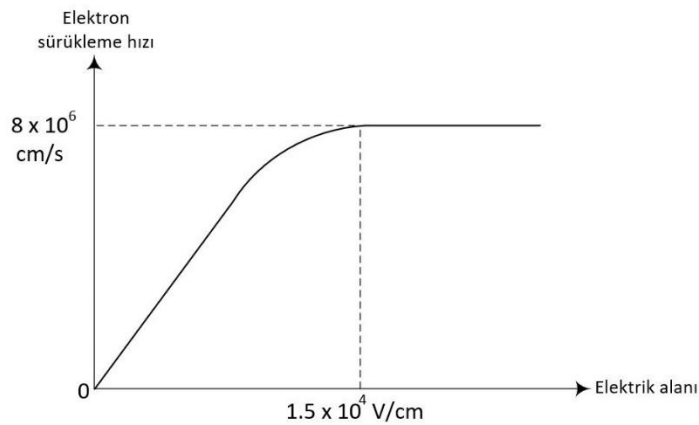
Önceki evirtim katmanının oluşumunda oksit üzerindeki gerilim düşümü olan kapı gövde gerilimi, $V_{GS(th)}$ 'dan daha büyüktür. Evirtim katmanı kalınlığının düzgün olması için bu gerilimin kaynaktan savağa kadar olan oksit boyunca düzgün olarak yer aldığı olduğu varsayımı yapılmıştır. Ancak Şekil 2.7'deki yapıda, oksit gerilimi aslında şekilde görüldüğü gibi $V_{CS}-V_{CS(x)}$ 'dir. I_D arttıkça $V_{CS(x)}$ artar ve x konumundaki oksit üzerinde bulunan gerilim azalır. Kanalın savak sonunda yani $x=L$ 'de $V_{CS(x)}$, kendisinin en büyük değeri V_{DS} 'ye sahip olduğu için; evirtim katmanı parametrelerini belirleyen oksit üzerindeki gerilim düşümü de kendisinin en küçük değeri $V_{GS}-V_{DS}$ 'ye sahip olacaktır. I_D aktığı zaman kaynaktan savağa kadar oksit gerilim düşümünün azalması, Şekil 2.9'da gösterildiği gibi evirtim katmanı kalınlığının da kaynaktan savağa kadar azalacağı anlamına gelir.

Evirtim katmanı kanalın savak sonuna doğru inceldikçe, kendi direnci artar ve Şekil 2.7a'da görüldüğü gibi sabit bir V_{GS} için, V_{DS} 'ye göre çizilen I_D eğrisi düzleşmeye başlar. Bu durum Şekil 2.7a'da görülen omik bölge eğrilerinde iç bükey bir eğrilik meydana getirir. Savak akımı ne kadar büyük olursa I_D-V_{DS} karakteristiği o kadar düzleşir.

Ancak burada bir ikilem ortaya çıkar. I_D yeteri kadar büyük yapılırsa $V_{GS}-V_{DS}$, $V_{GS(th)}$ değerine doğru azalacaktır. Aslında savak sonunda evirtim katmanı kaybolacak ve

akım hiç akmayacaktır. Gerçekte durum daha da karmaşıktır. I_D arttırıldığında evirtim katman kalınlığı belirtildiği gibi küçülür. Bununla birlikte toplam akım, kanalın her yerinde aynı olduğu için savak sonundaki akım yoğunluğu (bu noktadaki evirtim katmanı kalınlığı daha küçük olduğundan) daha yüksektir. Akım, Sürüklenme (jonksiyonlar evirtim katmanı ile kısa devre yapıldığı için azınlık taşıyıcı püskürtmesi hiç olmayacaktır) ile aktığı için, akım akışına paralel olarak savak sonundaki elektrik alan da daha büyük olur.

Savak sonundaki bu büyük elektrik alan, iki açıdan önemlidir. İlk olarak, elektrik alanın daha büyük olması savak sonundaki geçit oksidi üzerinde bulunan (V_{GS} 'den dolayı) elektrik alanı, evirtim katmanını korumak için çok küçülür. Akımın aktığı alanın daraltılmasından kaynaklanan büyük elektrik alan, savak sonundaki evirtim katmanının minimum kalınlığını korumasını sağlar ve böylece daha önce bahsedilen ikilemden kaçınılır. Yük taşıyıcıların hızı, elektrik alanının fonksiyonudur. Alan arttıkça Şekil 2.8'de gösterildiği gibi, hız sabit bir değerde doyuma gider. Savak sonundaki alanın, taşıyıcı hızını doyuma götürece kadar büyük olduğu noktada, $V_{GS} - V_{DS} = V_{GS(th)}$ ve elemanın aktif bölgeye giriş civarında olması için oksit gerilimi yaklaşık olarak eşik değerindedir. V_{DD} 'deki daha büyük artış, kanalın en dar olduğu kısımdaki elektrik alanını arttıracak ve Şekil 2.7b'de çizildiği gibi kaynağa doğru kanalın minimum kalınlık bölgesinin uzunluğunda da bir büyümeye yol açacaktır. Ayrıca, oksit üzerindeki gerilim düşümü ve bu yüzden evirtim katmanı kalınlığı da sabit kalacaktır. Böylece $V_{DS} > V_{GS} - V_{GS(th)}$ için savak akımı Şekil 2.7'deki i-v karakteristiğinde gösterildiği gibi nispeten sabit kalacaktır.



Şekil 2.9 Elektrik alan şiddetine göre silisyumdaki electron sürüklenme hızı

V_{GS} daha büyük olursa, evirtim katmanı kalınlığı da daha büyük olur. Bu durumda, taşıyıcı hızının doymasına neden olan savak sonundaki yeteri kadar büyük elektrik alandan önce, daha büyük bir toplam akım gerekir. Basit birinci mertebeden teorik hesaplamalar, aktif bölgedeki i_D 'nin eşitlik (2.2) ile verileceği göstermiştir. Burada K, μ_n evirtim katmanı çoğunluk taşıyıcı hareketliliğine ve diğer parametrelere bağlı olarak aşağıdaki gibi verilmiştir.

$$K = \mu_n C_{ox} \frac{W}{2L} \quad (2.5)$$

Bu eşitlik kayda değer bir kazanç elde etmek için MOSFET'lerin üretimindeki en önemli tasarım düşüncelerinden birini gösterir. Bu düşünce kapı genişliği W 'nin kanal genişliği L 'den çok daha büyük olması gerektirir. Modern güç MOSFET'lerinde L uzunluğu, iletim durumu kayıplarını minimum yapmak için devrilme gerilimi gereksinimi ile tutarlı minimum bir değerde tutulur (tipik kanal uzunlukları birkaç mikrometredir. W/L oranı tipik olarak 10^5 ya da daha büyük olup, Şekil 2-2'de örüldüğü gibi binlerce küçük kaynak bölgeleri kullanılarak elde edilir. Bu yapıdaki etkin kapı genişliği, yaklaşık tüm kaynak bölgelerinin toplam çevre uzunluğudur.

i_D - V_{GS} karesel ilişkisi, savak akımının daha büyük değerlerinde korunmaz. Ancak bunun yerine Şekil 2.7b'de gösterildiği gibi doğrusal bir ilişki vardır. Doğrusal bir ilişkiye geçişin nedeni eşitlik 2.7'deki hareketliliğin, i_D arttıkça sabit kalmasıdır. Başka bir ifadeyle, akımın artması ile evirtim katmanındaki elektrik artarken, hareketlilik azalır. Hareketlilik, hem Şekil 2.7'de görüldüğü üzere hız elektrik alan ilişkisinden hem de V_{GS} 'nin daha büyük değerleri kanaldaki serbest elektron yoğunluğunu arttırdığı için azalır. Daha büyük yük taşıyıcılarında taşıyıcı saçılması nedeninden hareketlilik azalır [27].

3.1 Güvenilirlik Nedir?

Güvenilirlik, bir parçanın genel kalite boyutlarından biridir. Güvenilirlik bir parçanın veya sistemin, yaşam döngüsü içerisinde belirlenen performans limitlerinde belirtilen koşullar altında belirli bir zaman aralığında istenilen fonksiyonları yerine getirebilmesidir.

Bu tanım üç önemli bağımsız kavramı tanımlar:

1. Zamanın Süresi
2. Çevresel kullanım koşulları
3. İşlevsel parametre değeri veya aralığı.

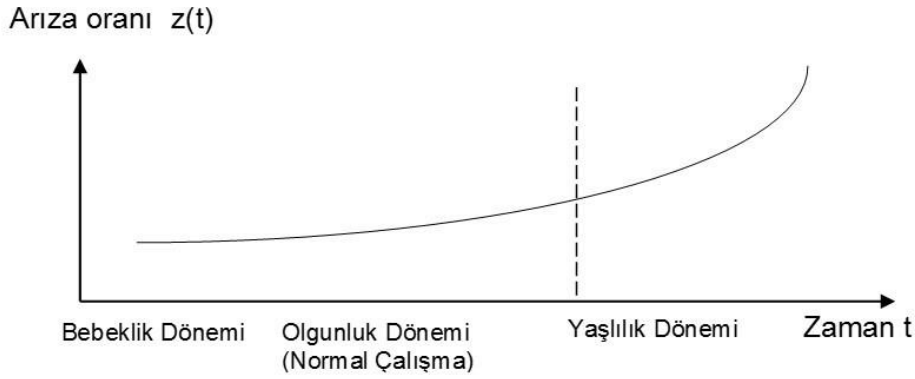
Süre, genellikle müşterinin kendi sistem garanti süresi için gereksinimi ile yakından ilgilidir. Çevresel koşullar genellikle tasarımda maksimum derecelendirmeleri ile tanımlanır. İşlevsel parametreler tasarımda belirtilir.

Güvenilirlik analizinde asıl çözüm aranan problem; birim yaştan ötesindeki yaşam zamanıdır. Yani x zaman kadar yaşamış olan sistem veya bileşenin daha fazla yaşamasıyla ilgilenilmektedir.

Kullanıcılar bir sistemi, ürünü kullanırken öncelikle güvenilir olmasını isterler. Güvenilirlik eskiden tecrübelerle dayanarak bir çıkarım yapılmaktayken günümüzde hesaplayabildiğimiz önceden tahmin edebildiğimiz bir kavram haline gelmiştir. Artık şirketlerin bir çoğunda güvenilirlik ile ilgili bölümleri bulunmaktadır, konusunda uzman güvenilirlik mühendisleri çalışmaktadır. Örneğin bir Fransız uçak firmasında güvenilirlik direktörlüğü bulunmaktadır. Uçuşların dakika dakika güvenilirliği hesaplanmaktadır.

3.2 Banyo Küvet (BathTub Curve) Eğrisi

Küvet eğrisi ilk önce hayat sigortası şirketleri tarafından yaşam beklentisini tanımlamak için kullanılmıştır. Yarı iletken güvenilirliği de aynı şekilde davranır. Elektronik eleman ve sistemlerin zamana bağlı hata oranlarını gösterdiği için kullanılır. Şekil 3.1’de verilmiştir.



Şekil 3.1 Zamana bağlı hata oranı banyo küvet eğrisi

Küvet eğrisi üç bölgede incelenir. Birinci bölge “bebeklik dönemi veya çocukluk dönemi” adını alır; ürünün kurulduğu andan itibaren düşük bir arıza oranı gösterdiğini ve bu oranın zamanla sabitlendiğini belirtir. Bu bölge, en fazla birkaç hafta sürer ve arızalar; hatalı aksam ve parçalar, kötü lehim, bağlantı hatası vb. nedenlerden kaynaklanır. Üreticiler, ürünü kullanıcıya sevketmeden önce bu arızaların önceden belirlenmesi için ürünü test ederler. Tamamen hassas ölçü aletleri ve işlem kontrol sistemlerinde, bu arızaların açığa çıkması normal bir durumdur; çünkü tasarım mühendislik hataları ve yazılım hataları genellikle bu evrede açığa çıkar.

Ortak bölge “Olgunluk Dönemi” adını alır, düşük değerde ve sabit bir arıza oranı gösterir. Bu süre içerisinde arızalar, rastgele meydana gelir. Ürünün fonksiyonlarını yerine getirdiği en verimli dönemdir. Genellikle “Yaşlılık Dönemi” denilen son dönem ise, giderek artan bir arıza oranı ile karakterize edilir. Bu artan güvensizlik genelde bağlantıların oksitlenmesi ve elastikiyetlerini kaybetmesi, elektrolitik

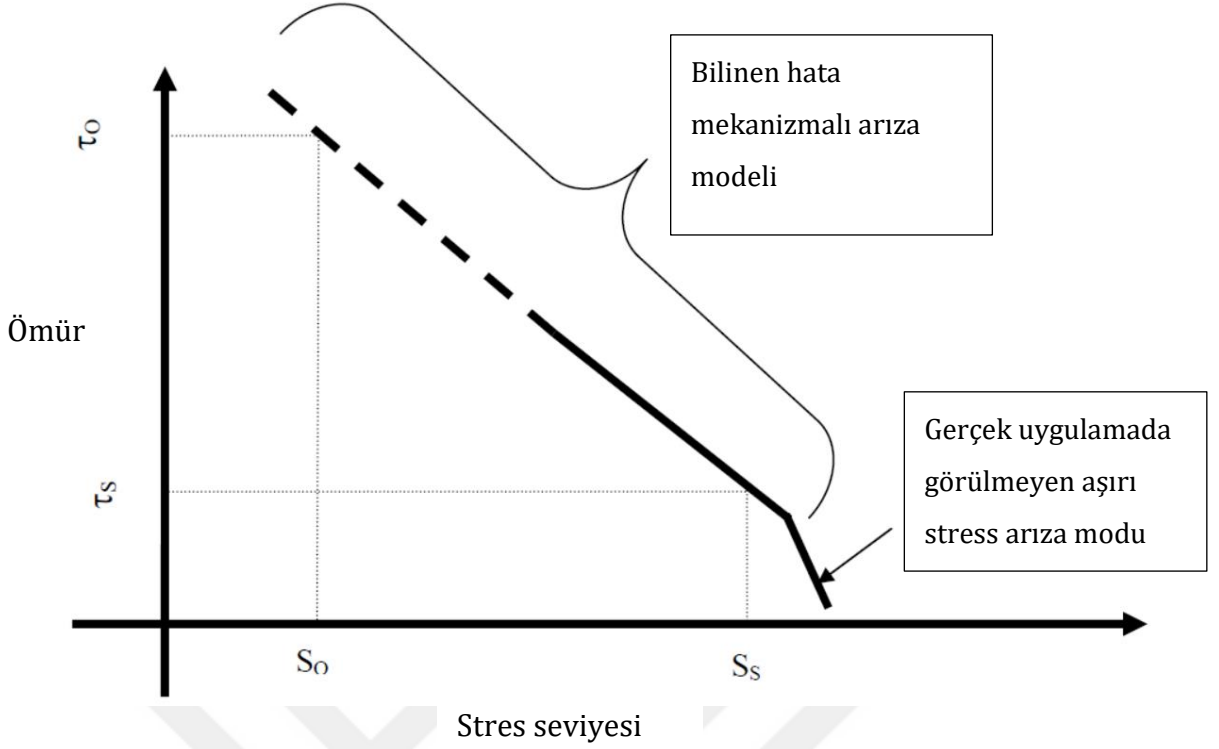
kondansatörlerin kuruyup bozulması, ısıl çevrim nedeniyle endüklenen gerilim sonucunda ortaya çıkan kısa devreler gibi yapısal yaşlanma nedeniyle meydana gelir.

Mekanik ekipmanlar, banyo küveti eğrisinden farklı bir karakteristik sergiler. Malzeme yorulması, mekanik ekipmanların arıza oranının artmasının en önemli nedenlerinden biridir. Erken dönemlerde ekipman tamamen yenidir ve arıza görülme olasılığı oldukça düşüktür. Sonraki dönemlerde yorulma ve diğer yaşlanma belirtileri ortaya çıkmaya başladıkça arıza oranı önemli ölçüde artma eğilimindedir [28].

3.3 Güvenilirlik Test Metodları

3.3.1 Hızlandırılmış Testler

Güvenilirlik geleceğin bir öngörüsüdür. Gelecek nasıl tahmin edilebilir? Bu sorunun cevabının makul bir sürede alınabilmesi için hızlandırılmış yöntem kullanılmaktadır. Normalden daha yüksek bir stres kullanıldığında, başarısızlık normalden daha erken indüklenir. Hızlandırılmış stres altında kullanım ömrü elde edildiğinde, bilinen hızlandırılmış model normal uygulama stresinde ürünün ömrünü tahmin etmek için kullanılabilir. Ancak stres seviyesinin makul olmasını sağlamak için özen gösterilmelidir. Aşırı stres oluşmamalıdır. Bu kavram Şekil 3.2'de açıklanmıştır.



Şekil 3.2 Stres seviyesinin ömür ile ilişkisi

Şekil 3.2 sadece kavramı göstermek içindir. Oldukça sık, her iki eksen de logaritma ölçeğindedir. S_s ve τ_s ürün ömrü ile sonuçlanan güvenilirlik testi sırasında stres seviyesini gösterir. Bilinen stres modelini ve uygulamada beklenen çalışma stresini S_0 kullanarak, normal çalışma koşullarında τ_0 ürünün kullanım ömrü tahmin edilebilir.

Bu modeldeki kesintisiz çizgi, bu modeli desteklemek için mevcut olan bazı tarihsel verileri temsil eder ve kesikli çizgi bu modelin tahminlemesini temsil eder. Aşırı stres de başarısızlıklar yaratacaktır, ancak başarısızlık modu normal çalışmada görülmeyebilir. Tahmini yapmak için bu bölgedeki veriler kullanılamaz.

Hızlandırılmış testler nitel (qualitative) ve nicel (quantitative) olmak üzere ikiye ayrılmaktadır.

Nitel yani hızlandırılmış yaşlandırma (HALT ve HASS) hata modlarını belirlemek için hataları hızlandırır ve normal kullanım koşullarında ürünün beklenen ömrü hakkında bilgi vermezler. Olası hata türlerinin ortaya çıkarılmasını sağlarlar.

Eğer uygulanacak stress doğru hesaplanmazsa ürün yaşam döngüsünde hiç gösteremeyeceği bir hatadan dolayı bozulabilir.

Nicel yani kalibre edilmiş hızlandırılmış yaşlandırma (QALT) ürünün ömrünü bulmak için tasarlanan testlerdir.

Bir hızlandırılmış nicel testinde, ürünün bozulmasına yol açan gerilim, akım, sıcaklık gibi etmenler, ürünün daha kısa bir zaman diliminde bozulması için kontrollü olarak hızlandırır.

Kullanım koşullarındaki hata olasılıklarının ortalama ömrünün ve tahminini geri dönüş ile garanti maliyetinin hesaplanmasını kapsayan güvenilirlik bilgisini sağlar.

3.3.1.1 Sıcaklık Hızlandırması (Temperature Acceleration)

Hataya bağlı arızaların ve yıpranma mekanizmalarının çoğu, arızayı ortaya çıkarmak için normal uygulama sıcaklığından daha yüksek sıcaklıklar kullanılarak hızlandırılabilir, böylece güvenilirlik testi ve değerlendirmesi makul bir süre içinde tahmin edilebilir. Endüklenen başarısızlık genellikle bir tür kimyasal veya fiziksel reaksiyonu içerir [29]. Arrhenius modeli şu şekilde elde edilebilir,

Reaksiyon oranı $\propto \exp\{-E_a/kT\}$

Başarısızlık süresi $\tau \propto 1/\text{Reaksiyon oranı} \propto \exp\{-E_a/kT\}$ bu nedenle;

$$\tau = A \times \exp\left(\frac{E_a}{kT}\right) \quad (3.1) [28]$$

burada E_a aktivasyon enerjisidir, k Boltzmann sabitidir değeri de 8.617×10^{-5} ev ve A sabittir. Stres sıcaklığının T_s olduğunu, elde edilen kullanım ömrünün τ_s olduğunu, çalışma sıcaklığının T_o olduğunu ve öngörülen kullanım ömrünün τ_o olduğunu varsayılır. Bu durumda, Arrhenius denklemi, sıcaklık ivme faktörü (AFT) olarak daha pratik bir formda ifade edilebilir.

$$AF_T = \tau_o / \tau_s = e^{\frac{E_a}{k} \left(\frac{1}{T_o} - \frac{1}{T_s} \right)} \quad (3.2) [28]$$

Bir örnek ile açıklayacak olursak; 150°C 'de 1000 saatlik yüksek sıcaklık ömrü testi, 55°C 'de kaç saatlik çalışma ömrüne eşittir?

Aktivasyon enerjisinin $0,7 \text{ eV}$ olduğunu varsayarsak,

$$AF = \exp \{ (0.7/8.617 \times 10^{-5}) \times [1/(273+55) - 1/(273+150)] \} = 260$$

Toplam çalışma süresi= test süresi x AF

$$= 1000\text{saat} \times 260$$

$$= 21,6 \text{ yıl}$$

(3.3)

3.3.1.2 Aktivasyon Enerjisi

Farklı arıza mekanizmaları için aktivasyon enerjisi yarı iletken endüstrisinde iyi tanımlanmıştır. Aşağıdaki 3.1 tabloda, bazı tipik değerler gösterilmektedir.

Tablo 3.1 Hata Mekanizmalarına Göre Aktivasyon Enerjileri [31]

Hata Mekanizmaları	Sıcaklık E_a (eV)
Geçit oksidi hatası (Gate-oxide defect)	0,3
İntermetalik hatası (Intermetallic defect)	0,3
Poli-metal hatası (Poly to metal defect)	0,3
Silikon jonksiyon hatası (Silicon junction defect)	0,8
Maskeleme hatası (Masking defect)	0,5
Elektron göçü (Electromigration)	0,5
Kirlenme (Contamination)	1,0
Montaj (Assembly)	0,5
Sıcak Taşıyıcı (Hot carrier)	-1,0
İntermetalik büyüme (Intermetallic growth)	1,0
Korozyon (Corrosion)	0,3 - 1,1

3.3.1.3 Gerilim Hızlandırma

Gerilim-stres arıza mekanizması karmaşık olabilir. Cihazın yapısına ve türüne bağlı olarak, model çok farklı olabilir. Bununla birlikte, MOS cihazları için, özellikle gerilim stresine karşı geçit oksit direnci için, Eyring-üssel model iyi çalışmaktadır. Ömür boyu τ , stres geriliminin (V_S) bir fonksiyonu olarak ifade edilebilir;

$$\tau = A \times \exp \{- V_S \times \beta \} \quad (3.4)$$

burada A sabittir ve β verilen bir arıza mekanizması için gerilim hızlanma katsayısıdır. Eğer τ_s ömrü V_S 'den elde edilirse, çalışma ömrü τ_o olur ve çalışma gerilimi V_o ise, gerilim hızlanma faktörü (AF_V) aşağıdaki gibi hesaplanabilir;

$$AF_V = \exp \{ \beta \times (V_S - V_o) \} \quad (3.5)$$

Farklı arıza mekanizmaları için gerilim hızlandırma katsayıları bazıları aşağıdaki tabloda verilmiştir.

Tablo 3.2 Hata Mekanizmalarına Göre Gerilim Hızlandırma katsayısı [31]

Hata Mekanizmaları	Voltage β (1/v)
Zayıf geçit oksidi hatası (Gate-oxide defect)	$T_{ox}/100$
İntermetalik hatası (Intermetallic defect)	1,5 – 3,0
Poli-metal hatası (Poly to metal defect)	1,5 – 3,0
Silikon jonksiyon hatası (Silicon junction defect)	0,0 – 0,5

3.3.1.4 Sıcaklık Döngüsü Hızlandırma

Bir sistemin çalışması sırasında, yarı iletken cihaz sıcaklık döngüsü stresiyle karşılaşır. Örneğin, cihazı enerjilendirmeden önce cihaz 25°C gibi bir oda sıcaklığındadır; ancak enerji verdikten sonra, genellikle iyi bir soğutma tasarımına sahipse jonksiyon sıcaklığı 55 ° C'yi aşmayacaktır.

Bununla birlikte, bazı güç cihazlarında, jonksiyon sıcaklığı 85 °C ila 100 °C'ye kadar ulaşabilir. Yarı iletken malzeme, farklı termal genişleme katsayılarına sahip malzemelerden oluşur. Bu nedenle, sıcaklık döngüsü, paket çatlaması, çekirdek çatlaması (die cracking), kablo bağı açılması (wire bond opening) ve temas direncinde bir artış gibi belirli arızalara neden olur.

Bu arızalara karşı cihazın güvenilirliğini değerlendirmek için sıcaklık döngüsünden çok daha yüksek bir sıcaklık farkı kullanılır. Bir güç cihazına uygulanan standart sıcaklık döngüsü çevre sıcaklığını değiştiriyor mu?

-65°C ile + 150°C arası sıcaklık. Güç cihazı bunu sağlamak için 1000 döngüde hayatta kalmalıdır.

Coffin-Manson modeli bu hızlanma için çok popülerdir. Ömür τ , nth gücü ve ΔT sıcaklık farkı ile orantılıdır.

$\tau = A \times (\Delta T)^n$, burada A sabittir. Hızlanma faktörü aşağıdaki gibi ifade edilebilir:

$A_{F_{TC}} = (\Delta T_s / \Delta T_o)^n$, ΔT_s gerilme sıcaklık farkı ise, ΔT_o çalışma sıcaklık farkı ve n üssel katsayısıdır.

Örnek verecek olursak -65°C ila 150°C arasında 30 adet sıcaklık çevrimi, 55°C jonksiyon sıcaklığına sahip bir bilgisayar ortamında kaç yıllık çalışma ile eşdeğerdir? Bilgisayarın günde üç kez açılıp kapandığını ve ortam sıcaklığının (T_{ODA}) 25°C olduğu varsayalım. Coffin-Manson modelini kullanarak, ivme faktörü (AF), $n = 6$ kullanılarak elde edilebilir (paket hatalarının çoğu için, $n \sim 6$ belirlenmiştir) $\{(150 + 65)/(55 - 25)\}^6 = 135489$, Eşdeğer toplam döngü = $30 \times 135489 = 4.064.670$ döngü. Günde üç ve yılda 365 gün olduğundan, Eşdeğer çalışma yılı $4.064.670 / 3/365 = 3712$ yıldır.

3.3.1.5 Nem Hızlandırma

Ekonomik nedenlerden dolayı, plastik paketler yarı iletken cihazlar için yaygın olarak kullanılmaktadır. Plastik bir paket hermetik olarak kabul edilir. Bu, nemin pakete plastik kalıplama bileşiği boyunca ya da kalıplama bileşiği ile kurşun çerçeve arasındaki ara-yüz aracılığıyla bir difüzyon işlemi yoluyla girdiği anlamına gelir [30]. Basit bir model $\tau \propto (1 / RH)^n$ bu formül gibi çalışır. Buradaki RH bağıl nemdir.

$AF_H = (RH_s / RH_o)^n$ formül ivme faktörü olarak ifade edilebilir.

Örnek verecek olursak; 130 °C ve %85 bağıl nemde 100 saatlik yüksek hızda stres testi (HAST) için eşdeğer çalışma yılları nelerdir? Çalışma şartı 55 °C sıcaklıkta ve %65 bağıl nem olsun. Toplam ivme $AF = AF_H \times AF_T$ formülü ile hesaplanabilir.

$(85/65)^3 \times \exp\{(0.9/8.617 \times 10^{-5}) \times [1/(273 + 55) - 1/(273 + 130)]\} = 838$,

buradaki $n = 3$ ve $E_a = 0.9$ eV'dir. Eşdeğer yıl $838 \times 100/365/24 = 9.57$ yıl olarak hesaplanır.

3.4 Veri Analizi İçin Güvenilirlik Fonksiyonu

Güvenilirlik hesaplamasının fiziksel anlamını anlamak çok zordur. Olasılık istatistiği uzun zaman önce başka alanlarda da geliştirildi. Verilere uyan ve doğru ekstrapolasyonu yapabilen işlev seçilebildiği sürece, hesaplama yapılabilmektedir. Ancak, bir güvenilirlik mühendisi olarak, tüm olasılık yoğunluğu fonksiyonlarını ve uygulamalarını tanımak gerekir.

3.4.1 Güvenilirlik Fonksiyonunun Tanımı

Güvenilirlik işlevi, 0'dan t'ye kadar olan sürede hayatta kalacak popülasyonun olasılığını veya oranını gösterir. Matematiksel olarak, güvenilirlik (3.6) eşitliği ile tanımlanabilir.

$$R(t) = \frac{n-r(t)}{n} \quad (3.6)$$

(3.6) eşitliğinde $n = 0$ sırasındaki toplam iyi örnek sayısıdır ve $r(t)$ 0'dan t'ye kadar olan dönem boyunca başarısız olan toplam örnek sayısıdır.

Sınır koşulları $R(0) = 1$ (% 100) ve $R(\infty) = 0$ 'dir.

3.4.2 Hata Dağılım Fonksiyonu

Hata dağılım fonksiyonu ayrıca güvenilirlik fonksiyonu olarak da adlandırılabilir. Bu, 0'dan t'ye kadar olan sürede başarısız olan popülasyonun olasılığını veya oranını gösterir. Bu fonksiyona kümülatif arıza dağılımı da denilebilir.

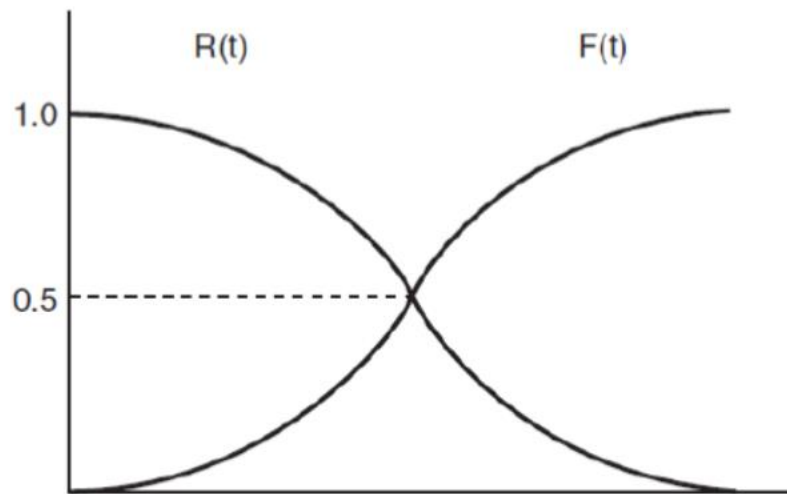
$$F(t) = \frac{r(t)}{n} \quad (3.7)$$

Sınır koşulları $F(0) = 0$ ve $F(\infty) = 1$ 'dir.

Güvenilirlik ve güvenilmezlik işlevlerinin ilişkisi denklem (3.8) de gösterilmiştir.

Şekil (3.3)'de de grafikte de ilişkisi verilmiştir.

$$R(t) + F(t) = 1 \quad (3.8)$$



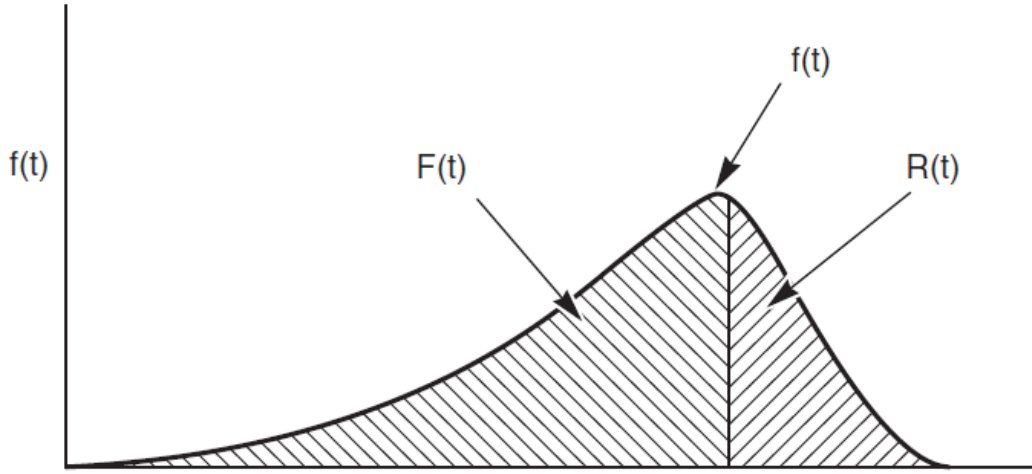
Şekil 3.3 Güvenilirlik ve güvenilmezlik fonksiyonlarının ilişkisi

3.4.3 Hata Olasılık Yoğunluğu Fonksiyonu

Yukarıda belirtilen iki fonksiyon, toplam popülasyon için tüm zaman aralığı boyunca kümülatif fonksiyonlardır. Daha temel özellikler, olasılık yoğunluğu işlevi olan olasılığın zamana göre değişim oranıyla ifade edilebilir. Bu, $t + \Delta t$ zamanı boyunca meydana gelen başarısızlığın toplam popülasyona oranını gösterir.

$$f(t) = \frac{dF(t)}{d(t)} = -\frac{dR(t)}{dt} \quad (3.9)$$

Tüm temel istatistik fonksiyonlar, olasılık yoğunluğu fonksiyonu ile ifade edilir. Diğer tüm fonksiyonlar bundan türetilir. $R(t)$ güvenilirlik fonksiyonu, $F(t)$ arıza dağılım fonksiyonu ve $f(t)$ hata olasılık yoğunluğu fonksiyonu Şekil (3.4)'te gösterilmektedir.



Şekil 3.4 Güvenilirlik fonksiyonu $R(t)$ hata dağılım fonksiyonu $F(t)$ ve hata olasılık yoğunluğu fonksiyonu $f(t)$

Olasılık yoğunluğu seçildiğinde, diğer fonksiyonlar ondan türetilir.

$F(t)$, $t = 0$ 'dan $t = t'$ 'ye kadar $f(t)$ fonksiyonu altındaki alandır.

$$F(t) = \int_0^t f(t) dt \quad (3.10)$$

(3.10) formülü ile de ifade edilebilir. Güvenilirlik fonksiyonu $R(t)$ $t = t'$ 'den $t = \infty$ 'a kadar $f(t)$ fonksiyonu altındaki alandır. (3.11) formülü ile de ifade edilebilir.

$$R(t) = \int_t^{\infty} f(t) dt \quad (3.11)$$

3.4.4 Hata Oranı Fonksiyonu

Güvenilirlik değerlendirmesi için genellikle kullanılan fonksiyon (3.11)'dir. Hata oranı fonksiyonu daha önce bahsedilen kuvvet eğrisi gibidir. $T + \Delta t$ sırasındaki ani başarısızlık oranını t zamanı boyunca kalan iyi parçalara karşı ölçer.

$$\lambda(t) = \frac{f(t)}{R(t)} = \frac{f(t)}{1-F(t)} \quad (3.12)$$

$t + \Delta t$ aralığı boyunca oluşturulan arıza sayısı, $n \times f(t)$ olarak hesaplanabilir, burada n , $t = 0$ 'daki toplam örneklem büyüklüğü ve $f(t)$, parçaların $t + \Delta t$ aralığında başarısız olma olasılığıdır. Dolayısıyla bu terim $\lambda(t)$ payı olacaktır. Payda için, elbette, $[n-r(t)]$ olan t zamanında hayatta kalan parçaların sayısıdır. Bu iki terimin oranı $\lambda(t)$ 'dir.

$$\lambda(t) = \frac{nx f(t)}{n-r(t)} = \frac{f(t)}{\frac{n-r(t)}{n}} \quad (3.13)$$

(3.11)'deki $R(t)$ 'yi değiştirilirse (3.12) ile (3.13)'ün aynı olduğu görülür.

$\lambda(t)$ 'nin $f(t)$ ile karıştırılmaktadır, çünkü her ikisi de t zamanında başarısızlık oranıdır, $\lambda(t)$ kalan popülasyona karşı bir ölçüdür. $[n-r(t)]$ ve $f(t)$ $[n]$ 'nin toplam orijinal popülasyona karşı ölçümüdür.

3.4.5 Hata Oranı Birimi

Arıza oranı için birim genellikle saat başına hata olarak ifade edilir. Bu kadar küçük bir sayı olduğu için, alışılmış şekilde zamandaki başarısızlık birimi (FIT) kullanılır.

1 FIT 1 milyar cihaz saati başına bir hata, 1000 cihaz saati başına milyonda 1 parça (ppm) yani 10^{-9} 1/saat'tir.

4.1 Teknoloji Stres Testleri

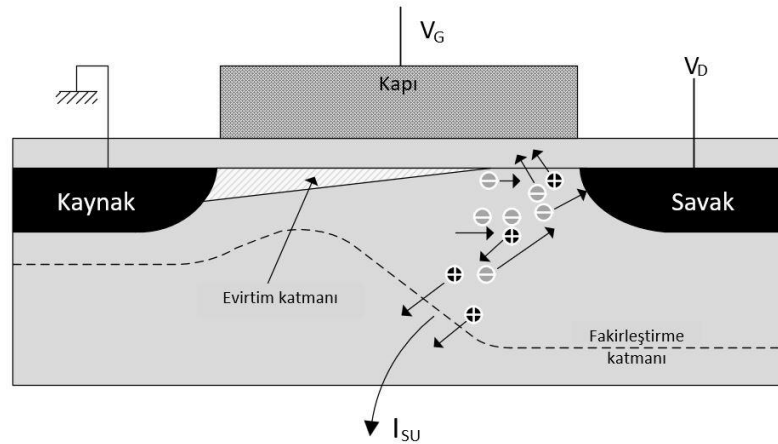
Yarı iletkenlerde yeni katman teknoloji gelişimi sırasında, tüm aşınma mekanizmalarını kontrol etmek esastır. Bu karakterize edildiğinde ve her mekanizma için kullanım ömrü nicel olarak ölçüldüğünde, güvenilir tasarımın elde edilebilmesi için uygun tasarım kuralları üretilebilir.

Bu tür bir işe de süreç güvenilirliği denir. Teknolojinin yıpranmaya karşı gerçek güvenilirliğini geliştirmek için yarı iletken endüstrisi tarafından birçok araştırma yapılmış ve makaleler yayınlanmıştır.

4.2 Sıcak Taşıyıcı Ömrü (Hot Carrier Lifetime)

Bir cihaz küçültüldüğünde, cihazın içindeki elektrik alanın çok yüksek olacağı iyi bilinmektedir. Yüksek alan, taşıyıcıları $3/2kT$ 'den çok daha yüksek kinetik enerji kazanmaları için hızlandırabilir. Bunlar sıcak taşıyıcılar olarak adlandırılır.

Sıcak bir taşıyıcı, kapı oksite girmek için yeterli enerjiye sahip olduğunda, V_T 'nin yanı sıra mobilitiyi de değiştirecektir. Mekanizma, doygunlukta bir n-kanallı MOSFET'i gösteren Şekil (4.1)'e bakılarak anlaşılabilir.



Şekil 4.1 Doygunlukta bir n-kanallı MOSFET [31]

Şekil 4.1'de MOSFET'in doygunluk durumunda ($V_{DS} > V_{GS} - V_T$) olduğu ve inversiyon tabakasının yüksek V_{DS} ile bastırıldığı gösterilmiştir. Kanal elektronları yüksek enerji elde etmek için hızlandırılabilir. Sıcak elektronların bazıları darbeli iyonlaşmanın daha fazla elektron deliği çifti üretmesine neden olur. Deliklerin çoğu alt tabakadan geçecek ve I_{SUB} oluşturmaktadır. Genelde bir sıcak elektron ömrü modeli aşağıdaki gibidir:

$\tau \propto \{I_{SUB} p^{-m} / I_{DS}^{(1-m)}\}$ Bir n-kanallı MOSFET için, $V_{GS} \sim V_{DS}$ olduğunda, en yüksek I_{SUB} 'u üretecek, böylece maksimum bozulma meydana gelmektedir.

Bir p-kanalı MOSFET farklı davranır. Okside girme deliklerinin enerji bariyeri, elektronlara göre çok daha yüksek olduğundan, p-kanalı MOSFET için sıcak taşıyıcı bozunması bir sorundan daha azdır. Maksimum p-kanal yıkımının düşük V_{GS} 'de olduğu ve yaşam süresinin I_{DS} yerine I_G 'nin bir fonksiyonudur. $\tau \propto I_{GS}^{-n}$

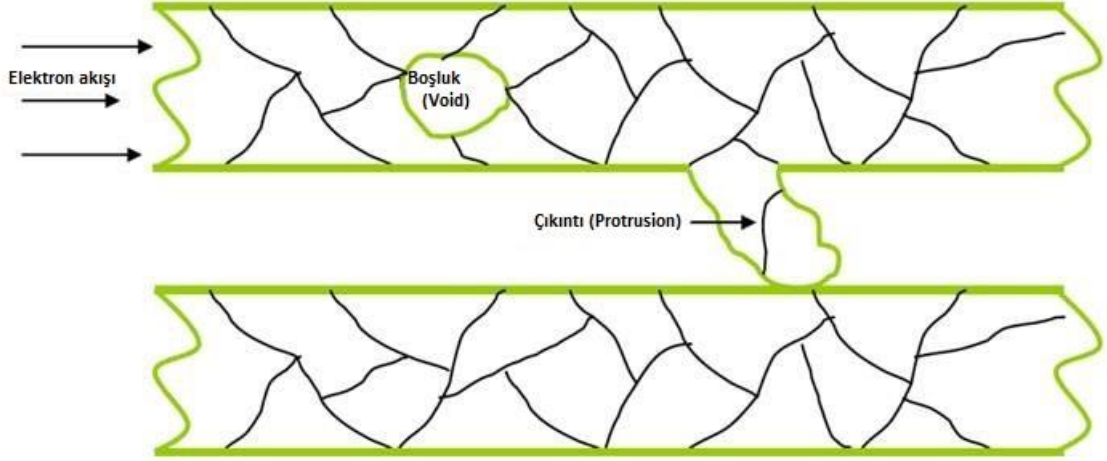
Sıcak taşıyıcı ömrü, elektrik alanını azaltmak için drenaj kenarına yakın hafif katkılı bir drenaj (LDD) kullanmak gibi bir cihaz yapısı değişikliği ile iyileştirilebilir. Farklı geçit oksit oluşumları da ömrünü etkileyebilir. Herhangi bir yeni teknoloji veya ilgili süreç değişikliği, sıcak taşıyıcıların kullanım ömrünü yeniden karakterize etmelidir.

Sıcak taşıyıcı bozunması negatif aktivasyon enerjisine sahiptir. Düşük sıcaklıkta, kristal kafes titreşim genliği daha küçüktür; Bu nedenle, sıcak taşıyıcı, bariyer yüksekliğinden daha yüksek enerjili geçit oksit ve silikon ara yüzüne seyahat etme olasılığına sahiptir.

Çoğu güç MOSFET'i için, aygıt yapıları bir CMOS dijital uygulamasında normal MOSFET'ten oldukça farklıdır. Boşaltma her zaman hafifçe katlanmış bölgededir ve boşaltma kenarındaki elektrik alanı yüksek değildir; Bu nedenle, sıcak taşıyıcı bozunma, güç MOSFET'leri için bir sorun teşkil etmemektedir.

4.3 Elektron Göçü

Bu durum aynı zamanda, aygıt genişliğinin azalması sırasında daha belirgin hale gelir, burada çizgi genişliği azalır ve akım artar. Bu tür yüksek akım yoğunluğunda, Şekil 4.2'de görüldüğü üzere alüminyum ara bağlantı gibi metalizasyon boşluklar oluşturacak ve hatların yanlarında da çıkıntılar oluşturabilecektir. Her ikisi de devre işlevsel hatalara neden olur.



Şekil 4.2 Boşluklar ve çıkıntılar [28]

Metal bir çizginin içindeki atomlar, yüksek akım yoğunluğunun neden olduğu yüksek bir elektron akışı tarafından etkilenebilir. Atomlar tane sınırı boyunca daha kolay hareket ettirilebilir. Bir satır elektron akış yönünde ve iki satır dışarı çıkacak şekilde üçlü bir nokta kesişimi boşluk geliştirme şansına sahip olacaktır. Yer değiştiren atomlar ayrıca bir çıkıntı oluşturmak için elektron çizgi sınırı dışına da hareket edebilir.

Geçmişte, en popüler metalizasyon şekli %1 katkılı silikonla alüminyumdu. Günümüzde, metalin elektromigrasyona karşı direncini arttırmak için ek bir % 0,5 bakır katkı maddesi eklenmektedir

Ne zaman yeni bir metalizasyon sistemi kullanılsa, yüksek stresli bir yöntem kullanarak sistemin elektromigrasyon kabiliyetini tam olarak tanımlamak gerekir. Genellikle, yüksek sıcaklık ve yüksek akım gerilmeleri aynı anda kullanılır. Popüler Black denklemi (4.1) kullanım ömrünü hesaplamak için kullanılmaktadır.

$$\tau \propto J^{-n} \exp\{-E_a/kT\} \quad (4.1)$$

Ömür boyu karakterize edildikten sonra, ilgili akım yoğunluğu tasarımı uygulanabilir. Düzen tasarımı kurallara uyduğu sürece, sahada elektromigrasyon nedeniyle gerçek bir arıza olması muhtemel değildir.

4.4 Zamana Bağlı Dielektrik Dağılım (TDDB)

Bir MOS yarı iletkeninde karşılaşılan en yüksek elektrik alanı geçit oksit bölgesindedir. Günümüzde, kapı oksidi incelmektedir; bu nedenle, elektrik alanı gittikçe yükselmektedir.

İyi bir geçit oksidi 10 MV / cm'ye kadar çıkabilmektedir. Bununla birlikte, imalat sırasında, TDDB ömrünü bozacak belirli bir kusur yoğunluğu kaçınılmaz olarak eklenecektir. Yüksek bir elektrik alanı ile, TDDB için oksiti kademeli olarak bozan tuzaklar oluşturacak olan anot tarafında delik enjeksiyonu yapılabilir. Birçok farklı model rapor edilmiştir, ancak en popüler iki modele E modeli (4.2) ve 1 / E modeli (4.3) denilmektedir.

$$\tau \propto \exp (-\beta \times E) \quad (4.2)$$

$$\tau \propto \exp (\gamma / E) \quad (4.3)$$

Herhangi bir yeni proses geliştirme ve proses değişikliği için, kapı oksit bütünlüğü değişebiliyorsa, MOS cihazının güvenilirliğini sağlamak için tam TDDB karakterizasyonu yapılmalıdır.

Genellikle bu, test yapıları kullanılarak ve yüksek elektrik alanı ve yüksek sıcaklık kullanılarak hızlandırılmış test yapıları yapılır. Bununla birlikte, resmi TDDB testleri hala uzun zaman almaktadır. Genellikle VRAMP olarak adlandırılan gerilim yükselişi, farklı proses koşulları arasında hızlı bir değerlendirme yapmak için kullanılabilir. VRAMP yöntemi, oksiti her aşamada, oksit parçalanıncaya kadar kısa bir süre için zorlamak üzere küçük bir gerilim adımı kullanır.

4.5 Yaşlandırma ve Analizi

Yaşlandırma bir ürün, sistem ya da elemanın sıcaklık, gerilim, akım, nem gibi parametrelerle belirli bir hata moduna götürülmesidir. Bu hata modu ile de bir veya birkaç performans verisinin ölçülmesi ve bu ölçüm sonuçlarının istatistiksel yöntemlerle kritik noktaya ulaşma sürecinin değerlendirilerek güvenilirlik

hesaplamalarının yapılması da yaşlandırma analizi yani degradation analizi olarak tanımlanır.

Bir kondansatörün kapasitans değeri, camdaki çatlağın ilerleme miktarı, bir LED'in parlaklık seviyesi yaşlandırma analizi yapılacak performans parametrelerine örnek gösterilebilir. Bu örneklerde belirtilen performans parametreleri, ilgili component ya da systemin doğrudan hata ile sonuçlanmasına sebep olabilecek parametrelerdir ve kullanımla, zamanla ya da test süreci ile bu performans parameter değerlerinin ölçülüp analiz edilmesi yöntemi esasını oluşturmaktadır.

Yaşlandırma analizi ile hata oluşmamış örneklerin ne zaman hata verebileceği ekstrapolasyon ile tahmin edilmektedir. Bu tahminleri gerçekleştirmede, yaşlandırma verilerinin en uygun olduğu matematiksel modellerin belirlenmesi ve bu modellere göre ürünlerin hata verme sürelerinin ortaya konulması gerekmektedir. Bu hata süreleri tahmin edildiğinde, ömür analizi Weibull analizi gibi geleneksel yöntemlerle yapılabilir.

Yaşlandırma analizleri hasarlı (destructive) ve hasarsız (nondestructive) olmak üzere iki kategoride sınıflandırılmaktadır. Süreç boyunca performans parametresinin değeri örneklerle zarar vermeden ölçülebiliyorsa hasarsız yaşlandırma analizi, numuneden sadece tek yaşlandırma verisi alınabiliyorsa hasarlı yaşlandırma analizidir.

İster hasarlı ister hasarsız yaşlandırma analizi yapılıyor olsun her iki durumda da analiz edilecek performans parametresi için bir kritik değer belirlenmesi çok önemlidir. Bu değer dışına çıkılması durumunda numunelerin hata verdiği Kabul edileceği için yaşlandırma kritik değerinin belirlenmesindei component/tasarım spesifikasyonları ya da üründen beklenen performansa göre hareket edilmelidir.

4.6 Yeterlilik için Ürün Stres Testleri

Testler teknoloji geliştirme sırasında yoğun olarak kullanılmasına rağmen, kalite için güvenilirlik stres testleri gerçek bir araç olarak seçilmelidir. Bu, yeni bir tabaka proses teknolojisi, yeni bir paket veya yeni bir bileşenin nihai niteliği için geçerlidir.

Her yeni üründe tüm stres testlerini yapmak mümkün değildir. Bu nedenle, güvenilirlik sağlamada uygun stres testinin seçilmesine yardımcı olmak için ürünün ailesinin tanımlanması gerekir.

Ticari plastik ambalaj ürünleri için iki farklı ürün stres testi kategorisi vardır: yüksek sıcaklık ömrü testleri ve çevresel testler.

4.6.1 Yüksek Sıcaklık Ömür Testleri

Bu testler genel yarı iletken kalıp güvenilirliğini sıcaklık stresine karşı değerlendirmek için kullanılır. Sıklıkla, indüklenen hatanın analizinden sonra, bazı tasarım ve üretim problemleri ortaya çıkar. Başarısızlık oranı FIT değeri, bu testlerden elde edilen veriler kullanılarak tahmin edilebilir.

4.6.1.1 Yüksek Sıcaklık Geçit Öngerilimi (High-Temperature Gate Bias HTGB)

MOSFET için yüksek sıcaklık geçit sapması (HTGB) testi geçit oksit bütünlüğünü ve iyonik kirlilik seviyesini test etmektedir. Cihazı 1000 saate varan bir 150 ° C'de ortam üzerinde zorlarken izin verdiği maksimum geçit gerilimi uygulanarak yapılır.

4.6.1.2 Yüksek Sıcaklık Ters Öngerilimi (High-Temperature Reverse Bias HTRB)

MOSFET için yüksek sıcaklık ters öngerilim (HTRB) testinde, teknik özellikleri izin verdiği BV_{DSS} 'nin yüzde sekseni, cihazı 150 ° C'ye kadar olan bir ortamda strese sokarken, kaynağa topraklanmış olan gövde diyotuna uygulanır. 1000 saat kombine elektriksel ve termal stres, vücut diyotunun bağlantı bütünlüğünü, kristal hatalarını ve iyonik kirlenme seviyesini test edebilir.

4.6.1.3 Yüksek Sıcaklıkta Çalışma Ömrü (High-Temperature Operating Life

HTOL)

Bir IC elemanı için yüksek sıcaklıkta çalışma ömrü (HTOL) testi, çip ile ya statik öngerilim ya da dinamik öngerilim altında gerçekleştirilebilir. Bu terime yanlışlıkla yanma denir. Aslında yanma, bebek ölüm oranlarının yüksek olduğu ürünlerin üretim taraması için kullanılan bir terimdir. Stres koşulu HTOL ile aynı olabilir, ancak genellikle yanma için zaman çok kısadır. HTOL, bir T_j 'de 125 ° C ila 150 ° C ile

1000 saat arasında gerçekleştirilir. Her cihazın elektrik tüketiminin fırın sıcaklığını ayarlamak için hesaplanması gerekir, böylece jonksiyon sıcaklığı bu aralığı geçmez.

4.6.2 Çevresel Testler

Bu testler genellikle paket bütünlüğünü değerlendirmek için kullanılır. Bununla birlikte, bazen kalıp ve paket güvenilirliği arasındaki etkileşim ayrılamamaktadır (örneğin kusurlu pasifleştirme nedeniyle mobil iyonun cihaz yüzeyine taşınması).

4.6.2.1 Önkoşul (Patlamış Mısır Etkisi Muhasebesi)

Yüze monte plastik bir cihaz hermetik olmadığı için, nem pakete girer. Lehim akış prosesi gibi yüze monte montaj işlemleri sırasında, sıcaklık çıkması paketi kırmak için çok yüksek buhar basıncı üretebilir. Buna patlamış mısır etkisi denilmektedir.

Herhangi bir çevresel testten önce bu etkiyi simüle etmek için, bu testleri yapmadan önce plastik ambalajda önkoşul yapılması gerekmektedir. Önkoşul için standart prosedürler fırında pişirme, nemin emilimini kontrol etme ve lehim yeniden kaynağını içerir. Ayrıntılı prosedürler için JEDEC standartlarına başvurulmalıdır [32].

4.6.2.2 Yüksek Sıcaklık Depolama (High Temperature Storage-HTS)

Yüksek sıcaklıkta depolama (HTS) genellikle öngerilimsiz 150 °C ortamlarda yapılır. Bu test, paket montaj prosesi sırasında kirliliği açığa çıkarabilir ve bu da korozyonun yüksek sıcaklıkla hızlanmasına neden olabilir. Aynı zamanda, montajdaki bir zayıflık olan kablo bağı içindeki, metaller arası büyümeyi hızlandırır

4.6.2.3 Sıcaklık Döngüsü (Temperature Cycling TC)

Sıcaklık döngüsü (TC), cihazın aşırı yüksek ve düşük ortam sıcaklıkları arasında döngüsünü ifade eder. Genellikle bu güç cihazları için -65 °C ile 150 °C arasında yapılır. Bu, temel olarak paket dayanıklılığını test etmek içindir, çünkü paket, farklı termal genişleme katsayıları olan birçok materyali bir araya getirir. Sıcaklık döngüsü aynı zamanda arayüz yapışma bütünlüğünü ve malzeme çatlama direncini de gösterebilir.

4.6.2.4 Sıcaklık Nemi Öngerilimi (Temperature Humidity Bias THB)

Tarihsel olarak, sıcaklık nem öngerilimi (THB) testi, 85 °C ve yüzde 85 bağıl nem ortamında gerçekleştirilir. Test 85/85 olarak da adlandırılır. Plastik bir ambalajın nem nüfuz etme direncini test eder. Ayrıca öngerilimli olduğu için, kalıplama bileşiminin kirlenme seviyesi çok yüksekse, elektrolitik kaynaklı korozyonu hızlandırabilir. Öngerilim kuralı, farklı potansiyeli olan bitişik pimleri eğmek içindir. Bununla birlikte, bastırma düzeni cihazın yüksek akım ve yüksek ısı çekmesine neden olursa, planın değiştirilmesi gerekmektedir. Bunun nedeni, yüksek ısının, testin amacını ortadan kaldırabilen nem penetrasyonunu engellemesidir. Test genellikle 1000 saat boyunca yapılmaktadır.

4.6.2.5 Yüksek Derecede Hızlandırılmış Stres Testi (HAST)

Temel olarak, yüksek oranda hızlandırılmış stres testi (HAST), THB'den daha yüksek sıcaklıkta öngerilimli bir başka sıcaklık nem testidir. Genellikle, HAST 130 °C'lik bir ortamda yapılırken, nem% 85'de kalmaktadır. Hızlanma çok yüksek olduğundan, bu testi yapmak için genellikle sadece 100 saat gerekir. Bu nedenle, kalifikasyon için çok zaman kazandırır. Ancak, tüm başarısızlıklar geçerli değildir. Bu testin, gerçek hayattaki bir uygulamada asla ortaya çıkmayacak olan yüksek derecede hızlandırılmış bir durum arızası yaratması mümkündür. Örneğin, paket kalıp bileşiminin bazıları HAST koşulları altında ayrışabilir.

4.6.2.6 Düdüklü Tencere Testi (Pressure Cooker Test PCT)

Otoklav olarak da adlandırılabilen düdüklü tencere testi (PCT) 121 ° C ve 2 atm basınçta (atmosfer basıncının 1 atm üzerinde) gerçekleştirilir. Bu koşullar altında, bağıl nem% 100'dür. Çoğu zaman, odanın içinde yoğunlaşma meydana gelir. HAST ile aynı şekilde, bir hata verisinin onaylanmasında çok dikkatli olunması gerekir. Başarısızlık mekanizmalarının bazıları gerçek dünyada oluşmayacak. Bazı yarı iletken şirketler bu tür doymuş nem testini kullanmayı çoktan durdurmuştur. Ne yazık ki, bazı standartlar hala bu testi gerektirmektedir. Ana amaç, paketin nem direncini ve yüksek konsantrasyonlarda belirli kirlenmelerin neden olduğu korozyon direncini test etmektir. Daha şiddetli korozyon geçerli başarısızlık olarak

kabul edilebilir, ancak fırında veya dökülmeden sonra küçük bir sızıntı geçersiz başarısızlık olarak kabul edilebilir. Standartların çoğu bu test için 96 saat kullanır.

4.6.2.7 Aralıklı Çalışma Ömrü (Intermittent Operational Life IOL)

Aralıklı çalışma ömrü testine bazen güç döngüsü testi denir. Genellikle otomotiv uygulamaları bu testi gerektirir. Sıcaklık döngüsünün aksine, ısı ortam sıcaklığından ziyade cihazın kendi içinde üretilir. Cihazın kendisine güç verilerek ısıtılması gerekir. Sıcaklık farkı 100 ° C'den yüksek bir değere ayarlanmıştır. Test sistemi her cihaza otomatik olarak güç verecektir. Sıcaklık yüksek noktaya ulaştığında, fan hızlı soğutma için otomatik olarak açılır. Bu güç döngüsü sürecini hızlandıracaktır. Gerekli olan toplam döngü sayısı, Otomotiv Elektronik Konseyi (AEC-Q101) spesifikasyonunda tanımlanmıştır. (Örneğin, T0-220 paket kalifikasyonu $\Delta T_j = 100$ ° C için 8572 devir gerektirir. $\Delta T_j = 125$ ° C'de daha yüksek hızlanma için, sadece 4286 döngü gereklidir.)” [33].

MOSFET'lerde hatalar mekaniksel ve elektriksel olarak ikiye ayrılmaktadır.

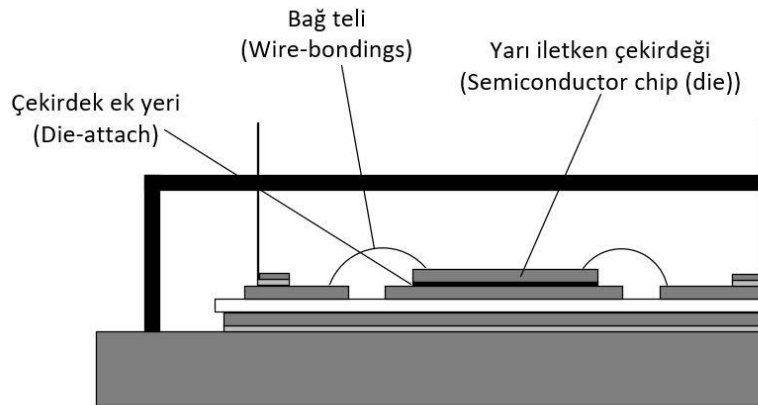
5.1 Termomekanik Gerilmelerden Kaynaklı Hatalar

MOSFET'lerde sıcaklık yükselmeye başladığında, MOSFET'lerin fiziğini değiştirebilecek özellikte birçok fiziksel değişim olmaktadır [34].

Mekanik parametreler elektriksel parametreleri değiştirebilecek nitelikte olabilmektedir. Örneğin literatürde de sıklıkla karşılaşılan bağ teli kırılması (bond-wire cracking), bağ teli kalkması (bond-wire liftoff), çekirdek ek yerindeki yaşlanma (die-attach degradation), ve çekirdek ek yeri hataları (die-attach failure) mekanik hatalar gibi görünse de bu hatalar elektriksel parametreleri değiştirecek seviyededir.

MOSFET'lerin anahtarlanması ile termal bir döngü ortaya çıkmaktadır. Bu termal döngü de bahsedilen hatalara neden olur.

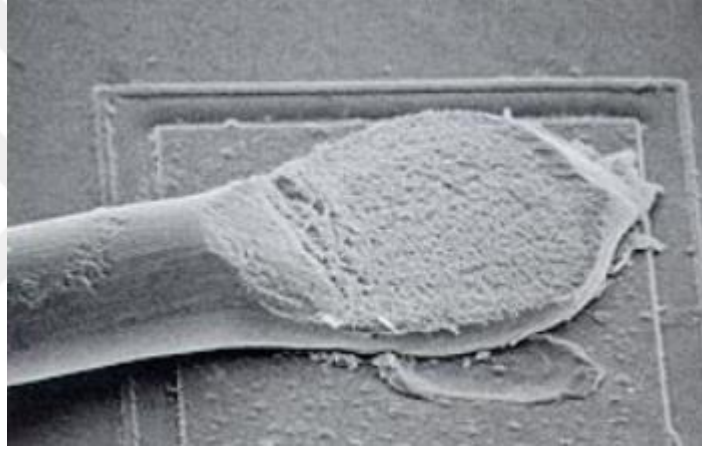
Şekil 5.1'de bir yarı iletkenin bağ teli, çekirdek ek yeri ve yarı iletken çekirdeği görülmektedir.



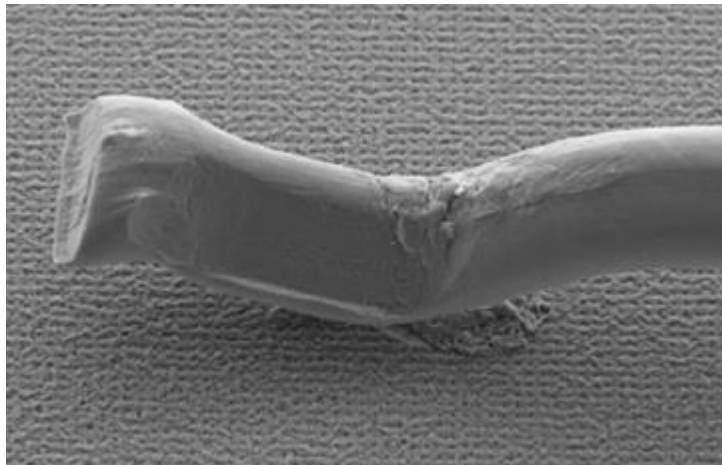
Şekil 5.1 Yarı iletkenin çekirdek ek yeri ve bağ teli

5.1.1 MOSFET Baę Teli Kırılması ve Kalkması Hatası (Bond wire cracking and liftoff)

Baę teli kırılması ve kalkması yarı iletkenlerde en çok görülen hatalardandır [35]. Baę teli kırılmadan önce yaşlanmaya başlar ve zamanla da kırılır. Buna sebep olan da jonksiyon sıcaklığının dalgalı deęişmesidir. Malzeme açma kapama esnasında ısınır, dış ortam sıcaklığı da eklenince malzemenin dayanabileceęi sıcaklık sınırlarını aştığında bu bahsedilen baę telleri çatlayabilir, kırılabilir ya da kopabilir. Sıcaklık dalgalanmaları küçük bir alan içerisinde olursa bu hataların görülmesi azalır. Temel nedeni termal şok etkisidir.



Şekil 5.2 Baę teli kırılması



Şekil 5.3 Baę teli kalkması

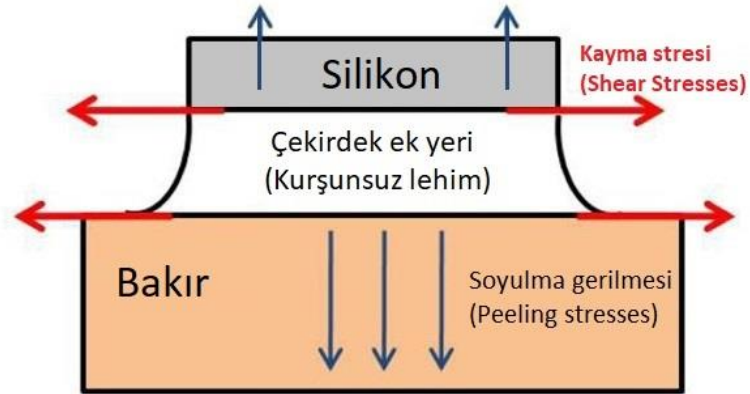
5.1.2 MOSFET Çekirdek Ek Yeri Yaşlanması ve Hatası

Çekirdek ek yeri yaşlanması ve arızası MOSFET'teki termomekanik baskılar nedeniyle ortaya çıkar.

Cihaz yavaşça ısıtıldığında ve sıcaklık yükselmeye devam ettiğinden, bu hatanın olması muhtemeldir [36]. Bu hatanın kablo bağı kalkması kadar olması muhtemel değildir.

Çekirdek ek yeri yaşlanması geçit oksidin aşırı ısınmasına neden olur. Geçit oksit yanabilir ve ardından cihazda hızlı bir şekilde arıza oluşabilir.

Görüldüğü gibi Şekil 5.4 [37], çekirdek ek yerindeki lehim ısınmaya başlar, ısıyı bakırdaki gibi dağıtamaz. Böylece ısınırken malzemeler ısınmaya başlar. Bu ısınma strese neden olur ve çekirdek ek yeri bozulmaya başlar. Malzemelerin üzerindeki stress yönleri de Şekil 5.4'te gösterilmiştir. Şekil 5.4'te Çekirdek ek yerinin malzemesi üzerinde kayma gerilmesi (shear stresses), bakır üzerinde de soyulma gerilmesi (peeling stresses) görülmektedir. Burada çekirdek ek yerindeki gerilmelere bağlı hatanın nasıl oluştuğu anlaşılmaktadır.



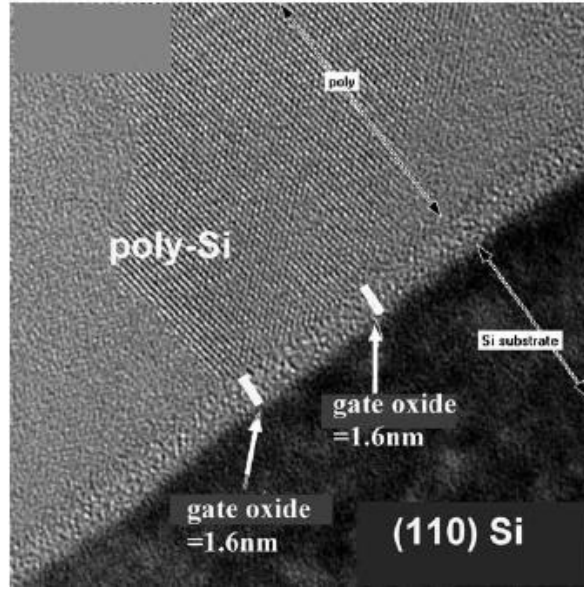
Şekil 5.4 Bakır malzemeli çekirdek ek yeri [37]

5.2 Elektriksel Hatalar

Elektriksel hatalar konusunda literatürde 3 grup üzerine yoğunlaşmıştır. Kapı oksit bozulması (gate oxide breakdown), maksimum savak kaynak bozulma gerilimi (maximum drain to source voltage breakdown), maksimum savak akım bozulması (maximum drain current breakdown)'dır.

5.2.1 Kapı Oksit Bozulması (gate oxide breakdown)

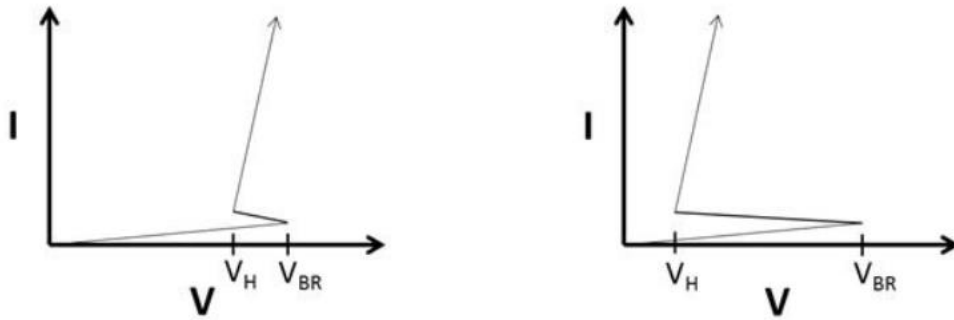
Kapı oksiti bozulması hemen ya da çok uzun zaman sonra oluşabilir. Kapı oksitin hemen bozulması için kapı-kaynak boyunca çok yüksek bir gerilimin uygulanması gerekir [38]. Bu gerilim cihazın maksimum gerilim değerinin üç ya da dört kez aşması gerekir. Gerçek hayatta koruma devrelerinden dolayı aşırı gerilimden kaynaklanan hemen bir arıza olması muhtemel değildir. Diğer yandan geçit oksidi cihazdaki aşırı gerilim potansiyeli nedeniyle zamanla bozulur. Bu normal çalışan bir cihazda olabilir. MOSFET'in her açılış ve kapanışında kapıya elektriksel bir stres uygulanır. Bu da zamanla kapı oksidinin bozulacağı anlamına gelir. Oksidin yaşlanması kapının dielektrik malzemesinin ömrü boyunca azalması demektir. Bu malzeme çok ince olduğu için oksidin hemen bozulmasına neden olabilir. Oksit tamamen bozulduğunda ya da zayıflayıp kırıldığında MOSFET hemen arızalanır. MOSFET, kapı oksit bozulmasından dolayı, MOSFET'in kapısı savak kaynak kısa devre olduğu için daha yüksek akımla gerilimsiz sürülmesine neden olur. Kapının kontrolü kaybolur ve MOSFET'in öldüğü düşünülür. Bazı MOSFET'lerde diğerlerine göre daha kalın kapı oksidi bulunmaktadır. Bu durum cihazın kapısını daha güçlü yapar. Şekil 5.5 [39] Yüksek çözünürlüklü transmisyon elektron mikroskobu ile çekilmiş MOSFET'in oksidinin bozulmadan önceki hali görülmektedir. Oksit tamamen yaşlandıktan sonra MOSFET'te kısa devre olacaktır.



Şekil 5.5 Yüksek çözünürlüklü transmisyon elektron mikrografi ile çekilmiş MOSFET [39]

5.2.2 Maksimum Savak-Kaynak Gerilim Bozulması (Drain to Source Voltage Breakdown)

Tüm MOSFET'ler maksimum savak kaynak gerilimlerine sahiptir. Bu cihazın bozulma gerilimi olarak kabul edilmektedir. Eğer bu sınır aşılsa MOSFET bozulma bölgesine girer. Savak kaynak terminalleri bozulur kanal gerilim geçiremez. Bütün MOSFET'ler farklı bozulma gerilimlerine sahiptir. Şekil 5.6'da [40] gösterilenler gibi eğriler vardır. Bu eğri savak akımı ve kapı kaynak gerilimini esas alarak savak kaynak bozulma gerilimi görülmesini sağlar.



Şekil 5.6 Sığ geri çekme (Shallow snap-back solda), derin geri çekme (deep snap-back sağda) [40]

6.1 Yöntem

Bu tez çalışmasında 2 çalışma yapılmıştır. Birinci çalışma 4. bölümde detaylı bir şekilde bahsedilen güvenilirlik testlerinden hızlandırılmış ömür testi tasarımı ile yaşlandırma analizi yapılmıştır. Yüksek sıcaklık ömür testinde bahsedilen jonksiyon sıcaklıklarının sınırında yüksek sıcaklıkta testler yapılmıştır. İkinci çalışmada da 3. bölümde bahsedilen banyo kuvvet eğrisindeki bebeklik dönemi arızalarına yönelik test önerisinde bulunulmuştur

İki çalışma için de 3 farklı firma'ya ait birbirine yakın elektriksel parametrelere sahip MOSFET'ler seçilmiştir.

İlk çalışmada bu elemanlar için veri sayfasının izin verdiği maksimum jonksiyon sıcaklığında bir anahtarlama devresinde yaşlandırılarak elektriksel parametrelerinin ve iç yapılarındaki değişimlerine bakılmıştır.

İkinci çalışmada bu 3 firmaya ait MOSFET'lerden aynı partiden 10'ar adet MOSFET alınmış ve $V_{GS(th)}$, I_{DSS} , I_{GSS} parametrelerinin tespiti, B_{VDSS} , V_{GSS} değerlerinde 24 saat bekletilerek dayanımlarına bakılmış hata oranlarına bakılmıştır.

6.2 Kullanılan Malzemeler

Bu çalışmada 3 farklı firmaya ait güç MOSFET'i kullanılmıştır. Kullanılan malzemelerin 3'ü de TO220 kılıfa sahip 600V 10A'lık bir güç MOSFET'idir.

Tablo 6.1'de deneylerde kullanılan MOSFET'lerin firmaları verilmiştir.

Tablo 6.1 Kullanılan MOSFET'lerin Modelleri

	Üretici Firma	Model
1. Firma	Fairchild	FDPF10NZ60NZ
2.Firma	Magnachip	MDF10N60B
3.Firma	Panjit	PJF10NA60A

6.3 Veri Sayfası Karşılaştırması

Tablo 6.2 'de 3 firmanında veri sayfasındaki değerler karşılaştırılmıştır. Karşılaştırma sonucunda 3 firmanın da yakın elektriksel parametrelere sahip olduğu görülmektedir.

Tablo 6.2 Üç firmanın veri sayfası değerlerinin karşılaştırılması

BİRİM	FİRMA_1	FİRMA_2	FİRMA_3
V_{DS}	600V	600V	600V
V_{GS}	±25V	±30V	±25V
I_D	($T_c=25^\circ\text{C}$) 10A	($T_c=25^\circ\text{C}$) 10A	($T_c=25^\circ\text{C}$) 10A
I_{DM}	40A	40A	40A
$V_{GS(th)}$	3V-5 V	2V-4V	2V-4V
$R_{DS(ON)}$	0,64-0,75Ω	0,65-0,75Ω	0,58-0,7Ω
I_{GSS}	±10 μA	±100nA	±100nA
I_{DSS}	1μA	1μA	1μA

6.4 Kullanılan Malzemelerin Elektriksel Grafiklerinin Karşılaştırılması

Tablo 6.3 Veri sayfasında bulunan grafikler [41], [42], [43] verilmiştir. Grafiklerde de elektriksel parametrelerde olduğu gibi anlamlı bir fark görülmemiştir.

Tablo 6.3 MOSFET numunelerine ait elektriksel özelliklerinin karşılaştırılması

	Firma_1	Firma_2	Firma_3
Çıkış Karakteristiği			
Transfer Karakteristiği			
Rdson-Tj			
Is-VSD			

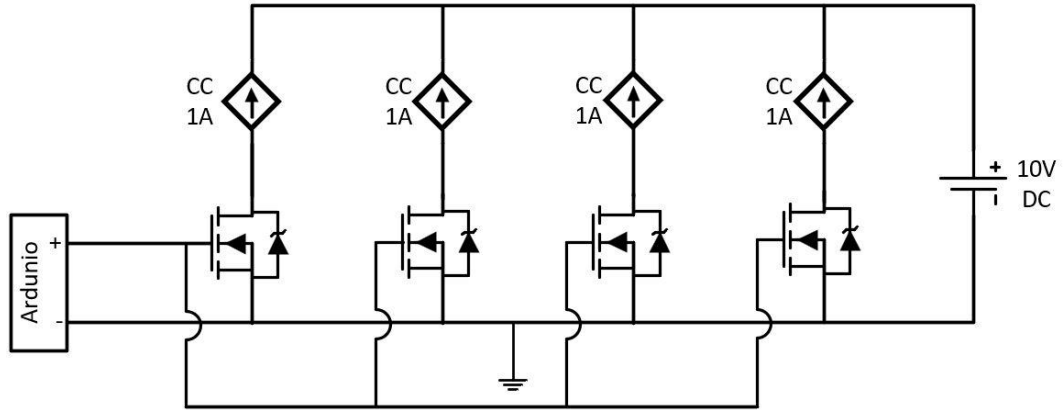
	Firma_1	Firma_2	Firma_3
Kapı şarj (Gate Charge)			
Maksimum Güvenli Çalışma bölgesi			
Kılıf Sıcaklığına göre maksimum kanal akımı			
Normalleştirilmiş Geçici Isıl Empedans vs. Darbe Genişliği			

6.5 Test Düzenegi

Testlerde Prodigit 33110 marka yükü, Vötech marka ısı kabini, Sorensen XFR 20-130 marka DC güç kaynağı, Graphtec marka datalogger kullanılmıştır. Bölümün başında belirtildiği üzere 3 farklı firmaya ait ilk testte her firmadan 4 er örnek olmak üzere 12 örnek teste alınmıştır.

Şekil 6.1'de görüldüğü üzere Arduino programlama kartı yardımıyla kontrol edilen bir devre çizilmiştir.

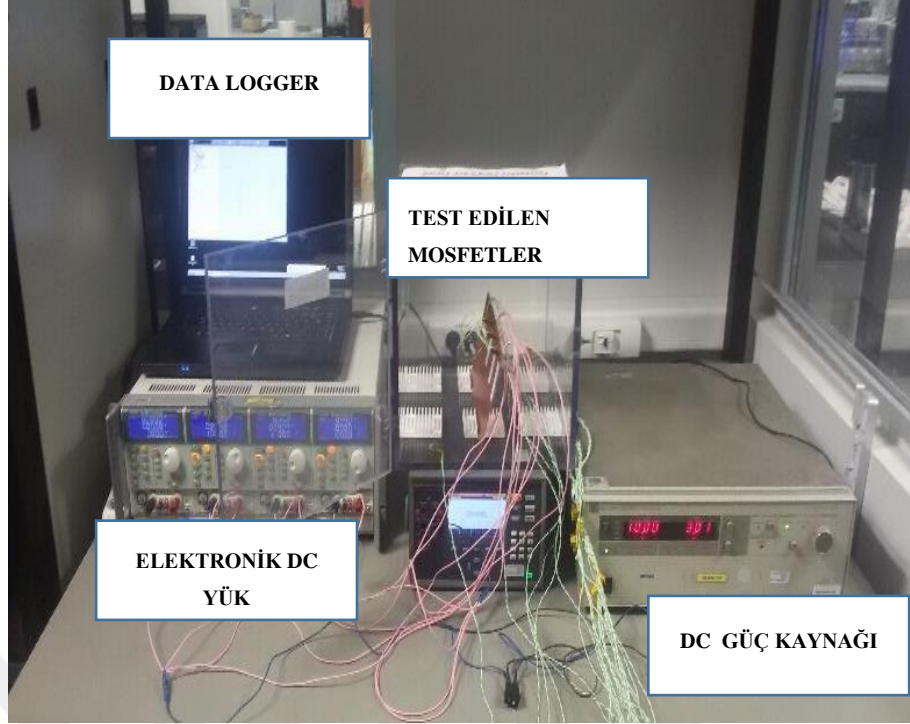
Devrede 3 firma'nın MOSFET'lerinin güvenli çalışma aralığı olan 10V 1 A seçilmiştir. Her firmaya ait 4 er MOSFET paralel bağlı bir şekilde 1 saniye açık 1 saniye kapalı olacak şekilde Arduino kartı ayarlanmıştır.



Şekil 6.1 Devre şeması

Öncelikle seçilen 3 firmaya ait MOSFET'lerin içindeki boşluk (void) oranlarına bakmak için XRAY görüntüleme cihazı ile içindeki boşluklara bakılmıştır.

Daha sonrasında Şekil 6.2'de görüldüğü üzere test öncesinde MOSFET'lerin normal ortam koşullarında kılıf sıcaklıklarının ölçümü alınmıştır. Bu aşama 500.000, 750.000 ve 1 milyon anahtarlama sonrası ölçümler alınmıştır.



Şekil 6.2 Sıcaklık ölçme test düzeneği

Testler öncesinde ölçülen kılıf sıcaklıklarının ortalamaları Tablo 6.4’de verilmiştir.

Tablo 6.4 Kılıftan ölçülen sıcaklıklar

Firma	Kılıftan ölçülen Sıcaklık (Δt°)
Firma 1	42
Firma 2	44
Firma 3	49

Tablo 6.4’te ölçülen kılıf sıcaklıklarına göre (6.1)’deki formüle istinaden firma 3 için (6.2)’de dolap sıcaklığı hesaplanmıştır.

$$T_j = T_c + Pd * R_{jc} \quad (6.1)$$

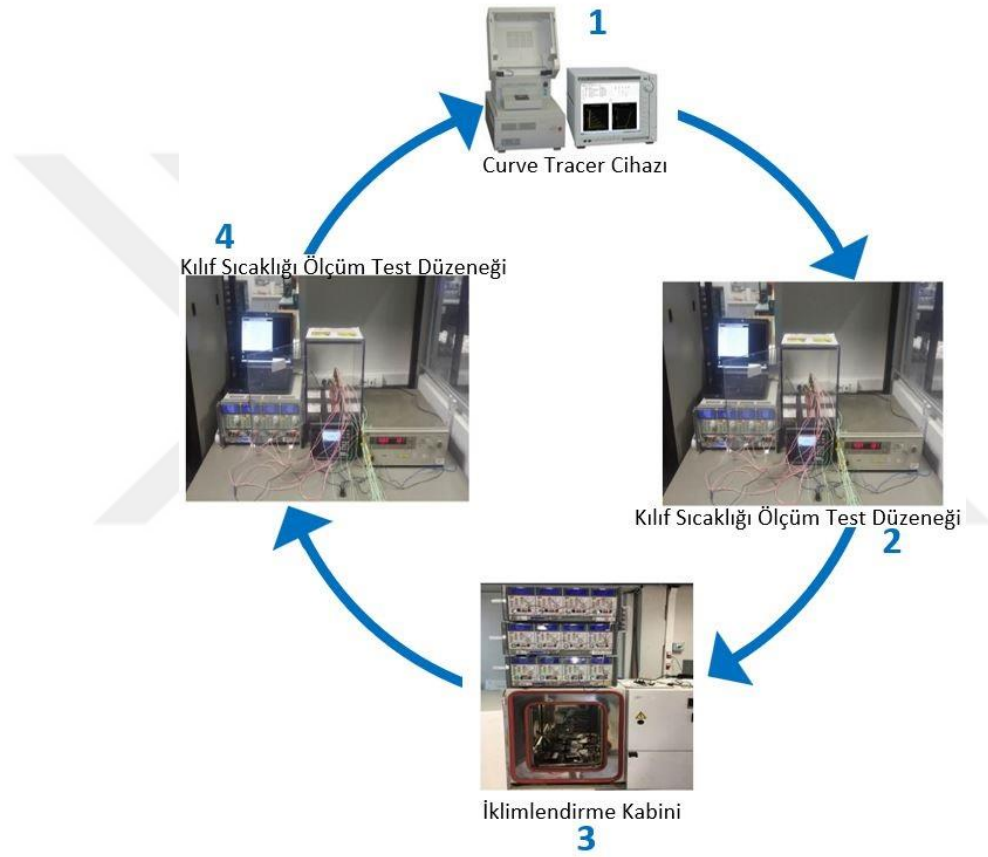
$$150 = T_c + 1 * 2,4 * 2,5$$

$$T_c = 144 \text{ C } \Delta t = 48 \text{ C}$$

$$\text{İklimlendirme Kabini} = 144 - 49 = 95^\circ \text{C} \quad (6.2)$$

(6.2)'deki gibi 3 MOSFET için 'de sıcaklıklar hesaplanmış ve dolap sıcaklığı ortalama 95°C bulunmuştur.

Dolap sıcaklığını ayarladıktan sonra test kurulumundaki diğer aşaması öncelikle hiç teste girmemiş temiz diye adlandırılan 12 adet MOSFET'i Şekil 6.3'te görülen 1 numaralı Keysight marka akım izleyici (curve tracer) cihazı ile veri sayfasındaki değerlere göre ölçülür ve I/V karakteristiği grafiği kaydedilir.



Şekil 6.3 Test Metodu

Veri sayfasındaki değerlere istinaden tüm ölçülen elektriksel parametreler Ek B Şekil B.1 ve Şekil B.2'de gösterildiği gibi rapor halinde kaydedilir.

Elektriksel parametrelerin ölçümünden sonraki aşama olan 2. aşama kılıf sıcaklığı ölçülür ve 3. aşama olan daha önceden hesaplanan dolap sıcaklığına göre Ek C Şekil C.1'de iklimlendirme kabinine arduino program yardımıyla 1 saniye açık 1 saniye

kapalı anahtarlama yapacak şekilde kurulumu tamamlanır. Arduino programı Ek D Şekil D.1’de gösterilmiştir.

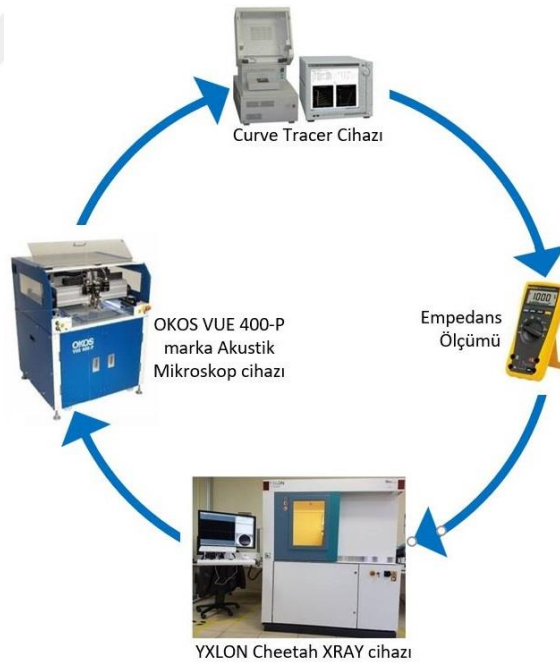
4.aşamada ise tekrar test ölçüm aralarında kılıf sıcaklıkları ölçülür.



7.1 Analiz Yöntemi

Test düzeneği bölümünde bahsedilen Curve Tracer Cihazı ile her döngü sonrası MOSFET'lerin veri sayfasına göre elektriksel parametreleri ölçülür. Ölçümler kaydedilir. Her döngüde (500bin, 750bin, 1milyon) bu parametrelerin değişimine bakılır.

Bir sonraki aşamada MOSFET'lerin kapı-kaynak, kaynak-savak, savak-kaynak, kapı-savak bacakları arasındaki empedanslar ölçülür. Daha sonrasında XRAY cihazı yardımı ile elemanların iç yapısı görüntülenir. En son aşamada da akustik tarama mikroskobu yardımı ile elemanlar daha detaylı incelenir. Akış şeması Şekil 7.1'de sırasıyla verilmiştir.



Şekil 7.1 Analiz yöntemi akış şeması

7.2 Test Sonrası Ölçümler

Testler sonrasında bir önceki bölümde bahsedilen detaylı ölçümler alınır. 12 örneğin ölçümlerine göre 5 örneğin arızalandığı gözlemlenmiştir. Tablo 7.1’de detaylar verilmiştir. Firma 1’den iki adet MOSFET, Firma 2’den bir adet MOSFET, Firma 3’ten iki adet MOSFET arızalanmıştır.

Arızalı olduğunun kararını tüm elektriksel parametreler ölçüldükten sonra parametrelerin yüzdesel değişimlerine ve test örneklerin bacaklar arası kısa devre, açık devre olması durumuna göre karar verilmiştir.

Tablo 7.1 Hatalı Örneklerin Hata Çevrim Tablosu

Hatalı Örnekler	Hata Çevrimi
Firma1_Örnek2	500.000 Çevrimde Hatalı
Firma1_Örnek3	1M Çevrimde Hatalı
Firma2_Örnek1	500.000 Çevrimde Hatalı
Firma3_Örnek2	1M Çevrimde Hatalı
Firma3_Örnek4	500.000 Çevrimde Hatalı

Ayrıca arızalanan MOSFET’lerin her döngüde kılıf sıcaklıkları ölçülmüştür. Tablo 7.2’de hatalı örneklerin sıcaklık değişim tablosu verilmiştir.

Tablo 7.2 Hatalı Örneklerin Sıcaklık Değişim Tablosu

$\Delta t(^{\circ}\text{C})$	0	500K	750K	1M	Test Sonucu
Firma1_Örnek2	42	54	arızalı	arızalı	arızalı
Firma1_Örnek3	42	60	62	55	arızalı
Firma2_Örnek1	44	81	arızalı	arızalı	arızalı
Firma3_Örnek2	48	66	70	54	arızalı
Firma3_Örnek4	48	63	arızalı	arızalı	arızalı

Toplam 12 adet MOSFET’in elektriksel parametreleri her döngüde ölçülmüştür. B_{VDSS} , I_{DSS} , I_{GSS} , $V_{GS(th)}$, $R_{DS(ON)}$, V_{SD} elektriksel parametreleri her döngüde ölçülmüş ve değişimleri tabloda net bir şekilde görülmüştür. EK-A’da Tablo A.1’de B_{VDSS} ‘in Değişimi, Tablo A.2’de I_{DSS} (nA)’nın Değişimi, Tablo A.3’te I_{GSS} (nA)’nın

Değişimi, Tablo A.4'te I_{GSS} (-)(nA)'nın Değişimi, Tablo A.5'te $V_{GS(th)}$ (V)'nin Değişimi, Tablo A.6'da (m Ω)' $R_{DS(ON)}$ 'nin Değişimi, Tablo A.7'de V_{SD} (V)'nin Değişimi verilmiştir.

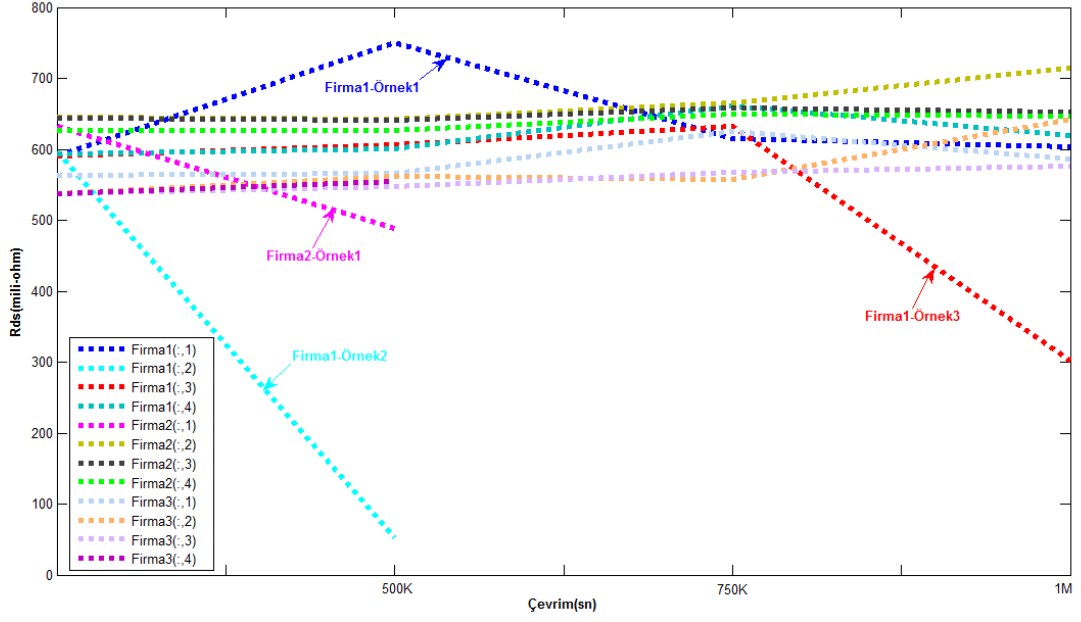
Tablo 7.3'te arızalı MOSFET'lerin bacakları arasındaki empedanslar ölçülmüştür. Bu ölçümlere istinaden hiç teste girmeyen MOSFET'lerde ortalama olarak empedanslar 1. firma için 0,5 Ω , 2. firma için 0,2 Ω , 3. firma için 0,6 Ω ölçülmektedir.

Tablo 7.3 MOSFET Pinler Arası Ölçüm

	D(+)-S(-)	S(+)-D(-)	G(+)-D(-)	G(+)-S(-)	Sıfır
Firma1_Örnek2	0,4 Ω	0,4 Ω	2 Ω	2 Ω	0,5 Ω
Firma1_Örnek3	Açık Devre	275 Ω	Açık Devre	Açık Devre	0,5 Ω
Firma2_Örnek1	0,5 Ω	0,5 Ω	172 Ω	172 Ω	0,2 Ω
Firma3_Örnek2	6 Ω	6 Ω	Açık Devre	Açık Devre	0,6 Ω
Firma3_Örnek4	Açık Devre	320k Ω	Açık Devre	Açık Devre	0,6 Ω

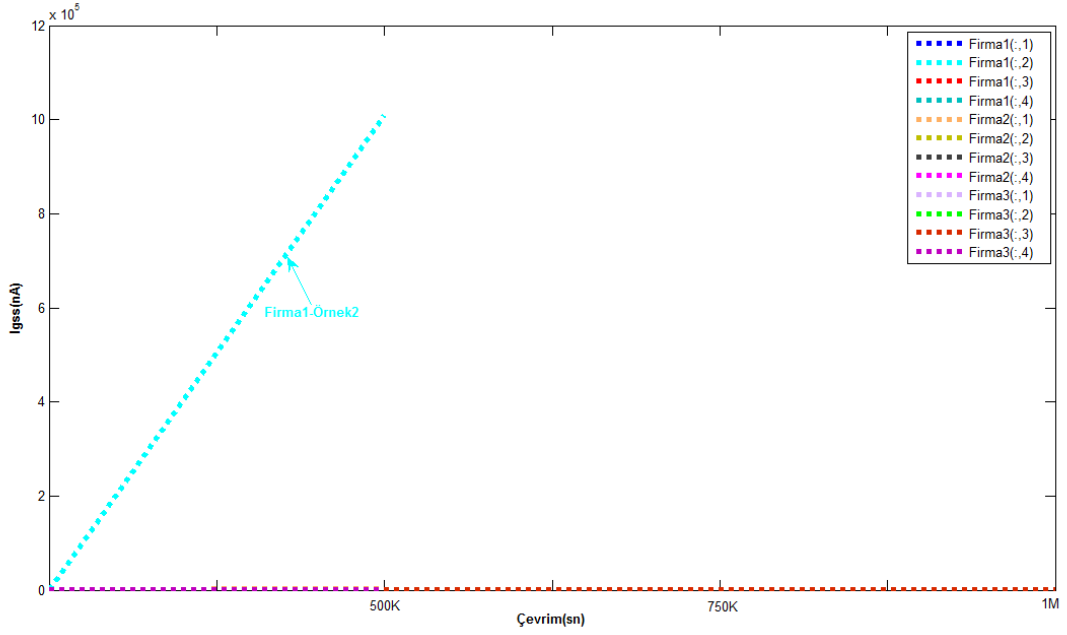
Şekil 7.2 Tüm örneklerin $R_{DS(ON)}$ değerlerinin değişimi, Şekil 7.3 Tüm örneklerin I_{GSS0} (nA) değerlerinin değişimi, Şekil 7.4 Tüm örneklerin I_{GSS0} (nA)(-) değerlerinin değişimi, Şekil 7.5 Tüm örneklerin I_{DSS} değerlerinin değişimi, Şekil 7.6 Tüm örneklerin B_{VDSS} değerlerinin değişimi, Şekil 7.7 Tüm örneklerin V_{SD} değerlerinin değişimi, Şekil 7.8 Tüm örneklerin $V_{GS(th)}$ değerlerinin değişimi verilmiştir.

Şekil 7.11 Tüm örneklerin $R_{DS(ON)}$ değerlerinin değişimi grafiğinde Firma1_Örnek2 eğrisi ilk 500.000 de sifıra ulaştığı, Firma2_Örnek1, Firma1_Örnek3 değerlerinin düşüş yönünde olduğu, Firma1_Örnek1 değerlerinin önce artış sonra düşüş yönünde olduğu görülmektedir. Değişimlerin %10 'dan fazla olması yaşlanmaya başladığının göstergesidir.



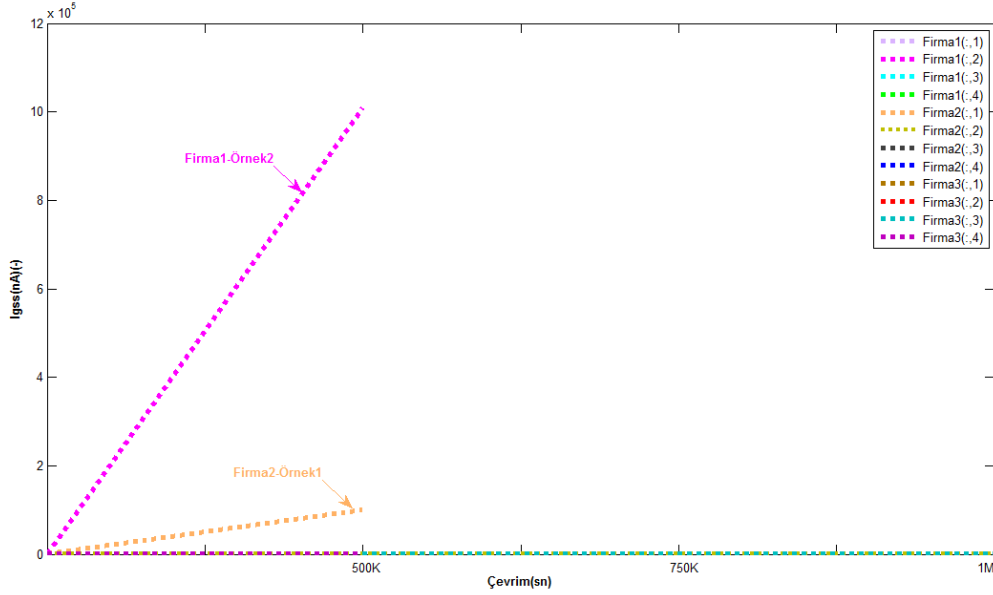
Şekil 7.2 $R_{DS(on)}$ değerlerinin değişimi

Şekil 7.3 Tüm örneklerin I_{GSS0} (nA) değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma1_Örnek2 değerleri artış göstermiştir.



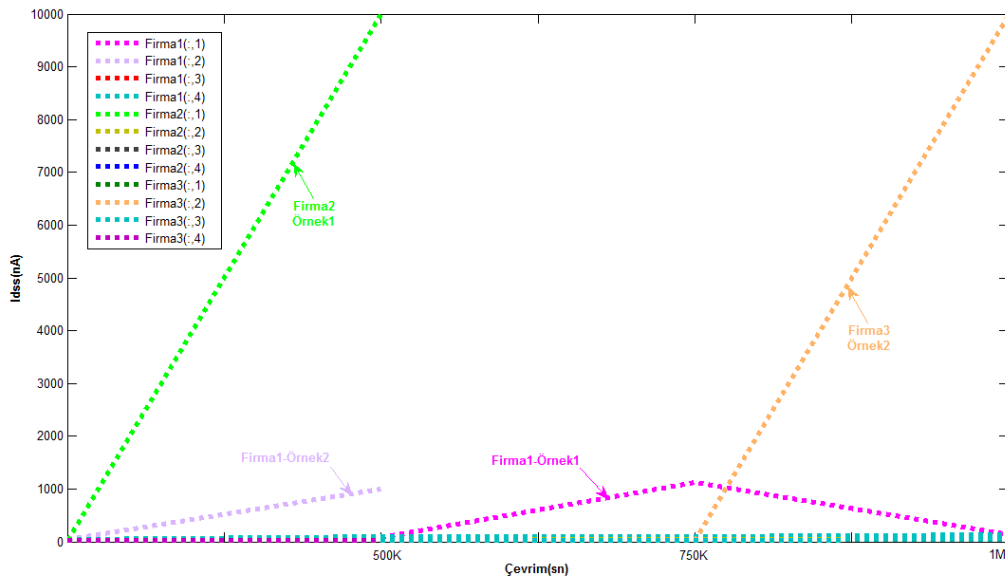
Şekil 7.3 I_{GSS0} (nA) değerlerinin değişimi

Şekil 7.4 tüm örneklerin I_{GSS0} (nA)(-) değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma1_Örnek2 eğrisi ve Firma2_Örnek1 değerleri artış yönündedir.



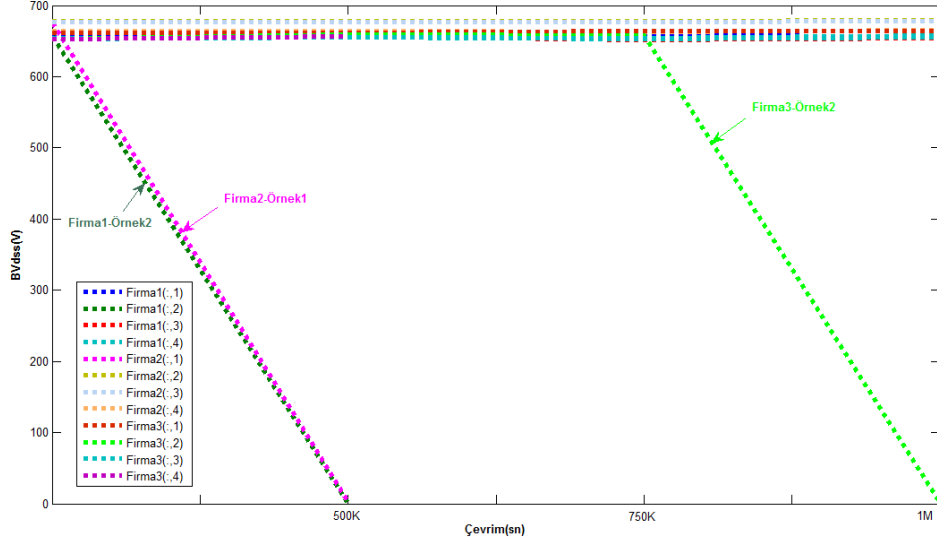
Şekil 7.4 I_{GSS0} (nA)(-) değerlerinin değişimi

Şekil 7.5 Tüm örneklerin I_{DSS} değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma2_Örnek1 ve Firma3_Örnek2 değerlerinin artış eğimleri diğerlerine göre daha fazladır. Firma1_Örnek2 ve Firma1_Örnek1 değerleri de artmıştır.



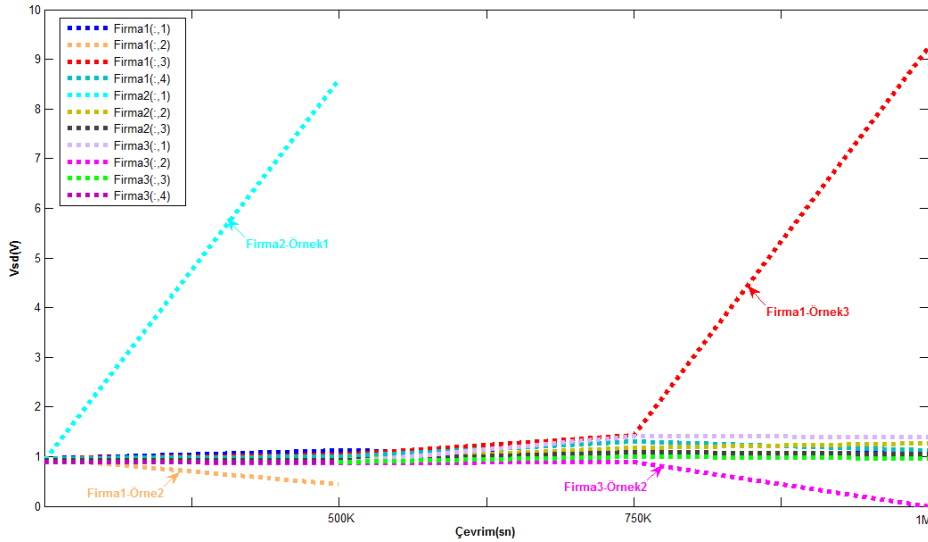
Şekil 7.5 I_{DSS} değerlerinin değişimi

Şekil 7.6 Tüm örneklerin B_{VDSS} değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma1_Örnek2, Firma2_Örnek1, Firma3_Örnek2 değerleri ciddi şekilde değişim içindedir.



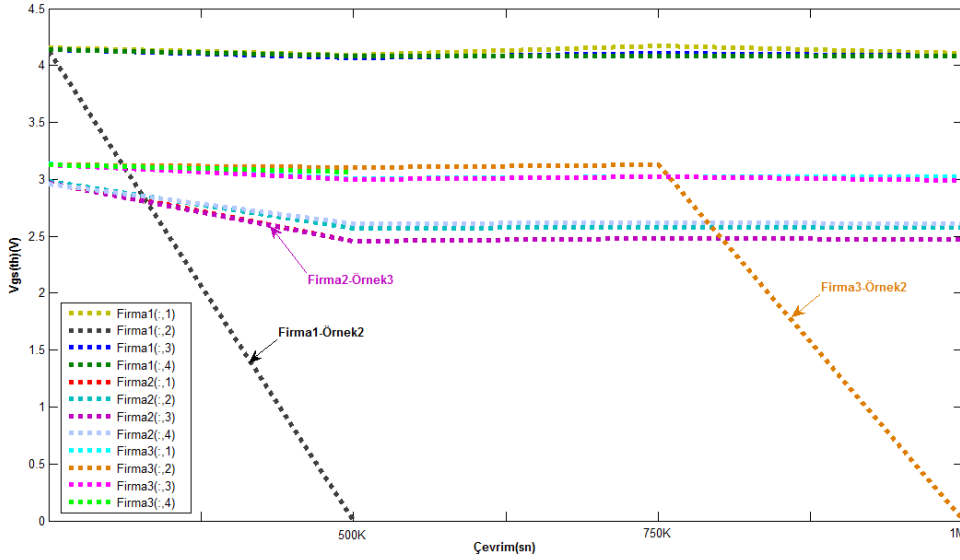
Şekil 7.6 B_{VDSS} değerlerinin değişimi

Şekil 7.7 Tüm örneklerin V_{SD} değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma2_Örnek1 ve Firma1_Örnek3 değerleri artış yönündedir. Firma1_Örnek2 ve Firma3_Örnek2 değerleri azalış yönündedir.



Şekil 7.7 V_{SD} değerlerinin değişimi

Şekil 7.8 Tüm örneklerin $V_{GS(th)}$ değerlerinin değişimi grafiğinde görüldüğü gibi 12 adet örnekten Firma1_Örnek2 ve Firma3_Örnek2 değerleri azalmıştır. Firma2_Örnek3 değerleri azalıp sabit kalmıştır.



Şekil 7.8 $V_{GS(th)}$ değerlerinin değişimi

B_{VDSS} , I_{DSS} (nA), I_{GSS} (nA), I_{GSS} (-)(nA), $V_{GS(th)}$ (V), $R_{DS(ON)}$ (m Ω), V_{SD} (V) parametrelerinin değişimleri EK-A'da detaylı verilmiştir.

Elektriksel parametrelerin değişimine göre Firma 1_Örnek2'nin tüm parametreleri B_{VDSS} , I_{DSS} , I_{GSS} , $V_{GS(th)}$, $R_{DS(ON)}$, V_{SD} ciddi şekilde değişim göstermiştir. Firma 1_Örnek3'ün $R_{DS(ON)}$, V_{SD} parametreleri değişmiştir. Firma1_Örnek1'in $R_{DS(ON)}$, I_{DSS} parametreleri değişim göstermiştir.

Firma2_Örnek1'in B_{VDSS} , I_{DSS} , I_{GSS} , $R_{DS(ON)}$, V_{SD} parametreleri değişmiştir. Firma2_Örnek3'ün $V_{GS(th)}$ parametresi değişmiştir. Firma3_Örnek2 B_{VDSS} , I_{DSS} , $V_{GS(th)}$, V_{SD} parametreleri değişmiştir.

Bu değişiklikler anlamlandırılmadan önce Arçelik A.Ş Yarı İletken Test Laboratuvarında tüm örnekler incelenmiştir.

7.3 Hatalı MOSFET'lerin İç Yapılarının Analizi

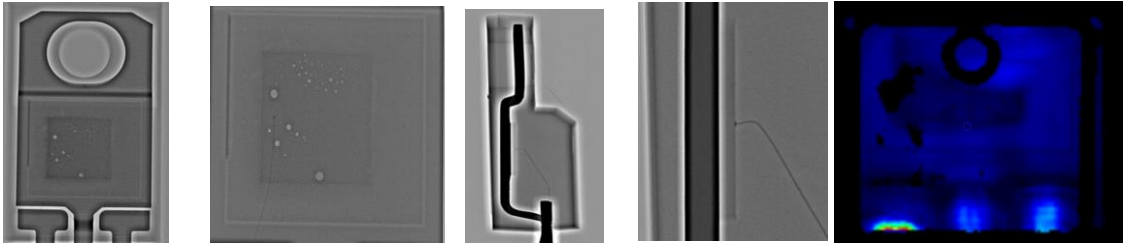
Arçelik Merkez Arge'de bulunan yarı iletken laboratuvarında tüm MOSFET'ler incelenmiştir. Özellikle hatalı olarak ayrılan MOSFET'lerin görüntüleri Şekil 7.9, Şekil 7.10, Şekil 7.11, Şekil 7.12, Şekil 7.13 'te verilmiştir.

Şekil 7.9 Firma1_Örnek 2 500.000 Çevrim Sonrası şeklinde de görüldüğü üzere kırmızı ile yuvarlak içine alınan siyahlık çekirdek bölgesindedir. Yapılan ölçümlerde Firma 1_Örnek2'nin tüm parametreleri B_{VDSS} , I_{DSS} , I_{GSS} , $V_{GS(th)}$, $R_{DS(ON)}$, V_{SD} ciddi şekilde değişim göstermiştir. Siyahlıklar termal stresten kaynaklı olduğu görülmüştür. Şekilde görülen siyahlık MOSFET'te testler öncesinde bulunan boşlukların yanından başlamış.



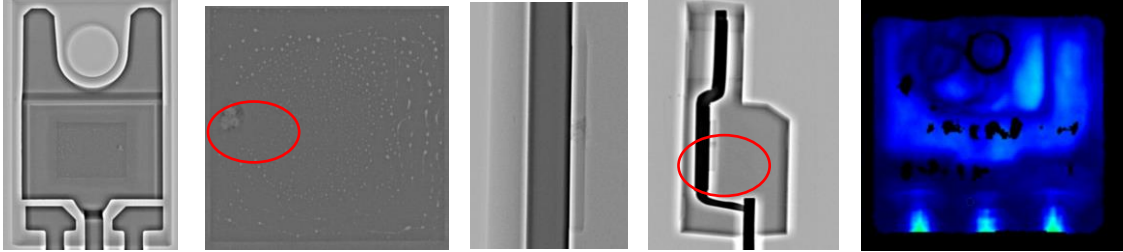
Şekil 7.9 Firma1_Örnek 2_500.000 çevrim sonrası

Şekil 7.10 Firma 1_Örnek 3 Bir milyon çevrim sonrası şeklinde de görüldüğü üzere bu örnekte herhangi bir siyahlık görülmemiştir. Çekirdek kısmında boşluklar (void) olduğu görülmüştür. Yapılan ölçümlerde Firma 1_Örnek3'ün $R_{DS(ON)}$, V_{SD} parametreleri değiştiği görülmüştü. Bir önceki örneğe göre de siyahlık olmaması elektriksel parametrelerinin de daha iyi olduğundan kaynaklıdır.



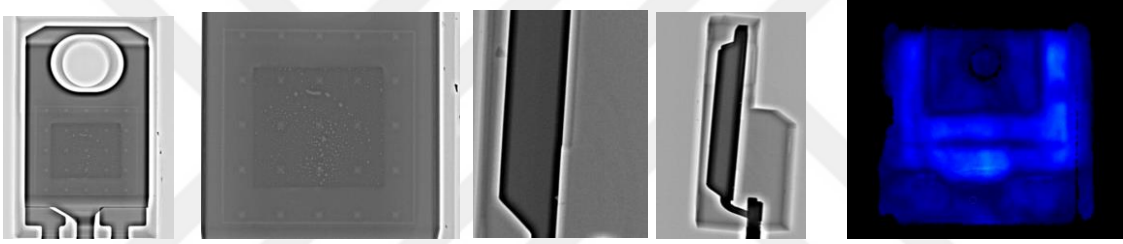
Şekil 7.10 Firma 1_Örnek 3_Bir Milyon Çevrim Sonrası

Şekil 7.11 Firma 2_Örnek 1 500.000 çevrim sonrası şeklinden de görüldüğü üzere bu elemanda Şekil 7.11'de olduğu gibi çekirdek bölgesinde siyahlık görülmüştür. Bu şekilde boşlukların kenarında oluşan siyahlıklar termal strese bağlı hatalar olarak bilinmektedir. Bir önceki bölümde B_{VDSS} , I_{DSS} , I_{GSS} , $R_{DS(ON)}$, V_{SD} parametreleri değiştiği gözlemlenmişti.

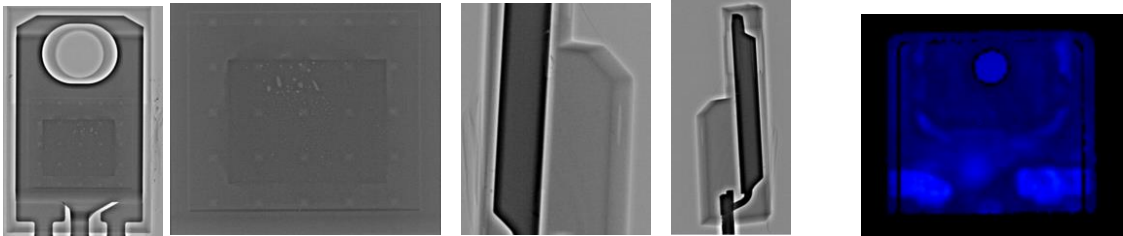


Şekil 7.11 Firma 2_Örnek 1 500.000 çevrim sonrası

Şekil 7.10, Şekil 7.12, Şekil 7.13'te görünür olarak siyahlık ya da farklı bir hata yoktur.



Şekil 7.12 Firma 3_Örnek 2 Bir Milyon çevrim sonrası



Şekil 7.13 Firma 3_Örnek 4 500.000 çevrim sonrası

3 firmaya ait örneklerin Tablo 7.4, Tablo 7.5, Tablo 7.6'da elektriksel parametrelerinin %'sel değişimleri verilmiştir.

Tablo 7.4 1. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi

	F1_Ö1	F1_Ö2	F1_Ö3	F1_Ö4
B_{VDSS}	0,1527	-100	0,1531	0,1529
I_{DSS}	141,24	19057	165,23	162,33
I_{GSS}	1,5267	696452	3,7037	2,963
$I_{GSS} (-)$	4,3165	660031	6,2937	5,5944
$V_{GS(th)}$	-1,202	-100	-1,449	-1,449

	F1_Ö1	F1_Ö2	F1_Ö3	F1_Ö4
$R_{DS(ON)}$	2,1996	-91,22	-48,81	4,3845
V_{SD}	11,458	-54,7	866,6	16,788

Tablo 7.5 2. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi

	F2_Ö1	F2_Ö2	F2_Ö3	F2_Ö4
B_{VDSS}	-99,6163	0,1475	0,1477	0,3012
I_{DSS}	45354,55	94,595	100,9	100,86
I_{GSS}	723027	110,65	115,38	119,57
$I_{GSS} (-)$	31847034	91,563	94,753	109,42
$V_{GS(th)}$	-17,4497	-13,42	-16,84	-11,82
$R_{DS(ON)}$	-22,9068	10,853	1,3975	3,1898
V_{SD}	820,6009	36,12	13,856	16,827

Tablo 7.6 3. Firmaya ait örneklerin elektriksel parametrelerinin %'sel değişimi

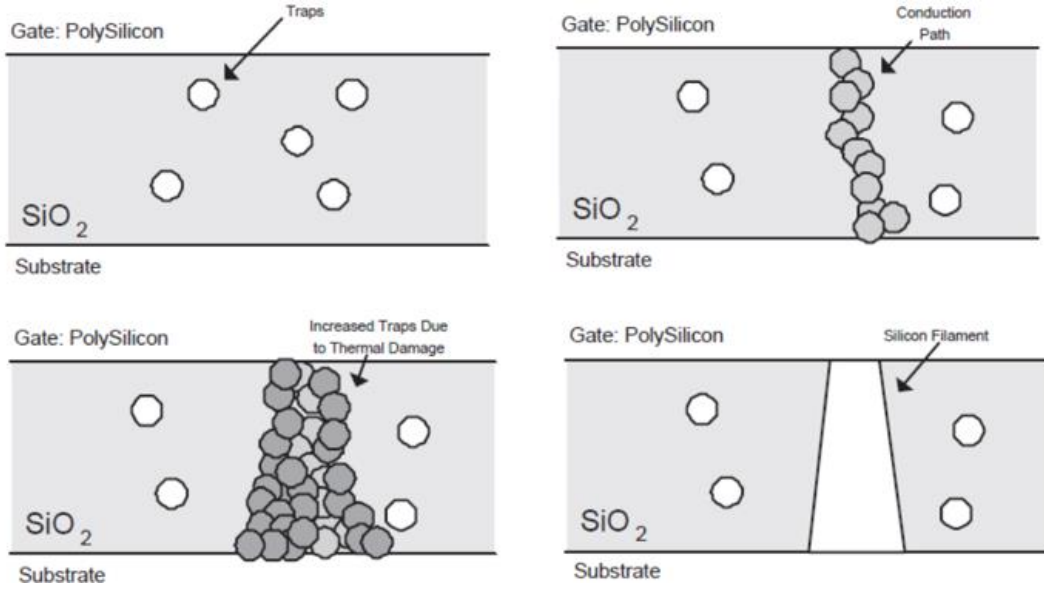
	F3_Ö1	F3_Ö2	F3_Ö3	F3_Ö4
B_{VDSS}	0,4539	-100	0,7657	0,4594
I_{DSS}	132,67	51983	144,1	32,292
I_{GSS}	103	115,36	139,53	136419
$I_{GSS} (-)$	164,08	194,4	175,85	48,276
$V_{GS(th)}$	-3,822	-99,99	-4,473	-2,236
$R_{DS(ON)}$	4,0853	19,553	7,2626	3,352
V_{SD}	57,835	-100	8,154	0,453

7.4 Test Sonuçlarının Değerlendirilmesi

Bu yüzdesel değişimlerde öncelikle; hata mekanizmaları bölümünde de bahsedildiği üzere B_{VDSS} kapı bozulması geriliminin yaşanma ile azalması birdenbire ve zaman içinde olmak üzere 2 Şekilde gerçekleşir.

Ani delinmenin gerçekleşmesi için kapı ve kaynak boyunca oldukça yüksek bir gerilimin uygulanması gerekmektedir. Uygulanan gerilimim maksimum dayanma gerilimini aştığında ani delinme gerçekleşir. Zaman içinde meydana gelen delinme MOSFET'in her açılma ve kapama anında kapıya elektriksel stres uygulanır. Bu da oksidin zaman içinde yaşanmasına neden olur. Oksidin yaşanması demek kapı dielektrik malzemesi kalınlığının azalması anlamına gelir. Bu azalmanın delinmeye imkan verecek ölçüde devam etmesi sonucunda oksid tamamen yaşanır ve delinir. Gerilimin dielektrik malzeme içindeki oluşumunda ilk olarak delinme,

kapı oksit içinde tuzak formları ile başlar. Şekil 7.14'te gösterildiği gibi ilk olarak üst üste binmeyen dağınık olarak gate oksid içinde bulunan tuzaklar meydana gelir. Zaman içinde artan tuzaklar iletken bir yol oluşturur ve delinme meydana gelir. Bu durum yumuşak kırılma olarak adlandırılır. İletken bir yol oluştuktan sonra kapı oksidi maruz kaldığı yüksek stres nedeniyle ısınmaya başlar ve termal hata kaynaklı tuzak yüklerde artış gözlenir. Sonuç olarak iletken yol büyür ve sert kırılma olarak bilinen olay meydana gelir [44].



Şekil 7.14 Tuzak yüklerin oluşumu ve kapı kırılması [44]

MOSFET'lerde $V_{GS(th)}$ 'ın azalmasının nedeni; kısılma (pinch off) bölgesindeki gerilim düşüşü, savak bölgesine yakın bir yüksek yanal elektrik alanı ile sonuçlanır. Bu yüksek alan bölgesinden geçen taşıyıcılar, yarı iletken katman içindeki denge termal enerjisinden önemli ölçüde daha yüksek enerjilere ulaşırlar. Bu yüksek enerji taşıyıcıları sıcak taşıyıcılar olarak adlandırılmaktadır. Darbe iyonizasyon eşiğinin ($\approx 1.6eV$) üzerindeki enerjilere sahip sıcak taşıyıcılar, darbeli iyonizasyon yoluyla bu bölgede elektron deliği çiftleri oluşturabilir. Bu eşik 4,8 ev değerlerine ulaştığında arayüz (interface) tuzak yüklerinin oluşmasına neden olur. V_{th} kaymasındaki ana etken arayüzey tuzak yükleridir. $Si-SiO_2$ arayüzünde bulunan arayüzey tuzak (interface trapped) yükleri silikon halindeki enerji seviyelerine sahip elektronik durumlara bağlıdır. Kapı tetiklenmesi ile bu yükler hem iletim hem de değer bantlarından elektron veya delikler yakalayabilir veya yayabilirler. Arayüz (Interface) yüklerin neden olduğu bu değişim C-V karakteristiğinde ve tetikleme

geriliminde kaymalara neden olmaktadır. Ayrıca bu yükler kanal mobilitesini ve mosfet transkondüktansını düşürmektedir. Bu olayın yan etkileri olarak kapı oksitte meydana gelen tuzak yükleri kapasitansın azalmasına neden olur. Yük tuzaklanması ve arayüz tuzak oluşumu nedeniyle meydana gelen mobilite azalması sonucu transkondüktans azalmaktadır [45] [46].

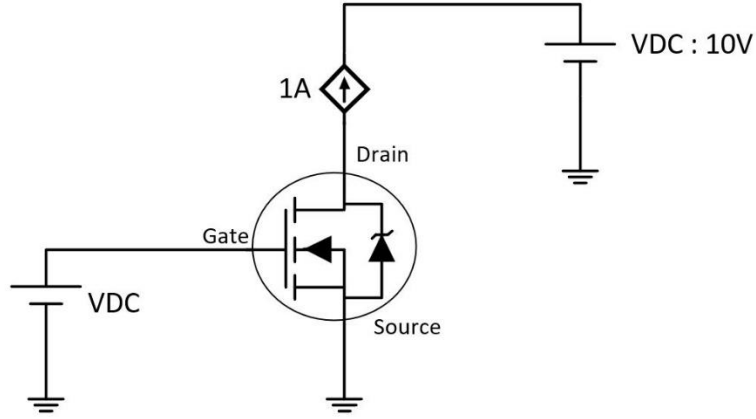
I_{GSS} yani sızıntı akımının artışına sebep; kısa devre olayının bir sonucu olarak uygulanan gerilimin tamamı MOSFET üzerinden geçer ve MOSFET'in ısınmasına neden olur. MOSFET maruz kaldığı sıcaklık artışı ilave kaçak akımların akmasına neden olur. Her tekrarlanan yüksek akım olayı, kapı oksit tabakasının daha da bozunmasına, kaçak akımların artmasına ve sonunda kapının tamamen arızasına neden olur [47].

$R_{DS(ON)}$ yani iletim direncinin artması nasıl olur sorusuna cevap olarak; uygulanan ani gerilim tepesi MOSFET kırılma gerilimini aştığında çığ olayı oluşur. Dolayısıyla akan akım tümü ile MOSFET üzerinden akar ve ani sıcaklık yükselmesine neden olur. Ardışık olarak meydana gelen çığ olayı sonucu $R_{DS(ON)}$ artar. $R_{DS(ON)}$ değişimine V_{th} değişimi de neden olur. Ayrıca harici bir yük olmadan MOSFET'in aktif şekilde ısıtılması jonksiyon sıcaklığını artırır ve direncin artışına neden olur [47].

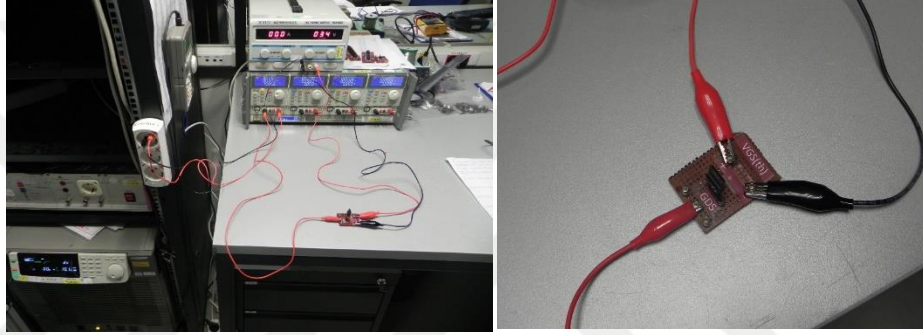
Bu çalışmalara paralel olarak aynı marka modele ait MOSFET'lerden 10'ar adet alınmış ve veri sayfasında beyan edilen parametrelere göre testlere tabi tutulmuştur.

Öncelikle laboratuvarında ölçülebilecek değerler belirlenmiştir. $V_{GS(th)}$, I_{DSS} , I_{GSS} , $B_{V_{DSS}}$, V_{GSS} elektriksel parametreleri ölçülmüştür. Hiç bir teste tabi tutulmadan veri sayfasındaki beyanına uygun olup olmadığına bakılmıştır. Burada hedeflenen aynı parti içerisindeki elemanların üretici firmanın beyan ettiği değerleri sağlayıp sağlamadığının kontrolüdür.

Öncelikle beyan edilen kapı savak arası tetikleme geriliminin kontrolü yapılmıştır. Şekil 7.15'te $V_{GS(th)}$ değerinin ölçülme devresi ve Şekil 7.16'da $V_{GS(th)}$ değerinin ölçüm düzeneği verilmiştir.



Şekil 7.15 $V_{GS(th)}$ değerinin ölçülme devresi



Şekil 7.16 $V_{GS(th)}$ değerinin ölçüm düzeneği

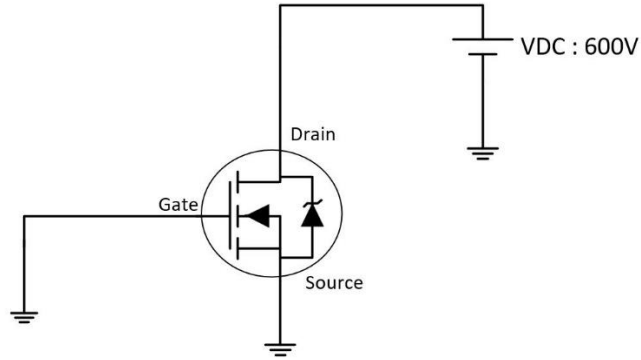
Buna istinaden ölçüm sonuçları da Tablo 7.7’de verilmiştir. Örneklerin sonuçlarına göre herhangi bir olumsuzluk görülmemiştir.

Tablo 7.7 $V_{GS(th)}$ ölçüm sonuçları

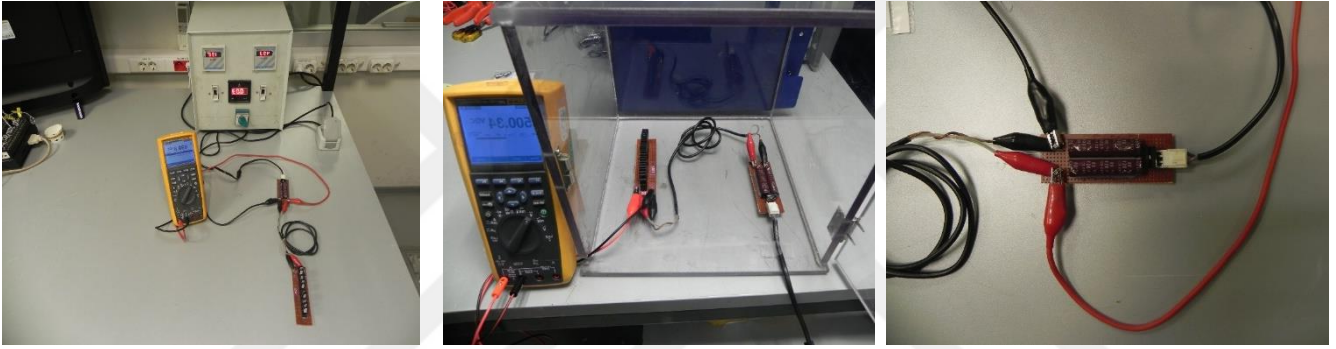
Firma1 $V_{GS(th)}$: Min: 3 V Max: 5 V									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
4,4	4,5	4,5	4,5	4,5	4,4	4,6	4,3	4,5	4,6
Firma2 $V_{GS(th)}$: Min: 2 V Max: 4 V									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
3,2	3,3	3,2	3,3	3,2	3,3	3,3	3,3	3,3	3,3
Firma3 $V_{GS(th)}$: Min: 2 V Max: 4 V									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
3,4	3,4	3,5	3,6	3,4	3,5	3,4	3,5	3,4	3,4

Bir sonraki ölçüm V_{DSS} değerinde 24saat süreyle bekletilmiştir. ($V_{DS} = V_{DSS}$, $V_{GS} = 0V$ koşulunda) Bu şartlara istinaden testten olumlu geçme şartı B_{VDSS} değerinde

beklediğinde MOSFET'lerin iletme girmemesi ve pinlerinin kısa devre olmaması gerekir.



Şekil 7.17 V_{DSS} değerinin ölçme devresi



Şekil 7.18 V_{DSS} değerinin ölçüm düzeneği

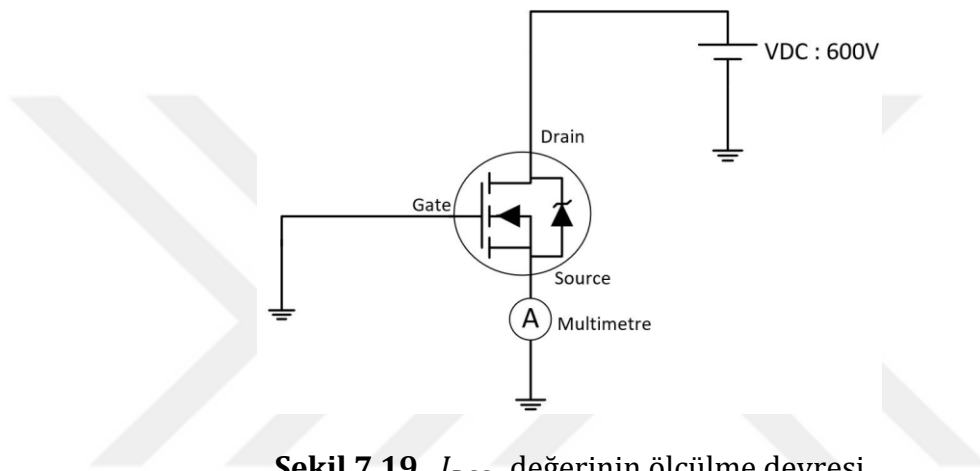
Tablo 7.8 V_{DSS} ölçüm sonuçları

Firma1									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu
Firma2									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumsu	olumsu	olumsu	olumsu	olumsu	olumsu	olumsu	olumlu	olumlu	olumsu
z	z	z	z	z	z	z	u	u	z
Firma3									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu	olumlu

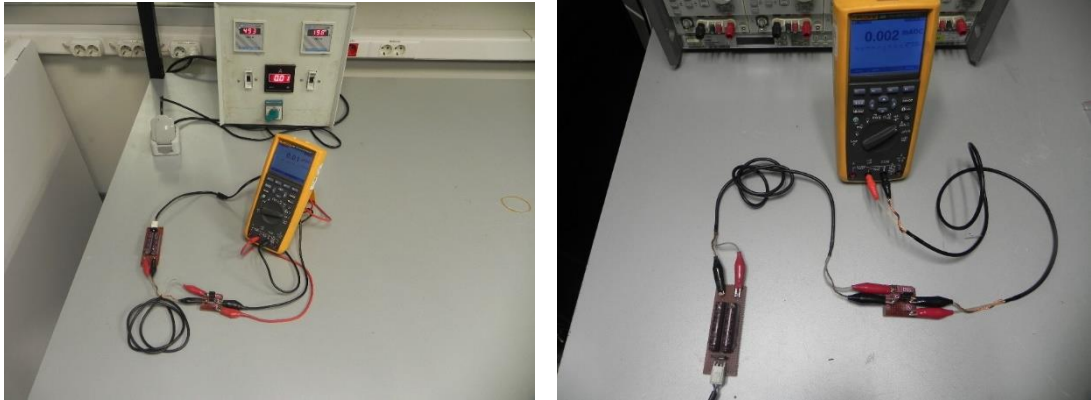
Buna istinaden ölçüm sonuçları da Tablo 7.8’de verilmiştir. Örneklerin sonuçlarına göre 2. firma’ya ait 8 örnek 24 saat V_{DSS} değerinde bekletildiğinde savak-kaynak pinleri arası kısa devre olmuştur.

Bir sonraki aşama I_{DSS} ölçülmesidir ($V_{DS} = V_{DSS}, V_{GS} = 0V$ koşulunda). MOSFET’lere sıfır kapı gerilimi uygulandığında savak’tan akacak akım kontrol edilmiştir. 3 firmada da spek $<1 \mu A$ olmalıdır. Şekil 7.19 ve Şekil 7.20’de devre düzeneği gösterilmiştir.

Test sonuçları da Tablo 7.9’ da verilmiştir. Tüm MOSFET’ler spek içindedir.



Şekil 7.19 I_{DSS} değerinin ölçülme devresi

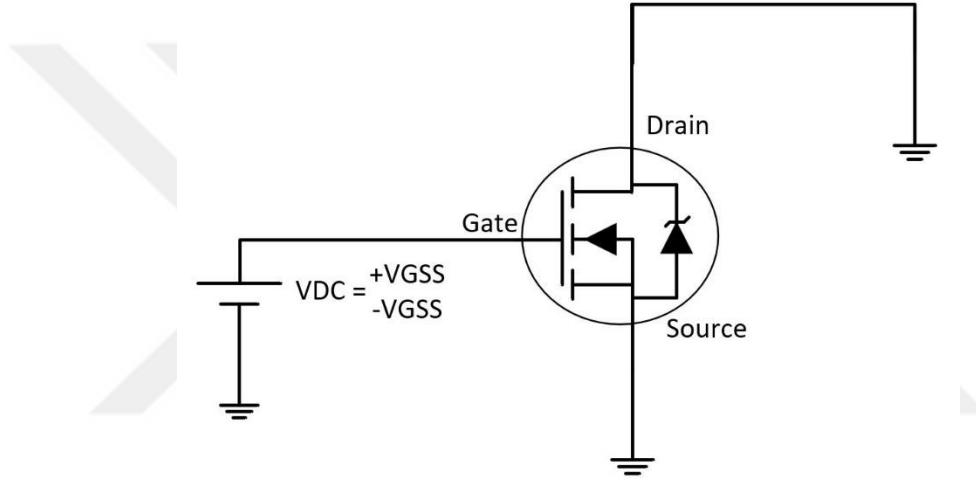


Şekil 7.20 I_{DSS} değerinin ölçüm düzeneği

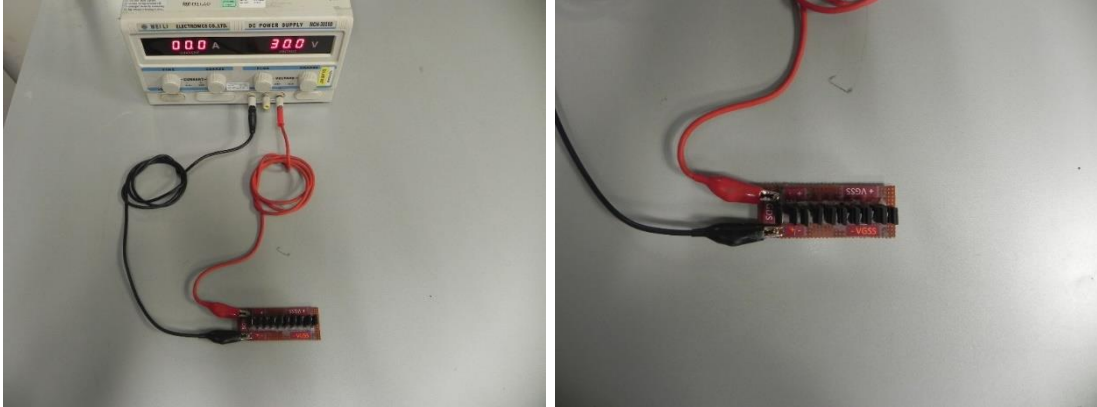
Tablo 7.9 I_{DSS} ölçüm sonuçları

Firma1									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
< 1 μ A									
Firma2									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
< 1 μ A									
Firma3									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
< 1 μ A									

V_{GSS} değerinde 24saat süreyle bekletilmiştir ($V_{DS} = 0V$, $V_{GS} = + V_{GSS}$ koşulunda).
Şekil 7.21 ve Şekil 7.22'de test düzeneği verilmiştir.



Şekil 7.21 V_{GSS} değerinin ölçülme devresi



Şekil 7.22 V_{GSS} değerinin ölçüm düzeneği

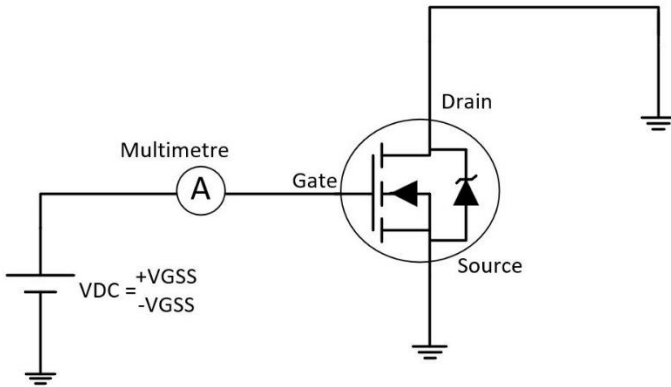
Tablo 7.10'ya istinaden herhangi bir problem görülmemiştir.

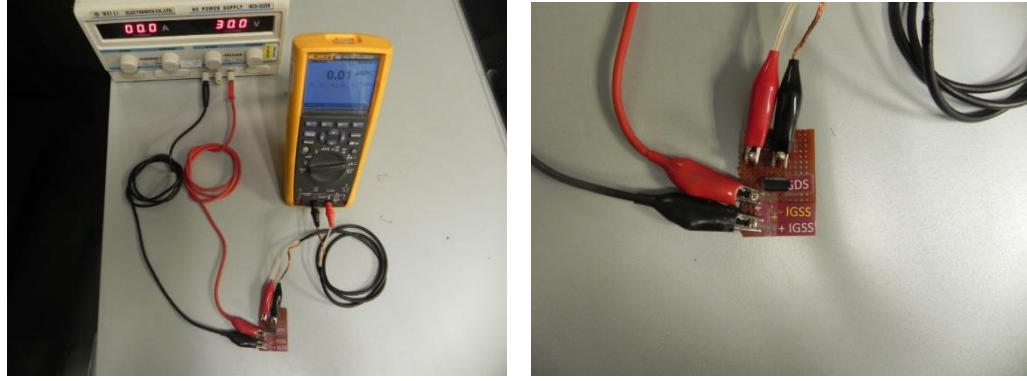
Tablo 7.10 + V_{GSS} değerinde 24saat süreyle bekletilen örneklerin durumu

Firma1 + V_{GSS} değerinde 24saat süreyle bekletme, / $V_{DS} = 0V$, $V_{GS} = +V_{GSS}$ koşulunda $V_{GSS} : + 25V$									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumlu									
Firma2 + V_{GSS} değerinde 24saat süreyle bekletme, / $V_{DS} = 0V$, $V_{GS} = +V_{GSS}$ koşulunda $V_{GSS} : + 30V$									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumlu									
Firma3 + V_{GSS} değerinde 24saat süreyle bekletme, / $V_{DS} = 0V$, $V_{GS} = +V_{GSS}$ koşulunda $V_{GSS} : + 30V$									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
olumlu									

I_{GSS} ($V_{DS} = 0V$, $V_{GS} = +V_{GSS}$ ve $-V_{GSS}$ koşulunda) ölçülmüştür. Şekil 7.23 ve Şekil 7.24'te ölçüm düzeneği verilmiştir.

Şekil 7.23 I_{GSS} değerinin ölçülme devresi





Şekil 7.24 I_{GSS} değerinin ölçüm düzeneği

Tablo 7.11 I_{GSS} sızıntı akımlarının ölçüm ölçüm tablosu

Firma1 $V_{DS} = 0V, V_{GS} = +V_{GSS}$ $V_{GSS} : + 25V$ spek +10 μA									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
0.13 μA	0.12 μA	0.13 μA	0.12 μA	0.12 μA	0.14 μA	0.12 μA	0.15 μA	0.14 μA	0.13 μA
Firma 1 $V_{DS} = 0V, V_{GS} = -V_{GSS}$ $V_{GSS} : -25V$ spek -10μA									
- 0.09 μA	- 0.09 μA	- 0.10 μA	- 0.09 μA	- 0.10 μA	- 0.11 μA	- 0.09 μA	- 0.11 μA	- 0.11 μA	- 0.09 μA
Firma2 $V_{DS} = 0V, V_{GS} = +V_{GSS}$ $V_{GSS} : + 30V$ Max : +100 nA									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
< 1 μA									
Firma2 $V_{DS} = 0V, V_{GS} = -V_{GSS}$ $V_{GSS} : - 30V$ Max : -100 nA									
< 1 μA									
Firma3 $V_{DS} = 0V, V_{GS} = +V_{GSS}$ $V_{GSS} : + 30V$ Max : +100 nA									
Ö1	Ö2	Ö3	Ö4	Ö5	Ö6	Ö7	Ö8	Ö9	Ö10
< 1 μA									
Firma 3 $V_{DS} = 0V, V_{GS} = -V_{GSS}$ $V_{GSS} : - 30V$ Max : -100 nA									
< 1 μA									

Son olarak tüm yapılan testler Tablo 7.19’de özetlenmiştir. Tablo 7.12’e istinaden 2. Firma V_{DSS} değerinde 24 saat bekleme testinde 10 adet örnekten 8 adeti test sonunda savak-kaynak arası pinleri kısa devre halinde kalmıştır.

Tablo 7.12 Ölçümlerin özet tablosu

Firma	TESTLER						
	$V_{GS(th)}$	V_{DSS} (24 saat)	I_{DSS}	(+) V_{GSS} (24 saat)	(-) V_{GSS} (24 saat)	(+) I_{GSS}	(-) I_{GSS}
Firma1	✓	✓	✓	✓	✓	✓	✓
Firma2	✓	x (8/10)	✓	✓	✓	✓	✓
Firma3	✓	✓	✓	✓	✓	✓	✓



Bu tez çalışmasında MOSFET'leri tasarımsal ve güvenilirlik açısından değerlendirmek için iki ayrı çalışma yapılmıştır. Öncelikle ilk çalışmada 3 adet farklı firmaya ait yakın elektriksel parametrelere sahip örnekler teste alınmıştır. İlk çalışma devre tasarım aşamasında bir tasarımcının aynı özelliklere sahip ancak fiyat farkı olan elemanları seçerken faydalanması için çalışılmıştır. İkinci çalışma ise birinci çalışmada test edilen firmalara ait temiz MOSFET'ler için üreticilerin giriş kalitelerinde (incoming quality) kontrol edebilecek daha kısa ve kolay testler önerilmiştir.

Birinci çalışmada MOSFET'lerin anahtarlama sürecindeki tüm elektriksel parametreleri ölçülmüş ve değişimlerine bakılmıştır. Bu değişimlerden yola çıkarak ve iç yapılarının görüntülemeleri ile hata mekanizmaları aydınlatılmaya çalışılmıştır.

Elektriksel parametrelerin değişiminden; $B_{V_{DSS}}$ değeri yani kapı bozulması geriliminin azalmasının iki nedeni bulunmaktadır. Birinci nedeni kapı ve kaynak boyunca oldukça yüksek bir gerilimin uygulanması kaynaklıdır. İkinci nedeni ise zaman içinde MOSFET'in her açılma ve kapama anında kapıya elektriksel stres oluşmasından oksidin yaşlanmasına sebep olur bu da $B_{V_{DSS}}$ değerinin azalmasına neden olur.

$V_{GS(th)}$ 'ın azalmasının nedeni; kısılma (pitch off) bölgesindeki gerilim düşüşü, ara yüzey tuzak yüklerinin kapı tetiklenmesi ile hem iletim hem de değer bantlarından elektron veya delikler yakalayabilir veya yayabilirler. Arayüz (Interface) yüklerin neden olduğu bu değişim C-V karakteristiğinde ve tetikleme geriliminde kaymalara neden olmaktadır. Ayrıca bu yükler kanal mobilitesini ve mosfet transkondüktansını düşürmektedir. Bu olayın yan etkileri olarak kapı oksitte meydana gelen tuzak yükleri kapasitansın azalmasına neden olur. Yük tuzaklanması ve arayüz tuzak

oluşumu nedeniyle meydana gelen mobilite azalması sonucu transkonduktans azalmaktadır.

I_{GSS} yani sızıntı akımının artışına sebep; MOSFET maruz kaldığı sıcaklık artışı ilave kaçak akımların akmasına neden olur. Her tekrarlanan yüksek akım olayı, kapı oksit tabakasının daha da bozunmasına, kaçak akımların artmasına ve sonunda kapının tamamen arızasına neden olur.

$R_{DS(ON)}$ yani iletim direncinin artması nasıl olur sorusuna cevap olarak; uygulanan ani gerilim tepesi MOSFET kırılma gerilimini aştığında çığ olayı oluşur. Dolayısıyla akan akım tümü ile MOSFET üzerinden akar ve ani sıcaklık yükselmesine neden olur. Ardışık olarak meydana gelen çığ olayı sonucu Rds on artar. Rds-on değişimine V_{th} değişimi de neden olur. Ayrıca harici bir yük olmadan MOSFET'in aktif şekilde ısıtılması jonksiyon sıcaklığını artırır ve direncin artışına neden olur.

İlk çalışmada yapılan anahtarlayarak jonksiyon sıcaklığında yaşlandırma testi sonrası elektriksel parametrelerden B_{VDSS} , I_{DSS} , I_{GSS} , $R_{DS(ON)}$, V_{SD} değerlerinin değişim miktarlarına bakılarak arızaya hangisinin gireceği ya da hangisinin daha güvenilir olduğu tespit edilebilir.

İkinci çalışmada 3 farklı firmanın aynı parti üretiminden 10'ar adet MOSFET alınmış ve veri sayfasında beyan edilen parametreleri sağlayıp sağlamadığına bakılmıştır. Elemanların üretimlerinde beyan ettikleri sınırları sağlayıp sağlamama konusunda giriş kalitelerine ekleyebilecekleri bir test tasarımı yapılmıştır.

Bundan sonraki yapılacak çalışmalara ışık tutabilmek adına bu testlere ilave olarak yarı iletkenin anahtarlama frekanslarını değiştirerek anahtarlama frekansının jonksiyon sınır sıcaklığında teste maruz bırakarak testlere devam edilecektir.


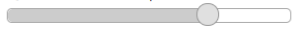
- [1] Renesas Electronics Corporation Optical/Microwave Semiconductor Devices Review of Quality and Reliability Handbook TN,201.
- [2] S. T. Serkan, "Sistem Geliştirmede Özel Mühendislik Uygulamaları" Regional Applied Reliability and Durability Conference (ARDC), Ankara, 10-11Şubat 2019.
- [3] Texas Instrument DPPM, FIT, MTBF estimator (CSD17484F4).
- [4] P.G. Taskas, "Lifetime Estimation of Power Mosfets," Master's thesis, 2016.
- [5] D. Monroe, J.M. Hergenrother, "Challenges of Gate-Dielectric Scaling, Including the Vertical Replacement-Gate MOSFET" Bell Laboratories, Lucent Technologies M. Hill, NJ.
- [6] J. Stathis, and D. DiMaria, IEDM Tech. Dig., 167-170, 1998.
- [7] B.E. Weir, M.A. Alam, J.D. Bude, P.J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G.L. Timp, Y. Ma, M.M. Brown, A. Hamad, D. Hwang, and P. Mason, Semicond. Science and Tech. 15, 455-461, 2000.
- [8] Y. Roh, L. Trombetta, D. J. DiMaria, Interface traps induced by hole trapping in metal-oxide semiconductor devices, Journal of Non-Crystalline Solids, 187, 165-169, 1995.
- [9] Y. Ozcelep, "Güç MOSFET'lerinin Güvenirlilik Analizi", Doktora Tezi, 2009.
- [10] Y.Ozcelep, "MOS Tranzistörlerde Hızlı Yaşlandırma ile Güvenirlilik Koşullarının Belirlenmesi", Yüksek Lisans Tezi, 2004.
- [11] G. Groseneken, Hot carrier degradation and ESD in submicron CMOS technologies: how do they interact, IEEE Trans. Device and Materials Reliability, Vol:1, pp. 23-32, 2001.
- [12] Y. Wang, Y. Zhao, B. M. Khan, C.L. Doherty, J. D. Krayner, M. H. White, A novel SONOS nonvolatile flash memory device using substrate hot-hole injection for write and gate tunneling for erase, Solid-State Electronics, Vol: 48, pp. 2031-2034, 2004.
- [13] A. Chaudhry, M. J. Kumar, Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: A review, IEEE Transactions On Device And Materials Reliability, Vol: 4 (1), pp. 99-109, 2004.
- [14] A. Bravaix, D. Goguenheim, N. Revil, E. Vincent, Deep hole trapping effects in the degradation mechanisms of 6.5-2 nm thick gate-oxide PMOSFETs, Microelectronic Engineering Vol:72, pp. 106-111, 2004.
- [15] N. A. Hastas, N. Archontas, C. A. Dimitriadis, G. Kamarinos, T. Nikolaidis, N. Georgoulas, A. Thanailakis, Substrate current and degradation of n-channel polycrystalline silicon thinfilm transistors, Microelectronics Reliability, In press, 2004.

- [16] S. Gerardin, A. Cester, A. Paccagnella, G. Ghidini, MOSFET drain current reduction under Fowler–Nordheim and channel hot carrier injection before gate oxide breakdown, *Materials Science in Semiconductor Processing*, Vol:7, pp.175–180, 2004.
- [17] A. Kuntman, A. Ardalı, H. Kuntman, and F. Kaçar, “A Weibull distribution-based new approach to represent hot carrier degradation in threshold voltage of MOS transistors”, *Solid-State Electronics* Vol. 48, Issue 2, pp.217-223, 2004.
- [18] S. Aur, C. Duvvury, W. R. Hunter, Setting the trap for hot carriers, *IEEE Circuits & Devices*, 11 (4), 18-24, 1995.
- [19] Regional Applied Reliability and Durability Conference (ARDC), Ankara, 10-11Şubat 2019.
- [20] R. Ouaida, M. Berhou, J. Leon, X. Perpina, S. Oge, P. Brosselard, C. Jouber, “Gate Oxide Degradation of SiC MOSFET in Switching Conditions” *IEEE Electron Device Letters*, Vol.35, No.12, pp. 1284-1286, December 2014.
- [21] T. Santini, S. Morand, M. Fouladirad, L.V. Phung, F. Miller, B. Foucher, A. Grall, B. Allard, “Accelerated degradation data of SiC MOSFETs for lifetime and Remaining Useful Life assessment” CNRS UMR 6279 STMR, Troyes, France, 2014.
- [22] H. Luo, N. Baker, F. Iannuzzo, F. Blaabjerg “Die degradation effect on aging rate in accelerated cycling tests of SiC Power MOSFET modules”, Denmark, 2017.
- [23] D. C. Katsis and J. D. van Wyk Void Induced Thermal Impedance in Power Semiconductor Modules: Some Transient Temperature Effects, 0-7803-7116, IEEE, 2001.
- [24] N. Mohan, T. M. Undeland. and W. P. Robbins, *Power Electronics: Converters, Applications, and Design*, 3.Baskı, Wiley, Hoboken, 682-686, 2003.
- [25] Tunceli Üniversitesi Güç Elektroniği Laboratuvarı Deney 1 Notları.
- [26] [J. Rabaey, *The MOS Transistor Figures from material provided with Digital Integrated Circuits, A Design Perspective*, Prentice Hall, 1996.
- [27] N. Mohan, T. M. Undeland. and W. P. Robbins, *Power Electronics, Converters, Applications, and Design*, 3.Baskı, Wiley, Hoboken, 619, 2003.
- [28] Arçelik Test Verification Reliability Notları.
- [29] JESD22-A108D Temperature, Bias, and Operating Life November, 2010.
- [30] JESD22-A101C Steady State Temperature Humidity Bias Life Test March, 2009.
- [31] Alpha and Omega Semiconductor Power Semiconductor Reliability Handbook, 2010.
- [32] IPC / JEDEC J-STD-020 standartları.
- [33] AEC-Q101 standartları, Jun 2005.
- [34] P.G. Taskas, “Lifetime Estimation of Power Mosfets,” Master’s thesis, 2016.

- [35] Y. Xiong, X. Cheng, Z. J. Shen, C. Mi, H. Wu and V. K. Garg, "Prognostic and Warning System for Power-Electronic Modules in Electric, Hybrid Electric, and Fuel-Cell Vehicles," in IEEE Transactions on Industrial Electronics, vol. 55, no. 6, pp. 2268-2276, June 2008.
- [36] Z. Sarkany, A. Vass-Varnai and M. Rencz, "Investigation of die-attach degradation using power cycling tests," 2013 IEEE 15th Electronics Packaging Technology Conference (EPTC 2013), pp. 780-784, Singapore, 2013.
- [37] J. Celaya, A. Saxena, P. Wysocki, S. Saha, and K. Goebel. "Towards Prognostics of Power MOSFETs: Accelerated Aging and Precursors of Failure". in Annual Conference of the Prognostics and Health Management Society 2010.
- [38] Dr. M. Khairuddin Md Arshad "THIN GATE OXIDE-Growth and Reliability", Institute of Nano Electronic Engineering Universiti Malaysia Perlis.
- [39] M. Yang, V. W.C. Chan, K.K. Chan, L. Shi, D. M. Fried, J. H. Stathis, A. I. Chou, E. Gusev, J.A.Ott, L.E.Burns, M.V. Fischetti, M.Ieong, Hybrid- Orientation Technology (HOT): Opportunities and Challenges, IEEE on electron devices, VOL.53, NO.5, May 2006.
- [40] Texas Instruments application notes, The dangers of deep snap-back ESD circuit-protection diodes.
- [41] FAIRCHILD- FDP10N60NZ / FDPF10N60NZ N-Channel MOSFET Datasheet.
- [42] MagnaChip- MDF10N60B MOSFET Datasheet.
- [43] Panjit- PPJP10NA60A / PJF10NA60A MOSFET Datasheet.
- [44] N. Azizi, P. Yiannacouras, "Gate Oxide Breakdown", Lecture Notes, Reliability of Intergrated Circuits, 2003.
- [45] M. Pagey, Characterization and modeling of hot-carrier degradation in sub-micron NMOSFETs, Master's thesis, Vanderbilt University, 2002.
- [46] J. Franco, B. Kaczer and G. Groeseneken, Reliability of High Mobility SiGe Channel MOSFETs for Future CMOS Applications 2014.
- [47] B.J. Nel, S. Perinpanayagam, "A brief overview of SiC MOSFET failure modes and design reliability," TESconf2016, 280 - 285 doi: 10.1016/j.procir.2016.09.025, 2016.

Örnek Hata Hesaplama Tablosu

Part number	Early life failure rate	MTBF / FIT		Early life failure rate supporting data				MTBF / FIT supporting data						
	ELFR-DPPM	MTBF	FIT	Conf level (%)	Test temp (°C)	Sample size	Fails	Usage temp (°C)	Conf level (%)	Activation energy (eV)	Test temp (°C)	Test duration (hours)	Sample size	Fails
CSD17484F4	136	5.75x 10 ⁸	1.7	60	125	6719	0	55	60.0	0.7	125	1000	6719	0

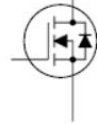
Application Temperature: 90°C

 Qualification Temperature: 105°C

 DPPM at qualification temperature

App Temp	FIT at Activation Energy			MTTF at 0.7 eV
	0.3 eV	0.7 eV	1.0 eV	
90°C	11.4	6.9	4.7	1.45e+8

Şekil A.1 TI firmasına ait hata oranı hesaplayıcısının örnek çıktıları [3]

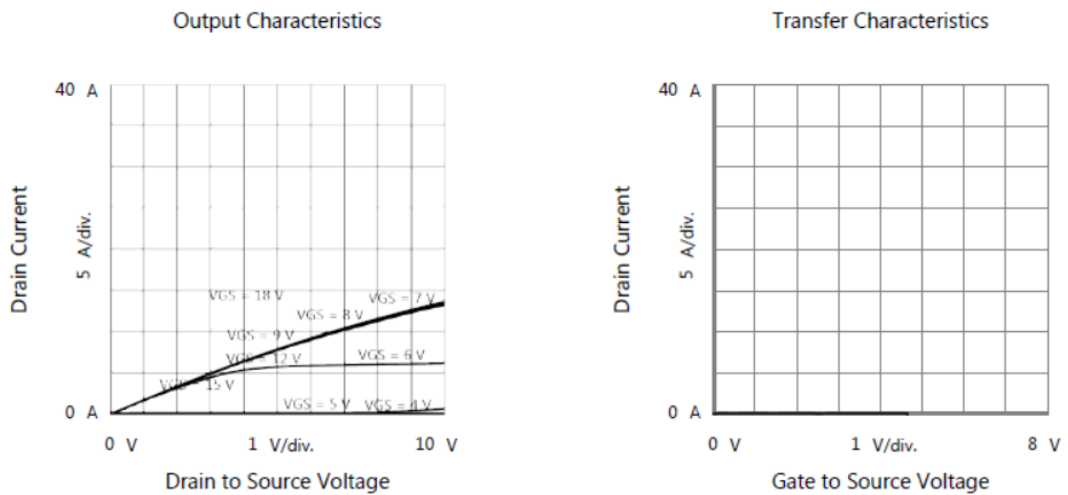
Elektriksel Parametrelerin Örnek Ölçüm Raporları

Part Number: fcplanar
Sample ID: sample1
Description: fcplanardeneme3
Operator: fcplanardeneme3
Measurement Instrument: B1506AH50



		Maximum Ratings					
Symbol	Parameter	Test Conditions		Value	Unit	Note	
VDSS	Drain to Source Voltage	T _J =25 °C to 150 °C		600	V		
VGSS	Gate to Source Voltage	Conitnuous		-25 to 25	V		
IDM	Pulsed Drain Current	T _c =25 °C		40	A		
ISM	Pulsed Body Diode Current	T _c =25 °C		40	A		
		Characteristics Parameters					
Symbol	Parameter	Test Conditions		Min.	Act.	Max.	Unit
BVDSS	Drain to Source Breakdown Voltage	VGS=0 V, ID=250 µA		600	653		V
IDSS	Drain Leakage Current	VDS=600 V, VGS=0 V			57.9 n	1 µ	A
IGSS	Gate Leakage Current	VGS=25 V, VDS=0 V			125 n	10 µ	A
IGSS(-)	Gate Leakage Current (-)	VGS=-25 V, VDS=0 V		-10 µ	-131 n		A
VGS(th)	Gate to Source Threshold Voltage (VDS=VGS)	ID=250 µA		3	4.14	5	V
RDS(on)	Drain to Source On Resistance	VGS=10 V, ID=5 A, PulseWidth=200 µs			593 m	750 m	ohm
VSD	Body Diode Forward Voltage	VGS=0 V, IS=10 A, PulseWidth=200 µs			972 m	1.4	V

Şekil B.1 Elektriksel parametrelerin örnek ölçüm raporu



Şekil B.2 Karakteristik grafiklerinin örnek ölçüm raporu

Arduinio Anahtarlama Kodu

```
void setup() {  
  pinMode(2, OUTPUT);  
  pinMode(3, OUTPUT);  
  pinMode(4, OUTPUT);  
  pinMode(5, OUTPUT);  
  pinMode(6, OUTPUT);  
}  
void loop() {  
  digitalWrite(2, HIGH);  
  digitalWrite(3, HIGH);  
  digitalWrite(4, HIGH);  
  digitalWrite(5, HIGH);  
  digitalWrite(6, HIGH);  
  delay(1000);  
  digitalWrite(2, LOW);  
  digitalWrite(3, LOW);  
  digitalWrite(4, LOW);  
  digitalWrite(5, LOW);  
  digitalWrite(6, LOW);  
  delay(1000);  
}
```

Şekil C.1 Arduinio anahtarlama kodu

D

Elektriksel Parametrelerin Değişim Tabloları

Tablo A.1 B_{VDSS} 'in değişimi

B_{VDSS} (V)	0	500K	750K	1M
Firma1_Örnek1	655	656	658	656
Firma1_Örnek2	656	0,007		
Firma1_Örnek3	653	656	651	654
Firma1_Örnek4	654	655	653	655
Firma2_Örnek1	675	2,59		
Firma2_Örnek2	678	678	678	679
Firma2_Örnek3	677	677	677	678
Firma2_Örnek4	664	664	663	666
Firma3_Örnek1	661	662	664	664
Firma3_Örnek2	653	659	658	0,008
Firma3_Örnek3	653	655	654	658
Firma3_Örnek4	653	656		

Tablo A.2 I_{DSS} (nA)'nın deęiřimi

I_{DSS} (nA)	0	500K	750K	1M
Firma1_Örnek1	48,5	89,7	1130	137
Firma1_Örnek2	52.2	1000		
Firma1_Örnek3	50.9	104	90,2	135
Firma1_Örnek4	50.7	93,6	93,3	133
Firma2_Örnek1	22	10000		
Firma2_Örnek2	22,2	24,3	38	43,2
Firma2_Örnek3	22,3	24,4	23,9	44,8
Firma2_Örnek4	23,2	25,1	24,1	46,6
Firma3_Örnek1	20,2	25,1	31,9	47
Firma3_Örnek2	19,2	25,6	33	10000
Firma3_Örnek3	19,5	25,1	33,1	47,6
Firma3_Örnek4	19,2	25,4		

Tablo A.3 I_{GSS} (nA)'nın deęiřimi

I_{GSS} (nA)	0	500K	750K	1M
Firma1_Örnek1	131	135	140	133
Firma1_Örnek2	145	1010000		
Firma1_Örnek3	135	141	133	140
Firma1_Örnek4	135	138	132	139
Firma2_Örnek1	0,307	2220		
Firma2_Örnek2	310pA	433pA	396pA	653pA
Firma2_Örnek3	312pA	443pA	413pA	672pA
Firma2_Örnek4	322pA	448pA	397pA	707pA
Firma3_Örnek1	367pA	454pA	504pA	745pA
Firma3_Örnek2	293pA	388pA	518pA	631pA
Firma3_Örnek3	301pA	375pA	522pA	721pA
Firma3_Örnek4	0,293pA	400pA		

Tablo A.4 I_{GSS} (-)(nA)'nın deęiřimi

I_{GSS} (-)(nA)	0	500.000	750.000	1M
Firma1_Örnek1	139	145	152	145
Firma1_Örnek2	153	1010000		
Firma1_Örnek3	143	151	144	152
Firma1_Örnek4	143	148	144	151
Firma2_Örnek1	0,314(-)	100000(-)		
Firma2_Örnek2	320(-)pA	403(-)pA	363(-)pA	613(-)pA
Firma2_Örnek3	324(-)pA	426(-)pA	349(-)pA	631pA
Firma2_Örnek4	308(-)pA	410(-)pA	345(-)pA	(-)645pA
Firma3_Örnek1	245(-)pA	379(-)pA	448(-)pA	647(-)pA
Firma3_Örnek2	232(-)pA	345(-)pA	464(-)pA	683(-)pA
Firma3_Örnek3	236(-)pA	332(-)pA	466(-)pA	651(-)pA
Firma3_Örnek4	232(-)pA	344(-)pA		

Tablo A.5 $V_{GS(th)}$ (V)'nin deęiřimi

$V_{GS(th)}$ (V)	0	500K	750K	1M
Firma1_Örnek1	4,16	4,09	4,17	4,11
Firma1_Örnek2	4,12	0,000003		
Firma1_Örnek3	4,14	4,07	4,11	4,08
Firma1_Örnek4	4,14	4,08	4,08	4,08
Firma2_Örnek1	2,98	2,46		
Firma2_Örnek2	2,98	2,57	2,58	2,58
Firma2_Örnek3	2,97	2,46	2,48	2,47
Firma2_Örnek4	2,96	2,61	2,62	2,61
Firma3_Örnek1	3,14	3,01	3,02	3,02
Firma3_Örnek2	3,13	3,1	3,13	0,00023
Firma3_Örnek3	3,13	3	3,02	2,99
Firma3_Örnek4	3,13	3,06		

Tablo A.6 $R_{DS(ON)}$ (m Ω)'nın deęiřimi

$R_{DS(ON)}$ (m Ω)	0	500K	750K	1M
Firma1_Örnek1	591,00	750	615	604
Firma1_Örnek2	596	52,3		
Firma1_Örnek3	590	606	632	302
Firma1_Örnek4	593	600	661	619
Firma2_Örnek1	633	488		
Firma2_Örnek2	645	643	666	715
Firma2_Örnek3	644	641	658	653
Firma2_Örnek4	627	626	650	647
Firma3_Örnek1	563	566	625	586
Firma3_Örnek2	537	562	558	642
Firma3_Örnek3	537	548	568	576
Firma3_Örnek4	537	555		

Tablo A.7 V_{SD} (V)'nin deęiřimi

V_{SD} (V)	0	500K	750K	1M
Firma1_Örnek1	0,96	1,13	1,03	1,07
Firma1_Örnek2	958mV	434mV		
Firma1_Örnek3	0,958	1,03	1,43	9,26
Firma1_Örnek4	0,959	1	1,3	1,12
Firma2_Örnek1	0,932	8,58		
Firma2_Örnek2	0,933	0,925	1,18	1,27
Firma2_Örnek3	0,931	0,926	1,08	1,06
Firma2_Örnek4	0,933	0,936	1,12	1,09
Firma3_Örnek1	0,887	0,878	1,41	1,4
Firma3_Örnek2	883mV	875mV	893mV	0,001mV
Firma3_Örnek3	883mV	877mV	1000mV	955mV
Firma3_Örnek4	883mV	887mV		

Tezden Üretilmiş Yayınlar

İletişim Bilgisi: r.aybukegozutok@gmail.com.tr

Konferans Bildirileri

1. Bilir, R.A., Tosunoglu, Z., Bilir, A., Altintas, N., Mese, E., (2019) "A Comparative Study on Power MOSFET Reliability and Failure Modes", 18th International Symposium (INFOTEH), 20-22 March 2019, Jahorina.

