



**T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ**



DOKTORA TEZİ

**AKIM MODLU DC/DC BUCK DÖNÜŞTÜRÜCÜ DEVRESİNE YÖNELİK YENİ
BİR EMPEDANS ÇARPICI TABANLI TİP-II KOMPAZASYON DEVRESİ
TASARIMI**

Durmuş ERSOY

DANIŞMAN

Prof. Dr. Fırat KAÇAR

(danışman imzalı olacaktır)

II. DANIŞMAN

Dr. Öğr. Üyesi Metin ÖZTÜRK

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

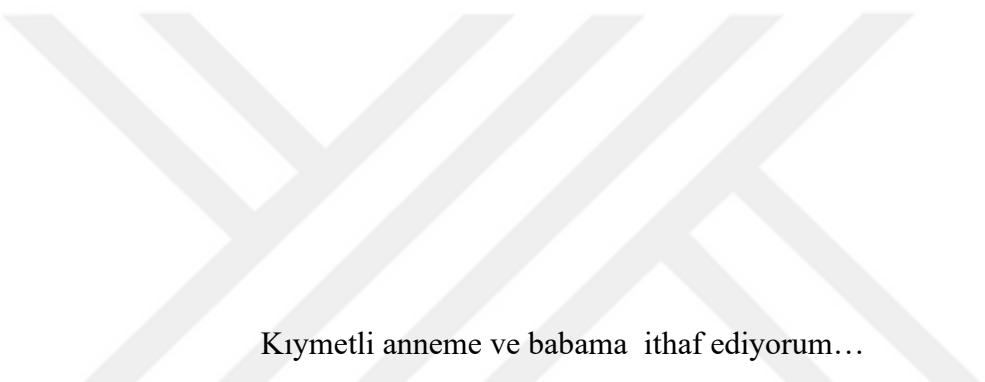
Nisan, 2025

TEZ KABUL VE ONAYI

Durmuş ERSOY tarafından, **Prof. Dr. Fırat KAÇAR** danışmanlığında hazırlanan " **AKIM MODLU DC/DC BUCK DÖNÜŞTÜRÜCÜ DEVRESİNE YÖNELİK YENİ BİR EMPEDANS ÇARPICI TABANLI TİP-II KOMPANZASYON DEVRESİ TASARIMI**" başlıklı bu çalışma, jürimiz tarafından **14/04/2025** tarihinde yapılan sınav sonucunda **oy birliği** ile başarılı bulunarak **Doktora Tezi** olarak kabul edilmiştir.

Tez Jürisi

	İmza	Sonuç
DANIŞMAN	Prof. Dr. Fırat KAÇAR	☒
	İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği	Kabul ☐ Ret
ÜYE	Prof. Dr. Yasin ÖZÇELEP	☒
	İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği	Kabul ☐ Ret
ÜYE	Prof. Dr. Abdullah YEŞİL	☒
	Bandırma Onyedli Eylül Üniversitesi Elektrik-Elektronik Mühendisliği	Kabul ☐ Ret
ÜYE	Prof. Dr. Cengiz Polat UZUNOĞLU	☒
	İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği	Kabul ☐ Ret
ÜYE	Dr. Öğr. Üyesi Mustafa KONAL	☒
	Tekirdağ Namık Kemal Üniversitesi Elektrik-Elektronik Mühendisliği	Kabul ☐ Ret



Kıymetli anneme ve babama ithaf ediyorum...

BÜTÇE DESTEKLERİ

Bu tez çalışması için herhangi bir kurumdan bütçe desteği alınmamıştır.



TEŞEKKÜR

Doktora çalışmam süresince desteğini ve değerli katkılarını esirgemeyen danışmanım Prof. Dr. Fırat KAÇAR' a ve eş danışmanım Dr. Öğr. Üyesi Metin ÖZTÜRK' e en içten teşekkürlerimi sunarım. Alanlarındaki uzmanlıkları, bilgi ve deneyimleriyle çalışmamın her aşamasında bana rehberlik ederek akademik gelişimime büyük katkıda bulunmuşlardır.

Ayrıca, araştırma sürecinde teknik destek ve iş birliği sağlayan Mamur Teknoloji Elektronik Ar-Ge ekibine teşekkür ederim. Sağladıkları kaynaklar ve değerli geri bildirimleri, çalışmamın ilerlemesinde önemli bir rol oynamıştır.

Beni her zaman destekleyen, yanımda olan ve iyi bir şekilde yetişmem için konfor alanlarından vazgeçen kıymetli anne ve babama şükranlarımı sunuyorum.

Son olarak, sabrıyla, sevgisiyle ve anlayışıyla her zaman yanımda olan eşime en derin teşekkürlerimi iletiyorum. Zorlu geçen bu süreçte bana olan inancı ve desteği, motivasyonumu yüksek tutmamı sağladı.

Bu tez, adını saydığım ve sayamadığım birçok kişinin katkılarıyla tamamlanmıştır. Hepsine gönülden teşekkür ederim.

Nisan 2025

Durmuş ERSOY

İÇİNDEKİLER

Sayfa No

TEZ KABUL VE ONAYI.....	ii
BEYAN	iii
BÜTÇE DESTEKLERİ	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER.....	vii
ŞEKİL LİSTESİ	ix
TABLO LİSTESİ.....	xiii
SİMGE VE KISALTMA LİSTESİ	xiv
ÖZET	xvi
ABSTRACT	xviii
1. GİRİŞ.....	1
2. KAVRAMSAL ÇERÇEVE	4
2.1. DC/DC BUCK DÖNÜŞTÜRÜCÜ	7
2.2. AKIM MODLU KONTROL YÖNTEMİ.....	23
2.2.1. PCM Kontrolü ile PWM Dönüştürücülerinin Çalışma Prensipleri [14]	24
2.2.2. PCM Buck Dönüştürücü Küçük Sinyal Analizi.....	29
2.3. PCM BUCK DÖNÜŞTÜRÜCÜ DEVRELERİNDE KOMPANZASYON.....	35
2.3.1. Kompanzasyon Devre Tasarımı	38
2.4. PCM BUCK DÖNÜŞTÜRÜCÜ PARAMETRELERİNİN BELİRLENMESİ.....	42
2.5. KAPASİTÖR VE KAPASİTANS.....	44
2.5.1. Çip İçindeki Kapasitörler	44
2.5.2. Literatürde Sunulan Kapasite Çarpıcı Devreleri	48
3. YÖNTEM	52
3.1. İŞLEMSEL GEÇİŞ İLETKENLİĞİ YÜKSELTECİ (OTA)	52
3.2. ÇOK ÇIKIŞLI OTA (MO-OTA)	54
3.3. ÖNERİLEN GENELLEŞTİRİLMİŞ POZİTİF/NEGATİF EMPEDANS ÇARPICI DEVRESİ.....	55
3.4. ÖNERİLEN DEVRENİN PARAZİTİK ANALİZİ.....	59

3.5. ÖNERİLEN DEVREDE KULLANILAN İNDÜKTANS SİMÜLATÖRÜ	60
4. BULGULAR	62
4.1. OTA ELEMANLARININ AKIM-GERİLİM VE FREKANS CEVAPLARI	63
4.2. ÖNERİLEN DEVRENİN EMPEDANS ÇARPIM SİMÜLASYONLARI.....	66
4.2.1. Rezistans Çarpımı Simülasyonları	66
4.2.2. Kapasitans Çarpımı Simülasyonları	70
4.2.3. Endüktans Çarpımı Simülasyonları.....	74
4.3. KAPASİTANS ÇARPICI DEVRESİNİN DENEYİ	78
4.4. TİP-II OTA KOMPAZASYON DEVRESİ SİMÜLASYONLARI	80
4.4.1. Farklı Çarpma Faktörlerine Göre Tip-II OTA Kompanzasyon Devresinin Frekans Tepkisi	80
4.4.2. Tip-II OTA Kompanzasyon Devresi PVT Simülasyonları	82
4.4.2.1 Proses Varyasyonu Testi	82
4.4.2.2 Gerilim Varyasyonu Testi	84
4.4.2.3 Sıcaklık Varyasyonu Testi	85
4.4.3 Monte-Carlo Analizi.....	86
4.5. PCM BUCK DÖNÜŞTÜRÜCÜ KAPASİTANS ÇARPICI DEVRE SİMÜLASYONU	88
4.5.1. Normal Koşullar Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu	89
4.5.2. Değişken Giriş Gerilimleri Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu	92
4.5.3. Değişken Çıkış Yükleri Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu	94
4.5.4. PCM Buck Dönüştürücünün Frekans Alanı Simülasyonu	96
4.6. ÖNERİLEN KAPASİTANS ÇARPICI DEVRESİNİN TÜMDEVRE TASARIMI	98
5. TARTIŞMA.....	100
6. SONUÇ VE ÖNERİLER	103
KAYNAKLAR.....	105
EKLER	113
İNTİHAL RAPORU İLK SAYFASI	114
ETİK KURUL İZİN YAZISI	115
KURUM İZNİ YAZILARI.....	116
PATENT HAKKI İZNİ	117
ÖZGEÇMİŞ.....	118

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1: Buck dönüştürücü için akım modlu kontrol devresi [16]	5
Şekil 2.2: Gerilim modlu ve akım modlu kontrolün frekans alanındaki kompanzasyonu [17].	6
Şekil 2.3 : DC/DC buck dönüştürücü için ideal eşdeğer devreleri. (a) Devre. (b) Anahtar açık ve diyot kapalı olduğunda eşdeğer devre. (c) Anahtar kapalı ve diyot açık olduğunda eşdeğer devre [14].	8
Şekil 2.4: DC/DC dönüştürücülerin iletim durumlarına göre endüktans akımları [26].	9
Şekil 2.5: PWM buck dönüştürücüsünde CCM için ideal akım ve gerilim dalga formları [14].	10
Şekil 2.6: V_{inmin} ve V_{inmax} ’daki indüktör akımının CCM ve DCM arasındaki sınırdaki dalga formları [14].	17
Şekil 2.7: DC/DC Buck dönüştürücü indüktör ve kondansatör akım grafiği [1].	21
Şekil 2.8: PCM ile kontrol edilen PWM buck dönüştürücü devresi [14]	25
Şekil 2.9: Akım mod kontrolüne sahip PWM dönüştürücüleri için indüktör akımı i_L ’nin kararlı durum (düz çizgi) ve geçici hal (kesik çizgi) dalga formları. (a) Kararlı bir akım döngüsü için $D < 0.5$. (b) Marjinal kararlı bir akım döngüsü için $D = 0.5$. (c) Kararsız bir akım döngüsü için $D > 0.5$ [14].	29
Şekil 2.10: PCM Buck dönüştürücünün genel sistem modeli [30]	30
Şekil 2.11: 0 dB’de BW, PM, GM ve F_c ’yi gösteren bode grafiği [17].	36
Şekil 2.12: Dar ve geniş BW için yük akımındaki değişime karşı buck dönüştürücü tepkisi [17].	37
Şekil 2.13: Azalan f_c ve PM sahip bir sistem için adım tepkisi (griden yeşile) [31]	38
Şekil 2.14: CM buck dönüştürücü ve kompanzasyonuna ait genlik grafiği.	39
Şekil 2.15: Tip-II OTA kompanzatörü devresi [32].	40
Şekil 2.16: MOSCAP yerleşim kesiti [33].	46
Şekil 2.17: Bir MIM kondansatörünün kesit görünümü [33].	47
Şekil 2.18: MOM Kapasitör yerleşim görünümü [33].	48

Şekil 3.1: OTA Blok gösterimi	52
Şekil 3.2: Kaskod Simetrik CMOS OTA Şematiği.....	53
Şekil 3.3: MO-OTA Blok şema gösterimi.	55
Şekil 3.4: MO-OTA CMOS şematik gösterimi.	55
Şekil 3.5: Önerilen pozitif empedans çarpıcı devresi blok diyagramı.	56
Şekil 3.6: Önerilen negatif empedans çarpıcı devresi blok diyagramı.....	56
Şekil 3.7: Önerilen pozitif empedans çarpıcı devresi ve buna eşlik eden parazitik empedanslar.	59
Şekil 3.8: Taban indüktans empedansı olarak kullanılacak simülatör devresi [95].	61
Şekil 4.1: B=1 için, MO-OTA Giriş gerilimi-çıkış akımı karakteristiği.....	63
Şekil 4.2: B=4 için MO-OTA Giriş gerilimi-çıkış akımı karakteristiği.....	64
Şekil 4.3: B=1 için OTA'ların genlik cevabı.	64
Şekil 4.4: B=1 için OTA'ların faz cevabı.	65
Şekil 4.5: B=4 için OTA'ların genlik-frekans grafiği.....	65
Şekil 4.6: B=4 için OTA'ların faz-frekans grafiği.	66
Şekil 4.7: Önerilen devre ile pozitif rezistans çarpımı genlik-frekans simülasyon grafiği.....	67
Şekil 4.8: Önerilen devre ile pozitif rezistans çarpımı faz-frekans simülasyon grafiği.	67
Şekil 4.9: Önerilen devre ile negatif rezistans çarpımı genlik-frekans simülasyon grafiği.	68
Şekil 4.10: Önerilen devre ile negatif rezistans çarpımı faz-frekans simülasyon grafiği.	69
Şekil 4.11: K=10 için rezistans çarpıcı zaman alanı simülasyonu.	70
Şekil 4.12: Önerilen devre ile pozitif kapasitans çarpımı genlik-frekans simülasyon grafiği.	71
Şekil 4.13: Önerilen devre ile pozitif kapasitans çarpımı faz-frekans simülasyon grafiği.	71
Şekil 4.14: Önerilen devre ile negatif kapasitans çarpımı genlik-frekans simülasyon grafiği.	72
Şekil 4.15: Önerilen devre ile negatif kapasitans çarpımı faz-frekans simülasyon grafiği.....	73
Şekil 4.16: K=10 için kapasitans çarpıcı zaman alanı simülasyonu.	74
Şekil 4.17: Önerilen devre ile pozitif endüktans çarpımı genlik-frekans simülasyon grafiği..	75
Şekil 4.18: Önerilen devre ile pozitif endüktans çarpımı faz-frekans simülasyon grafiği.....	75

Şekil 4.19: Önerilen devre ile negatif endüktans çarpımı genlik-frekans simülasyon grafiği.	76
Şekil 4.20: Önerilen devre ile negatif endüktans çarpımı faz-frekans simülasyon grafiği.	77
Şekil 4.21: $K=4$ için indüktans çarpıcı zaman alanı simülasyonu.	78
Şekil 4.22: Alçak geçiren filtrede kapasitans çarpıcı deneyinin şematığı.....	79
Şekil 4.23: İdeal ve önerilen devrelerin deney sonucu çıkış gerilimleri	79
Şekil 4.24: Tez kapsamında kullanılan tip-II OTA kompanzasyon devresi	80
Şekil 4.25: Tip-II OTA kompanzasyon devrelerinin simülasyonu genlik-frekans grafiği.	81
Şekil 4.26: Tip-II OTA kompanzasyon devrelerinin simülasyonu faz-frekans grafiği.	81
Şekil 4.27: Tip-II OTA kompanzasyon devrelerinin proses varyasyonuna göre genlik-frekans grafiği.	82
Şekil 4.28: Tip-II OTA kompanzasyon devrelerinin proses varyasyonuna göre faz-frekans grafiği.	83
Şekil 4.29: Tip-II OTA kompanzasyon devrelerinin besleme gerilimi varyasyonuna göre genlik-frekans grafiği.	84
Şekil 4.30: Tip-II OTA kompanzasyon devrelerinin besleme gerilimi varyasyonuna göre faz-frekans grafiği.....	84
Şekil 4.31: Tip-II OTA kompanzasyon devrelerinin sıcaklık varyasyonuna göre genlik-frekans grafiği.....	85
Şekil 4.32: Tip-II OTA kompanzasyon devrelerinin sıcaklık varyasyonuna göre faz-frekans grafiği.	86
Şekil 4.33: Monte-Carlo analizi genlik yanıtı.	87
Şekil 4.34: Monte-Carlo analizi faz yanıtı.	87
Şekil 4.35: PCM Buck dönüştürücü devre şeması.	89
Şekil 4.36: PCM Buck dönüştürücü devresi zaman alanı simülasyon sonuçları.	91
Şekil 4.37: PCM Buck dönüştürücü devresi zaman alanı simülasyon sonuçları yakın plan gösterimi.	92
Şekil 4.38: PCM Buck dönüştürücü devresinin giriş gerilimi 12V' dan 36V' a çıktığı durumda zaman alanı tepkisi.	93
Şekil 4.39: PCM Buck dönüştürücü devresinin giriş gerilimi 36V' dan 7V' a düştüğü durumda zaman alanı tepkisi.	94

Şekil 4.40: PCM Buck dönüştürücü devresini yük akımının 0.6A' den 0.3A' e düştüğü durumda zaman alanı tepkisi.	95
Şekil 4.41: PCM Buck dönüştürücü devresini yük akımının 0.6A' den 1.2A' e çıktığı durumda zaman alanı tepkisi.	96
Şekil 4.42: PCM Buck dönüştürücü devresinin kapalı döngü genlik cevabı.	97
Şekil 4.43: PCM Buck dönüştürücü devresinin kapalı döngü faz cevabı.	97
Şekil 4.44: MIM kapasitör modeliyle tasarlanan 338pF pasif kapasitör serimi.	99
Şekil 4.45: Önerilen kapasitans çarpan devresinin CMOS serim tasarımı.	99



TABLO LİSTESİ

Sayfa No

Tablo 2.1: CCM Modda çalışan DC/DC Buck dönüştürücü tasarım kriterleri	22
Tablo 2.2: DC/DC Buck dönüştürücüye ait hesaplanan ve seçilen parametre değerleri.....	23
Tablo 2.3: PCM Buck Dönüştürücü için Tasarım Parametre Değerleri.....	42
Tablo 2.4: Tasarlanan PCM Buck dönüştürücüsünün hesaplanan ve seçilen değerleri	44
Tablo 2.5: Çip üstü kapasitör türlerinden en yaygın türlerin özellik karşılaştırması [34]......	44
Tablo 2.6: Literatürdeki bazı kapasitans çarpıcı devreleri ve özellikleri.....	50
Tablo 4.1: Simülasyon için seçilen Mosfet boyutları.	62
Tablo 4.2: Farklı Kuyruk akımı ve frekanslara göre OTA' ların çıkış empedansları.....	63
Tablo 4.3: Pozitif rezistans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.....	68
Tablo 4.4: Negatif rezistans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.....	69
Tablo 4.5: Pozitif kapasitans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.	72
Tablo 4.6: Negatif kapasitans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.	73
Tablo 4.7: Pozitif endüktans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.	76
Tablo 4.8: Negatif endüktans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.	77
Tablo 4.9: Tip-II OTA kompanzasyon devresi için seçilen OTA kuyruk akımları ve taban kapasitörü C _{Taban} değerleri.	81
Tablo 4.10: Farklı çarpma değerlerine göre çip alanı sonuçları.	98
Tablo 5.1: Literatürdeki Kapasitans Çarpan Devrelerinin Performanslarına Göre Karşılaştırılması.....	101
Tablo 5.2: Literatürdeki kapasitans çarpan tabanlı DC/DC dönüştürücülerin karşılaştırılması.	102

SİMGE VE KISALTMA LİSTESİ

Simgeler	Açıklama
f_s	: Anahtarlama frekansı
V_{in}	: Giriş gerilimi
V_o	: Çıkış gerilimi
D	: Anahtar çalışma döngüsü
I_{in}	: Giriş akımı
I_o	: Çıkış akımı
f_z	: Sıfır frekansı
f_p	: Kutup frekansı
T_s	: Anahtarlama periyodu
C_o	: Güç katı çıkış kapasitörü
L_o	: Güç katı çıkış indüktörü
R_L	: Yük direnci
i_L	: Güç katı çıkış indüktörü akımı
V_L	: Güç katı çıkış indüktörü gerilimi
i_C	: Güç katı çıkış kapasitörü akımı
i_S	: Anahtarlama elemanı akımı
Δi_L	: Güç katı çıkış indüktörü akımı dalgalanması
V_D	: Diyot gerilimi
ϵ_r	: Bağlı permittivite katsayısı
ϵ_0	: Boşluk permittivite katsayısı
ω	: Açısal frekans
g_m	: Geçiş iletkenliği parametresi
C_{comp}	: Kompanzasyon kapasitörü
R_{comp}	: Kompanzasyon direnci
C_{ea}	: Kompanzasyon hata yükselteci çıkış kapasitansı

Kısaltmalar	Açıklama
DC/DC	: Doğru akımdan doğru akıma
CCM	: Sürekli akım modu
DCM	: Kesikli akım modu
CMC	: Akım modlu kontrol
VMC	: Gerilim modlu kontrol
PCM	: Tepe akım modu
PWM	: Dalga genişlik modülasyonu
ESR	: Eşdeğer seri direnç
Opamp	: Operasyonel amplifikatör
OTA	: Operasyonel geçiş iletkenliği
MO-OTA	: Çok çıkışlı operasyonel geçiş iletkenliği
IC	: Tümdevre
MOSFET	: Metal-oksit yarı iletken alan etkili transistör
NMOS	: N - Kanallı MOSFET
PMOS	: P - Kanallı MOSFET
MIM	: Metal-izalatör-metal
MOM	: Metal-oksit-metal

ÖZET

[DOKTORA TEZİ]

[AKIM MODLU DC/DC BUCK DÖNÜŞTÜRÜCÜ DEVRESİNE YÖNELİK YENİ BİR EMPEDANS ÇARPICI TABANLI TİP-II KOMPANZASYON DEVRESİ TASARIMI]

[Durmuş ERSOY]

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

[Danışman : Prof. Dr. Fırat KAÇAR

II. Danışman : Dr. Öğr. Üyesi Metin ÖZTÜRK]

DC/DC dönüştürücüler, sabit bir doğru akım gerilimini farklı bir seviyeye dönüştürmek için kullanılan temel güç elektroniği devreleridir. Özellikle buck dönüştürücüler, düşük çıkış gerilimlerine ihtiyaç duyan birçok elektronik sistemde yaygın olarak kullanılmaktadır. Bu dönüştürücüler, yüksek verimlilik, düşük gürültü ve hassas çıkış gerilimi sağlama avantajları sunmaktadır. Ancak, buck dönüştürücülerde kullanılan kompanzasyon devreleri, çip üzerinde yüksek değerli pasif bileşenlerin entegrasyonu nedeniyle büyük çip alanı ve yüksek maliyet gibi tasarım zorluklarıyla karşı karşıyadır.

Bu tezde, buck dönüştürücülerde kullanılan kompanzasyon devrelerindeki yüksek değerli kapasitörlerin yerine kullanılmak üzere yeni bir kapasitans çarpıcı devresi önerilmiştir. Önerilen devre, empedans çarpıcı modeli temelinde geliştirilmiş olup, yalnızca kapasitans çarpıcı değil, aynı zamanda direnç ve endüktans çarpıcı olarak da çalışabilen genişletilmiş bir yapı sunmaktadır. Devre, elektronik olarak kontrol edilebilir bir yapıya sahip olup, iki ucu serbest bir tasarımla esneklik sağlamaktadır.

Önerilen devre, 0.18 μ m TSMC CMOS teknolojisi kullanılarak tasarlanmış ve LTspice yazılımında zaman alanı ve frekans alanı simülasyonları ile doğrulanmıştır. Deneysel doğrulama amacıyla OPA861 OTA entegresi kullanılarak devrenin prototipi gerçekleştirilmiştir. Ayrıca, ELECTRIC VLSI yazılımı kullanılarak çip üzerindeki yerleşim tasarımı yapılmıştır.

Tez kapsamında önerilen kapasitans çarpıcı devresinin performansı, literatürdeki diğer kapasitans çarpıcı devreleri ile karşılaştırılmış ve düşük çip alanı kullanımı ile benzer elektriksel performans sunduğu gösterilmiştir. Monte Carlo ve PVT analizleri, devrenin proses, besleme gerilimi ve sıcaklık değişimlerine karşı yüksek kararlılık sağladığını ortaya koymuştur. |

Nisan 2025 , [137] sayfa.

Anahtar kelimeler: | Kapasitans çarpıcı devreleri, Buck dc/dc dönüştürücü, Tepe akım modu kontrolü |

ABSTRACT

Ph.D. THESIS

**A NOVEL IMPEDANCE MULTIPLIER-BASED TYPE-II COMPENSATION
CIRCUIT DESIGN FOR A CURRENT-MODE DC/DC BUCK CONVERTER**

Durmuş ERSOY

İstanbul University-Cerrahpaşa

Institute of Graduate Studies

Department of Electrical and Electronics Engineering

Electrical-Electronics Engineering, PhD Program

Supervisor : Prof. Dr. Fırat KAÇAR

Co-Supervisor: Assist. Prof. Dr. Metin ÖZTÜRK

DC/DC converters are fundamental power electronics circuits used to transform a constant direct current (DC) voltage to a different level. In particular, buck converters are widely employed in various electronic systems that require low output voltages. These converters offer advantages such as high efficiency, low noise, and precise output voltage regulation. However, the compensation circuits used in buck converters face design challenges, including large chip area and high cost, due to the integration of high-value passive components on-chip.

In this thesis, a novel capacitance multiplier circuit is proposed as a replacement for high-value capacitors in the compensation circuits of buck converters. The proposed circuit is developed based on the impedance multiplier model, providing an extended structure that can function not only as a capacitance multiplier but also as a resistance and inductance multiplier. The circuit features an electronically controllable design and offers flexibility through a floating configuration.

The proposed circuit has been designed using 0.18 μ m TSMC CMOS technology and validated through time-domain and frequency-domain simulations in LTspice. For experimental verification, a prototype of the circuit was implemented using the OPA861 OTA integrated circuit. Additionally, the layout design of the circuit was completed using the ELECTRIC VLSI software.

The performance of the proposed capacitance multiplier circuit was compared with existing capacitance multiplier circuits in the literature, demonstrating that it achieves similar electrical performance while occupying a smaller chip area. Monte Carlo and PVT analyses have shown that the circuit exhibits high stability against variations in process parameters, supply voltage, and temperature. |

April 2025, |137| pages.

Keywords: |Capacitance multiplier circuits, Buck DC/DC converter, Peak current mode control|

1. GİRİŞ

Elektronik devrelerin temel yapı taşlarından biri olan doğru akımdan doğru akıma (DC/DC) dönüştürücüler, sabit bir doğru akım gerilimini farklı bir sabit doğru akım gerilimine düşürmek veya yükseltmek için kullanılan güç elektroniği devreleridir. Özellikle DC/DC dönüştürücülerde, küçük yapıda olmaları, geniş giriş gerilim aralığında, yüksek akım ihtiyaçlarını karşılayabilmeleri, verimlerinin yüksek olması, istenilen çıkış gerilim seviyesini kararlı ve hassas bir şekilde sağlayabilmeleri gibi sayısız avantajları bulunmaktadır [1]. DC/DC dönüştürücüler, bilgisayar güç kaynakları [2], otomotiv elektronik sistemleri [3], endüstriyel kontrol sistemleri [4] ve yenilenebilir enerji sistemleri [5] gibi birçok alanda yaygın olarak kullanılmaktadır.

DC/DC dönüştürücülerin genellikle düşürücü, yükseltici, düşürücü-yükseltici ve flyback gibi farklı türleri mevcuttur. Bu dönüştürücü türleri, farklı giriş ve çıkış gereksinimlerine ya da güç ihtiyaçlarına sahip uygulamalara göre seçilir. DC/DC dönüştürücülerin tasarım ve kontrol süreçleri, dönüştürücünün özellikleri, performans beklentileri ve kullanım alanlarına göre çeşitli teknikler kullanılarak yapılır [1].

DC/DC dönüştürücülerin güvenilir ve hassas bir şekilde çalışması, istenen gerilim ve akım değerlerinin doğru biçimde elde edilmesine bağlıdır. Bu da iyi tasarlanmış bir kontrol sistemiyle mümkündür. Açık çevrim kontrol sistemlerinde geri beslemenin olmaması, giriş gerilimindeki dalgalanmalara ve çıkış akımındaki değişimlere karşı dönüştürücünün tepkisini kontrol edememeye yol açabilir, bu da çıkış geriliminin değerini değiştirebilir. Buna karşın, kapalı çevrim kontrol sistemleri, sürekli izleme ve anlık düzeltmelerle çıkışı sabit tutar. Bu tür sistemlerde özellikle darbe genişlik modülasyonu (PWM) ile anahtarlama sinyali oluşturularak daha kararlı ve güvenilir bir performans elde edilir. Kapalı çevrim yöntemleri, özellikle hassas uygulamalarda daha stabil bir çözüm sunar.

Günümüzde Tepe Akım Modu (PCM) kontrolü, DC/DC dönüştürücülerde kullanılan popüler bir kontrol stratejisidir. Bu yöntemde, çıkış gerilimi sabit tutulurken, anahtarlama transistörünün akımı belirli bir tepe değerine ulaştığında kapatılır. Bu sayede, yükteki güç dalgalanmaları minimize edilir ve sistemin dinamik performansı artırılır. PCM DC/DC

dönüştürücüler, basit yapıları ve hızlı yanıt süreleri nedeniyle tercih edilmektedir. Ancak, bu dönüştürücülerin kararlı çalışması için kompanzasyon devrelerinin kullanılması gerekmektedir.

Günümüz elektronik cihazları, giderek daha düşük maliyet ve daha küçük boyut talepleri doğrultusunda hızla evrilmektedir. Bu gereksinim, sistem bileşenlerinin mümkün olduğunca büyük bir kısmını çip içerisine entegre etmeyi zorunlu hale getirmektedir. Özellikle DC/DC dönüştürücü devrelerinin, buck dönüştürücü gibi yaygın kullanılan yapıların, tüm devrenin tek bir çip üzerine entegre edilmesi büyük bir avantaj sağlamaktadır [6]. Ancak, bu entegrasyon sürecinde özellikle kompanzasyon bloğunun çip içerisine entegre edilmesi aşağıda verilen tasarım zorluğunu da beraberinde getirmektedir:

1. Yüksek Değerli Kapasitörlerin Çip Üzerine Yerleştirilmesi: Yüksek değerli kapasitörlerin çip üzerinde tasarlanması oldukça maliyetlidir ve standart CMOS süreçlerinde aşırı derecede pahalı olabilir [7].
2. Kompanzasyon Bloğu Üzerindeki Kullanıcı Kontrolü: Kullanıcılar, kompanzasyon bloğunun temel parametreleri üzerinde kontrol sahibi olmak ve bunları sistem gereksinimlerine göre ayarlamak istemektedir.
3. Devre Topolojisinin PVT Değişimlerine Uyumu: Devre topolojisinin proses, besleme gerilimi ve sıcaklık (PVT) değişimlerini telafi edebilmesi için dijital ayarlama veya kırpma işlemlerinin basit bir şekilde uygulanması gerekmektedir.

Bu gereksinimleri karşılamak için yüksek anahtarlama frekanslarına ve kapasitör/direnç matrislerine dayalı programlanabilir kompanzasyon ağları kullanılabilir. Ancak, yüksek anahtarlama frekansında çalışmak büyük dinamik güç kayıplarına yol açarken, kapasitör/direnç matrisleri ise büyük çip alanı gerektirir. Bu sorunları aşmak için, kompanzasyon ağının kapladığı kalıp alanını azaltmanın etkili bir yolu, kapasitör çarpıcı devreleri kullanarak gerekli büyük kapasitörleri simüle etmektir. Kapasitör çarpıcı devreleri, pasif kapasitörlere göre daha az yer kaplayarak aynı işlevi daha küçük alanda sunmayı mümkün kılmaktadır.

Bu tezde, buck dönüştürücü devrelerinde çip alanı sorununu çözmeye yönelik yeni bir kapasitans çarpıcı devresi önerilmiştir. Önerilen kapasite çarpıcı devresi 0.18 μ m TSMC CMOS teknolojisi tabanlı tasarlanan işlemsel geçiş iletkenli yükselteç (OTA) aktif elemanlarından

oluşmaktadır. Sunulan kapasite çarpıcı devresinde, empedans çarpıcı modeli kullanılmış ve bu model sadece kapasitans çarpıcı değil, aynı zamanda direnç ve endüktans çarpıcı olarak da işlev görecektir şekilde genişletilmiştir. Ek olarak, elektronik olarak kontrol edilebilir bir yapı ve iki ucu serbest bir devre tasarımıyla tasarım esnekliği artırılmıştır. Önerilen kapasitans çarpıcı devresinin zaman alanı ve frekans alanı simülasyonları LTspice programı kullanılarak verilmiştir. OPA861 OTA entegresi kullanılarak önerilen kapasitans çarpıcı devresinin deneyi de bu tezde verilmiştir. Ayrıca önerilen kapasitans çarpıcı devresinin çip üzerindeki devre serimi ELECTRIC VLSI programı kullanılarak verilmiştir.

Önerilen kapasite çarpıcı devresi buck dönüştürücü devresinin akım modlu kontrolünde tip-2 kompanzasyon devresinde bir kapasitöre uygulanmıştır. Buck dönüştürücü devresinin zaman alanı ve frekans alanı simülasyonları sistemin kararlılığı hem ideal eşdeğerinde hem de önerilen kapasitans çarpıcı devresinde LTspice programı kullanılarak verilmiştir.

Tezin ilerleyen kısımları şu şekilde düzenlenmiştir: Bölüm 2’ de buck DC/DC dönüştürücü yapısı incelenmiştir. Buck dönüştürücünün açık döngü, PCM kapalı döngü çalışmaları ve kapalı döngüde kullanılan kompanzasyon devreleri yine bu bölümde incelenmiştir. Tez kapsamında özgün olarak geliştirilen genelleştirilmiş empedans çarpıcı devresi ve analizleri bölüm 3’ de sunulmuştur. Bölüm 4’ de her bir empedans çarpımına ait simülasyonlarının zaman alanı ve frekans alanı cevapları verilmiştir. Tip-2 OTA kompanzasyon devresinin önerilen devre ile frekans alanı simülasyonları, PVT ve monte-carlo testleri bu bölümde verilmiştir. Önerilen devre ile kurulan PCM buck DC/DC dönüştürücü devresinin normal koşullar altında, giriş gerilimleri değişimi altında, yük değişimleri altındaki davranışları ve frekans alanı cevabı yine bu bölümde verilmiştir. Bölüm 4’ de son olarak önerilen devrenin serim çizimi verilmiştir. Önerilen devrenin literatürdeki diğer kapasitans çarpıcı devreleri ile karşılaştırılması bölüm 5’ de verilmiştir. Literatürdeki DC/DC dönüştürücülerden kompanzasyon bloğunda kapasitans çarpıcı devresi kullanan diğer çalışmalarla karşılaştırma ise yine bölüm 5’ de verilmiştir. Son olarak sonuç ve öneriler bölüm 6’ da verilmiştir.

2. KAVRAMSAL ÇERÇEVE

DC/DC dönüştürücülerin girişleri genellikle regüle edilmemiş DC gerilim girişidir ve gerekli çıkışlar sabit bir gerilim olmalıdır. Bir DC/DC dönüştürücünün uygulanma amacı, yük akımı veya giriş gerilimindeki değişikliklerden bağımsız olarak sabit bir çıkış gerilimini korumaktır. DC/DC dönüştürücülerin verimliliğini artırmak için çeşitli kontrol teknikleri kullanılır. Günümüzde, güç elektroniğindeki ilerlemeler ve gelişmiş teknoloji sayesinde daha doğru ve güvenilir bir regülasyon ihtiyacı artmıştır. Bu durum, DC/DC dönüştürücüler için daha gelişmiş ve güvenilir bir kontrolcü tasarımına olan ihtiyacı doğurmuştur. DC/DC dönüştürücülerinin kontrol parametreleri giriş gerilimi, görev döngüsü oranı, referans gerilimi ve çıkış voltajıdır. Bu parametreler göz önünde bulundurularak, belirli bir kontrol tekniği, DC/DC dönüştürücülerinin çalışmasını düzenleyebilir. Düşük giriş ve çıkış voltajları için, kontrol tekniği referans çıkış gerilimini dikkate alarak gerilim yükseltme işlemini gerçekleştirmek için görev döngüsü oranını artırır. Öte yandan, giriş ve çıkış voltajları yüksek olduğunda, gerilim düşürme işlemini gerçekleştirmek için uygulanan kontrol tekniğiyle görev döngüsü oranı azaltılır. Tüm senaryolar dikkate alındığında, kontrol tekniği, DC/DC dönüştürücülerinin anahtarlama işlemini optimum şekilde düzenlemek ve çıkış gereksinimlerini karşılamak için uygulanır [8–10].

DC/DC dönüştürücüler için kullanılan çeşitli analog ve dijital kontrol yöntemleri vardır ve bunlar arasında gerilim ve akım modlu kontrol teknikleri bulunmaktadır [11, 12].

Gerilim modlu kontrol tekniğinin en büyük avantajı, tek bir gerilim geri besleme yoluna sahip olmasıdır; burada, görev döngüsü, operasyonel yükselteçlerden (Opamp) elde edilen hata gerilimi ile sabit bir harici rampa sinyali karşılaştırılarak kontrol edilir. Bu tek döngü sayesinde, devre topolojisi daha kolay tasarlanır ve analiz edilir. Gerilim modlu kontrolde modülasyon, yüksek genlikli rampa sinyali nedeniyle kararlıdır. Akım modlu kontrole kıyasla, düşük çıkış empedansı nedeniyle çapraz düzenleme daha iyidir [13]. Ancak, bu yöntemin kullanımını belirli uygulamalarla sınırlayan bazı dezavantajları vardır ve bunlar şu şekilde sıralanmıştır:

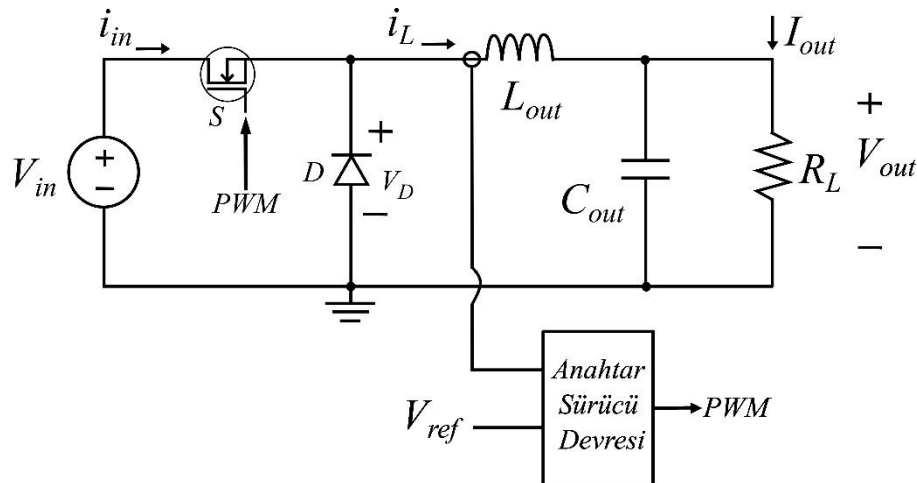
- Gerilim modlu kontrol, akım modlu kontrole kıyasla daha yavaş bir tepkiye sahiptir çünkü giriş gerilimi veya yük direncindeki herhangi bir değişiklikten önce çıkış gerilimindeki

değişiklik ile algılanmalıdır. Gerilim geri besleme döngüsü daha sonra giriş gerilimi ve yük direncindeki değişiklikleri düzeltir [14, 15].

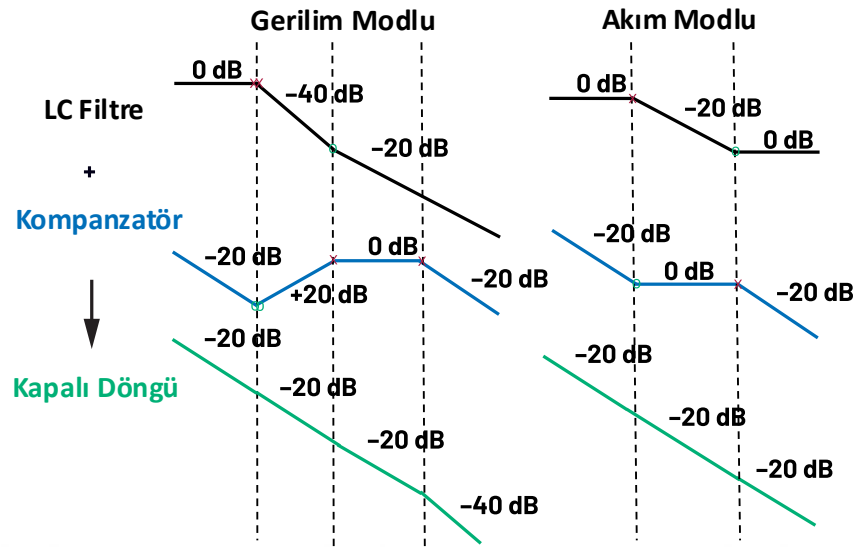
- Çıkıştaki RC devresi, geri besleme döngüsüne fazladan bir kutup ekler. Bu nedenle, denetleyici tarafından bir sıfır eklenmesi gerekecektir.

- Devrenin açık döngü kazancı, hat gerilimindeki değişikliklerle birlikte değişir [13].

Gerilim modlu kontrolün dezavantajları, çoğu güç kaynağı topolojisinde önemli olup, bu dezavantajlar büyük ölçüde akım modlu kontrol şeması ile hafifletilmiştir. Sonuç olarak, akım modlu kontrol şeması, kontrol devrelerini tasarlamak için diğer kontrol şemalarına kıyasla daha popüler hale gelmiştir. Akım modlu kontrol şeması devre diyagramı Şekil 2.1' de gösterilmiştir [16]. Bu şema, Şekil 2.1' de gösterildiği gibi çoklu döngü kontrol şemasıdır. İç döngü, indüktör akımının tepe değerini kontrol ederken, dış gerilim döngüsü çıkış gerilimini kontrol eder. Akım modlu kontrolün modellenmesi biraz karmaşıktır ve örneklenmiş veri modellemesi gerektirir. Bu şema, PWM dönüştürücülerde kısa devre koruması ve aşırı akım koruması sağlar. Bu şemanın çıkış tepkisi hızlı ve geniş bantlıdır [14, 15]. Gerilim modlu kontroldeki iki kutuptan birini yapısındaki akım algılama geri besleme devresi sayesinde iptal ederek daha kolay kompanzasyon olanağı tanır. Şekil 1.2' de güç katındaki LC filtrelerinden kaynaklanan bozulmaları önlemek için frekans alanında yapılan kompanzasyon grafiği verilmiştir [17].



Şekil 2.1: Buck dönüştürücü için akım modlu kontrol devresi [16]



Şekil 2.2: Gerilim modlu ve akım modlu kontrolün frekans alanındaki kompanzasyonu [17].

Bununla birlikte, akım modlu kontrolün bazı dezavantajları şunlardır:

- Bu yöntemde gerilim modlu kontroldeki döngüden farklı olarak ek bir akım algılama geri besleme yolu vardır, iki akım döngüsü olduğundan devre analizi zorlaşır [14, 15].
- Kontrol döngüsü, 0.5 görev döngüsünde içsel bir kararsızlığa sahiptir. Daha yüksek görev döngüleri için eğim kompanzasyonu gereklidir, bu da analizi daha da karmaşık hale getirir [14, 15].
- İndüktör akımından kaynaklanan dalgalanma küçük olduğunda, döngüye gürültü katabilir.
- Transformatör sargısındaki kapasitans bazen akım döngüsünde rezonansa yol açar, bu da gürültünün bir kaynağıdır [15].
- Yük düzenlemesi önemli ölçüde etkilenir, çünkü kontrol döngüsü bir akım sürücüsünü zorlar [15].

Taşınabilir elektronik endüstrisinin büyümesi, batarya ömrünü uzatmak ve güç yönetim sistemleri için daha küçük boyutlu, maliyet etkin çözümler sunmak amacıyla DC/DC dönüştürücülerin tasarımında iyileştirmeler yapılmasını zorunlu hale getirmiştir [18–21]. Literatürde, anahtarlama mod DC/DC dönüştürücülerin tasarımında, yüksek güç dönüştürme verimliliği ve düşük çıkış dalgalanma gerilimi nedeniyle özellikle ağır yük koşullarında yaygın

olarak darbe genişlik modülasyonu (PWM) tekniği kullanılmaktadır. Kompakt tasarım gerektiren uygulamalarda, anahtarlama DC/DC güç dönüştürücünün anahtarlama frekansı, çıkış filtresinin pasif elemanlarının (L, C) boyutunu küçültmek için giderek artmaktadır [22–24]. Ancak, yüksek anahtarlama frekansı kullanan kompakt boyutlu bir dönüştürücü tasarımı, güç verimliliğinde ciddi bir düşüşe neden olur. Geleneksel bir DC/DC dönüştürücünün anahtarlama frekansı genellikle ağır veya hafif yük koşullarında 200 KHz ile 2 MHz arasındadır [25]. Yüksek frekanslarda anahtarlama kayıpları sebebiyle verim düşerken, düşük frekanslarda ise dönüştürücünün güç katındaki indüktör ve kondansatör boyutlarının artması tasarımcı açısından bir ödünleşme seçimi gerektirmektedir.

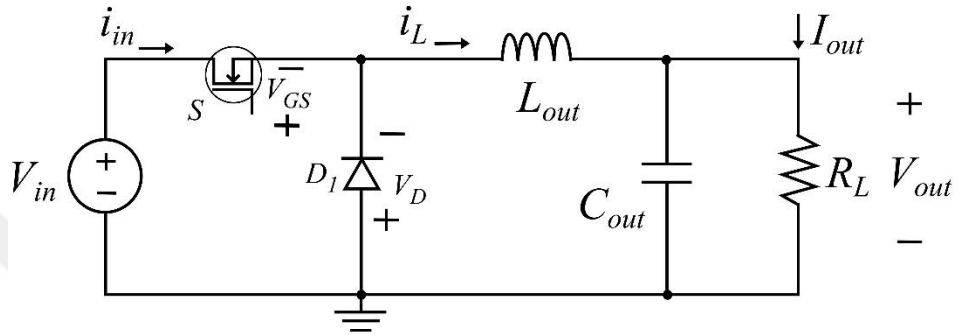
2.1. DC/DC BUCK DÖNÜŞTÜRÜCÜ

Genel olarak, buck, boost ve buck-boost dönüştürücüsü gibi temel bir PWM dönüştürücüsü, enerji akışını kaynaktan yüke kontrol eden bir yarı iletken anahtar içerir. Şekil 2.3(a)’da bir PWM buck DC/DC dönüştürücü devresi gösterilmiştir. Bu devre dört bileşenden oluşur: kontrol edilebilir bir anahtar olarak kullanılan bir güç MOSFET’i (S), doğrultma diyotu (D_1), bir indüktör (L) ve bir filtre kondansatörü (C). R_L Direnci, bir DC yükü temsil eder. Güç MOSFET’leri, yüksek hızlarından dolayı DC/DC dönüştürücülerde en yaygın kullanılan kontrol edilebilir anahtarlardır. 1979’da International Rectifier, ticari olarak uygulanabilir ilk güç MOSFET olan HEXFET’i patentlemiştir. Bipolar jonksiyonlu transistörleri (BJT), izole kapılı bipolar transistörler (IGBT) veya MOS kontrollü tristörler (MCT) gibi diğer güç anahtarları da kullanılabilir. D_1 Diyotu, serbest dönen diyot, volan diyotu veya yakalama diyotu olarak adlandırılır.

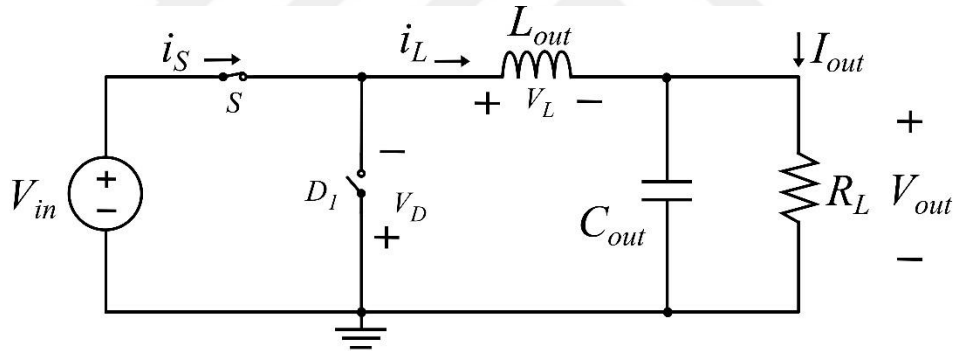
Transistör ve diyot, kaynaktan yüke enerji akışını kontrol eden tek kutuplu, çift atışlı bir anahtar oluşturur. Kondansatör ve indüktörün görevi enerji depolamak ve iletmektir. Transistör ve diyottan oluşan anahtarlama bloğu, DC giriş gerilimi V_{in} ’i “keser” ve düşürülmüş bir ortalama gerilim üretir. Anahtar S, bir darbe genişlik modülatörü tarafından kontrol edilir ve anahtarlama frekansı $f_s = 1/T$ ’de açılır ve kapanır. Görev döngüsü D şu şekilde tanımlanır:

$$D = \frac{t_{on}}{T} = \frac{t_{on}}{t_{on} + t_{off}} = f_s t_{on} \quad (2.1)$$

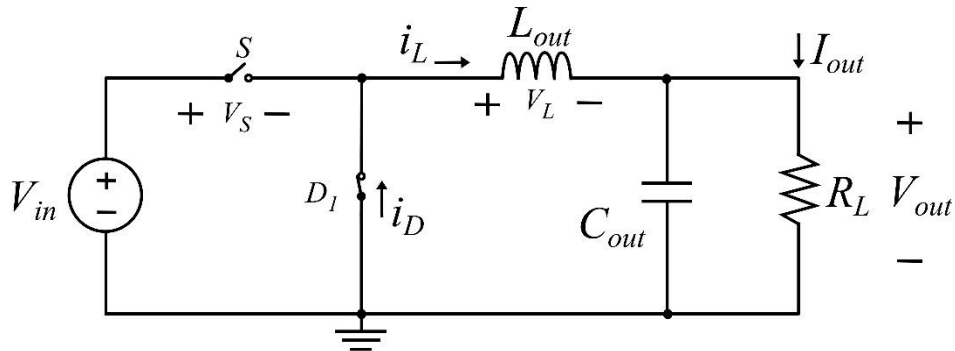
Denklem (2.1)' de t_{on} , anahtar S' nin kapalı olduğu zaman aralığını, t_{off} ise anahtar S' nin açık olduğu zaman aralığını ifade eder. S anahtarının sürücü gerilimi V_{GS} ' nin görev dögüsü D değiştirildikçe, diğer dalga formlarının görev oranı da değişir. Bu, giriş gerilimi V_I ' deki ve yük direnci R_L ' deki değişikliklere karşı DC çıkış geriliminin regülasyonunu sağlar. $L - C - R_L$ devresi, köşe frekansı $f_c = 1/(2\pi\sqrt{LC})$ olan ikinci dereceden bir alçak geçiren filtre gibi davranır. Buck dönüştürücüsünün çıkış gerilimi V_O her zaman giriş gerilimi V_{in} ' den düşüktür.



a)



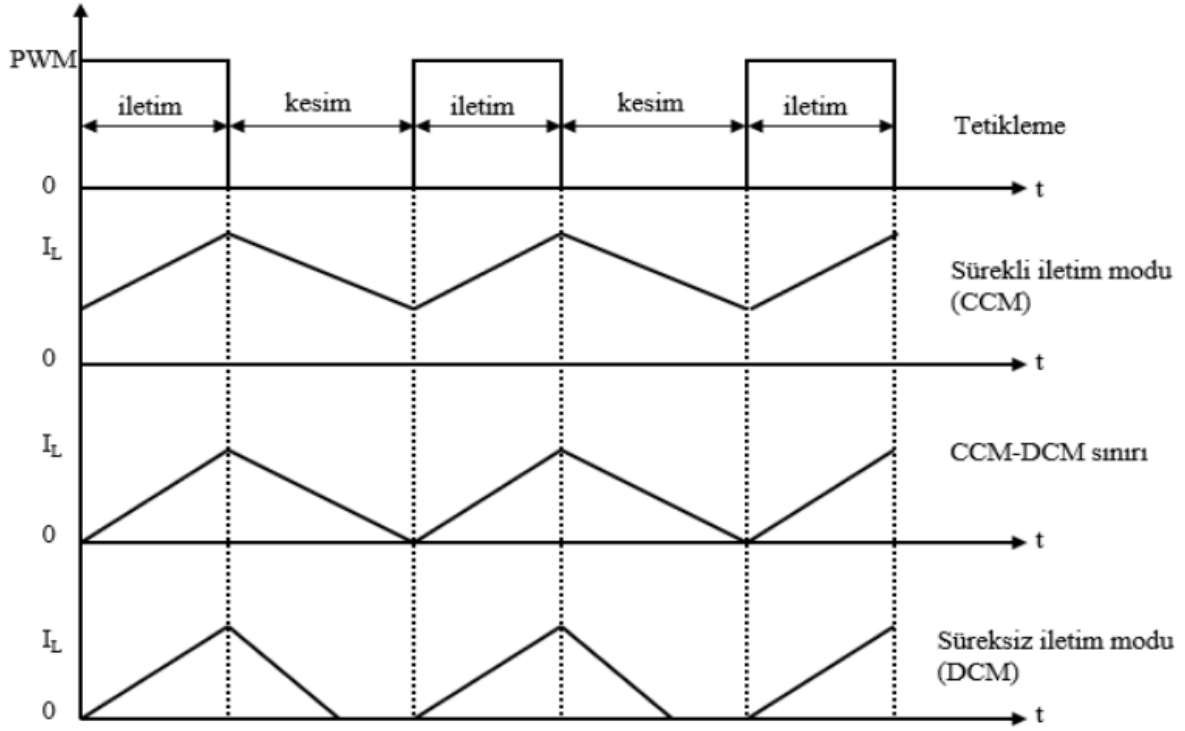
b)



c)

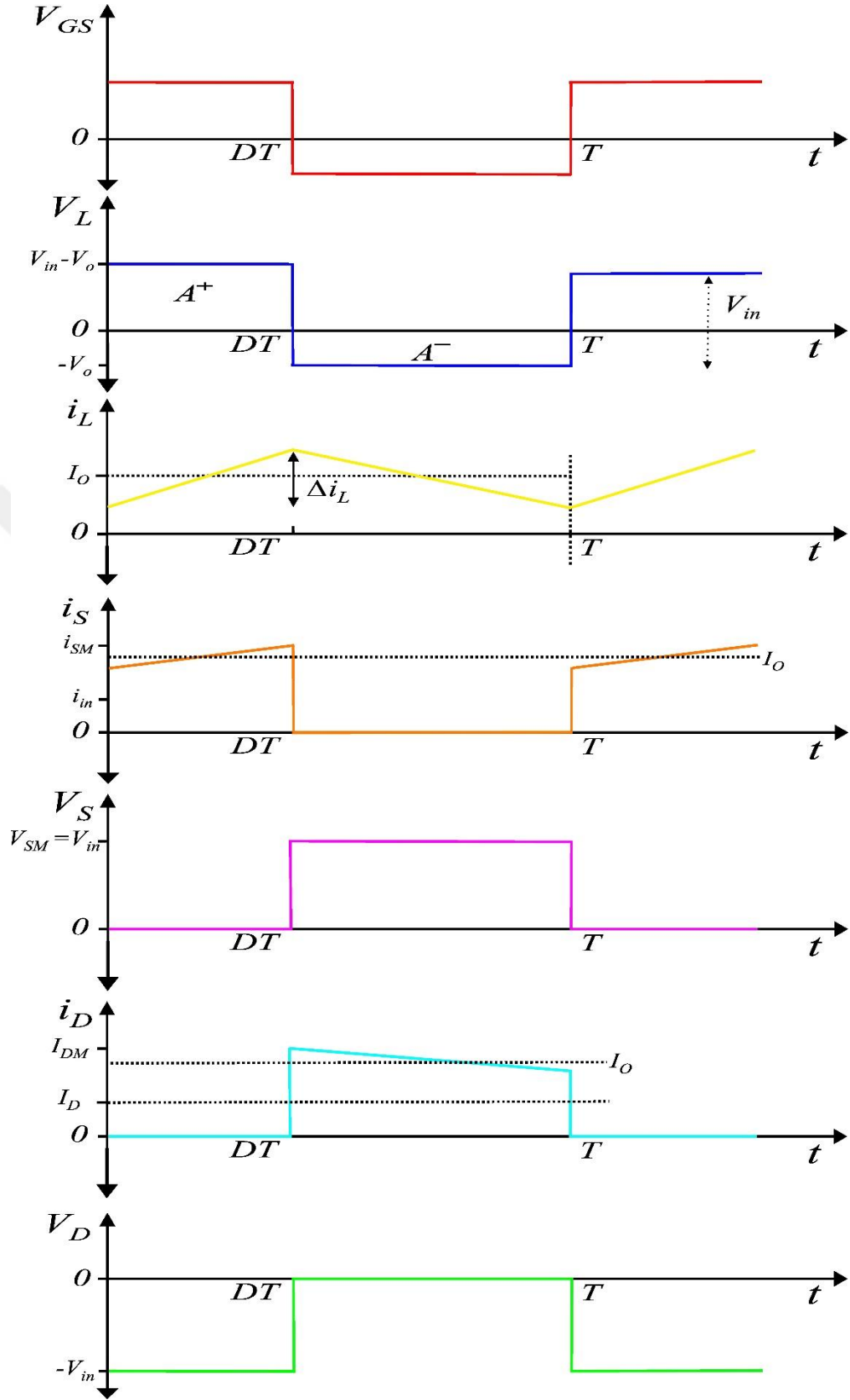
Şekil 2.3 : DC/DC buck dönüştürücü için ideal eşdeğer devreleri. (a) Devre. (b) Anahtar açık ve diyot kapalı olduğunda eşdeğer devre. (c) Anahtar kapalı ve diyot açık olduğunda eşdeğer devre [14].

Buck dönüştürücü, indüktör akımının dalga formuna bağlı olarak sürekli iletim modunda (CCM) veya kesikli iletim modunda (DCM) çalışabilir. CCM’ de indüktör akımı tüm döngü boyunca akar, DCM’ de ise yalnızca döngünün bir kısmında akar. DCM’ de akım sıfıra düşer, bir süre sıfırda kalır ve ardından yeniden artmaya başlar. Şekil 2.4’ de DC/DC dönüştürücülerin anahtarlama periyodu boyunca CCM ve DCM iletim modu durumları verilmiştir [26].



Şekil 2.4: DC/DC dönüştürücülerin iletim durumlarına göre endüktans akımları [26]

Şekil 2.3 (b) ve (c), buck dönüştürücünün CCM’ deki eşdeğer devrelerini, sırasıyla anahtar S açık ve diyot D_1 kapalı olduğunda ve anahtar kapalı ve diyot açık olduğunda göstermektedir. Dönüştürücünün çalışma prensibi, şekil 2.5’ de gösterilen idealize edilmiş akım ve gerilim dalga formlarıyla açıklanmıştır. Zaman $t = 0$ anında, sürücü tarafından anahtar açılır. Bu anda, diyot üzerindeki gerilim $V_D = -V_{in}$ olur ve bu durum diyotun ters polarize olmasına neden olur. İndüktör üzerindeki gerilim ise $V_L = V_{in} - V_O$ ve bu nedenle indüktör akımı $(V_{in} - V_O)/L$ eğimiyle doğrusal olarak artar. CCM’ de $i_L(0) > 0$ ’ dır. İndüktör akımı i_L , anahtar üzerinden akar ve anahtar açıkken $i_S = i_L$ olur. Bu zaman aralığında, enerji DC giriş gerilim kaynağı V_{in} ’ den indüktöre, kondansatöre ve yüke transfer edilir. $t = DT$ Anında ise, sürücü tarafından anahtar kapatılır.



Şekil 2.5: PWM buck dönüştürücüsünde CCM için ideal akım ve gerilim dalgı formları [14].

İndüktör, anahtar kapatıldığında sıfır olmayan bir akıma sahiptir. Çünkü indüktör akım dalga formu zamanın sürekli bir fonksiyonudur ve anahtar kapandıktan sonra indüktör akımı aynı yönde akmaya devam eder. Bu nedenle, indüktör L bir akım kaynağı gibi davranarak diyotun açılmasını zorlar. Anahtar üzerindeki gerilim V_{in} ve indüktör üzerindeki gerilim $-V_O$ olur. Bu yüzden, indüktör akımı $-V_O/L$ eğimiyle doğrusal olarak azalır. Bu zaman aralığında, giriş kaynağı V_{in} devreden ayrılır ve yük ile LC devresine enerji sağlamaz. İndüktör L ve kapasitör C, anahtar kapalıyken yük gerilimi ve akımını sürdüren bir enerji deposu oluşturur. $t = T$ Anında, S anahtarı tekrar açılır, indüktör akımı artar ve dolayısıyla enerji artar. PWM dönüştürücüler, anahtarın gerilim dalga formu dikdörtgensel olduğu ve transistör yüksek bir gerilimde açıldığı için sert anahtarlama modunda çalıştırılır.

Güç anahtarı S ve diyot D_1 , V_{in} giriş DC gerilimini $L - C - R_L$ devresinin girişinde bir kare dalgaya dönüştürür. Başka bir deyişle, girişteki V_{in} gerilimi, transistör-diyot anahtarlama bloğu tarafından kesilir. $L - C - R_L$ Devresi, ikinci dereceden bir alçak geçiren filtre gibi davranır ve kare dalgayı düşük dalgalı bir DC çıkış gerilimine dönüştürür. Kararlı durumda, indüktör L üzerindeki ortalama gerilim sıfır olduğu için, çıkış gerilimi V_O , kare dalganın ortalama gerilimine eşittir. Kare dalganın genişliği, anahtar S' nin açık kalma süresine eşittir ve MOSFET' in sürücü geriliminin çalışma döngüsü D ile kontrol edilebilir. PWM gerilim dalga formunun ortalama değeri $V_O = DV_{in}$ olup, bu değer D çalışma döngüsüne bağlıdır ve CCM çalışması için yükten neredeyse bağımsızdır. Teorik olarak, çalışma döngüsü D %0' dan %100' e kadar değiştirilebilir. Bu, çıkış V_O ' nun 0' dan V_{in} ' ye kadar değişebileceği anlamına gelir. Bu nedenle, buck devresi bir düşürücü dönüştürücüdür. Pratikte, DC giriş gerilimi V_{in} belirli bir aralıkta değişirken, çıkış gerilimi V_O sabit bir değerde tutulmalıdır. Giriş DC gerilimi V_{in} artırılırsa, PWM geriliminin ortalama değeri sabit kalacak şekilde D çalışma döngüsü azaltılır. Öte yandan, giriş gerilimi V_{in} azaltılırsa, D çalışma döngüsü artırılır, böylece PWM sinyalinin ortalama değeri sabit kalır. Bu nedenle, V_{in} giriş gerilimi kaynağından yük devresine aktarılan enerji miktarı, anahtarın bir periyotta açık kalma süresi D değiştirilerek kontrol edilebilir. Çıkış gerilimi V_O ve yük direnci R_L sabit ise, çıkış gücü de sabittir. Giriş gerilimi V_{in} arttığında, aynı miktarda enerji aktarmak için anahtarın açık kalma süresi azaltılır. D' nin pratik aralığı genellikle çözünürlük nedeniyle %5 ile %95 arasında değişir. Çalışma döngüsü D bir kontrol devresi tarafından kontrol edilir.

Şekil 2.3(a)' da gösterilen buck PWM dönüştürücünün zaman alanı analizi aşağıdaki varsayımlarla başlar:

- 1) Güç MOSFET' i ve diyot ideal anahtarlardır.
- 2) Transistör çıkış kapasitansı, diyot kapasitansı ve bağlantı indüktansları sıfırdır, bu nedenle anahtarlama kayıpları ihmal edilmiştir.
- 3) Pasif bileşenler lineer, zamanla değişmeyen ve frekanstan bağımsızdır.
- 4) Giriş gerilim kaynağı V_{in} ' in çıkış empedansı hem DC hem de Alternatif Akım (AC) bileşenleri için sıfırdır.
- 5) Dönüştürücü kararlı durumda çalışmaktadır.
- 6) Anahtarlama periyodu $T = 1/f_s$, reaktif bileşenlerin zaman sabitlerinden çok daha kısadır.
- 7) DC çıkış gerilimi V_o sabittir, ancak DC giriş gerilimi V_{in} ve yük direnci R_L değişkendir.

2.1.1. $0 \leq t \leq DT$ Zaman Aralığı

Zaman aralığı $0 \leq t \leq DT$ sırasında, anahtar S açıktır ve diyot D_1 kapalıdır. Bu zaman aralığı için ideal bir eşdeğer devre Şekil 2.3(b)' de gösterilmiştir. Anahtar açık olduğunda, diyot üzerindeki gerilim V_D yaklaşık olarak $-V_{in}$ ' e eşittir, bu da diyotun ters polarlanması neden olur. Anahtar üzerindeki gerilim V_S ve diyot akımı sıfırdır. İndüktör L üzerindeki gerilim denklem (2.2)' de verilmiştir;

$$V_L = V_{in} - V_o = L \frac{di_L}{dt} \quad (2.2)$$

Bu nedenle, L indüktörü ve S anahtarı üzerinden geçen akım denklem (2.3)' deki gibi bulunur;

$$i_S = i_L = \frac{1}{L} \int_0^t V_L dt + i_L(0) = \frac{V_{in} - V_o}{L} \int_0^t dt + i_L(0) = \frac{V_{in} - V_o}{L} t + i_L(0) \quad (2.3)$$

$i_L(0)$, $t = 0$ anındaki indüktör L'deki başlangıç akımıdır. Maksimum indüktör akımı denklem (2.4)' de gösterildiği gibi olur;

$$i_L(DT) = \frac{(V_{in} - V_o)DT}{L} + i_L(0) \quad (2.4)$$

L indüktörünün tepeden-tepeye dalgalanma akımı denklem (2.5)' de verilmiştir;

$$\Delta i_L = i_L(DT) - i_L(0) = \frac{(V_{in} - V_O)DT}{L} = \frac{(V_{in} - V_O)D}{f_S L} = \frac{V_{in}D(1 - D)}{f_S L} \quad (2.5)$$

Diyot gerilimi V_D ;

$$V_D = -V_{in} \quad (2.6)$$

Böylece, diyotun ters geriliminin tepe değeri denklem (2.7)' de gösterildiği gibidir;

$$V_{DM} = V_{in} \quad (2.7)$$

İndüktör akımının ortalama değeri, dc çıkış akımı I_O ' ya eşittir. Bu nedenle, anahtar akımının tepe değeri I_{SM} , denklem (2.8)' de gösterildiği gibidir;

$$I_{SM} = I_O + \frac{\Delta i_L}{2} \quad (2.8)$$

İndüktördeki manyetik alanda depolanan anlık enerji denklem (2.9)' da verilmiştir.

$$w_L(t) = \frac{1}{2} L i_L^2 = \frac{1}{2} L \left[\frac{(V_{in} - V_O)}{L} t + i_L(0) \right]^2 \quad (2.9)$$

0' dan DT ' ye kadar olan zaman aralığında L indüktöründe depolanan manyetik enerjideki artış denklem (2.10)' da verilmiştir;

$$w_{L(in)} = \frac{1}{2} L i_L^2(DT) - i_L^2(0) \quad (2.10)$$

0' dan DT ' ye kadar olan zaman aralığı, anahtar sürücüsü tarafından anahtar kapatıldığında sona erer.

2.1.2. $DT \leq t \leq T$ Zaman Aralığı

$DT \leq t \leq T$ Zaman aralığında, anahtar S kapalıdır ve diyot D_1 açıktır. Şekil 2.3(c), bu zaman aralığı için ideal bir eşdeğer devreyi göstermektedir. $i_L(DT)$ Bu zaman aralığında sıfırdan farklı olduğu için, anahtar kapanır ve indüktör akımı i_L , zamanın sürekli bir fonksiyonu olması nedeniyle indüktör bir akım kaynağı gibi davranır ve diyotu açar. Anahtar akımı i_S ve diyot gerilimi V_D sıfırdır ve indüktör L üzerindeki gerilim denklem (2.11)' de verilmiştir:

$$V_L = -V_o = L \frac{di_L}{dt} \quad (2.11)$$

İndüktör L ve diyottan geçen akım şu şekilde bulunabilir:

$$\begin{aligned} i_D = i_L &= \frac{1}{L} \int_{DT}^t V_L dt + i_L(DT) \\ &= \frac{1}{L} \int_{DT}^t (-V_o) dt + i_L(DT) = \frac{-V_o}{L} (t - DT) + i_L(DT) \end{aligned} \quad (2.12)$$

$i_L(DT)$, $t = DT$ anındaki indüktör L' nin başlangıç koşuludur. İndüktör L'nin tepe-tepe dalgalanma akımı ise denklem (2.13)' de verilmiştir.

$$\Delta i_L = i_L(DT) - i_L(T) = \frac{V_o T(1 - D)}{L} = \frac{V_o(1 - D)}{f_s L} \quad (2.13)$$

Dikkat edilmelidir ki, sürekli iletim modu (CCM) durumunda indüktör akımı dalgalanmasının tepe-tepe değeri (Δi_L), yük akımı I_o ' dan bağımsızdır ve yalnızca DC giriş gerilimi V_{in} ' e ve dolayısıyla görev döngüsü D ' ye bağlıdır. Sabit bir çıkış gerilimi V_o için, indüktör akımı dalgalanmasının tepe-tepe maksimum değeri, maksimum giriş gerilimi V_{inmax} , yani minimum görev döngüsü D_{min} ' de meydana gelir. Bu, şu şekilde verilir:

$$\Delta i_{Lmax} = \frac{V_o(1 - D_{min})}{f_s L} \quad (2.14)$$

Anahtar gerilimi V_S ve tepe anahtar gerilimi V_{SM} şu şekilde verilir:

$$V_S = V_{SM} = V_{in} \quad (2.15)$$

Diyot ve anahtar tepe akımı denklem (2.16)' da verilmiştir;

$$I_{DM} = I_{SM} = I_o + \frac{\Delta i_L}{2} \quad (2.16)$$

Bu zaman aralığı, anahtarın sürücü tarafından açıldığı $t = T$ anında sona erer. $DT < t \leq T$ zaman aralığında indüktör L' de depolanan manyetik enerjideki azalma şu şekilde verilir:

$$\Delta W_{L(out)} = \frac{1}{2} L [i_L^2(DT) - i_L^2(T)] \quad (2.17)$$

2.1.3 CCM İçin Cihaz Üzerindeki Stresler

CCM için kararlı durum çalışmasında anahtar ve diyottaki maksimum gerilim ve akım değerleri sırasıyla denklem (2.18) ve (2.19)' da verilmiştir.

$$V_{Smax} = V_{Dmax} = V_{Dmax} \quad (2.18)$$

$$\begin{aligned} I_{Smax} = I_{Dmax} = I_{Omax} &= \frac{\Delta i_{Lmax}}{2} = I_{Omax} + \frac{(V_{inmax} - V_O) D_{min}}{2 f_S L} \\ &= I_{Omax} + \frac{V_O (1 - D_{min})}{2 f_S L} \end{aligned} \quad (2.19)$$

2.1.4 CCM İçin DC Gerilim Transfer Fonksiyonu

Doğrusal bir indüktördeki gerilim ve akım, Faraday yasasının diferansiyel formuyla ilişkilidir [14].

$$V_L = L \frac{di_L}{dt} \quad (2.20)$$

Kararlı durum çalışması için aşağıdaki sınır koşulu sağlanır.

$$i_L(0) = i_L(T) \quad (2.21)$$

Denklem (2.20) yeniden düzenlenirse;

$$\frac{1}{L} V_L dt = di_L \quad (2.22)$$

Her iki tarafın integrali alınarak şu sonuca ulaşılır;

$$\frac{1}{L} \int_0^T V_L dt = \int_0^T di_L = i_L(T) - i_L(0) \quad (2.23)$$

Kararlı durum koşulları altında bir indüktör için Faraday yasasının integral formu denklem (2.24)' de verilmiştir [14].

$$\int_0^T V_L dt = 0 \quad (2.24)$$

Kararlı durum için bir indüktör üzerindeki voltajın ortalama değeri $V_{L(AV)}$ sıfırdır. Bu nedenle;

$$V_{L(AV)} = \frac{1}{T} \int_0^T V_L dt = 0 \quad (2.25)$$

Denklem (2.25), bir indüktör için aynı zamanda volt-saniye dengesi olarak adlandırılır; depolanan enerjinin salınan enerjiye eşit olduğu anlamına gelir.

CCM ile çalışan PWM dönüştürücüler için indüktörün ortalama gerilimi $V_{L(AV)}$ şöyledir:

$$V_{L(AV)} = \int_0^{DT} V_L dt + \int_{DT}^T V_L dt = 0 \quad (2.26)$$

$$\int_0^{DT} V_L dt = - \int_{DT}^T V_L dt \quad (2.27)$$

Bu, indüktör gerilim dalga biçiminin pozitif kısmının A^+ ile çevrelediği alanın, indüktör gerilim dalga biçiminin negatif kısmının A^- ile çevrelediği alana eşit olduğu anlamına gelir;

$$V_{L(AV)} = \frac{1}{T} \left[\int_0^{DT} V_L dt + \int_{DT}^T V_L dt \right] = 0 \quad (2.28)$$

$$A^+ = \int_0^{DT} V_L dt \quad (2.29)$$

$$A^- = \int_{DT}^T V_L dt \quad (2.30)$$

$$(V_{in} - V_o)DT = V_o(1 - D)T \quad (2.31)$$

$$V_o = DV_{in} \quad (2.32)$$

Kayıpsız bir dönüştürücü için, $V_{in}I_{in} = V_O I_O$ eşitliği sağlanır. Bu nedenle, (2.32) denklemi gereğince, kayıpsız buck dönüştürücünün DC gerilim transfer fonksiyonu (veya gerilim dönüşüm oranı) şu şekilde verilir:

$$M_{VDC} \equiv \frac{V_O}{V_{in}} = \frac{I_O}{I_{in}} = D \quad (2.33)$$

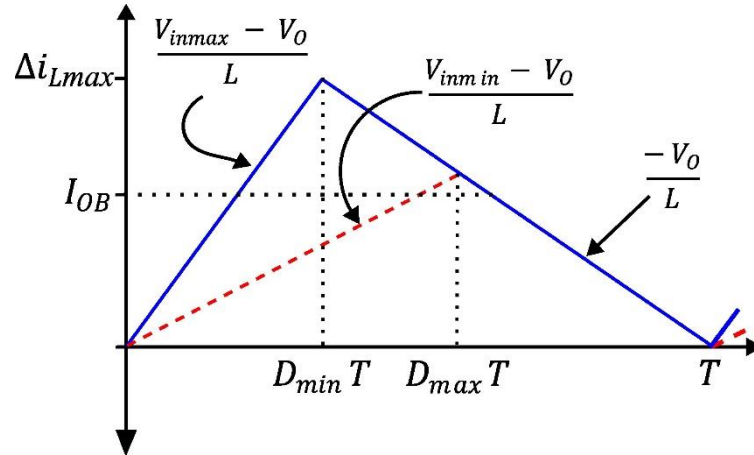
M_{VDC} 'nin değer aralığı denklem (2.34)'de verilmiştir.

$$0 \leq M_{VDC} \leq 1 \quad (2.34)$$

Çıkış gerilimi V_O yük direnci R_L 'den bağımsızdır [14]. Bu, yalnızca DC giriş gerilimi V_{in} ve görev döngüsü D ile ilişkilidir. Çoğu pratik durumda, $V_O = DV_{in}$ sabittir, bu da demektir ki, eğer V_{in} artırılırsa, V_O 'yu sabit tutmak için bir kontrol devresi ile D 'nin azaltılması gerekir ve tersi de geçerlidir.

2.1.5 Kritik Endüktans Değerinin Hesaplanması

Şekil 2.6, $i_L(0) = 0$ olduğu durumda, CCM ile DCM arasındaki sınırda indüktör akım dalga biçimini göstermektedir.



Şekil 2.6: V_{inmin} ve V_{inmax} 'daki indüktör akımının CCM ve DCM arasındaki sınırda dalga formları [14].

Şekil 2.6' daki indüktör akımının dalga biçimi $0 \leq t \leq DT$ zaman aralığı için şu şekilde tanımlanabilir;

$$i_L = \frac{V_{in} - V_o}{L} t \quad (2.35)$$

$$\Delta i_L = i_L(DT) = \frac{V_{in} - V_o}{L} DT = \frac{V_{in} - V_o}{f_s L} D = \frac{V_o(1 - D)}{f_s L} \quad (2.36)$$

$V_{in} = V_o/M_{VDC} = V_o/D$ kayıpsız bir buck dönüştürücü için geçerlidir. Dolayısıyla, sınırda bir doğru akım yük akımı (I_{OB}) elde edilir.

$$I_{OB} = \frac{\Delta i_L}{2} = \frac{(V_{in} - V_o)D}{2f_s L} = \frac{(1 - D)V_o}{2f_s L} \quad (2.37)$$

Sınırdaki yük direnci R_{LB} denklem (2.38)' de verildiği gibi bulunur;

$$R_{LB} = \frac{V_o}{I_{OB}} = \frac{2f_s L}{(1 - D)} \quad (2.38)$$

CCM modda çalışan bir DC/DC buck dönüştürücünün minimum çıkış akımı sınırdaki çıkış akımının tepe değerine eşittir;

$$I_{Omin} = I_{OBmax} = \frac{\Delta i_{Lmax}}{2} = \frac{(V_{inmax} - V_o)D}{2f_s L_{min}} = \frac{(1 - D_{min})V_o}{2f_s L_{min}} \quad (2.39)$$

Dolayısıyla, D_{min} ' den D_{max} ' e kadar olan görev döngüsü aralığında CCM operasyonunu sürdürmek için gereken minimum endüktans şöyledir:

$$L > L_{min} = \frac{(V_{inmax} - V_o)D}{2f_s I_{Omin}} = \frac{(1 - D_{min})V_o}{2f_s I_{Omin}} = \frac{(1 - D_{min})R_{Lmax}}{2f_s} \quad (2.40)$$

2.1.6 Kritik Kapasitör Değerinin Hesaplanması

Kondansatörler, iletkenler arasına yerleştirilen dielektrik malzemeye göre sınıflandırılır. Anahtarlama güç kaynaklarında kullanılan kondansatör türleri şunlardır:

- Alüminyum elektrolitik kondansatörler
- Tantal elektrolitik kondansatörler
- Solit elektrolitik kapasitörler
- Seramik kapasitörler

Elektrolitik kondansatörler, alüminyum veya tantal kullanılarak üretilebilir. Bu kondansatörler, iki alüminyum folyosundan yapılmıştır. İki alüminyum folyosunu ayıran, ıslak elektrolit içinde ıslatılmış bir kağıt ayırıcı bulunur. Alüminyum folyosundan biri, kondansatörün dielektrik malzemesini oluşturan yalıtkan bir alüminyum oksit tabakasıyla kaplanmıştır. Alüminyum oksit ile kaplanmış folyo, kondansatörün anotunu oluşturur. Sıvı elektrolit ve ikinci alüminyum folyo, kondansatörün katodu işlevi görür. İki alüminyum folyo, elektrolit içinde ıslatılmış kağıt ile birlikte silindirik bir alüminyum kutu içinde sarılarak bir ıslak alüminyum elektrolitik kondansatör oluşturur.

Islak elektrolit tantal kondansatörler, dielektrik malzeme olarak tantal oksit kullanılan, ıslak alüminyum elektrolit kondansatörlere benzer şekilde üretilir. Katı elektrolitik kondansatörler de ıslak elektrolitik kondansatörlere benzer bir yapıya sahiptir, ancak ıslak dielektrik malzeme yerine katı dielektrik malzeme kullanılır. Bu kondansatörler, orta düzeyde kapasitans ve daha yüksek dalgalanma akımı derecesine sahiptir [14]. Elektrolitik kondansatörler, birim hacim başına yüksek kapasitans oranı ve düşük maliyeti nedeniyle güç elektroniğinde en yaygın olarak kullanılan kondansatörlerdir.

Seramik kondansatörler, iki iletken plaka arasında seramik dielektrik malzeme kullanarak yapılır. Seramik dielektrik malzemesi, titanyum dioksit (Sınıf I) veya baryum titanatından (Sınıf II) oluşur. Seramik kondansatörler, disk kondansatörler veya çok katmanlı seramik (MLC) kondansatörler olabilir. Disk kondansatörlerin birim hacim başına düşük kapasitansı vardır. Seramik dielektrik malzeme üzerine iletken malzeme yerleştirilerek birbirine kenetli parmaklar oluşturulur. Seramik kondansatörler, elektrolitik kondansatörlerden daha düşük kapasitansa sahiptir ve genellikle kapasitansları $1\mu F$ ' ın altındadır. Seramik kondansatörlerin Eşdeğer Seri Direnç (ESR) değerleri çok düşüktür. Bu özellik, gerilim dalgalanmasını ve güç kaybını azaltır.

Kondansatörlerin önemli parametreleri, kapasitans C , eşdeğer seri direnç r_C , seri eşdeğer endüktans (ESL) L_s , kendiliğinden rezonans frekansı f_r ve kırılma gerilimi V_{BD} ' dir. Kapasitans değeri denklem (2.41)' deki gibi hesaplanır;

$$C = \frac{\epsilon_r \epsilon A}{d} \quad (2.41)$$

Denklem (2.41)' de A, her bir iletkenin alanını; d, dielektrik kalınlığını; ϵ_r , dielektrik malzemenin bağıl permitivitesini; ve $\epsilon_0 = 8.85 \times 10^{-12}$ F/m, boşluk permitivitesini temsil eder. ESR, uçların, bağlantıların ve plaka iletkenlerinin dirençlerinin toplamıdır. ESL, uçların endüktansıdır. Kendiliğinden rezonans frekansı (f_r) ise:

$$f_r = \frac{1}{2\pi\sqrt{CL_s}} \quad (2.42)$$

Bir kondansatörün dağılım faktörü denklem (2.43)' de verilmiştir [14];

$$DF = \omega Cr_C \quad (2.43)$$

$f = \omega/(2\pi)$ Frekansındaki kalite faktörü denklem (2.44)' de verilmiştir.

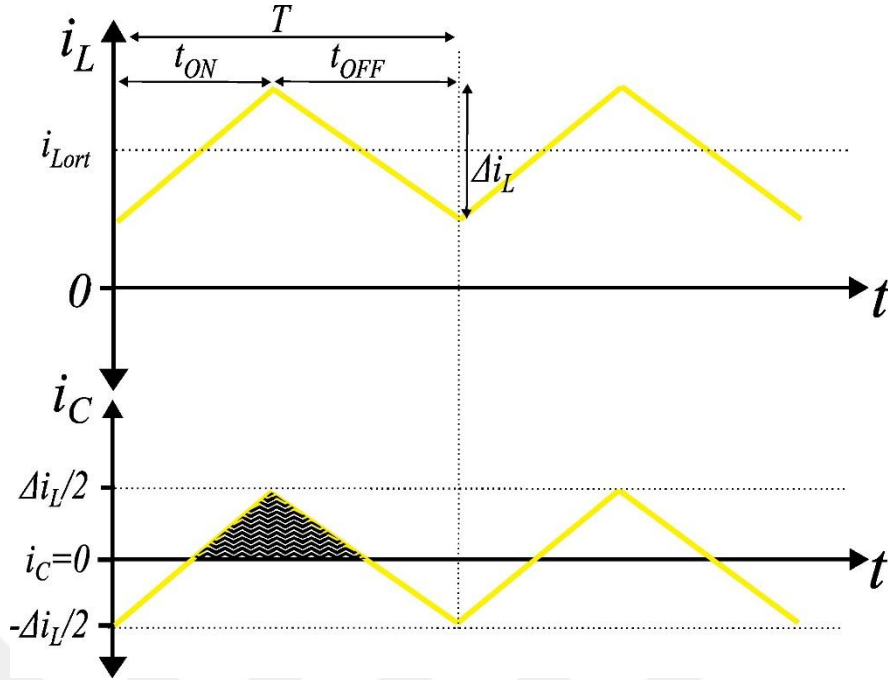
$$Q_c = \frac{1}{\omega Cr_C} = \frac{1}{DF} \quad (2.44)$$

ESL buck dönüştürücüde filtre endüktansı L ile seri bağlıdır ve bir sorun teşkil etmez. Ancak, ESL boost dönüştürücüde olumsuz bir etki yaratabilir. Kondansatör üzerinde oluşan gerilim denklem (2.45)' da verilmiştir.

$$i_c = C \frac{\Delta V_C}{\Delta t} \quad (2.45)$$

DC/DC Buck dönüştürücülerde kondansatörü çıkışa paralel olduğu için çıkış gerilimi kondansatör gerilimine eşittir.

$$C\Delta V_o = \Delta t i_c \quad (2.46)$$



Şekil 2.7: DC/DC Buck dönüştürücü indüktör ve kondansatör akım grafiği [1]

Şekil 2.7 taralı alanda da görüldüğü üzere kondansatör akımının ortalama değeri 0 olduğundan dolayı indüktör akım dalgalanmasının üst alanı, kondansatör akımının yarısına eşittir [1].

$$C\Delta V_o = \Delta t \frac{\Delta i_C}{2} \quad (2.47)$$

Δt denklem (2.48)' da gösterildiği gibi tanımlanabilir;

$$\Delta t = \frac{1}{2} t_{on} + \frac{1}{2} t_{off} = \frac{1}{2} \frac{D}{f_s} + \frac{1}{2} \frac{1-D}{f_s} = \frac{1}{2f_s} \quad (2.48)$$

Δi_C , Δi_L dalgalanma akımının yarısına eşit olması sebebiyle denklem (2.47) yeniden aşağıdaki gibi yazılabilir;

$$C\Delta V_o = \frac{1}{2} \frac{\Delta i_L}{2} \frac{1}{2f_s} = \frac{\Delta i_L}{8f_s} \quad (2.49)$$

Denklem (2.49) ile birlikte DC/DC buck dönüştürücülerin çıkış kondansatörünün değeri yada çıkış geriliminin dalgalanması belirlenebilir[1]. Eğer çıkış gerilim dalgalanması tasarım kriterleri içerisinde belirlenmiş ise minimum çıkış kondansatör değeri aşağıdaki gibi tanımlanır [1].

$$C \geq \frac{\Delta i_L}{8f_s \Delta V_o} \quad (2.50)$$

$$C \geq \frac{V_o(1-D)}{8f_s^2 L \Delta V_o} \quad (2.51)$$

DC/DC buck dönüştürücünün tasarım aşamasında gerekli olan çıkış indüktörü ve kondansatörünün minimum değerleri sırasıyla denklem (2.40) ve (2.51) ile elde edilmiş olur.

2.1.7 DC/DC Buck Dönüştürücü Devre Tasarımı

DC/DC Buck dönüştürücü devresi tasarımında indüktör ve kondansatör değerlerinin hesaplanabilmesi için, giriş gerilimi, çıkış gerilimi, anahtarlama frekansı, yük direnci ve çıkış geriliminin dalgalanma değerlerinin tasarımcıya verilmesi gerekmektedir. Bu tezde CCM modda çalışan DC/DC buck dönüştürücü devresi tasarımı için Tablo 2.1’ deki değerler kullanılacaktır.

Tablo 2.1: CCM Modda çalışan DC/DC Buck dönüştürücü tasarım kriterleri

Tasarım Parametreleri	Açıklama	Değer
V_{in}	Giriş Gerilimi	7V – 36V
V_o	Çıkış Gerilimi	5V
f_s	Anahtarlama Frekansı	1.1MHz
R_L	Yük Direnci	4.7Ω
$\% \Delta V_o$	Çıkış Gerilimi Dalgalanma Yüzdesi	0.01

Tablo 2.1’ de verilen değerlerden yola çıkarak denklem (2.32)’ den PWM doluluk oranı D bulunur;

$$D = \frac{V_o}{V_{in}} = \frac{5}{12} = 0.416 \quad (2.52)$$

İndüktör değerinin hesaplanması için minimum indüktör değerinin belirlenmesi gerekmektedir. Denklem (2.40)’ kullanılarak minimum indüktör değeri şu şekilde bulunur;

$$L > L_{min} = \frac{(1 - D_{min})R_{Lmax}}{2f_s} = 1.248 \mu H \quad (2.53)$$

Denklem (2.53) ile elde edilen $1.248 \mu H$ değeri buck dönüştürücü için CCM ile DCM arasındaki sınır değeridir. CCM modu için ticari olarak üretilen değerlerden $L = 18 \mu H$ olarak seçilmiştir.

İndüktör değeri de bulunduktan sonra son olarak kapasitör değeri hesaplanır. Bunun için denklem (2.51)' den yararlanılır;

$$C \geq \frac{V_o(1 - D)}{8f_s^2 L \Delta V_o} = \frac{5 \times (1 - 0.416)}{8 \times (1.1 \times 10^6)^2 \times (18 \times 10^{-6}) \times 0.01} = 1.6758 \mu F \quad (2.54)$$

Denklem (2.54)' de elde edilen minumum kapasitör değeri yerine ticari olarak üretilen $C = 13 \mu F$ değeri seçilmiştir.

Bu tez için tasarlanan CCM modlu DC/DC Buck dönüştürücü devresinin hesaplanan ve seçilen D, L ve C parametreleri Tablo 2.2' de sunulmuştur.

Tablo 2.2: DC/DC Buck dönüştürücüye ait hesaplanan ve seçilen parametre değerleri

Tasarım Parametreleri	Hesaplanan Değer	Seçilen Değer
D	0.416	0.416
L	$1.248 \mu H$	$18 \mu H$
C	$1.6758 \mu F$	$13 \mu F$

2.2. AKIM MODLU KONTROL YÖNTEMİ

Bir DC/DC güç dönüştürücüsünün kontrol devresi, anahtarın (veya anahtarların) ne zaman açılıp kapanacağına karar vermelidir. Gerilim-modlu kontrol (VMC), aynı zamanda görev döngüsü kontrolü olarak da adlandırılır ve tek bir döngüye sahiptir; çıkış gerilimindeki değişime yanıt olarak doğrudan görev döngüsünü ayarlar. Akım-modlu kontrol (CMC) ise, akım programlı mod (CPM) veya akım enjeksiyonlu kontrol (CIC) olarak da adlandırılan, çoklu döngüye sahip bir kontrol yöntemidir ve iki döngü içerir: iç akım döngüsü ve dış gerilim döngüsü. İç akım döngüsü, indüktörün tepe akımını kontrol ederken, dış gerilim döngüsü çıkış gerilimini kontrol eder. Bu teknik, CMC olarak adlandırılır çünkü indüktör akımı doğrudan kontrol edilirken, çıkış gerilimi yalnızca akım döngüsü aracılığıyla dolaylı olarak kontrol edilir.

İndüktörün tepe akımı, indüktörün ortalama akımına yakındır ve indüktörün ortalama akımı yük akımı ile ilişkilidir. Buck ve buck-türevi dönüştürücülerde, yük akımı ortalama akıma eşittir. Güç faktörü düzeltici olarak kullanılan yükseltici (boost) dönüştürücüsünde, ortalama giriş akımı, ortalama indüktör akımına eşittir. İç akım döngüsü başlangıçta indüktör akımındaki değişikliklere yanıt olarak görev döngüsünü ayarlar ve dış gerilim döngüsü, dönüştürücünün çıkış gerilimindeki değişikliklere yanıt olarak akım döngüsüne referans bir gerilim sağlar. Görev döngüsü, indüktör veya anahtar akımının bir kontrol sinyali tarafından belirlenen eşik seviyesine ulaştığı anlar tarafından belirlenir. Bu eşik seviyesi, iç döngüye giriş olur. CMC' nin ana özelliği, iç döngünün indüktörü, akım döngüsünün geçiş frekansından daha düşük frekanslarda gerilim bağımlı bir akım kaynağına dönüştürmesidir [14]. Akım döngüsünün işleyişi, örnek-al-ve-tut devresine benzer ve bu, doğrusal olmayan, zamanla değişen bir sistemdir.

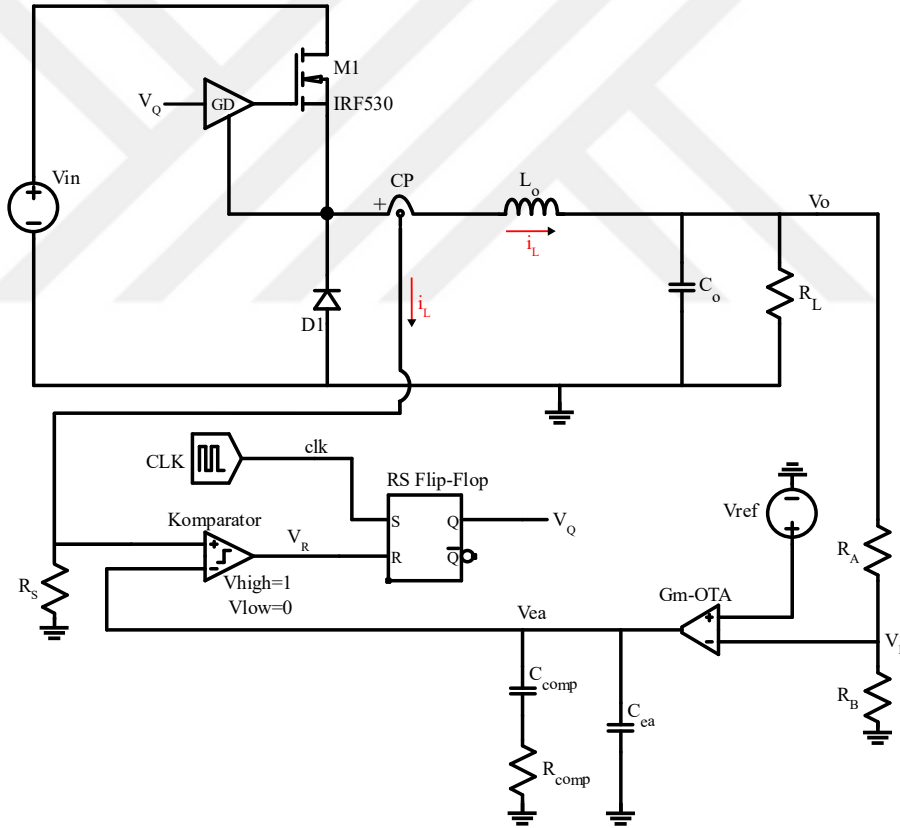
Bilinen 7 tane CMC yöntemi vardır. Bu yöntemler, sabit frekanslı ve değişken frekanslı kontrol yöntemleri olmak üzere iki kategoriye ayrılır. İlk grupta, anahtarlama frekansı sabittir ve bir saat sinyaline ($f_s = f_{CLK}$) senkronize edilir. Bu grup, tepe-akım-modu kontrolü (PCM), vadi-akım-modu kontrolü, üçgen dalga ile kompanzasyonlu PWM-iletkenlik kontrolü ve ortalama akım-modu kontrolünü (ACM) içerir. İkinci grup, sabit-açık-zaman, sabit-kapalı-zaman ve histerizis yöntemler gibi kendiliğinden salınımlı dönüştürücülerden oluşur. En yaygın kullanılan yöntem, sabit eğimli kompanzasyon rampası ile sabit frekanslı PCM kontrolüdür.

Bu bölümde, tepe-akım-modu kontrolünün çalışma prensibini, akım döngüsünün kararlılığını, eğim kompanzasyonunu, CMC kullanan PWM dönüştürücülerinin blok diyagramını ve akım-modu kontrollü dönüştürücülerin temel özelliklerini ayrıntılı olarak inceleyeceğiz. İç akım döngüsü, periyot ikiye katlanması olarak da adlandırılan subharmonik salınıma yol açan kararsızlık eğilimine sahiptir. İç döngünün gerekli göreceli kararlılığı, kontrol akımından çıkarılan veya indüktör akımı dalga formuna eklenen yapay bir rampa akımı ile sağlanabilir. CMC, sabit akımlı dc-dc dönüştürücülerde de kullanılabilir. UC3843 gibi, bu işlevi gerçekleştiren tümdevre kontrol devreleri de bulunmaktadır [14].

2.2.1. PCM Kontrolü ile PWM Dönüştürücülerinin Çalışma Prensibi [14]

Sabit frekanslı tepe-akım-modu kontrolüne sahip PWM buck dönüştürücüsünün devresi şekil 2.8' de gösterilmiştir. Şekil 2.8' deki devre iki döngü içerir: bir iç akım döngüsü ve bir dış gerilim döngüsü. İç akım döngüsü, bir hata yükseltici gerilim karşılaştırıcısı, bir set-reset (SR)

flip-flop, bir saat sinyali (CLK) ve bir akım probu (CP) ile R_S algılama direncinden oluşan akım sensörü, içerir; bu sensör indüktör akımı i_L veya anahtar akımı i_S ' yi algılar. Genel olarak, R_S , indüktör veya anahtar akımını sensör çıkış voltajına çeviren transfer fonksiyonunu temsil eder. Bu, sensörün akım-gerilim kazancıdır. Düşük ve yüksek frekans aralıklarında köşe frekanslarına sahip bir akım transformatorünün transfer fonksiyonu olabilir. Flip-flop S girişi Q çıkışını 1'e set eder ve flip-flop R girişi Q çıkışını 0'a reset eder. Opamp komparatörü, S-R flip-flop ve saat sinyali CLK, bir indüktör akımı modülatörü oluşturur. Analog kontrol gerilimi V_{ea} , komparatörün eksi girişine uygulanır ve $R_S i_L$ veya $R_S i_S$ gerilimi karşılaştırıcının artı girişine uygulanır. Eğer R_S direnci, karşılaştırıcının artı girişi ile toprak arasına bağlandığı durumda, R_S üzerinden geçen akım $i_C = V^+ / R_S \approx V_{ea} / R_S$ olur. Bu akım, iç akım döngüsü için bir kontrol akımı olarak kabul edilebilir.



Şekil 2.8: PCM ile kontrol edilen PWM buck dönüştürücü devresi [14]

Saat sinyali, anahtarlama frekansı olan $f_S = 1/T_S$ ' e eşit sabit bir saat frekansı f_{CLK} ' de gerilim darbeleri üretir. Saat çıkış gerilimi $V_{CLK} = V_S$ lojik 1 seviyede olduğunda, flip-flop Q çıkışı V_Q yüksek seviye olur. Böylece, kapı-kaynak gerilimi V_{GS} de lojik 1 seviyesinde olur ve anahtarı açar. Bu olay, transistörün açık süresini başlatır ve f_S anahtarlama frekansının T_S

döngüsünü başlatır. Açılma süreleri periyodik olarak saat sinyaliyle tetiklendiğinden, sabit frekanslı bir çalışma elde edilir. Anahtar açıkken, indüktör akımı i_L ve anahtar akımı i_S doğrusal olarak artar. İndüktör akımı i_L veya anahtar akımı i_S , bir akım probu (veya akım transformatörü) ile algılanır. Transistör açıkken i_L ve i_S akımları eşittir. Algılanan indüktör akımı, R_S direncinden geçer ve $R_S i_L$ kadar bir gerilim üretir. $R_S i_L = V^+$ Voltajı kontrol gerilimi $V_{ea} = V^-$ den düşük olduğunda komparatör çıkış gerilimi V_R lojik 0 olur olur. $R_S i_L$ Voltajı kontrol gerilimi V_{ea} ' ye ulaştığında karşılaştırmacı çıkış gerilimi V_R lojik 1 olur ve flip-flop Q çıkışını sıfıra resetler. Böylece, kapı-kaynak gerilimi V_{GS} lojik 0 olur ve anahtar, anahtarlama periyodunun geri kalanı için kapanır. Sonuç olarak, indüktör akımı i_L azalır. $R_S i_L < V_{ea}$ Olması sebebiyle, karşılaştırmacı çıkış gerilimi V_R lojik 0 olur.

Özetle, saat sinyali döngünün başlangıcında flip-flop' u set eder ve transistörü açar. Komparatör, indüktör akımı i_L kontrol akımı i_C ' ye ulaştığında flip-flop resetler ve transistörü kapatır. Böylece, pik indüktör akımı I_{Lpk} ve pik anahtar akımı I_{Spk} , kontrol akımı $i_C = V_{ea}/R_S$ ' yi takip eder. Bu şekilde, indüktör akımı i_L ' nin genlik modülasyonu (GM) gerçekleşir ve burada kontrol akımı i_C veya kontrol gerilimi V_C modüle eden sinyaldir. Ortalama indüktör akımı;

$$I_L \approx I_{Lpk} - \frac{\Delta i_L}{2} \quad (2.55)$$

Tepe indüktör akımı doğrudan kontrol edildiği için bu yöntemte tepe akım modlu kontrol denir. İç akım döngüsü, kontrol gerilimi (veya kontrol akımı) değişimlerine, çevrim bazında veya darbe bazında çok hızlı yanıt verebilir. Bu kontrol stratejisine, sabit frekanslı art kenar modülasyon, tepe akım modlu kontrol veya sabit frekanslı tepe akım modlu açma zamanı kontrolü denir, çünkü sabit frekanslı bir saat sinyali anahtarı açmak için kullanılır ve $R_S i_L$ gerilimi ile kontrol gerilimi V_{ea} ' nin kesişimi, anahtarı kapatmak için kullanılır [14]. Kontrol kararı her çevrimde alınır. Diğer bir deyişle, saat sinyali açma süresi aralığı t_{ON} ' u başlatır ve kontrol gerilimi kapama süresi aralığı t_{OFF} ' u başlatır. Bu nedenle anahtar açma süresi sabit frekansta kontrol edilir. Bu yöntem, anahtarın açık olduğu süre boyunca indüktör akımı bilgisini gerektirir. İndüktör akımının ortalama değeri, tepe akımı değerinden indüktör tepe-tepe akım dalgalanması Δi_L ' nin yarısı kadar daha düşüktür; bu nedenle, indüktör akımı dolaylı olarak kontrol edilir. Dış gerilim döngüsü çıkış gerilimini algılar ve iç akım döngüsü için bir referans gerilimi işlevi gören kontrol gerilimi V_{ea} ' yi oluşturur; böylece dış gerilim döngüsü kontrol

gerilimi V_{ea} ' yi ayarlar. İndüktör akımı bir algılama direnci R_S aracılığıyla geri beslenir ve ortaya çıkan gerilim $R_S i_L$, kontrol gerilimi V_C ile karşılaştırılır. Çıkış gerilimi, bir dirençli gerilim bölücü $R_A - R_B$ aracılığıyla geri beslenir, referans gerilimi V_R ile karşılaştırılır ve kontrol gerilimi V_{ea} ' yı ayarlar. Akım döngüsünün girişi, algılanan indüktör akımı i_L ile karşılaştırılan ve görev döngüsünü ayarlayan kontrol gerilimi V_{ea} ' dir. Sırayla, görev döngüsü buna karşılık gelen bir indüktör akımı ve çıkış gerilimi üretir. Birinci mertebeden bir yaklaşımla, akım döngüsü, indüktörü V_{ea}/R_S şeklinde gerilim kontrollü bir akım kaynağı gibi davranmasını sağlar.

İkili modülasyon stratejisi, transistörü kapatmak için sabit frekanslı bir saat sinyali ve transistörü açmak için indüktör veya diyot akımının kesişimini kullanır. Böylece, anahtarın kapalı süresi sabit frekansta kontrol edilir. Bu kontrol stratejisine, sabit frekanslı ön kenar modülasyonlu vadi akım modlu kontrol veya sabit frekanslı vadi akım modlu kapalı süre kontrolü denir. Ayrıca, üç değişken frekanslı modülasyon stratejisi vardır. Birincisi sabit açık süre kontrolü, ikincisi sabit kapalı süre kontrolü ve üçüncüsü histerezis kontrollüdür. Histerezis kontrolünde, anahtarın açılıp kapanmasını sağlamak için indüktör akımı dalga formu kullanılır, bu da serbest çalışma sağlar. Anlık indüktör akımı tabanlı CMC' ye ek olarak, indüktör akımı dalga formunun R_S algılama direncinin çıkışına yerleştirilen bir alçak geçiren filtre tarafından entegre edildiği ortalama CMC yöntemi de vardır. Bu yöntemin avantajı, indüktör akımının ortalama değerini doğrudan kontrol edebilme ve gürültü bağımsızlığını artırma yeteneğidir.

CMC, bir ileri besleme kontrol özelliği sergiler. Dönüştürücü giriş gerilimi V_{in} arttığında, yükselen indüktör akımının eğimi de artar. Bu nedenle anahtar daha erken kapanır, bu da neredeyse sabit volt-saniye dengesi sağlar ve dönüştürücü çıkış gerilimi V_O ' nun giriş gerilimi V_{in} ' ne olan bağımlılığını azaltır.

Genel olarak, temel PWM dönüştürücüler (buck, boost ve buck-boost) ikinci dereceden sistemlerdir; burada bir durum değişkeni indüktör akımı, diğeri ise kapasitör voltajıdır. Dönüştürücünün dinamik performansı, her iki durum değişkenini kontrol ederek iyileştirilebilir. CMC kullanıldığında, iç döngü için referans sinyali ve indüktör akımı, dönüştürücü çıkış voltajına bağlıdır. Sonuç olarak, bir değişken diğerini kontrol eder. Dolayısıyla, yalnızca bir gerçek durum değişkeni kalır ve sistem yaklaşık olarak birinci dereceden bir sistem gibi davranır [14].

CMC, VMC' ye göre çeşitli avantajlar sunar. İlk olarak, kontrol akımı i_C 'nin maksimum değeri sınırlandırılırsa, anahtar akımı i_S ' nin maksimum değeri de sınırlandırılır. İndüktörün tepe akımı yaklaşık olarak indüktörün ortalama akımına eşittir ve bu da yük akımı ile ilişkilidir, bu nedenle kontrol gerilimini sınırlayarak çıkış akımı kolayca sınırlandırılabilir. Transistör, akımı çok yüksek olduğunda kapanır. Böylece, aşırı akım nedeniyle oluşabilecek transistör ve diyot arızaları önlenabilir ve yük akımı önceden belirlenmiş bir maksimum seviyenin altında tutulabilir. Bu nedenle, CMC doğal olarak hızlı bir darbe bazında kısa devre ve aşırı akım yük koruması sağlar ve dönüştürücünün güvenilirliğini artırır. Ayrıca, indüktör, anahtar ve diyot akımlarının geçici tepe değerleri sınırlandırılmış olur. Kontrol geriliminin maksimum değerini sınırlamak için karşılaştırıcının ters girişine ve toprağa bir zener diyot bağlanabilir. İkinci olarak, CMC ile güç dönüştürücüleri paralel bağlamak, akım kapasitesini artırmak ve/veya yedeklilik sağlamak amacıyla kolaydır; bu, yük akımı paylaşımı sorunu olmadan yapılabilir. Bunun nedeni, her birimin çıkış akımının kontrol sinyali tarafından belirlenmesidir. Tüm birimler aynı kontrol sinyalini alırsa, hepsi aynı miktarda akım sağlar.

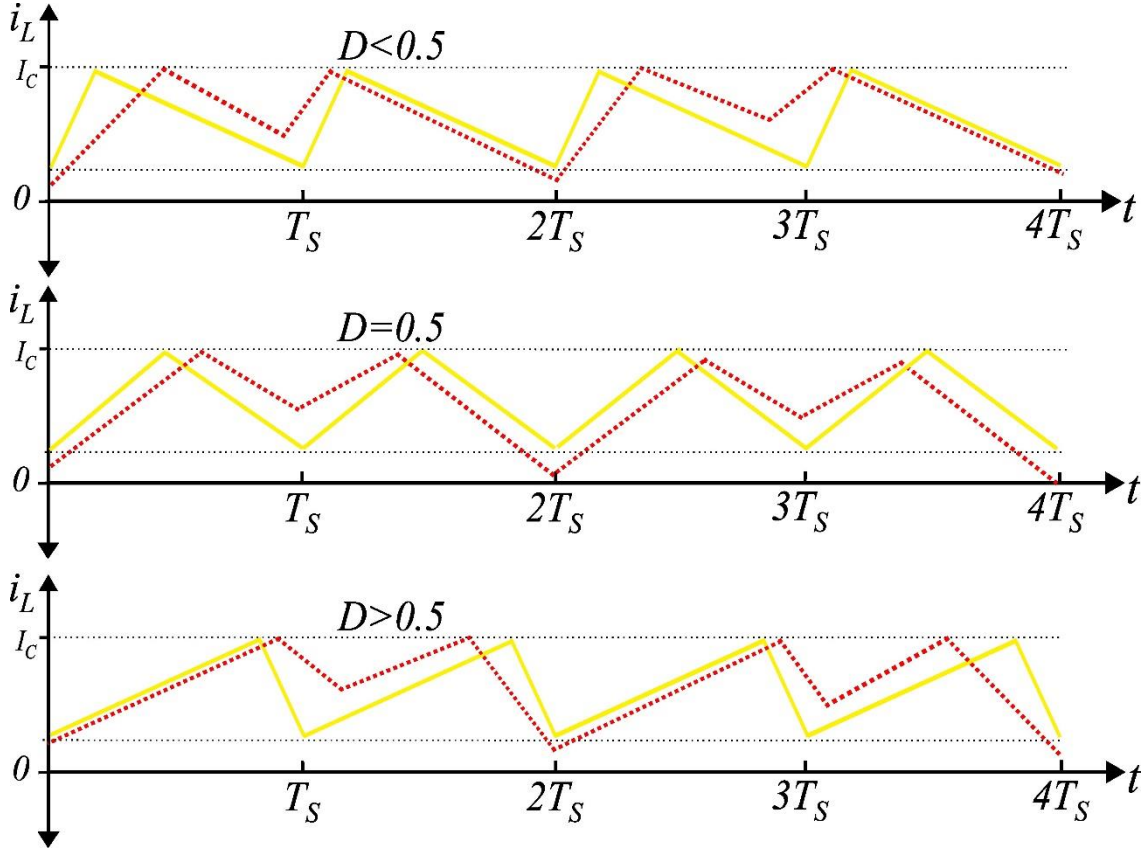
PCM kontrolün bir dezavantajı, $D > 0.5$ olduğunda iç akım döngüsünde meydana gelen doğal kararsızlıktır, bu da subharmonik salınımlara yol açar. Görev oranı 0.5'ten büyük olduğunda eğim telafisi gereklidir. Ayrıca, bu kontrol yöntemi, özellikle indüktör dalgalanması küçük olduğunda gürültüye karşı hassastır. Bu gürültü, kontrol gerilimini, indüktör akımını veya anahtar akımını bozarak, karşılaştırıcının pozitif girişine yanlış bir sinyal üretebilir. Diyotun ters toparlanma sürecinden kaynaklanan akım dalgalanmaları olumsuz etki yaratabilir. CMC yöntemi, genellikle indüktör L veya MOSFET kaynak bacağı ile seri bağlı bir R_S direnci olan bir akım sensörü gerektirir. Bu dirençten geçen akım, güç kaybına yol açar. Ayrıca, MOSFET kaynak ile seri bağlı olan algılama direnci, transistörün akım kapasitesinde azalmaya neden olur ve daha büyük bir transistör boyutu gerektirebilir [27].

İç akım döngüsünün kararsızlık koşulu $D > 0.5$ için sağlanır. Bu durumda dalgalanmaların büyüklüğü zamanla artar ve dönüştürücü başlangıç durumuna geri dönmez. Bu, anahtarlama frekansının yarısında alt harmonik osilasyonlara yol açar [14].

$$f_{osc} = \frac{f_s}{2} \quad (2.56)$$

Şekil 2.9, kararlı bir iç akım döngüsü $D < 0.5$, sınırda kararlı bir akım döngüsü $D = 0.5$ ve kararsız bir akım döngüsü $D > 0.5$ için kararlı durum ve geçici indüktör akımı dalga

formlarını göstermektedir. $D < 0.5$ Durumunda, geçici hal indüktör akımı dalga formu kararlı durum dalga formuna yakınsar. Tersine, $D > 0.5$ için, geçici hal indüktör akımı dalga formu uzaklaşır ve kararlı durum dalga formuna geri dönmez. Yeterli bir kararlılık payı elde etmek için, D_{max} 0.5' den daha düşük olmalıdır.



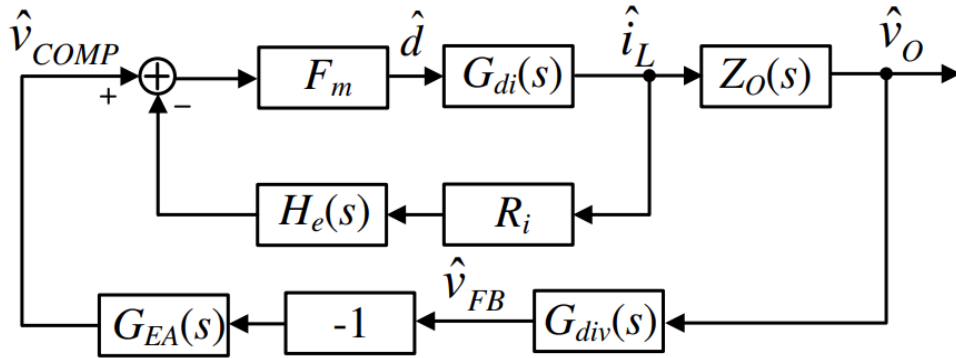
Şekil 2.9: Akım mod kontrolüne sahip PWM dönüştürücüleri için indüktör akımı i_L ' nin kararlı durum (düz çizgi) ve geçici hal (kesik çizgi) dalga formları. (a) Kararlı bir akım döngüsü için $D < 0.5$. (b) Marjinal kararlı bir akım döngüsü için $D = 0.5$. (c) Kararsız bir akım döngüsü için $D > 0.5$ [14].

2.2.2. PCM Buck Dönüştürücü Küçük Sinyal Analizi

DC/DC çeviricilerin anahtarlama MOS ve senkron MOS devreleri her saat çevriminde sırayla çalıştığı için, bu sistem doğrusal olmayan bir sistemdir. Ancak küçük-sinyal frekans alanı teknikleri yalnızca doğrusal sistemler için uygulanabilir [28]. Laplace dönüşümü ve Bode diyagramları gibi doğrusal frekans alanı teknikleri, DC/DC çeviricilerin anahtarlama özelliklerinden dolayı analiz ve performans tahmini açısından kullanılamaz hale gelir. Dave Middlebrook tarafından önerilen DC transformatörü kavramı sayesinde, DC/DC çeviriciler Kanonik model ile doğrusal hale getirilebilir [29].

Basitleştirilmiş PCM DC/DC buck dönüştürücü devresinin işaret ve sistem modeli şekil 2.10’ da verilmiştir. Şekil 2.10’ daki model şunları içerir;

- 1) $G_{di}(S)$, görev döngüsünden i_L akımına geçiş fonksiyonu,
- 2) $Z_o(S)$, Çıkış empedansının transfer fonksiyonu,
- 3) $G_{div}(S)$, Geribesleme direnç ağının kazancı,
- 4) $G_{EA}(S)$, Belirli bir kompanzasyona sahip hata yükselticinin transfer fonksiyonu,
- 5) F_M , PCM PWM karşılaştırıcı kazancı,
- 6) R_i akım algılama direnci,
- 7) $H_e(S)$, endüktör akımı örnekleme-tutma etkisinin transfer fonksiyonu.



Şekil 2.10: PCM Buck dönüştürücünün genel sistem modeli [30]

Çıkış empedansı $Z_o(S)$ çıkış geriliminin çıkış indüktörü akımına oranı şeklinde denklem (2.57) elde edilir;

$$Z_o(s) = \frac{\widehat{v_{(o)}}(s)}{\widehat{i_L}(s)} = R_o \frac{1 + sR_{ESR}C_o}{1 + s(R_{ESR} + R_L)C_o} \quad (2.57)$$

$G_{di}(s)$ için denklem (2.58) elde edilir.

$$G_{di}(s) = \frac{\widehat{i_L}(s)}{\widehat{d}(s)} = \frac{V_{in}(1 + sC_oR_L)}{R_L + sL_o + s^2L_oC_oR_o} \quad (2.58)$$

İç döngü kompanzasyonu, geçiş frekansının köşe frekansı olan $1/(2\pi\sqrt{L_o C_o})$ değerinden çok daha yüksek olacak şekilde tasarlanmıştır. Geçiş frekansı ve daha yüksek frekanslar için, denklem (2.58), denklem (2.59)' da gösterildiği gibi sadeleştirilebilir.

$$G_{di}(s) = \frac{\widehat{t_L}(s)}{\widehat{d}(s)} \approx \frac{V_{in}}{sL_o} \quad (2.59)$$

Algılanan endüktör akımı, harici rampa ve hata yükselteci çıkışı V_{comp} karşılaştırılır; bu karşılaştırma, üst MOSFET'in ne zaman kapatılacağını belirler ve böylece görev döngüsü belirlenir. S_n , Algılanan akım dalga formunun açık durum eğimidir ve S_e harici rampanın eğimidir. Buradan F_m için denklem (2.60) şu şekilde elde edilir;

$$F_m = \frac{f_s}{S_n + S_e} \quad (2.60)$$

S_n ve S_e sırasıyla denklem (2.61) ve (2.62)' de verilmiştir;

$$S_n = R_i \frac{V_{in} - V_o}{L_o} \quad (2.61)$$

$$S_e = V_{se} \times f_s \quad (2.62)$$

$H_e(S)$ İndüktör akımının örnekleme-tutma etkisinin transfer fonksiyon modeli denklem (2.63)' da verilmiştir;

$$H_e(s) = \frac{\frac{s}{f_{sw}}}{e^{\frac{s}{f_s}} - 1} \approx 1 - \frac{s}{2f_s} + \frac{s^2}{(\pi f_s)^2} \quad (2.63)$$

Geri besleme direnç ağının kazancı denklem (2.64)' de verilmiştir;

$$G_{div}(s) = \frac{\widehat{V_F}(s)}{\widehat{V_O}(s)} = \frac{V_{REF}}{V_o} \quad (2.64)$$

Hata yükselteci kazanç fonksiyonu denklem (2.65)' deki gibi elde edilir;

$$G_{EA}(s) = \frac{\widehat{V_{comp}}(s)}{-\widehat{V_F}(s)} = \frac{G_m}{C_{comp}} \frac{1 + (sR_{comp}C_{comp})}{s(1 + sR_{comp}C_{ea})} \quad (2.65)$$

Denklemler (2.59)' dan (2.63)' e dayanarak, hata yükselteci çıkış gerilimi ile indüktör akımı arasındaki transfer fonksiyonu $G_{ci}(s)$ denklem (2.66)' daki gibi elde edilir.

$$G_{ci}(s) = \frac{\widehat{t_L}(s)}{\widehat{V_{ea}}(s)} = \frac{\frac{1}{R_i}}{1 + s \left[\frac{V_{se}f_s L_o + (0.5V_{in} - V_o)R_i}{V_{in}R_i f_s} \right] + s^2 \frac{1}{(\pi f_s)^2}} \quad (2.66)$$

PCM buck dönüştürücü için geçiş frekansı, anahtarlama frekansının yarısından çok daha küçüktür, bu nedenle geçiş frekansı civarında denklem (2.66), denklem (2.67) olarak basitleştirilebilir. İç akım döngüsü, tek bir kutup olarak sadeleştirilmiştir; bu da PCM buck dönüştürücünün döngü yanıt analizinde oldukça yararlıdır [30].

$$G_{ci}(s) = \frac{\widehat{t_L}(s)}{\widehat{V_{ea}}(s)} = \frac{1}{R_i} \frac{1}{1 + s \left(\frac{V_{se}f_s L_o + (0.5V_{in} - V_o)R_i}{V_{in}R_i f_s} \right)} \quad (2.67)$$

Eğer iç akım döngüsü $G_{ci}(s)$ kararlı değilse, alt harmonik salınım meydana gelir. Bir sistem, kapalı döngü transfer fonksiyonunun kutuplarının her biri sol yarı düzlemde bulunduğu sürece kararlıdır. Alt harmonik salınımı önlemek için minimum indüktör değeri denklem (2.68)' de gösterildiği gibi seçilir.

$$L_o > \frac{R_i(V_o - 0.5V_{in})}{V_{se}f_s} \quad (2.68)$$

$f_{Z_{EA}}$ ve $f_{P_{EA}}$, hata yükseltecinin belirli bir kompanzasyon ile oluşturduğu sıfır ve kutuplardır. $f_{Z_{OUT}}$ ve $f_{P_{OUT}}$, çıkış kapasitörü ve yük tarafından oluşturulan sıfır ve kutuplardır. $f_{P_{ci}}$, iç akım döngüsü tarafından oluşturulan kutuptur. Denklemler (2.57), (2.60), (2.65) ve (2.66)' ye dayanarak, geçiş frekansı civarındaki açık döngü transfer fonksiyonu $L(s)$ elde edilir:

$$L(s) = Z_o(s)G_{div}(s)G_{EA}(s)G_{ci}(s) = K \frac{\left(1 + \frac{s}{2\pi f_{Z_{EA}}}\right) \left(1 + \frac{s}{2\pi f_{Z_{OUT}}}\right)}{s \left(1 + \frac{s}{2\pi f_{P_{EA}}}\right) \left(1 + \frac{s}{2\pi f_{P_{ci}}}\right) \left(1 + \frac{s}{2\pi f_{P_{OUT}}}\right)} \quad (2.69)$$

Denklem (2.69)' deki K , $f_{Z_{EA}}$, $f_{P_{EA}}$, $f_{P_{ci}}$, $f_{Z_{OUT}}$ ve $f_{P_{OUT}}$ sırasıyla şu şekildedir;

$$K = \frac{R_o V_{REF} G_m}{R_i V_o C_{comp}} \quad (2.70)$$

$$f_{Z_EA} = \frac{1}{2\pi R_{comp} C_{comp}} \quad (2.71)$$

$$f_{P_EA} = \frac{1}{2\pi R_{comp} C_{ea}} \quad (2.72)$$

$$f_{P_ci} = \frac{V_{in} R_i f_s}{2\pi [V_{se} f_s L_o + (0.5V_{in} - V_o) R_i]} \quad (2.73)$$

$$f_{Z_OUT} = \frac{1}{2\pi R_{ESR} C_o} \quad (2.74)$$

$$f_{P_OUT} = \frac{1}{2\pi (R_{ESR} + R_o) C_o} \quad (2.75)$$

2.2.4.1 İndüktör ve Çıkış Kapasitörü Tasarım Limitleri

Şekil 2.16, uygun indüktör ve çıkış kapasitörü tasarımıyla elde edilen bode diyagramını göstermektedir. Burada $f_c \gg f_{P_OUT}$, $f_c \gg f_{Z_EA}$, $f_c \ll f_{P_EA}$, $f_c \ll f_{P_ci}$ ve $f_c \ll f_{Z_OUT}$ koşulları sağlanmaktadır.

Kazanç eğrisi, yeterli faz marjını sağlamak için 0 dB noktasını -20 dB/dek eğimle geçmelidir. Kompanzasyon ağı tarafından oluşturulan sıfır f_{Z_EA} , çıkış empedansının kutbu olan f_{P_OUT} ile birbirini yok eder ve geçiş frekansından çok önce konumlandırılır: $f_{P_OUT} \ll f_c$, $f_{Z_EA} \ll f_c$. Hata yükseltecinin parazitik kapasitörü C_{ea} oldukça küçüktür, bu nedenle $f_{P_EA} \gg f_c$ sağlanır.

Eğer L çok büyükse, akım döngüsü tarafından oluşturulan kutup f_{P_ci} geçiş frekansı f_c değerinden daha küçük olur. Bu durumda, kazanç eğrisi 0 dB noktasını -40 dB/dek eğimle geçer ve faz marjı yetersiz kalır. Ayrıca, f_{P_ci} değeri V_{in} tarafından etkilendiği için döngü tepkisi V_{in} ' den etkilenir. Bunun önüne geçmek için L_o uygun şekilde tasarlanmalı ve $f_{P_ci} \gg f_c$ sağlanmalıdır. Denklem (2.76), maksimum indüktör değerini vermektedir;

$$L_o \ll \frac{V_{in} R_i}{2\pi f_c V_{se}} + \frac{R_i (V_o - 0.5V_{in})}{V_{se} f_s} \quad (2.76)$$

Eğer çıkış kapasitörünün ESR değeri çok büyükse, çıkış kapasitörü tarafından oluşturulan sıfır f_{Z_OUT} , geçiş frekansı f_c ' den daha küçük olur. Kazanç eğrisi f_{Z_OUT} sonrasında 0 dB/dek eğim sergiler, bu da geçiş frekansını çok yüksek yapar. Entegre devredeki parazitik parametreler tarafından oluşturulan bazı yüksek frekanslı kutuplar faz marjını etkiler ve faz marjı yetersiz kalır. Bunu önlemek için, çıkış kapasitörünün ESR' si uygun şekilde tasarlanmalı ve $f_{Z_OUT} \gg f_c$ sağlanmalıdır. Denklem (2.77), maksimum ESR değerini hesaplamaktadır;

$$R_{ESR} \ll \frac{1}{2\pi f_c C_0} \quad (2.77)$$

2.2.4.2 Band Genişliği ve Faz Marjının Hesaplanması

Denklemleri (2.69)' den ve $f_c \gg f_{P_OUT}$, $f_c \gg f_{Z_EA}$, $f_c \ll f_{P_EA}$, $f_c \ll f_{P_ci}$ ve $f_c \ll f_{Z_OUT}$ durumlarını göz önünde bulundurarak, geçiş frekansı f_c noktasındaki açık döngü transfer fonksiyonunun büyüklüğü denklemi (2.78)' de gösterilmiştir.

$$|L(j2\pi f_c)| = K \frac{\left|1 + j \frac{f_c}{f_{Z_EA}}\right| \left|1 + j \frac{f_c}{f_{Z_OUT}}\right|}{2\pi f_c \left|1 + j \frac{f_c}{f_{P_EA}}\right| \left|1 + j \frac{f_c}{f_{P_ci}}\right| \left|1 + j \frac{f_c}{f_{P_OUT}}\right|} \approx K \frac{\frac{f_c}{f_{Z_EA}}}{2\pi f_c \frac{f_c}{f_{P_OUT}}} = 1 \quad (2.78)$$

$R_{ESR} \ll R_O$ olduğu göz önüne alındığında, geçiş frekansı f_c denklem (2.79)' de gösterildiği gibi elde edilir;

$$f_c = \frac{V_{REF} G_m R_{comp}}{2\pi V_O R_i C_O} \quad (2.79)$$

Faz marjı (PM), f_c ' deki açık devre transfer fonksiyonunun fazı ile -180° arasındaki farktır ve denklem (2.80)' da gösterilmiştir;

$$\begin{aligned} PM = & 90^\circ - \arctan(2\pi f_c R_O C_O) \frac{180^\circ}{\pi} + \arctan(2\pi f_c R_{comp} C_{comp}) \frac{180^\circ}{\pi} \\ & - \arctan(2\pi f_c R_{comp} C_{ea}) \frac{180^\circ}{\pi} \\ & - \arctan\left(\frac{2\pi f_c [V_{se} f_s L_O + (0.5V_{in} - V_O) R_i]}{V_{in} R_i f_s}\right) \frac{180^\circ}{\pi} \\ & + \arctan(2\pi f_c R_{ESR} C_O) \frac{180^\circ}{\pi} \end{aligned} \quad (2.80)$$

2.2.4.3 PCM Buck Dönüştürücü İçin İndüktör ve Çıkış Kapasitörü Değerlerinin Belirlenmesi

Denklem (2.81), çıkış indüktörünün değerini hesaplar. K_{IND} , cihazın maksimum çıkış akımına göre indüktör dalgalanma akımının miktarını temsil eden bir katsayıdır. K_{IND} için makul bir değer 0.2 – 0.4 aralığındadır [30].

$$L_{min} = \frac{V_{in_{max}} - V_O}{I_O K_{IND}} \frac{V_O}{V_{in_{max}} f_S} \quad (2.81)$$

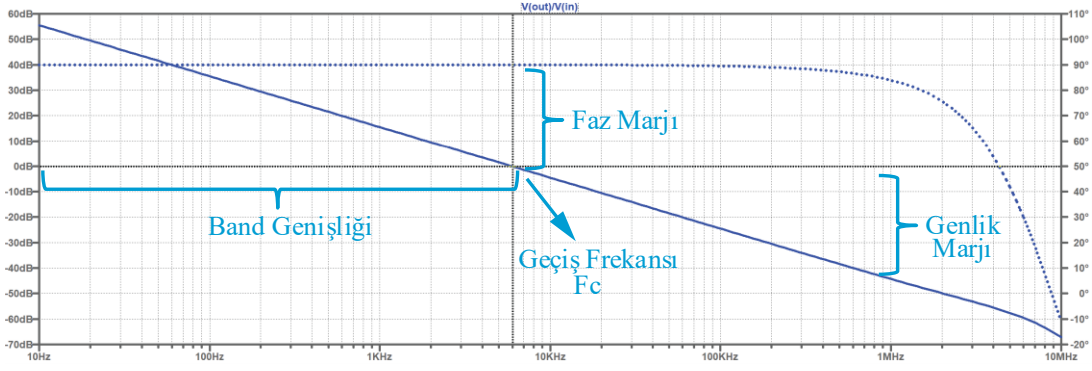
Çıkış kapasitörü, çıkış dalgalanması ve döngü tepkisine göre tasarlanır. Çıkış gerilimi dalgalanması iki bölümden oluşur. Biri, denklem (2.82)' de gösterildiği gibi indüktör akım dalgalanmasının çıkış kapasitörünün ESR' sinden geçmesiyle oluşur. Diğeri ise denklem (2.83)' de gösterildiği gibi indüktör akım dalgalanmasının çıkış kapasitörünü şarj edip deşarj etmesiyle oluşur.

$$\Delta V_{O_ESR} = I_O \times K_{IND} \times R_{ESR} \quad (2.82)$$

$$\Delta V_{O_C} = \frac{I_O \times K_{IND}}{8 \times f_S \times C_O} \quad (2.83)$$

2.3. PCM BUCK DÖNÜŞTÜRÜCÜ DEVRELERİNDE KOMPANZASYON

Bir DC/DC dönüştürücü tasarlarken, MOSFET' ler, indüktörler, akım algılama dirençleri ve çıkış kapasitörleri gibi bileşenler istenen çıkış gerilim dalgalanması ve geçici performansa uyacak şekilde dikkatle seçilir. Güç aşaması tasarımının ardından, geribesleme ile döngüyü kapatmak gereklidir. Bir DC/DC güç kaynağında, hata yükselteci kullanan negatif geri besleme döngüsünde yer alır. Negatif geri besleme sisteminde ilerleyen bir sinyal yol boyunca kutuplar ve sıfır noktaları ile karşılaşabilir. Tek bir kutup, sinyal fazını yaklaşık 90° azaltır ve kazanç eğimini -20 dB/Dec olarak değiştirirken; tek bir sıfır, faza yaklaşık 90° ekler ve kazancı $+20 \text{ dB/Dec}$ artırır. Bir sinyalin fazı -180° azaltılırsa, negatif geri besleme döngüsü pozitif geri beslemeye dönüşebilir ve salınım yapabilir. Döngüyü kararlı tutmak ve salınımları önlemek, güç kaynakları için tasarım kriterleridir.



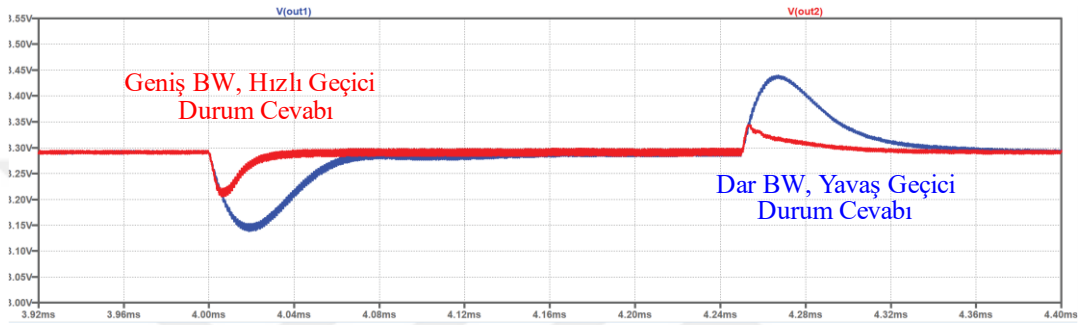
Şekil 2.11: 0 dB'de BW, PM, GM ve F_c 'yi gösteren bode grafiği [17].

DC/DC dönüştürücü devrelerinin kararlılığını test etmenin iki yöntemi vardır. İlk yöntem, Bode diyagramının oluşturulduğu frekans tepki analizi ile yapılır. İkinci yöntem ise, yük akımı ve giriş geriliminin geçici tepki testinin yapıldığı ve buna bağlı olarak çıkış geriliminin ve indüktör akımının alçalış ve yükseliş tepkisinin gözlemlendiği zaman alanı analizidir. Kararlı bir tasarım elde etmek için, fazın -180° 'lik faz düşüşünden, yani faz marjı (PM) olarak adlandırılan noktadan uzak kalmasını sağlamak önemlidir ve bu marj 45° den büyük olmalıdır. 60° faz marjı iyi bir sonuç olarak kabul edilir [17]. Yük akımı değişimlerine daha hızlı yanıt almak, güç kaynağı tasarımının bant genişliğinin (BW) daha geniş olması ile sağlanır. Güç kaynağının BW'si, 0 dB kazancın frekans eksenini kestiği noktadadır. Geçiş frekansı (F_c) olarak da bilinen bu noktada, fazın 45° 'ten büyük olması beklenir. DC/DC dönüştürücülerin BW genişledikçe, faz azalır, bu yüzden tasarımda bir denge vardır. Kazanç marjı (GM), $F_{sw}/2$ 'de ve -180° 'deki negatif kazancı ifade eder; -8 dB veya daha büyük bir değer, olası anahtarlama gürültüsünü veya fazın -180° kaydığı yerde kazanç olasılığını iyi bir şekilde azaltır. 0 dB noktasını -20 dB/dek eğiminde geçmek hedeflenir.

Eğer faz -180° veya daha az ve kazanç 1 veya daha büyükse, kapalı döngü sistemi kararsız hale gelir. Bu nedenle, kararlılığı sağlamak için açık döngü sisteminin fazının geçiş frekansında -180° den büyük olması gereklidir. Tipik olarak, dengeleyici (kompensatör), geçiş frekansında faz marjının 45° veya daha fazla olacak şekilde tasarlanır. 45° lik bir faz marjı, döngü fazının -135° olması anlamına gelir. Yani, döngü fazı, kararsızlığın -180° noktasının 45° üzerindedir.

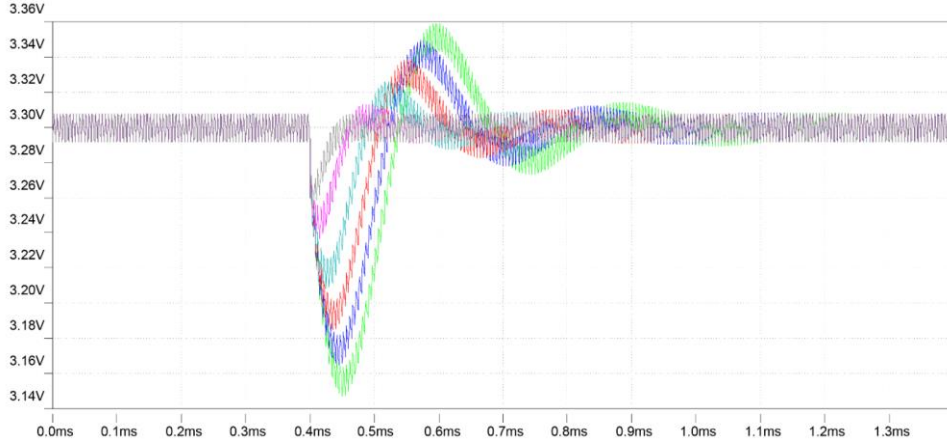
Geçiş frekansı (f_c) ve faz marjı seçimi (PM), çeviricinin hat ve yük geçici durumlarına nasıl yanıt verdiğini belirler. Şekil 2.18' de dar ve geniş BW için yük akımı değişimine karşı dönüştürücünün tepkisi verilmiştir. Genellikle, f_c frekansı ne kadar yüksekse, zaman alanında

tepki ve toparlanma o kadar hızlı olur. Ancak, belirli sınırlamalar, çok yüksek bir geçiş frekansının seçilmesini engeller. Örneğin, flyback ve boost çeviricilerde, sistem transfer fonksiyonunda sağ-yönlü bir düzlem sıfırı vardır. Genellikle bu sıfırdan bir dekad aşağıda geçiş yapılır, böylece kesişim frekansında faz marjı üzerinde etkisi olmaz. Ayrıca, analog kontrol tümdevrelerindeki analog yükselteçler, frekans bant genişliğine yaklaştıkça faz kaymasına neden olur. Dijital bir kompensatörde ise analog yükselteçlerin bant genişliği dikkate alınmaz. Ancak, dijital sistemdeki gecikme faz kaybına yol açar.



Şekil 2.12: Dar ve geniş BW için yük akımındaki değişime karşı buck dönüştürücü tepkisi [17].

Daha önce anlatıldığı gibi, faz marjı sistemin kararlılığının bir göstergesidir. 0° faz marjında, sistem kararsız hale gelir. $PM < 30^\circ$ faz marjında, sistem büyük olasılıkla hat ve yük geçişlerinde zaman alanında birçok osilasyona sahiptir. 45° faz marjında, sistem muhtemelen bir geçici durumdan toparlandıktan sonra zaman alanında tek bir halka gösterir. Bu nedenle, genellikle minimum kabul edilebilir faz marjı 45° 'dir. Tersine, daha yüksek bir faz marjı, yük geçici durumlarına daha yavaş bir tepkiye yol açabilir. Örneğin, 60° faz marjı, sıfır aşım, halka yapmama ve daha yavaş toparlanma ile sonuçlanabilir. Bu nedenle, kesişim frekansı seçimi ve sistemin sahip olduğu toplam faz marjı arasında bir denge sağlanmalıdır. Şekil 2.19' da, geçiş frekansı ve faz marjı azaldıkça sistemin adım yanıtı gösterilmektedir (gri renkten yeşil renge doğru). Geçiş frekansı ve faz marjı her ikisi de azaldıkça, yanıt daha yavaş ve daha osilasyonlu hale gelir.



Şekil 2.13: Azalan f_c ve PM sahip bir sistem için adım tepkisi (griden yeşile) [31]

2.3.1. Kompanzasyon Devre Tasarımı

Sistemin geçiş frekansı önceki bölümlerde anlatıldığı üzere kararlılık kriterleri aktif elemanların parazitik etkilerinden dolayı anahtarlama frekansından çok küçük olmalıdır ve bunun için denklem (2.84)' de gösterildiği koşul sağlanmalıdır.

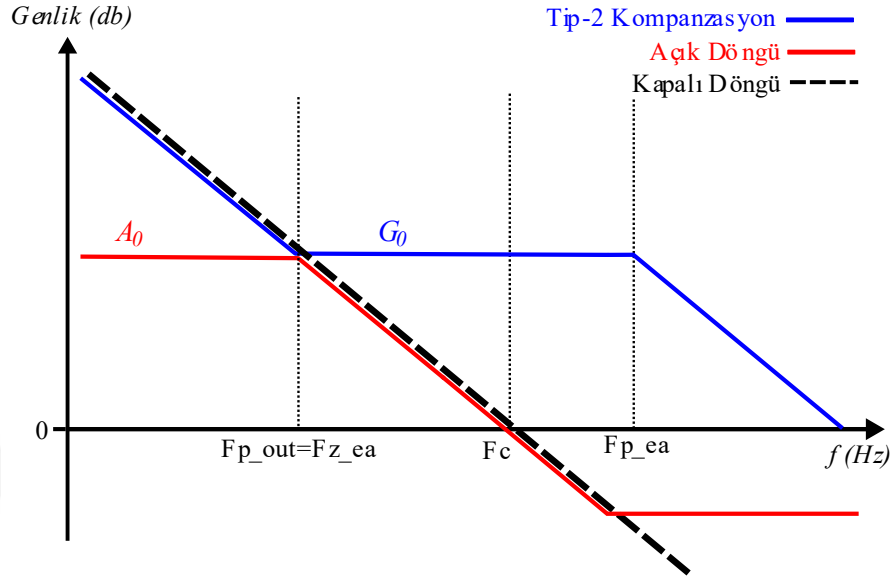
$$f_c \leq \frac{f_s}{10} \quad (2.84)$$

Geçiş frekansı f_c ' nin buck dönüştürücünün kutup ve sıfırların konumuna göre kompanzasyon devresi seçilir. İzolasyonsuz buck/boost dönüştürücüler için, orantısal integral (PI) Tip II ve orantısal integral türev (PID) Tip III kompanzatörler kullanılır. Bir integral Tip I kompanzatör de kullanılabilir, ancak bu kompanzatör sistemin düşük bant genişliği gereksinimlerinden dolayı kullanılmamaktadır.

CCM modlu buck dönüştürücü geri besleme döngülerinin açık döngü kazancını ve dolayısıyla sistemin doğruluğunu maksimize etmek için, kompanzatörde orijinde bir kutup bulunmalıdır. Orijindeki bu kutup, geri besleme döngülerine -90° faz kayması ekleyerek, geçiş frekansı dönüştürücü kutuplarından daha yüksekse, sistemi kararsız hale getirir. Sonuç olarak, orijinde bir kutup eklemenin yanı sıra, kompanzatör geçiş frekansı f_c yakınında bir faz artırımı sağlamalıdır.

Tip II kompanzatör, orijinde bir kutup, sistemin geçiş frekansının altında bir sıfır ve yüksek frekansta bir kutup uygular. Bu kompanzatör, kompanze edilmemiş sistemin genliğinin, istenen geçiş frekansı f_c ' de -20 dB/dek hızında azaldığı durumlarda kullanılır. Şekil 2.14' de

açık döngü sistem, tip II kompanzator ve kompanse edilmiş sistemin genlik diyagramlarını göstermektedir.



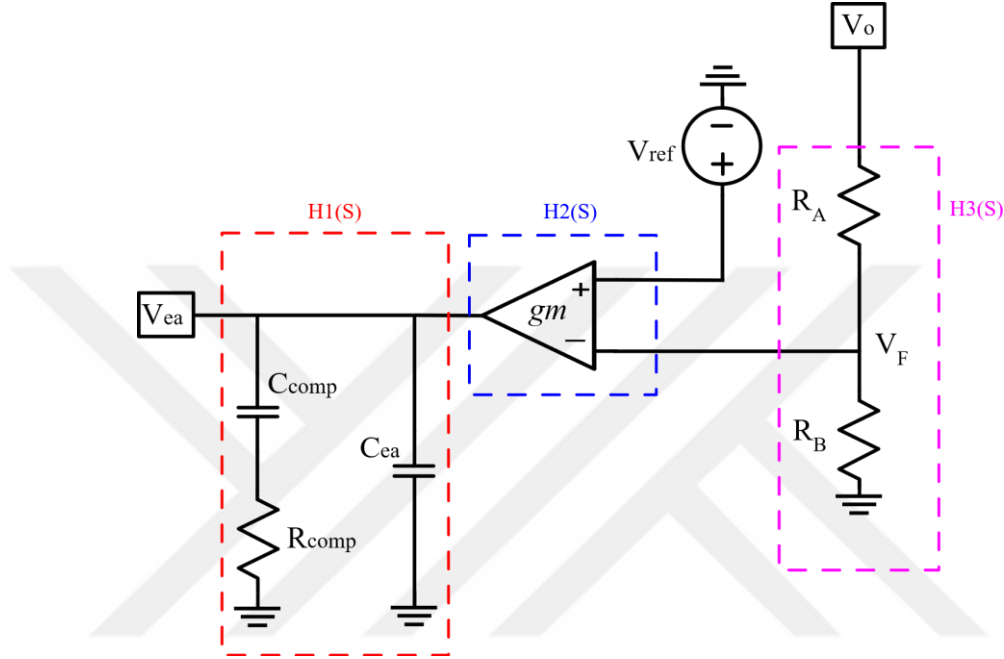
Şekil 2.14: CM buck dönüştürücü ve kompanzasyonuna ait genlik grafiği.

Tip-II kompanzatoru hata yükseltecinin tipine göre iki farklı gruba ayrılır:

1. Tip-II Opamp Kompanzatoru
2. Tip-II OTA Kompanzatoru

Tip-II OTA kompanzator devresi şekil 2.15’ de verilmiştir. Geleneksel opamp yaklaşımına göre en büyük değişiklik OTA’ nın g_m parametresinin denklemlere dahil olmasıdır. Opamp durumundaki gerilim bölücü ağına bakıldığında; sanal toprak etkisi sayesinde her iki giriş benzer bir potansiyeldedir ve alt direnç (R_B)’ nin AC katkısı yoktur. OTA’da ise V_{ea} ’ den negatif girişe geri besleme olmadığından sanal toprak oluşmaz. Bu yüzden artık R_B ’ yi göz ardı edemeyiz ve OTA g_m parametresi, entegre devre tasarımına gösterilen özenle değişebilir. OTA modeli gerilim kontrollü bir akım kaynağıdır. Daha karmaşık bir model, kontrolörün beslemesi ile verilen üst ve alt gerilim sınırlama seviyelerini ve maksimum çıkış akım sınırını içerir. Ancak, bu ek bileşenler tüm döngünün AC yanıtını etkilemez ve en basit gösterimle kalabiliriz. Tip-2 OTA kompanzasyon devresinde, gerilim bölücü bloğunda direnç değerlerinden ziyade oranları önemlidir. Örneğin, $1\text{ k}\Omega/5\text{ k}\Omega$ veya $10\text{ k}\Omega/50\text{ k}\Omega$ gibi kombinasyonlar aynı kazancı sağlar ve kazanç-faz grafiği değişmez. Tip-2 opamp kompanzatorunda ise, R_A direnci kazanç-

faz grafiğini etkiler. R_A 'yı değiştirdiğimizde tamamen farklı kazanç-faz sonuçları elde ederiz. Bu durumda, oranı aynı tutmak kazanç-faz grafiğini aynı bırakmaz. Geleneksel opamp içeren ayarlanabilir regülatörlerde, çıkış gerilimini değiştirmek istiyorsak, en iyisi üst direnci değiştirmeden alt geri besleme direncini değiştirmektir. Bu şekilde DC kutuplama değişir, ancak geri besleme kısmının kazanç-faz özellikleri değişmez.



Şekil 2.15: Tip-II OTA kompanzatörü devresi [32].

Tip-II OTA kompanzatörü devresinin geri besleme aşamasını, üç ardışık transfer fonksiyonunun çarpımı olarak ayırabiliriz: $H_1(s)$, $H_2(s)$, ve $H_3(s)$. Bu yapı, yüksek DC kazancı için bir kutup/sıfır çifti ve bir orijin kutubu birleştirir ve transfer fonksiyonu denklem (2.85)'deki gibi tanımlanır:

$$H(s) = \frac{V_e(s)}{V_o(s)} = H_1(s) \times H_2(s) \times H_3(s) \quad (2.85)$$

$$H(s) = -\frac{R_B}{R_A + R_B} \times g_m \times \frac{1 + R_{comp}C_{comp}s}{(C_{ea} + C_{comp})s + R_{comp}C_{ea}C_{comp}s^2} \quad (2.86)$$

Eğer sR_2C_1 'i çarpanlarına ayırırsak, kutup ve sıfır tanımlarını kolayca aşağıdaki gibi ortaya çıkarabiliriz:

$$H(s) = -\frac{\frac{R_B g_m}{R_A + R_B} \times \frac{R_B C_{comp}}{C_{comp} + C_{ea}} \times \left(1 + \frac{1}{s R_{comp} C_{comp}}\right)}{1 + s R_{comp} \frac{C_{comp} C_{ea}}{C_{comp} + C_{ea}}} = -G_0 \frac{1 + \omega_{Z_EA}/s}{1 + s/\omega_{P_EA}} \quad (2.87)$$

Denklem (2.87)' de, üç ilgili terimi belirleyebiliriz:

$$G_0 = \frac{R_B}{R_A + R_B} \frac{g_m R_{comp} C_{comp}}{C_{comp} + C_{ea}} \quad (2.88)$$

$$f_{Z_EA} = \frac{1}{2\pi R_{comp} C_{comp}} \quad (2.89)$$

$$f_{P_EA} = \frac{C_{comp} + C_{ea}}{2\pi R_{comp} C_{comp} C_{ea}} \quad (2.90)$$

Her bir değeri ayrı ayrı elde etmek için, geçiş frekansı f_c denklem (2.87)' nin genliği denklem (2.91)' de gösterildiği gibi bulunur:

$$|G(f_c)| = G_0 \frac{\sqrt{1 + \left(\frac{f_{Z_EA}}{f_c}\right)^2}}{\sqrt{1 + \left(\frac{f_c}{f_{P_EA}}\right)^2}} \quad (2.91)$$

Denklemler (2.88)-(2.91)' i birleştirerek aşağıdaki harici bileşenler bulunur:

$$R_{comp} = \frac{f_{P_EA} G (R_B + R_A)}{(f_{P_EA} - f_{Z_EA}) R_B g_m} \times \frac{a}{b} \quad (2.92)$$

$$C_{comp} = \frac{1}{2\pi f_{Z_EA} R_{comp}} \quad (2.93)$$

$$C_{ea} = \frac{R_B g_m}{2\pi f_{P_EA} G (R_B + R_A)} \times \frac{b}{a} \quad (2.94)$$

Denklemler (2.92) ve (2.94)' de verilen a ve b katsayıları sırasıyla denklem (2.95) ve (2.96)' de verilmiştir.

$$a = \sqrt{1 + \left(\frac{f_c}{f_{P_EA}}\right)^2} \quad (2.95)$$

$$b = \sqrt{1 + \left(\frac{f_{Z_EA}}{f_c}\right)^2} \quad (2.96)$$

2.4. PCM BUCK DÖNÜŞTÜRÜCÜ PARAMETRELERİNİN BELİRLENMESİ

Tez kapsamında CCM modlu PCM Buck DC/DC dönüştürücü devresi tasarlanmıştır. Bu tasarım kapsamında tasarım parametre değerleri Tablo 2.3’ de verilmiştir.

Tablo 2.3: PCM Buck Dönüştürücü için Tasarım Parametre Değerleri

Tasarım Parametreleri	Açıklama	Değer
V_{in}	DC Giriş Gerilimi	7V – 36V
V_o	DC Çıkış Gerilimi	5V
V_{REF}	Referans DC Gerilim	1V
f_s	Anahtarlama Frekansı	1.1MHz
f_c	Geçiş Frekansı	30KHz
PM	Faz Marjı	$\geq 45^\circ$
g_m	Hata Yükselteci Geçiş İletkenliği Parametresi	1mS
R_L	Yük Direnci	8.33Ω
I_o	Çıkış Akımı	0.6A
$I_{O(min)}$	Minimum Çıkış Akımı	0.1A
ΔV_o	Çıkış Gerilimi Dalgalanması	$< 30mV$

Tez kapsamında tasarlanan PCM buck dönüştürücü devresindeki kompanzasyon tipi tez kapsamında önerilen yöntemin OTA tabanlı olması sebebiyle Tip-II OTA kompanzatörü seçilmiştir. Tablo 2.3’ de verilen tasarım parametre değerlerinin yanında hesaplanması gereken diğer parametreler ise güç çevrim kısmında; çıkış indüktörü L_o ve çıkış kapasitörü C_o ve buna

ait ESR değeri, kompanzasyon kısmında ise şekil 2.20' de verilen devredeki kompanzasyon kapasiteleri (C_{comp} ve C_{ea}), dirençleri R_{comp} ve gerilim bölücü (R_A, R_B) dirençlerdir.

Güç katındaki çıkış indüktörü L_O belirlenirken 0.2-0.4 aralığında olan K_{IND} parametresi 0.4 olarak seçilmiştir. Denklem (2.81)' den minimum L_O değeri $16.3 \mu H$ olarak bulunur. Seçilen çıkış indüktörü değeri ise hesaplanan değere en yakın ticari olarak üretilebilen $18 \mu H$ olarak belirlenmiştir.

Güç katındaki çıkış kapasitörü C_O , çıkış dalgalanması ve çevrim yanıtına göre tasarlanır. Çıkış gerilim dalgalanması iki kısımdan oluşur. Birincisi, denklem (2.82)' de gösterildiği gibi çıkış kapasitörünün ESR' sinden geçen indüktör akımı dalgalanmasının neden olduğu kısımdır. Diğeri ise, denklem (2.83)' de gösterildiği gibi indüktör akımı dalgalanmasının çıkış kapasitörünü şarj edip boşaltmasından kaynaklanır. Hedef çıkış dalgalanması $30 mV$ olduğundan, $\Delta V_{O_{ESR}} < 30 mV$ ve $\Delta V_{O_C} < 30 mV$ olması durumunda denklem (2.82)' den $R_{ESR} < 125 m\Omega$ ve denklem (2.83)' den $C_O > 0.91 \mu F$ olmalıdır.

Denklem (2.79) ve (2.80)' de hedef f_c 30 KHz olması sebebiyle, C_O yaklaşık $11 \mu F$ olarak elde edilir. Değerler dikkate alındığında güç katındaki çıkış kapasitörü C_O için ticari olarak, $4 m\Omega$ ESR' ye sahip $13 \mu F$ seramik kapasitör seçildi.

Tasarımı yapılan PCM buck dönüştürücünün kompanzasyon kısmında, hata yükselteci görevindeki OTA' nın negatif girişine uygulanan V_F gerilimi V_{REF} ile eşit olması beklendiği için $R_B/(R_A + R_B)$ oranı 0.2 olmalıdır. Bu sebeple $R_A = 46.4 K\Omega$ ve $R_B = 11.6 K\Omega$ olarak seçilmiştir. Ardından denklemler (2.111) ve (2.112) yardımıyla kompanzasyon kapasitörleri sırasıyla $C_{comp} = 3.38 nF$ ve $C_{ea} = 65.20 pF$ olarak hesaplanmıştır. Bu kapasitör değerleri çip içi tasarımda yer alan kapasitörler olması sebebiyle ticari ürün değerlerinden bağımsız olarak hesaplanan değerleri ile aynı seçildi.

Tablo 2.4: Tasarlanan PCM Buck dönüştürücüsünün hesaplanan ve seçilen değerleri

Parametre	Hesaplanan Değer	Seçilen Değer
C_o	$11\mu F$	$13\mu F$
R_{ESR}	$< 125m\Omega$	$4m\Omega$
L_o	$16.3\mu H$	$18\mu H$
R_A	$46.4K\Omega$	$46.4K\Omega$
R_B	$11.6K\Omega$	$11.6K\Omega$
C_{comp}	$3.38nF$	$3.38nF$
C_{ea}	$65.20pF$	$65.20pF$

2.5. KAPASİTÖR VE KAPASİTANS

Bu bölümde tez kapsamında önerilen kapasite çarpıcı devresini daha iyi anlamak için çip içi kapasitörler anlatılacak ve literatürdeki kapasitans çarpıcı devreleri açıklanacaktır.

2.5.1. Çip İçindeki Kapasitörler

Kondansatörler, günümüzün çoğu analog CMOS devresinde vazgeçilmez bir rol oynamaktadır. Kondansatörlerin birkaç parametresi, analog tasarımda kritik öneme sahiptir: doğrusal olmayan (gerilim bağımlılığı), alt tabakaya olan parazitik kapasitans, seri direnç ve birim alan başına kapasitans (yoğunluk) [33].

Tablo 2.5: Çip üstü kapasitör türlerinden en yaygın türlerin özellik karşılaştırması [34].

Özellik	MOS Kapasitörü	MIM Kapasitörü	MOM Kapasitörü
Kapasitans yoğunluğu ($fF/\mu m^2$)	10 – 20	1 – 30	10 – 20
Alt plaka kapasitansı (%)	20 – 30	2 – 5	1 – 5
Doğrusallık ($ppm/volt$)	300 – 500	10 – 50	50 – 100
Kalite faktörü	1 – 10	50 – 150	10 – 50
Parazitik direnç ($m\Omega$)	1000 – 10000	50 – 250	100 – 500
Kaçak akım (A/cm^2)	$10^{-2} - 10^{-1}$	$10^{-9} - 10^{-8}$	$10^{-10} - 10^{-9}$
Sıcaklık bağımlılığı ($ppm/^{\circ}C$)	300 – 500	50 – 100	50 – 100

Entegre devre kondansatörleri, nispeten düşük değerlerle sınırlıdır. Örneğin, mikron mertebesi altındaki CMOS teknolojisi için yoğunluk $1fF/\mu m^2$ seviyesindedir ve 100 pF değerindeki kondansatörler, binlerce transistör veya yüzlerce operasyonel yükselteçle eşdeğer bir alan kaplar. Ayrıca, terminaller ile toprak arasında önemli değerlerde parasitik kapasitanslar oluştururlar [35].

Bu bölümde, yaygın olarak kullanılan üç tür çip içi kapasitörü ele alınmaktadır. Metal-oksit yarı iletken (MOS) kondansatör bölüm 2.5.3.1’ de açıklanmaktadır. Metal-yalıtkan-metal (MIM) kapasitörleri Bölüm 2.5.3.2’ de incelenmektedir. Bölüm 2.5.3.3’ de ise metal-oksit-metal (MOM) kapasitörleri anlatılmaktadır.

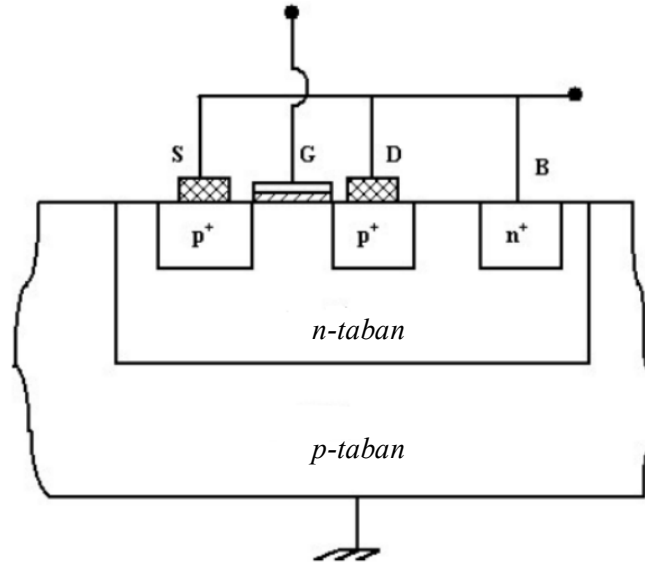
2.5.3.1 MOS Kapasitörler

Metal-oksit yarı iletken kondansatör (MOSCAP), adından da anlaşılacağı gibi, PMOS veya NMOS transistörleri kullanılarak yapılır. Bu, savak ve kaynak uçlarının aynı ağa ve gerilime bağlanması, kapının ise başka bir ağa bağlanmasıyla yapılır. Polisilikon (kapı) altında ince bir oksit ve bunun altında savak ve kaynak taraflarıyla oluşturulan kanal, kondansatör olarak kullanılabilir. Kanalin oluşabilmesi için transistörlerin birikim veya güçlü tersleme modunda kutuplanması gerekir [33].

MOS kondansatörü, bir PMOS transistörünün savak, kaynak ve gövde (D, S, B) uçlarının birbirine bağlanmasıyla bir plaka oluştururken, polisilikon kapı diğer plakayı oluşturur. Bu yapı, kapı-gövde gerilimi olan V_{BG} ’ ye bağlıdır. MOS kondansatörü Şekil 2.16’ da gösterilmiştir. PMOS kondansatörü durumunda, $V_{BG} > |V_T|$ olduğunda, tersleme kanalında hareketli delikler birikir; burada $|V_T|$ transistörün eşik gerilimidir. $V_{BG} \gg |V_T|$, MOS kondansatörünün güçlü tersleme bölgesinde çalışmasını garanti eder. Ancak, $V_G > V_B$ gerilim değeri için cihaz birikim bölgesine girer; burada kapı oksidi ile yarı iletken arasındaki ara yüzeydeki gerilim pozitif ve elektronların serbestçe hareket etmelerini sağlayacak kadar yüksektir. CMOS’ un güçlü tersleme ve birikim bölgesindeki MOS kapasitansı değeri maksimumdur ve bu değere eşittir.

$$C_{ox} = \epsilon_{ox} \left(\frac{LW}{t_{ox}} \right) \quad (2.97)$$

Burada $L \times W$, transistör kanal alanını ve t_{ox} , kapı oksit kalınlığını ifade eder.



Şekil 2.16: MOSCAP yerleşim kesiti [33].

V_{BG} 'nin ara değerleri için üç ek bölge bulunmaktadır: orta tersinirlik, zayıf tersinirlik ve tükenme [33]. Bu bölgelerde, MOS cihazının kapasitansını azaltan, kapı oksit arayüzünde çok az hareketli taşıyıcı bulunmaktadır.

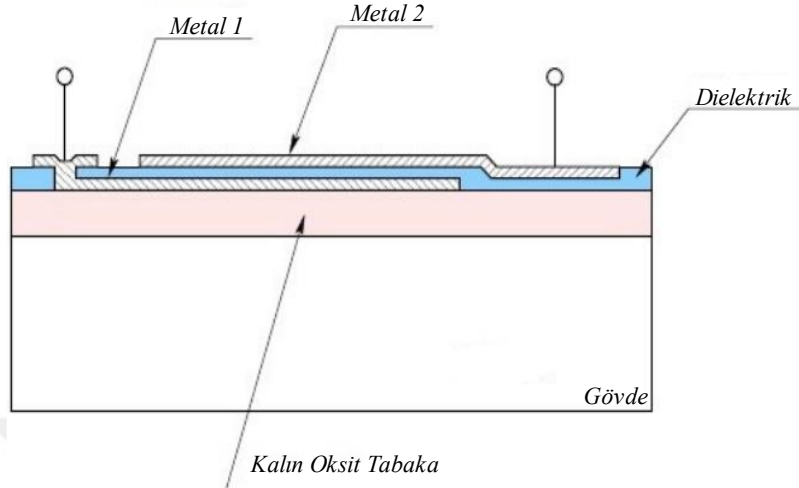
MOSCAP kullanmanın avantajı şudur: analog blok yerleşimlerinin aksine; proses, üretim için ek maske gerektirmez, bu da maliyet etkin hale getirir ve özel bir dikkat gerektirmediği için her yere yerleştirilebilir [33].

MOS transistörünü kondansatör olarak kullanmanın dezavantajı ise MOS kondansatörlerinin yüksek parazitik dirence sahip olmasıdır. Bu direnç, hem kanal direncinden hem de metal plakaların direncinden kaynaklanır. MOS kondansatörünün bir diğer dezavantajı ise bir kapasitans değeri elde edebilmek için MOS transistörünün birikim veya güçlü tersine dönme modlarında kutuplanması gerektiğidir ve tasarımın, bu kutuplamanın değişmediğini garanti etmesi gerekir [33].

2.5.3.2 MIM Kapasitörler

Bir MIM kondansatörü, iki metal tabakadan oluşur ve bu tabakalar bir dielektrik tabaka ile ayrılır. Bir MIM kondansatörünün kesit görünümü Şekil 2.17' de gösterilmektedir. Tipik olarak, alt tabaka üzerine kalın bir oksit tabakası kaplanır, bu da alt tabakaya olan parazitik kapasitansı azaltır [33]. Parazitik alt tabaka kapasitansı, üst metal tabakaların MIM

kondansatörünün plakaları olarak kullanılmasıyla da düşürülür. Kapasitans yoğunluğu, dielektrik kalınlığının azaltılması ve yüksek katsayılı dielektrikler kullanılmasıyla artırılabilir.

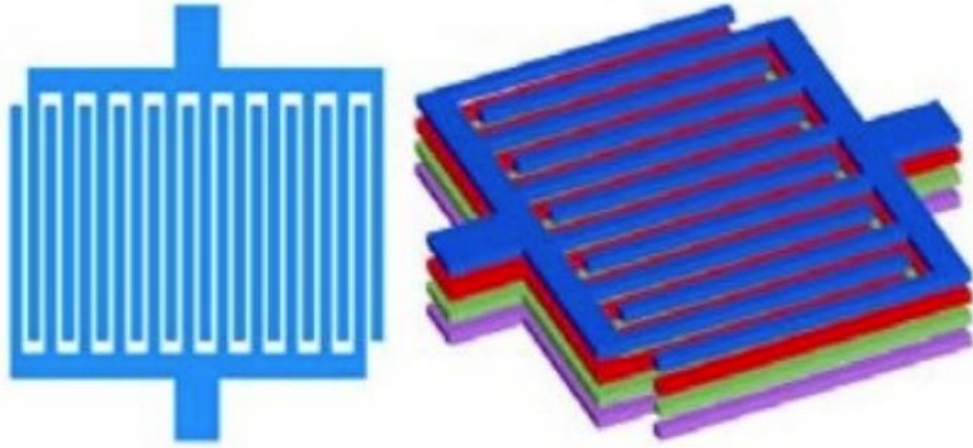


Şekil 2.17: Bir MIM kondansatörünün kesit görünümü [33].

Bugünün IC üretiminde, MIM kondansatörleri, alt tabakaya istenmeyen alt tabaka kapasitansını azaltmak amacıyla üst metalin üzerine ve üst metalin altındaki bir metal üzerine yapılır. Buna ek olarak, ekstra işlem adımları ve maskeler kullanılarak MIM kondansatörü, tasarımda metal olarak kullanılmayan özel katmanlara yerleştirilir. Bunlara Kapasitör Üst Metal (CTM) ve Kapasitör Alt Metal (CBM) denir. Bunu yapmak için ek işlem adımları ve maskeler gereklidir, bu da bir çipin üretim maliyetini artırır [33].

2.5.3.3 MOM Kapasitörler

Birim alan başına toplam kapasitans, birden fazla bağlantı katmanını çifti kullanılarak artırılabilir. Mevcut teknolojiler, kapasitansı dokuz kat artıran bir sandviç yapısıyla on metal katmana kadar sunmaktadır. Kapasitans, ayrıca özel bir bağlantı katmanını içindeki bitişik metal hatlar arasındaki kenar kapasitansından yararlanarak daha da artırılabilir. Ölçeklenmiş teknolojilerde, bitişik metal aralığı (aynı seviyede) metal katmanlar arasındaki aralıktan (farklı katmanlarda) daha hızlı daralır, bu da önemli bir yatay bağlanmaya yol açar. Bu durum, iki metal katman arasındaki dikey kapasitans için de aynıdır. Şekil 2.30, MOM kondansatörlerinin üst ve açıyla görünümünü vermektedir. Alt katmandan üst metal katmana kadar parmaklıklıklı ve yığılı metal kullanarak kapasitansı mümkün olduğunca artırabiliriz.



Şekil 2.18: MOM Kapasitör yerleşim görünümü [33].

2.5.2. Literatürde Sunulan Kapasite Çarpıcı Devreleri

Büyük değerli kapasitörler, güç elektroniği, biyomedikal devreler gibi sinyal işleme uygulamalarında veya çok düşük frekanslı entegre filtrelerde kilit bileşenlerdir. Ayrıca, sensör kapasitesinden daha büyük bir kapasite değerine ihtiyaç duyulan bazı sensör uygulamalarında da kullanılırlar [20, 38–41]. DC/DC dönüştürücü devrelerinin kapalı döngü çip içindeki kontrol devrelerindeki kompanzasyon kapasiteleri bir önceki bölümde anlatıldığı üzere, dönüştürücünün geçiş frekansını belirlemede önemli rol oynar. Bu kapasitörlerin değerleri tasarımlara bağlı olarak pF ile nF seviyelerinde değişmektedir. Ancak, büyük silikon alanı kapladıkları için, bu tür yüksek değerli kapasitörlerin entegre devre içinde gerçekleştirilmesi pratik değildir ya da mümkün olmaz ve bu durum tam entegrasyonu engeller. Uygulanabilir bir çözüm, pasif kapasitörlerle sağlanan küçük kapasitif değerleri istenen değere çarparak düşük silikon alanı korurken aktif devreler kullanmaktır [42–49].

Literatürdeki bazı empedans çarpanı devrelerinin tasarımında, ikinci nesil akım taşıyıcıları (CCII) [50, 51], akım geri besleme operasyonel amplifikatörleri (CFOA) [42, 45, 52] ikinci nesil gerilim taşıyıcıları (VCII) [52], gerilim farkı beslemeli amplifikatörler (VDBA) [53, 54], tek operasyonel geçiş direnci amplifikatörleri (OTRA) [54], gerilim farkı geçiş iletkenliği amplifikatörleri (VDTA) [55, 56], akım kontrollü akım farkı geçiş iletkenliği amplifikatörleri (CCCDTA) [57] ve işlemsel geçiş iletkenli yükselteç (OTA) gibi aktif bileşenler kullanılmıştır [50, 52]. Bunlardan bazıları iki ucu serbest konfigürasyonda [50], diğerleri ise topraklanmış konfigürasyonda yer almaktadır [55]. Ayrıca, bazı tasarımlar elektronik kontrol yeteneğine sahipken [58], diğerlerinde bu özellik bulunmamaktadır [45].

Bazı empedans dönüştürücüler yalnızca kapasitans çarpma işlemi yaparken [42], bazı çalışmalarda hem kapasitans hem de endüktans çarpma gerçekleştirilebilmektedir [50]. Bazı tasarımlar yalnızca pozitif empedans çarpma yaparken [59], diğerleri yalnızca negatif empedans çarpma kapasitesine sahiptir [60]. Bazı çalışmalarda, pasif elemanlar iki ucu serbest konfigürasyonda uygulanmıştır [53]. Bazı çalışmalarda, empedans çarpanı devreleri kayıplıdır [61]. Tablo 2.5’ de, literatürdeki çalışmalara ilişkin bir özet sunulmuştur.

Tablo 2.5’ de verilen literatür çalışmalardan [51]’ de iki adet CCII , 2 adet OTA aktif elemanı ve 2 adet topraklı pasif elemandan oluşmaktadır. Her ne kadar pasif elemanların topraklı olması parazitik etkileri sınırlasa da aktif elemanların çok sayıda olması hem IC üzerindeki kaplanan alanı hem de güç harcamasını arttıracaktır. Ayrıca söz konusu çalışmada OTA’ lar bipolar jonksiyonlu tranzistör (BJT) tabanlı olduğu için ayrıca güç harcaması yüksek olacak ve sıcaklık etkilerine CMOS yapıya göre daha çok hassas olacaktır. [52]’ da verilen çalışmada 1 adet VCII+ ve 1 adet OTA içermesiyle aktif eleman sayısı bakımından az sayıda eleman içermesine rağmen, pasif elemanın iki ucu serbest yapıda olması IC için parazitik gürültüler oluşturacaktır. Bunun yanında önerilen yöntem aktif elemanların iç yapısı ile ilgili bilgi vermeden ticari muadilleriyle devre simülasyonu yapılmış, deney yapılmamıştır. [67]’ de bir adet eviren akım geri besleme operasyonel amplifikatörleri (ICFOA), 1 adet iki ucu serbest iki adet topraklı pasif elemanlar ile tasarlanan kapasite çarpıcı devresinin iki ucu serbest pasif elemanlar barındırmaktadır. [45] ve [67]’ deki çalışmada kapasitans çarpma katsayısı pasif elemanlardan iki adet direncin oranına bağlı olması sebebiyle elektronik kontrol söz konusu olamayan dezavantajları vardır. [62]’ de bir adet farksal gerilim tamponu (DVB) ve bir adet elektronik kontrol edilebilen CCII (ECCII) ile sunulan kapasitans çarpıcı devresinde taban kapasitörü devrede iki ucu serbest yapıdadır. Ayrıca bu çalışmada aktif elemanların CMOS bloğunun yapısı verilmemiş bunun yerine ticari ürünlerden AD8130 ve EL2082 kullanılarak deney sonuçları verilmiştir. Çarpma faktörü ise literatürdeki diğer çalışmaların aksine 1’ den küçük değerler için kullanılmıştır.

Tablo 2.6: Literatürdeki bazı kapasitans çarpıcı devreleri ve özellikleri.

Ref.	Empedans Türü	İki ucu serbest /Topraklı	Pozitif/ Negatif	Elektronik Kontrol Edilebilirlik	Aktif Elemanlar	Pasif Elemanlar F G
[51]	Kapasitans ve rezistans	İki ucu serbest	Her İkisi	Evet	2 OTA, 2 CCII	0 1
[50]	Kapasitans ve indüktans	İki ucu serbest	Pozitif	Hayır	3 CCII	0 4
[52]	İndüktans	Topraklı	Her İkisi	Evet	1 VCII+, 1 OTA	1 1
[53]	Kapasitans	Topraklı	Pozitif	Evet	1 FB-VDBA	2 0
[54]	Kapasitans	Topraklı	Her İkisi	Evet	1 OTRA, 1 VF	4 0
[55]	Kapasitans	Topraklı	Pozitif	Evet	1VDTA	1 0
[56]	Kapasitans	Topraklı	Pozitif	Evet	1 MO-VDTA	1 0
[57]	Kapasitans	Topraklı	Pozitif	Evet	1 CCCDTA	1 0
[58]	Kapasitans	Topraklı	Her İkisi	Evet	2 CFTA	1 2
[59]	Kapasitans	Topraklı	Pozitif	Evet	1CFDITA	2 1
[60]	Kapasitans	Topraklı	Negatif	Hayır	1 CFOA	2 1
[61]	Kapasitans	Topraklı	Pozitif	Evet	1 CFDITA	2 0
[63]	Kapasitans ve rezistans	Topraklı	Her İkisi	Evet	1 CFOA, 2 OTA	0 1
[64]	Kapasitans	Topraklı	Pozitif	Hayır	1 ICFOA	1 2
[65]	Kapasitans	Topraklı	Pozitif	Hayır	2 CFOA	1 1
[66]	Kapasitans	Topraklı	Pozitif	Hayır	2 CFOA	1 2
[67]	Kapasitans	Topraklı	Her İkisi	Hayır	2 VCII	2 1
[68]	Kapasitans	Topraklı	Pozitif	Evet	1 ECCII, 1 DVB	1 0
[69]	Kapasitans	Topraklı	Pozitif	Hayır	2 CFOA	2 2
[70]	Kapasitans	Topraklı	Her İkisi	Evet	1 E-VCII	1 0
[71]	Kapasitans	Topraklı	Pozitif	Evet	1 CCIIITA	0 1
[72]	FDNR, Kapasitans ve indüktans	İki ucu serbest	Her İkisi	Hayır	3 CFOA	3 0
[73]	Kapasitans	İki ucu serbest	Pozitif	Evet	3 LT1228	1 0
Bu Tezde	Rezistans, kapasitans ve indüktans	İki ucu serbest	Her İkisi	Evet	3 OTA	0 1

Literatürde DC/DC dönüştürücülerin kompanzasyon uygulamasında kullanılan kapasite çarpıcı devreler ise [7, 74–76]’ de sunulmuştur. [74]’ deki çalışmada 3V giriş 1.8V çıkış gerilimine sahip buck dönüştürücü için kompanzasyon aşamasında; bir akım aynası ve bu yapının içinde iki opamp’ a dayanan kapasite çarpıcı devresi sunulmuştur. Kapasitans çarpımı akım aynalarının karşılıklı tranzistör boyutları oranına dayanmaktadır, dolayısıyla elektronik kontrol edilebilirlik yeteneği yoktur. Fiziksel boyutlar çarpım katsayısını sınırlandırmaktadır. [75]’ de önerilen çalışmada 2-4V giriş gerilimi, 1.8V çıkış gerilimi için çalışan bir buck dönüştürücünün Tip-2 kompanzasyon bloğunda 3 adet opamp, 5 adet iki ucu serbest direnç ve 2 adet iki ucu serbest kapasitörden oluşan bir kapasitans çarpıcı devresi bulunmaktadır. Dolayısıyla tümleştirme aşamasında iki ucu serbest yapıdaki pasif elemanlardan gelecek parazitik etkiler oluşturur. Bunun yanında direnç oranına bağlı bir kapasitans çarpma katsayısı sebebiyle elektronik kontrol özelliği yoktur. [76]’ de önerilen yöntem de ise 1.4-4.2V giriş, 1.2V çıkış gerilimi için tasarlanan buck dönüştürücü devresinin kompanzasyon devresinde akım aynalarına dayanan kapasitans çarpıcı devresi yer almaktadır. [7]’ deki çalışmada ise geniş giriş gerilimi aralığına sahip (6V-45V), 5V çıkış gerilimi üreten buck dönüştürücünün Tip-II kompanzasyon devresinde çok çıkışlı OTA (MO-OTA) ve bir kapasitör ile tasarım yapılmıştır. Elektronik kontrol özelliği MO-OTA sebebiyle vardır. Fakat Tip-II kompanzasyon bloğundaki direnç ve kapasiteler MO-OTA’ nın çıkış empedansına bağlı olduğu için farklı frekanslardaki çıkış empedansları değişeceği için hesaplama ve kontrol zorluğu oluşacaktır.

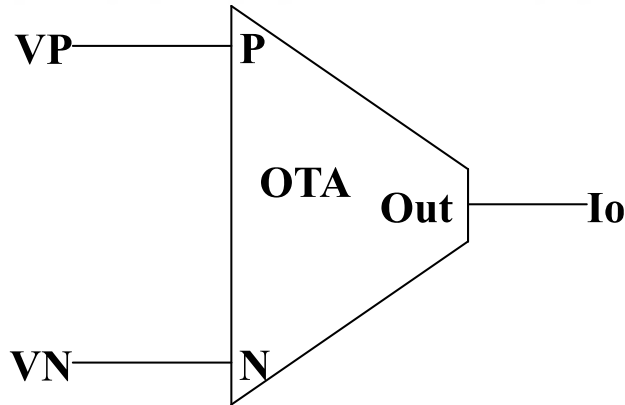
Bu çalışmada, PCM DC-DC buck dönüştürücüler için kullanılan tip-II OTA kompanzasyon devresinde yenilikçi bir yaklaşım sunulmaktadır. Geleneksel devredeki pasif kapasitörün yerine, daha az yer kaplayan ve elektronik olarak kontrol edilebilen bir kapasitör çarpıcı devresi tasarlanmıştır. Bu sayede, kompanzasyon devresinin boyutları küçültülmüş ve sistemin esnekliği artırılmıştır. Ayrıca devrede sadece taban empedansı pasif eleman olarak kullanılır ve bu eleman da tümleştirmeye uygun olarak topraklı yapıdadır. Harici başka pasif eleman kullanılmamıştır.

3. YÖNTEM

Bu bölümde tez kapsamında tasarlanan genelleştirilmiş pozitif/negatif empedans dönüştürücü devresi tanıtılacaktır. Bu kapsamda öncelikle devrede kullanılan OTA ve MO-OTA anlatılacaktır. Ardından önerilen pozitif/negatif empedans dönüştürücü devresi sunularak, dönüşümü yapılan empedanslara ait gerekli denklemler verilecektir. Önerilen devreye ait parazitik analizler yine bu bölümde yapılacaktır.

3.1. İŞLEMSEL GEÇİŞ İLETKENLİĞİ YÜKSELTECİ (OTA)

İşlemsel geçiş iletkenliği yükselteci (OTA), elektrikle ayarlanabilir amplifikatörler, filtreler, osilatörler ve akım modlu sinyal işleme devrelerinin tasarımında kullanılan temel bir bileşendir [77]. OTA, iki gerilim giriş terminaline ve bir akım çıkış terminaline sahiptir. İdeal koşullarda, OTA sınırsız giriş ve çıkış empedansı ile birlikte ayarlanabilir iletkenliğe sahip bir gerilim kontrollü akım kaynağı olarak işlev görür [78].



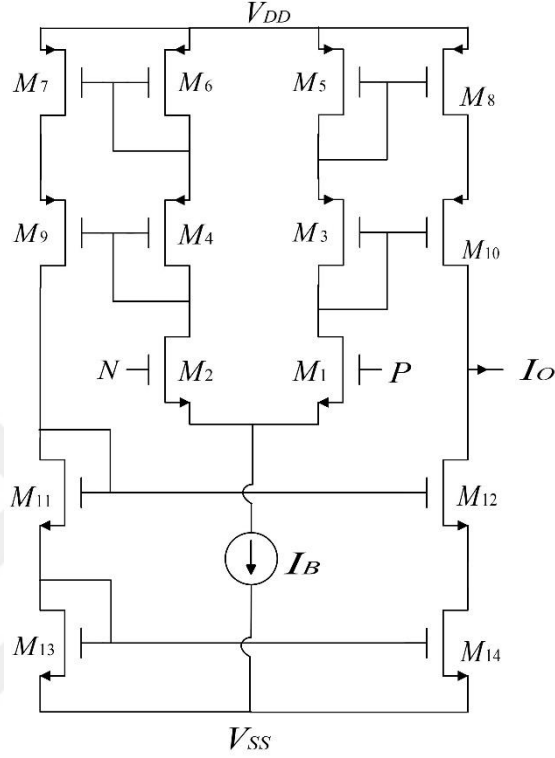
Şekil 3.1: OTA Blok gösterimi.

Tez kapsamında kullanılan OTA kaskod simetrik CMOS yapıdadır ve şematik gösterimi şekil 3.2’ de verilmiştir. OTA’ nın giriş gerilimi ile çıkış akımı arasındaki ilişki denklem (3.1) ile verilmiştir.

$$I_O = g_m(V_P - V_N) \quad (3.1)$$

OTA' nın giriş terminalleri P ve N' ye giren akımları, OTA' nın giriş empedansının idealde sonsuz olması sebebiyle denklem (3.2)' de gösterildiği gibidir.

$$I_P = I_N = 0 \quad (3.2)$$



Şekil 3.2: Kaskod Simetrik CMOS OTA Şematiği.

$$g_m = B \sqrt{I_B \mu_n C_{ox} \left(\frac{W}{L} \right)_I} \quad (3.3)$$

OTA' nın geçiş iletkenliği parametresi g_m denklem (3.3)' de verilmiştir. Burada B akım aynaları arasındaki katsayıyı, μ_n NMOS transistörlerin elektronlarındaki mobilitiyi, C_{ox} geçiş oksit kapasitesini, W Mosfet kanal genişliğini ve L ise Mosfet kanal uzunluğunu ifade etmektedir.

Kaskod simetrik CMOS OTA' nın çıkış direnci R_O aşağıdaki gibi bulunur;

$$R_O = \frac{r_{o10}(1 + g_{m10}r_{o8})r_{o12}(1 + g_{m12}r_{o14})}{r_{o10}(1 + g_{m10}r_{o8}) + r_{o12}(1 + g_{m12}r_{o14})} \quad (3.4)$$

$$r_{o8} = r_{o10} = \frac{2}{B\lambda_P I_B} \quad (3.5)$$

$$r_{o12} = r_{o14} = \frac{2}{B\lambda_N I_B} \quad (3.6)$$

Denklemler (3.5) ve (3.6)' de λ_N ve λ_P mosfetlerin kanal boyu modülasyon parametrelerini, B akım aynalarının Mosfet kanal genişlikleri oranını ifade etmektedir.

OTA' lara ait gerilim kazancı ve çalışma frekansı bağıntıları sırasıyla denklem (3.7) ve (3.8) de verilmiştir. Burada A_v gerilim kazancını, f_d çalışma frekansını ve C_o çıkış kapasitesini ifade etmektedir.

$$A_v = g_m R_o \quad (3.7)$$

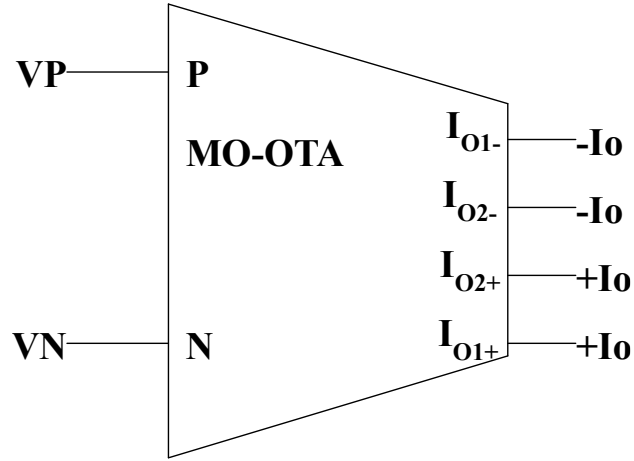
$$f_d = \frac{1}{2\pi R_o C_o} \quad (3.8)$$

3.2. ÇOK ÇIKIŞLI OTA (MO-OTA)

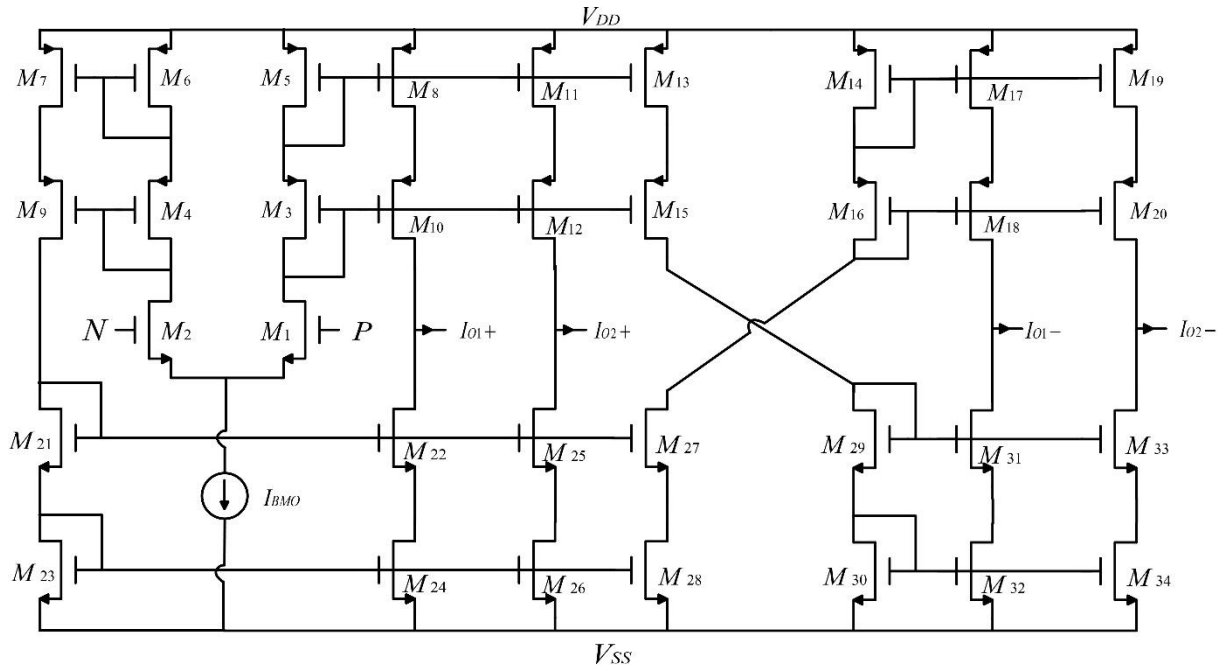
OTA' nın çıkış uçlarının hem pozitif hem de negatif çıkış akımları verecek şekilde çoğullanması yöntemiyle MO-OTA' lar elde edilmektedir. MO-OTA' nın blok gösterimi şekil 3.3' de verilmiştir. MO-OTA' nın simetrik CMOS tabanlı şematik gösterimi ise şekil 3.4' de verilmiştir. MO-OTA' ların çıkış akımları denklem (3.9)' de gösterildiği gibi elde edilir. MO-OTA' ların geçiş iletkenliği parametresi g_{mo} ise denklem (3.10)' da verilmiştir.

$$I_o = -(-I_o) = g_m(V_P - V_N) \quad (3.9)$$

$$g_{mo} = B \sqrt{I_{BMO} \mu_n C_{ox} \left(\frac{W}{L}\right)_I} \quad (3.10)$$



Şekil 3.3: MO-OTA Blok şema gösterimi.

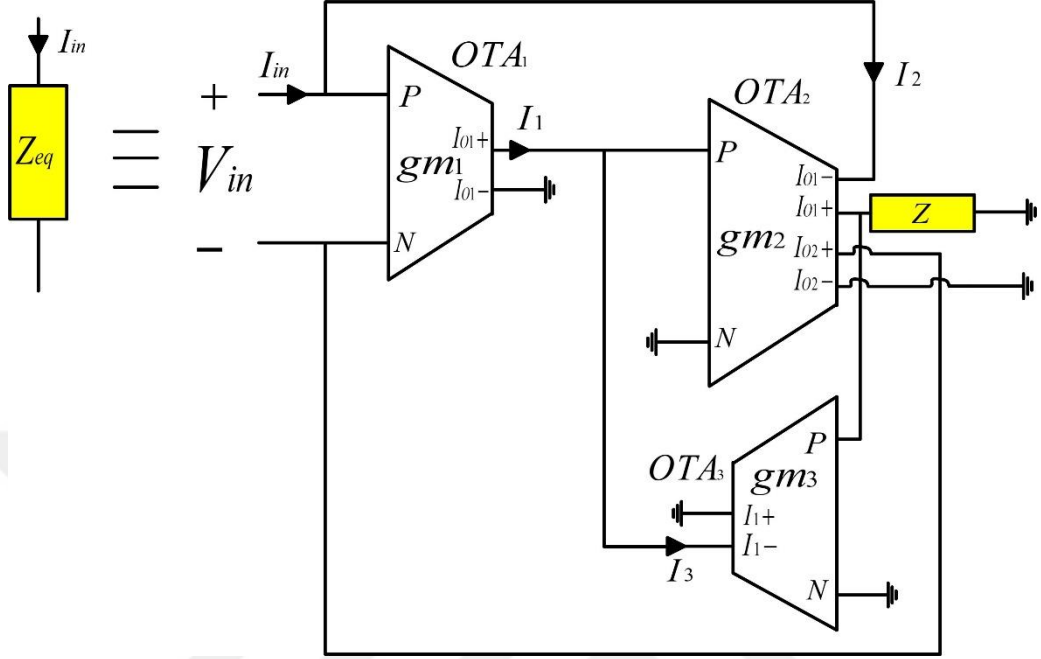


Şekil 3.4: MO-OTA CMOS şematik gösterimi.

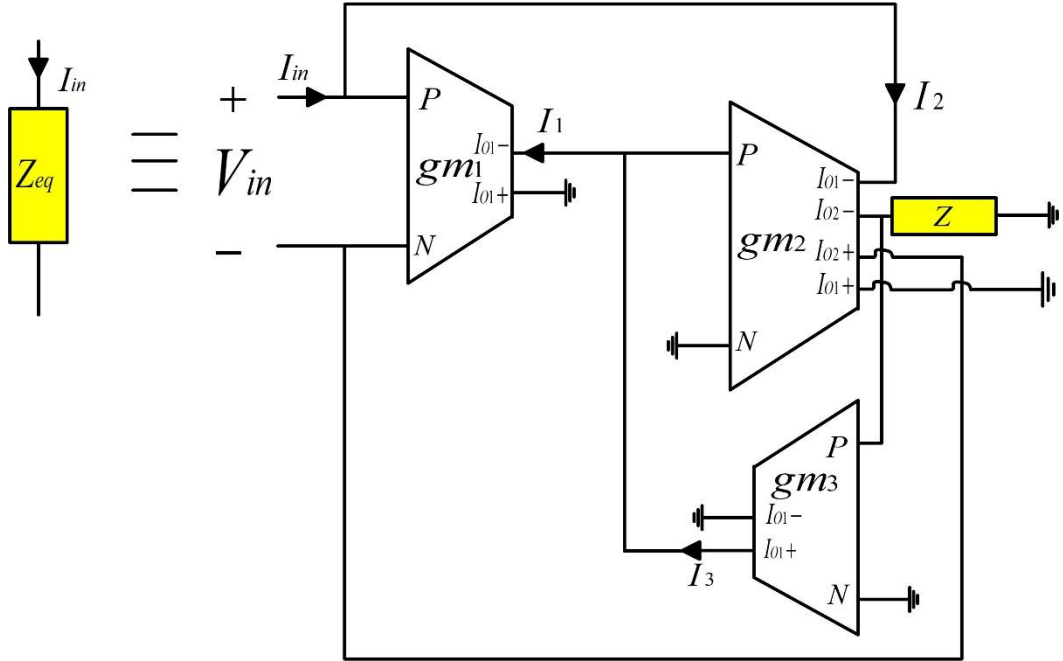
3.3. ÖNERİLEN GENELLEŞTİRİLMİŞ POZİTİF/NEGATİF EMPEDANS ÇARPICI DEVRESİ

Üç adet OTA' ya dayanan önerilen elektronik olarak ayarlanabilir yüzer empedans devresinin blok diyagramı Şekil 3.5' de gösterilmektedir. Bu devre, şekil 3.5' deki yapılandırma ile pozitif çarpma için kullanılabilir. Negatif çarpma elde etmek için ise, şekil 3.5' de gösterilen

devredeki pozitif ve negatif çıkış terminallerinin bağlantılarının yer değiştirilmesiyle elde edilen şekil 3.6’ da verilen devre kullanılabilir.



Şekil 3.5: Önerilen pozitif empedans çarpıcı devresi blok diyagramı.



Şekil 3.6: Önerilen negatif empedans çarpıcı devresi blok diyagramı.

Şekil 3.5 ve şekil 3.6’ da, g_{m1} , g_{m2} ve g_{m3} sırasıyla İşlemsel OTA’ ların geçiş iletkenliği parametrelerini temsil etmektedir. I_1 , I_2 ve I_3 çıkış akımları, sırasıyla birinci, ikinci ve üçüncü OTA’ lara aittir. OTA’ ların pozitif ve negatif çıkış akımları sırasıyla I+ ve I- olarak ifade edilir. Çarpılacak temel empedans Z ile gösterilirken, bu çarpımdan elde edilen sonuçta oluşan yüzer empedans Z_{eq} ile ifade edilir. Şekil 3.5’ de gösterilen pozitif empedans çarpan devresi için, Z_{eq} şu şekilde belirlenir:

$$I_1 = I_3 \quad (3.11)$$

$$gm_1(V_{in}) = gm_3(V_Z) \quad (3.12)$$

$$V_Z = I_{in}(Z) \quad (3.13)$$

$$\frac{V_{in}}{I_{in}} = Z_{eq} = \frac{gm_3}{gm_1} Z \quad (3.14)$$

Benzer şekilde, Şekil 3.6’ da verilen negatif empedans çarpıcı devresi için, eşdeğer empedans Z_{eq} şu şekilde hesaplanır:

$$Z_{eq} = -\frac{gm_3}{gm_1} Z \quad (3.15)$$

Temel empedans Z ’ ye dayalı genel çarpma denklemleri elde edildikten sonra, direnç, kapasitans ve indüktans empedansları için denklemler şu şekilde türetilmiştir:

Eğer taban empedans Z , R direnci olarak seçilirse, pozitif çarpım denklem (3.16)’ de gösterildiği gibi elde edilir.

$$R_{eq} = \frac{gm_3}{gm_1} R \quad (3.16)$$

Eğer taban empedans Z yerine C kapasitörü seçilirse, pozitif çarpım denklem (3.17)’ de gösterildiği gibi elde edilir.

$$C_{eq} = \frac{gm_1}{gm_3} C \quad (3.17)$$

Eğer taban empedans Z yerine L indüktörü seçilirse, pozitif çarpım denklem (3.18)’ de gösterildiği gibi elde edilir.

$$L_{eq} = \frac{gm_3}{gm_1} L \quad (3.18)$$

Yukarıda anlatılanlara benzer şekilde negatif empedans çarpıcı devresinin denklemleri de şekil 3.6' dan yola çıkarak elde edilebilir. Sırasıyla direnç, kapasitans ve indüktans çarpıcı denklemleri pozitif taban pasif elemanlarına göre denklemler (3.19), (3.20) ve (3.21)' de verilmiştir.

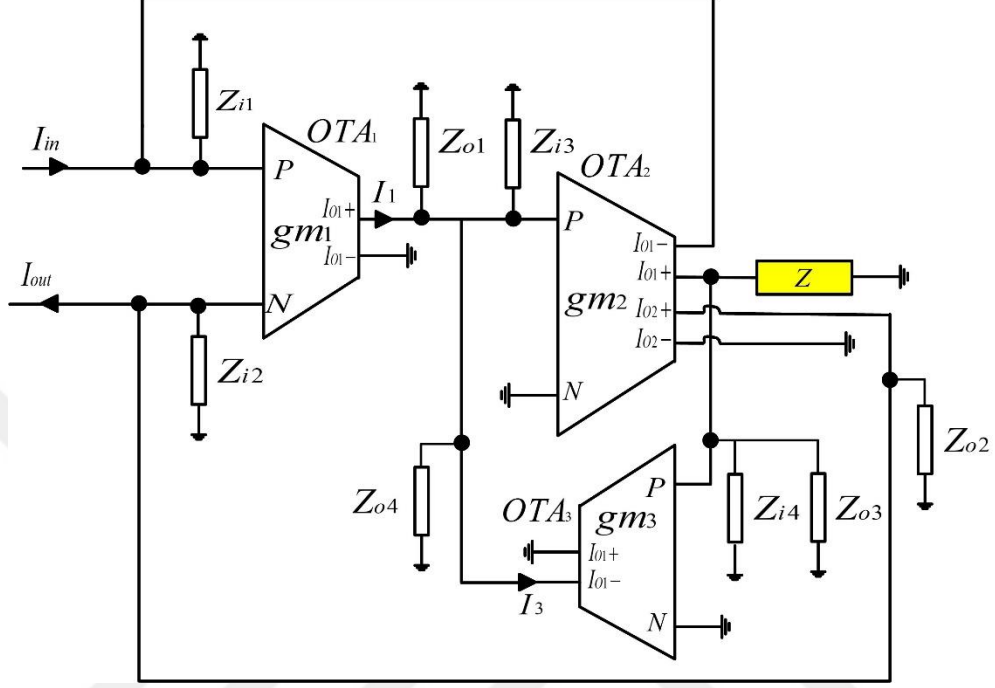
$$R_{eq} = -\frac{gm_3}{gm_1} R \quad (3.19)$$

$$C_{eq} = -\frac{gm_1}{gm_3} C \quad (3.20)$$

$$L_{eq} = -\frac{gm_3}{gm_1} L \quad (3.21)$$

3.4. ÖNERİLEN DEVRENİN PARAZİTİK ANALİZİ

Önerilen pozitif empedans çarpıcı devresinin parazitik empedansları şekil 3.7’ de verilmiştir.



Şekil 3.7: Önerilen pozitif empedans çarpıcı devresi ve buna eşlik eden parazitik empedanslar.

Şekil 3.7’ de, giriş ve çıkış parazitik empedansları sırasıyla Z_i ve Z_o olarak temsil edilmiştir. Parazitik empedanslar, paralel bağlanmış parazitik dirençler ve kapasitörlerden oluşmaktadır. Giriş ve çıkış empedanslarının yapısı şu şekildedir: $Z_i = R_i // X_{Ci}$, $Z_o = R_o // X_{Co}$. Burada R_i ve C_i , sırasıyla giriş parazitik direnci ve kapasitansı temsil ederken, R_o ve C_o çıkış parazitik direnci ve kapasitansı ifade etmektedir.

OTA’ ların ideal giriş ve çıkış empedansları sonsuzdur, ancak gerçek dünya koşullarında genellikle giriş direnci ve kapasitansı sırasıyla $100\text{M}\Omega$ ve 50fF mertebelerindedir. Çıkış direnci ve kapasitansı ise sırasıyla $1\text{M}\Omega$ ve 100fF seviyelerindedir [79][80].

$Z_{i1}, Z_{i2}, Z_{i3}, Z_{o1}, Z_{o2}$ ve Z_{o4} empedansları, son derece yüksek empedans değerleri olması nedeniyle ihmal edilebilir olarak kabul edilmektedir.

$$I_1 \cong g_{m1} \times V_{in} \quad (3.22)$$

$$V_Z \cong I_{in} \times (Z // Z_{i4} // Z_{o3}) \quad (3.23)$$

$$g_{m1} \times V_{in} \cong g_{m3}(I_{in} \times (Z // Z_{i4} // Z_{o3})) \quad (3.24)$$

Denklemler (3.22)-(3.24), yeniden düzenlenir ve eşdeğer giriş empedansı Z_{eq}), denklem (3.25)' de verildiği gibi elde edilir.

$$\frac{V_{in}}{I_{in}} = Z_{eq} \cong \frac{g_{m3}}{g_{m1}} (Z // Z_{i4} // Z_{o3}) \quad (3.25)$$

Önerilen devrenin çalışma frekansı analizi parazitik etkilerle beraber şu şekildedir;

$$|Z| \ll |R_{i4} // \frac{1}{j\omega C_{i4}} // R_{o3} // \frac{1}{j\omega C_{o3}}| \quad (3.26)$$

$$|R_{i4} // \frac{1}{j\omega C_{i4}} // R_{o3} // \frac{1}{j\omega C_{o3}}| \geq 10|Z| \quad (3.27)$$

$R_P = R_{i4} // R_{o3}$, $C_P = C_{i4} + C_{o3}$ olması sebebiyle; önerilen devrenin taban empedansı Z' yi parazitik etkilerden etkilenmeden çarpabilmesi için denklem (3.28) koşulu sağlanmalıdır.

$$\frac{R_P}{\sqrt{1 + \omega^2 R_P^2 C_P^2}} \geq 10|Z| \quad (3.28)$$

Denklem (3.28) alçak ve yüksek frekans bölgeleri için ele alınırsa taban empedansı Z için denklem (3.29)' de verilen durum geçerlidir.

$$\begin{cases} |Z| \leq \frac{R_P}{10}, & \omega \rightarrow 0 \\ \omega \leq \frac{1}{10|Z|C_P} = \omega_h, & \omega \rightarrow \infty \end{cases} \quad (3.29)$$

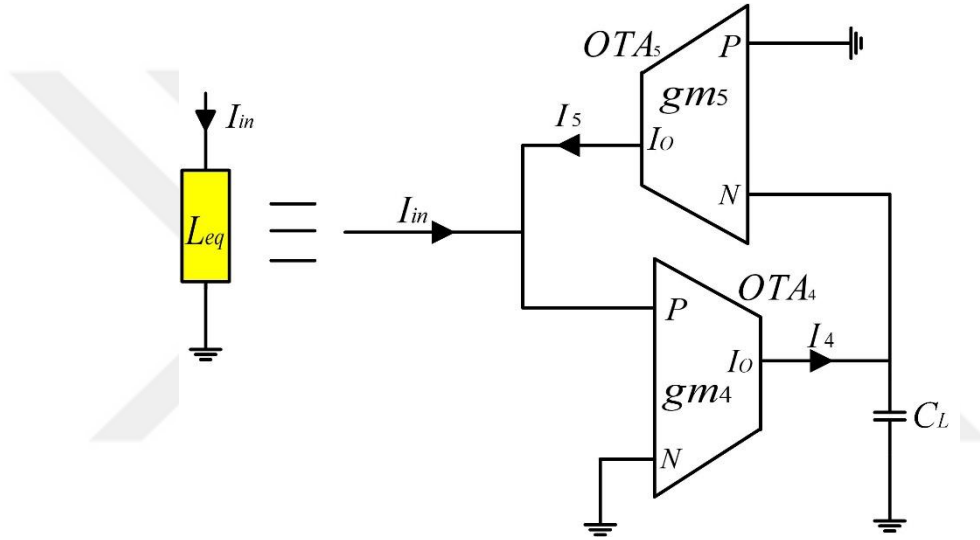
Denklem (3.29)' de ω çalışma frekansını, ω_h maksimum çalışma frekansını temsil eder.

3.5. ÖNERİLEN DEVREDE KULLANILAN İNDÜKTANS SİMÜLATÖRÜ

Endüktans, birçok analog ve karışık sinyal devresi ve sistemi için hayati bir bileşendir. Bir devrenin çalışma frekansı çok yüksek değilse genellikle büyük endüktanslara ihtiyaç duyulur, ancak büyük çip alanı gerektirdiğinden bunların entegre devreye dahil edilmesi zordur. Endüktansın analog işlevini gerçekleştirebilen endüktör simülatörleri geliştirmek için çok sayıda girişimde bulunulmuştur [50, 52], [81–91]. Bu endüktör simülatörlerinin en yaygın kullanılan yapıları, çoklu pasif bileşenlerden ve akım taşıyıcı (CC) [91], akım geri beslemeli işlemsel yükselteç (CFOA) [92] işlemsel trans-iletkenlik yükselteci (OTA) [93] ve akım farkı

tamponlu yükselteç (CDBA) [88] gibi karmaşık işlemsel modüllerden oluşmaktadır. Bunun nedeni, düşük frekanslı uygulamaları hedeflerken, işlevsel esneklik elde etmeye çalışmaları, yani frekans bağımlı negatif direnç (FDNR) gibi diğer devre fonksiyonlarını oluşturmak üzere yeniden yapılandırılmalarıdır [94]. Diğer yapılar [95, 96] yapısal olarak basit olmak ve parazitik parametrelerin etkisini en aza indirmek için daha az ve daha az karmaşık bileşen kullanır. Ancak, bunlar öncelikle yüksek frekanslı veya RF uygulamaları için kullanılır.

Bu tez kapsamında önerilen genelleştirilmiş empedans çarpıcı devresinin indüktans çarpımı için şekil 3.8’ de verilen devre kullanılacaktır [93].



Şekil 3.8: Taban indüktans empedansı olarak kullanılacak simülatör devresi [93].

Şekil 3.8’ de verilen devrede eş değer empedans Z_{eq} , C_L yük kapasitörü, empedans gerilimi V_{in} ve üzerinden geçen akım I_{in} ’ e bağlı olarak denklem (3.33)’ da elde edilmiştir.

$$I_5 = -g_{m5}(0 - V_{CL}) = -I_{in} \quad (3.30)$$

$$V_{CL} = I_4 \frac{1}{sC_L} g_{m4}(V_{in} - 0) \frac{1}{sC_L} \quad (3.31)$$

$$Z_{eq} = \frac{V_{in}}{I_{in}} = \frac{sC_L}{g_{m4}g_{m5}} \quad (3.32)$$

$$L_{eq} = \frac{C_L}{g_{m4}g_{m5}} \quad (3.33)$$

Burada I_4 ve I_5 sırasıyla OTA_4 ve OTA_5 ’ e ait çıkış akımlarıdır. V_{CL} ; C_L yük kapasitörü üzerinde oluşan gerilimdir.

4. BULGULAR

Bu bölümde tez kapsamında özgün olarak tasarlanan genelleştirilmiş empedans dönüştürücü devresine simülasyon ve deney sonuçları verilecektir. İlk olarak önerilen devrede kullanılan OTA' ların akım-gerilim ve frekans cevaplarının simülasyon grafikleri verilecektir. Ardından önerilen devrenin empedans çarpıcı özelliklerinin test edildiği rezistans, kapasitans ve endüktans çarpımlarına ait simülasyonlar verilecektir. Kapasitans çarpımı için bir deney uygulaması da yine bu bölümde sunulacaktır. Son olarak tip-II kompanzasyon devre modülünde için önerilen devrenin kapasitans çarpıcı özelliği kullanılarak PCM Buck DC/DC dönüştürücü uygulaması yapılacaktır.

Simülasyon uygulamaları için LTspice programı kullanılmıştır. Mosfetler için TSMC $0.18\mu m$ CMOS teknolojisi kullanılmıştır. MO-OTA' lar için Mosfet genişlik (W) ve uzunluk (L) boyutları Tablo 4.1' de verilmiştir.

Tablo 4.1: Simülasyon için seçilen Mosfet boyutları.

Mosfetler	W	L
$M_1 - M_2$	$2\mu m$	$0.36\mu m$
$M_{21} - M_{34}$	$4\mu m$	$0.36\mu m$
$M_3 - M_6$	$2.5\mu m$	$0.36\mu m$
$M_7 - M_{20}$	$B \times 2.5\mu m$	$0.36\mu m$

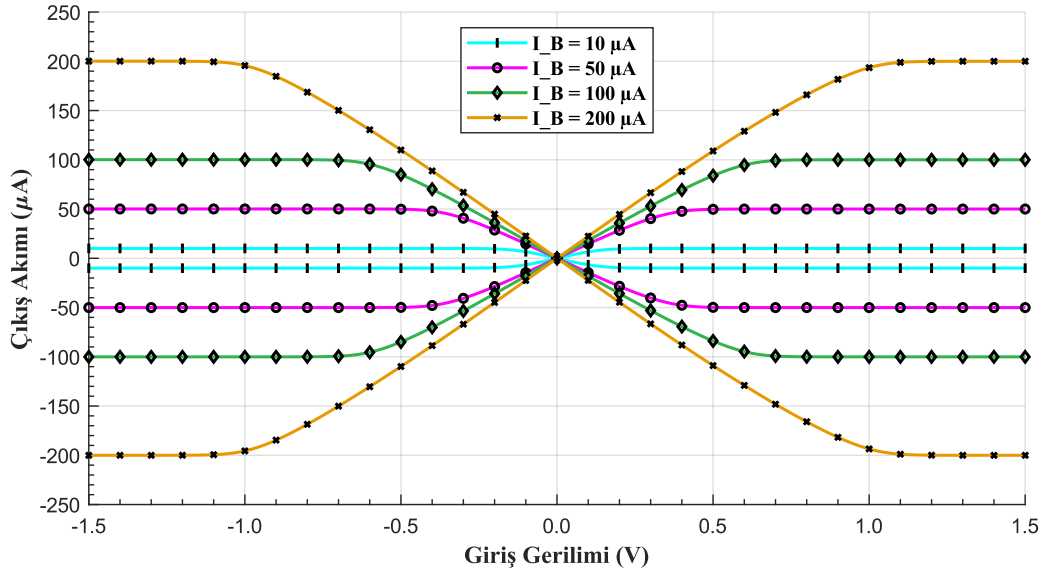
Simülasyon için OTA' ların besleme gerilimleri $VDD = 2V$ ve $VSS = -2V$ olarak seçilmiştir. OTA' ların çıkış dirençleri ve kapasitansları Tablo 4.2' de verildiği gibi elde edilmiştir.

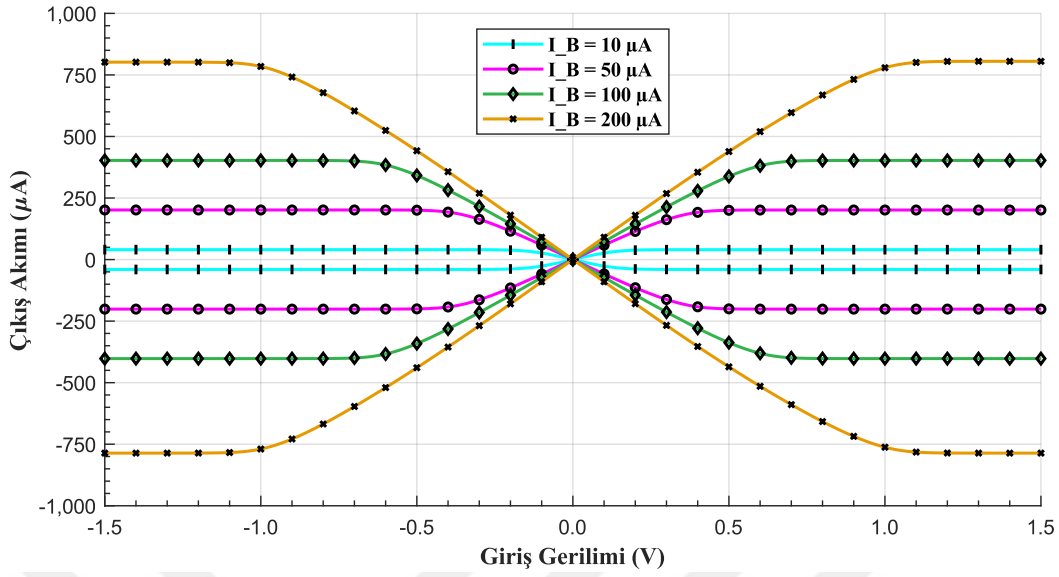
Tablo 4.2: Farklı Kuyruk akımı ve frekanslara göre OTA' ların çıkış empedansları.

	OTA (B=4)			MO-OTA (B=1)			
OTA Kuyruk Akımları	$6\mu A$	$12.5\mu A$	$25\mu A$	$0.32\mu A$	$2\mu A$	$8\mu A$	
Çıkış Direnci	$57.71M\Omega$	$28.30M\Omega$	$13.41M\Omega$	$3.11G\Omega$	$522M\Omega$	$143M\Omega$	
Çıkış Kapasitansı	100KHz	$55.41fF$	$135.38fF$	$505fF$	$9.87fF$	$10.84fF$	$22.41fF$
	500KHz	$31.24fF$	$34.23fF$	$48.67fF$	$9.83fF$	$9.93fF$	$10.45fF$
	1MHz	$30.49fF$	$31.07fF$	$34.37fF$	$9.82fF$	$9.90fF$	$10.08fF$

4.1. OTA ELEMANLARININ AKIM-GERİLİM VE FREKANS CEVAPLARI

OTA' ların giriş gerilimlerine karşılık çıkış akımları akım aynalarının genişlik oranı B' ye göre B=1 ve B=4 için sırasıyla şekil 4.1 ve şekil 4.2' de verilmiştir. Şekil 4.1 ve şekil 4.2' de OTA' ların hem pozitif hem de negatif çıkış uçlarının akımlarına yer verilmiştir. Kuyruk akımları $10\mu A$, $50\mu A$ ve $100\mu A$ olarak seçilmiştir.

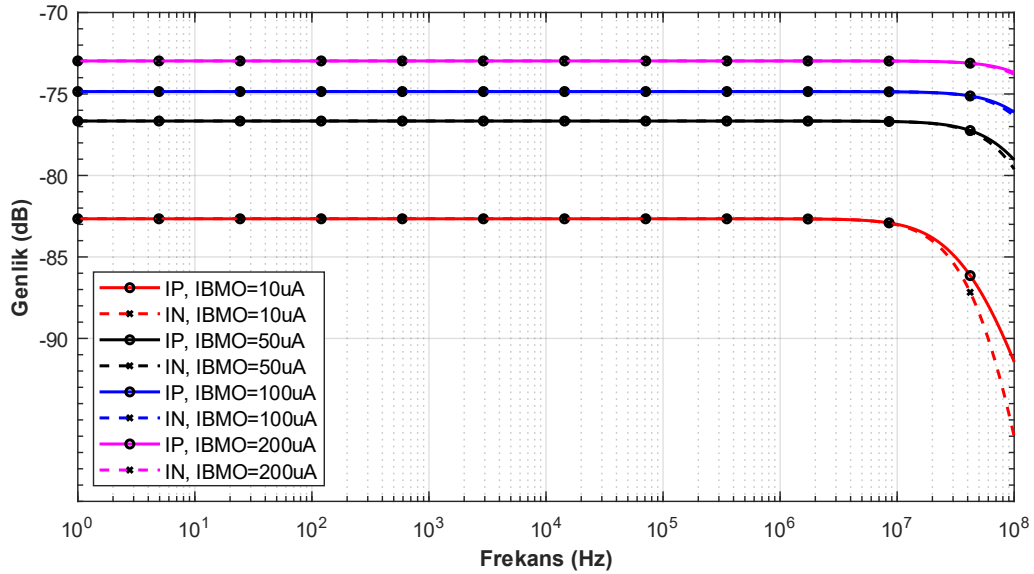
**Şekil 4.1:** B=1 için, MO-OTA Giriş gerilimi-çıkış akımı karakteristiği.



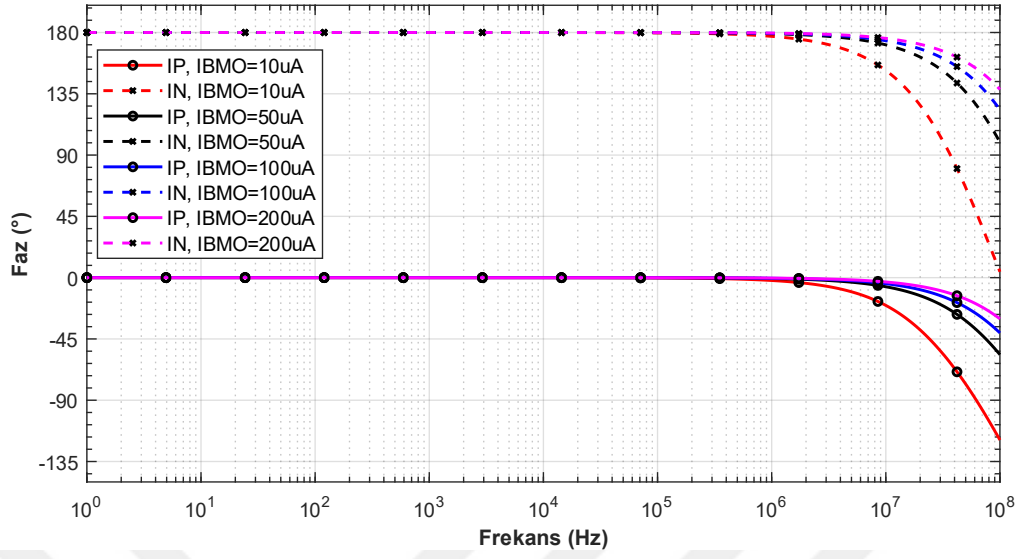
Şekil 4.2: $B=4$ için MO-OTA Giriş gerilimi-çıkış akımı karakteristiği.

OTA'ların frekans alanı analizi için girişteki P portuna alternatif gerilim kaynağı, N portuna ise topraklama uygulanmıştır. OTA'ların pozitif ve negatif akım çıkışlarına ise $1K\Omega$ dirençler yük olarak bağlanarak bir ucu topraklanmıştır.

OTA'ların genlik ve faz cevapları $B=1$ için sırasıyla Şekil 4.3 ve Şekil 4.4'de verilmiştir. Kesik çizgiler ile belirtilenler OTA'ların negatif çıkışlarını temsil etmektedir.



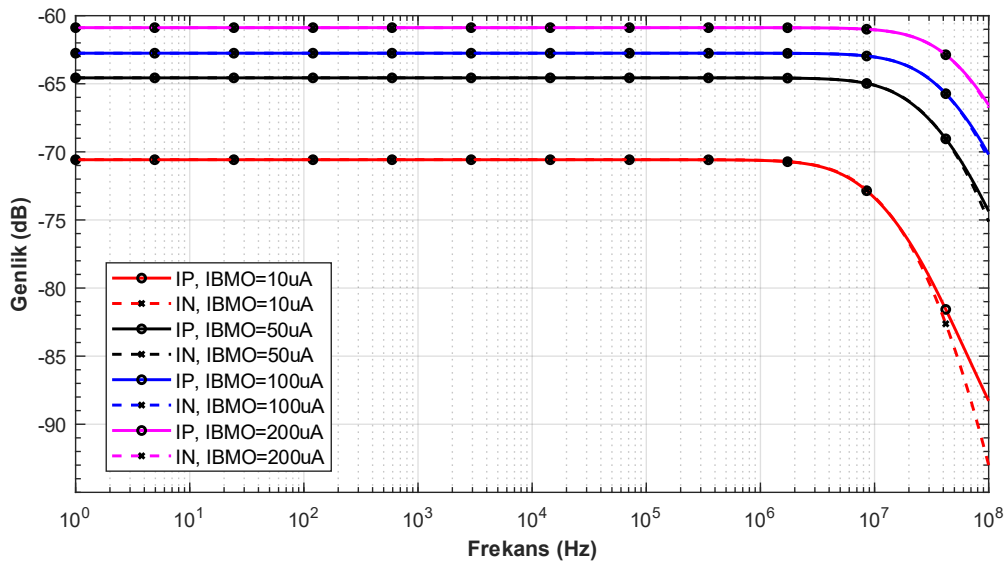
Şekil 4.3: $B=1$ için OTA'ların genlik cevabı.



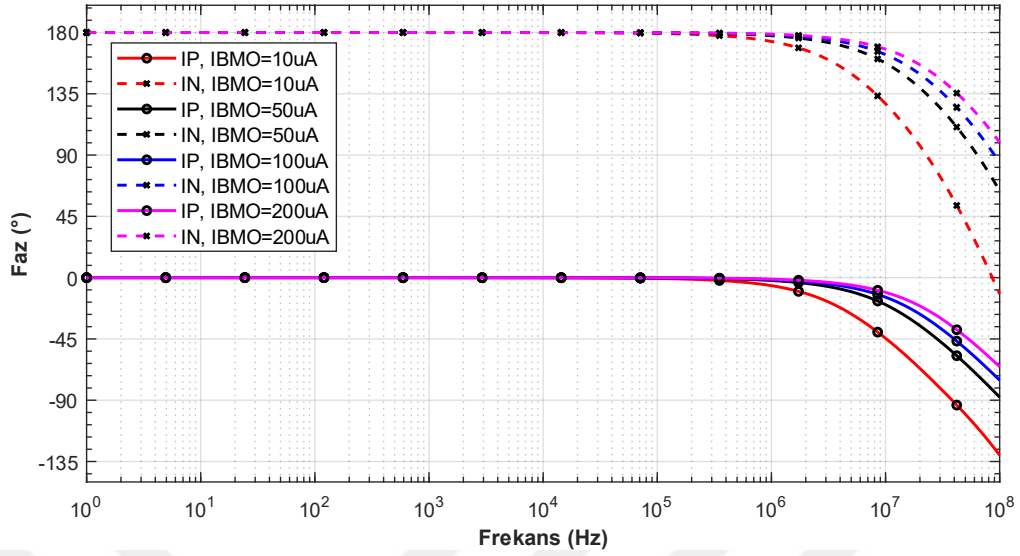
Şekil 4.4: B=1 için OTA' ların faz cevabı.

Şekil 4.3' de kazançlar kuyruk akımının artışı ile artarak -82dB' den -73dB' ye yükselmektedir. Şekil 4.4' de ise giriş gerilimi pozitif olması sebebiyle, pozitif uçtan çıkan akımların fazı 0° , negatif uçtan çıkan akımların fazları ise 180° olduğu görülmüştür. Çalışma frekansının 32MHz' den 100MHz' e kadar çıktığı görülmüştür.

B=4 durumu için OTA' ların genlik ve faz cevapları sırasıyla şekil 4.5 ve şekil 4.6' da verilmiştir.



Şekil 4.5: B=4 için OTA' ların genlik-frekans grafiği.



Şekil 4.6: B=4 için OTA'ların faz-frekans grafiği.

Şekil 4.5' de kazançlar kuyruk akımının artışı ile beraber -70.6dB' den -60.9dB' ye yükselmektedir. Şekil 4.6' da ise giriş gerilimi pozitif olması sebebiyle, pozitif uçtan çıkan akımların fazı 0° , negatif uçtan çıkan akımların fazları ise 180° dir. Çalışma frekansı ise 10.7MHz' den 55.2MHz' e kadar çıkmıştır.

4.2. ÖNERİLEN DEVRENİN EMPEDANS ÇARPIM SİMÜLASYONLARI

Bu tez kapsamında önerilen genelleştirilmiş empedans çarpıcı devresi ile rezistans, kapasitans ve endüktanslara ait hem pozitif hem de negatif çarpım simülasyonları bu bölümde verilmiştir.

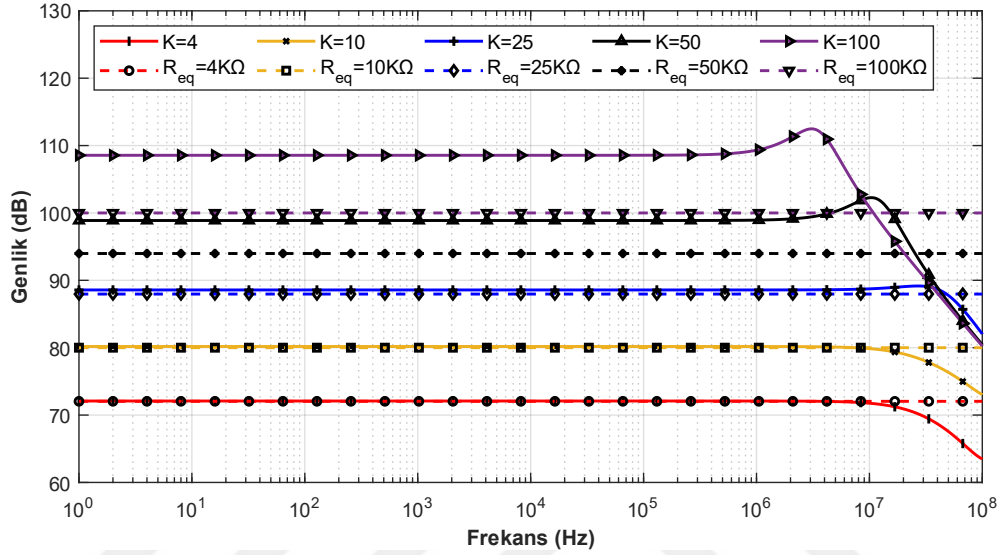
Simülasyonlar esnasında tüm OTA' larda giriş Mosfet tranzistörleri aynı özelliklerde olduğu için elektronik kontrol özelliğini sağlayan denklemler (3.12) ve (3.13) ile verilen g_m parametrelerinin oranı, denklem (3.8)' de gösterildiği gibi doğrudan bias akımlarına bağlı olacaktır. Simülasyonlarda çarpma faktörü K ile sembolize edilmiştir.

4.2.1. Rezistans Çarpımı Simülasyonları

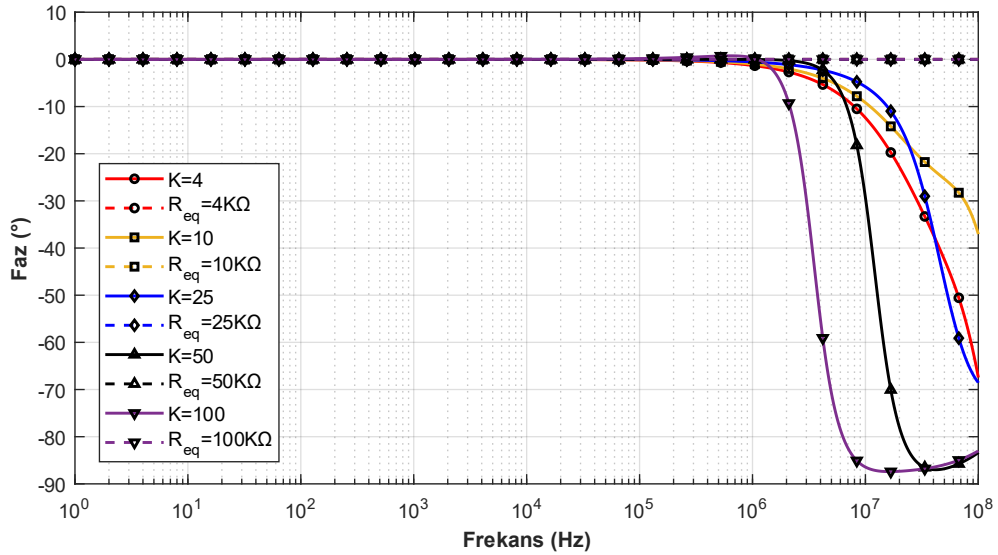
Rezistans çarpımı simülasyonları için pozitif çarpım için şekil 3.5 ve negatif çarpım için şekil 3.6' da verilen devrelerde taban empedans olarak direnç seçilerek simülasyonlar yapılmıştır. Pozitif ve negatif çarpım için kullanılan taban empedans direnç değeri $1K\Omega$ olarak seçilmiştir.

Bu bölümde, MO-OTA' ların $M_7 - M_{20}$ transistörlerinin genişlikleri, OTA_2 ve OTA_3 için $B = 4$ değeriyle $10 \mu m$, OTA_1 için ise $B = 1$ değeriyle $2.5 \mu m$ olarak belirlenmiştir.

Önerilen devre ile pozitif direnç rezistans simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.7 ve şekil 4.8' de verilmiştir.



Şekil 4.7: Önerilen devre ile pozitif rezistans çarpımı genlik-frekans simülasyon grafiği.



Şekil 4.8: Önerilen devre ile pozitif rezistans çarpımı faz-frekans simülasyon grafiği.

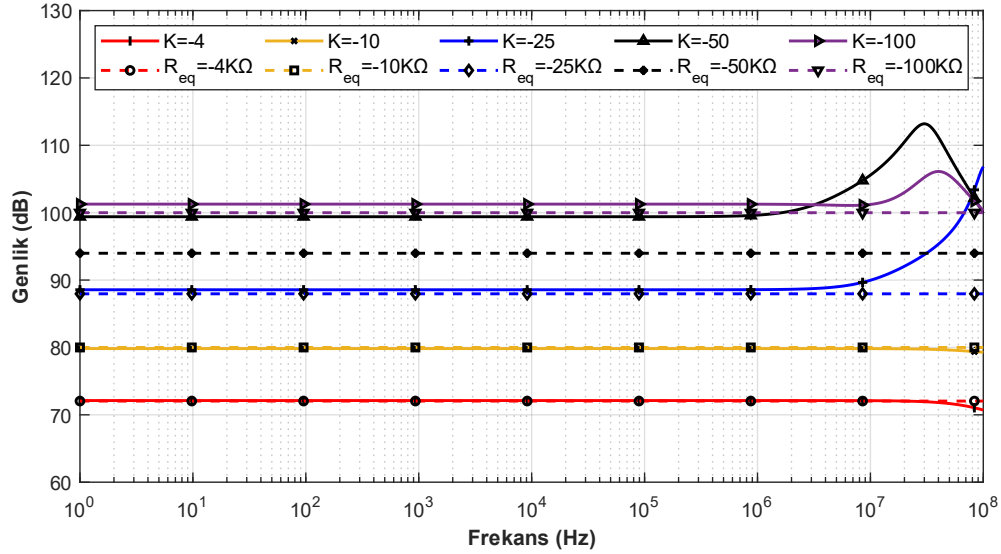
OTA_1 , OTA_2 ve OTA_3 için bias akımları sırasıyla I_{BM01} , I_{BM02} ve I_{BM03} olarak gösterilmektedir. Pozitif direnç çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında,

OTA' lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.3' de verildiği gibi seçilmiştir.

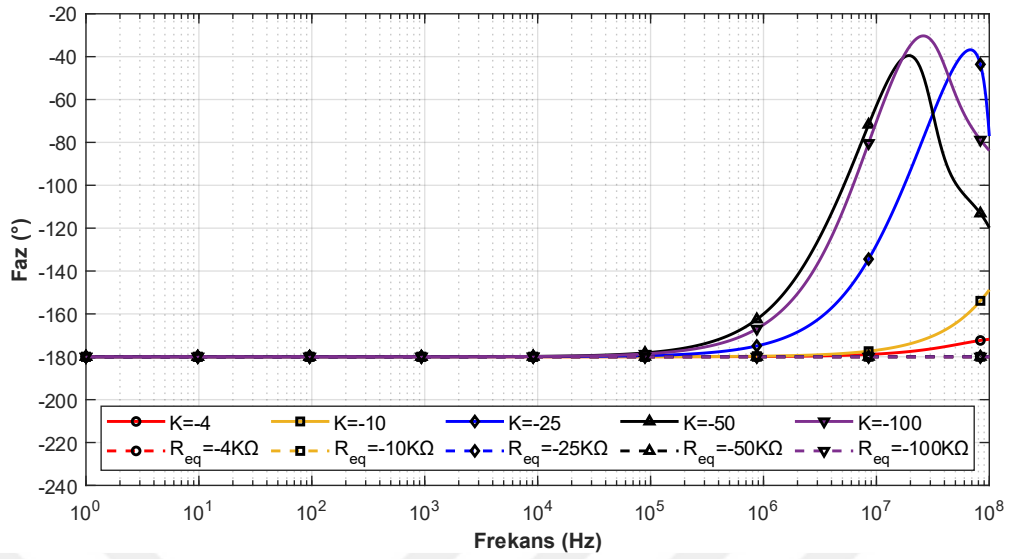
Tablo 4.3: Pozitif rezistans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
4	100	100	100	0-118MHz	0.05
10	16	100	100	0-72MHz	0.22
25	6.4	250	250	0-49MHz	0.69
50	1.6	250	250	0-12MHz	4.94
100	0.4	250	250	0-3.5MHz	7.4

Önerilen devre ile negatif rezistans çarpım simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.9 ve şekil 4.10' da verilmiştir.



Şekil 4.9: Önerilen devre ile negatif rezistans çarpımı genlik-frekans simülasyon grafiği.



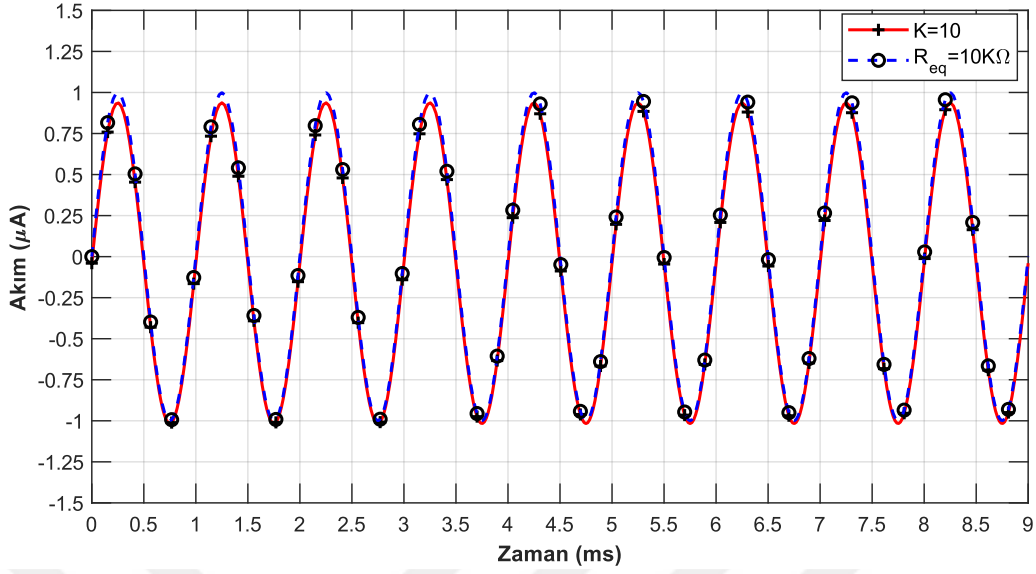
Şekil 4.10: Önerilen devre ile negatif rezistans çarpımı faz-frekans simülasyon grafiği.

Negatif rezistans çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında, OTA'lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.4' de verildiği gibi seçilmiştir.

Tablo 4.4: Negatif rezistans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BMO1} (\mu A)$	$I_{BMO2} (\mu A)$	$I_{BMO3} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
-4	100	100	100	0-120MHz	0.15
-10	16	100	100	0-98MHz	0.23
-25	6.4	250	250	0-81MHz	0.68
-50	1.6	250	250	0-24MHz	5.45
-100	0.4	250	250	0-28MHz	1.25

Rezistans çarpım simülasyonlarında frekans alanı simülasyonlarının yansıra zaman alanı simülasyonu da yapılmıştır. Bunun için 10mV tepeden tepeye genliğe ve 1KHz frekansa sahip gerilim kaynağı, taban empedans olarak bir ucu topraklı $1K\Omega$ direnç kullanılarak $K=10$ rezistans çarpımı yapılmıştır. OTA'ların kuyruk akımları Tablo 4.3' de $K=10$ için verilen değerler seçilmiştir. Simülasyon sonucunda direnç üzerinde zamana bağlı gözlemlenen akım grafiği şekil 4.11' de verilmiştir.



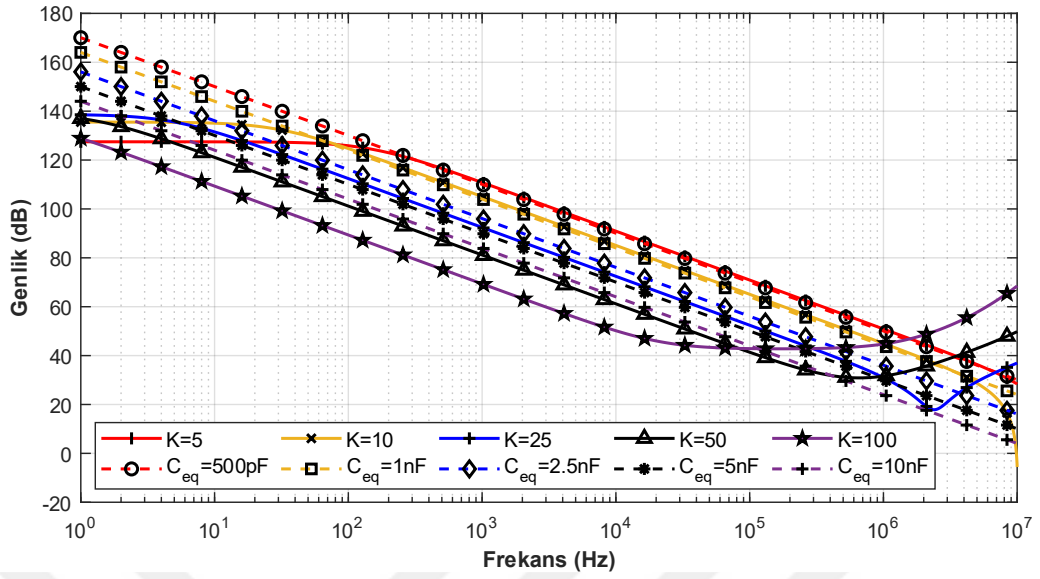
Şekil 4.11: $K=10$ için rezistans çarpıcı zaman alanı simülasyonu.

4.2.2. Kapasitans Çarpımı Simülasyonları

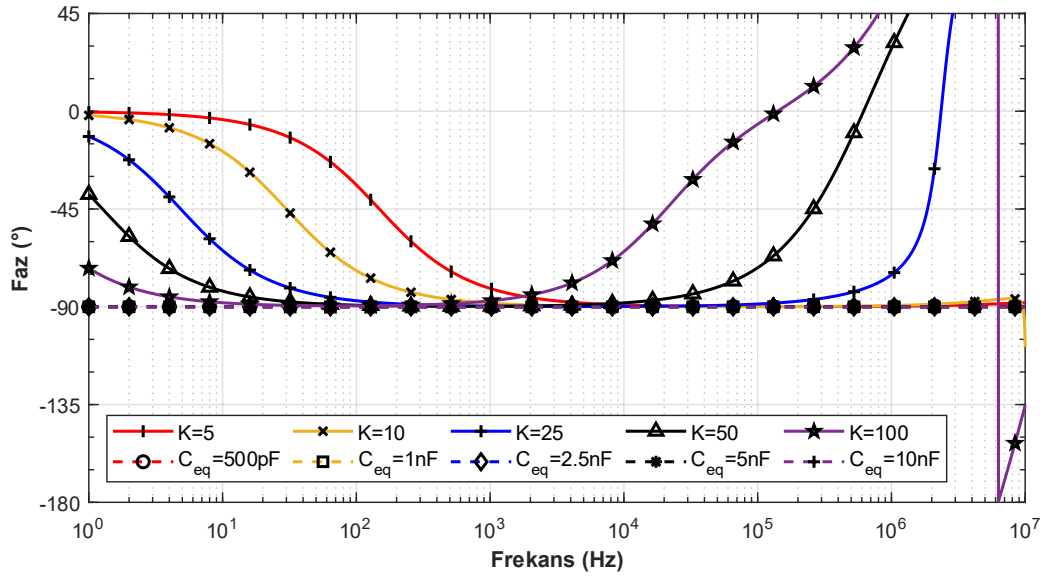
Kapasitans çarpımı simülasyonları için pozitif çarpım için şekil 3.5 ve negatif çarpım için şekil 3.6’ da verilen devrelerde taban empedans olarak kapasitör seçilerek simülasyonlar yapılmıştır. Pozitif ve negatif çarpım için kullanılan taban empedans kapasitör değeri $100pF$ olarak seçilmiştir.

Bu bölümde, MO-OTA’ ların $M_7 - M_{20}$ transistörlerinin genişlikleri, OTA_2 ve OTA_3 için $B = 1$ değeriyle $2.5 \mu m$, OTA_1 için ise $B = 4$ değeriyle $10 \mu m$ olarak belirlenmiştir.

Önerilen devre ile pozitif kapasitans çarpım simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.12 ve şekil 4.13’ de verilmiştir.



Şekil 4.12: Önerilen devre ile pozitif kapasitans çarpımı genlik-frekans simülasyon grafiği.



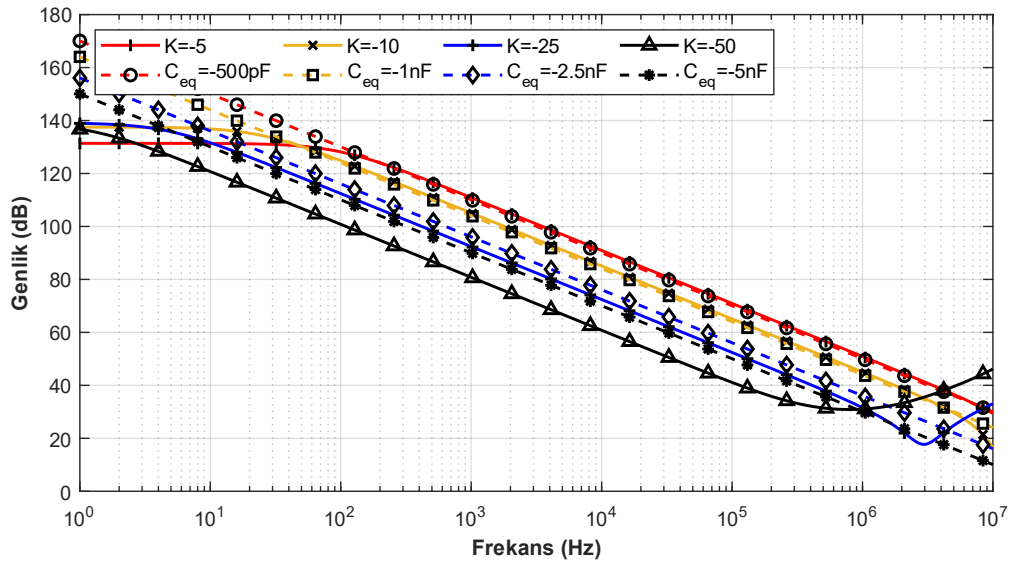
Şekil 4.13: Önerilen devre ile pozitif kapasitans çarpımı faz-frekans simülasyon grafiği.

Pozitif kapasitans çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında, OTA'lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.5' de verildiği gibi seçilmiştir.

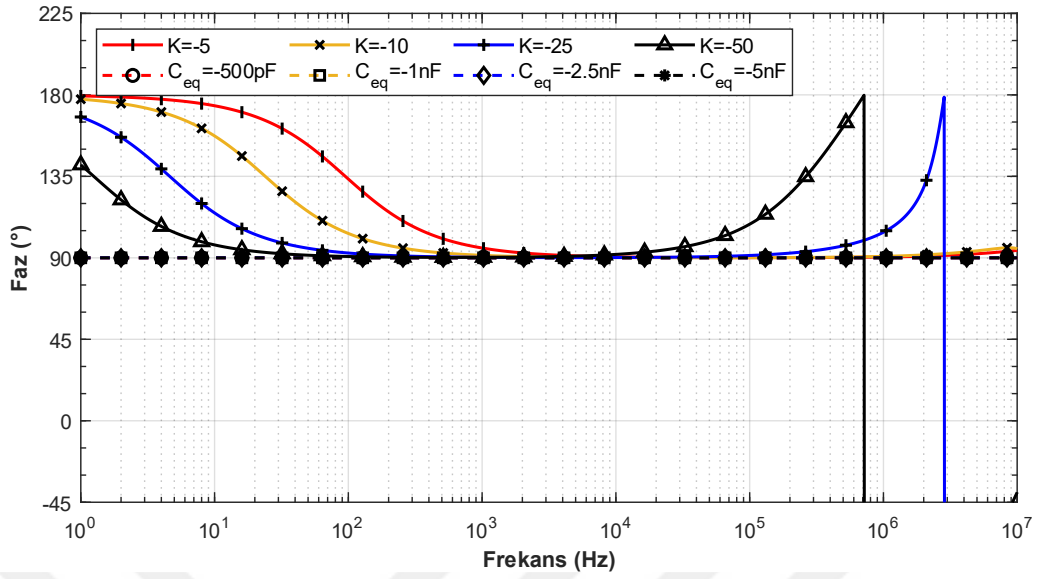
Tablo 4.5: Pozitif kapasitans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
5	125	80	80	200Hz-20MHz	1.31
10	125	20	20	25Hz-12MHz	1.80
25	125	3.2	3.2	0-2MHz	6.98
50	125	0.8	0.8	0-627KHz	9.89
100	125	0.2	0.2	0-60KHz	16.68

Önerilen devre ile negatif kapasitans çarpım simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.14 ve şekil 4.15’ de verilmiştir.



Şekil 4.14: Önerilen devre ile negatif kapasitans çarpımı genlik-frekans simülasyon grafiği.



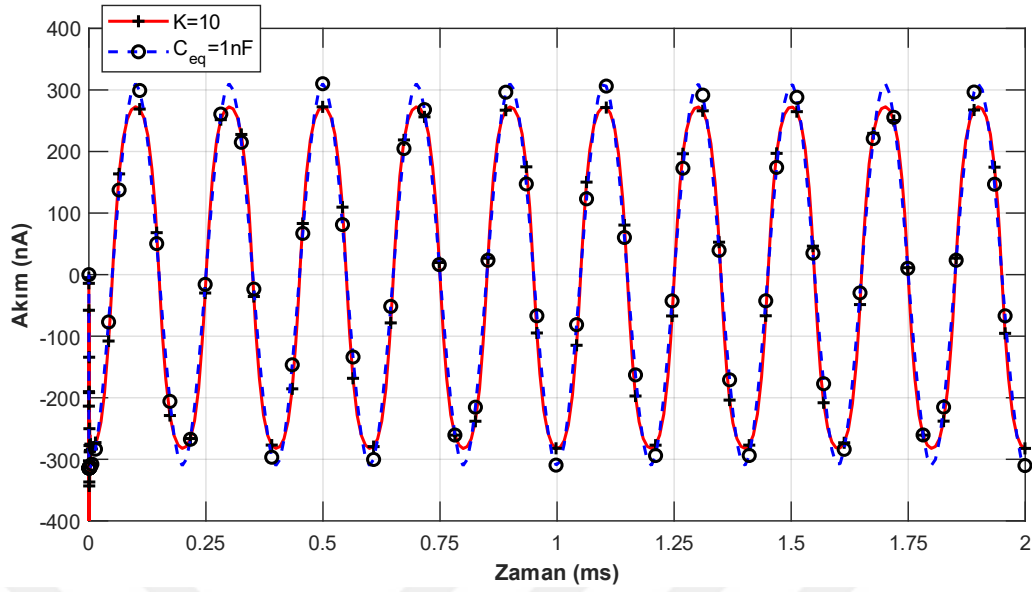
Şekil 4.15: Önerilen devre ile negatif kapasitans çarpımı faz-frekans simülasyon grafiği.

Negatif kapasitans çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında, OTA' lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.6' da verildiği gibi seçilmiştir.

Tablo 4.6: Negatif kapasitans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
-5	125	80	80	100Hz-20MHz	0.1
-10	125	20	20	130Hz-12MHz	1.26
-25	125	3.2	3.2	0-2MHz	4.80
-50	125	0.8	0.8	0-0.5MHz	13.1

Kapasitans çarpım simülasyonlarında frekans alanı simülasyonlarının yansıra zaman alanı simülasyonu da yapılmıştır. Bunun için 10mV tepeden tepeye genliğe ve 5KHz frekansa sahip gerilim kaynağı, taban empedans olarak bir ucu topraklı 100pF kapasitör kullanılarak K=10 kapasitans çarpımı yapılmıştır. OTA' ların kuyruk akımları Tablo 4.5' de K=10 için verilen değerler seçilmiştir. Simülasyon sonucunda kapasitör üzerinde zamana bağlı gözlemlenen akım grafiği şekil 4.16' da verilmiştir.



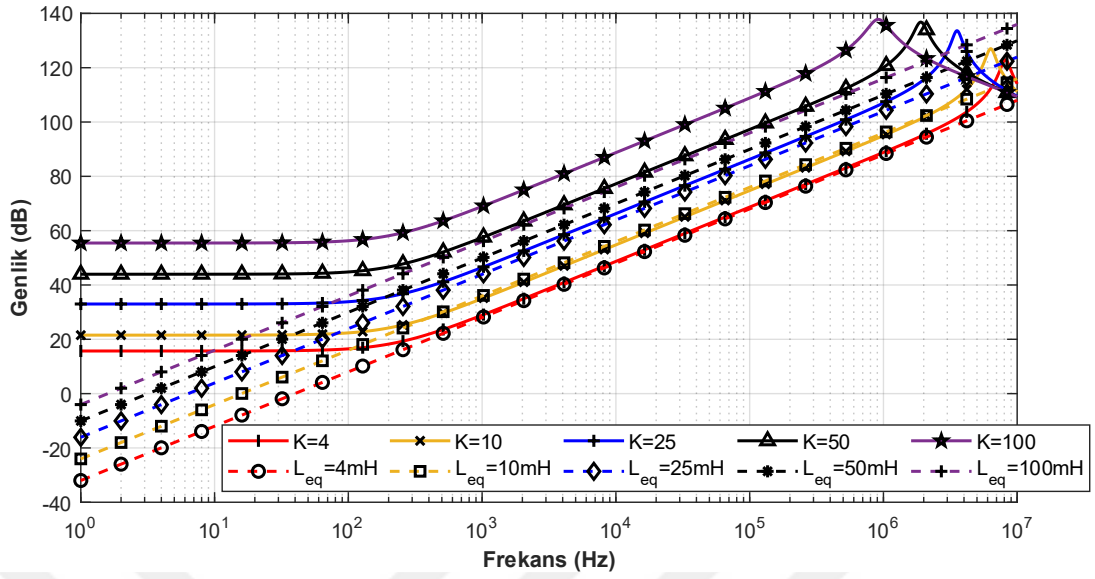
Şekil 4.16: $K=10$ için kapasitans çarpıcı zaman alanı simülasyonu.

4.2.3. Endüktans Çarpımı Simülasyonları

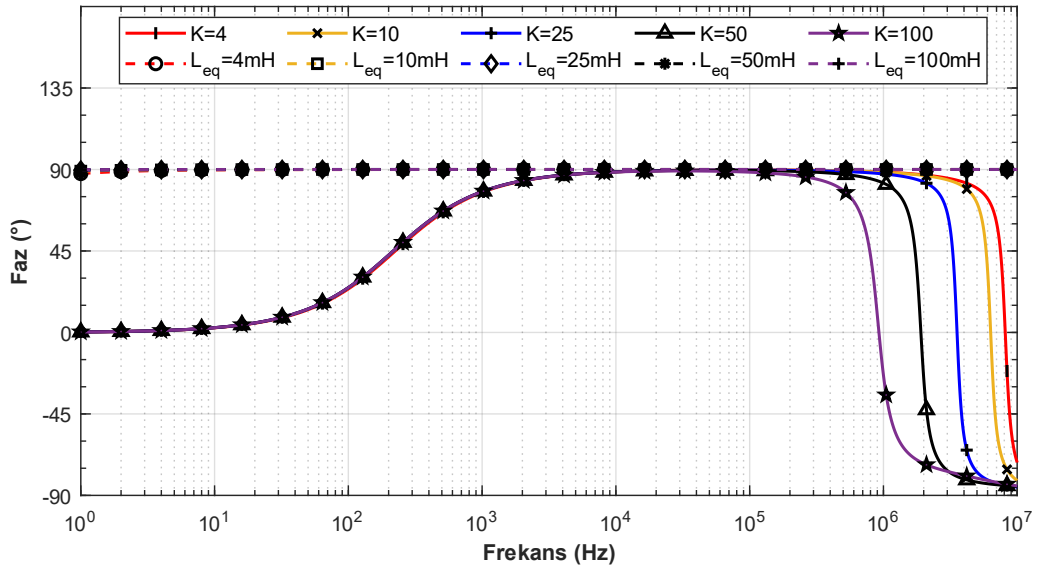
Endüktans çarpımı simülasyonları için pozitif çarpım için şekil 3.5 ve negatif çarpım için şekil 3.6’ da verilen devrelerde taban empedans olarak indüktör seçilerek simülasyonlar yapılmıştır. Pozitif ve negatif çarpım için kullanılan taban empedans indüktör değeri $1mH$ olarak seçilmiştir. Bölüm 3.5’ de bahsedildiği gibi tümdevre içerisinde doğrudan indüktör kullanmak yerine, CMOS OTA’ lar ve bir adet kapasitör kullanılarak indüktans simülatörü kullanılarak bu bölümdeki simülasyonlar yapılmıştır. $1mH$ indüktans değerini sağlamak için şekil 3.8’ de verilen simülatör devresindeki yük kapasitörü $C_L = 350pF$, OTA_4 ve OTA_5 ’ e ait kuyruk akımları birbirine eşit olarak $I_{BMO4} = I_{BMO5} = 500 \mu A$ olarak seçilmiştir.

Bu bölümde, MO-OTA’ ların $M_7 - M_{20}$ transistörlerinin genişlikleri, OTA_2 ve OTA_3 için $B = 4$ değeriyle $10 \mu m$, OTA_1 , OTA_4 ve OTA_5 için ise $B = 1$ değeriyle $2.5 \mu m$ olarak belirlenmiştir.

Önerilen devre ile pozitif endüktans çarpım simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.17 ve şekil 4.18’ de verilmiştir.



Şekil 4.17: Önerilen devre ile pozitif endüktans çarpımı genlik-frekans simülasyon grafiği.



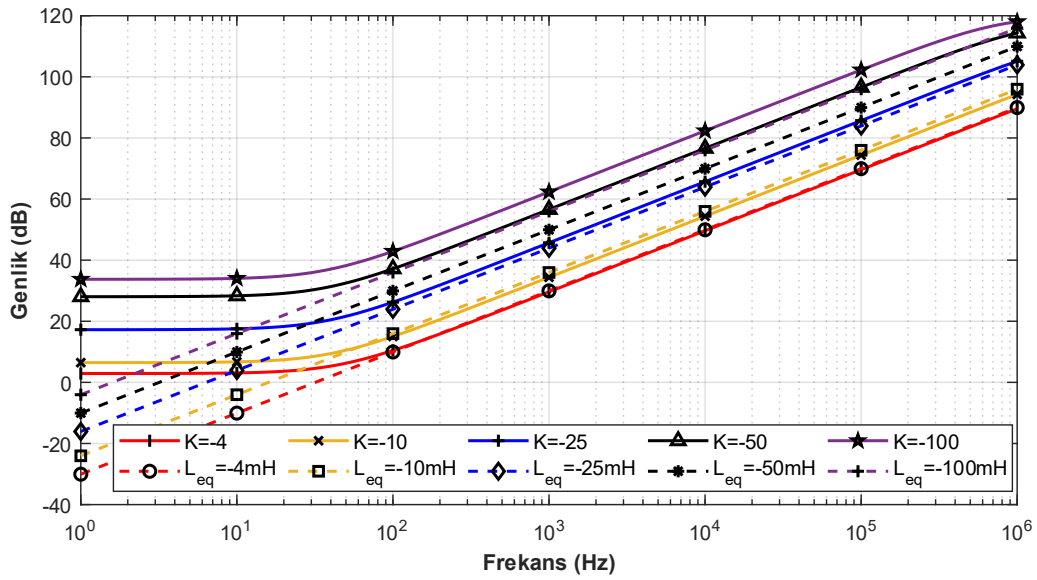
Şekil 4.18: Önerilen devre ile pozitif endüktans çarpımı faz-frekans simülasyon grafiği.

Pozitif endüktans çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında, OTA'lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.7' de verildiği gibi seçilmiştir.

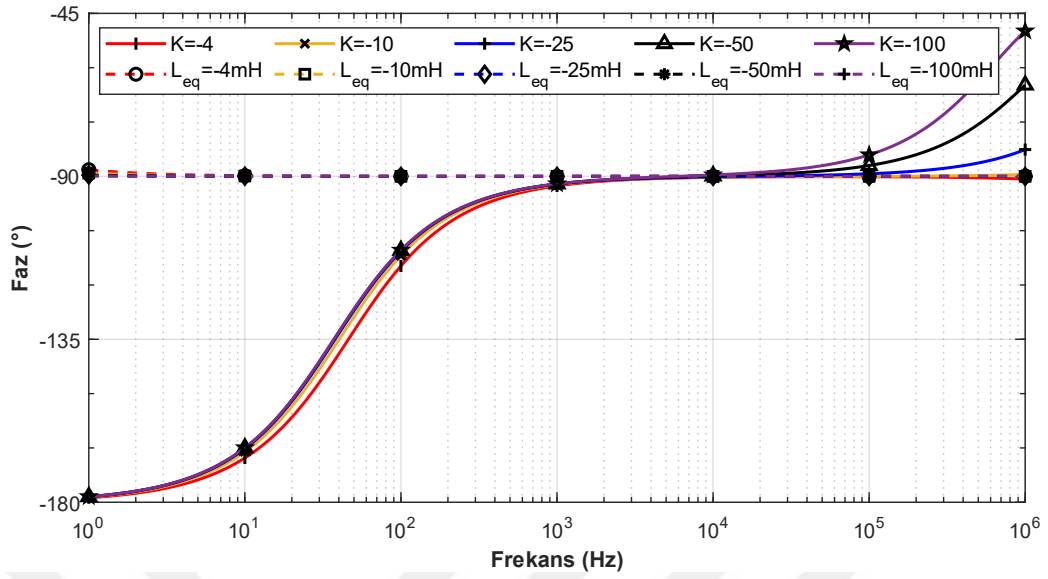
Tablo 4.7: Pozitif endüktans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
4	200	200	200	285Hz-4MHz	1.00
10	32	200	200	250Hz-3.7MHz	1.63
25	5.12	200	200	300Hz-2.8MHz	2.70
50	1.28	200	200	180Hz-1.4MHz	8.06
100	0.32	200	200	210Hz-0.5MHz	13.42

Önerilen devre ile negatif endüktans çarpım simülasyonunun genlik ve faz yanıtları sırasıyla şekil 4.19 ve şekil 4.20’ de verilmiştir.



Şekil 4.19: Önerilen devre ile negatif endüktans çarpımı genlik-frekans simülasyon grafiği.



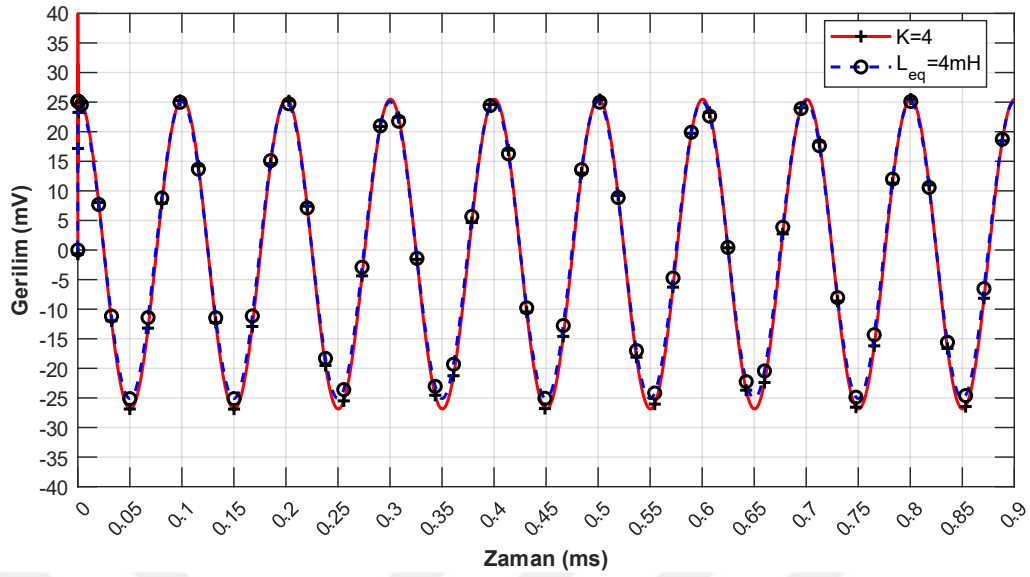
Şekil 4.20: Önerilen devre ile negatif endüktans çarpımı faz-frekans simülasyon grafiği.

Negatif endüktans çarpıcı devresinin genlik ve faz tepkileri simülasyonlarında, OTA' lara ait kuyruk akımı değerleri farklı K değerleri için Tablo 4.8' de verildiği gibi seçilmiştir.

Tablo 4.8: Negatif endüktans çarpıcı devresinin simülasyonunda kullanılan kuyruk akımları ve buna karşılık gelen K değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	Çalışma Frekansı	Genlik Hata Oranı (%)
-4	200	200	200	90Hz-4.5MHz	1.03
-10	32	200	200	85Hz-4MHz	2.84
-25	5.12	200	200	70Hz-3.2MHz	2.75
-50	1.28	200	200	60Hz-1.6MHz	9.52
-100	0.32	200	200	40Hz-1MHz	8.38

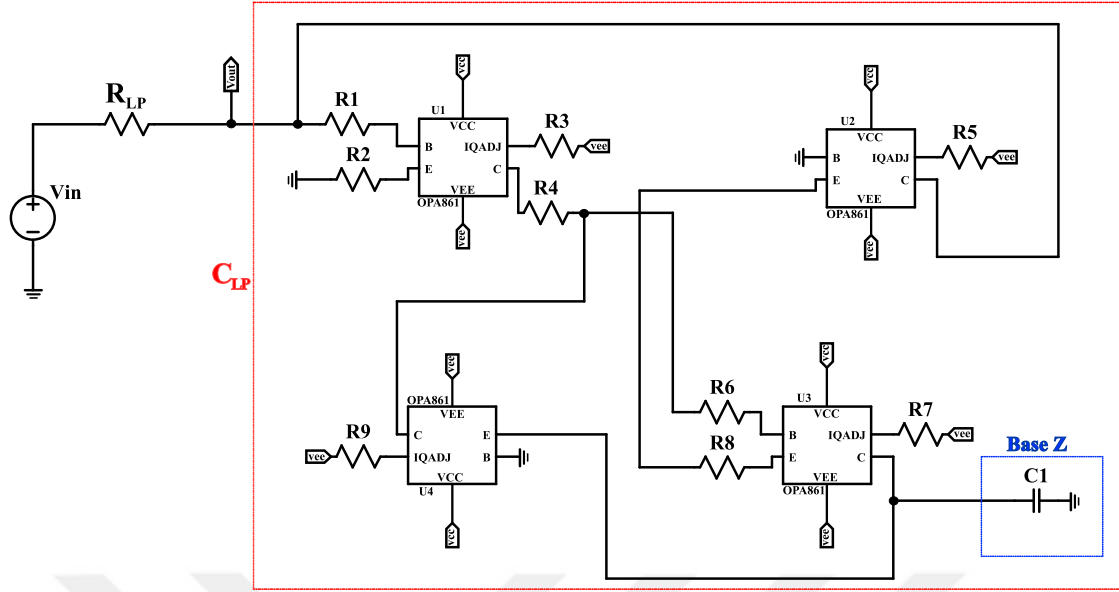
İndüktans çarpım simülasyonlarında frekans alanı simülasyonlarının yansıra zaman alanı simülasyonu da yapılmıştır. Bunun için $100\mu A$ tepeden tepeye genliğe ve 10KHz frekansa sahip akım kaynağı, taban empedans olarak bir ucu topraklı $1mH$ indüktör kullanılarak $K=4$ kapasitans çarpımı yapılmıştır. OTA' ların kuyruk akımları Tablo 4.7' de $K=4$ için verilen değerler seçilmiştir. Simülasyon sonucunda indüktör üzerinde zamana bağlı gözlemlenen gerilim grafiği şekil 4.21' de verilmiştir.



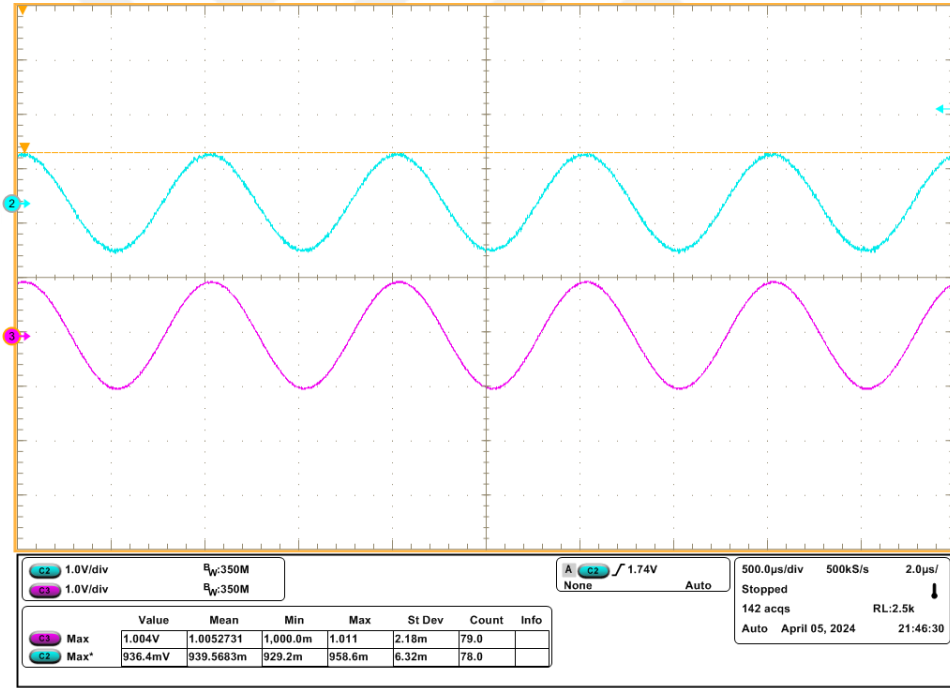
Şekil 4.21: K=4 için indüktans çarpıcı zaman alanı simülasyonu.

4.3. KAPASİTANS ÇARPICI DEVRESİNİN DENEYİ

Önerilen genelleştirilmiş empedans çarpıcı devrenin kapasite çarpma özelliği deneysel bir ortamda test edilmiştir. İdeal pasif bileşenler ve önerilen devre kullanılarak iki ayrı alçak geçiren filtre test düzeni oluşturulmuştur. CMOS tabanlı OTA'ların ticari olarak bulunabilir olmaması nedeniyle, OTA olarak BJT tabanlı OPA861 entegre devresi kullanılmıştır. Deney için kurulan devre düzeni Şekil 4.22' de verilmiştir. Burada, $V_{CC} = -V_{EE} = 5V$ ve $K = 10$ seçilmiştir. İdeal alçak geçiren filtre bileşen değerleri $R_{LP} = 0.5K\Omega$ ve $C_{LP} = 10nF$ olarak seçilmiştir. Ayrıca $R_1 = R_3 = 1K\Omega$, $R_2 = 10K\Omega$, $R_4 = R_5 = R_6 = R_7 = R_8 = R_9 = 200\Omega$ olarak belirlenmiştir. V_{in} Voltajı, alçak geçiren filtre girişine 1KHz frekansında ve 1V genliğinde sinüzoidal bir dalga formunda uygulanmıştır. Deneyden elde edilen filtre çıkış voltajları Şekil 4.23' de sunulmuştur. Burada, çıkış voltajları ideal devre için mor, önerilen devre için ise mavi renkte gösterilmiştir.



Şekil 4.22: Alçak geçiren filtrede kapasitans çarpıcı deneyinin şematığı.

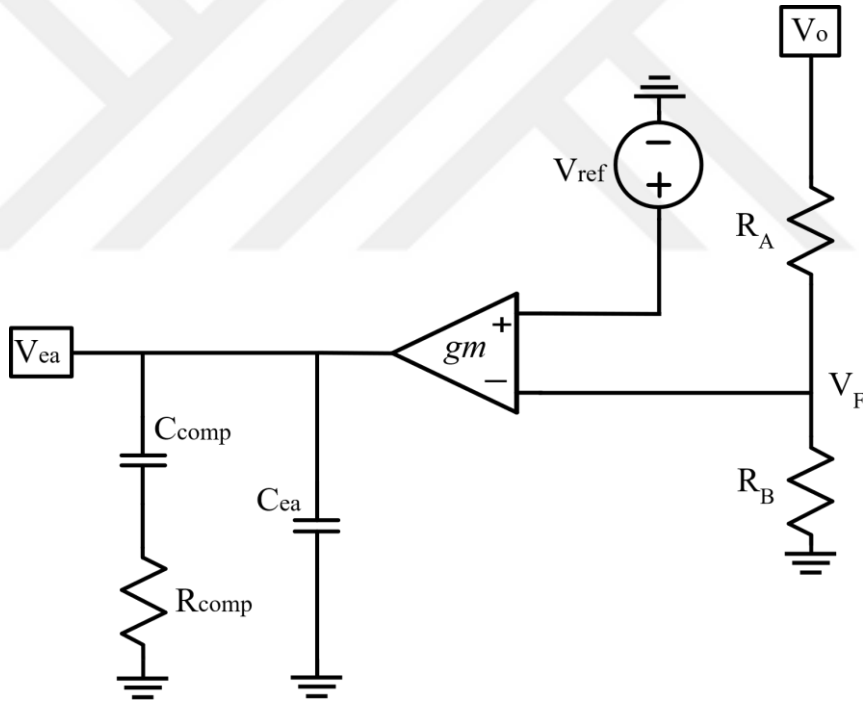


Şekil 4.23: İdeal ve önerilen devrelerin deney sonucu çıkış gerilimleri

4.4. TİP-II OTA KOMPAZASYON DEVRESİ SİMÜLASYONLARI

Bu bölümde tez kapsamında tasarlanan kapasitans çarpıcı devresinin Tip-II OTA kompanzasyon devresindeki, farklı çarpma faktörlerine göre frekans tepkisi, proses-gerilim-sıcaklık (PVT) değişimi testleri ve Monte-Carlo analizleri bu bölümde verilmiştir.

Tez kapsamında kullanılan tip-II OTA kompanzasyon devresi şekil 4.24’ de verilmiştir. Burada C_{comp} kapasitörü yerine tez kapsamında sunulan genelleştirilmiş empedans dönüştürücü devresi kapasitans çarpıcı olarak kullanılacaktır. Diğer parametreler Tablo 2.3’ de verilen $PM = 50^\circ$ için; Gm-OTA’ ya ait geçiş iletkenliği parametresi $g_m = 1mS$, $R_A = 11.6K\Omega$, $R_B = 46.4K\Omega$, $C_{comp} = 3.38nF$, $C_{ea} = 65.20pF$ olarak seçilmiştir. Tip-II OTA kompanzasyon devresinin sıfır ve kutup frekansları denklem (2.107) ve denklem (2.108)’ den hesaplanarak sırasıyla $f_{Z_{EA}} = 4.28KHz$, $f_{P_{EA}} = 226.19KHz$ olarak bulunmuştur.



Şekil 4.24: Tez kapsamında kullanılan tip-II OTA kompanzasyon devresi

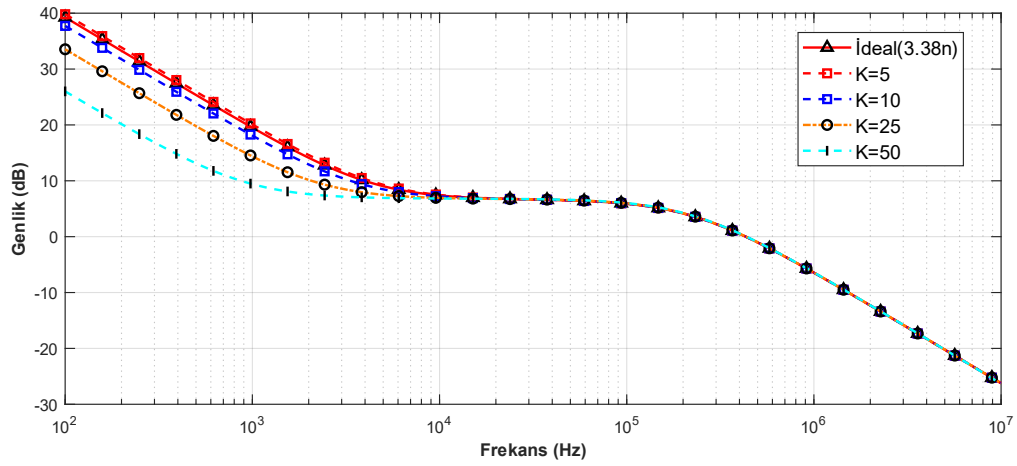
4.4.1. Farklı Çarpma Faktörlerine Göre Tip-II OTA Kompanzasyon Devresinin Frekans Tepkisi

Şekil 4.24’ de verilen ideal kompanzasyon devresindeki $C_{comp} = 3.38 nF$ kapasitörü için önerilen kapasitans çarpıcı devresi kullanılmıştır. C_{comp} ’ in eşdeğerini sağlamak için kullanılan kapasitans çarpıcı devresinde taban kapasitör C_{Taban} , OTA’ lara ait kuyruk akımları

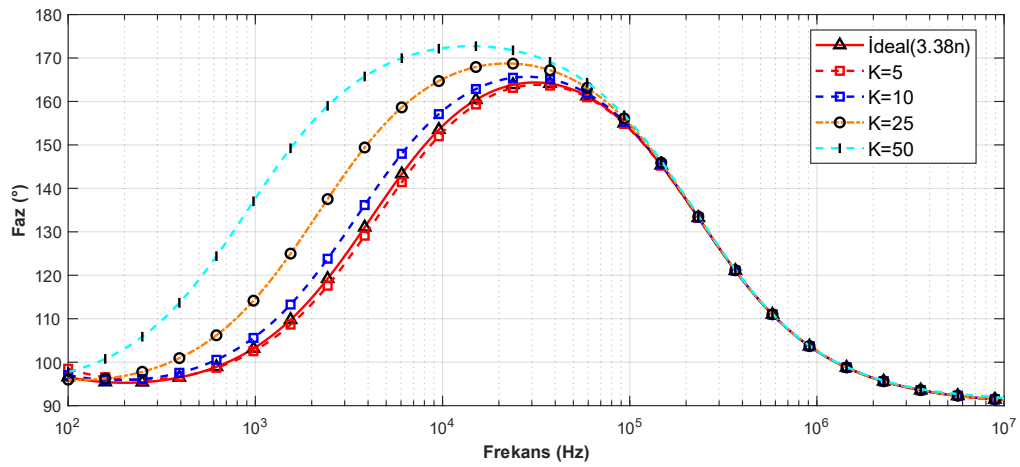
ve çarpma faktörleri Tablo 4.9’ da verilmiştir. Elde edilen her iki devrenin çıkışları frekans alanında genlik ve faz yönünden sırasıyla şekil 4.25 ve şekil 4.26’ da verilmiştir.

Tablo 4.9: Tip-II OTA kompanzasyon devresi için seçilen OTA kuyruk akımları ve taban kapasitörü C_{Taban} değerleri.

K	$I_{BM01} (\mu A)$	$I_{BM02} (\mu A)$	$I_{BM03} (\mu A)$	C_{Taban}
5	12.5	8	8	676 pF
10	12.5	2	2	338 pF
25	12.5	0.32	0.32	135.2 pF
50	12.5	0.08	0.08	67.6 pF
100	12.5	0.02	0.02	33.8 pF



Şekil 4.25: Tip-II OTA kompanzasyon devrelerinin simülasyonu genlik-frekans grafiği.



Şekil 4.26: Tip-II OTA kompanzasyon devrelerinin simülasyonu faz-frekans grafiği.

Şekil 4.25’ de kazanç arttıkça tip-II OTA kompanzasyon devresinin sıfır frekansı öncesindeki eğimlerin -20db/dek ’ dan pozitif yönde ayrıştığı görülmüştür. $K = 5$ için eğim -20db/dek olurken, $K = 50$ olduğu durumda -14.6db/dek olarak gerçekleşmiştir.

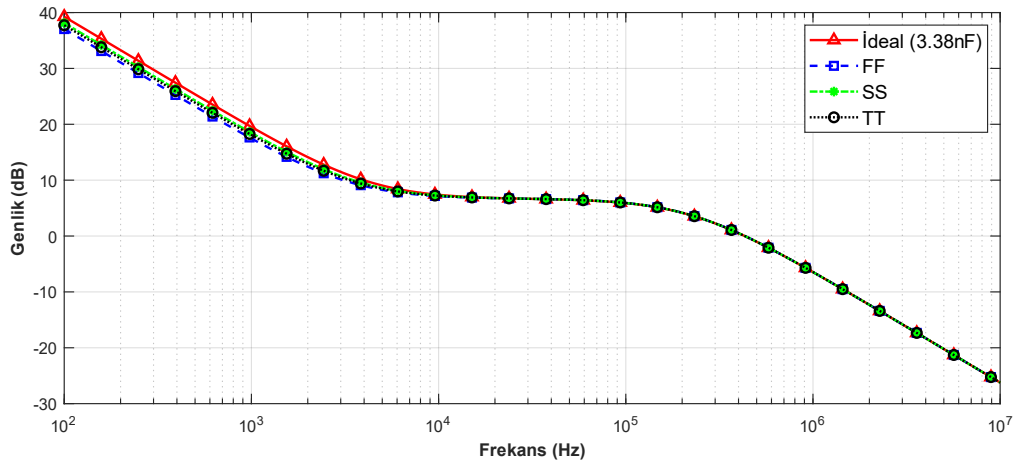
Şekil 4.26’ da tip-II ota kompanzasyon devresinin ideal versiyonunda faz yükseltme grafiğinin tepe değerindeki frekans 32KHz olarak gerçekleşmiştir. $K = 50$ için faz yükseltme tepesindeki frekans 14.73KHz ’ e kadar düşmüştür.

4.4.2. Tip-II OTA Kompanzasyon Devresi PVT Simülasyonları

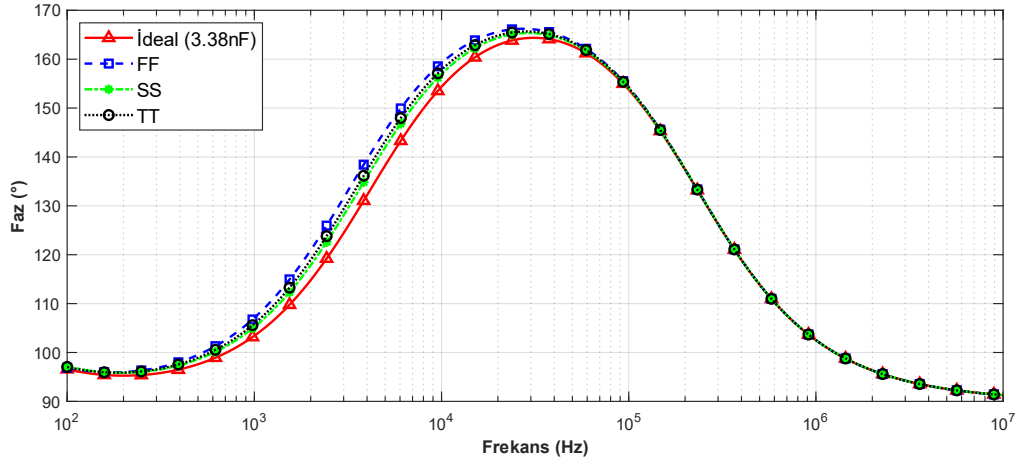
Önerilen kapasitans çarpıcı devresinin tip-II OTA kompanzasyon devresindeki performansını doğrulamak amacıyla proses, gerilim ve sıcaklık (PVT) varyasyon testi gerçekleştirilmiştir. Bu test, devrenin farklı üretim koşulları, çalışma voltajları ve sıcaklık değişimlerinde gösterdiği performansı analiz etmek için kritik bir adımdır.

4.4.2.1 Proses Varyasyonu Testi

Yarı iletken üretim sürecinde kaçınılmaz olan varyasyonlar, devre elemanlarının elektriksel özelliklerinde değişimlere yol açar. Bu bağlamda NMOS ve PMOS tranzistörlerin Hızlı-Hızlı (FF), Tipik-Tipik (TT) ve Yavaş-Yavaş (SS) proses köşe durumlarında devrenin çalışma performansı incelenmiştir. Simülasyon sonuçları genlik ve faz için sırasıyla şekil 4.27 ve şekil 4.28’ de verilmiştir.



Şekil 4.27: Tip-II OTA kompanzasyon devrelerinin proses varyasyonuna göre genlik-frekans grafiği.



Şekil 4.28: Tip-II OTA kompanzasyon devrelerinin proses varyasyonuna göre faz-frekans grafiği.

Şekil 4.27 ve 4.28’ de çarpma faktörü $K = 10$ için Tablo 4.9’ daki kuyruk akımları seçilmiştir.

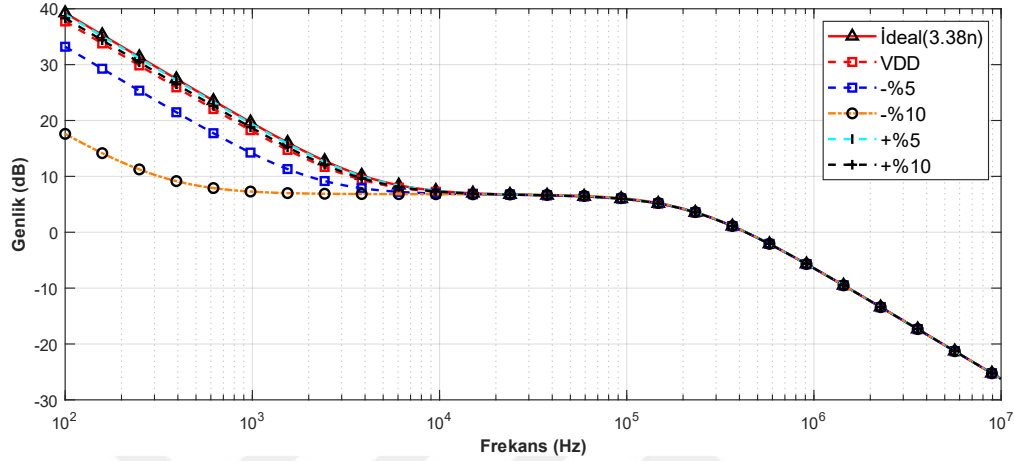
Şekil 4.27’ de verilen genlik grafiğinde ideal kapasitörle elde edilen $-20db/dek$ eğime karşılık, önerilen devre ile CMOS proses tipine bağlı olarak azalan bir eğim ortaya çıkmaktadır. FF proses tipi için eğim $-19.5db/dek$ olarak gerçekleşmiştir.

Şekil 4.28’ de tip-II ota kompanzasyon devresinin ideal versiyonunda faz yükseltme grafiğinin tepe değerindeki frekans $32KHz$ olarak gerçekleşmiştir. Buna karşılık önerilen devrenin FF proses varyasyon tipindeki fazın maksimum değerindeki frekans $27.26KHz$ olarak gerçekleşmiştir.

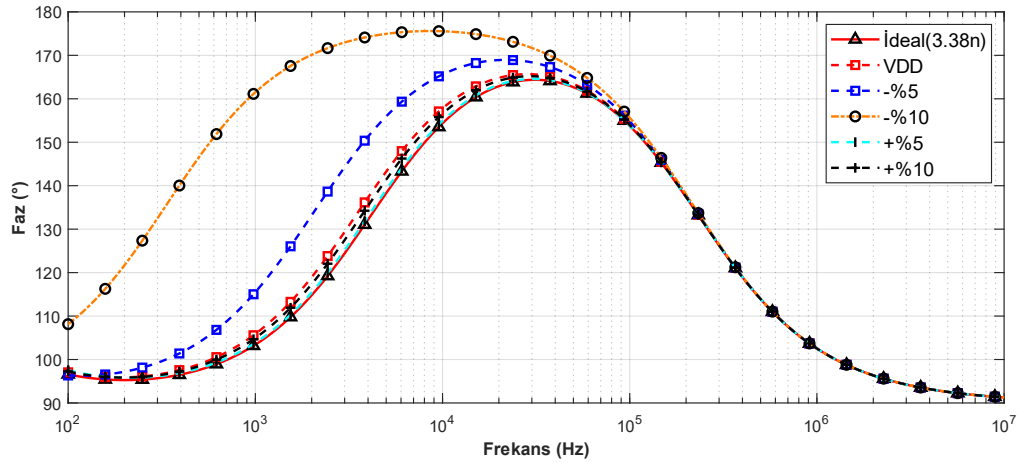
Simülasyon sonuçları, önerilen kapasitans çarpıcı devresinin genlik karakteristikleri açısından farklı proses varyasyonlarında istikrarlı bir performans sergilediğini ortaya koymuştur. Genlik eğrilerinin analizinde, FF durumunda daha hızlı bir azalma gözlemlenirken, SS durumunda ise azalma eğiminin daha yavaş olduğu tespit edilmiştir. Benzer şekilde, faz grafikleri incelendiğinde, FF durumunda faz eğrisinde hızlı bir yükselme, SS durumunda ise daha yavaş bir artış görülmüştür. Bu bulgular, kapasitans çarpıcı devresinin proses varyasyonları altında hem stabilite hem de kapasitans çarpma faktörlerinde tutarlı ve güvenilir bir performans sunduğunu göstermektedir.

4.4.2.2 Gerilim Varyasyonu Testi

Çalışma gerilimindeki değişimler, devre performansını doğrudan etkileyebilir. Bu test kapsamında $K=10$ için besleme gerilimi $\pm\%10$ aralığında değiştirilerek devrenin frekans yanıtı gözlemlenmiştir. Elde edilen genlik ve faz sonuçları şekil 4.29 ve 4.30’ da verilmiştir.



Şekil 4.29: Tip-II OTA kompanzasyon devrelerinin besleme gerilimi varyasyonuna göre genlik-frekans grafiği.



Şekil 4.30: Tip-II OTA kompanzasyon devrelerinin besleme gerilimi varyasyonuna göre faz-frekans grafiği.

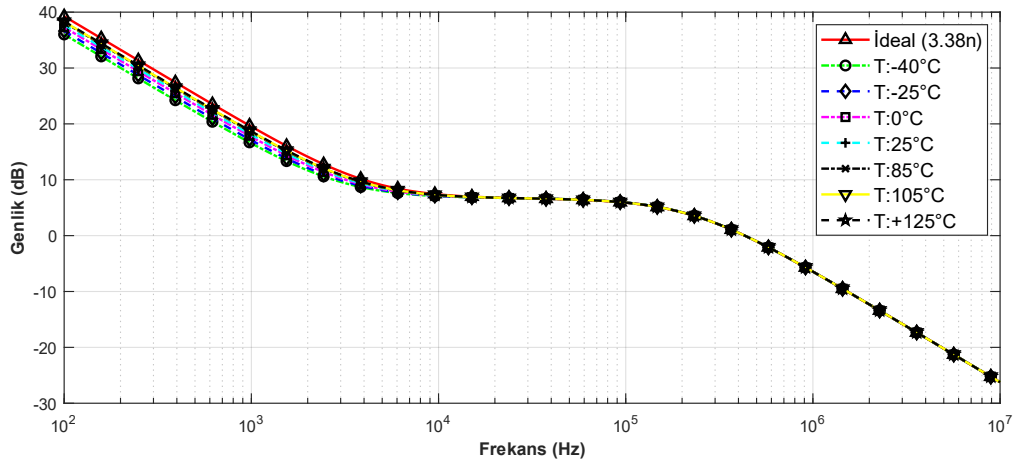
Şekil 4.29’ de verilen genlik grafiğinde ideal kapasitörle elde edilen -20db/dek eğime karşılık, önerilen devrenin OTA bloğundaki besleme gerilimlerinin değişimine bağlı olarak eğimler pozitif yönde artmıştır. Besleme gerilimlerindeki $-\%5$ ’ lik değişime karşı eğim -19.2db/dek , $-\%10$ ’ luk değişime karşı ise eğim -15.3db/dek olarak gerçekleşmiştir.

Şekil 4.30' de tip-II OTA kompanzasyon devresinin ideal versiyonunda faz yükseltme grafiğinin tepe değerindeki frekans 32KHz olarak gerçekleşmiştir. Buna karşılık önerilen devrenin -5% ve -10% gerilim varyasyonlarının fazın maksimum değerindeki frekansları sırasıyla; 20.74KHz ve 9.55KHz olduğu görülmüştür.

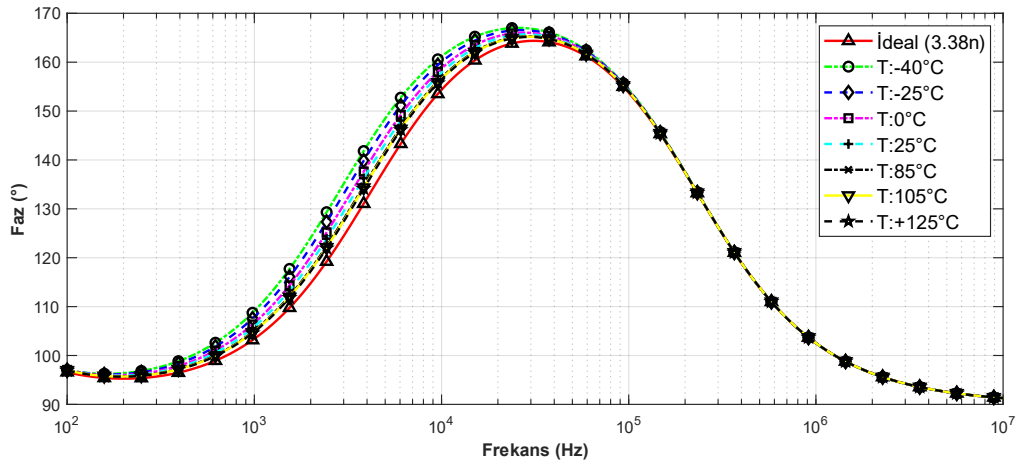
Elde edilen sonuçlara göre, önerilen kapasitans çarpıcı devresi, besleme gerilimi değişimlerine karşı stabil bir şekilde çalışmakta ve tip-II OTA kompanzasyon devresinin hedeflenen geçiş frekansını korumaktadır.

4.4.2.3 Sıcaklık Varyasyonu Testi

Sıcaklık değişimi, yarı iletken devrelerin taşıyıcı hareketliliğini ve eleman parametrelerini etkiler. Çeşitli endüstriyel standartlara göre -40°C ile $+125^{\circ}\text{C}$ arasında devrelerin sorunsuz çalışması beklenmektedir. Bu sebeple $K=10$ için önerilen devrenin sıcaklık değişim analizi -40°C ile $+125^{\circ}\text{C}$ arasındaki sıcaklık değerlerinde performansı incelenmiştir. Simülasyon sonucunda elde edilen genlik ve faz grafikleri Şekil 4.31 ve 4.32' de verilmiştir.



Şekil 4.31: Tip-II OTA kompanzasyon devrelerinin sıcaklık varyasyonuna göre genlik-frekans grafiği.



Şekil 4.32: Tip-II OTA kompanzasyon devrelerinin sıcaklık varyasyonuna göre faz-frekans grafiği.

Şekil 4.31’ de verilen genlik grafiğinde ideal kapasitörle elde edilen -20db/dek eğime karşılık, önerilen devrenin sıcaklık artışında eğim artmış, sıcaklık azalışında ise eğim azalmıştır. Önerilen devrenin sıcaklık varyasyonları -40°C , 25°C ve 125°C olduğu durumlardaki eğimleri sırasıyla -19.5db/dek , -19.6db/dek , -19.7db/dek şeklinde olmuştur.

Şekil 4.32’ de tip-II ota kompanzasyon devresinin ideal versiyonunda faz yükseltme grafiğinin tepe değerindeki frekans 32KHz olarak gerçekleşmiştir. Buna karşılık önerilen devrenin sıcaklık varyasyonları -40°C , 25°C ve 125°C olduğu durumda fazın maksimum değerindeki frekansları sırasıyla; 25.46KHz , 28.54KHz ve 29.87KHz olduğu görülmüştür.

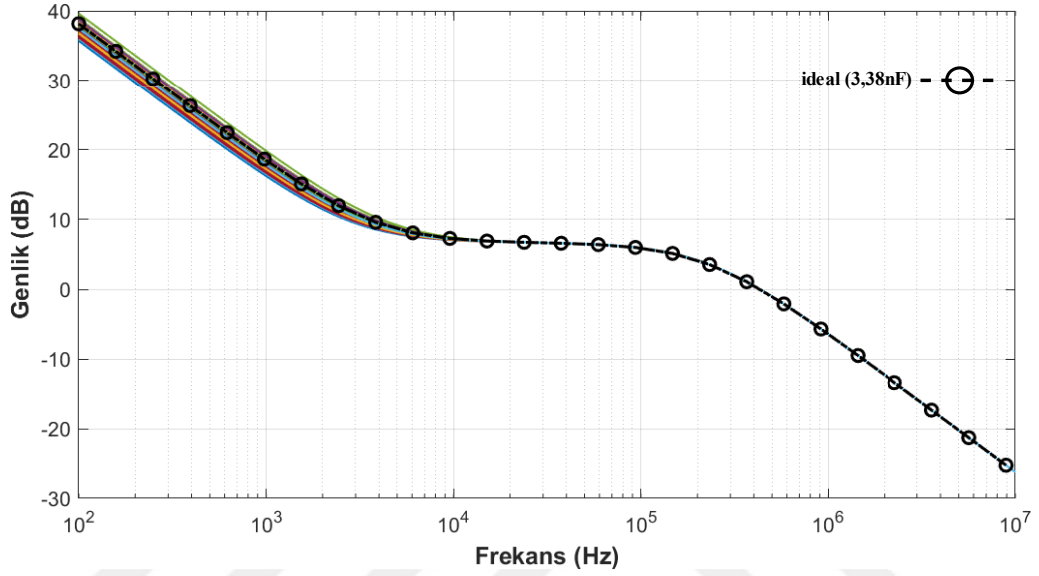
Simülasyon sonuçları, kapasitans çarpıcı devresinin sıcaklık değişimlerine karşı uyumlu çalıştığını ve kompanzasyon devresinin tasarım gereksinimlerini sağladığını göstermektedir.

4.4.3 Monte-Carlo Analizi

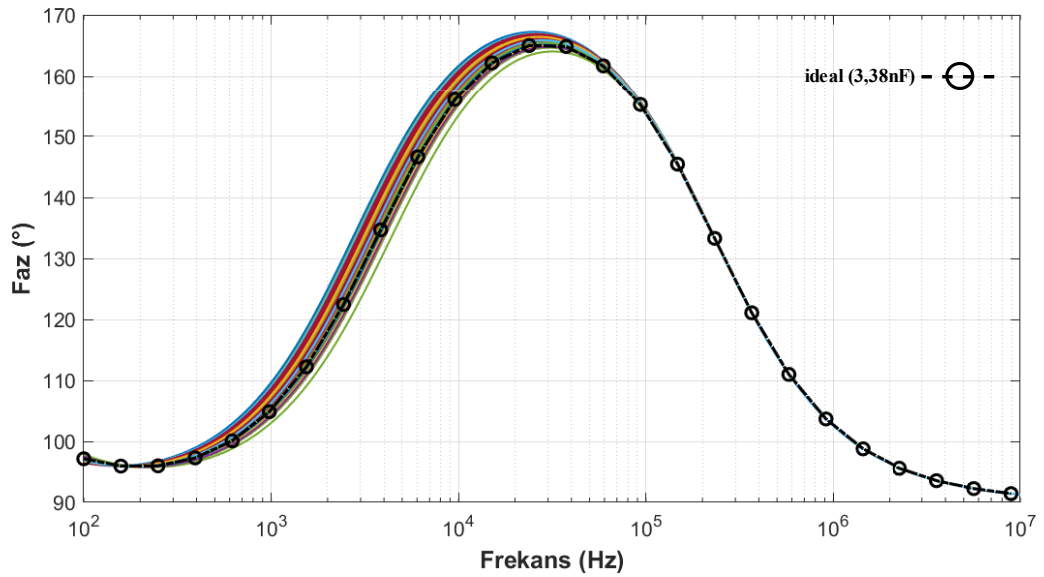
Monte Carlo analizi, devre tasarımının güvenilirliğini artırmak ve elemanlardaki küçük değişimlerin devre davranışına etkisini daha iyi anlamak için önemli bir araçtır. Bu bölümde, önerilen genelleştirilmiş empedans çarpıcı devresinin tip-II OTA kompanzasyon devresi üzerindeki uygulamasında Monte Carlo analizine dair detaylar ve sonuçlar verilmiştir. Analiz kapsamında, besleme gerilimleri, OTA’ lara ait kuyruk akımları, OTA’ larda kullanılan tüm MOSFET boyutları ve 338pF taban kapasitans değerleri %5 toleranslarla 250 adımda simüle edilmiştir. Bu şekilde, devre elemanlarının toleransları ve varyasyonları göz önünde

bulundurularak, devrenin performansının farklı koşullar altında nasıl değiştiği değerlendirilmiştir.

Önerilen kapasitans çarpıcı devrenin monte-carlo testi genlik ve faz yanıtları sırasıyla şekil 4.33 ve şekil 4.34’ de verilmiştir.



Şekil 4.33: Monte-Carlo analizi genlik yanıtı.



Şekil 4.34: Monte-Carlo analizi faz yanıtı.

Şekil 4.33' de verilen genlik grafiğinde ideal kapasitörle elde edilen $-20db/dek$ eğime karşılık, önerilen devrenin monte-carlo testi sonucunda eğim $-19.73db/dek$ ile $-19.47db/dek$ aralığında değişmektedir.

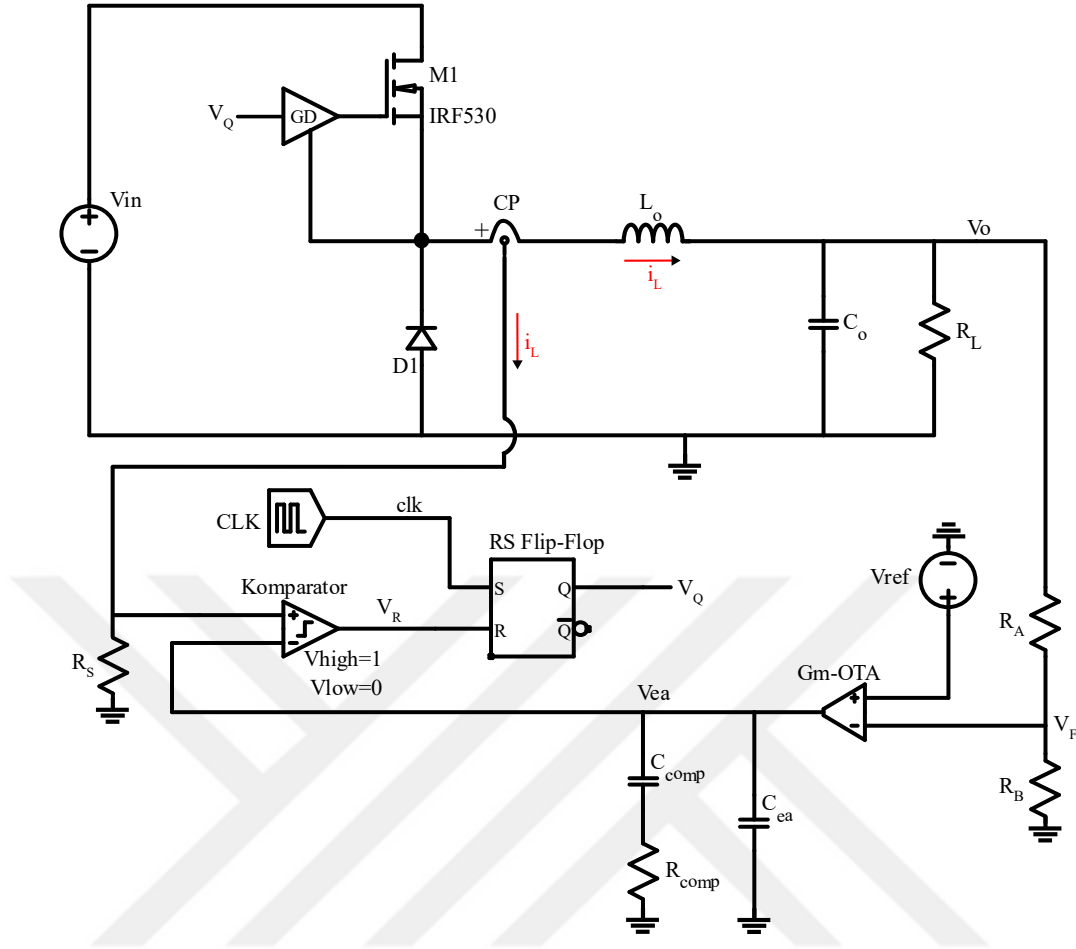
Şekil 4.34' de tip-II OTA kompanzasyon devresinin ideal versiyonunda faz yükseltme grafiğinin tepe değerindeki frekans $32KHz$ olarak gerçekleşmiştir. Buna karşılık önerilen devrenin monte-carlo testi faz yanıtında fazın maksimum değerindeki frekansları $24.36KHz$ ile $31.98KHz$ arasında değişmektedir. Ayrıca aynı frekans noktası için en küçük ve en büyük faz açısı değerleri arasında 10° fark vardır.

4.5. PCM BUCK DÖNÜŞTÜRÜCÜ KAPASİTANS ÇARPICI DEVRE SİMÜLASYONU

Bu bölümde, tez kapsamında kullanılan PCM buck dönüştürücü devresinin tasarımı ve bu tasarım üzerinde geliştirilen özgün kapasitans çarpıcı devresinin uygulaması detaylı bir şekilde açıklanmıştır. İlk olarak, PCM buck dönüştürücü devresinin şeması ve tasarım ayrıntıları verilmiştir. Bu tasarım, şekil 4.35' de sunulan devre şeması üzerinden anlatılmıştır.

Tez kapsamında özgün olarak geliştirilen genelleştirilmiş empedans dönüştürücüsü, kapasitans çarpıcı olarak tip-II OTA kompanzasyon bloğunda uygulanmıştır. Bu uygulama, LTspice programı üzerinden simüle edilmiştir. Devrenin simülasyonu için Tablo 2.3' de verilen başlangıç parametreleri ve Tablo 2.4' de hesaplanan diğer parametreler kullanılmıştır. Bu kapsamda 12V giriş gerilimi ve 5V çıkış gerilimi hedeflenmiş olup, anahtarlama frekansı 1.1MHz olarak belirlenmiştir. Referans gerilimi ise 1V olarak kullanılmıştır.

Kapasitans çarpıcı devresi şekil 4.35' deki C_{comp} kapasitörüne uygulanmıştır. Kapasitans çarpıcı devresinde, taban kapasitörü 338pF olarak kullanılmış ve çarpma faktörü $K=10$ olarak seçilmiştir. Ayrıca, OTA' ların kuyruk akımları için Tablo 4.8' de sunulan değerler kullanılmıştır. CLK sinyal üretici 1.1MHz frekansında ve %10 doluluk oranında seçilen kare dalga sinyalleri üretmektedir. Gm-OTA elemanına ait giriş ve çıkış dirençleri sırasıyla $100M\Omega$ ve $50M\Omega$ olarak ayarlanmıştır, çıkış kapasitansı C_{ea} ise Tablo 2.4' de belirtildiği üzere $65.20pF$ olarak alınmıştır. Gm-OTA' nın geçiş iletkenliği parametresi ise $1mS$ olarak seçilmiştir. Komparator ve Flip-Flop elemanları ideal olarak seçilmiştir.



Şekil 4.35: PCM Buck dönüştürücü devre şeması.

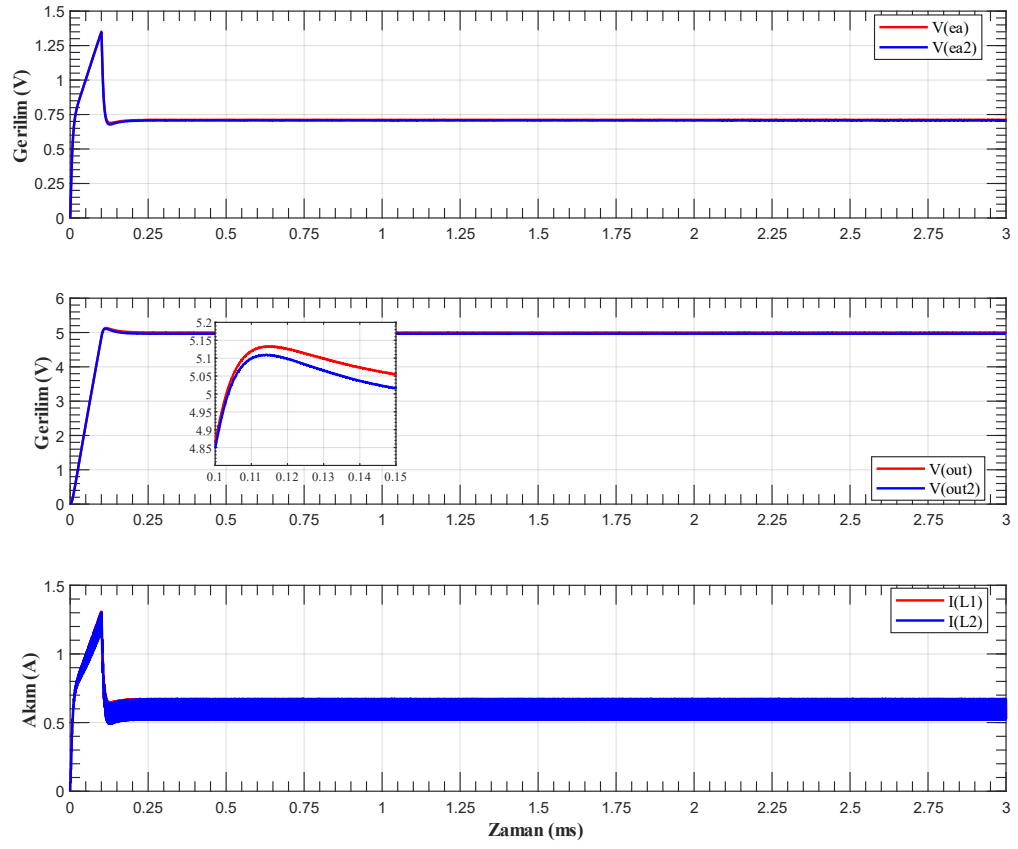
Bu bölümde verilen PCM buck dönüştürücü simülasyonları zaman alanı ve frekans alanı olmak üzere iki farklı alanda yapılmıştır. Zaman alanı analizleri, normal koşullar altında, değişken giriş gerilimleri ve değişken çıkış yükleri altında incelenerek 3 farklı simülasyon yapılmıştır. Frekans alanı analizlerinde ise ideal ve önerilen devrelerin kapalı döngü bode grafikleri verilmiştir.

4.5.1. Normal Koşullar Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu

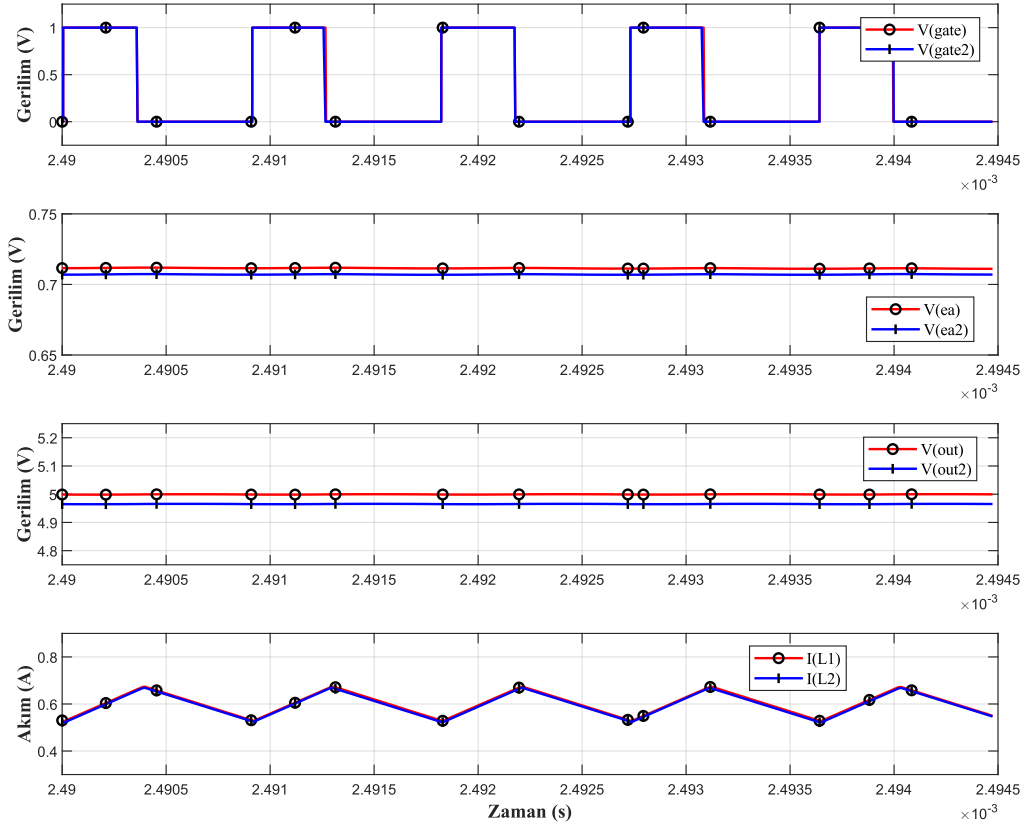
Normal koşullar altında PCM buck dönüştürücü devresinin ideal ve önerilen yöntemle geliştirilen kompanzasyon devresi ile zaman alanı analizleri bu bölümde yapılmıştır. Zaman alanında, ideal devre ve önerilen kapasitans çarpıcı tabanlı devre arasındaki farklar, çıkış gerilimleri, indüktör akımları ve kompanzasyon devresi çıkış gerilimleri (V_{ea}) şekil 4.36' de verilmiştir. Şekil 4.37' de ayrıca MOSFET sürücü devresine ait sinyaller de eklenerek, devrenin çalışma prensipleri ve performansı daha yakın plan bir bakış ile incelenmiştir.

PCM buck DC/DC dönüştürücü devrelerinin çalışmaya başlamasından itibaren çıkış gerilimlerinin oturma süresi ideal kapasitörü ile $211\mu s$ ' de, önerilen kapasitans çarpıcı devre kullanıldığı durumda ise $273\mu s$ ' de ulaşmıştır. Buna karşılık çıkış gerilimleri ideal kapasitörlü simülasyonda önerilen yöntemde 5V olurken, önerilen yöntemde çıkış gerilimi 4.96V olmuştur. Çıkış gerilimlerinin dalgalanmaları ise ideal kapasitörlü yöntemde 1mV olarak gerçekleşirken, önerilen yöntemde 2.4mV olarak gerçekleşmiştir. Başlangıç anında maksimum gerilim aşımaları ise ideal kapasitörlü devrede 0.14V iken önerilen devrede ise 0.11V olarak gerçekleşmiştir.

İndüktör akımlarının pozitif olması tasarımların CCM modda çalıştığını göstermektedir. MOSFET sürücü sinyalinin PWM doluluk oranları %39.33 olarak ölçülmüştür. Bu sebeple devrenin kararlı çalıştığı görülmüştür.



Şekil 4.36: PCM Buck dönüştürücü devresi zaman alanı simülasyon sonuçları.

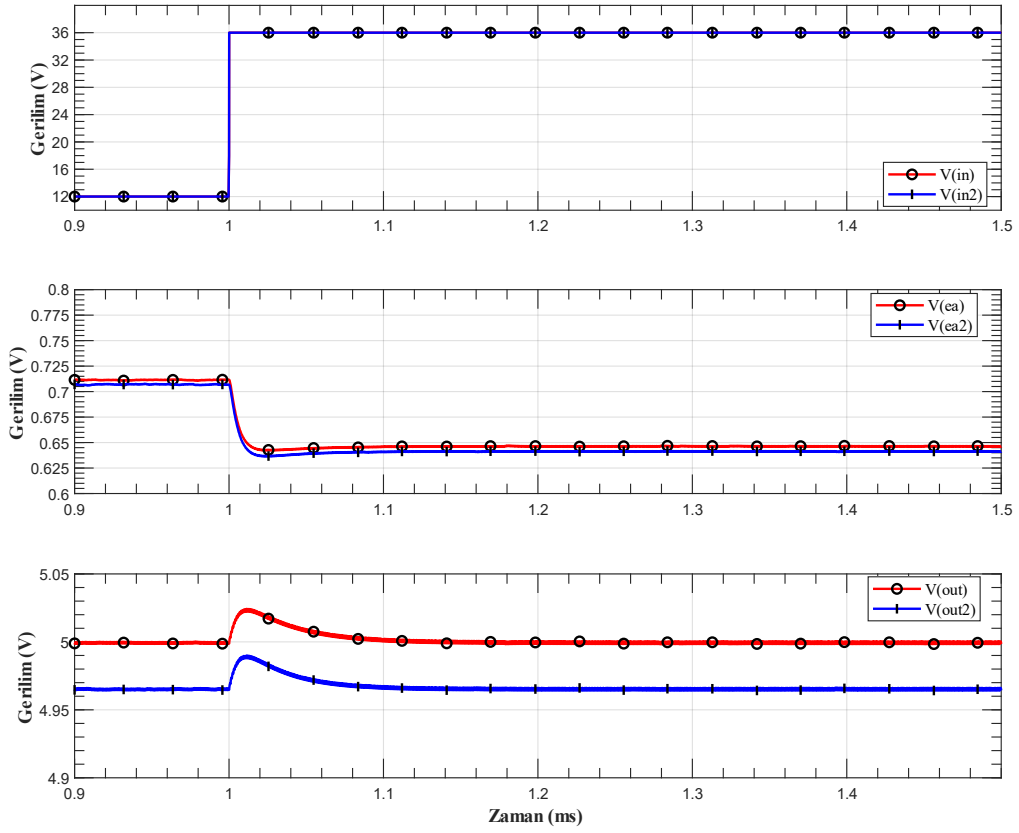


Şekil 4.37: PCM Buck dönüştürücü devresi zaman alanı simülasyon sonuçları yakın plan gösterimi.

4.5.2. Değişken Giriş Gerilimleri Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu

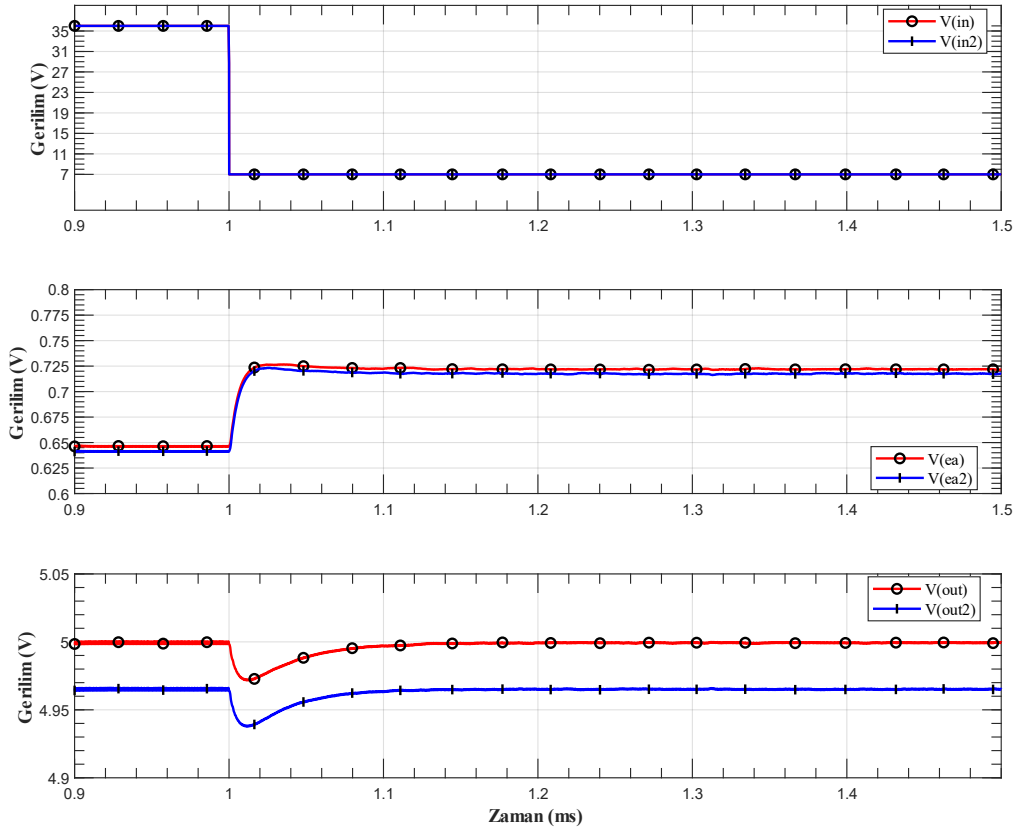
DC/DC dönüştürücülerin giriş gerilimleri her zaman sabit bir değer olmayabilir. Şebeke dalgalanmaları yada güç kaynaklarındaki bozulmalar DC/DC dönüştürücülerin giriş gerilimlerini değiştirebilmektedir. İdeal bir buck dönüştürücü giriş gerilimindeki bu değişime karşılık çıkış gerilimini istenen değerde tutması beklenir.

Giriş gerilimindeki artışa karşılık önerilen yöntem ve ideal kapasitörlü devrenin simülasyon sonuçları şekil 4.38’ de verilmiştir. PCM buck dönüştürücü devresinin giriş gerilimi 12V’ dan 36V’ a 1ms anından itibaren 100ns içerisinde arttırılmıştır. Bu süreçte çıkış gerilimi ideal kapasitör kullanılan durumda 132 μ s içerisinde en fazla 23mV tepe gerilim aşımıyla tekrar 5V’ a oturmaktadır. Benzer şekilde önerilen kapasitans çarpıcı tabanlı devre ise 140 μ s içerisinde 26mV tepe gerilimi aşımıyla 4.96V’ a oturmaktadır.



Şekil 4.38: PCM Buck dönüştürücü devresinin giriş gerilimi 12V’ dan 36V’ a çıktığı durumda zaman alanı tepkisi.

Giriş gerilimindeki azalışa karşılık önerilen yöntem ve ideal kapasitörlü devrenin simülasyon sonuçları şekil 4.39’ de verilmiştir. PCM buck dönüştürücü devresinin giriş gerilimi 36V’ dan 7V’ a 1ms anından itibaren 100ns içerisinde düşürülmüştür. Bu süreçte çıkış gerilimi ideal kapasitör kullanılan durumda 141 μ s içerisinde en fazla 27mV tepe gerilim düşümüyle tekrar 5V’ a oturmaktadır. Benzer şekilde önerilen kapasitans çarpıcı tabanlı devre ise 151 μ s içerisinde 26mV tepe gerilimi düşümüyle 4.96V’ a oturmaktadır.



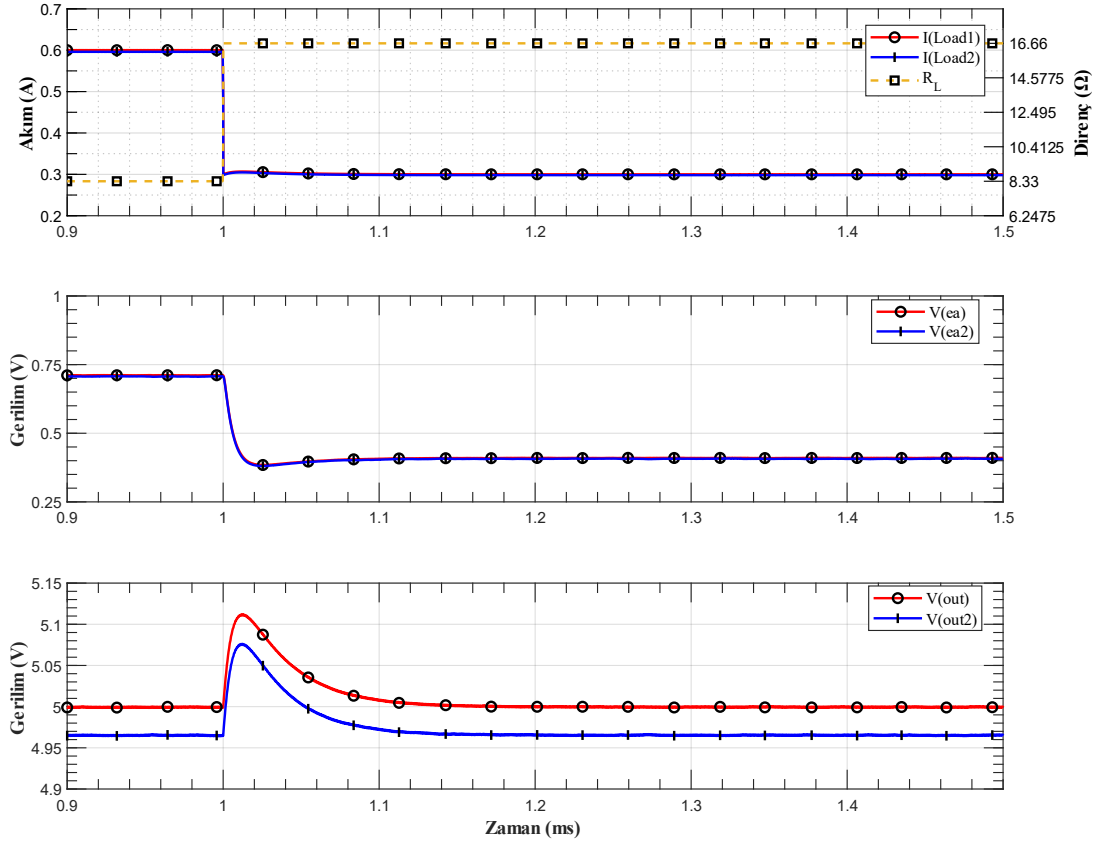
Şekil 4.39: PCM Buck dönüştürücü devresinin giriş gerilimi 36V’ dan 7V’ a düştüğü durumda zaman alanı tepkisi.

4.5.3. Değişken Çıkış Yükleri Altında PCM Buck Dönüştürücü Zaman Alanı Simülasyonu

DC/DC dönüştürücülerin çalışmaları sırasında anlık yük değişimleri de devrenin çalışmasını etkileyen faktörlerden birisidir. PCM Buck dönüştürücünün çıkış gerilimleri anlık değişimlerden etkilense de belirli bir zaman sonra tekrar olması gereken sabit seviyesine döner. Bu sebeple bu bölümde yük direnci R_L ’ nin artması ve azalmasına bağlı olarak çıkış akımlarının değişimi modellenmiştir. Bu değişimlere bağlı olarak çıkış gerilimlerinin anlık tepkileri gözlenmiştir.

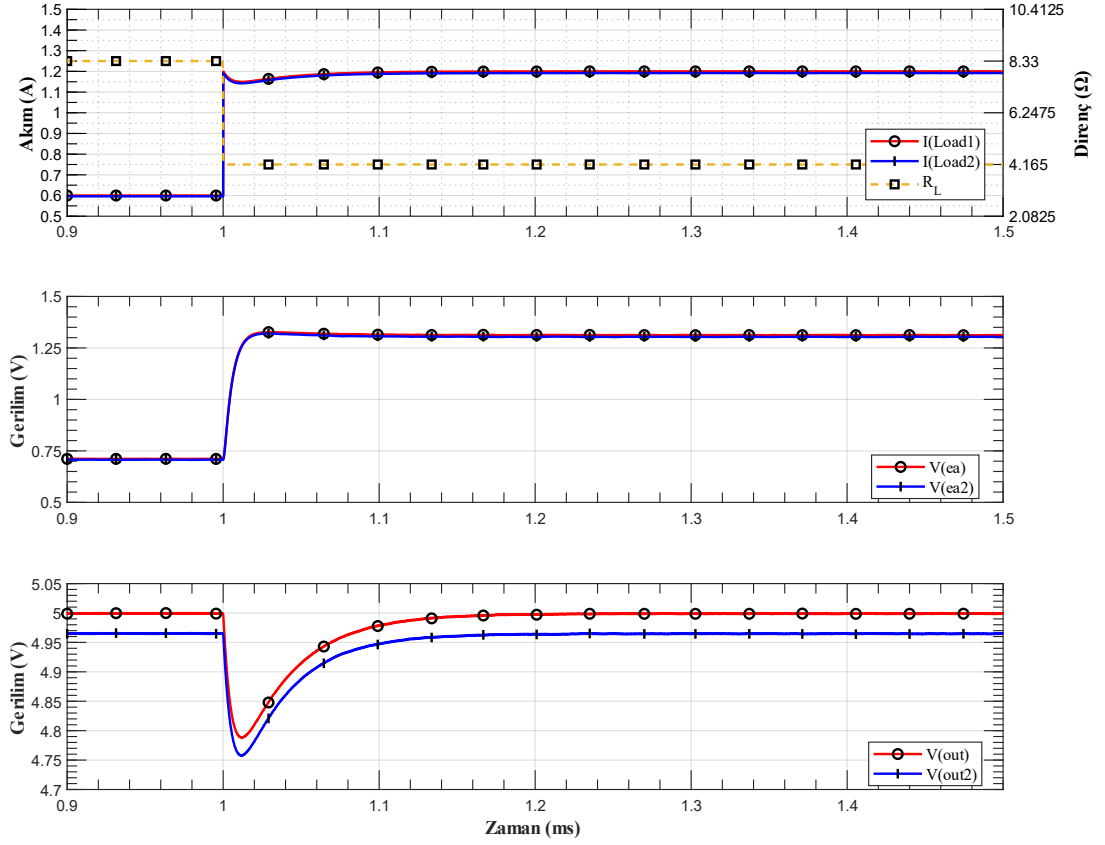
Çıkış akımındaki azalışa karşılık önerilen yöntem ve ideal kapasitörlü devrenin simülasyon sonuçları şekil 4.40’ da verilmiştir. İlk olarak yük direnci R_L , 8.33Ω’ dan 16.66Ω’ a 100ns içerisinde çıkarılarak çıkış akımının 0.6A’ den 0.3A’ e düşmesi sağlanmıştır. Yük artışı anından itibaren, PCM kontrollü buck dönüştürücünün kompanzasyon bloğunda ideal kapasitör ve önerilen kapasitans çarpıcı devresi kullanıldığı durumlar için çıkış geriliminin yerleşme

süresi sırasıyla $114\mu s$ ve $117\mu s$ olarak ölçülmüştür. Bu geçiş esnasında oluşan anlık çıkış gerilimi yükselmeleri ise ideal kapasitör ve önerilen kapasitans çarpıcı devresinin kullanıldığı yöntemlerde sırasıyla $112mV$ ve $111mV$ olarak gerçekleşmiştir.



Şekil 4.40: PCM Buck dönüştürücü devresini yük akımının $0.6A$ ' den $0.3A$ ' e düştüğü durumda zaman alanı tepkisi.

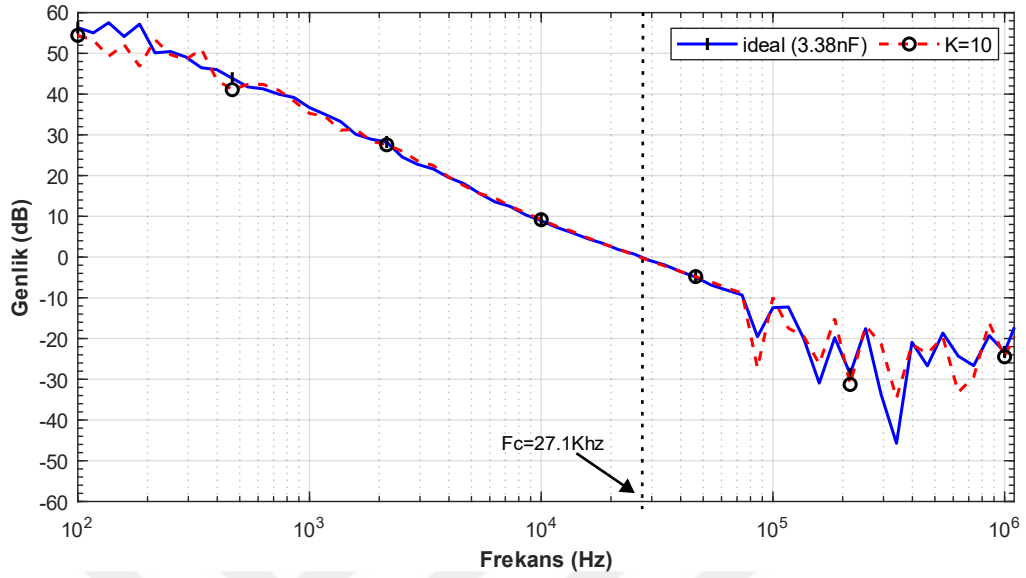
Bu bölümdeki ikinci simülasyon uygulamasında ise R_L , 8.33Ω ' dan 4.165Ω ' a $100ns$ içerisinde düşürülerek çıkış akımının $0.6A$ ' den $1.2A$ ' e çıkması sağlanmıştır. Bu durumda hem ideal kapasitörlü hem de önerilen kapasitans çarpıcı tabanlı PCM buck dönüştürücü devrelerinin zaman alanındaki çıkış gerilimlerinin tepkisi şekil 4.41' de verilmiştir. Yükteki azalma anından itibaren, PCM kontrollü buck dönüştürücünün kompanzasyon bloğunda ideal kapasitör ve önerilen kapasitans çarpıcı devresi kullanıldığı durumlar için çıkış geriliminin yerleşme süresi sırasıyla $120\mu s$ ve $123\mu s$ olarak ölçülmüştür. Bu geçiş esnasında oluşan anlık çıkış gerilimi düşümleri ise ideal kapasitör ve önerilen kapasitans çarpıcı devresinin kullanıldığı yöntemlerde sırasıyla $201mV$ ve $210mV$ olarak gerçekleşmiştir.



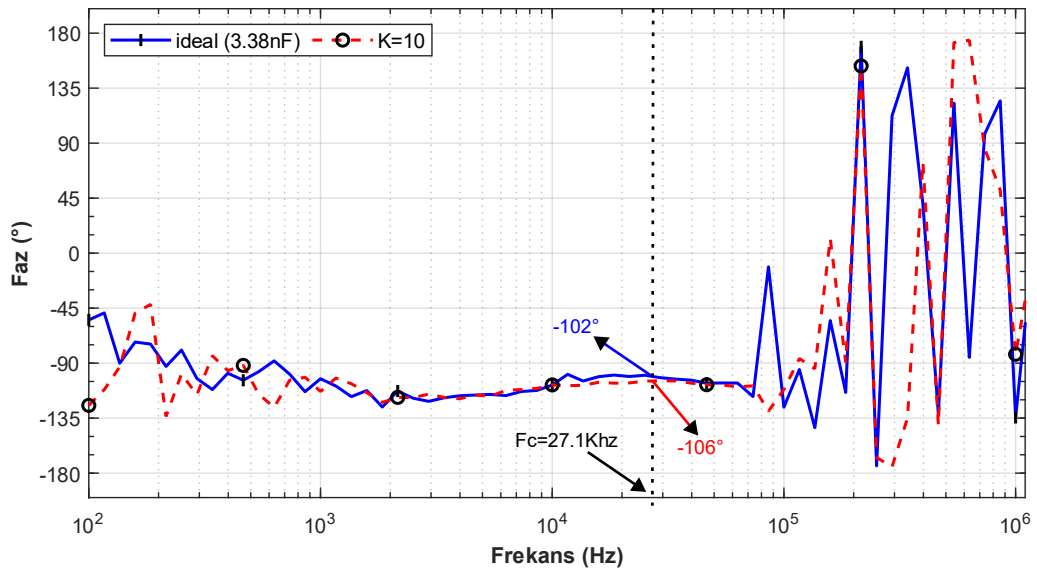
Şekil 4.41: PCM Buck dönüştürücü devresini yük akımının 0.6A' den 1.2A' e çıktığı durumda zaman alanı tepkisi.

4.5.4. PCM Buck Dönüştürücünün Frekans Alanı Simülasyonu

Tez kapsamında PCM kontrollü Buck dönüştürücünün kapalı döngü kararlılığını incelemek için frekans alanında genlik ve faz cevapları incelenmiştir. Hem ideal kapasitör hem de önerilen kapasitans çarpıcı devresi PCM buck dönüştürücü devresinin tip-II OTA kompanzasyon bloğunda kullanılmıştır. Kapasitans çarpıcı devresi için $K=10$ seçilmiştir. Analizler LTspice programı kullanılarak yapılmıştır. Bunun için buck dönüştürücü çıkışına frekansı değiştirilebilen bir alternatif gerilim kaynağı bağlanarak uçları arasındaki genlik ve faz cevapları 100Hz ile 1.1MHz arasında ölçülerek kaydedilmiştir. Elde edilen genlik ve faz cevapları sırasıyla şekil 4.42 ve şekil 4.43' de verilmiştir.



Şekil 4.42: PCM Buck dönüştürücü devresinin kapalı döngü genlik cevabı.



Şekil 4.43: PCM Buck dönüştürücü devresinin kapalı döngü faz cevabı.

Köşe frekansı F_c , genliğin 0dB' ye düştüğü frekans olan 27.1KHz olarak bulunmuştur. PCM kontrollü buck dönüştürücünün kapalı döngü faz marjı ise; tip-II OTA kompanzasyon devresinde ideal kapasitör kullanıldığı durumda 78° , önerilen kapasitans çarpıcı devre kullanıldığı durumda ise 74° olarak bulunmuştur.

4.6. ÖNERİLEN KAPASİTANS ÇARPICI DEVRESİNİN TÜMDEVRE TASARIMI

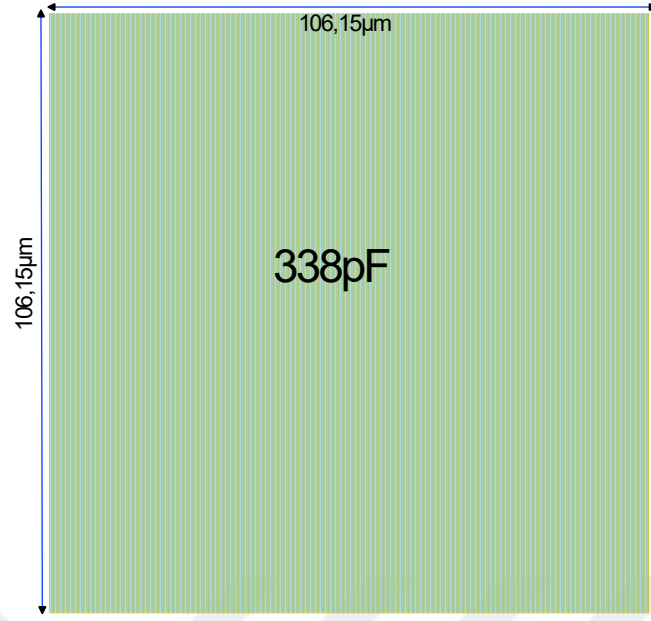
Tez kapsamında 3.38nF değerindeki kapasitans için önerilen kapasitans çarpıcı devre ile çarpma faktörü 5 ile 100 arasında değişen değerler için uygun taban kapasitansı ve tümdevre serim alanı kazanç bilgileri Tablo 4.10' da verilmiştir. Hem ideal kapasitans değeri hem de önerilen yöntemin tümdevre serimlerinde MIM kapasitör serim yöntemi kullanılmıştır. Tümdevre serim çizimleri için ELECTRIC VLSI programı kullanılmıştır.

Kapasitans alan hesabı serim alanı başına düşen kapasitans yoğunluğuna bağlıdır. Bu değer tümdevre üretim tekniklerine bağlı olarak değişkenlik göstermektedir. MIM kapasitörler için birim alandaki kapasitans yoğunluğu $1fF/\mu m^2 - 30fF/\mu m^2$ aralığında değişmektedir [97]. Tez kapsamında MIM kapasitans yoğunluk değeri $30fF/\mu m^2$ olarak seçilmiştir.

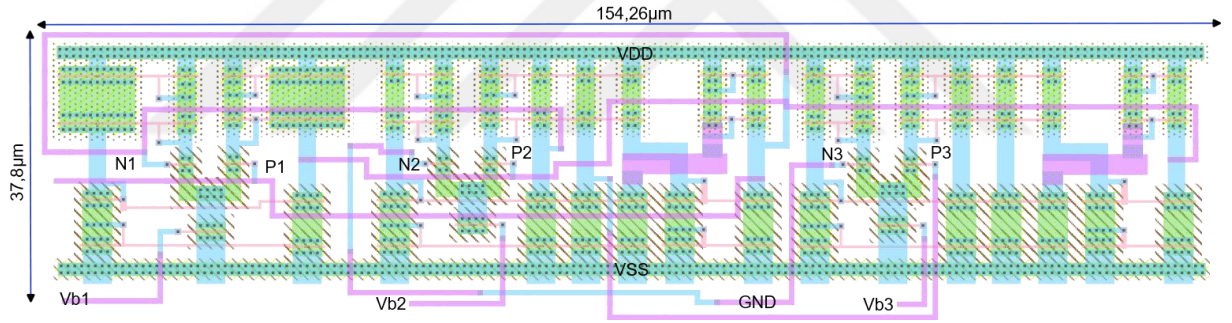
Şekil 4.44' de MIM kapasitör yöntemiyle tasarlanan 338pF değerindeki pasif kapasitörün serimi verilmiştir. Şekil 4.45' de ise önerilen kapasitans çarpıcı devrenin serim çizimi verilmiştir.

Tablo 4.10: Farklı çarpma değerlerine göre çip alanı sonuçları.

Kapasitans Yoğunluğu (MIM)	İdeal Kapasitans Değeri	İdeal Kapasitans Alanı	Önerilen Devre Alanı	K	Taban Kapasitans Alanı	Önerilen Devre Toplam Alanı	Alan Tasarrufu (%)
$30fF/\mu m^2$	3,38nF	$112667\mu m^2$	$5831\mu m^2$	5	$22533\mu m^2$	$28364\mu m^2$	74.82
				10	$11268\mu m^2$	$17099\mu m^2$	84.82
				25	$4507\mu m^2$	$10338\mu m^2$	90.82
				50	$2253\mu m^2$	$8084\mu m^2$	92.82
				100	$1127\mu m^2$	$6958\mu m^2$	93.82



Şekil 4.44: MIM kapasitör modeliyle tasarlanan 338pF pasif kapasitör serimi.



Şekil 4.45: Önerilen kapasitans çarpan devresinin CMOS serim tasarımı.

5. TARTIŞMA

Tezde elde edilen bulgular, önerilen kapasitans çarpıcı devresinin, buck DC/DC dönüştürücülerinde yaygın olarak kullanılan yüksek değerli kapasitörlerin yerine etkili bir alternatif sunduğunu ortaya koymaktadır. Bu yeni devre, yalnızca kapasitans çarpıcı olarak değil, aynı zamanda direnç ve endüktans çarpıcı işlevi de görerek tasarımı büyük esneklik sağlamaktadır. Elektronik olarak kontrol edilebilir yapısı, devrenin parametrelerini dinamik olarak ayarlamaya olanak tanırken, büyük çip alanı ve yüksek maliyet gibi geleneksel tasarım zorluklarını aşmaktadır. Önerilen devrenin FF, SS ve TT proses varyasyonlarında genlik ve faz grafiklerinde ideal duruma yakın sonuçlar verdiği görülmüştür. Gerilim varyasyonunda besleme geriliminin -%5 ile %10 arasındaki değişimlerinde genlik ve faz karakteristiğini koruduğu görülmüştür. Önerilen devrenin -40°C ile 125°C arasında genlik eğimi ve faz tepe noktasını koruğu görülmüştür. Önerilen devrenin üretim hatalarından kaynaklı transistör uyumsuzlukları, kuyruk akımındaki dengesizlikleri ve taban kapasitans toleransları monte-carlo analizi ile test edilerek genlik eğimi ve tepe faz değerindeki frekansın değişmediği görülmüştür. Monte-Carlo ve PVT analizleri, devrenin işlem sürecindeki varyasyonlara, besleme gerilimindeki değişimlere ve sıcaklık farklarına karşı yüksek kararlılık sağladığını göstermektedir, bu da devrenin güvenilirliğini ve uzun ömürlülüğünü pekiştirmektedir.

Tasarlanan empedans çarpıcı devresinin, çarpma faktörü K , devrede kullanılan OTA' lara ait g_m parametrelerinin oranı ve taban empedansın çarpımına bağlıdır. Bu sebeple K değeri elektronik olarak kontrol edilebilir bir özellik kazanmıştır. İstenen çarpım değeri için ilgili denklemden pay ve paydadaki g_m değerleri OTA' ların parazitik etkilerini arttırmadan seçildiği durumda, önerilen devrenin uygun frekans aralığında sorunsuz çalıştığı görülmüştür. OTA' ların giriş ve çıkış empedanslarının idealde sonsuz olması bu parazitik etkileri de oldukça sınırlandırmaktadır. Direnç çarpımı için çalışma frekansları 3.5MHz' den 118MHz' e kadar arttığı gösterilmiştir. Kapasitans çarpımı için 60KHz' den 20MHz' e kadar önerilen devrenin çalıştığı görülmüştür. Endüktans çarpımı için ise çalışma frekansı 180Hz' den 4MHz' e kadar sürmüştür.

Tablo 5.1' de tez kapsamında önerilen kapasitans çarpıcı devrenin literatürdeki diğer devreler ile karşılaştırılması verilmiştir. Bu Tablodaki bazı çalışmalar sadece pozitif empedans çarpımını yerine getirebilmektedir [50, 53, 57, 59]. Bir başka çalışma ise sadece negatif çarpımı yerine getirebilmektedir [60]. Bazı çalışmalarda ise elektronik kontrol edilebilirlik özelliği

mevcut değildir [50, 60, 67]. [52, 53, 57–60, 67, 70] Çalışmalarında ise sunulan devreler bir ucu topraklı yapıdadır.

Bir sistemin, tasarımın yada devrenin alternatiflerine göre performansını hesapladığımız yöntemlerden birisi de FoM parametresidir [98, 99]. Aşağıdaki denklemde literatürdeki diğer çalışmalarla önerdiğimiz devrenin FoM parametre hesaplamasının yapıldığı denklem verilmiştir. Burada K_{maks} maksimum çarpma faktörünü, f_{maks} maksimum çalışma frekansını, K_T çarpım yapabileceği toplam işaret türü sayısı, Z_T toplam çarpımını yapabileceği empedans türü, P güç harcamasını, S taban kapasitans haricindeki devre alanını, AD aktif eleman sayısını, NPE devredeki taban empedans haricindeki pasif eleman sayısını, NT kullanılan toplam tranzistör sayısını ifade eder.

$$FoM = \frac{K_{maks} \times f_{maks} \times K_T \times Z_T}{P \times S \times (AD + 1) \times (NPE + 1) \times (NT + 1)} \quad (5.1)$$

Tablo 5.1: Literatürdeki Kapasitans Çarpan Devrelerinin Performanslarına Göre Karşılaştırılması.

Ref.	Besleme Gerilimi	Güç Tüketimi	Çarpma Faktörü	Çip Alanı*	Teknoloji	Deneysel Doğrulama	FoM
[50]	$\mp 1.25 V$	$1.26 mW$	1000	MD	$0.18 \mu m$	Var	MD
[52]	$\mp 5 V$	MD	400	MD	TED	Var	MD
[53]	$\mp 0.75 V$	$7.4 mW$	MD	MD	$0.25 \mu m$	Yok	MD
[57]	$\mp 0.9 V$	$0.6 mW$	30 / 150	$14000 \mu m^2$	$0.18 \mu m$	Var	2.79×10^{18}
[58]	$\mp 0.75 V$	MD	-20 / +20	MD	$0.13 \mu m$	Var	MD
[59]	$\mp 1.25 V$	MD	30	$755 \mu m^2$	$0.18 \mu m$	Var	MD
[60]	$\mp 12 V$	MD	2001	MD	TED	Yok	MD
[67]	$\mp 1.65 V$	$1.5 mW$	-50 / +50	MD	$0.35 \mu m$	Var	MD
[70]	$\mp 0.3 V$	$67 nW$	100	MD	$0.18 \mu m$	Yok	MD
Bu Tezde	$\mp 2 V$	$1.6 mW$	-100 / +100	$5831 \mu m^2$	$0.18 \mu m$	Var	4.29×10^{18}

* Taban kapasitans yerleşim alanına dahil değildir, TED: Ticari Eşdeğer Devre, MD: Mevcut Değil

Literatürde DC/DC buck dönüştürücüler üzerinde tip-II kompanzasyon bloğunda kapasitans çarpıcı devresi kullanan çalışmalar ve özellikleri Tablo 5.3’ de verilmiştir.

Önerilen empedans çarpıcı devresini PCM kontrollü DC/DC buck dönüştürücü devresinin kompanzasyon bloğundaki kompanzasyon kapasitörü yerine kullanılarak LTspice programı simülasyonu üzerinde performansı gösterilmiştir. Buck dönüştürücü devresinin zaman alanı analizleri hem normal koşullar altında hem de 100ns içerisinde gerçekleşen geçici durum tepkileri altında incelenmiştir. Önerilen empedans çarpıcı devresinin çalışma frekansı buck dönüştürücü devresinin anahtarlama frekansından büyük olması ve seçilen taban

empedans sayesinde parazitik etkilerin sınırlı kalması sebebiyle buck dönüştürücü devresi kararlı bir şekilde çalışabilmiştir.

Tablo 5.2’ de literatürdeki diğer kapasitans çarpıcı devrelerinin kullanıldığı dc/dc dönüştürücü uygulamalarının bu tezde önerilen yöntem ile karşılaştırılması verilmiştir. Önerilen devrenin uygulaması diğer devrelere göre geniş giriş gerilimi aralığına, nispeten düşük indüktör boyutuna ve yüksek faz marjına sahiptir.

Tablo 5.2: Literatürdeki kapasitans çarpan tabanlı DC/DC dönüştürücülerin karşılaştırılması.

	[7]	[74]	[75]	[76]	Bu Tezde
Proses (μm)	0.18	0.18	0.35	0.18	0.18
Giriş Gerilimi (V)	6-45	2.7-3.3	2.7-4.5	1.4-4.2	7-36
Çıkış Gerilimi (V)	5	1.8	1.8	1.2	5
Maksimum Çıkış Akımı (mA)	300	500	500	1200	1500
İndüktör (μH)	98.76	22	8	1	18
Kapasitör (μF)	7	10	8	22	13
Anahtarlama Frekansı (MHz)	0.5	1	1	2	1.1
Kompanzasyon	Tip-II OTA	Tip-II Opamp	Tip-II OTA	Tip-II OTA	Tip-II OTA
Kompanzasyon Direnci ($K\Omega$)	76.5	MD	165	MD	11
Taban					
Kompanzasyon	52	MD	3.53	4	338
Kapasitörü (pF)					
Çarpma Faktörü	3-5	MD	41	19	10
Elektronik Kontrol	Var	Yok	Yok	Yok	Var
Oturma Süresi (μs)	75	14.84	22	8.8	117
Gerilim Düşümü (mV)	90	273	76	47.5	210
Gerilim Aşımı (mV)	98	291	50	29.5	111
Dalgalanma (mV)	2.3	13.29	4	MD	2.4
Faz Marjı ($^{\circ}$)	51.7	MD	MD	MD	74

6. SONUÇ VE ÖNERİLER

Bu tez çalışmasında, empedans çarpıcı prensibine dayanan yeni bir kapasitans çarpıcı devresi önerilmiş ve bu devrenin DC/DC dönüştürücülerinde kompanzasyon kapasitesi olarak kullanılabilirliği araştırılmıştır. Elde edilen bulgular, önerilen devrenin yüksek kapasitans değerlerine duyulan ihtiyacı ortadan kaldırdığını, elektronik olarak kontrol edilebilir yapısı sayesinde tasarım esnekliği sunduğunu ve geleneksel devrelere göre daha az alan kapladığını göstermiştir.

Tez kapsamında gerçekleştirilen analizler sonucunda şu sonuçlara ulaşılmıştır:

- Önerilen devre, kapasitans çarpıcı olarak çalışmanın ötesinde direnç ve endüktans çarpıcı olarak da işlev görebilmektedir.
- Elektronik kontrol edilebilir yapısı sayesinde devrenin parametreleri dinamik olarak ayarlanabilir ve çeşitli tasarım gereksinimlerine uyum sağlayabilir.
- Monte-Carlo ve PVT analizleri sonucunda, devrenin işlem sürecinde meydana gelebilecek varyasyonlara, besleme gerilimindeki değişimlere ve sıcaklık farklarına karşı yüksek kararlılık sergilediği görülmüştür.
- İlgili literatür çalışmalarıyla karşılaştırıldığında, önerilen devrenin hem pozitif hem de negatif empedans çarpımını sağlayabilmesi, elektronik kontrol edilebilirliği ve iki ucu serbest yapıda tasarlanması sayesinde daha üstün performans sunduğu belirlenmiştir.
- PCM kontrollü buck dönüştürücü devresi ile entegrasyonu sonucunda, kompanzasyon kapasitesi olarak etkin bir şekilde çalıştığı, dönüştürücünün geçici ve kalıcı durum analizlerinde kararlı bir çıktı verdiği gözlemlenmiştir.

Bu çalışma, kapasitans çarpıcıların analog tümdevrelerde daha verimli kullanılabilmesi için yeni bir yaklaşım sunmaktadır. Bunun yanında gelecekte önerilen devrenin daha ileri seviyede optimize edilerek ve farklı uygulama alanlarında testi gerçekleştirilebilir. Bu bağlamda gelecek çalışmalar için şu önerilerde bulunulabilir:

1. **Fiziksel Prototip ve Ölçüm Testleri:** Önerilen devrenin çip düzeyinde gerçekleşmesi ve laboratuvar ortamında ölçüm testlerinin yapılması, teorik ve simülasyon sonuçlarının doğrulanması için önemli bir adım olacaktır.
2. **Daha Düşük Güç Tüketimi:** Önerilen devrede OTA' ların kuyruk akımlarına bağlı olan çarpma faktörü K daha yüksek değerlere çıkarılmak istendiğinde, otomatik olarak güç tüketimini arttırmaktadır. Devrenin gücünü optimize etmek için farklı OTA topolojileri incelenebilir ve tasarım daha verimli hale getirilebilir.
3. **Entegrasyon ve Uygulamalar:** Önerilen devrenin farklı endüstriyel DC/DC dönüştürücü türleriyle entegrasyonu incelenerek, geliştirilmiş bir tasarım geliştirilebilir. Bunun yanında önerilen devre tek bir CMOS aktif elemanı olarak modellenebilir. Bu da tasarım sadeliği ve güç tüketimi tasarrufu sağlar.
4. **Parazitik Etkilerin Azaltılması:** Devrenin düşük ve yüksek frekanslardaki parazitik etkileri daha optimize bir tasarım ile düşürülerek çalışma frekansı artırılabilir.

Sonuç olarak, bu tezde sunulan empedans çarpıcı devresi, kapasitans, direnç ve endüktans çarpımını tek bir yapı içinde sunarak, elektronik devre tasarımlarında yeni bir yaklaşım önermektedir. Bu devrenin geliştirilmesi ve farklı uygulamalar üzerinde test edilmesi, gelecekteki çalışmalar için önemli bir araştırma alanı sunmaktadır.

KAYNAKLAR

1. Çökren, M.A., 2023, *Düşürücü Tip DA-DA Dönüştürücü Tasarımı, Kontrolü ve Gerçeklenmesi*, Yüksek Lisans Tezi, Kocaeli Üniversitesi, Fen Bilimleri Enstitüsü.
2. Harfman-Todorovic, M., Palma, L. and Enjeti, P., 2006, A hybrid DC-DC converter for fuel cells powered laptop computers, *37th IEEE Power Electronics Specialists Conference*, 3–7 June 2006, Jeju, Korea (South), IEEE, pp. 1–5. <https://doi.org/10.1109/pesc.2006.1712101>
3. Nan, C., Ayyanar, R. and Xi, Y., 2018, A 2.2-MHz Active-Clamp Buck Converter for Automotive Applications, *IEEE Transactions on Power Electronics*, 33, 460–472. <https://doi.org/10.1109/TPEL.2017.2672522>
4. Ahmad, J., Siddique, M.D., Sarwar, A., Lin, C.H. and Iqbal, A., 2021, A high gain noninverting DC–DC converter with low voltage stress for industrial applications, *International Journal of Circuit Theory and Applications*, 49, 4212–4230. <https://doi.org/10.1002/cta.3129>
5. Rehman, Z., Al-Bahadly, I. and Mukhopadhyay, S., 2015, Multiinput DC-DC converters in renewable energy applications - An overview, *Renewable and Sustainable Energy Reviews*, 41, 521–539.
6. Wang, B., Chen, D., Chen, C.J. and Hsiao, S.F., 2021, Stability Prediction of Integrated-Circuit Based Constant ON-Time Controlled Buck Converters, *IEEE Transactions on Power Electronics*, 36, 6838–6849. <https://doi.org/10.1109/TPEL.2020.3040553>
7. Coste, P., Kovacs, I., Neag, M., Grăjdeanu, T., Ionescu, V.A. and Țopa, M. D., 2022, Type-II Compensation for Automotive Buck Converters Implemented by Fully Integrated Capacitor Multiplier, *IEEE Access*, 10, 37678–37688. <https://doi.org/10.1109/ACCESS.2022.3164700>
8. Qais, M., Hasanien, H.M. and Alghuwainem, S., 2020, Salp swarm algorithm-based TS-FLCs for MPPT and fault ride-through capability enhancement of wind generators, *ISA Transactions*, 101, 211–224. <https://doi.org/10.1016/j.isatra.2020.01.018>
9. Mahmoud, H.Y., Hasanien, H.M., Besheer, A.H. and Abdelaziz, A.Y., 2020, Hybrid cuckoo search algorithm and grey wolf optimiser-based optimal control strategy for performance enhancement of HVDC-based offshore wind farms, *IET Generation, Transmission and Distribution*, 14, 1902–1911. <https://doi.org/10.1049/iet-gtd.2019.0801>
10. Qais, M.H., Hasanien, H.M. and Alghuwainem, S., 2020, Enhanced whale optimization algorithm for maximum power point tracking of variable-speed wind generators, *Applied Soft Computing Journal*, 86. <https://doi.org/10.1016/j.asoc.2019.105937>

11. Verma, S., Singh, S.K. and Rao, A.G., 2013, Overview of control Techniques for DC-DC converters, *Research Journal of Engineering Sciences*, ISSN 2278 (2013): 9472.
12. Mohan, N., Undeland, T. M., Robbins, W. P., 2002. *Power Electronics: Converters, Applications, and Design*, 3rd ed.
13. Kotecha, R. M., 2011. *Analysis and Comparison of Popular Models for Current-Mode Control of Switch Mode Power Supplies*. Wright State University.
14. Kazimierczuk, M. K., 2008. *Pulse-width modulated DC-DC power converters*. Wiley.
15. Mammano, R., 1994. *Design Note: Switching Power Supply Topology: Voltage Mode vs. Current Mode*, Texas Instruments Inc.
16. Sheehan, R., Dallas, H. A., 2007. *Understanding and Applying Current-Mode Control Theory: Practical Design Guide for Fixed-Frequency, Continuous Conduction-Mode Operation*, National Semiconductor Corporation.
17. Feldman, R., 2023. *Step-by-Step Process to Calculate a DC-to-DC Compensation Network*, Analog Devices Inc.
18. Chen, K. H., Chang, C. J., Liu, T. H., 2008. Bidirectional current-mode capacitor multipliers for on-chip compensation. *IEEE Trans Power Electron*, 23:180–188. <https://doi.org/10.1109/TPEL.2007.911776>
19. Ahn, Y., Nam, H., Roh, J., 2009. A 93.5% Efficiency, 400-mA Current Mode DC-DC Buck Converter with Watchdog Functions. *2009 International SoC Design Conference*.
20. Ahn, Y., Nam, H., Roh, J., 2009. A 93.5% efficiency, 400-mA current-mode DC-DC buck converter with watchdog functions. In: *2009 International SoC Design Conference (ISOCC)*. pp. 428–431.
21. Rincon-Mora, G., 2009. *Analog IC Design with Low-Dropout Regulators (LDOs)*, 1st ed. McGraw-Hill, Inc., USA.
22. Tsai, J. C., Huang, T. Y., Lai, W. W., Chen, K. H., 2011. Dual modulation technique for high efficiency in high-switching buck converters over a wide load range. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58:1671–1680. <https://doi.org/10.1109/TCSI.2011.2142970>
23. Huang, H. H., Chen, C. L., Chen, K. H., 2009. Adaptive Window Control (AWC) Technique for Hysteresis DC-DC Buck Converters With Improved Light and Heavy Load Performance. *IEEE Trans Power Electron*, 24:1607–1617. <https://doi.org/10.1109/TPEL.2009.2014687>
24. Lee, C. F., Mok, P. K. T., 2004. A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique. *IEEE J Solid-State Circuits*, 39:3–14. <https://doi.org/10.1109/JSSC.2003.820870>
25. Liou, W. R., Yeh, M. L., Chen, W. R., Kua, Y.L., A high efficiency dual-mode buck converter IC for portable applications, in *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 667-677, March 2008, doi: 10.1109/TPEL.2007.915047.

26. Yalduz, H., 2015. *DA-DA Düşüren Dönüştürücü Tasarımı ve PI Kontrolü*. Yüksek Lisans Tezi, Fen Bilimleri Enstitüsü, Yüzüncü Yıl Üniversitesi.
27. Bryant B, Kazimierczuk MK. 2003. Effect of a current-sensing resistor on required MOSFET size. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 50:708–711. <https://doi.org/10.1109/TCSI.2003.811024>
28. Huang S, Feng Q. 2013. Analysis and design of internal compensation for peak-current-mode converter. In: *2013 Fourth International Conference on Intelligent Control and Information Processing (ICICIP)*. IEEE, pp. 389–392
29. Mitchell D, Mammano B. 2002. Designing Stable Control Loops, <https://api.semanticscholar.org/CorpusID:17409817>
30. Zhang N, Li D. 2021. Loop Response Considerations in Peak Current Mode Buck Converter Design, Application Report, Texas Instruments Inc.
31. ST Microelectronics. 2024. The B-G474E-DPOW1 Discovery kit runs with the STMicroelectronics Arm® Cortex®-M4 core-based STM32G474RET6 microcontroller, ST Microelectronics Inc.
32. Lee SW, Management P. 2014. Application Report: Demystifying Type II and Type III Compensators Using Op-Amp and OTA for DC/DC Converters, Application Report, Texas Instruments Inc.
33. Durmaz FM. 2016. *Layout Techniques for Analog Building Blocks and Application to an Adaptive Output Buck Converter*, Yüksek Lisans Tezi, Fen Bilimleri Enstitüsü, Istanbul Technical University
34. Popovich M., Mezhiba, A.V., Friedman, E.G., 2007. High performance power distribution networks with on-chip decoupling capacitors for nanoscale integrated circuits, Springer US, ISBN: 9780387716008 9780387716015.
35. Culurciello, E., Andreou, A.G., 2006, CMOS image sensors for sensor networks. *Analog Integr Circ Sig Process* 49, 39–51. <https://doi.org/10.1007/s10470-006-8737-x>
36. Popovich M, Mezhiba AV, Friedman EG. 2008. *Power Distribution Networks with On-Chip Decoupling Capacitors*. Springer US, Boston, MA
37. Ferri G. 1997. Low voltage low power CMOS front-ends for capacitive sensors. In: *1997 2nd IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design*, pp. 53–58
38. Rincon-Mora GA. 2000. Active capacitor multiplier in Miller-compensated circuits. *IEEE J Solid-State Circuits*, 35:26–32. <https://doi.org/10.1109/4.818917>
39. Rodriguez-Villegas E, Casson AJ, Corbishley P. 2011. A subhertz nanopower low-pass filter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 58:351–355. <https://doi.org/10.1109/TCSII.2011.2158165>
40. Al-Absi MA, Al-Khulaifi AA. 2019. A new floating and tunable capacitance multiplier with large multiplication factor. *IEEE Access*, 7:120076–120081. <https://doi.org/10.1109/ACCESS.2019.2936800>

41. Verma R, Pandey N, Pandey R. 2019. Novel CFOA based capacitance multiplier and its application. *AEU - International Journal of Electronics and Communications*, 107:192–198. <https://doi.org/10.1016/j.aeue.2019.05.010>
42. Aguado-Ruiz J, Lopez-Martin AJ, Ramirez-Angulo J. 2012. Three novel improved CMOS C-multipliers. *International Journal of Circuit Theory and Applications*, 40:607–616. <https://doi.org/10.1002/cta.745>
43. Yesil A, Yuce E, Minaei S. 2017. Grounded capacitance multipliers based on active elements. *AEU - International Journal of Electronics and Communications*, 79:243–249. <https://doi.org/10.1016/j.aeue.2017.06.006>
44. Dogan M, Yuce E. 2020. A new CFOA based grounded capacitance multiplier. *AEU - International Journal of Electronics and Communications*, 115:153034. <https://doi.org/10.1016/j.aeue.2019.153034>
45. Padilla-Cantoya I, Furth PM. 2015. Enhanced grounded capacitor multiplier and its floating implementation for analog filters. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62:962–966. <https://doi.org/10.1109/TCSII.2015.2435751>
46. Germanovix W, Bonizzoni E, Maloberti F. 2018. Capacitance super multiplier for sub-hertz low-pass integrated filters. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 65:301–305. <https://doi.org/10.1109/TCSII.2017.2691010>
47. Padilla-Cantoya I. 2013. Capacitor multiplier with wide dynamic range and large multiplication factor for filter applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 60:152–156. <https://doi.org/10.1109/TCSII.2013.2240814>
48. Khan AA, Bimal S, Dey KK, Roy SS. 2002. Current conveyor based R- and C- multiplier circuits. *AEU - International Journal of Electronics and Communications*, 56:312–316. <https://doi.org/10.1078/1434-8411-54100121>
49. Yucehan T, Yuce E. 2022. CCII-based simulated floating inductor and floating capacitance multiplier. *Analog Integrated Circuits and Signal Processing*, 112:417–432. <https://doi.org/10.1007/s10470-022-02056-5>
50. Al-Absi MA, Abulema'atti MT. 2019. A tunable floating impedance multiplier. *Arabian Journal for Science and Engineering*, 44:7085–7089. <https://doi.org/10.1007/s13369-019-03792-z>
51. Al-Absi MA, Al-Khulaifi A. 2022. A novel tunable grounded positive and negative active inductor simulator and impedance multiplier. *Arabian Journal for Science and Engineering*, 47:14983–14988. <https://doi.org/10.1007/s13369-022-07338-8>
52. Tangsrirat W, Channumsin O. 2019. Tunable floating capacitance multiplier using single fully balanced voltage differencing buffered amplifier. *Journal of Communications Technology and Electronics*, 64:797–803. <https://doi.org/10.1134/S1064226919080163>
53. Bhaskar, D.R., Mann, G., Kumar, P., 2022, OTRA-based positive/negative grounded capacitance multiplier, *Analog Integr Circuits Signal Process*, 111, 469–481, <https://doi.org/10.1007/s10470-022-02032-z>.

54. Ozenli, D., Alaybeyoglu, E., Kuntman, H., 2022, A tunable lossy grounded capacitance multiplier circuit based on VDTA for the low frequency operations, *Analog Integr Circuits Signal Process*, 113, 163–170, <https://doi.org/10.1007/s10470-022-02077-0>.
55. Sakacı, B., Özenli, D., 2024, A current mode capacitance multiplier employing a single active element based on Arbel-Goldminz cells for low frequency applications, *Microelectron Eng*, 288, <https://doi.org/10.1016/j.mee.2024.112157>.
56. Ozenli, D., Alaybeyoglu, E., 2022, An electronically tunable CMOS implementation of capacitance multiplier employing CCCDTA, *AEU - International Journal of Electronics and Communications*, 155, <https://doi.org/10.1016/j.aeue.2022.154359>.
57. Özer, E., 2021, Electronically tunable CFTA based positive and negative grounded capacitance multipliers, *AEU - International Journal of Electronics and Communications*, 134, <https://doi.org/10.1016/j.aeue.2021.153685>.
58. Kumar, A., Singh, D., Nand, D., 2022, A Novel CFDITA-Based Design of Grounded Capacitance Multiplier and Its Transpose Structure, *Circuits Syst Signal Process*, 41, 5319–5339, <https://doi.org/10.1007/s00034-022-02032-4>.
59. Raj, A., Bhaskar, D.R., Shrivastava, M., Kumar, P., 2023, New negative-grounded capacitance multiplier circuits, *International Journal of Circuit Theory and Applications*, 51, 1476–1491, <https://doi.org/10.1002/cta.3479>.
60. Shrivastava, M., Kumar, P., Raj, A., Bhaskar, D.R., 2024, Single current follower differential input transconductance amplifier based grounded lossy capacitance multiplier with large multiplication factor, *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 37, <https://doi.org/10.1002/jnm.3139>.
61. Al-Absi, M.A., Abuelma'atti, M.T., 2019, A Novel Tunable Grounded Positive and Negative Impedance Multiplier, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 66, 924–927, <https://doi.org/10.1109/TCSII.2018.2874511>.
62. Yucehan, T., Yuce, E., 2022, A New Grounded Capacitance Multiplier Using a Single ICFOA and a Grounded Capacitor, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 69, 729–733, <https://doi.org/10.1109/TCSII.2021.3102118>.
63. Dogan, M., Yuce, E., 2020, A new CFOA based grounded capacitance multiplier, *AEU - International Journal of Electronics and Communications*, 115, <https://doi.org/10.1016/j.aeue.2019.153034>.
64. Özer, E., Başak, M.E., Kaçar, F., 2020, Realizations of lossy and lossless capacitance multiplier using CFOAs, *AEU - International Journal of Electronics and Communications*, 127, <https://doi.org/10.1016/j.aeue.2020.153444>.
65. Stornelli, V., Safari, L., Barile, G., Ferri, G., 2021, A new VCII based grounded positive/negative capacitance multiplier, *AEU - International Journal of Electronics and Communications*, 137, <https://doi.org/10.1016/j.aeue.2021.153793>.
66. Sotner, R., Jerabek, J., Polak, L., Petrzela, J., 2020, Capacitance Multiplier Using Small Values of Multiplication Factors for Adjustability Extension and Parasitic Resistance

- Cancellation Technique, *IEEE Access*, 8, 144382–144392, <https://doi.org/10.1109/ACCESS.2020.3014388>.
67. Verma, R., Pandey, N., Pandey, R., 2019, Novel CFOA based capacitance multiplier and its application, *AEU - International Journal of Electronics and Communications*, 107, 192–198, <https://doi.org/10.1016/j.aeue.2019.05.010>.
 68. Stornelli, V., Safari, L., Barile, G., Ferri, G., 2021, A New Extremely Low Power Temperature Insensitive Electronically Tunable VCII-Based Grounded Capacitance Multiplier, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 68, 72–76, <https://doi.org/10.1109/TCSII.2020.3005524>.
 69. Singh, S., Jatin, Pandey, N., Pandey, R., 2022, Electronically Tunable Grounded Capacitance Multiplier, *IETE J Res*, 68, 2989–3000, <https://doi.org/10.1080/03772063.2020.1739573>.
 70. Alpaslan, H., Yuce, E., Minaei, S., 2023, CFOA-based floating frequency dependent negative resistor, floating capacitance multiplier, and simulated floating inductor, *AEU - International Journal of Electronics and Communications*, 160, <https://doi.org/10.1016/j.aeue.2022.154514>.
 71. Evanovich, J., King, L., 2022, Floating capacitance multiplier realization based on commercially available integrated circuits, *SADHANA-ACADEMY PROCEEDINGS IN ENGINEERING SCIENCES*, 47.
 72. Sotner, R., Jerabek, J., Polak, L., Petrzela, J., 2020, Capacitance Multiplier Using Small Values of Multiplication Factors for Adjustability Extension and Parasitic Resistance Cancellation Technique, *IEEE Access*, 8, 144382–144392, <https://doi.org/10.1109/ACCESS.2020.3014388>.
 73. Nguyen, V-H., Yongsea, Mo., Wonju, Song., Ji, S., Jung W-Y. And Song, H., 2017, A dual-mode 1.8 V-output DC-DC buck converter with on-chip capacitor multiplier in 0.18 um CMOS, In: *2017 International Conference on System Science and Engineering (ICSSE)*, IEEE, Ho Chi Minh City, Vietnam, 753–756.
 74. Chen, K-H., Chang, C-J., Liu, T-H., 2008, Bidirectional Current-Mode Capacitor Multipliers for On-Chip Compensation, *IEEE Trans Power Electron*, 23, 180–188, <https://doi.org/10.1109/TPEL.2007.911776>.
 75. Zhou, M., Sun, Z., Xiao, Z., Low, Q., and Siek, L., 2018, A Fast Transient Response DC-DC Converter with an Active Compensation Capacitor Module, In: *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, Florence, 1–5.
 76. Chung, W-S., Kim, K-H., Cha, H-W., 1992, A linear operational transconductance amplifier for instrumentation applications, *IEEE Trans Instrum Meas*, 41, 441–443, <https://doi.org/10.1109/19.153345>.
 77. Varol, A., 2022, *OTA Tabanlı Birinci Dereceden Filtre Tasarımları ve Osilatör Uygulaması*, Thesis (MSc), Isparta Uygulamalı Bilimler Üniversitesi, Lisansüstü Eğitim Enstitüsü.

78. Parveen, T.A., 2013, Textbook of operational transconductance amplifier and analog integrated circuits, IK International Pvt Ltd.
79. Whitaker, J.C., 1996, The electronics handbook, CRC Press.
80. Kaçar, F., 2010, New lossless inductance simulators realization using a minimum active and passive components, *Microelectronics Journal*, 41 (2), 109–113. <https://doi.org/10.1016/j.mejo.2010.01.001>.
81. Yeşil, A., Kaçar, F., Gürkan, K., 2014, Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application, *AEU - International Journal of Electronics and Communications*, 68 (2), 143–150. <https://doi.org/10.1016/j.aeue.2013.07.016>.
82. Kaçar, F., Yeşil, A., Minaei, S., Kuntman, H., 2014, Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements, *AEU - International Journal of Electronics and Communications*, 68 (1), 73–78. <https://doi.org/10.1016/j.aeue.2013.08.020>.
83. Kaçar, F., Yeşil, A., 2010, Novel grounded parallel inductance simulators realization using a minimum number of active and passive components, *Microelectronics Journal*, 41 (6), 632–638. <https://doi.org/10.1016/j.mejo.2010.06.011>.
84. Zito, D., Pepe, D., Fonte, A., 2015, High-Frequency CMOS Active Inductor: Design Methodology and Noise Analysis, *IEEE Trans Very Large Scale Integr VLSI Syst*, 23, 1123–1136. <https://doi.org/10.1109/TVLSI.2014.2332277>.
85. Rafei, M., Mosavi, M.R., 2013, A New 0.25–12.5 GHz High Quality Factor Low-Power Active Inductor Using Local RC Feedback to Cancel Series-Loss Resistance, *Arab J Sci Eng*, 38, 3125–3132. <https://doi.org/10.1007/s13369-012-0431-y>.
86. Li, C., Wang, P., Gong, F., 2011, A low-power active inductor with improved Q-factor and its application to phase shifter, *Analog Integr Circuits Signal Process*, 66, 303–307. <https://doi.org/10.1007/s10470-010-9553-x>.
87. Keskin, A.U., Hancioglu, E.H., 2005, CDBA-Based Synthetic Floating Inductance Circuits with Electronic Tuning Properties, *ETRI Journal*, 27, 239–242. <https://doi.org/10.4218/etrij.05.0204.0055>.
88. Higashimura, M., Fukui, Y., 1987, Novel method for realising lossless floating immittance using current conveyors, *Electron Lett*, 23, 498–499. <https://doi.org/10.1049/el:19870361>.
89. Minaei, S., Yuce, E., 2012, A simple CMOS-based inductor simulator and frequency performance improvement techniques, *AEU - International Journal of Electronics and Communications*, 66, 884–891. <https://doi.org/10.1016/j.aeue.2012.03.005>.
90. Yuce, E., Cicekoglu, O., Minaei, S., 2006, CCII-Based Grounded to Floating Immittance Converter and a Floating Inductance Simulator, *Analog Integr Circuits Signal Process*, 46, 287–291. <https://doi.org/10.1007/s10470-006-1624-7>.

91. Yuce, E., 2009, Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components, *Analog Integr Circuits Signal Process*, 59, 77–82. <https://doi.org/10.1007/s10470-008-9235-0>.
92. Geiger, R.L., Sánchez-Sinencio, E., 1985, Active filter design using operational transconductance amplifiers: A tutorial, *IEEE Circuits and Devices Magazine*, 1, 20–32. <https://doi.org/10.1109/MCD.1985.6311946>.
93. Zhong, L., Lai, X., Xu, D., Short, M., and Yuan, B., 2016, An improved CMOS-based inductor simulator with simplified structure for low-frequency applications, *J Comput Electron*, 15, 1017–1022. <https://doi.org/10.1007/s10825-016-0834-1>.
94. Wang, H.Y., Lee, C.T., 1998, Realisation of R-L and C-D immittances using single FTFN, *Electron Lett*, 34, 502–503. <https://doi.org/10.1049/el:19980417>.
95. Çiçekoğlu, O., Toker, A., Kuntman, H., 2001, Universal immittance function simulators using current conveyors, *Computers & Electrical Engineering*, 27, 227–238. [https://doi.org/10.1016/S0045-7906\(00\)00018-5](https://doi.org/10.1016/S0045-7906(00)00018-5).
96. Gambino, J., Allman, D., Hall, G., Price, D., Sheng, L., Takada, R., and Kanuma, Y., 2019, Reliability of an Al₂O₃/SiO₂MIM Capacitor for 180nm (3.3V) Technology, In: *2019 IEEE International Reliability Physics Symposium (IRPS)*, pp. 1–5.
97. Allegrini, F., Olivieri, A.C., 2020, 2.20 - Figures of Merit, In: Brown, S., Tauler, R., Walczak, B. (eds) *Comprehensive Chemometrics (Second Edition)*, Second Edition, Elsevier, Oxford, pp. 441–463.
98. Olivieri, A.C., Escandar, G.M., 2014, Chapter 6 - Analytical Figures of Merit, In: Olivieri, A.C., Escandar, G.M. (eds) *Practical Three-Way Calibration*, Elsevier, Boston, pp. 93–107.

EKLER

İNTİHAL RAPORU İLK SAYFASI

Durmuş Ersoy

ORJİNALLİK RAPORU

%**6**

BENZERLİK ENDEKSİ

%**4**

İNTERNET KAYNAKLARI

%**2**

YAYINLAR

%**4**

ÖĞRENCİ ÖDEVLERİ

TÜM KAYNAKLARI EŞLEŞTİR (SADECE SEÇİLİ OLAN KAYNAĞI YAZDIR)

%3

★ Submitted to The Scientific & Technological
Research Council of Turkey (TUBITAK)

Öğrenci Ödevi

Alıntıları çıkart

Kapat

Eşleşmeleri çıkar

Kapat

Bibliyografyayı Çıkart

üzerinde

KURUM İZNİ YAZILARI

Uyarı: Canlı ve cansız deneklerle yapılan tüm çalışmalar için kurum izin belgelerinin eklenmesi zorunludur. Gizlilik ve mahremiyet içeren durumlarda kurum adı kapatılmalıdır.

- ☐ Kurum izni gerekmektedir.
- ☒ Kurum izni gerekmemektedir.

Durmuş ERSOY
(İmza)



PATENT HAKKI İZNİ