

TÜRKİYE CUMHURİYETİ
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

LOGARİTMİK GÜÇ DETEKTÖRÜ TASARIMI

Cüneyt AYAN

YÜKSEK LİSANS TEZİ

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı
Elektronik Programı

Danışman

Doç. Dr. Burcu ERKMEN

Eş-Danışman

Doç. Dr. Hakan DOĞAN

Kasım, 2019

TÜRKİYE CUMHURİYETİ
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

LOGARİTMİK GÜÇ DETEKTÖRÜ TASARIMI

Cüneyt AYAN tarafından hazırlanan tez çalışması 27.11.2019 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programı **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Doç. Dr. Burcu ERKMEN
Yıldız Teknik Üniversitesi
Danışman

Doç. Dr. Hakan DOĞAN
İstanbul Medipol Üniversitesi
Eş-Danışman

Jüri Üyeleri

Doç. Dr. Burcu ERKMEN, Danışman
Yıldız Teknik Üniversitesi

Dr. Öğr. Üyesi Revna ACAR VURAL, Üye
Yıldız Teknik Üniversitesi

Dr. Öğr. Üyesi Okan Zafer BATUR, Üye
İstanbul Bilgi Üniversitesi

Danışmanım Doç. Dr. Burcu ERKMEN sorumluluğunda tarafımda hazırlanan Logaritmik Güç Detektörü Tasarımı başlıklı çalışmada veri toplama ve veri kullanımında gerekli yasal izinleri aldığımı, diğer kaynaklardan aldığım bilgileri ana metin ve referanslarda eksiksiz gösterdiğimi, araştırma verilerine ve sonuçlarına ilişkin çarpıtma ve/veya sahtecilik yapmadığımı, çalışmam süresince bilimsel araştırma ve etik ilkelerine uygun davrandığımı beyan ederim. Beyanımın aksinin ispatı halinde her türlü yasal sonucu kabul ederim.

Cüneyt AYAN

İmza

Aileme



TEŞEKKÜR

Yüksek lisans eğitimimin en başından sonuna kadar sahip olduğu bilgi birikimini benimle paylaşan, katkılarıyla tezin bugünlere gelmesini sağlayan danışmanım Doç. Dr. Burcu Erkmen'e tüm içtenliğimle teşekkürlerimi ifade ederim. Rehberliğinde yaptığım çalışmalar neticesinde edindiğim tecrübelerin, akademik hayatım boyunca karşılaştığım problemlerin çözümünde yol göstereceğine inanıyorum. Tez çalışmamın başlamasında, tez konusunun belirlenmesi sürecinde yol gösteren, uygun ortam şartlarının oluşması için araç-gereçlerini seferber eden, sahip olduğu bilgi birikimi, tecrübesi ile beni doğru şekilde yönlendiren ve bana her koşulda destek olan çok değerli eş danışman hocam Doç. Dr. Hakan Doğan'a sonsuz şükran ve saygılarımı sunarım. Çalışmalarım sırasında değerli destek ve fedakârlıklarını esirgemeyen başta Mazhareddin Taghivand, Muhammed Dağdibi ve isimlerini saymadığım diğer arkadaşlarıma teşekkürü bir borç bilirim. Yoğun çalışma sürecimde her zaman yanımda olan, bana güvenen, desteklerini hiçbir zaman esirgemeyen anneme, babama, kardeşlerime, eşime, İhsan Ayan'a ve Gönül (Hamdiye) Ayan'a sonsuz teşekkürlerimi bildiririm. Son olarak, bütün bu akademik faaliyeti gerçekleştirebilmem için imkan sağlayan, değerli katkılarını esirgemeyen Haluk Bayraktar ve Selçuk Bayraktar'ın şahsında tüm Baykar ailesine sonsuz saygı ve teşekkürlerimi sunarım.

Cüneyt AYAN

İÇİNDEKİLER

SİMGE LİSTESİ	vii
KISALTMA LİSTESİ	viii
ŞEKİL LİSTESİ	ix
TABLO LİSTESİ	xi
ÖZET	xii
ABSTRACT	xiii
1 Giriş	1
1.1 Literatür Özeti	1
1.2 Tezin Amacı	3
1.3 Hipotez	4
2 Logaritmik Güç Detektörü	5
2.1 Sınırlayıcı Yükselteç (Limiting Amplifier)	11
2.2 Doğrultucu	12
2.3 Gerilim Toplayıcı Devre	13
3 Tasarım	14
3.1 Sınırlayıcı Yükselteç (Limiting Amplifier)	16
3.2 Doğrultucu	16
4 Simülasyon Sonuçları	18
4.1 Sınırlayıcı Yükselteç (Limiting Amplifier)	18
4.2 Doğrultucu	20
4.3 Gerilim Toplayıcı Devre	20
4.4 Münferit Katman Simülasyonu	21
4.5 Farklı Katman Sayısına Sahip Tüm Devre Simülasyonu	23
4.6 Tüm Devre Simülasyonu	25
5 Sonuç ve Öneriler	28

Referanslar

29

Tezden Üretilmiş Yayınlar

32



SİMGE LİSTESİ

π	Pi Sayısı
g_m	Geçiş İletkenliği
C_{ox}	Oksit Kapasitesi
μ_n	Elektronların Hareket Yeteneđi
W	Kanal Geniřliđi
L	Kanal Uzunluđu

KISALTMA LİSTESİ

SDLA	Successive Detection Logarithmic Amplifier
RSSI	Received Signal Strength Indication
PA	Power Amplifier
LNA	Low Noise Amplifier
ASK	Amplitude Shift Keying
VGA	Variable Gain Amplifier
RF	Radio Frequency
V/UHF	Very/Ultra High Frequency
MHz	Mega Hertz
dB	Decibel
AGC	Automatic Gain Control
RMS	Root Mean Square
AC	Alternating Current
DC	Direct Current
CMOS	Complementary Metal Oxide Semiconductor
UMC	United Microelectronics Corporation
MDS	Minimum Detectable Signal

ŞEKİL LİSTESİ

Şekil 1.1	RF Güç Detektörü Genel Görünüm [3]	2
Şekil 2.1	Giriş sinyalinin $\text{Log}(x)$ fonksiyonuna uygulanması [20]	5
Şekil 2.2	Giriş işaretinin logaritmik yükseltece uygulanması ve elde edilen çıkış işareti [21]	6
Şekil 2.3	Logaritmik yükseltecin genel uygulaması [20]	6
Şekil 2.4	Giriş işaretine bağlı olarak çıkış değerinin elde edilmesi [20]	8
Şekil 2.5	Kaskat bağlı sınırlayıcı yükseltecin genel görünümü	8
Şekil 2.6	Kazanca bağlı olarak logaritmik yakınsama eğrisi değişimi [28]	9
Şekil 2.7	Paralel bağlı sınırlayıcı yükselteç ve tampon yükseltecin oluşturduğu giriş çıkış grafiği	10
Şekil 2.8	SDLA genel mimarisi	10
Şekil 2.9	Sınırlayıcı yükselteç	11
Şekil 2.10	Doğrultucu	12
Şekil 2.11	Gerilim toplayıcı devre şeması [13]	13
Şekil 3.1	Logaritmik detektör tasarım mimarisi	14
Şekil 3.2	Logaritmik detektör şematik tasarımı	15
Şekil 3.3	Sınırlayıcı yükselteç şematik tasarımı	16
Şekil 3.4	Doğrultucu şematik tasarımı	17
Şekil 4.1	Yükselteçlerin küçük işaret analizi	18
Şekil 4.2	Yükselteçlerin küçük işaret kazanç grafiği	19
Şekil 4.3	Yükselteçlerin küçük işaret kazanç grafiği	19
Şekil 4.4	Yükselteçlerin küçük işaret kazanç grafiği-2	19
Şekil 4.5	Doğrultucu devre geçiş analiz tepkisi	20
Şekil 4.6	Gerilim toplayıcı devre geçiş analiz tepkisi	20
Şekil 4.7	1.Katman giriş çıkış grafiği	21
Şekil 4.8	2.Katman giriş çıkış grafiği	21
Şekil 4.9	3.Katman giriş çıkış grafiği	22
Şekil 4.10	4.Katman giriş çıkış grafiği	22
Şekil 4.11	3-Katmanlı mimari için giriş çıkış grafiği	23
Şekil 4.12	2-Katmanlı mimari için giriş çıkış grafiği	23
Şekil 4.13	1-Katmanlı mimari için giriş çıkış grafiği	24

Şekil 4.14 100 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi	25
Şekil 4.15 30 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi	26
Şekil 4.16 200 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi	26
Şekil 4.17 400 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi	27
Şekil 4.18 512 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi	27



TABLO LİSTESİ

Tablo 3.1	Şematik tasarımda kullanılan devre elemanları	17
Tablo 5.1	Kıyaslama Tablosu	28



Logaritmik Güç Detektörü Tasarımı

Cüneyt AYAN

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Yüksek Lisans Tezi

Danışman: Doç. Dr. Burcu ERKMEN

Eş-Danışman: Doç. Dr. Hakan DOĞAN

Kablosuz haberleşme sistemlerinin gelişimiyle birlikte RF güç detektörleri birçok RF tümleşik devrede kullanılmaktadır. RF verici sistemlerde çıkış gücünün kontrolünü sağlayan bu bileşenler RF alıcı sistemlerde ise RSSI değerinin ölçümünü sağlayarak yükseltecin kazancının ayarlanmasını sağlamaktadır. Bu sistemlerde, RF güç yükseltecinin (PA) veya düşük gürültülü yükseltecin (LNA) çıkışı, yönlü kuplör ile güç detektörünün girişine verilmektedir. Güç detektörü girişine uygulanan bu RF işaret, logaritmik transfer fonksiyonu üzerinden analog DC bir çıkış gerilimine dönüştürülmektedir. Çıkışta elde edilen DC gerilim değeri, girişe uygulanan RF sinyalin güç seviyesine bağlı olarak değişmektedir. Bu çalışmada, V/UHF frekans bandında (30-512 MHz) çalışan logaritmik güç detektörü tasarımı yapılmıştır. Mimari, kaskat bağlı sınırlayıcı yükselteçler, doğrultucular ve gerilim toplayıcı devrelerden oluşmaktadır. Dinamik aralığı artırmak için 4 katmanlı detektör mimarisi tasarlanmıştır. Tasarım, UMC 65 nm CMOS teknolojisi kullanılarak gerçekleştirilmiştir. Giriş besleme voltajı 1.2 VDC iken çektiği akım değeri 46.7 mA'dir. Düşük güç harcayan bu devre, SDLA mimarisi kullanılarak tasarlanmıştır ve 60 dB'nin üzerinde dinamik aralık değeri elde edilmiştir.

Anahtar Kelimeler: CMOS, Güç Detektörü, Logaritmik Yükselteç, Doğrultucu

Logarithmic Power Detector Design

Cüneyt AYAN

Department of Electronics and Communication Engineering
Master of Science Thesis

Advisor: Assoc. Prof. Dr. Burcu ERKMEN

Co-advisor: Assoc. Prof. Dr. Hakan DOGAN

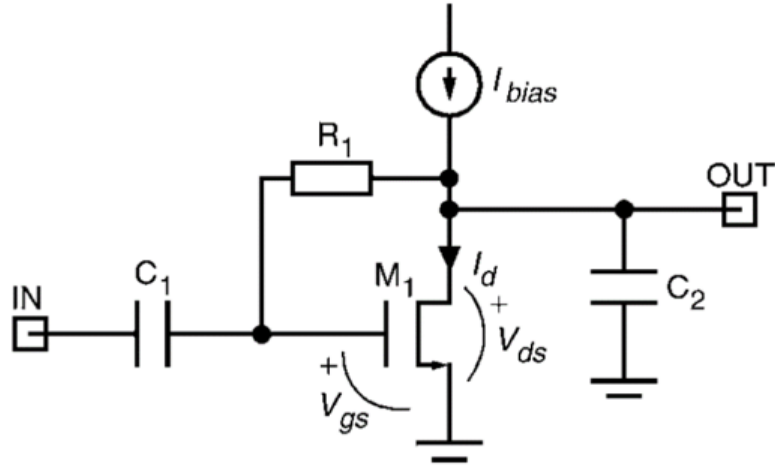
With the advent of the wireless systems, RF power detectors are being used in many RF / millimeter wave integrated circuits. They are critical components in RF transmitters for transmit power control and also have a key role on the RF receivers to measure received signal strength to adjust the amplifier gain. In these blocks, usually RF power amplifier or low noise amplifier's output power signal is an input to the power detector. The input power of the RF power detector circuit is converted to an analog DC output voltage via logarithmic transfer function in order to achieve a linear-in-dB input-output characteristic and the DC output voltage value indicates the power level of the input signal. In this work, a logarithmic power detection circuit is designed for V/UHF frequency band (30-512 MHz). The architecture of power detector is composed of cascaded limiting amplifiers, rectifiers and voltage summing circuits, respectively. To achieve extended dynamic range, outputs of four separate detector stages are summed. The power detector is designed and simulated in UMC 65 nm CMOS technology and consumes 46.7 mA from 1.2 VDC supply. The low power circuit is designed using SDLA method and has a dynamic range wider than 60 dB.

Keywords: CMOS, Power Detector, Logarithmic Amplifier, Rectifier

1.1 Literatür Özeti

RF tümleşik devrelerinin karmaşıklığı her geçen gün artarken, entegreleri test etme ve hatalarını ayıklama görevi daha da zorlayıcı hale gelmektedir. Modern bir radyo alıcı-vericisi; birbirine bağlı yerel osilatörler, tamponlar, yükselteçler ve karıştırıcılar gibi yapı taşlarını barındırmaktadır. Bir sisteme ait alt bileşen seviyesindeki tümleşik devrelerde, ilgili RF genlik bilgisini elde etmek, sisteme ait muhtemel tasarımsal problemlerin tespit edilebilmesi için hayati öneme sahiptir. Geleneksel test yöntemlerinde, elektronik devre kartlarında ilgili entegrelere özel RF test padleri eklenmektedir ve böylelikle talep edilen RF genlik bilgisi bu padler üzerinden ölçülmektedir. Bu yöntemlerin birkaç dezavantajı vardır. Tümleşik devre üretiminin yanı sıra test kurulumu hazırlamak ve her bir yapı bloğunu ayrı ayrı ölçmek zaman ve maliyet açısından dezavantaj oluşturmaktadır. Ayrıca, test kurulumundaki ölçüm probunun ve kabloların empedansı, devrenin çalışmasını ve ölçüm sonuçlarını etkilemektedir [1]. İlave olarak, sistemin alt bloklarının ayrı ayrı test edilmesi gerekeceğinden, sistemin bütününe etki edebilecek muhtemel kuplaj ve yükleme etkileri (loading effects) gözlemlenememiş olacaktır. Diğer taraftan çoğu RF sistem, (ilgili ülke otoritelerinin düzenlemelerine uymak için) RF girişimleri/etkileşimleri engellemek ve güç kullanımını optimum hale getirmek için RF güç çıkışlarının izlemesini gerekli kılmaktadır. RF verici sistemlerde; çıkış gücünün kontrol edilerek gereksiz güç tüketimini en aza indirmek amacıyla gerekli olan bu kabiliyet, RF alıcı sistemlerde ise kipçözme (demodülasyon), analog-sayısal dönüştürücü gibi zincirin ileriki aşamalarına sabit, optimize edilmiş bir sinyal iletebilmek için AGC devreleri aracılığıyla kazancın ayarlanması, dolayısıyla da RF gücün izlenmesi gerekmektedir [2]. Belirtilen gereksinimlere çözüm olabilecek temel detektör yapısı, Şekil 1.1'de gösterilmiştir[3].

Entegrenin, IN girişine uygulanan bir RF işaretinin genlik değerine karşılık gelen analog DC gerilim değeri, OUT kısmından izlenebilmektedir [4]. Bu detektörlerin çok elemanlı elektronik devrelerde stratejik noktalara yerleştirilip RF güç seviyesinin



Şekil 1.1 RF Güç Detektörü Genel Görünüm [3]

tespit edilmesiyle ifade edilen ilave ölçüm padlerine veya problemlarına olan ihtiyaç ortadan kaldırılmaktadır. Literatürde RMS, Schottky Tepe Detektörü ve Logaritmik Tepe Detektörü olmak üzere bir RF işaretin güç seviyesinin ölçülebildiği üç farklı RF detektör mimarisi mevcuttur [2, 5]. Kablosuz haberleşme sistemlerinin veri hızlarının artmasıyla birlikte, tanımlı olan frekans bandının etkin olarak kullanılabilmesi için yüksek tepe faktörüne sahip (peak-average ratio ya da crest factor) modülasyon teknikleri tercih edilmektedir. Zamana bağlı olarak değişen bir sinyalin ortalama değerinin elde edilmesi prensibine dayanan RMS detektör mimarisi, yüksek tepe faktörü veya gürültü benzeri özellik gösteren RF modüleli sinyallerin yüksek doğruluklu güç ölçümleri için uygundur. RMS güç detektörleri genellikle termal, diyot ve translinear algılama yöntemleri kullanılarak gerçekleştirilmektedir [6, 7].

Termal algılama yöntemi, bilinmeyen bir AC sinyali tarafından açığa çıkan ısı değerini, kalibre edilmiş bir DC referans voltajı tarafından üretilen ve bilinen bir ısı değeri ile karşılaştırmaktadır. Bu yöntemin avantajları, geniş bant genişliğine sahip olması ve düşük hata oranına sahip olmasıdır. Ancak termal algılamanın yaygın olarak kullanılmamasının gerekçesi karmaşık ve pahalı olmasıdır [8].

Diyot algılama yöntemi, diyodun küçük işaret bölgesindeki karesel (square-law) özelliği kullanılarak gerçekleştirilmektedir ve ayrık (discrete) veya tümleşik güç tespitinde kullanılabilir [9, 10]. RF frekansında diyot üzerinden güç algılaması yapabilmek için düşük kayıplı bir Schottky diyot gereklidir. Ancak Schottky diyot, CMOS temelli entegre üretimlerinde standart bir bileşen değildir ve üretilen diyotun karakteristiği, ilgili entegre üretici firmanın sahip olduğu teknolojiye bağlı olarak değişkenlik göstermektedir. Ayrıca bu diyodun dinamik aralığı ve sıcaklığa duyarlılığı, uygulama alanlarını kısıtlamaktadır. RF gücün algılanması için diyot yerine, küçük işaret karakteristikleri dolayısıyla BJT elemanlar da yaygın olarak

kullanılmaktadır. Fakat, BJT transistörlerin üretim teknolojisinin CMOS transistörlerin üretim teknolojisine göre daha pahalı olduğu göz önünde bulundurulmalıdır [11]. Bir diğer rms gücü algılama yönteminde ise yarıiletken elemanların translinear özelliği temel alınmaktadır [12]. Translinear detektöründeki V-I dönüştürücüsü, RF giriş voltajını, akıma dönüştürmektedir. Ancak, V-I dönüştürücünün sınırlı bant genişliği, ultra geniş bantlı (UWB) bir translinear güç detektörünün bant genişliğini daraltmaktadır. RF Schottky tepe detektörleri, ısıya dayanıklı Schottky diyot temelli bir peak detektör ve buffer yükseltecinden oluşmaktadır. Bu detektör; Schottky diyot, buffer ve RF sinyalin en tepe değerini yakalayıp çıkışa ileten düşük değerli hold-kapasitörden oluşan klasik bir analog peak detektörün, RF yüksek frekans için optimize edilmiş versiyonudur. Bu detektörün yüksek frekans versiyonunda; giriş geriliminin tepe değeri, düşük gerilim düşümü ve hızlı tepki süresine sahip schottky diyot tarafından algılanmaktadır. Bu gerilim değeri tamponlanarak (buffer) yükseltecin çıkışında DC gerilim olarak elde edilir. Peak detektörler, hızlı tepki süresine sahiptir. Böylelikle, bir RF sistemin alıcı tarafındaki sinyal şeklinin, tepe değerinden daha az önemli olduğu radar hedef veya kesit alanı tespitine yönelik elektronik harp uygulamaları için uygundur.

Literatürde, yukarıda belirtilen yöntemlerin yanı sıra, son yıllarda CMOS güç detektörleri ile alakalı da çalışmalar yapılmıştır. Bir CMOS güç detektöründe, RF gücü tespit etmek ve linear-in-dB çıkış değeri elde edebilmek için kaskat bağlı RF logaritmik yükselteçler ve dönüştürücüler kullanılmaktadır [13–19]. Ancak sınırlayıcı yükselteçlerin (Limiting Amplifier) bant genişliği, güç detektörünün frekans aralığını sınırlamaktadır.

1.2 Tezin Amacı

V/UHF frekans bandında çalışan, taktik sahada kullanıcıların kesintisiz ses, veri ve video haberleşmesini sağlayan askeri telsizlere yerleştirilmek üzere, farklı iletim katmanlarındaki güç seviyesinin belirlenebilmesi için yapılan logaritmik RF detektör tasarımı, tezin amacını oluşturmaktadır. Çalışma kapsamında Cadence Virtuoso programı kullanılarak güç detektörü girişine uygulanan bir RF işaret, logaritmik transfer fonksiyonu üzerinden analog DC bir çıkış gerilimine dönüştürülmektedir. Dinamik aralığı artırmak için 4 katmanlı bir detektör mimarisi tasarlanmıştır. İlk bölümde güç detektörlerine genel giriş yapıları literatür çalışmalarına, farklı mimarilere ve hipoteze değinilmiştir. İkinci bölümde güç detektörüne ait detay bilgi verilmiştir ve detektörü oluşturan alt bileşenler etraflıca açıklanmıştır. Üçüncü bölümde her bir alt bileşenin teorik ve pratik tasarımı açıklanmıştır. Dördüncü bölümde, şematik tasarıma ait yapılan simülasyon çalışmalarına yer verilmiştir. Son bölümde ise, sonuç ve önerilere yer verilmiştir.

1.3 Hipotez

Logaritmik RF detektör tasarımına yönelik, 1.2 VDC besleme voltajı, 60 dB dinamik aralık ve MDS seviyesi -60 dB olacak şekilde uygun mimari çalışması yapılmıştır. Ofset gerilimi, hassasiyetin artırılması için minimize edilmiştir. Öncelikle devrenin şematik tasarımı ve simülasyon testleri tamamlanmıştır. Sonrasında UMC 65 nm teknolojisinde layout tasarımı ve üretim safhasına geçilecektir. Bu kapsamda, devrede yer alan alt bileşenlerin küçük işaret analizi, büyük işaret analizi ve geçici rejim analizi, ilgili frekans bandı boyunca yapılmıştır.

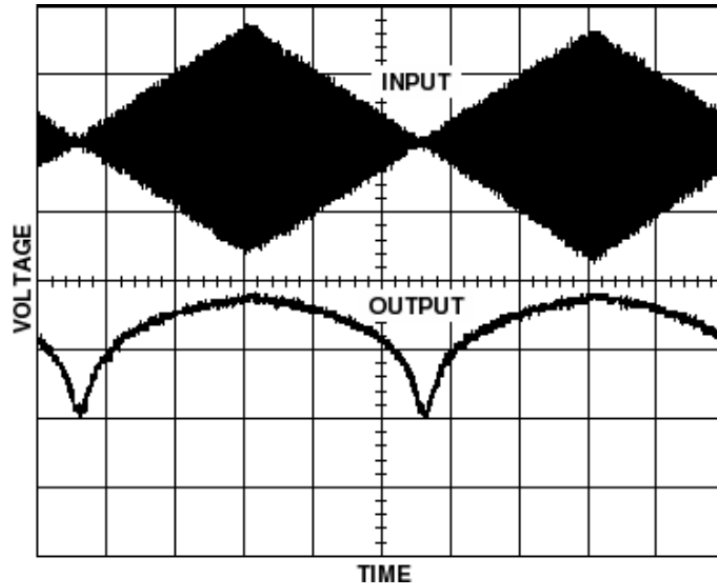


2

Logaritmik Güç Detektörü

"Logaritmik Yükselteç" bir RF işareti, logaritmik transfer fonksiyonu üzerinden DC gerilim değerine dönüştürmektedir. "Logarithmic Amplifier" literatürde çokça yer almasına karşın muhteva ettiği anlam itibariyle yanlış kullanılmaktadır. Bunun yerine "Logaritmik Converter" ifadesi, yapılan işi daha iyi açıklamaktadır. Ancak bu tez çalışmasında, literatüre uygun olarak logaritmik yükselteç ifadesi kullanılmıştır. Logaritmik yükselteçler, giriş sinyal zarfını (envelope) logaritmik transfer fonksiyonu üzerinden hesaplayan entegrelerdir.

Şekil 2.1'de; 100 kHz üçgen dalga tarafından modüle edilen 10 MHz'lik sinüs dalgası ve DC-500 MHz frekans aralığında çalışan, 90 dB dinamik aralığa sahip bir entegrenin logaritmik cevabı gösterilmiştir. Sinyalin zarfı doğrusal olarak arttıkça, çıkış cevabında "log (x)" karakteristiği görülmektedir.



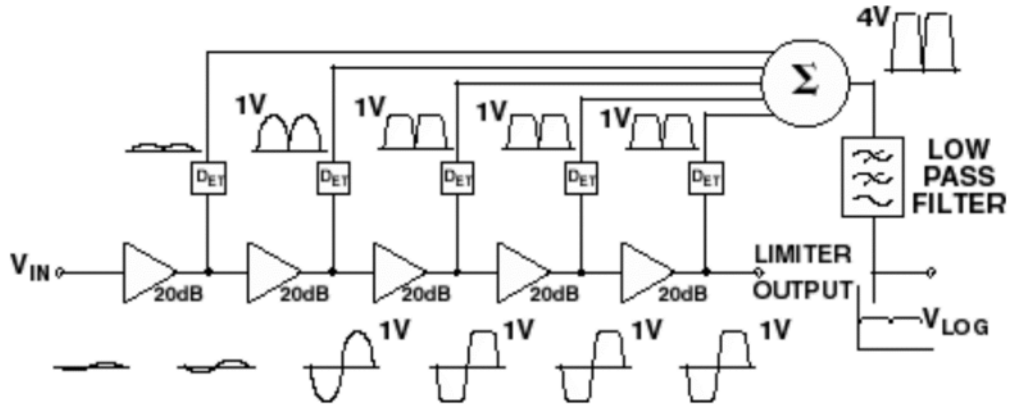
Şekil 2.1 Giriş sinyalinin Log(x) fonksiyonuna uygulanması [20]

Logaritmik yükselteç yerine, doğrusal (linear) bir zarf detektörü kullanılması durumunda elde edilecek çıkış işareti ise basit bir üçgen dalgadır. Logaritmik

yükselteçler, logaritma alanında (domain), giriş sinyali zarf ya da genliğindeki düşük frekanslı değişimleri, anlık olarak gösterebilmektedir. Logaritmik yükseltecin temel amacı, giriş sinyalinin içeriğinin tespit edilmesinin aksine, sinyal gücünün ölçülmesidir. Değişken kazançlı bir yükseltecin (VGA) çıkış değerini regüle etmek tipik kullanımları arasındadır. Ancak logaritmik yükseltecin, bir sinyali demodüle etmek için kullanıldığı bazı uygulamalar da vardır. Şekil 2.2’de görüldüğü üzere, ASK modüleli bir analog giriş işareti, logaritmik yükseltece uygulandığında, çıkışta dijital bir sinyal elde edilmektedir. Giriş ve çıkıştaki sinyallerin genliklerinin farklı olduğu görülmektedir. Ancak bu uygulamada genlik değerinin hassas olarak algılanmasından ziyade, sinyalin var olup olmadığı tespit edilmektedir. Diğer bir ifade ile logaritmik yükseltecin, belirli bir dinamik aralıkta değişen bir sinyali (10 mV ila 1 V), daha küçük bir aralıkta (1 V - 3 V) değişen bir sinyale dönüştürmesi durumudur.



Şekil 2.2 Giriş işaretinin logaritmik yükseltece uygulanması ve elde edilen çıkış işareti [21]



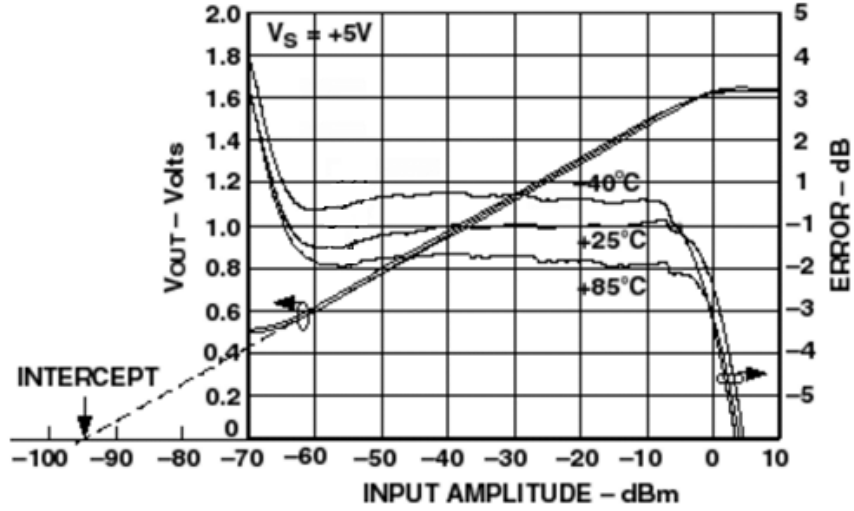
Şekil 2.3 Logaritmik yükseltecin genel uygulaması [20]

Logaritmik yükselteç ile alakalı Şekil 2.3’te basitleştirilmiş blok diyagram gösterilmiştir. Mimaride yer alan sınırlayıcı yükselteç, dönüştürücü ve gerilim toplayıcı devre bileşenlerinden en kritik olanı kaskat bağlı yükselteçlerdir [22–27]. Bu yükselteçler, belirlenen frekans aralığında, genellikle 10 dB ile 20 dB aralığında bir kazançla sahiptir.

Girişe uygulanan düşük genlik değerine sahip bir sinüs dalgası her bir yükselteç katmanında, ilgili kazanç değeri kadar kuvvetlendirilmektedir. Giriş sinyalinin genlik değerine bağlı olarak ardışık katmanlarda sinyalin tepe değeri kırılacaktır. Ayrıca tasarımıda, kaskat bağlı bütün yükselteçlerin hassas bir şekilde aynı genlik değerinde kıpma oluşturacak şekilde tasarlanmış olması gerekmektedir. Diğer bir ifade ile sinyal, yükselteç katmanlarının birinde 1 V değerinde sınırlandırıldıktan sonra, ileriki katmanlarda da aynı tepe genliğini korumalıdır. Her yükseltecin çıkışındaki sinyal, bir tam dalga doğrultucuya iletilmektedir. Bu doğrultucuların çıkışı ise gerilim toplayıcı devre üzerinden birleştirilmektedir ve analog DC çıkış gerilim değeri elde edilmektedir. Elde edilen gerilimdeki istenmeyen gürültü vb. bileşenler, pasif filtre üzerinden temizlenmektedir. Şekil 2.3'te görüldüğü üzere, tam dalga doğrultucu çıkış gerilim değerlerinin toplamı 4 V'tur. Kaskat bağlı 3 yükseltecin çıkışında sinyal limite erişerek kesime uğramıştır. Bir katmanda ise kesime yakın bir değerdedir. Uygulanan giriş sinyalinin değeri, 1/10 oranında zayıflatılırsa (20 dB), kaskat bağlı zincirde (ilk yükseltecin çıkışında olduğu gibi) bir çıkış voltaj değeri daha ihmal edilebilir seviyede olacaktır. Bu durumda doğrultucu çıkış gerilim değerlerinin toplamı yaklaşık 3 V seviyelerindedir. Giriş sinyalinin 20 dB daha zayıf olduğu durumda, çıkış gerilim değeri yaklaşık 2 V seviyelerinde olacaktır. Böylelikle, girişteki sinyalin her 20 dB değiştiği durumda çıkış gerilim değerinin 1 V değiştiği tespit edilmiş olacaktır. Bu durumda da log yükseltecin 50 mV/dB eğim değerine sahip olduğu söylenebilmektedir. Kesişim noktası (intercept) ve eğim (slope), logaritmik yükseltecin transfer fonksiyonunu (giriş ile çıkış arasındaki ilişkiyi) tanımlayan iki önemli parametredir (Şekil 2.4).

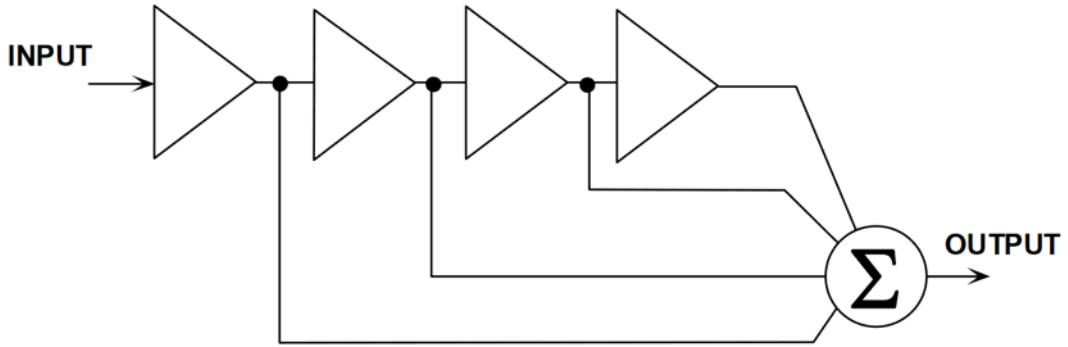
$$V_{out} = Slope(P_{in} - Intercept) \quad (2.1)$$

Basit bir çıkarımla kesişim noktası (intercept) değerinin artması, eğimin sabit kalması şartıyla çıkış voltaj değerini düşürmektedir. Klasik diyot/opamp (veya transistör/opamp)'lar ile oluşturulan logaritmik yükselteçler, düşük frekanslardaki kullanımlar için sınırlı frekans tepkisine sahiptir. Bu nedenle, yüksek frekans uygulamaları için, Detecting ve True Log topolojileri kullanılmaktadır. Bunlar, derinlemesine incelendiğinde farklılık gösterebilir, tasarımlarının arkasındaki genel prensip her ikisinde de ortaktır; logaritmik özelliğe sahip bir yükselteç yerine, büyük işaret davranışına (large signal behavior) sahip kaskat bağlı doğrusal katmanlar bu tasarımlarda kullanılmaktadır. N kademeli ve kaskat bağlı sınırlayıcı yükselteçlerden (limiting amp) her birinin çıkışı gerilim toplayıcı devresine gitmektedir (Şekil 2.5). Her yükseltecin A dB kazancı varsa, N kademeli bir yapının küçük işaret kazancı NA dB'dir. Eğer giriş sinyali, sınırlayıcı yükseltecin son katmanında dahi yükseltecin limitine erişemiyorsa, gerilim toplayıcı devrenin çıkışını son katmandaki yükseltecin



Şekil 2.4 Giriş işaretine bağlı olarak çıkış değerinin elde edilmesi [20]

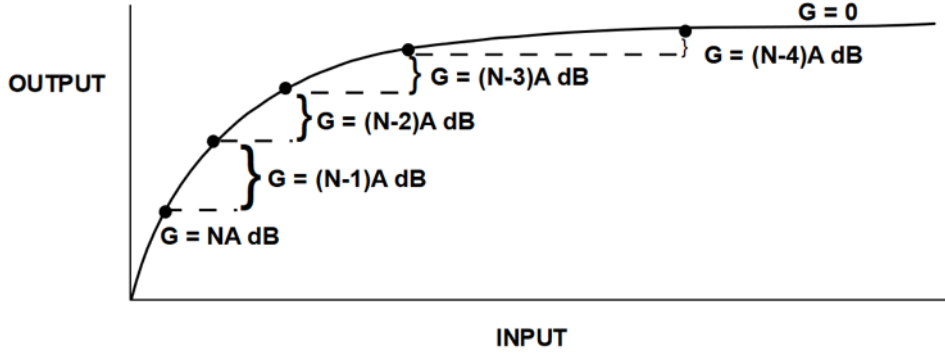
çıkışı belirleyecektir. Giriş sinyalinin genliği arttıkça, işaret bir değerden sonra



Şekil 2.5 Kaskat bağlı sınırlayıcı yükseltecin genel görünümü

sınırlayıcı yükseltecin sınırına erişecektir. Bu durumda da, bu katmanların gerilim toplayıcı devreye katkısı sınırlı olacaktır. Örnek olarak Şekil 2.6'da görüldüğü üzere, giriş sinyalinin genliğine bağlı olarak sınırlayıcı yükselteçlerin son katmanının limite ulaştığını varsayalım. Bu durumda gerilim toplayıcı devresinin girişinde $(N-1)A$ dB değerine karşılık gelen DC gerilim değeri olacaktır. Giriş sinyalinin daha güçlü olduğu ve son iki katmanın limite dayandığı durumda ise $(N-2)A$ dB değerine karşılık gelen DC gerilim değeri olacaktır. Giriş sinyal seviyesine göre ilk katmanın limite dayandığı senaryoda, gerilim toplayıcı devre çıkışında bir değer elde edilemeyecektir. Sınırlayıcı yükselteçlerin küçük işaret kazancı, logaritmik doğrusallığı da etkilemektedir. Kazancın çok yüksek olması durumunda, logaritmik yakınsama eğrisi zayıf olmaktadır. Kazancın çok yüksek olması durumunda ise, istenen dinamik aralığı elde etmek için çok fazla sınırlayıcı yükselteç katmanı (limiting amplifier) gerekecektir. Bunun için genellikle, 10 ila 12 dB arasında kazanç değerlikli

sınırlayıcı yükselteçler tasarlanmaktadır.

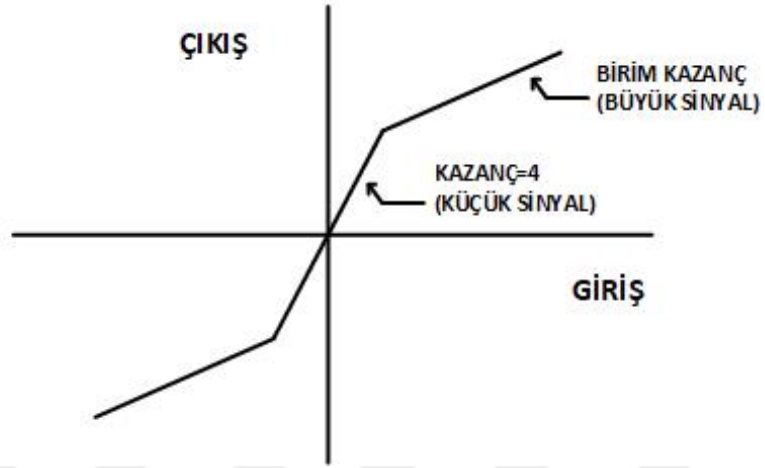


Şekil 2.6 Kazanca bağlı olarak logaritmik yakınsama eğrisi değişimi [28]

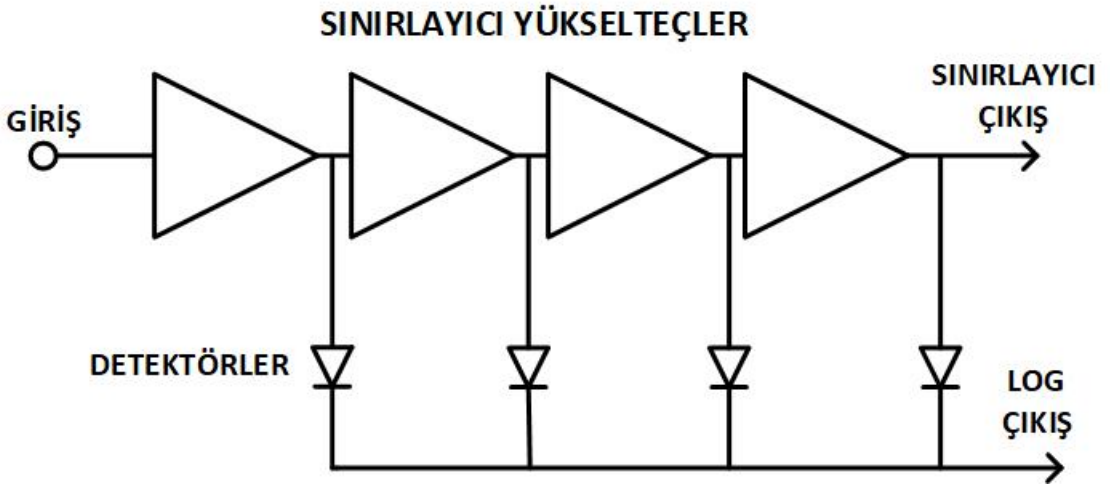
Bu genel ve ideal modellemenin ardından ifade edilmelidir ki yüksek frekanslar için bu uygulamanın gerçekleştirilmesi daha zordur. N adet sınırlayıcı yükselteç katmanına sahip bir sistemde her bir katmanda “t” nanosaniye gecikme olduğu varsayıldığında, sistemin toplamında Nt nanosaniye gecikme olacaktır. 1 nanosaniyelik bir gecikme ışık hızında yaklaşık 30 cm’lik bir hatalı yayılıma neden olabilir ki radar vb. hassas sistemlerde bu durum, yanlış yorumlamalara sebebiyet verebilmektedir. Katmanlardaki gecikmelerin gerilim toplayıcı devreye gönderilmesi kompleks bir çözüm olarak sunulmaktadır. Sadece sınırlayıcı yükseltecin kaskat olarak bağlı olduğu genel mimarinin değiştirilmesiyle elde edilebilecek başka bir çözümde ise, küçük işaret kazancı A olan ve büyük sinyal kazancı ise 0 dB olan katmanlar kullanılmaktadır. Şekil 2.7’de, küçük işaret kazancı 3 olan sınırlayıcı yükselteç ve tampon yükseltecin paralel bağlanmasıyla bu modelleme gerçekleştirilmiştir.

Yüksek frekans uygulamalarında, en yaygın kullanılan logaritmik yükselteç mimarisi SDLA olarak bilinen topolojidir. Şekil 2.8’de, kaskat bağlı sınırlayıcı yükselteçlerin çıkışlarının detektörler üzerinden gerilim toplayıcı devreye bağlandığı yapı görülmektedir. Eğer detektörler, akım çıkışı sağlıyor ise, gerilim toplayıcı devreye ihtiyaç kalmadan bütün çıkışlar direkt olarak birbirine bağlanabilmektedir.

Bu mimariyi kullanan logaritmik yükselteçler, log ve sınırlayıcı olmak üzere iki çıkışa sahiptir. Sınırlayıcı çıkış, özellikle faz bilgisinin polar demodülasyon teknikleri ile giriş sinyalinden çıkarılması durumunda kullanılmaktadır. Birçok uygulamada, sınırlayıcı çıkış (limiter output) kullanılmazken, "S" metreli FM alıcı uygulamalarında ise her ikisi de gereklidir. Logaritmik yükselteç tasarımlarında gürültüye duyarlılık, dinamik aralık, frekans tepkisi, transfer karakteristiğinin eğimi (V/dB), kesişme (intercept) noktası (çıkış voltajının veya akımın sıfır olduğu giriş seviyesi) ve log doğrusallığı (log linearity) parametreleri önem arz etmektedir.



Şekil 2.7 Paralel bağlı sınırlayıcı yükselteç ve tampon yükseltecin oluşturduğu giriş çıkış grafiği



Şekil 2.8 SDLA genel mimarisi

2.1 Sınırlayıcı Yükselteç (Limiting Amplifier)

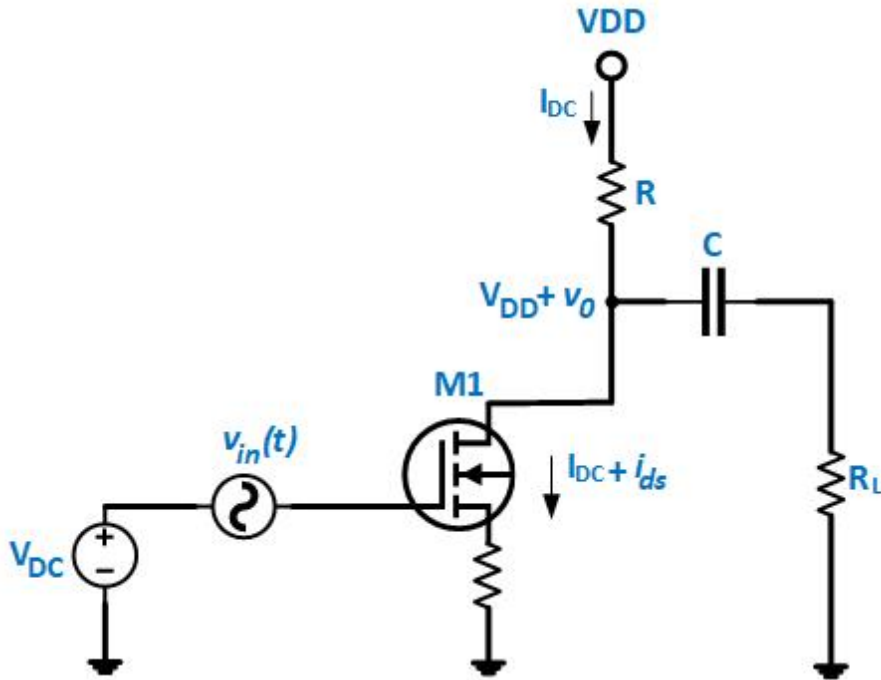
Sınırlayıcı yükselteç, belirli bir frekans bandında ve geniş bir aralıktaki giriş gücünü sabit çıkış değerine dönüştürmektedir. Tasarımındaki en kritik parametreler; kazanç ve küçük işaret bant genişliğidir. Şekil 2.9'da giriş voltajı, hem DC bileşen (V_{DC}) hem de AC bileşen (v_{ac}) içermektedir. Ölçümü yapılacak RF işaretin, sinüzoidal bir $V_{in}(t) = A\cos(2\pi ft)$ sinyal olduğunu kabul edelim. A sinyal genliğini ifade etmektedir. L indüktörü, DC akımın V_{DD} gerilim kaynağından akmasına izin verir ancak yüksek frekanslı bir bileşene yüksek empedans gösterir. C kapasitörü, DC ofset bileşenini kırpar. L indüktörü boyunca akan I_{DC} akımının DC olduğu varsayıldığında, drain-source hattında hem AC (i_{ac}) hem de DC (I_{DC}) bileşen mevcuttur. Transistörün drain'indeki gerilim, $V_{DD}+v_o$ 'dur. v_o kuvvetlendirilmiş işareti ifade etmektedir. Akım değeri i_{ds} ise;

$$i_{ds} = g_m \cdot v_{in} = g_m \cdot A \cdot \cos(2\pi ft) = g_m \cdot A \cdot \cos(\omega t) \quad (2.2)$$

olarak ifade edilmektedir. R_L yük direnci üzerinde harcanan güç,

$$P_L = (g_m \cdot A)^2 \cdot \cos^2(\omega t) \cdot R_L = (g_m \cdot A)^2 R_L \cdot \frac{1 + \cos(2\omega t)}{2} \quad (2.3)$$

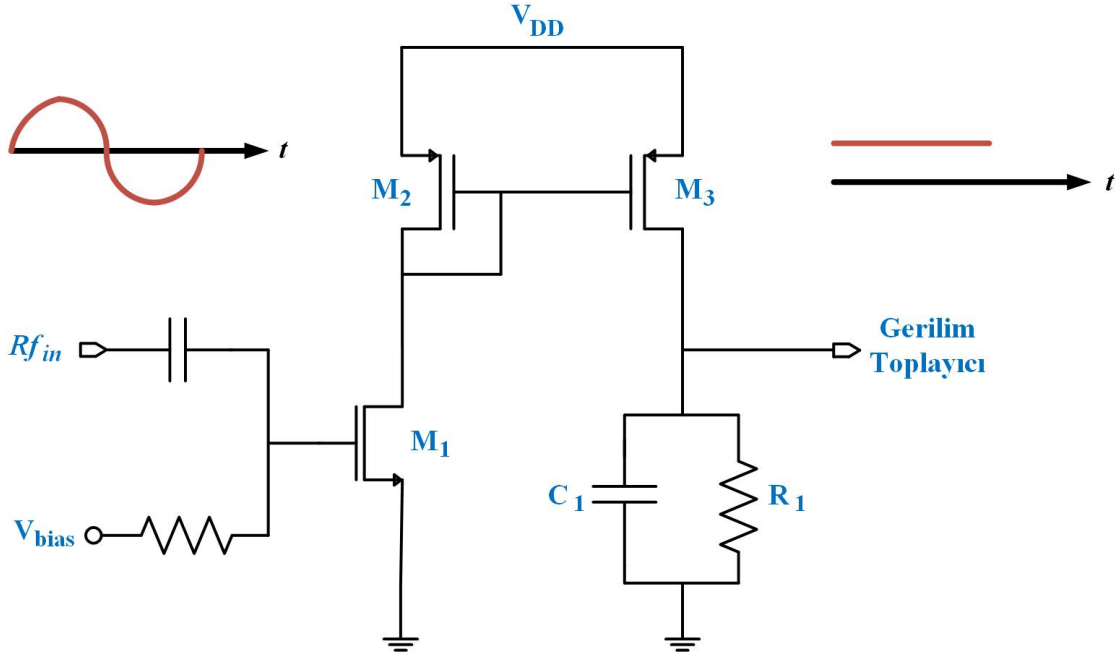
olarak ifade edilmektedir.



Şekil 2.9 Sınırlayıcı yükselteç

2.2 Doğrultucu

Logaritmik yükselteç yapılarındaki ikinci temel bileşen detektör hücreleridir. Her bir sınırlayıcı yükseltecin çıkışında, kuvvetlendirilen gerilimi doğrultup DC akıma dönüştürmektir. Doğrultucular, single-ended common-source konfigürelü NMOS transistörlerin doyma bölgesinde sürülmesi ile elde edilmektedir. Bu yapıdaki doğrultucularda varolan doğrusallık hatası problemleri tasarımlarda dikkate alınmalıdır. Basit bir doğrultucu şematiği gösterimi Şekil 2.10'da yer almaktadır.



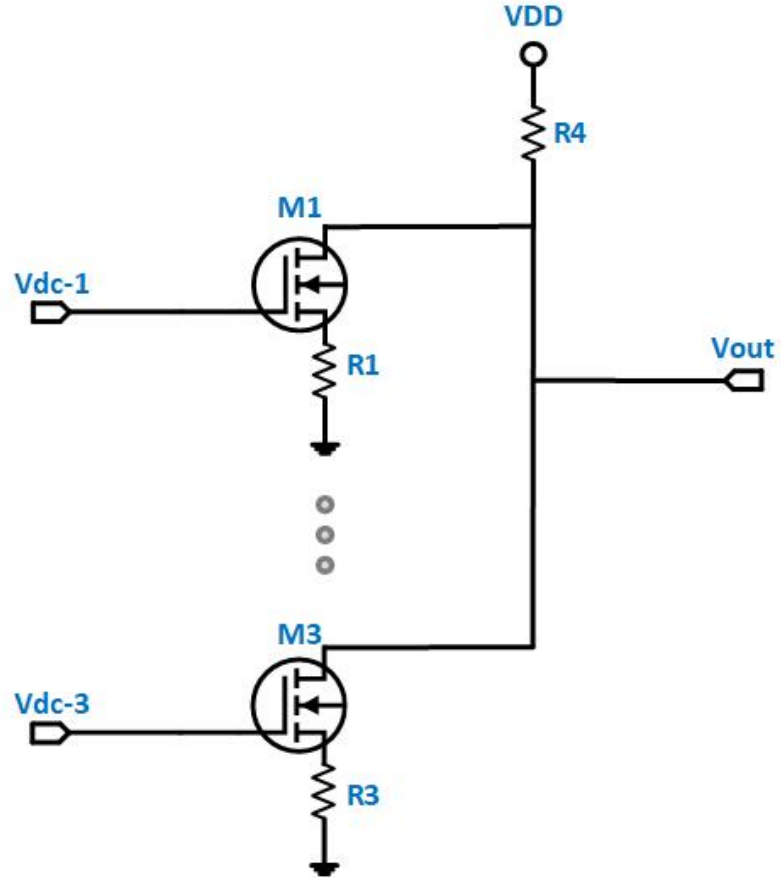
Şekil 2.10 Doğrultucu

M₁ transistörü, Class-B tipinde öngerilimlenmiştir ve yarım dalga doğrultma sağlamaktadır. M₂ ve M₃ elemanları ile 1:4 oranlı akım aynası oluşturulmuştur. Sonrasında ise sinyal, R₁ ve C₁'den oluşan pasif filtreden geçirilerek DC çıkış elde edilmektedir. RF giriş işaretinin sadece pozitif alternansında akım akmaktadır. RF giriş sinyal gücü arttıkça, M₁ elemanına ait drain voltaj değeri azalmaktadır. V_g ile V_d arasındaki ilişki Eşitlik 2.4'te belirtilmiştir.

$$V_g = V_{th} + \sqrt{\frac{2(V_{DD} - V_d)}{R_d \mu_n C_{ox} (W/L)_1}} + V_s \quad (2.4)$$

2.3 Gerilim Toplayıcı Devre

Her bir doğrultucu çıkışında filtrelenen DC işaret, Şekil 2.11’de belirtilen gerilim toplayıcı devreye uygulanmaktadır. Böylelikle bütün kısımlardan elde edilen işaretlerden tek bir çıkış değeri elde edilmektedir. Burada common drain direnci, R_4 ; her bir doğrultucu çıkışındaki akımı toplamaktadır. R_1 - R_3 kaynak dejenerasyon (source degeneration) dirençleri ise, aşırı akım sıçramalarından kaynaklanan çıkış bozunumlarını (distortion) engellemektedir.

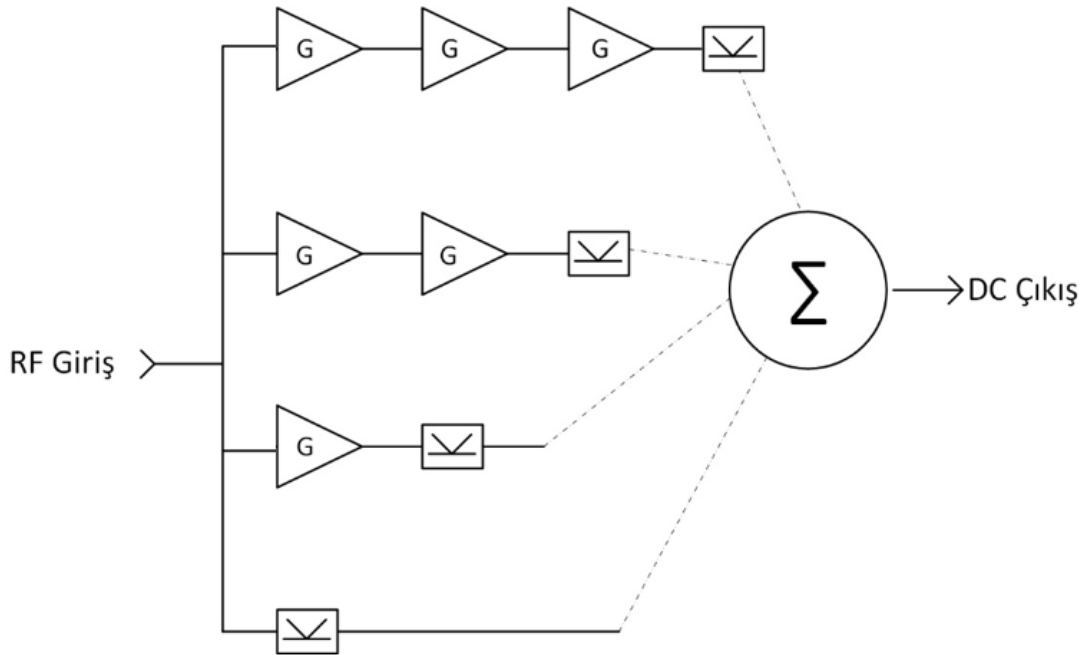


Şekil 2.11 Gerilim toplayıcı devre şeması [13]

3

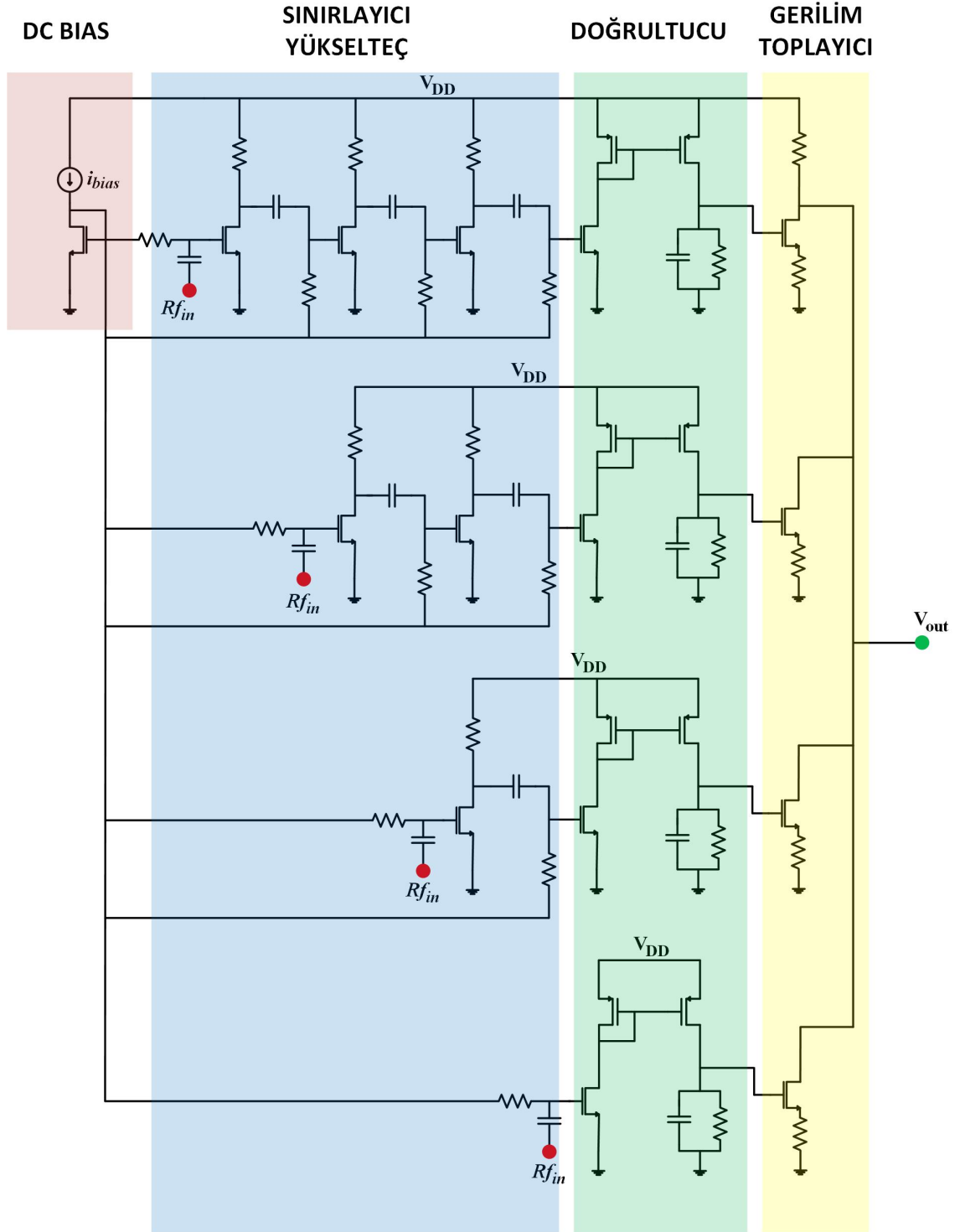
Tasarım

Şekil 3.1’de logaritmik detektör tasarımına ait genel şema yer almaktadır. Tasarım, kaskot bağlı 4 ayrı detektör katmanından oluşmaktadır. Her bir katmanda kaskot bağlı sınırlayıcı yükselteçler, yarım dalga doğrultucu, pasif filtreler ve gerilim toplayıcı devre yer almaktadır. Sınırlayıcı yükselteç sayısı, katman sayısı arttıkça azalmaktadır. Böylelikle geniş giriş aralığındaki işaretlerin algılanabilmesi amaçlanmıştır. Girişe uygulanan bir RF işaret önce sınırlayıcı yükselteç üzerinden kuvvetlendirilmektedir. Her bir yükseltecin küçük işaret kazancı, çalışma frekans bandı boyunca 15 dB’dir. Sonrasında yarım dalga doğrultucu çıkışında negatif alternansı kırılan işaret elde edilmektedir. Bu işaret pasif filtre elemanları üzerinden geçirilerek düzgün DC gerilim elde edilmektedir ve 4 ayrı katmanda oluşan DC sinyaller, gerilim toplayıcı devreye uygulanarak çıkışta analog DC çıkış gerilim değeri elde edilmektedir. Bu gerilim değeri, girişe uygulanan RF işaretin güç seviyesine bağlı olarak değişkenlik göstermektedir.



Şekil 3.1 Logaritmik detektör tasarım mimarisi

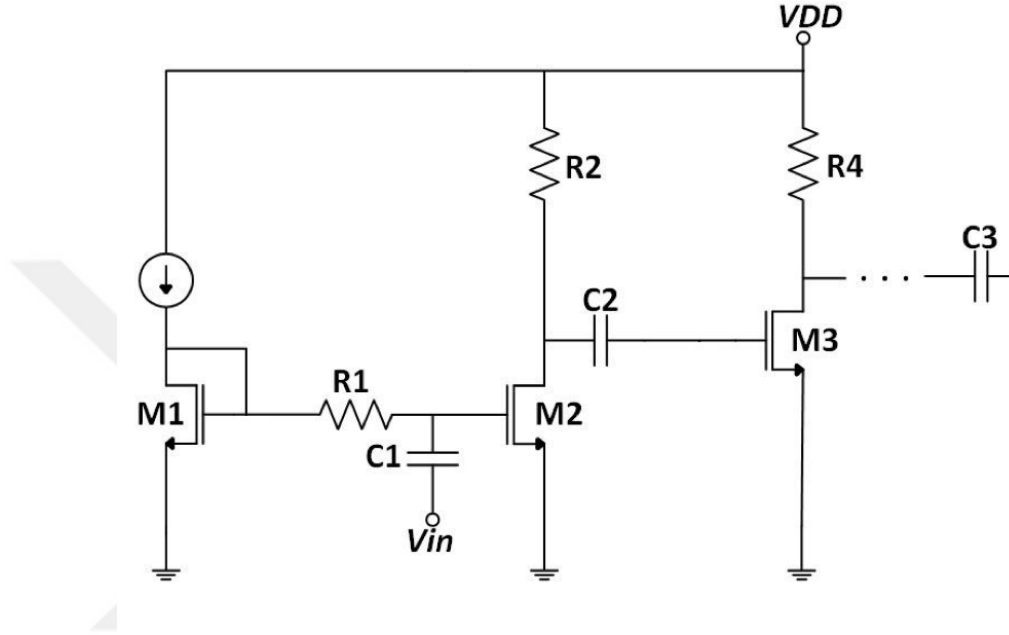
Şekil 3.2’de, şematik tasarımın tamamı yer almaktadır. 50 ohm giriş empedansına sahip sinyal kaynağı devre girişine bağlanmış ve bu kaynak üzerinden simülasyon çalışmaları gerçekleştirilmiştir. Devrenin besleme gerilim değeri UMC 65 nm parametreleri gereği 1.2 VDC olarak belirlenmiştir. Ayrıca ibias değeri, $100 \mu A$ ’dır.



Şekil 3.2 Logaritmik detektör şematik tasarımı

3.1 Sınırlayıcı Yükselteç (Limiting Amplifier)

Tasarım şeması Şekil 3.3'te gösterilmiştir. Buna göre, ortak kaynaklı yükselteçler, seri kuplaj kondansatörleri ile kaskat yapıda bağlanmıştır. Her bir yükseltecin, 30-512 MHz frekans aralığında kazancı 15 dB'dir. M1 transistörü üzerinden diğer bütün yükselteçler 500 mV seviyesinde doyum bölgesinde öngerilimlenmiştir. Yükselteçler arasında seri bağlı kuplaj kapasitörleri ile DC ofset bileşenleri bastırılmıştır.

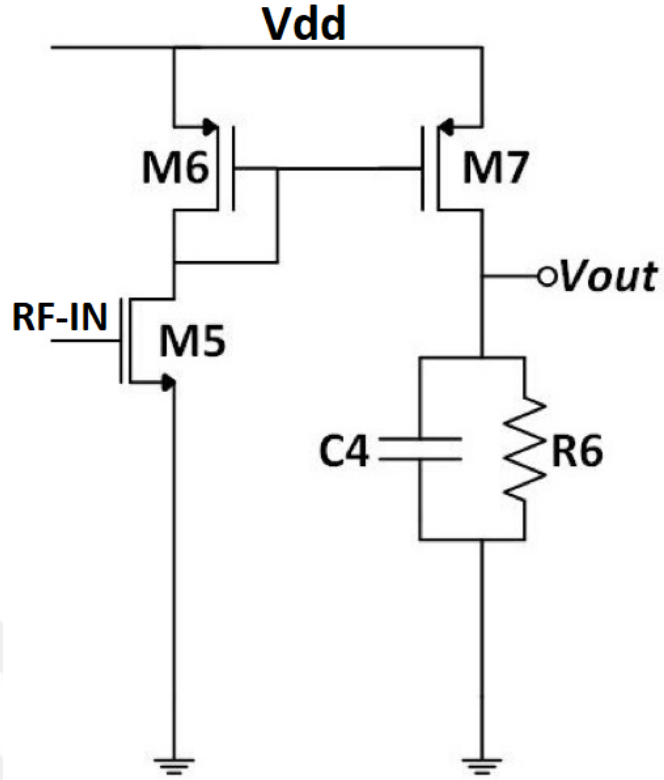


Şekil 3.3 Sınırlayıcı yükselteç şematik tasarımı

3.2 Doğrultucu

Son yükselteçten çıkan sinyal, M5 transistörüne bağlanmıştır. M6-M7 elemanları ile basit akım aynası oluşturulmuştur. M5'in girişine uygulanan işaretin yalnızca pozitif kısmında, M6-M5 boyunca akım akmaktadır. M7 üzerinde ise 4 kat büyüklükte oluşan akım, R6 direnci üzerinden çıkış gerilim değeri olarak elde edilmektedir. Tasarım şeması Şekil 3.4'te gösterilmiştir.

Tasarımda kullanılan elemanlar ve sayısal değerleri, Tablo 3.1'de belirtilmiştir.



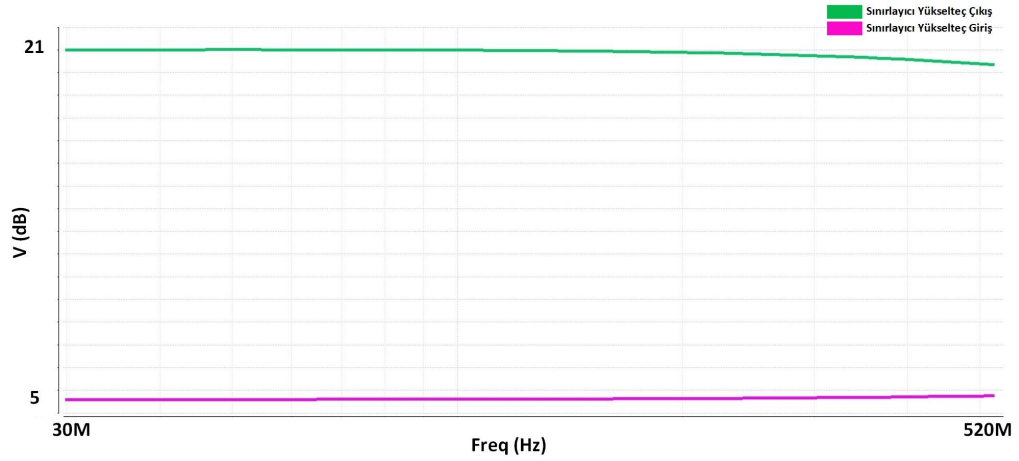
Şekil 3.4 Doğrultucu şematik tasarımı

Tablo 3.1 Şematik tasarımda kullanılan devre elemanları

Komponent	Tip	Büyükük (W/L)	Çoklayıcı
M1	nMOS	$3 \mu m \times 100 nm$	2
M2	nMOS	$3 \mu m \times 100 nm$	30
M3	nMOS	$3 \mu m \times 100 nm$	30
M6	pMOS	$5 \mu m \times 200 nm$	10
M7	pMOS	$5 \mu m \times 200 nm$	40
M5	nMOS	$7.2 \mu m \times 100 nm$	10
C1		100 pF	1
C2		30 pF	1
R1		10 k Ω	1
R2		500 Ω	1
R4		500 Ω	1
C4		100 pF	1
R6		100 Ω	1

4.1 Sınırlayıcı Yükselteç (Limiting Amplifier)

30-512 MHz boyunca 15 dB kazançta sahip kuvvetlendiricilere ait küçük işaret grafiği, Şekil 4.1'de gösterilmiştir.

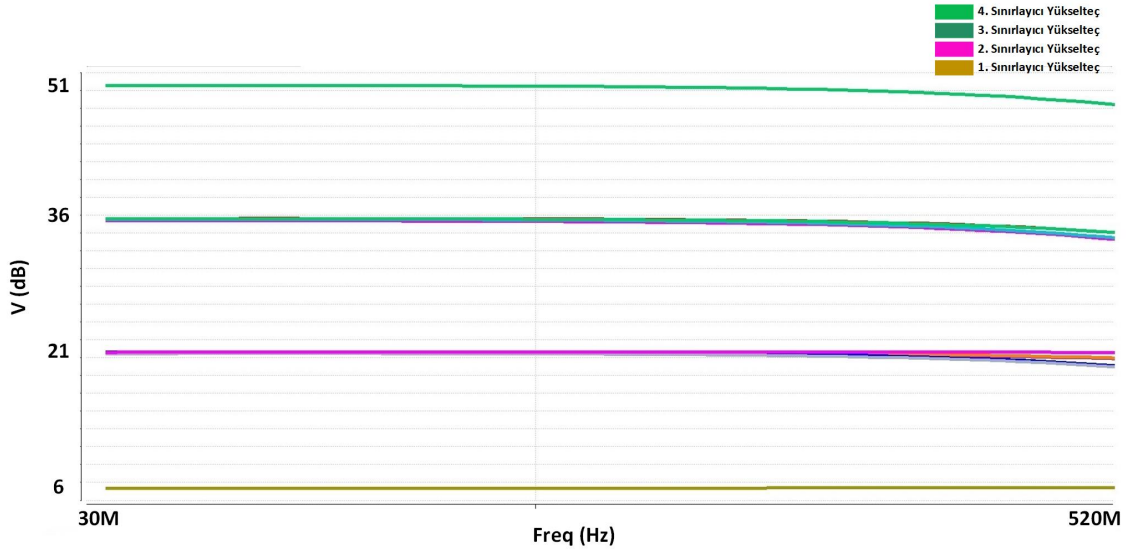


Şekil 4.1 Yükselteçlerin küçük işaret analizi

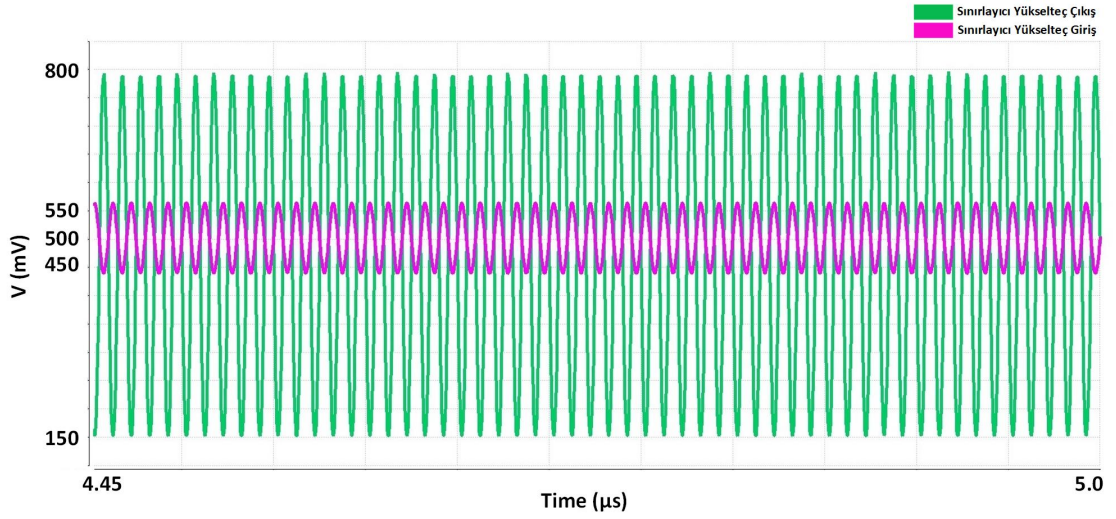
Şekil 3.1'de de gösterildiği üzere, tasarımı oluşturan 4 katlı kaskot mimaride yer alan bütün sınırlayıcı yükselteçlerin küçük işaret grafiği Şekil 4.2'de gösterilmiştir.

-20 dBm değerlikli giriş işareti 30-512 MHz frekans bandı boyunca, her bir katmanın ilk sınırlayıcı yükseltecinde 15 dB kuvvetlendirilmiştir. Ancak düşük ve orta frekans bandında, bütün katmanlardaki yükselteçlerin kazancı örtüşürken 400 MHz'den sonra eş yükselteçler arasında 2-3 dB'lik kazanç farklılıkları görülmektedir. Katmanlardaki, ikinci sınırlayıcı yükselteçlerde de sinyal 15 dB kuvvetlendirilmiştir. Burada ise 400 MHz'den sonra eş yükselteçler arasında 1-2 dB'lik kazanç farklılıkları görülmektedir.

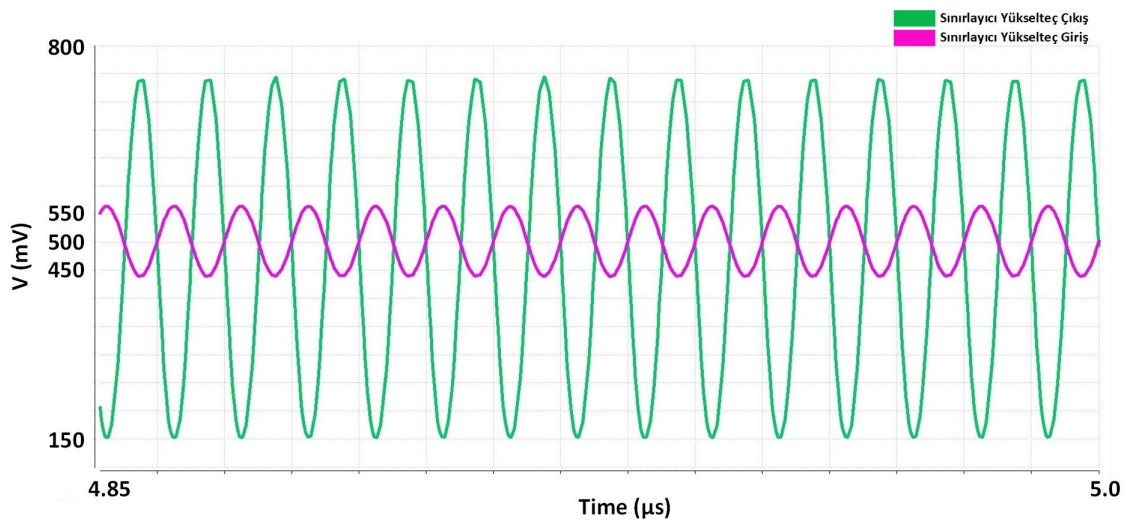
Ayrıca bir kuvvetlendirici katmanının giriş ve çıkış sinyal grafiği, geçiş sinyal analizi yapılarak Şekil 4.3 ve 4.4'te gösterilmiştir.



Şekil 4.2 Yükselteçlerin küçük işaret kazanç grafiği



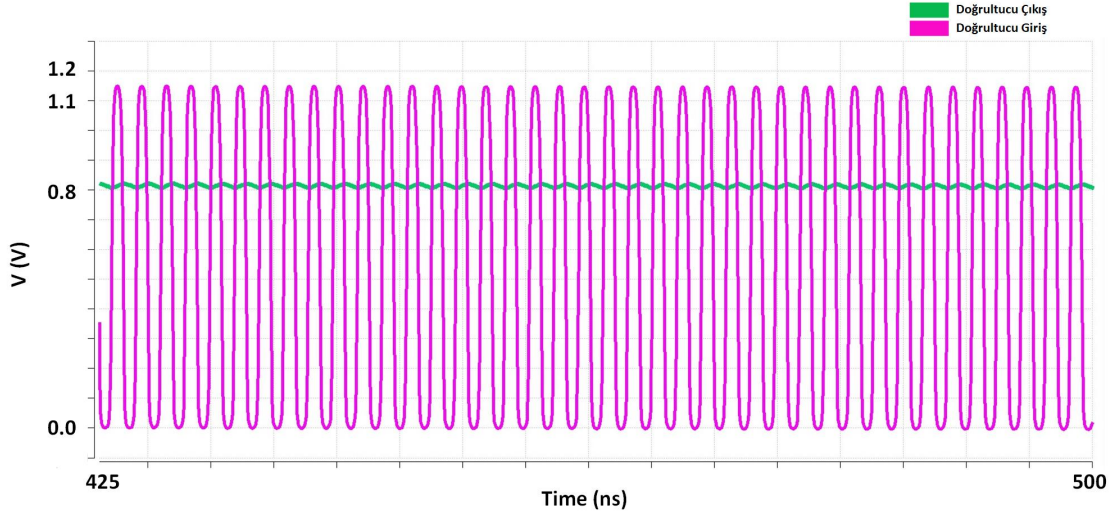
Şekil 4.3 Yükselteçlerin küçük işaret kazanç grafiği



Şekil 4.4 Yükselteçlerin küçük işaret kazanç grafiği-2

4.2 Doğrultucu

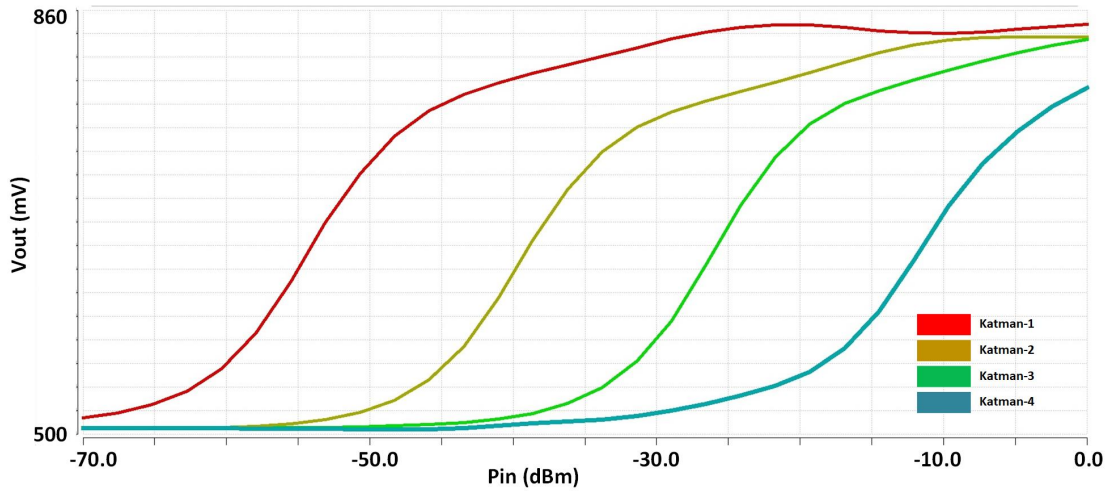
Doğrultucu devresinin 1.15 VDC tepe değerine sahip, 100 MHz'lik bir giriş işaretine karşılık ürettiği çıkış işaret tepkisi Şekil 4.5'te gösterilmiştir. Çıkış işaretinde 18 mV tepe değerine sahip dalgalanma gözlemlenmektedir.



Şekil 4.5 Doğrultucu devre geçiş analiz tepkisi

4.3 Gerilim Toplayıcı Devre

Her bir katmandaki gerilim toplayıcı devrenin 400 MHz'lik RF giriş için çıkış işaret tepkisi Şekil 4.6'da gösterilmiştir. Şekilden de görüldüğü üzere 500-800 mV çıkış gerilimi aralığında, gerilim toplayıcı devreler arasında 15 dB 'lik dinamik aralık bulunmaktadır.

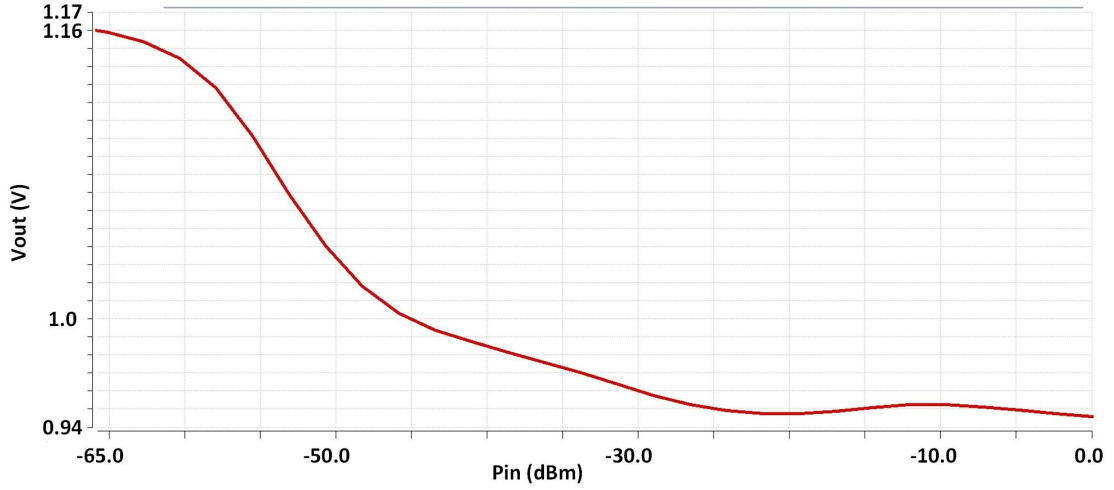


Şekil 4.6 Gerilim toplayıcı devre geçiş analiz tepkisi

4.4 Münferit Katman Simülasyonu

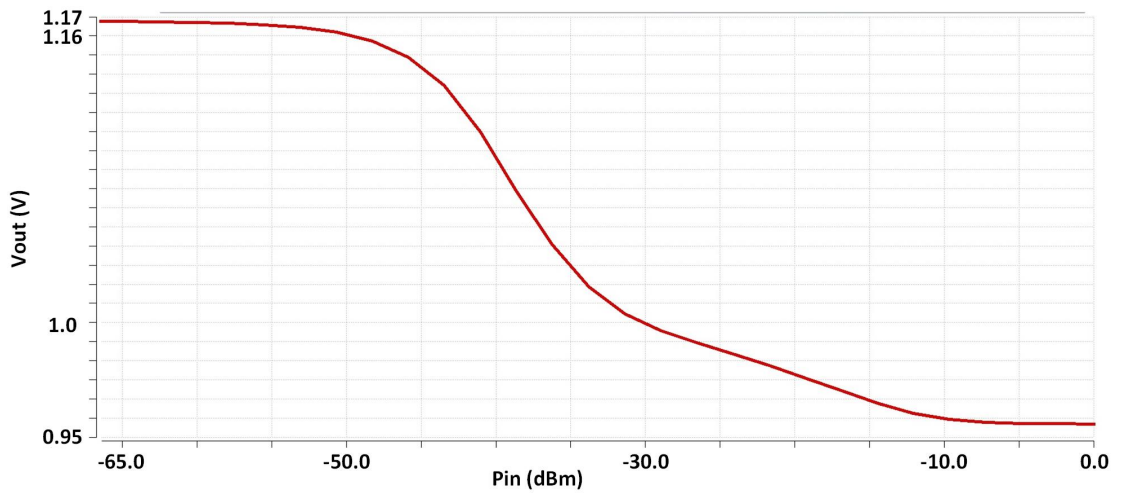
Kaskot yapıda yer alan her bir katmanın (branch) 100 MHz frekansta, girişe bağlı olarak elde edilen çıkış gerilim grafiği sırasıyla Şekil 4.7, 4.8, 4.9 ve 4.10'da gösterilmiştir.

Birinci katmanda, kaskat bağlı 3 eş yükselteç yer almaktadır. Buna bağlı olarak bu katmanda, -60 dBm ile -45 dBm güç aralığındaki giriş işaretleri algılanabilmektedir.



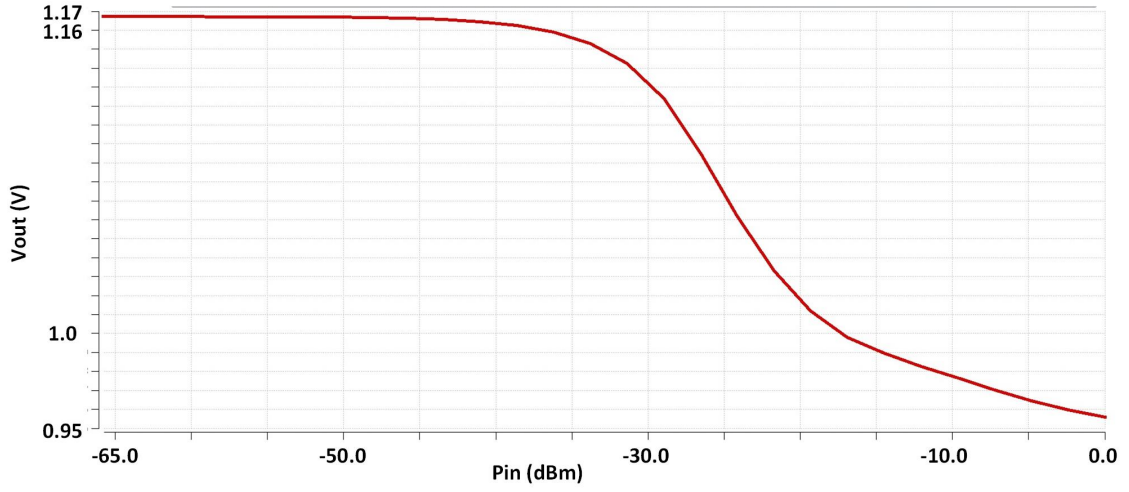
Şekil 4.7 1.Katman giriş çıkış grafiği

İkinci katmanda, kaskat bağlı 2 eş yükselteç yer almaktadır. Buna bağlı olarak bu katmanda, -45 dBm ile -30 dBm güç aralığındaki giriş işaretleri algılanabilmektedir.



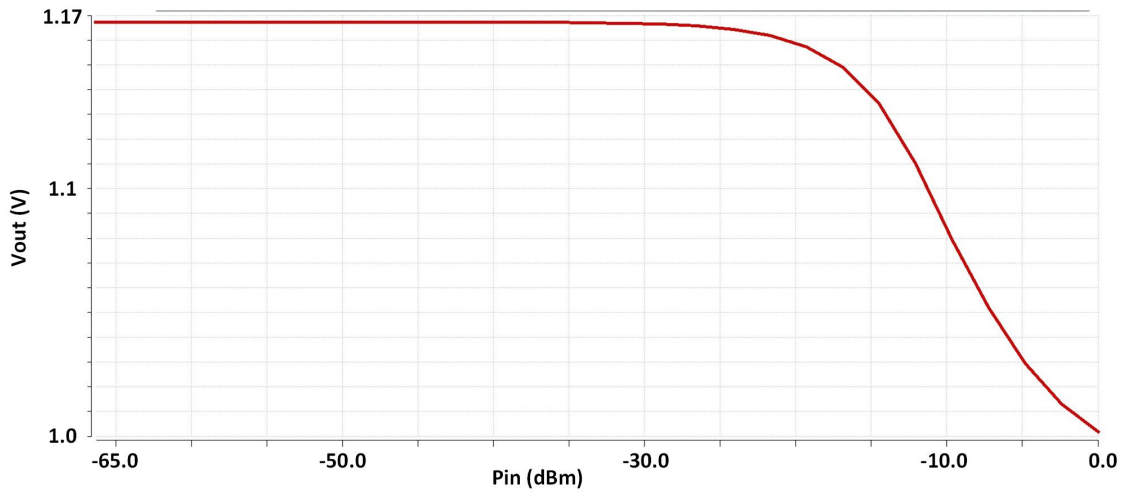
Şekil 4.8 2.Katman giriş çıkış grafiği

Üçüncü katmanda, 1 adet yükselteç yer almaktadır. Buna bağlı olarak bu katmanda, -30 dBm ile -15 dBm güç aralığındaki giriş işaretleri algılanabilmektedir.



Şekil 4.9 3.Katman giriş çıkış grafiği

Dördüncü katmanda giriş işareti direkt olarak doğrultucu devreye uygulanmaktadır. Dolayısıyla bu katmanda herhangi bir kuvvetlendirme işlemi yapılmadığından, -15 dBm ile -0 dBm güç aralığındaki daha kuvvetli giriş işaretleri algılanabilmektedir.



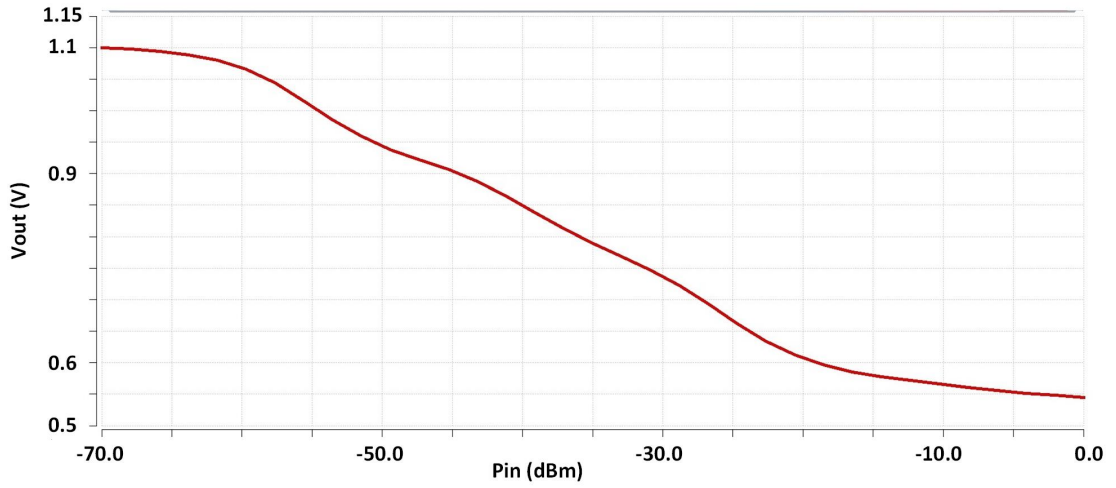
Şekil 4.10 4.Katman giriş çıkış grafiği

Sonuçta, münferit olarak her bir katmanın, devrenin toplam dinamik aralığına 15 dB mertebelerinde katkı sağladığı söylenebilmektedir.

4.5 Farklı Katman Sayısına Sahip Tüm Devre Simülasyonu

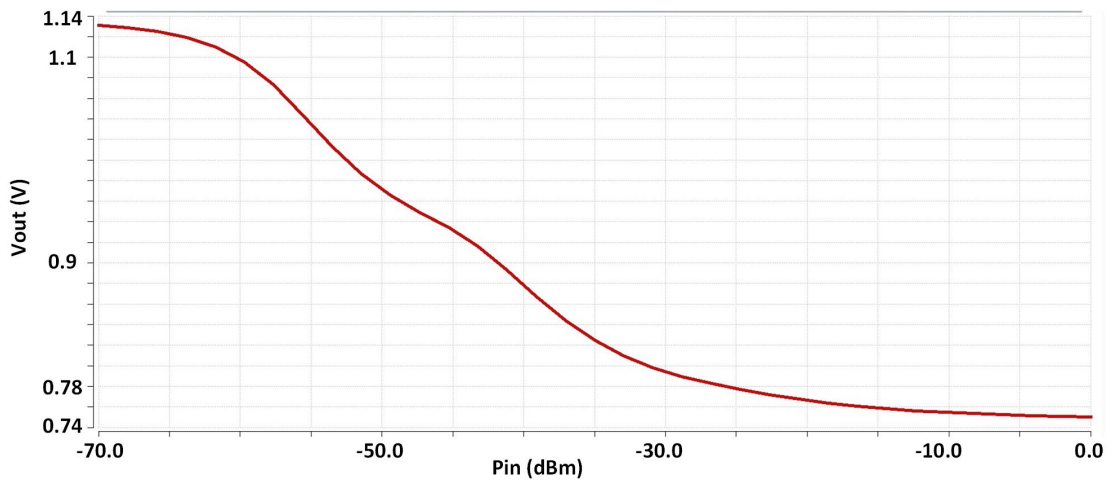
Kaskot bağlı 4 katmandan oluşan tasarımın; 3, 2 ve 1 katmandan oluştuğu durum için, 100 MHz frekanslı giriş işaretine bağlı elde edilen analog çıkış gerilim grafiğinin gözlemlenebilmesi amacıyla simülasyon çalışması yapılmıştır. Elde edilen sonuçlar Şekil 4.11, 4.12, 4.13'te gösterilmektedir.

3 katmanlı mimariye ait giriş çıkış grafiğinde RF sinyal, 40 dB dinamik aralıkta doğrusal değişim göstermektedir.



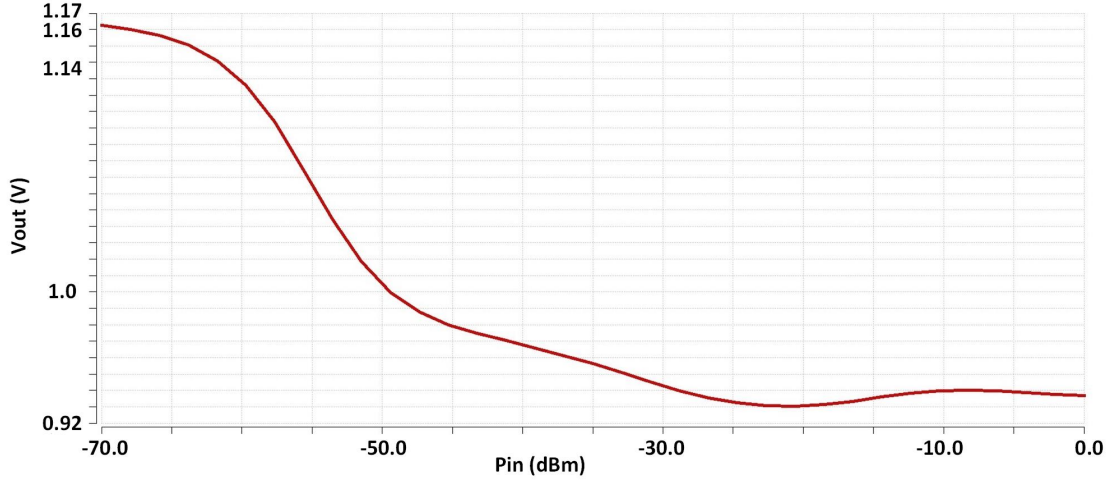
Şekil 4.11 3-Katmanlı mimari için giriş çıkış grafiği

2 katmanlı mimariye ait giriş çıkış grafiğinde RF sinyal, 30 dB dinamik aralıkta doğrusal değişim göstermektedir.



Şekil 4.12 2-Katmanlı mimari için giriş çıkış grafiği

1 katmanlı mimariye ait giriş çıkış grafiğinde RF sinyal, 15 dB dinamik aralıkta doğrusal değişim göstermektedir.

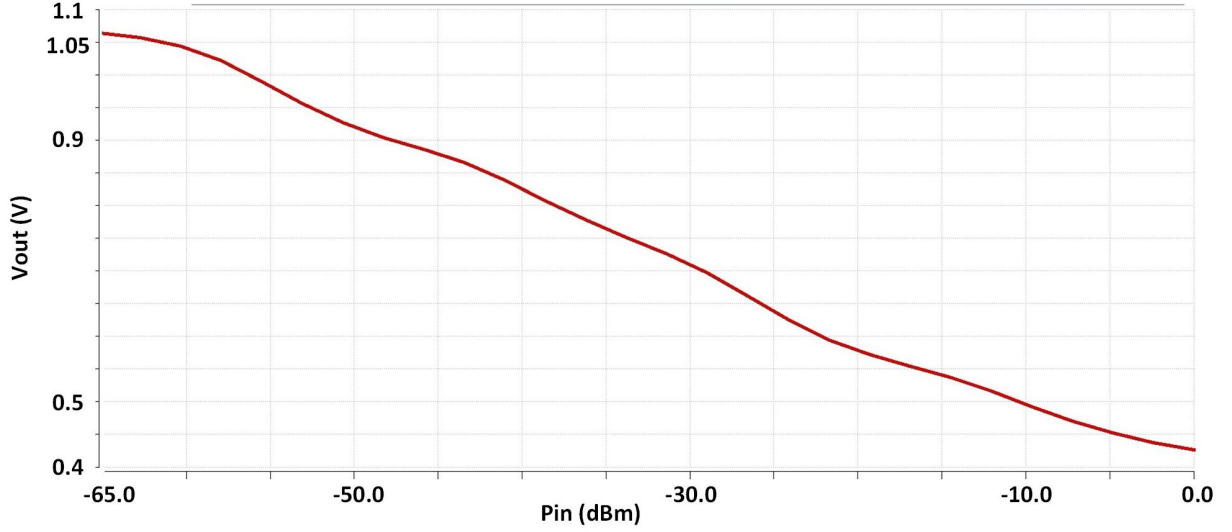


Şekil 4.13 1-Katmanlı mimari için giriş çıkış grafiği

Görüldüğü üzere, katman sayısı düşürüldükçe, frekans bandı boyunca dinamik aralıkta 10-15 dB mertebelerinde düşüş görülmektedir. Ayrıca çıkış geriliminin (giriş-çıkış grafiğindeki eğrinin doğrusal bölgesindeki) kullanışlı kısmında daralma meydana gelmektedir.

4.6 Tüm Devre Simülasyonu

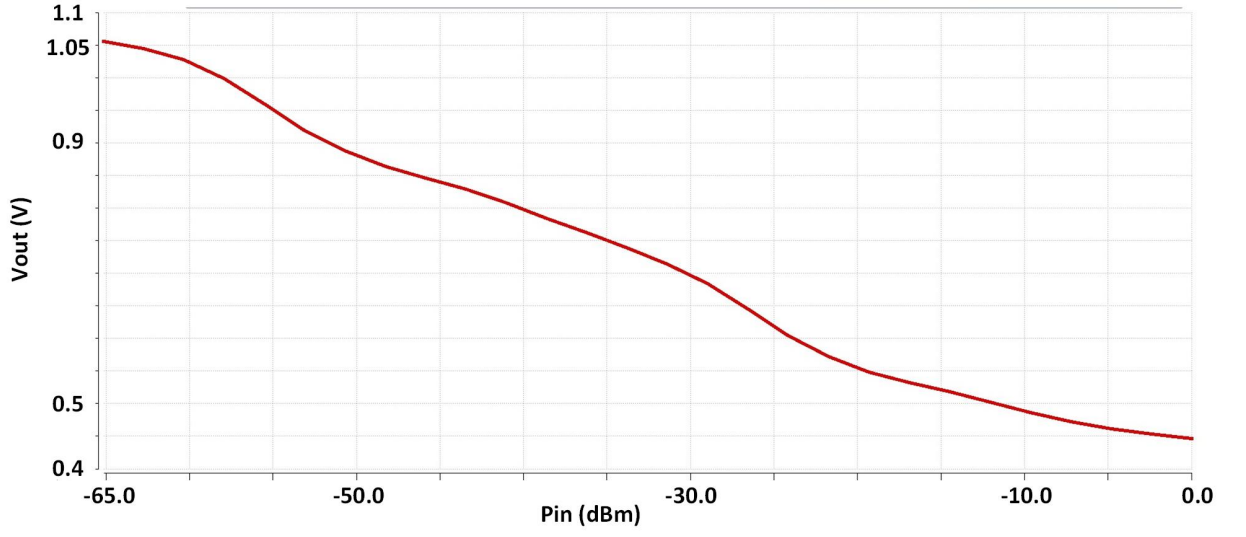
Girişe uygulanan 100 Mhz frekanslı bir RF güç değerine bağlı olarak elde edilen çıkış analog gerilim değeri Şekil 4.14'te grafikte gösterilmiştir. Buna göre 60 dB'nin üzerinde dinamik aralık elde edilmiştir.



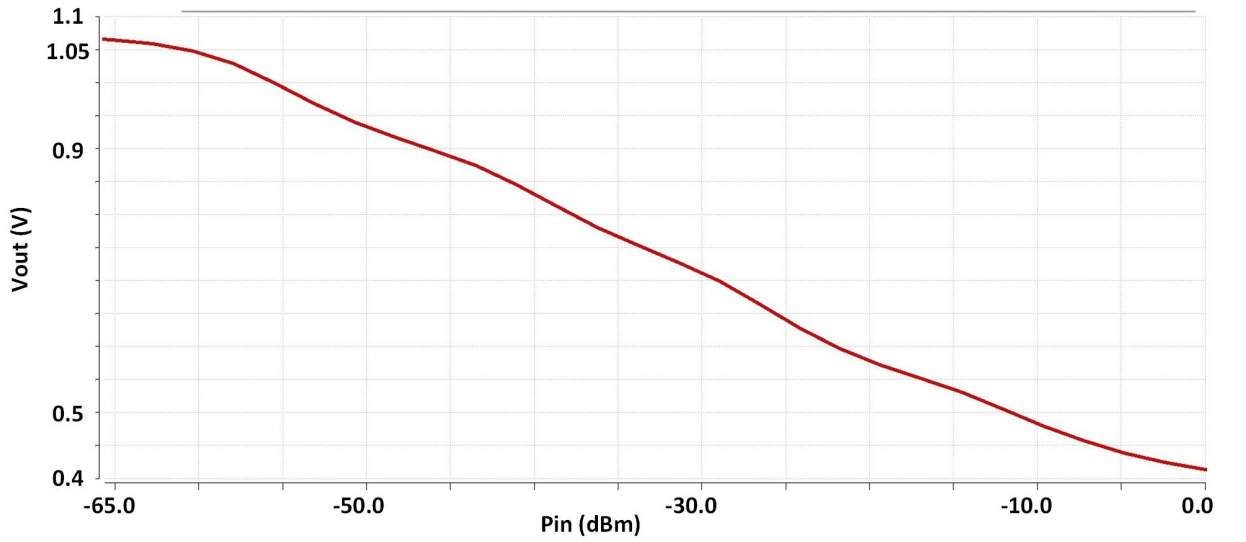
Şekil 4.14 100 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi

Elde edilen grafiğin kazanç eğimi, 10 mV/dB'dir. Diğer bir deyişle, giriş sinyal gücünün her 1 dB'lik artışında (ya da azalışında) -doğrusal bölgede- çıkış gerilim değerinde 10 mV'luk artış (ya da azalış) gözlemlenecektir.

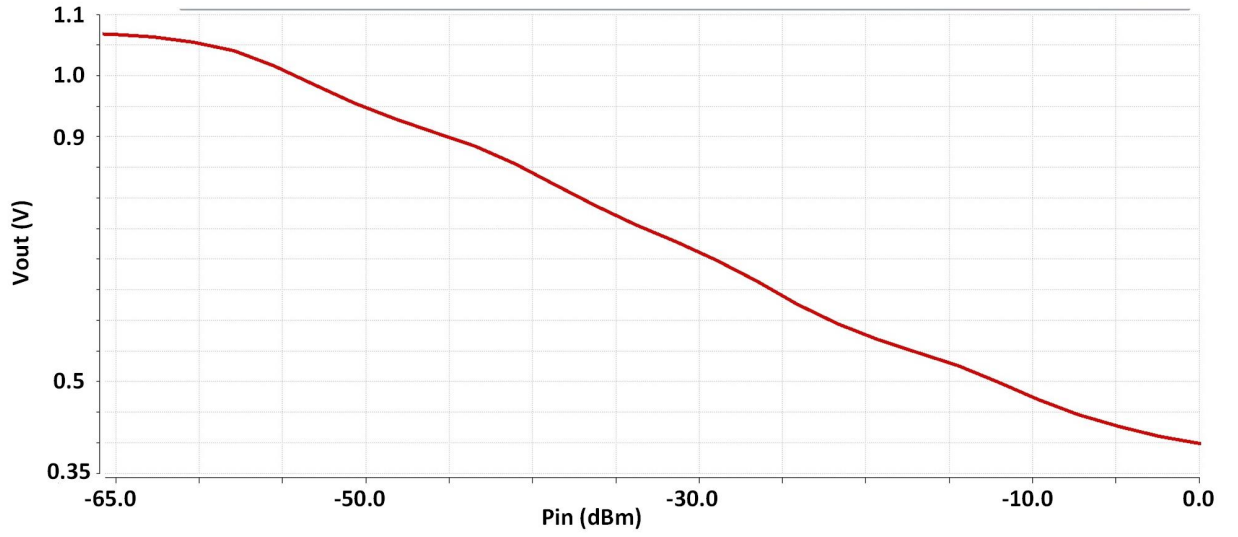
Ayrıca; tasarlanan devrenin çalışma frekans aralığının test edilmesi amacıyla 32 MHz, 200 MHz, 400 MHz ve 512 MHz frekanslı RF giriş işaretleri için elde edilen analog DC çıkış gerilim değerlerini içeren grafikler sırasıyla Şekil 4.15, 4.16, 4.17, 4.18'de gösterilmiştir. Giriş frekansı arttıkça, elde edilen giriş-çıkış grafiğindeki eğrinin daha doğrusal olduğu gözlemlenmektedir.



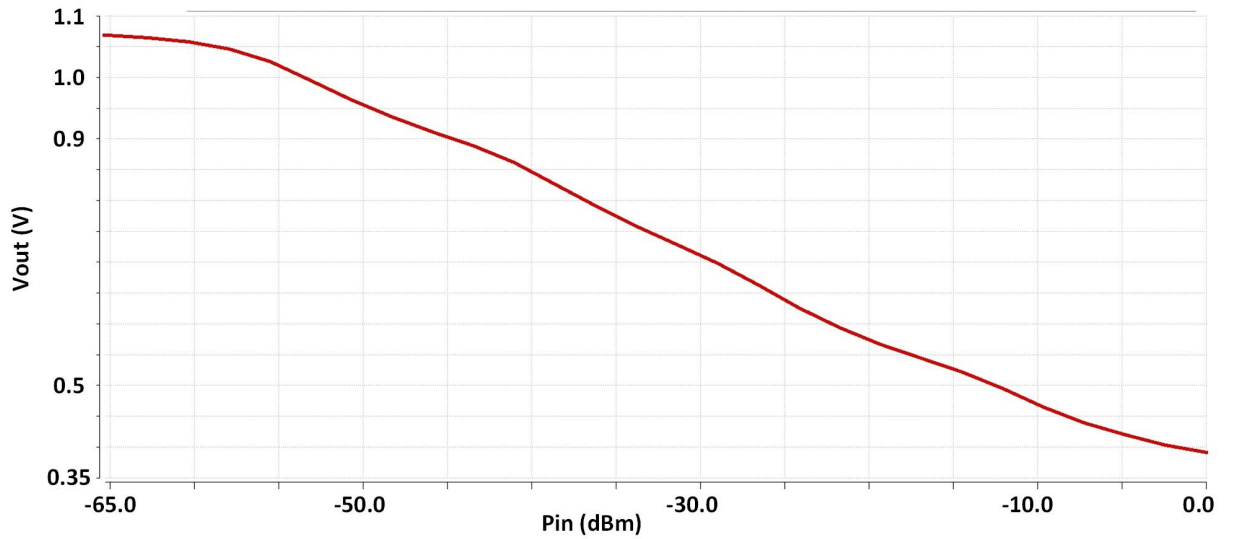
Şekil 4.15 30 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi



Şekil 4.16 200 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi



Şekil 4.17 400 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi



Şekil 4.18 512 MHz RF giriş işaretine bağlı olarak çıkış gerilim değerinin elde edilmesi

5

Sonuç ve Öneriler

Bu tezde, SDLA topolojisi kullanılarak kaskat yapıda güç detektör tasarımı yapılmıştır. Simülasyonlar, Cadence Virtuoso programında V/UHF frekans bandında ve 65 nm CMOS teknolojisinde gerçekleştirilmiştir. Devrenin çektiği akım değeri, 1.2 VDC besleme voltajı için 46.7mA'dır. İlk çalışmalarda, tek katmanlı mimari tasarımı yapılmıştır. Sonrasında kademeli olarak katman sayısının 4'e çıkarılması sonucu oluşan nihai tasarımda 60 dB üzerinde dinamik aralık elde edilmiştir. Bu devre, layout ve üretim aşamaları tamamlandıktan sonra RSSI ve AGC uygulamalarında harici eleman olarak kullanılabilir.

Tablo 5.1 Kıyaslama Tablosu

Yayın	Teknoloji	BW (GHz)	Dinamik Aralık (dB)	Kazanç Eğimi (mV/dB)	Güç Tüketimi (mW)	Giriş Tipi	Besl. Ger. (VDC)
[13]	0.13 um	16	43 (<14 GHz) >50 (16 GHz)	23.5	35.2	S-E	2
[21]	0.35 um	0.005	72	NA	90	S-E	3.3
[5]	90 nm	2	20	30	0.07	S-E	1.2
Tez	65 nm	0.48	60	10	55	S-E	1.2
[18]	0.35 um	0.45	50	7	30	Diff.	3
[29]	0.35 um	0.11	80	N/A	39	Diff.	3
[16]	0.18 um	1.8	39 (0.9 GHz) 29 (1.8 GHz)	22	16	Diff.	1.8
[27]	0.18 um	8	40	23	70	Diff.	2.8

Literatürde yer alan diğer çalışmalar ile yapılan kıyaslama tablosu Tablo 5.1'de yer almaktadır. Buna göre, single-ended girişe sahip çalışmalar, optimum bantgenişliği, dinamik aralık ve güç tüketimi ölçütleri bakımından incelendiğinde mevcut tasarım öne çıkmaktadır. Differential girişe sahip çalışmalarda ise daha düşük güç tüketimi ve daha yüksek dinamik aralığa sahip tasarımlar yer almaktadır. Sonraki çalışmalarda, mevcut mimari ile differential girişe sahip tasarımın yapılması ve bantgenişliği, dinamik aralık gibi parametrelerin daha da optimize edilmesi hedeflenmektedir.

- [1] F. Jonsson and H. Olsson, "Rf detector for on-chip amplitude measurements," *IEEE Electronics Letters*, vol. 40, no. 20, pp. 1239–1240, 2004.
- [2] Y. Zhou and M. Y.-W. Chia, "A low-power ultra-wideband cmos true rms power detector," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 5, pp. 1052–1058, 2008.
- [3] J. Feng, "Amplifier design for differential temperature sensors in built-in testing applications," 2013.
- [4] Y. Kifle, M. Alhawari, S. Bou-Sleiman, and M. Ismail, "A 0.23 mw, on-chip, self-calibrating rf amplitude detector in 65 nm cmos," in *2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)*, IEEE, 2016, pp. 1–4.
- [5] N. Barabino and F. Silveira, "Design optimization of a cmos rf detector," *Analog Integrated Circuits and Signal Processing*, vol. 89, no. 3, pp. 575–583, 2016.
- [6] T. Zhang, W. R. Eisenstadt, R. M. Fox, and Q. Yin, "Bipolar microwave rms power detectors," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 9, pp. 2188–2192, 2006.
- [7] Q. Yin, W. R. Eisenstadt, R. M. Fox, and T. Zhang, "A translinear rms detector for embedded test of rf ics," *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 5, pp. 1708–1714, 2005.
- [8] L. Counts, "Rms to dc conversion application guide," *Application Guide, Analog Devices*, 1986.
- [9] J. Shi, D. Cui, and X. Lv, "A cmos schottky barrier diode with the four-sided cathode," in *2016 International Conference on Integrated Circuits and Microsystems (ICICM)*, IEEE, 2016, pp. 103–107.
- [10] S. Raju, Y. D. Lei, Y. Akira, K. Yasushi, and M. K. Raja, "A temperature insensitive cmos rf power detector," in *2019 Electron Devices Technology and Manufacturing Conference (EDTM)*, IEEE, 2019, pp. 413–415.
- [11] A. Woroncow and J. Croney, "A true if logarithmic amplifier using twin-gain stages," *Radio and Electronic Engineer*, vol. 32, no. 3, pp. 149–155, 1966.
- [12] Q. Yin, W. R. Eisenstadt, and R. M. Fox, "A translinear-based rf rms detector for embedded test," in *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No. 04CH37512)*, IEEE, vol. 1, 2004, pp. I–I.
- [13] K. Kim and Y. Kwon, "A broadband logarithmic power detector in 0.13- μm cmos," *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 9, pp. 498–500, 2013.

- [14] X. Hao, Y. Zheng, F. Tian, Q. Zhou, H. Li, Z. Liu, J. Liu, and H. Liao, "A reverse-rssi logarithmic power detector with+ 35-dbm maximum detectable power in 180-nm cmos," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 9, pp. 610–613, 2019.
- [15] S. D. Miri and M. Moezzi, "An ultra wideband low power detector logarithmic video amplifier in 0.15 μm gaas," in *2019 27th Iranian Conference on Electrical Engineering (ICEE)*, IEEE, 2019, pp. 135–140.
- [16] M.-L. Shieh, W.-J. Lai, J.-S. Li, Y.-L. Chiang, H.-H. Wu, C.-C. Xsieh, C.-H. Tu, S.-W. Chen, and J.-W. Wu, "Linear radio frequency power detector," in *2009 Asia Pacific Microwave Conference*, IEEE, 2009, pp. 2316–2319.
- [17] C.-C. Chou, W.-C. Lai, T.-H. Huang, and H.-R. Chuang, "A low minimum detectable power, high dynamic range, v-band cmos millimeter-wave logarithmic power detector," in *2017 IEEE MTT-S International Microwave Symposium (IMS)*, IEEE, 2017, pp. 642–645.
- [18] S. Ho, "A 450 mhz cmos rf power detector," in *2001 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium (IEEE Cat. No. 01CH37173)*, IEEE, 2001, pp. 209–212.
- [19] H.-y. M. Pan and L. E. Larson, "A linear-in-db sige hbt wideband high dynamic range rf envelope detector," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, IEEE, 2010, pp. 267–270.
- [20] E. Nash. (). Ask the applications engineer—28: Logarithmic amplifiers explained, [Online]. Available: <https://www.analog.com/en/analog-dialogue/articles/logarithmic-amplifiers-explained.html>. (accessed: 09.06.2019).
- [21] S. Kim and M. Song, "Design of a novel 3.3 v cmos logarithmic amplifier with a two step linear limiting architecture," in *Asia-Pacific Conference on Circuits and Systems*, IEEE, vol. 1, 2002, pp. 131–134.
- [22] S. Lakshminarayanan and K. Hofmann, "A wideband rf power detector with- 56 db sensitivity and 64 db dynamic range in sige bicmos technology," in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, 2017, pp. 1–4.
- [23] N. Barabino and F. Silveira, "Digitally assisted cmos rf detectors with self-calibration for variability compensation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 5, pp. 1676–1682, 2015.
- [24] E. Muijs, P. Silva, A. van Staveren, and W. Serdijn, "A 39 db dr cmos log-amp rf power detector with \pm 1.1 db temperature drift from- 40 to 85 c," in *2013 Proceedings of the ESSCIRC (ESSCIRC)*, IEEE, 2013, pp. 287–290.
- [25] J. Cha, W. Woo, C. Cho, Y. Park, C.-H. Lee, H. Kim, and J. Laskar, "A highly-linear radio-frequency envelope detector for multi-standard operation," in *2009 IEEE Radio Frequency Integrated Circuits Symposium*, IEEE, 2009, pp. 149–152.
- [26] C. Li, X. Yi, C.-C. Boon, and K. Yang, "A 34 db dynamic range 0.7 mw compact switched-capacitor power detector in 65 nm cmos," *IEEE Transactions on Power Electronics*, 2019.
- [27] J.-W. Wu, K.-C. Hsu, W.-J. Lai, C.-H. To, S.-W. Chen, C.-W. Tang, and Y.-Z. Juang, "A linear-in-db radio-frequency power detector," in *2011 IEEE MTT-S International Microwave Symposium*, IEEE, 2011, pp. 1–4.

- [28] W. Kester. (). High frequency log amps, [Online]. Available: <https://www.analog.com/media/en/training-seminars/tutorials/MT-078.pdf>. (accessed: 09.06.2019).
- [29] C.-P. Wu and H.-W. Tsao, "A 110-mhz 84-db cmos programmable gain amplifier with integrated rssi function," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1249–1258, 2005.



Tezden Üretilmiş Yayınlar

İletişim Bilgileri: cuneydayan@gmail.com.tr

Konferans Bildirisi

1. Cüneyt AYAN, Burcu ERKMEN, Hakan DOĞAN V/UHF Frequency Band CMOS Logarithmic RF Power Detector Design, 4. Uluslararası Mühendislik Mimarlık ve Tasarım Kongresi, İstanbul, 2019