

**T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI**

**DÜŞÜK GÜÇLÜ VE GERİLİMLİ TRANSİSTÖRLER
KULLANARAK LOJİK DEVRE TASARIMI**

**Hazırlayan
Recep EMİR**

**Danışman
Doç. Dr. Sezai Alper TEKİN**

Doktora Tezi

**Eylül 2024
KAYSERİ**

T.C.
ERCIYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

DÜŞÜK GÜÇLÜ VE GERİLİMLİ TRANSİSTÖRLER
KULLANARAK LOJİK DEVRE TASARIMI
(Doktora Tezi)

Hazırlayan
Recep EMİR

Danışman
Doç. Dr. Sezai Alper TEKİN

Eylül 2024
KAYSERİ

BİLİMSEL ETİĞE UYGUNLUK

Bu çalışmadaki tüm bilgilerin, akademik ve etik kurallara uygun bir şekilde elde edildiğini beyan ederim. Aynı zamanda bu kural ve davranışların gerektirdiği gibi, bu çalışmanın özünde olmayan tüm materyal ve sonuçları tam olarak aktardığımı ve referans gösterdiğimi belirtirim.

Recep EMİR

İmza

“Düşük Güçlü ve Gerilimli Transistörler Kullanarak Lojik Devre Tasarımı” adlı Doktora tezi, Erciyes Üniversitesi Lisansüstü Tez Önerisi ve Tez Yazma Yönergesi’ne uygun olarak hazırlanmıştır.

Hazırlayan

Recep EMİR

İmza

Danışman

Doç. Dr. Sezai Alper TEKİN

İmza

Elektrik-Elektronik Mühendisliği ABD Başkanı

Prof. Dr. Enis GÜNAY

İmza

TEŞEKKÜR

Bana çalışmalarım süresince mesai günü ve saati ayrımı yapmaksızın her türlü yardımı ve fedakârlığı sağlayan, farklı bakış açıları ve bilimsel katkılarıyla beni aydınlatan, yakın ilgi ve yardımlarını esirgemeyen ve bu günlere gelmemde en büyük katkı sahibi hocam ve danışmanım Doç. Dr. Sezai Alper TEKİN'e teşekkür ederim.

Tez izleme komitemde yer alan hocalarım Prof. Dr. Enis GÜNAY ve Dr. Öğr. Üyesi Hasan ZORLU'ya çalışmalarına olan değerli katkılarından dolayı teşekkürlerimi sunarım.

Tez çalışmalarına Derin Öğrenme konusu ağırlıklı olmak üzere tüm süreç boyunca teknik ve manevi katkılarından dolayı Prof. Dr. Serhan YAMAÇLI'ya teşekkür ederim.

Varlığı benim için armağan olan sevgili eşime hayatımın her safhasında vermiş olduğu destekleri için teşekkürü bir borç bilirim.

Recep EMİR

Eylül 2024, KAYSERİ

DÜŞÜK GÜÇLÜ VE GERİLİMLİ TRANSİSTÖRLER KULLANARAK LOJİK DEVRE TASARIMI

Recep EMİR

**Erciyes Üniversitesi, Fen Bilimleri Enstitüsü
Doktora Tezi, Eylül 2024
Danışman: Doç. Dr. Sezai Alper TEKİN**

ÖZET

Günümüz teknolojisinde birçok mühendislik tasarımı lojik (sayısal) devreler içermektedir. Tez çalışmasında lojik yapıların tasarım süreçlerinin uygun şekilde gerçekleştirilebilmesi için lojik tasarım ile ilgili temel bilgiler ve kavramlar ile lojik parametreler tanıtılmaktadır. Günümüzde geçerliliğini önemli ölçüde koruyan iki farklı lojik mimariye ait lojik kapılar alan etkili transistörlere ek olarak alternatif transistör teknolojileri ile gerçekleştirilerek karşılaştırılması yapılmaktadır. Lojik kapılardan daha karmaşık olan lojik devreler gerçekleştirilerek giriş-çıkış işaretleri incelenmektedir. Temel lojik tasarımların gerçekleştirilmesi ve karşılaştırılmasına ek olarak ultra düşük gerilimli ve enerji verimli yeni lojik kapılar ve bu lojik kapıların toplayıcı devre uygulamaları önerilmektedir. Temel bir lojik kapı olan inverter devresinin grafen transistörlü durumda transistör parametre değişimlerine bağlı olarak güç tüketimi ve yayılım gecikmesi değerlerinin derin öğrenme modelleri geliştirilmektedir. Ayrıca standart besleme gerilimleri içeren güç kaynağı ile ultra düşük gerilimli lojik yapılar arasında arabağlaşım sağlayan geleneksel gerilim dönüştürücü devresi uygulaması yapılarak bu devredeki yarıiletken elemanlar yerine alternatif transistör teknolojilerini kullanarak verim artışı sağlanmaktadır.

Anahtar Kelimeler: MOS, DTMOS, CNTFET, GNR-FET, Lojik, Dinamik eşik gerilimi, SPICE

LOGIC CIRCUIT DESIGN USING LOW POWER AND VOLTAGE TRANSISTORS

Recep EMİR

Erciyes University, Graduate School of Natural and Applied Sciences

PhD Thesis, September 2024

Supervisor: Assoc. Prof. Dr. Sezai Alper TEKİN

ABSTRACT

In today's technology, many engineering designs contain logic (digital) circuits. In this thesis study, basic information and concepts about logic design and logic parameters are introduced in order to properly carry out the design processes of logic structures. Logic gates belonging to two different logic architectures, which are still valid today, are compared by using alternative transistor technologies in addition to field effect transistors. Logic circuits, which are more complex than logic gates, are implemented and input-output signals are examined. In addition to the realization and comparison of basic logic designs, new ultra low voltage and energy efficient logic gates and adder circuit applications of these logic gates are proposed. Deep learning models are being developed for the power consumption and propagation delay values of the inverter circuit, which is a basic logic gate, depending on the transistor parameter changes in the case of graphene transistors. In addition, by applying a traditional voltage converter circuit that provides interconnection between the power supply containing standard supply voltages and ultra low voltage logic structures, efficiency is increased by using alternative transistor technologies instead of semiconductor elements in this circuit.

Keywords: MOS, DTMOS, CNTFET, GNRFET, Logic, Dynamic threshold voltage, SPICE

İÇİNDEKİLER

DÜŞÜK GÜÇLÜ VE GERİLİMLİ TRANSİSTÖRLER KULLANARAK LOJİK DEVRE TASARIMI

BİLİMSEL ETİĞE UYGUNLUK	ii
YÖNERGEYE UYGUNLUK.....	iii
TEŞEKKÜR.....	v
ÖZET	vi
ABSTRACT.....	vii
İÇİNDEKİLER	viii
KISALTMALAR	xi
TABLolar LİSTESİ.....	xii
ŞEKİLLER LİSTESİ	xiii
GİRİŞ	1

BÖLÜM 1

LOJİK TASARIMIN TEMELLERİ

1.1. Temel Bilgiler	6
1.2. Lojik Kapıların Sınıflandırılması	8
1.2.1. Bipolar lojik kapılar.....	9
1.2.2. MOS lojik kapılar	10
1.2.3. BiCMOS lojik kapılar.....	11
1.2.4. GaAs lojik kapılar	11

BÖLÜM 2

LOJİK PARAMETRELER VE CMOS/PT LOJİK KAPILARI

2.1. Lojik Performans Parametreleri	12
2.1.1. Güç tüketimi	12
2.1.2. Yayılım gecikmesi.....	13
2.1.3. Güç-Gecikme çarpımı (PDP)	13
2.1.4. Band genişliği.....	14
2.1.5. Giriş yelpazesi ve çıkış yelpazesi.....	14
2.1.6. Silikon alanı	14

2.2. Lojik Tasarım Parametreleri.....	15
2.2.1. Çalışma frekansı ve süresi.....	15
2.2.2. Besleme gerilimi	15
2.2.3. Eşik gerilimi.....	16
2.2.4. Transistör ölçekleme.....	16
2.2.5. Besleme gerilimi ve transistör ölçekleme	17
2.3. CMOS Lojik Kapıları.....	18
2.4. PT Lojik Kapıları.....	20

BÖLÜM 3

CMOS/PT LOJİK KAPILARIN ÇEŞİTLİ TRANSİSTÖRLER KULLANARAK GERÇEKLEŞTİRİLMESİ

3.1. MOS Transistör.....	22
3.2. DTMOS Transistör	23
3.3. CNTFET	25
3.4. GNRFET	26
3.5. CMOS ve PT Lojik Kapılarının Simülasyon Ayarları.....	27
3.6. CMOS ve PT Lojik Kapılarının Grafik Simülasyon Sonuçları.....	29
3.7. CMOS ve PT Lojik Kapılarının Nümerik Simülasyon Sonuçları.....	34

BÖLÜM 4

TEMEL LOJİK DEVRELERİN CMOS KULLANARAK GERÇEKLEŞTİRİLMESİ

4.1. Tampon Lojik Devresi	41
4.2. Yarı Toplayıcı Lojik Devresi.....	42
4.3. Yarı Çıkarıcı Lojik Devresi.....	44
4.4. Tam Toplayıcı Lojik Devresi	46
4.5. D-FF Lojik Devresi	48

BÖLÜM 5

DTMOS TEKNİĞİNİ KULLANARAK YENİ EXOR-EXNOR LOJİK KAPILARI İLE ULTRA DÜŞÜK GERİLİMLİ VE ENERJİ VERİMLİ TAM TOPLAYICI TASARIMLARI

5.1. EXOR-EXNOR Lojik Kapıları.....	52
5.2. Tam Toplayıcı Lojik Devreleri	56

BÖLÜM 6

GNRFET'Lİ LOJİK DEVRELERİN GÜÇ TÜKETİMİ VE YAYILIM GECİKMESİ MODELLEMESİ İÇİN DERİN ÖĞRENME YAKLAŞIMI	64
--	-----------

BÖLÜM 7

ULTRA DÜŞÜK BESLEME GERİLİMLİ LOJİK YAPILAR İÇİN BUCK CONVERTER TASARIMI.....	69
--	-----------

BÖLÜM 8

TARTIŞMA-SONUÇ ve ÖNERİLER.....	75
KAYNAKÇA	78
ÖZGEÇMİŞ.....	85

KISALTMALAR

BiCMOS	: Bipolar Complementary Metal Oxide Semiconductor
CMOS	: Complementary Metal Oxide Semiconductor
CNTFET	: Carbon Nano Tube Field Effect Transistor
DTL	: Diode Transistor Logic
DTMOS	: Dynamic Threshold-Voltage Metal Oxide Semiconductor
ECL	: Emitter Coupled Logic
FA	: Full Adder
FF	: Flip Flop
GaAs	: Gallium Arsenide
GNRFET	: Graphene Nano Ribbon Field Effect Transistor
LSI	: Large Scale Integration
MSI	: Medium Scale Integration
PT	: Pass Transistor
RTL	: Resistor Resistor Logic
SSI	: Small Scale Integration
TTL	: Transistor Transistor Logic
VLSI	: Very Large Scale Integration
VTC	: Voltage Transfer Characteristic

TABLOLAR LİSTESİ

Tablo 1.1.	Sayı Sistemleri	6
Tablo 1.2.	Temel mantıksal işlemler	7
Tablo 1.3.	Temel lojik kapıların giriş-çıkış ilişkileri ve denklemleri	8
Tablo 2.1.	TSMC firmasının yıllara göre ölçek gelişimi	16
Tablo 2.2.	Ölçek ve besleme gerilimi arasındaki ilişki	17
Tablo 3.1.	Lojik çıkış gerilimleri (mV) - CMOS	35
Tablo 3.2.	Lojik çıkış gerilimleri (mV) - PT	36
Tablo 3.3.	Güç tüketimi (nW) - CMOS	37
Tablo 3.4.	Güç tüketimi (nW) - PT	38
Tablo 3.5.	Yayılm gecikmesi (ps) - CMOS	39
Tablo 3.6.	Yayılm gecikmesi (ps) - PT	39
Tablo 3.7.	Band genişliği (GHz) - CMOS	40
Tablo 3.8.	Band genişliği (GHz) - PT	40
Tablo 4.1.	Yarı toplayıcı lojik durumları	43
Tablo 4.2.	Yarı çıkarıcı lojik durumları	45
Tablo 4.3.	Tam toplayıcı lojik durumları	47
Tablo 4.4.	D-FF lojik durumları	49
Tablo 5.1.	EXOR-EXNOR (Emir ve Tekin) lojik kapıları için kanal genişlik ve uzunluk değerleri	55
Tablo 5.2.	EXOR-EXNOR lojik kapılarının performans parametreleri	56
Tablo 5.3.	Tam toplayıcı lojik devrelerinin performans parametreleri	63
Tablo 6.1.	Güç tüketimi verileri için geliştirilen derin öğrenme modelinin performans ölçümleri	66
Tablo 6.2.	Yayılm gecikmesi verileri için geliştirilen derin öğrenme modelinin performans ölçümleri	68
Tablo 7.1.	Simülasyon parametreleri	72

ŞEKİLLER LİSTESİ

Şekil 1.1.	Lojik kapı sembolleri	7
Şekil 1.2.	Lojik kapıların sınıflandırılması	9
Şekil 2.1.	Yayılm gecikmesi	13
Şekil 2.2.	TSMC firmasının yıllara göre ölçek gelişimi	17
Şekil 2.3.	Önerilen ölçek ve besleme gerilimi ilişkisi (Sedra et al.)	17
Şekil 2.4.	CMOS lojik blok şeması.....	18
Şekil 2.5.	CMOS lojik NOT kapısı	18
Şekil 2.6.	CMOS lojik NOR ve NAND kapıları.....	19
Şekil 2.7.	CMOS lojik EXOR ve EXNOR kapıları	20
Şekil 2.8.	PT lojik blok şeması	21
Şekil 2.9.	PT lojik OR-AND-NOR kapıları.....	21
Şekil 2.10.	PT lojik NAND-EXOR-EXNOR kapıları	21
Şekil 3.1.	MOS transistör yapısı	23
Şekil 3.2.	DTMOS'un üretilişi.....	24
Şekil 3.3.	Sırasıyla p-kanal ve n-kanal DTMOS sembolleri.....	24
Şekil 3.4.	İlk CNTFET yapısı	25
Şekil 3.5.	GNRFET yapısı	27
Şekil 3.6.	GNRFET'in kanal bölgesindeki grafen yapısının gösterimi	27
Şekil 3.7.	Bir girişli durumda lojik kapıların girişine uygulanan işaretler.....	28
Şekil 3.8.	İki girişli durumda lojik kapıların girişine uygulanan işaretler	28
Şekil 3.9.	CMOS-NOT lojik kapılarının VTC işaretleri	29
Şekil 3.10.	MOS transistörlerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri..	30
Şekil 3.11.	DTMOS transistörlerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri	31
Şekil 3.12.	CNTFET'lerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri	31
Şekil 3.13.	GNRFET'lerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri.....	32
Şekil 3.14.	MOS transistörlerin kullanıldığı PT lojik kapılarının çıkış işaretleri	32
Şekil 3.15.	DTMOS transistörlerin kullanıldığı PT lojik kapılarının çıkış işaretleri...	33
Şekil 3.16.	CNTFET'lerin kullanıldığı PT lojik kapılarının çıkış işaretleri	33
Şekil 3.17.	GNRFET'lerin kullanıldığı PT lojik kapılarının çıkış işaretleri.....	34
Şekil 4.1.	Tampon lojik devresi	42

Şekil 4.2.	Tampon lojik devresinin giriş-çıkış işaretleri	42
Şekil 4.3.	Yarı toplayıcı blok şeması	43
Şekil 4.4.	Yarı toplayıcı lojik devresi	44
Şekil 4.5.	Yarı toplayıcı lojik devresinin giriş-çıkış işaretleri	44
Şekil 4.6.	Yarı çıkarıcı blok şeması	45
Şekil 4.7.	Yarı çıkarıcı lojik devresi	45
Şekil 4.8.	Yarı çıkarıcı lojik devresinin giriş-çıkış işaretleri	46
Şekil 4.9.	Tam toplayıcı blok şeması	46
Şekil 4.10.	Tam toplayıcı lojik devresi	47
Şekil 4.11.	Tam toplayıcı lojik devresinin giriş-çıkış işaretleri	48
Şekil 4.12.	D-FF blok şeması.....	48
Şekil 4.13.	D-FF lojik devresi.....	49
Şekil 4.14.	D-FF lojik devresinin giriş-çıkış işaretleri.....	50
Şekil 5.1.	EXOR-ENOR lojik kapısı (Naseri et al.).....	52
Şekil 5.2.	EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri (Naseri et al.).....	52
Şekil 5.3.	EXOR-EXNOR lojik kapısı (Valashani et al.)	53
Şekil 5.4.	EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri (Valashani et al.) ..	53
Şekil 5.5.	Önerilen EXOR lojik kapısı.....	54
Şekil 5.6.	Önerilen EXNOR lojik kapısı.....	54
Şekil 5.7.	Önerilen EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri.....	55
Şekil 5.8.	Tam toplayıcı lojik devresi (CMOS)	57
Şekil 5.9.	Tam toplayıcı lojik devresi (PT).....	57
Şekil 5.10.	Tam toplayıcılar için giriş işaretleri.....	58
Şekil 5.11.	Tam toplayıcıların Elde (çıkış) işaretleri	58
Şekil 5.12.	Tam toplayıcıların Toplam işaretleri	59
Şekil 5.13.	Tam toplayıcı lojik devresi - EXOR ² MUX	59
Şekil 5.14.	Tam toplayıcı lojik devresi - EXNOR ² MUX	60
Şekil 5.15.	MUX lojik kapısı	60
Şekil 5.16.	Önerilen tam toplayıcı lojik devresi - EXOR ² MUX.....	61
Şekil 5.17.	Önerilen tam toplayıcı lojik devresi - EXNOR ² MUX.....	61
Şekil 5.18.	Önerilen EXOR'lu tam toplayıcı lojik devresinin giriş-çıkış işaretleri.....	62
Şekil 5.19.	Önerilen EXNOR'lu tam toplayıcı lojik devresinin giriş-çıkış işaretleri...	62
Şekil 6.1.	Geliştirilen derin öğrenme modelinin yapısı	64

Şekil 6.2.	GNERFET'li inverter için gerçek güç tüketimi verileri ve derin öğrenme modeli sonucu	65
Şekil 6.3.	GNERFET'li inverter için gerçek yayılım gecikmesi verileri ve derin öğrenme modeli sonucu	67
Şekil 7.1.	Geleneksel buck converter.....	70
Şekil 7.2.	Önerilen buck converter.....	71
Şekil 7.3.	Geleneksel ve önerilen durumda çıkış işaretleri (ideal durum)	73
Şekil 7.4.	Geleneksel ve önerilen durumda çıkış işaretleri (yenilenmiş durum)	74



GİRİŞ

Genel Bilgiler ve Literatür Özeti

Günümüzde hayatımızın konforunu artıran birçok mühendislik tasarımı elektronik devreler içermektedir. Bu tasarımlar başlı başına elektronik devreler içeren hesap makinası, telefon, bilgisayar, tablet, vb. cihazlar olmasının yanı sıra doğrudan elektronik bilim dalıyla ilgili olmayan çamaşır/bulaşık makinası, buzdolabı, fırın, vb. cihazlara da elektronik devreler eklenmektedir. Elektronik devre ve sistem tasarımı günümüz teknolojinin olmazsa olmaz bir bileşenidir. Elektronik teknolojisindeki önemli dönüm noktaları son yıllarda temel olarak transistör gelişimi ile ilgilidir.

1940'lı yıllarda transistörün icadı ile elektronik teknolojisi yeni bir döneme girmiştir. İlerleyen yıllarda bipolar transistörlü lojik kapılar yaygın şekilde kullanılmıştır. Çok geniş ölçekli entegre (VLSI) döneminin başlaması ile bipolar transistörlü lojik kapılar yerini önemli ölçüde alan etkili transistör kullanan lojik kapılara bırakmıştır. Bu durum günümüzde de devam etmektedir.

Alan etkili transistör içeren lojik tasarımların kullanıma girmesiyle elektronik teknolojisinde yenilik ve gelişimin hızlanması sonucu hesap makinası, cep telefonu, laptop, tablet, vb. taşınabilir elektronik cihazlar yaygınlaşmıştır. Bahsi geçen cihazların yaygınlaşması transistör ölçeğinde küçülme zorunluluğunu beraberinde getirmiştir. Ölçekteki ileri seviye küçülmelerin üretim zorluklarına neden olmasına rağmen tek basamaklı nanometre ölçeğine sahip transistörlü elektronik cihazlar kullanıma sunulmuştur. 1 nanometre ölçeğine ulaşılması durumunda nanometre teknolojinin sonuna gelinmiş olacaktır [1-10].

Nanometre teknolojinin sonuna yaklaşıldığı şu halde transistörler anahtarlama özelliklerini kaybetmeye ve amacına uygun şekilde çalışmamaya başlamaktadır. Bu durum geçmişte tahmin edildiğinden alan etkili transistörlere alternatif olabilecek transistör teknolojileri için araştırmalar birkaç on yıl öncesinden başlamıştır. Alternatif

yöntemlerden birtanesi alan etkili transistörün taban etkisini kullanarak transistörün iletkenlik özelliklerinin iyileştirilmesidir. Bu amaçla transistörün taban etkisinin kullanıldığı kapsamlı ve temel çalışma Assaderaghi et al. tarafından 1994 ve 1997 yıllarında yapılmıştır [11,12]. Bahsi geçen yıllardan bu yana transistörlerin taban etkisini kullanarak oldukça çeşitli analog tasarımlar gerçekleştirilmiştir [13-20], ancak lojik tasarımlarda taban etkisinin kullanımı ile ilgili çalışmalar sınırlıdır. Bu nedenle 2018 yılında Emir, Tekin ve Danışman tarafından inverter (NOT) lojik kapısında ve 2022 yılında Emir ve Tekin tarafından üç farklı çoklayıcı (MUX) lojik kapısında transistörlerin taban etkisini kullanmanın getirdiği olumlu sonuçlar çalışılmıştır [21,22]. Ek olarak, tez çalışması kapsamında Emir ve Tekin tarafından tüm transistörlerde taban etkisinin kullanıldığı ultra düşük gerilimli ve enerji verimli yeni iki farklı lojik kapı ve bu lojik kapıların tam toplayıcı lojik devre uygulamaları önerilmektedir.

Alan etkili transistörlere alternatif yöntemlerden bir diğeri transistörün kanal bölgesinde karbon nano tüpler kullanmaktır. Alan etkili transistör kullanmanın sağladığı avantajların yanı sıra elektronik tasarımlarda karbon tüplü transistör teknolojisinin kullanımı son yıllarda yeni bir yöntemdir. Alan etkili transistörün ölçek limitleri ve kısa kanal etkisine karşın karbon yapıli transistörün nano boyutlu olması, balistik taşıma özelliğı, yüksek akım taşıma kapasitesi ve yüksek kararlılığı carbon yapıli transistör teknolojisini önemli bir alternatif yapmaktadır. Karbon transistörlerin kullanıldığı bazı lojik çalışmalar şu şekildedir. Inverter lojik kapısının detaylı analizlerinin çıkarılmasının [23,24] yanı sıra diğeri temel lojik kapılarında karbon transistörlü durumda performans incelemeleri yapılmıştır [25-27]. Lojik tasarımlarda ternary (üçlü) sayı tabanına göre çalışan lojik devreler ayrı bir çalışma alanı oluşturmaktadır. Karbon transistörlü ternary lojik tasarımlara temel lojik kapıların incelenmesi [28], aritmetik işlem devreleri [29], çarpıcı devresi tasarımı [30], işlemci tasarımı [31] ve ram tasarımı [32] çalışmaları örnek verilebilir.

Alan etkili transistörlere alternatif yöntemlerden bir diğeri transistörün kanal bölgesinde grafen nano şeritler kullanmaktır. Grafen yapıli transistörlerin önemli avantajlarından biri atomik boyutlara küçültme potansiyelleridir. Grafen şeritlerin nano boyutlu genişliğı, nano ölçekte cihaz boyutları üzerinde hassas kontrol sağlayarak son derece küçük geçit genişliğı ve uzunluk boyutlarına sahip transistörlerin üretilmesine olanak tanır. Bu ölçeklenebilirlik, yüksek performansa ve azaltılmış enerji tüketimine sahip

VLSI devreler için yeni olanakların önünü açmaktadır [33-36]. Grafen transistörlerin kullanıldığı bazı lojik çalışmalar şu şekildedir. Johari et al. tarafından grafen transistörlü temel lojik kapıların performansı incelenmiş ve alan etkili transistörlü durumla karşılaştırılmıştır, ancak bu karşılaştırma da transistör kanal bölgesinin genişlik parametreleri eşit tutulmamıştır [37]. Bu nedenle Emir et al. tarafından transistör kanal genişlik parametreleri eşit tutularak grafen transistörlü temel lojik kapılara ek olarak tam toplayıcı ve hafıza devreleri alan etkili transistörlü durumla karşılaştırılmış, ayrıca grafen transistörlü inverter kapısının transistör kanal bölgelerinin değişkenlerine karşılık gelen güç tüketimi ve yayılım gecikmesi değerleri kullanılarak grafen transistör kullanan lojik kapılar ve lojik devreler için derin öğrenme modelleri geliştirilmiştir [38]. Diğer bazı grafen transistörlü lojik tasarım çalışmaları tam toplayıcı [39], aritmetik işlem birimi [40], ram devreleri [41,42] ve programlanabilir lojik elemanlar [43] şeklindedir. Grafen transistörlü ternary lojik tasarım çalışmalarına temel lojik kapıların incelenmesi [44], yarı toplayıcı [45], aritmetik devreler [46], hafıza elemanı [47] ve ram devreleri [48] örnek verilebilir.

Araştırmanın Amacı ve Önemi

Tez çalışması temel ve karmaşık lojik kapıların ve devrelerin tasarımı ile ilgilidir. Günümüz teknolojisinde hem başlı başına elektronik cihazlarda hem de direkt olarak elektronik tasarım ile ilgili olmayan cihazlarda dijital elektronik devreler yaygın olarak kullanılmaktadır. Dijital devrelerin tasarım süreçlerinde gerek tasarım öncesi gerek tasarım sonrasında tasarımın değerlendirilmesi için birçok bilinmesi gereken parametre bulunmaktadır. İleri seviye yeni yöntemlerin araştırılıp geliştirilmesi için temel lojik yapıların ve lojik standartların ayrıca bilinmesi gerekmektedir. Tez çalışmasında tasarım yöntemleri tanıtılmaktadır ve yeni lojik yapılar önerilmektedir. Ayrıca dijital devrelerin güç tüketimi ve yayılım gecikmesi ile ilgili derin öğrenme modelleri geliştirilmiştir.

Elektronik tasarımlar genel olarak analog tasarım veya lojik (sayısal) tasarım olarak ayrılmasına ek olarak bunların birleşiminden de oluşabilir. Lojik tasarım temel ve karmaşık mantıksal işlemleri yerine getiren, aritmetik ve hafıza işlemlerini gerçekleştiren elektronik devrelerden oluşur. Bu tasarımlar elektronik bilim dalı içerisinde önemli bir araştırma ve uygulama alanına sahiptir.

Tez çalışmasının birinci bölümünde lojik tasarım ile ilgili bilinmesi gereken temel kavramlar ve bilgiler verilmektedir. Bu kavramlar ve bilgiler aynı zamanda tezin ilerleyen bölümlerinin daha kolay anlaşılmasını sağlamayı ve temel bilgilerin her bölümde tekrarından kaçınılmasını amaçlamaktadır. Ardından lojik kapıların genel sınıflandırması yapılarak mevcut lojik kapıların ve varsa alt üyelerinin bilinmesi gereken önemli özellikleri tanıtılmaktadır.

Basit veya karmaşık bir lojik devrenin tasarım sürecinde kullanılan birçok lojik parametre bulunmaktadır. Bu parametreler tasarım sürecinde kullanılan lojik tasarım parametreleri ve süreç sonrasında tasarımın değerlendirilmesi amacıyla kullanılan lojik performans parametreleri olarak ikiye ayrılır. Tez çalışmasının ikinci bölümünde tasarım sürecini ve tasarımın değerlendirilmesini kolaylaştıran lojik parametreler tanıtılmaktadır. Ardından alan etkili transistör temelli lojik kapıların önemli iki alt üyesi olan CMOS lojik ile PT lojik blok yapıları ve bu blok yapılardan elde edilen lojik kapılar anlatılmaktadır.

Günümüzde lojik tasarımlarda kullanılan en yaygın transistör çeşidi MOS transistörlerdir. Ancak günümüzde MOS teknolojisi nanometre teknolojisinin de sonuna gelmesiyle doyuma yaklaşmaktadır. Bu durum geçmişte tahmin edildiğinden MOS transistör teknolojisine alternatif olabilecek çeşitli transistör teknolojileri ile ilgili çalışmalar birkaç on yıl öncesinden başlamıştır. Transistörün taban etkisinin kullanılması yöntemi, karbon ve grafen yapıli transistörler alternatif transistör teknolojileri içerisinde yer almaktadır. Üçüncü bölümde CMOS ve PT lojik kapıları alan etkili transistör ve alternatif transistör teknolojileri ile ayrı ayrı gerçekleştirilmekte ve karşılaştırması yapılmaktadır.

Lojik kapıları oluşturan elektronik devreler lojik tasarımın temel yapı taşlarıdır. Ancak lojik tasarımlar daha çok sayıda transistör ve lojik kapı içererek daha karmaşık işlemleri gerçekleştirebilir. Dördüncü bölümde lojik kapılardan daha karmaşık bazı önemli lojik devreler gerçekleştirilmektedir.

Toplama en temel aritmetik işlemlerden biridir. Bu işlemi gerçekleştiren lojik devreler tam toplayıcı olarak ifade edilir. Tam toplayıcı lojik devreleri transistör kullanarak direk elde edilmesinin yanı sıra lojik kapı bloklarını kullanarak da elde edilebilir. Ancak tam toplayıcı tasarımında lojik kapı kullanmak yaygın bir yöntemdir. Giriş ve çıkış işaretleri

arasındaki ilişki açısından tam toplayıcı tasarımında EXOR-EXNOR lojik kapılarını kullanmak kolaylık sağlar. Beşinci bölümde alan etkili transistörlerin taban etkisini kullanarak yeni EXOR-EXNOR lojik kapıları önerilmektedir. Önerilen yeni lojik kapılar kullanılarak benzer yapıları iki farklı tam toplayıcı lojik devresi gerçekleştirilmektedir.

Bir entegre devre içerisinde milyonlarca lojik kapı veya lojik devre bulunabilmektedir. Tüm bu lojik yapıların zaman alıcı simülasyonlarını gerçekleştirilmeden tahmin edilmesi kullanışlı bir yöntemdir. Altıncı bölümde grafen transistörlü inverter devresinin transistör kanal bölgelerinin değişkenlerine karşılık gelen güç tüketimi ve yayılım gecikmesi değerleri ile grafen transistör kullanan lojik kapılar ve lojik devreler için derin öğrenme modelleri geliştirilmiştir.

Tez çalışması kapsamındaki lojik kapı ve lojik devre tasarımları düşük güçlü olarak gerçekleştirilmektedir. Düşük güçlü tasarımlarda genel yöntemlerden biri besleme gerilimini düşük tutmaktır. Tasarımlardaki besleme gerilimleri 0.7V veya 0.4V gibi düşük değerlerdir. Ancak güç kaynaklarında bu derece düşük değerlere sahip besleme gerilimleri bulunmamaktadır. Bu nedenle güç kaynağı ve lojik tasarımlar arasında standart bir lojik gerilimin daha düşük bir standart lojik gerilim olarak elde edilmesini sağlayacak converter (dönüştürücü) devresi kullanılmalıdır. Çeşitli converter devreleri bulunmasına karşın gerilim düşürme işlemini gerçekleştiren devrelere buck converter devresi denir. Yedinci bölümde geleneksel buck converter devresi gerçekleştirilmektedir. Ardından geleneksel devrede değişiklikler önerilerek verim artışı sağlanmaktadır.

Sekizinci ve son bölümde tez çalışmasının genel değerlendirmesi yapılarak gelecekte yapılabilecek çalışmalardan bahsedilmektedir.

BÖLÜM 1

LOJİK TASARIMIN TEMELLERİ

1.1. Temel Bilgiler

Sayı sistemlerinden birini kullanarak mantıksal işlem yapma kabiliyetine sahip elektronik devrelere lojik kapı veya lojik devre denir. Bu sayı sistemleri, temel ve en çok kullanılan ikili sayı sistemi (binary) olmakla birlikte üçlü sayı sistemi (ternary), dörtlü sayı sistemi (quaternary), vb. şeklinde de olabilir. Sayı sisteminin seviyesi bu sayı sisteminin rakamlardan oluşturduğu alfabedeki harf sayısını belirtir. Bu nedenle iki harfli binary sayı sisteminin kullanılması yeterli olmakla birlikte diğer sayı sistemleri de tercih edilebilir ancak sayı sisteminin seviyesi arttıkça o sayı sistemini işleyecek lojik devrelerin karmaşıklığı da artacaktır. Sayı sistemlerinde kullanılan harfler Tablo 1.1'de özetlenmiştir. İlk harf 0'dır ve sayı sisteminin seviyesine göre devam etmektedir. Bu tezdeki tüm çalışmalar ve tasarımlar binary sayı sistemi ile ilgilidir.

Tablo 1.1. Sayı Sistemleri

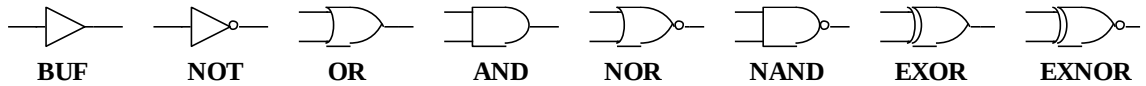
Sayı Sistemi	Harfler
Binary	01
Ternary	012
Quaternary	0123

Temel mantıksal işlemleri yapan lojik devrelere lojik kapı devresi veya kısaca lojik kapı denir. Temel mantıksal işlemlerin türkçe ve ingilizce karşılıkları Tablo 1.2'de verilmiştir. Mantıksal işlemlerin ingilizce karşılıkları kalıplaşmış ve daha kısa olduğu için bu tez çalışmasında ingilizce karşılıklar kullanılmaktadır.

Tablo 1.2. Temel mantıksal işlemler

Türkçe	English
TAMPON	BUF
DEĞİL	NOT
VEYA	OR
VE	AND
VEYA-DEĞİL	NOR
VE-DEĞİL	NAND
ÖZEL-VEYA	EXOR
ÖZEL-VEYA-DEĞİL	EXNOR

BUF ve NOT lojik kapıları bir girişliyken, diğer lojik kapılar en az iki girişlidir. Temel mantıksal işlemleri yapan lojik kapıların Şekil 1'de sembolleri ve Tablo 1.3'te giriş-çıkış ilişkileri ile lojik denklemleri gösterilmektedir.



Şekil 1.1. Lojik kapı sembolleri

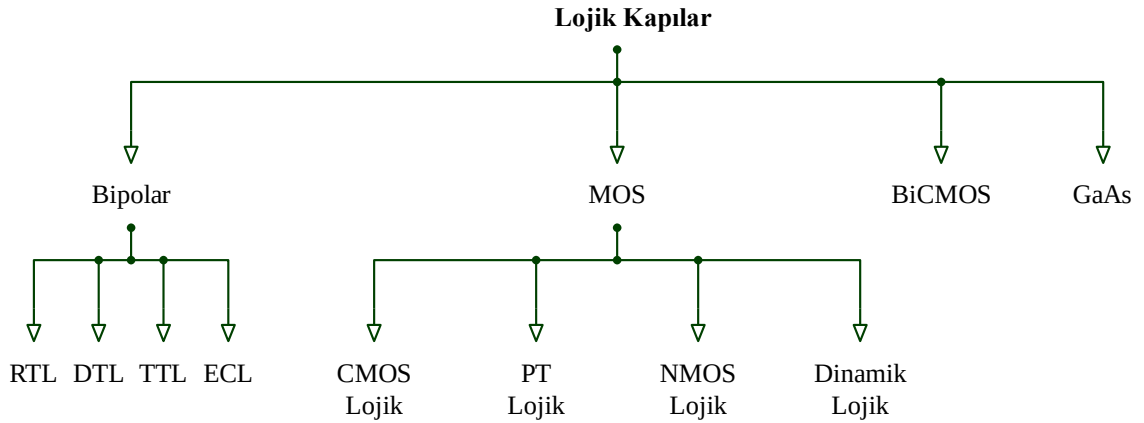
Tablo 1.3. Temel lojik kapıların giriş-çıkış ilişkileri ve denklemleri

Lojik Kapı	Giriş A	Giriş B	Çıkış	Denklem
BUF	01	-	01	A
NOT	01	-	10	A'
OR	0011	0101	0111	A+B
AND	0011	0101	0001	A.B
NOR	0011	0101	1000	(A+B)'
NAND	0011	0101	1110	(A.B)'
EXOR	0011	0101	0110	A.B'+A'.B
EXNOR	0011	0101	1001	A.B+A'.B'

1.2. Lojik Kapıların Sınıflandırılması

Aynı lojik kapı fonksiyonu farklı şekillerde gerçekleştirilebilmektedir. Lojik kapılar tasarım yöntemine göre sınıflara ayrılır ve genel bir sınıflandırılma Şekil 1.2'de gösterilmektedir. Bu sınıflandırmadaki temel etken kullanılan transistörün çeşididir.

Lojik kapıların sınıflandırılması tarihi süreç içerisindeki kullanım ve gelişime göredir. Bazı lojik kapılar günümüzde pek kullanılmazken bazıları yaygın kullanılmaktadır ve bazılarının da geliştirilmesi devam etmektedir ancak hiçbir lojik kapı sınıfı tam olarak avantajlı veya dezavantajlı değildir. Bu nedenle farklı lojik kapı sınıflarının avantajlarının birleştirilmesi konusu önemli bir çalışma alanıdır.



Şekil 1.2. Lojik kapıların sınıflandırılması

1.2.1. Bipolar lojik kapılar

RTL (Resistor-Transistor-Logic) lojik kapıların uygun şekilde gerçekleştirilmesini sağlar ve geçmişte yaygın şekilde kullanılmıştır.

DTL (Diode-Transistor-Logic) RTL'e göre daha büyük çıkış yelpazesine (fan-out) sahip olmakla beraber hızı düşüktür. RTL ve DTL günümüzde pek kullanılmamaktadır.

TTL (Transistor-Transistor-Logic) günümüzde az da olsa kullanılmaktadır. DTL'e göre çalışma hızı daha iyidir ve geçmişte uzun yıllar boyunca en çok ve en geniş alanlarda kullanılan lojik kapılar olmuştur. Ancak entegre devrelerde VLSI (Very-Large-Scale-Integration) döneminin başlaması TTL'in önemini oldukça azaltmıştır. Araştırmacılar bu durumla mücadele için düşük güçlü ve yüksek hızlı yeni TTL versiyonları geliştirmelerine rağmen yeni gelişmeler TTL'in önemli bir lojik kapı sınıfı olmasından çıkmasını önleyememiştir.

ECL (Emitter-Coupled-Logic) kullanımı günümüzde bazı alanlarda devam etmektedir. RTL, DTL ve TTL'e göre çalışma hızı oldukça iyileştirilmiştir. ECL temel olarak akım anahtarları ile evirici uygulamasına ve akım yönlendirmesine dayandığı için temel eleman bir farksal BJT (Bipolar-Junction-Transistor) çiftidir. Bundan dolayı ECL lojik kapıları CML (Current-Mode-Logic) olarak da isimlendirilir. Buraya kadar kullanılan tüm lojik kapılar içerisinde ECL en yüksek çalışma hızına sahiptir. Ayrıca yüksek güç tüketimine razı olunursa yüksek çalışma hızına ihtiyaç olduğu durumlarda VLSI entegre devre

tasarımında da kullanılmaktadır. Sonuç olarak bazı dezavantajlarına rağmen günümüzde önemini korumaktadır.

1.2.2. MOS lojik kapılar

Şekil 1'deki lojik kapı sınıflandırmasında 4 temel MOS (Metal-Oxide-Semiconductor) teknolojisi gösterilmiştir ancak MOS teknolojisi daha çeşitli ve daha geniştir. CMOS (Complementary-Metal-Oxide-Semiconductor) lojik kapıları entegre devre teknolojileri içerisinde en geçerlisidir ve dijital devre tasarımında bipolar teknolojisinin yerini almıştır. MOS ile çeşitli seviyelerde (sıklıkta ve yoğunlukta) entegre devre tasarımı gerçekleştirilebilir ve daha geniş uygulama alanına sahiptir. MOS'un bipolar teknolojisinin yerini almasının bazı nedenleri aşağıdaki gibidir.

- MOS lojik kapıları bipolar lojik kapılara göre çok daha düşük güç harcarlar ve böylece bir yonga içerisinde daha çok MOS lojik kapıları kullanılabilir.
- MOS transistörlerin yüksek giriş empedansı lojik ve hafıza devrelerinde geçici bilgi depolaması yapılmasını sağlar. Bu teknik bipolar devrelerde kullanılamaz.
- MOS transistörlerin boyutsal özellikleri uzun yıllardan bu yana önemli ölçüde iyileştirilmiştir (küçültülmüştür). Bu durum daha kararlı ve daha yüksek seviyelerde entegre devre tasarımının yapılmasını sağlamaktadır.

PT (Pass-Transistor) lojik kapıları MOS teknolojilerinden bir diğeridir. Bu lojik kapılardaki transistörler paralel bağlı bir çift şeklindedir ve çift yönlü akım geçişini sağlayarak iyi bir anahtarlama yaparlar.

NMOS (N-channel-MOS) lojik kapıları n-kanal MOS transistörün p-kanal MOS transistöre göre avantajları nedeniyle sadece n-kanal MOS transistör kullanır. VLSI döneminin başlaması ile yerini büyük ölçüde CMOS lojik kapılara bırakmıştır.

Dinamik lojik kapılar güç tüketimini düşük tutarken daha yüksek işlem hızı sağlamaktadır ve önemi giderek artmaktadır.

1.2.3. BiCMOS lojik kapılar

BiCMOS (Bipolar-CMOS) teknolojisi temel olarak bipolar transistör teknolojisinin sağladığı yüksek işlem hızı ve alan etkili transistör teknolojinin sağladığı düşük güç tüketimi özelliklerinin birleştirilmesi amacıyla geliştirilmiştir. Hafıza devreleri dahil çeşitli uygulamalarda önemli avantajlar sağlamaktadır.

1.2.4. GaAs lojik kapılar

GaAs (Gallium-Arsenide) teknolojisi çok yüksek işlem hızlarında yüksek taşıyıcı esnekliği sağlamaktadır. Sahip olduğu önemli potansiyele rağmen ticari olarak yeterli önemi henüz görememiştir. Bu nedenle GaAs teknolojisi gelişmekte olan teknoloji olarak da nitelendirilir.

BÖLÜM 2

LOJİK PARAMETRELER VE CMOS/PT LOJİK KAPILARI

Lojik kapıların ve lojik devrelerin tasarımının gerçekleştirilmesi aşamasında ve tasarımdan sonra çalışma veriminin değerlendirilmesinde kullanılan birçok parametre vardır. Çalışma verimini belirleyen lojik performans parametreleri öncelikle incelenmeli ve daha sonra dijital devrenin verimli çalışmasını sağlayacak lojik tasarım parametreleri incelenmelidir. Bu bölümde önce lojik performans parametreleri ve lojik tasarım parametreleri tanıtılmaktadır. Ardından lojik parametreleri kullanarak CMOS ve PT lojik kapılarının tasarımı ve analizi yapılmaktadır.

2.1. Lojik Performans Parametreleri

Aynı veya benzer işlemleri gerçekleştiren lojik kapılar ve lojik devreler farklı şekillerde elde edilebilir. Bu durumda hangi tasarım yönteminin daha mantıklı olduğu belirlenmelidir. Hiçbir yöntem tam olarak avantajlı veya dezavantajlı olmadığı için lojik performans parametreleri geliştirilmiştir.

2.1.1. Güç tüketimi

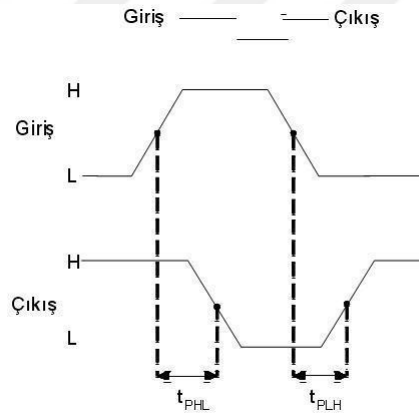
Güç tüketimi önemli bir lojik performans parametresidir. Bir yonga içerisinde maksimum sayıda transistör olması istenir. Ancak artan transistör sayısı güç tüketimini de beraberinde getirir. Bu nedenle güç tüketimi mümkün olduğunca minimumda tutulmalıdır. Statik ve dinamik olarak iki farklı güç tüketimi tanımlanabilir. Statik güç tüketimi lojik durumlarda bir değişiklik olmadığı anda ve diğer yandan dinamik güç tüketimi lojik geçişler esnasında gerçekleşir. Dinamik güç tüketimi Denklem 2.1'deki gibi tanımlanır. Denklemdaki tanım incelendiğinde güç tüketimi çalışma frekansı ile doğru orantılı olduğu görülür. Teknolojinin gelişimi ile daha kısa zamanda daha çok bilginin işlenmesini ve iletilmesini sağlamak için çalışma frekansı sürekli artırılmıştır.

Bu durumda artan güç tüketimini dengelemek için besleme gerilimi düşürülmeye çalışılmaktadır.

$$P_D = f \times C \times V_{DD}^2 \quad (2.1)$$

2.1.2. Yayılım gecikmesi

Yayılım gecikmesi giriş işareti ve çıkış işareti arasında gerçekleşen gecikme süresidir. Yayılım gecikmesi hesaplanırken Şekil 2.1'de gösterildiği ve Denklem 2.2'de tanımlandığı gibi çıkış işaretinin alçalan ve yükselen durumdaki giriş işaretine göre gecikmelerinin ortalaması alınarak bulunur. Bu süre idealde sıfır iken pratikte düşük olmalıdır. Lojik tasarımın yayılım gecikmesi ne kadar düşük olursa maksimum çalışma hızı da o kadar yüksektir.



Şekil 2.1. Yayılım gecikmesi

$$Yayılım\ gecikmesi = \frac{t_{PHL} + t_{PLH}}{2} \quad (2.2)$$

2.1.3. Güç-Gecikme çarpımı (PDP)

Bazı tasarım yöntemleri güç tüketiminde iyileşme sağlarken yayılım gecikmesinde olumsuz şekilde artırmaktadır veya benzer şekilde yayılım gecikmesinde gerçekleşen olumlu bir azalma güç tüketimini artırmaktadır. Böyle durumlarda karşılaştırma yapabilmek için Denklem 2.3'te tanımlandığı gibi PDP parametresine bakılır.

$$PDP = (Güç\ tüketimi) \times (Yayılım\ gecikmesi) \quad (2.3)$$

2.1.4. Band genişliği

Lojik tasarımın çalışma hızı aralığı band genişliği ile ifade edilir. Band genişliği tam olarak maksimum giriş frekansı ile minimum giriş frekansı arasındaki farktır. Ancak minimum giriş frekansı düşük olduğu için ihmal edilebilir ve band genişliği maksimum giriş frekansına eşit olur. Genel band genişliği Denklem 2.4'te tanımlanmıştır. Band genişliği analog sistemlerde çıkış işaretindeki zayıflama ile ilgilidir. Çıkış işaretindeki 3dB kadar zayıflama band genişliğinin sınırlarını belirler. Diğer yandan lojik tasarımlarda çıkış işareti sabit lojik değerlerden biri olacağı için aynı yöntemle band genişliği belirlenemez. Bunun için çıkış işaretinin yükselme süresi (t_r) incelenmelidir. t_r çıkış işaretinin %10 değerinden %90 değerine kadar geçen süredir. Ancak dikkat edilmesi gereken t_r süresi belirlenirken lojik kapıya veya devreye uygulanan giriş işaretinin frekansı çok düşük veya çok yüksek olmamalıdır. Denklem 2.5'te tanımlandığı gibi 0.35 sayısı ile t_r süresi arasındaki oran lojik sistemler için band genişliğini belirler.

$$BW_{genel} = f_{giriş,maks} - f_{giriş,min} \approx f_{giriş,maks} \quad (2.4)$$

$$BW_{lojik} = \frac{0.35}{t_r} \quad (2.5)$$

2.1.5. Giriş yelpazesi ve çıkış yelpazesi

Giriş yelpazesi (fan-in) lojik kapının giriş sayısıdır. Örnek olarak 4 girişli bir lojik kapının giriş yelpazesi değeri de 4'tür. Diğer yandan çıkış yelpazesi (fan-out) bir lojik kapının çıkışına paralel bağlanabilecek aynı lojik kapı üretim teknolojisine ait maksimum lojik kapı sayısıdır.

2.1.6. Silikon alanı

Dijital VLSI entegre tasarımında her bir transistör için ayrılacak alan mümkün olduğunca küçük olmalı ve böylece belirli bir alana maksimum sayıda transistör sığdırılmalıdır. Tasarımın kapladığı alanı belirleyen silikon alanı parametresinin küçültülmesi devre tasarım tekniklerinin geliştirilmesi ve devre yerleşiminin iyi yapılması ile sağlanabilir. Belirli silikon alanlara sığdırılan lojik kapı sayısına göre entegre devre tasarımı gelişimi aşağıdaki gibidir.

- SSI - (small-scale-integration) -> 1~10 lojik kapı / yonga
- MSI - (medium-scale-integration) -> 10~100 lojik kapı / yonga
- LSI - (large-scale-integration) -> 100~1.000.000 lojik kapı / yonga
- VLSI - (very-large-scale-integration) -> 1.000.000+ lojik kapı / yonga

2.2. Lojik Tasarım Parametreleri

2.2.1. Çalışma frekansı ve süresi

Çalışma frekansı lojik tasarımlar için önemli parametrelerden biridir. Literatür incelendiğinde alçak veya yüksek frekans analizleri hariç lojik tasarımların analizlerinin 50MHz ve 200MHz aralığında elde edildiği görülmüştür. Bu nedenle bu tez çalışmasında çalışma frekansı 100MHz olarak seçilmiştir.

Lojik tasarımların $t=0s$ noktasından başlamak üzere ne kadar süre simülasyonlarının yapılacağı diğer önemli bir konudur. Simülasyon süresi çok kısa tutulursa tasarımın performansı yeterli derece analiz edilemeyebilir. Diğer yandan simülasyon süresi fazla uzun tutulursa simülasyonların tamamlanması ve analizlerin çıkarılması uzun sürebilir. Ayrıca giriş işaretlerinin kaç periyot uygulanacağı ayrı bir konudur. Başlangıç koşulları nedeniyle bir lojik tasarımın sadece ilk periyot boyunca incelenmesi çok sağlıklı değildir. Bu nedenle tez çalışmasında tasarımların en az üç periyot boyunca analiz edilmesine karar verilmiştir. Bu tez çalışmasındaki lojik tasarımlar ağırlıklı olarak bir girişli, iki girişli veya üç girişlidir. Birinci giriş işareti 100MHz, ikinci giriş işareti 50MHz ve üçüncü giriş işareti 25MHz olarak uygulanırsa en düşük frekanslı giriş işaretinin periyodu 40ns'ye karşılık gelir. En düşük frekanslı giriş işaretinin üç periyot uygulanması durumunda simülasyon süresi 120 ns olacaktır. Böylece bir, iki ve üç girişli tasarımlar sırasıyla 12, 6 ve 3 periyot boyunca analiz edilmiş olacaktır.

2.2.2. Besleme gerilimi

Lojik tasarımlardaki besleme gerilimi güç tüketimi ile doğrudan ilgilidir. Üretim teknolojileri geliştikçe besleme gerilimi de düşürülmektedir. Lojik gerilim standartları zaman içindeki gelişim sırasına göre 5V / 3.3V / 2.5V / 1.8V / 1.3V / 1V şeklinde sıralanabilir.

2.2.3. Eşik gerilimi

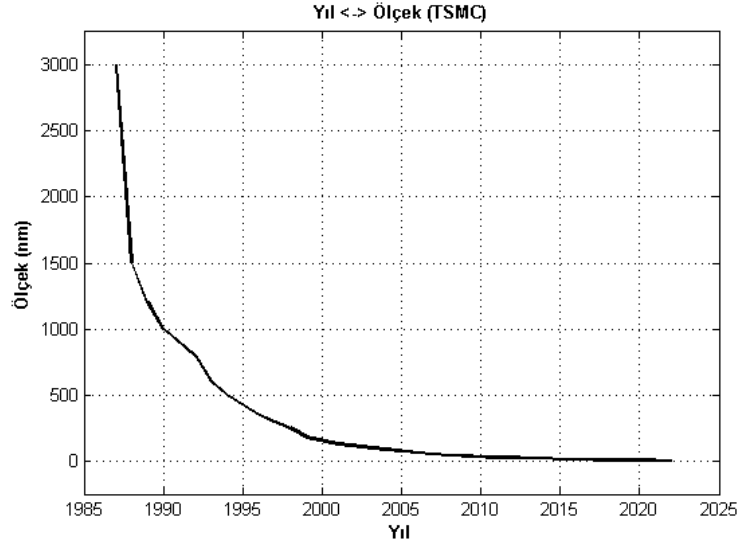
Lojik tasarımlardaki transistörlerin ayrı bir görevi yoksa anahtarlama yaparak çalışırlar. Anahtarlama bölgesindeki transistör kesimde veya iletimdedir. Transistörün kesimde veya iletimde çalışması eşik gerilimi (threshold voltage) ile doğrudan ilgilidir. Bu nedenle lojik tasarım gerçekleştirilirken tüm transistörlerin uygun şekilde kesime veya iletime geçme koşullarının sağlanması amacıyla eşik gerilimi dikkate alınmalıdır.

2.2.4. Transistör ölçekleme

Elektronik devrelerdeki tasarım boyutlarının küçülmesi teknolojik gelişimin önemli gerekliliklerinden biridir. Transistör ölçeği, transistörün kanal bölgesinin genişliğinin ve uzunluğunun mümkün olan en küçük miktarını belirtir. Transistör ölçekleme, geçmişte mikrometre teknolojisi olarak ve günümüzde nanometre teknolojisi olarak ifade edilmektedir. Transistör ölçeği küçüldükçe üretim zorlukları ve sınırlamalar artmaktadır. Buna rağmen günümüzde tek basamaklı nanometre ölçeklerinde yarıiletkenler kullanıma sunulmuştur ve 1nm ölçek sınırına ulaşmaya çalışılmaktadır. 1nm ölçek sınırında üretim gerçekleşirse nanometre teknolojisinin de sonuna gelinmiş olacaktır. TSMC ölçeklemeye göre yarıiletken üretim yapan dünyanın önde gelen firmalarından biridir. Bu firmanın yıllara göre üretime sunduğu ölçekler Tablo 2.1'de verilmiştir [49]. Tablodaki değerlerin grafiksel gösterimi Şekil 2.2'deki gibi çizdirilmiştir.

Tablo 2.1. TSMC firmasının yıllara göre ölçek gelişimi

Yıl	1987	1988	1989	1990	1992	1993	1994	1996
Ölçek (nm)	3000	1500	1200	1000	800	600	500	350
Yıl	1997	1998	1999	2001	2004	2006	2008	2011
Ölçek (nm)	300	250	180	130	90	65	40	28
Yıl	2011	2014	2015	2015	2016	2018	2020	2022
Ölçek (nm)	22	20	16	12	10	7	5	3



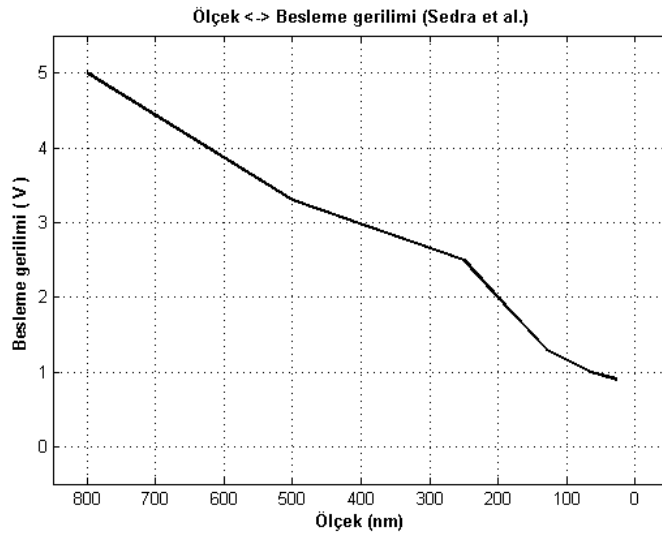
Şekil 2.2. TSMC firmasının yıllara göre ölçek gelişimi

2.2.5. Besleme gerilimi ve transistör ölçekleme

Transistör ölçeğinin küçülmesiyle besleme gerilimi de düşürülmelidir. Sedra et al. tarafından transistör ölçeğine göre besleme gerilimi Tablo 2.2'deki gibi önerilmektedir [1]. Tablodaki değerlerin grafiksel gösterimi Şekil 2.3'teki gibi çizdirilmiştir.

Tablo 2.2. Ölçek ve besleme gerilimi arasındaki ilişki

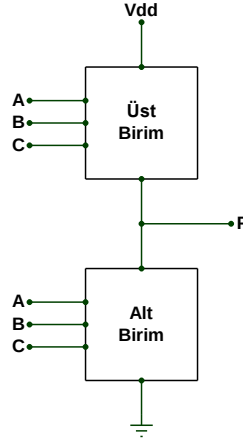
Ölçek (nm)	800	500	250	180	130	65	28
V_{DD} (V)	5.0	3.3	2.5	1.8	1.3	1.0	0.9



Şekil 2.3. Önerilen ölçek ve besleme gerilimi ilişkisi (Sedra et al.)

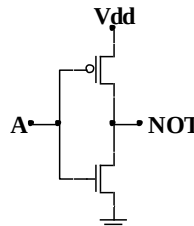
2.3. CMOS Lojik Kapıları

Şekil 2.4'te CMOS lojik blok şeması gösterilmektedir. Üst birim ve alt birim sırasıyla p-kanal ve n-kanal MOS transistörlerden oluşmaktadır. p-kanal ve n-kanal transistörlerin sayısı birbirine eşittir.



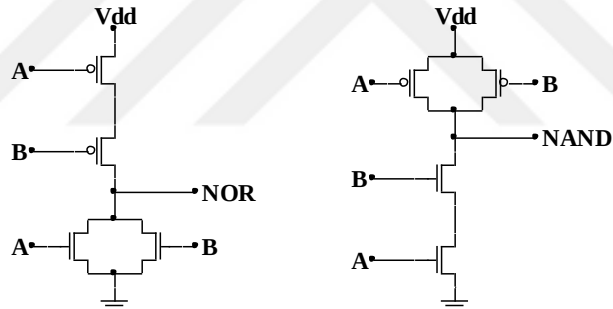
Şekil 2.4. CMOS lojik blok şeması

Şekil 2.5'te CMOS lojik NOT kapısı gösterilmektedir. Üst ve alt birimde birer tane transistör bulunmak üzere toplam transistör sayısı 2 tanedir. Giriş gerilimi lojik 0 olduğunda p-kanal transistör iletimde ve n-kanal transistör kesimdedir. Böylece çıkışa lojik 1'e eşit olan besleme gerilimi aktarılır. Benzer şekilde giriş gerilimi lojik 1 olduğunda p-kanal transistör kesimde ve n-kanal transistör iletimdedir. Böylece çıkışa lojik 0'a eşit olan toprak gerilimi aktarılır. Sonuç olarak NOT kapısı girişi lojik olarak evirerek çıkışa aktarır. NOT kapısına aynı zamanda evirici (inverter) denmesinin nedeni de bu şekilde açıklanabilir.



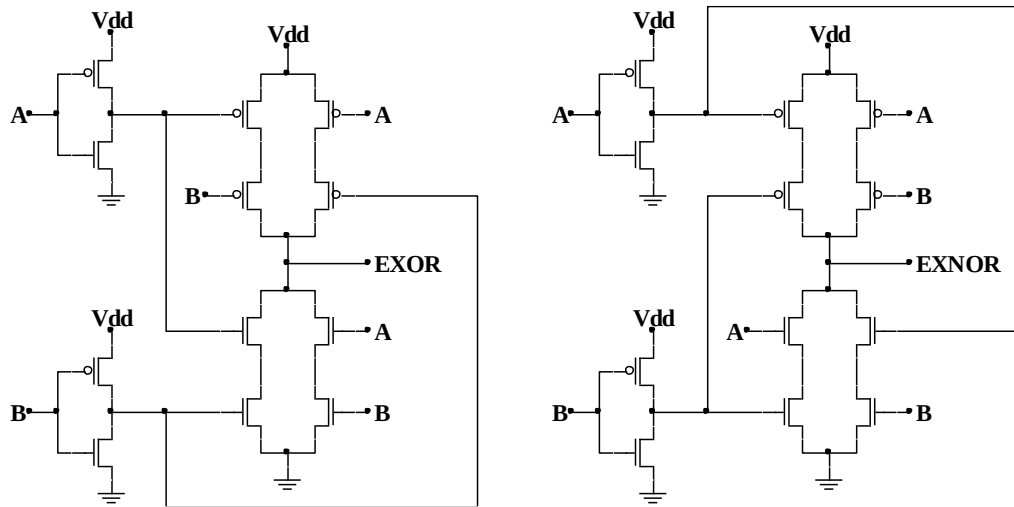
Şekil 2.5. CMOS lojik NOT kapısı

Şekil 2.6'da CMOS lojik NOR ve NAND kapıları gösterilmektedir. Üst ve alt birimde ikişer tane olmak üzere herbiri toplam 4 transistör içermektedir. Girişler aynı olduğunda, NOT kapısına benzer şekilde lojik 00 girişi için p-kanal transistörler iletime geçerek çıkışa lojik 1 gerilimi aktarılmış olur ve benzer şekilde lojik 11 girişi için n-kanal transistörler iletime geçerek lojik 0 gerilimi çıkışa aktarılmış olur. Lojik fonksiyonlara göre NOR ve NAND kapıları lojik 00 girişi için lojik 1 ve lojik 11 girişi için lojik 0 çıkışı üretir. Girişler farklı olduğunda NOR ve NAND birbirinden farklı çıkışlar üretir. NOR kapısında lojik 01/10 girişi için paralel n-kanal transistörlerden biri iletimde olacağı için toprak gerilimi çıkışa aktarılır ve çıkış lojik 0 olur. Diğer yandan NAND kapısında lojik 01/10 girişi için p-kanal transistörlerden biri iletimde olacağı için besleme gerilimi çıkışa aktarılır ve çıkış lojik 1 olur. Sonuç olarak CMOS lojik NOR ve NAND kapıları fonksiyonlarına uygun lojik işaretleri çıkışlarında üretmiş olur.



Şekil 2.6. CMOS lojik NOR ve NAND kapıları

Şekil 2.7'de CMOS lojik EXOR ve EXNOR lojik kapıları gösterilmektedir. Herbiri altışar tane p-kanal ve altışar tane n-kanal olmak üzere 12'şer tane transistör içerirler. Bu lojik kapılar da NOT-NOR-NAND kapılarındaki yöntemle çalışarak çıkışlarında uygun işaretleri üretirler.



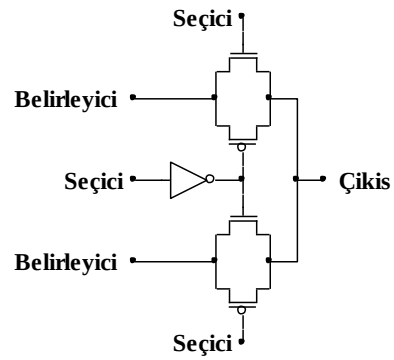
Şekil 2.7. CMOS lojik EXOR ve EXNOR kapıları

Elde edilen CMOS temel lojik kapıları NOT-NOR-NAND-EXOR-EXNOR şeklindedir. Geriye kalan BUF-OR-AND lojik kapıları CMOS lojikte direk olarak elde edilememektedir. Elde edilemeyen lojik kapılara ihtiyaç olması durumunda sırasıyla NOT-NOR-NAND lojik kapılarının çıkışına seri olarak NOT eklenmesi yöntemi kullanılabilir.

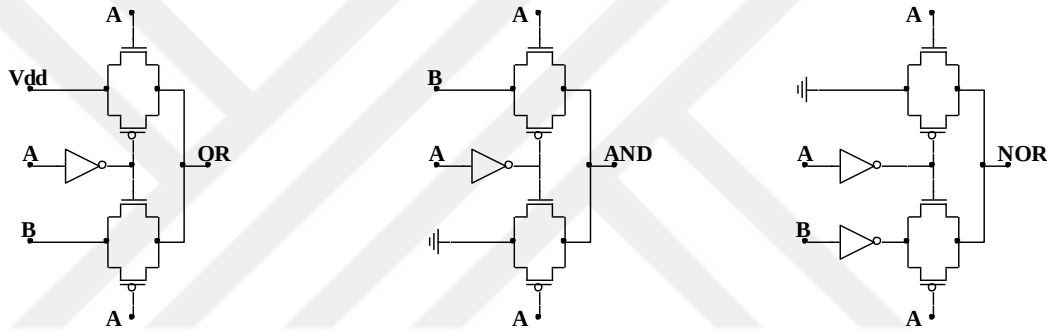
2.4. PT Lojik Kapıları

Şekil 2.8'de PT lojik şeması gösterilmektedir. Bu devredeki seçici ve belirleyici bağlantılarına uygun lojik gerilimler uygulandığında temel lojik kapılardan altı tanesi OR-AND-NOR-NAND-EXOR-EXNOR olarak elde edilebilmektedir. İki girişli durumda seçicilerin üçüne birden aynı işaret uygulanır. Bu işaret girişlerden bir tanesi olmalıdır. Diğer yandan iki belirleyiciye farklı işaretler uygulanmalıdır. İki belirleyiciye uygulanan lojik işaretler elde edilecek lojik kapıyı belirler. Ancak kural olarak belirleyicilerden birine diğer giriş işareti uygulanırken diğerine besleme veya toprak gerilime uygulanmalıdır.

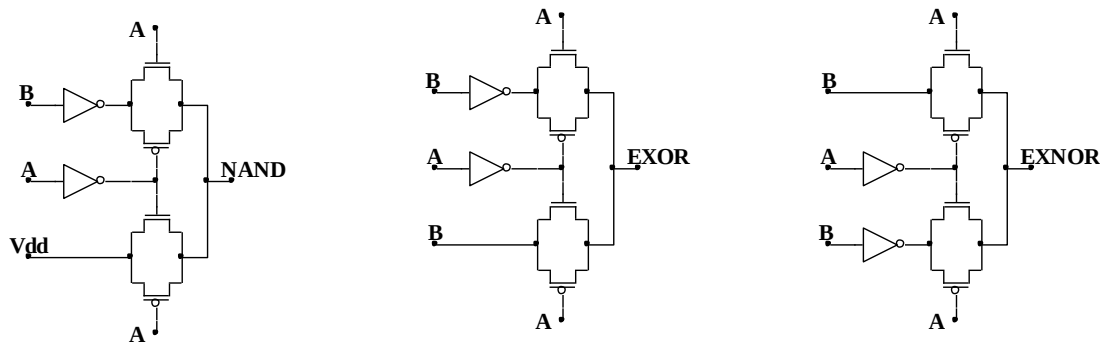
Şekil 2.9 ve Şekil 2.10'da sırasıyla PT lojik blok şemasına uygun şekilde elde edilen OR-AND-NOR ve NAND-EXOR-EXNOR lojik kapıları sırasıyla gösterilmektedir. Tüm lojik kapılarda seçici girişler aynıken belirleyici girişlere elde edilecek lojik kapıya göre diğer giriş işareti ile toprak veya besleme gerilimi uygulanmıştır. Ek olarak, iki girişli durumdaki A ve B işaretlerinin birbiri ile yer değiştirmesi de mümkündür.



Şekil 2.8. PT lojik blok şeması



Şekil 2.9. PT lojik OR-AND-NOR kapıları



Şekil 2.10. PT lojik NAND-EXOR-EXNOR kapıları

BÖLÜM 3

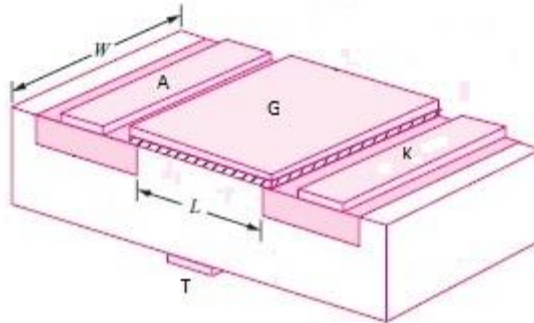
CMOS/PT LOJİK KAPILARIN ÇEŞİTLİ TRANSİSTÖRLER KULLANARAK GERÇEKLEŞTİRİLMESİ

Günümüzde lojik tasarımlarda kullanılan en yaygın transistör çeşidi MOS transistörlerdir. Ancak günümüzde MOS transistör teknolojisi nanometre teknolojisinin de sonuna gelinmesiyle doyuma yaklaşmaktadır. Bu durum geçmişte tahmin edildiğinden alternatif transistör teknolojileri ile ilgili çalışmalar birkaç on yıl öncesinden başlamıştır. DTMOS (Dynamic Threshold-voltage Metal Oxide Semiconductor), CNTFET (Carbon Nano Tube Field Effect Transistor) ve GNRFET (Graphene Nano Ribbon Field Effect Transistor) alternatif transistör teknolojileri içerisinde yer almaktadır. Bu bölümde önce MOS, DTMOS, CNTFET ve GNRFET transistörler tanıtılmakta ardından CMOS ve PT lojik kapıları bahsi geçen dört farklı transistör teknolojisi ile ayrı ayrı gerçekleştirilmekte ve karşılaştırması yapılmaktadır.

3.1. MOS Transistör

MOS transistör günümüzde en yaygın kullanılan transistör çeşididir. Bipolar transistörlerden sonra üretim süreçlerine girmesine rağmen önemli ölçüde bipolar transistör teknolojisinin yerini almıştır. MOS transistörün bipolar transistöre göre birçok avantajı bulunmaktadır. Bu avantajların en önemlilerinden birisi lojik kapılardaki güç tüketiminin oldukça düşük olmasıdır. Düşük güç tüketimi iki şekilde açıklanabilir. Birincisi MOS transistörlü lojik kapılarda direnç kullanmaya (yük direnci hariç) ihtiyaç yoktur. Böylece ekstra güç tüketimi olmaması sayesinde güç tüketimi oldukça düşmektedir. İkincisi MOS transistörün giriş direncinin oldukça yüksek olmasıdır. MOS transistörlü lojik kapılarda esasen güç tüketimi sıfır olmalıdır. Gerçekleşen düşük güç tüketimi transistörlerin tam olarak ideal olmayan özelliklerinden kaynaklanır. MOS transistörün diğer avantajları yapısal olarak daha küçük olması, ısı kararlılığının daha

iyi olması ve yayınıma (radyasyon) karşı daha duyarsız olmasıdır. Şekil 3.1'de MOS transistörün yapısal görüntüsü verilmiştir.



(A: Akıtcı, G: Geçit, K: Kaynak, T: Taban)

Şekil 3.1. MOS transistör yapısı

MOS transistör bipolar transistörün aksine gerilim kontrollü olarak çalışır. Transistörün geçit ucuna transistörü ilettime geçirecek eşik değerinden yüksek uygun bir kontrol gerilimi uygulanması ile akıtcı ve kaynak ucu arasında akım akışı gerçekleşir. Akımın aktığı bölge transistörün kanal bölgesidir. Transistörün kanal bölgesinin W, genişliğini ve L, uzunluğunu ifade eder. Transistörün tanımlamasında kullanılan önemli parametreler aşağıdaki gibidir:

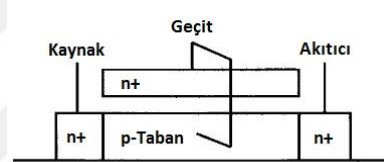
- W_n : n-MOS'un kanal bölgesinin genişliği
- W_p : p-MOS'un kanal bölgesinin genişliği
- L_n : n-MOS'un kanal bölgesinin uzunluğu
- L_p : p-MOS'un kanal bölgesinin uzunluğu
- n : n-MOS'un kanal oranı, W_n/L_n
- p : p-MOS'un kanal oranı, W_p/L_p

3.2. DTMOS Transistör

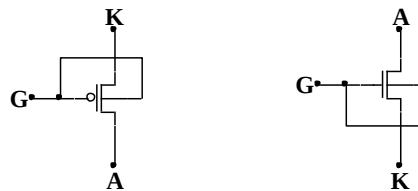
Düşük gerilimli ve düşük güçlü uygulamalar için en temel yöntemlerden bir tanesi besleme geriliminin azaltılmasıdır. Ancak besleme geriliminin azaltılması transistörün eşik

(threshold) gerilimi ile sınırlıdır. Transistörlerin anahtarlama özelliklerinin düzgün çalışması için besleme gerilimi eşik gerilimin en az üç katı olmalıdır. İstisna durumlarda bu oran iki kata kadar zorlanabilir.

MOS transistör taban ucu genellikle üretim esnasında transistörün içinden kaynak ucuna bağlanır. Bu durumda taban etkisi oluşmaz ve transistörün eşik gerilimi sabittir. Transistörün taban ucunun kaynak ucundan farklı bir noktaya bağlanması durumunda transistörün eşik gerilimi dinamik değişken haline gelir ve bu yöntem DT MOS tekniği denir. DT MOS tekniğinin kullanılmasıyla taban ucunun geçit ucuna bağlanması durumundaki oluşan transistör DT MOS transistör adını alır. Şekil 3.2 ve Şekil 3.3'te sırasıyla DT MOS transistörün üretilişi ve sembolleri gösterilmektedir.



Şekil 3.2. DT MOS'un üretilişi



Şekil 3.3. Sırasıyla p-kanal ve n-kanal DT MOS sembolleri

DT MOS tekniğinin kullanıldığı durumda transistörün eşik gerilimi Denklem 3.1 ile tanımlanmaktadır.

$$V_t = V_{t0} + \gamma [\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}] \quad (3.1)$$

(V_{t0} : $V_{SB} = 0$ için eşik gerilimi, ϕ_f : fiziksel parametre, γ : üretim parametresi)

Bir lojik kapıda alan etkili transistör yerine DT MOS transistör kullanılması durumunda, DT MOS transistör kesimdeyken eşik gerilimi artar ve böylece kesimdeki transistörün sızıntı akımları azalır. Diğer yandan DT MOS transistör iletimdeyken eşik gerilimi azalır ve bu sayede transistör daha iletken hale gelerek akım akışına daha az direnç gösterir.

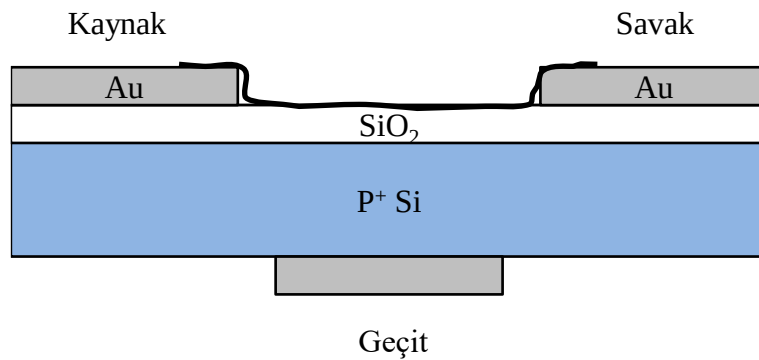
Bu iki durum birlikte düşünülürse DTMOS transistör kapalı durumda daha kapalı ve açık durumda daha açık hale gelir. Sonuç olarak DTMOS transistörlü lojik tasarımda güç tüketimi azalır.

DTMOS tekniğinin kullanıldığı durumda transistörün kaynak ve taban ucu arasında kaçak diyot eklemi oluşur. Bu nedenle DTMOS transistör yapısı diyot geriliminden düşük gerilimlerde ($<0.6V$) çalışma aralığına sahiptir. Diğer bir deyişle bir lojik tasarımda DTMOS transistör kullanılması durumunda besleme gerilimi diyot geriliminden düşük olmalıdır. Yapılan araştırmalar besleme geriliminin $0.4V$ olmasının uygun olduğunu göstermektedir.

3.3. CNTFET

Geleneksel MOS transistör kullanmanın sağladığı avantajların yanı sıra elektronik tasarımlarda CNTFET teknolojisinin kullanımı son yıllarda yeni bir yöntemdir. MOS transistörün ölçek limitleri ve kısa kanal etkisine karşın CNTFET'in nano boyutlu olması, balistik taşıma özelliği, yüksek akım taşıma kapasitesi ve yüksek kararlılığı CNTFET teknolojisini önemli bir alternatif yapmaktadır.

İlk CNTFET 1990'lı yılların sonlarına doğru sunulmuştur. Bu CNTFET'ler, lazer ablasyonu ile sentezlenmiş tek katmanlı karbon nano tüp yapılarının altın veya platin elektrotlar ile ön desenlemesi yapılmış Si levhalarına eklenmesiyle üretilen basit yapıli elemanlardır. Buradaki elektrotlar transistörün nano kanal ile birbirine bağlanmış kaynak ve akıtcı terminallerini ve katkıli Si tabanı ise geçit terminalini oluşturmaktadır. Şekil 3.4'te ilk CNTFET yapısı gösterilmektedir.



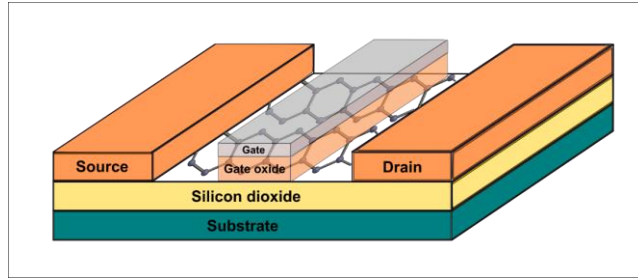
Şekil 3.4. İlk CNTFET yapısı

İlk CNTFET sonuçları, bu elemanın yapısında ve üretim yönteminin iyileştirilmesinde çalışmaların devam etmesini sağlamıştır. Nano tüp yapısını kaynak ve akıtcı elektrotları üzerine eklemek yerine zayıf van der Waals kuvvetini bu elektrotlar arasındaki bağlantı için kullanmak için elektrotlar önceden ortaya konan karbon nano tüp yapılarının üzerinde modellenenbilir. Au, Ti ve CO kullanmaya ek olarak metal nano tüp bağlantısını iyileştirmek için termal bir sertleştirme yapılabilir. Tüm ilk yapı CNTFET'ler, iletim olarak boşlukların kullanıldığı p-tipi yapısındadır. Elektronların iletim için kullanıldığı n-tipi yapısındaki CNTFET'ler ise alkali gaz katkılanması ve vakum üzerinde termal sertleştirme yaparak elde edilmiştir. Hem p-tipi hem n-tipi CNTFET üretimi, ilk karbon nano tüp yapı CMOS devrelerine imkan sağlamıştır. CNTFET'ler kanal olarak yarı iletim yapan karbon nano tüp yapısını kullanır. Hem p-tipi hem n-tipi elemanlar karbon nano tüp yapılarından elde edilebilir. CNTFET'lerin fiziksel yapısının MOS transistörün fiziksel yapısına oldukça benzer olmasına ek olarak akım-gerilim ve transfer özellikleri açısından nano elektronik kapsamında MOS transistörlerin yerini almakta oldukça ümit vadedicidir.

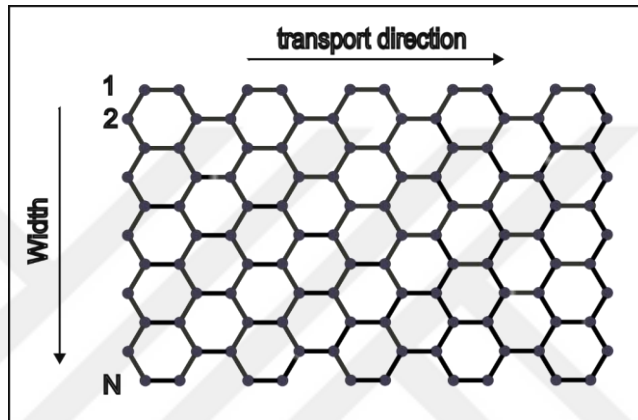
3.4. GNRFET

GNRFET silikon temelli devre tasarımlarının yerini almak için ümit vadetmektedir ve kendine özgü özelliklerini grafen nano şeritlerden almaktadır. Grafen tek katman karbon atomlarından oluşur ve altıgen kafes şekline sahiptir. Bu sayede GNRFET'de yüksek taşıyıcı ve elektron mobilitesi ve yüksek mekanik esneklik sağlanır.

Şekil 3.5'te GNRFET yapısı gösterilmektedir. Transistörün kanal bölgesinde uygulanan grafen yapısının gösterimi Şekil 3.6'daki gibidir. GNRFET'lerin önemli avantajlarından biri atomik boyutlara küçültme potansiyelleridir. Grafen şeritlerin nano boyutlu genişliği, nano ölçekte cihaz boyutları üzerinde hassas kontrol sağlayarak son derece küçük geçit genişliği ve uzunluk boyutlarına sahip transistörlerin üretilmesine olanak tanır. Bu ölçeklenebilirlik, yüksek performansa ve azaltılmış enerji tüketimine sahip ultra büyük ölçekli entegre devreler için yeni olanakların önünü açmaktadır.



Şekil 3.5. GNRFET yapısı



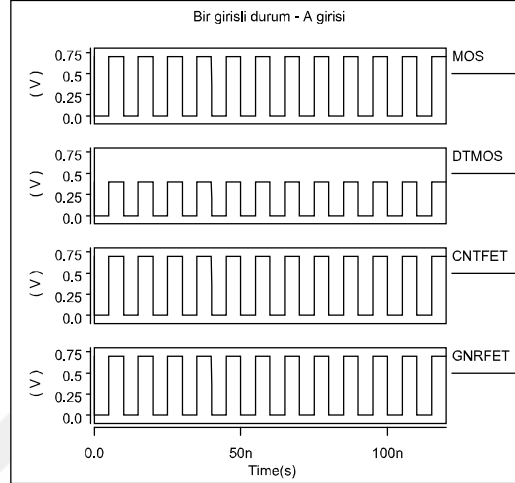
Şekil 3.6. GNRFET'in kanal bölgesindeki grafen yapısının gösterimi

3.5. CMOS ve PT Lojik Kapılarının Simülasyon Ayarları

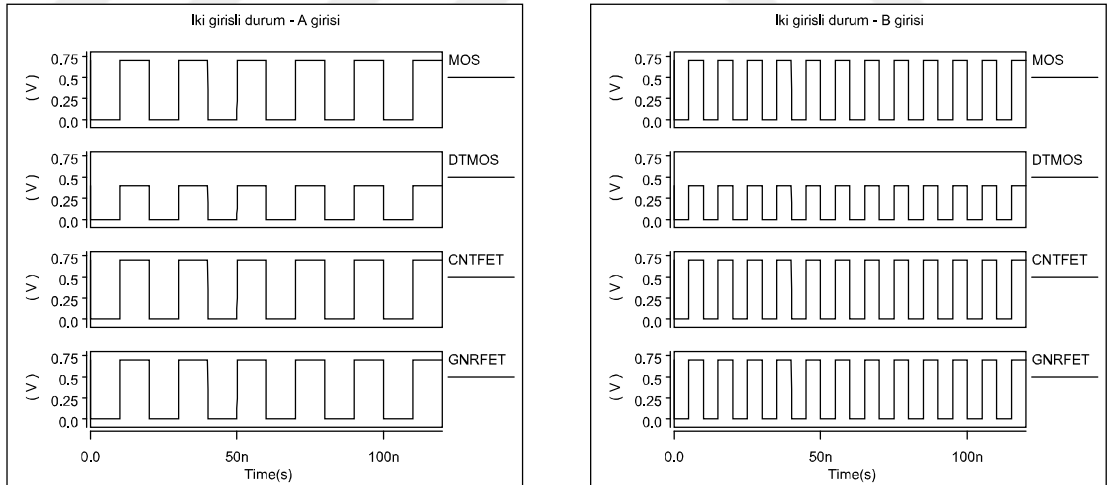
CMOS ve PT lojik kapı gerçekleştirilirken lojik tasarım parametreleri bölümünde açıklanan nedenlerle giriş işareti bir girişli durumda giriş işareti 100MHz, iki girişli durumda giriş işaretleri sırasıyla 100MHz ve 50MHz olarak uygulanmaktadır. Giriş işaretlerinin 120ns uygulanması durumunda lojik kapılar bir girişli durumda 12 periyot ve iki girişli durumda 6 periyot boyunca çalıştırılmaktadır.

MOS transistörlü lojik kapılarda transistör için PTM 7nm transistör modeli kullanılmaktadır. Bu modelin önerdiği besleme gerilimi 0.7V'tur. Bu nedenle bu lojik kapılarda besleme gerilimi 0.7V olarak uygulanmaktadır. DTMOS transistörlü lojik kapılarda da aynı transistör modeli kullanılmaktadır. Ancak transistörlerin taban uçları kaynak uçları yerine geçit uçlarına bağlanmaktadır. Bu nedenle besleme geriliminin diyot geriliminin altında olması gerekir. Bu lojik kapılardaki besleme gerilimi 0.4V olarak seçilmiştir. CNTFET'li ve GNRFET'li lojik kapılarda MOS transistörlü lojik kapılara benzer olması için besleme gerilimi 0.7V olarak uygulanmaktadır. Giriş

işaretleri bir girişli ve iki girişli durumda lojik kapıda kullanılan transistör çeşidine göre Şekil 3.7 ve Şekil 3.8'de gösterildiği gibidir.



Şekil 3.7. Bir girişli durumda lojik kapıların girişine uygulanan işaretler



Şekil 3.8. İki girişli durumda lojik kapıların girişine uygulanan işaretler

MOS transistörlerde PTM 7nm transistör modeline uygun şekilde transistör kanal uzunlukları 7nm'dir. Denklem 3.2 ve Denklem 3.3'te sırasıyla n-kanal ve p-kanal transistörlerin geçiş iletkenlikleri verilmiştir. Denklemlere göre MOS transistörün geçiş iletkenliği kanal genişliği ile doğru orantılıdır. p-kanal transistörün n-kanal transistöre

göre geniş iletkenliğinin daha düşük olması nedeniyle transistör kanal genişlikleri p-kanal MOS için 14nm ve n-kanal MOS için 7nm olarak uygulanmaktadır.

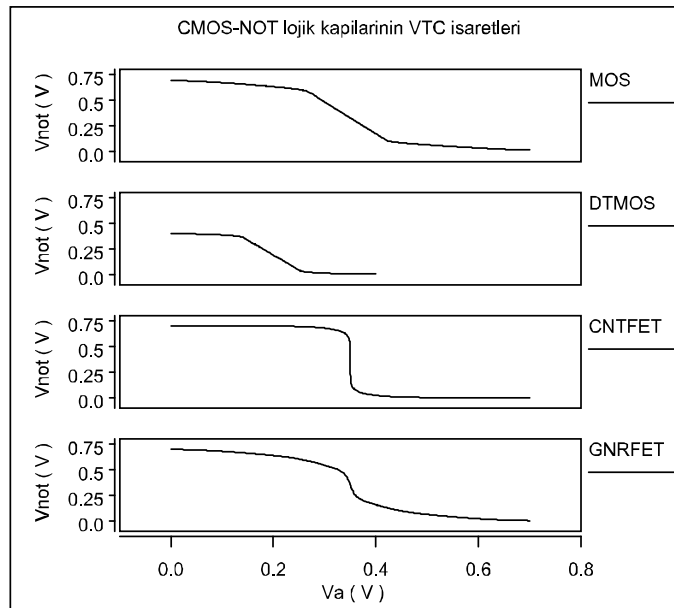
$$r_{DSN} = 1 / [\mu_n C_{ox} (\frac{W}{L}) (V_{GS} - V_{tn})] \quad (3.2)$$

$$r_{DSP} = 1 / [\mu_p C_{ox} (\frac{W}{L}) (V_{SG} - |V_{tp}|)] \quad (3.3)$$

DTMOS transistörlü durumda benzer şekilde transistör kanal uzunlukları ve kanal genişlikleri uygulanmaktadır. Diğer yandan p-kanal ve n-kanal CNTFET'in ve GNRFET'in geçiş iletkenlikleri birbiriyle aynı olması nedeniyle tüm kanal uzunlukları ve kanal genişlikleri 7nm olarak uygulanmaktadır.

3.6. CMOS ve PT Lojik Kapılarının Grafik Simülasyon Sonuçları

Şekil 3.9'da CMOS-NOT lojik kapılarının VTC (Voltage Transfer Characteristic) grafikleri verilmiştir. MOS transistörlü, DTMOS transistörlü, CNTFET'li ve GNRFET'li durumlarda besleme geriliminin yarısında giriş ve çıkış işaretleri birbirine oldukça yakındır. Grafik simülasyon ayarlarının uygun olduğunu ve CMOS-NOT lojik kapılarının uygun şekilde çıkış ürettiğini göstermektedir.

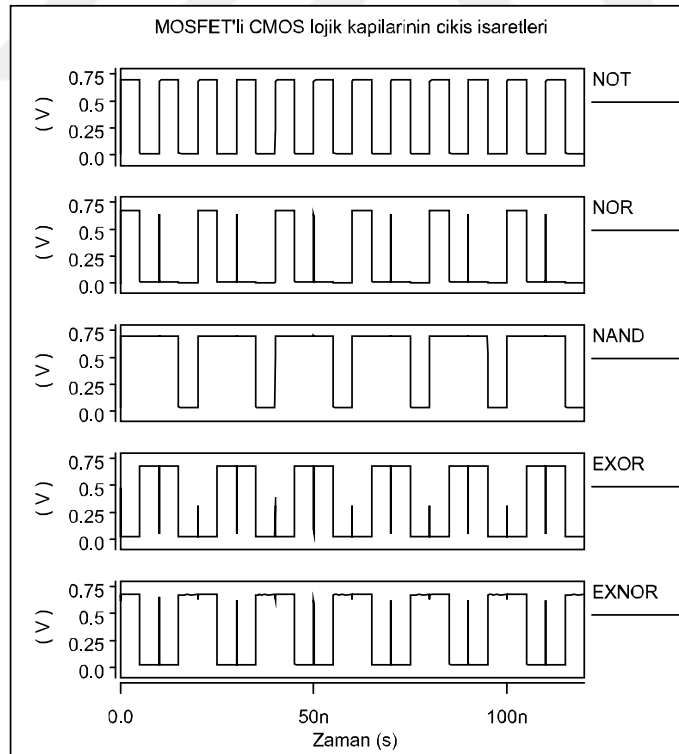


Şekil 3.9. CMOS-NOT lojik kapılarının VTC işaretleri

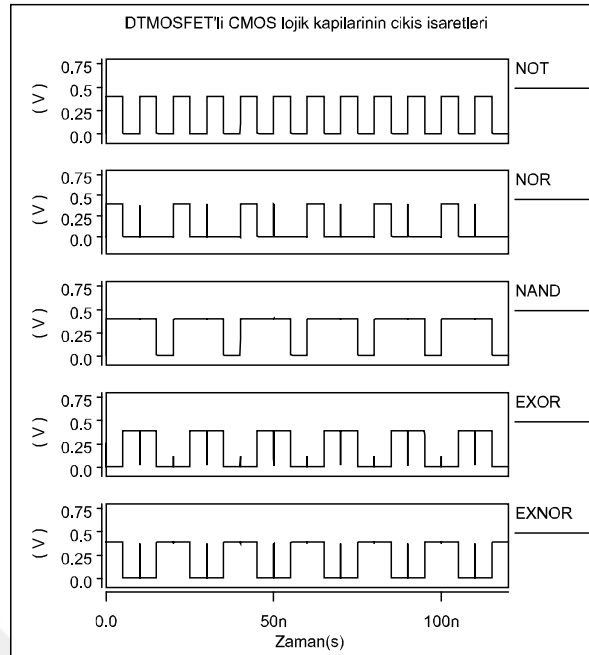
Şekil 3.10 - Şekil 3.17'de MOS, DTMOS, CNTFET ve GNRFET'li CMOS ve PT lojik kapıların çıkış işaretleri gösterilmektedir. Tüm çıkış işaretleri incelendiğinde her dört transistör kullanımında da her iki lojik kapı çeşidinin tamamı uygun ve kabul edilir çıkış işaretlerini üretmektedir.

Şekillerdeki çıkış işaretleri detaylı incelendiğinde bazı lojik geçiş noktalarında parazitler meydana gelmektedir. Bu parazitler transistör modellerinin kapasitif tanımlamalarından kaynaklanmaktadır. Ayrıca bu parazitler transistör modellerinin gerçeğe yakın sonuçlar verdiğini göstermektedir.

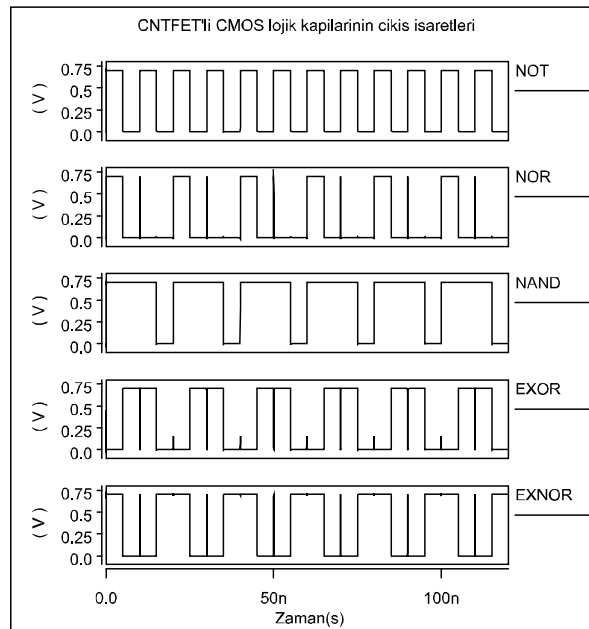
Çıkış işaretlerinin gösterdiği bir diğer sonuç CMOS lojik kapılarının PT lojik kapılarına göre daha uygun seviyelerde çıkış işaretleri üretmesidir. Bundan dolayı CMOS lojik kapıları PT lojik kapılarına göre daha yaygın olarak kullanılmaktadır. PT lojik kapılarının lojik 1 seviyelerinde bir miktar zayıflamalar meydana gelmektedir. Bu zayıflama miktarı GNRFET'li lojik kapılarda bir miktar daha fazladır.



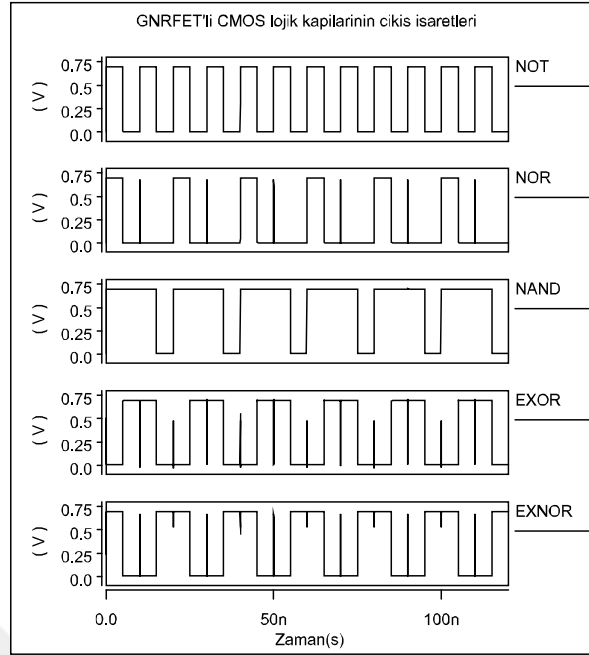
Şekil 3.10. MOS transistörlerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri



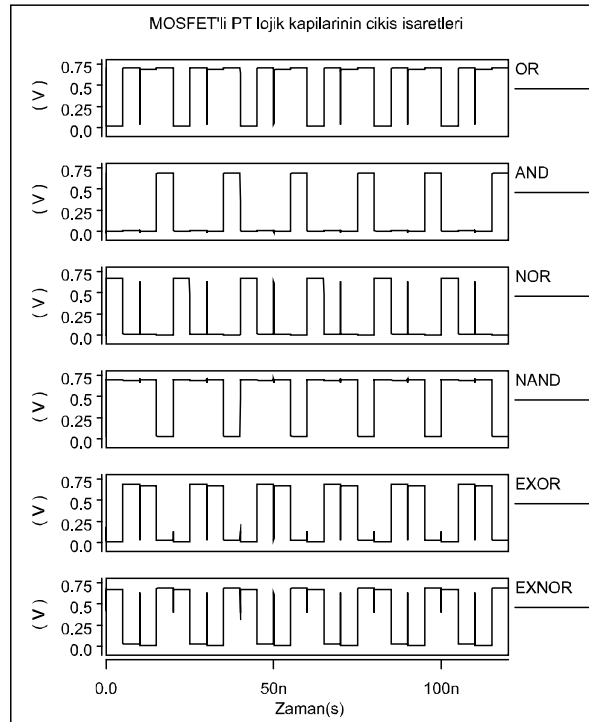
Şekil 3.11. DTMOS transistörlerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri



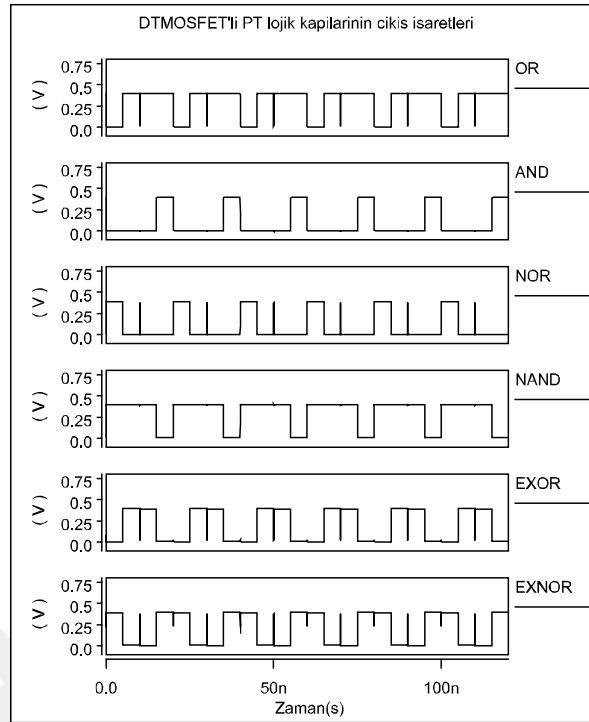
Şekil 3.12. CNTFET'lerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri



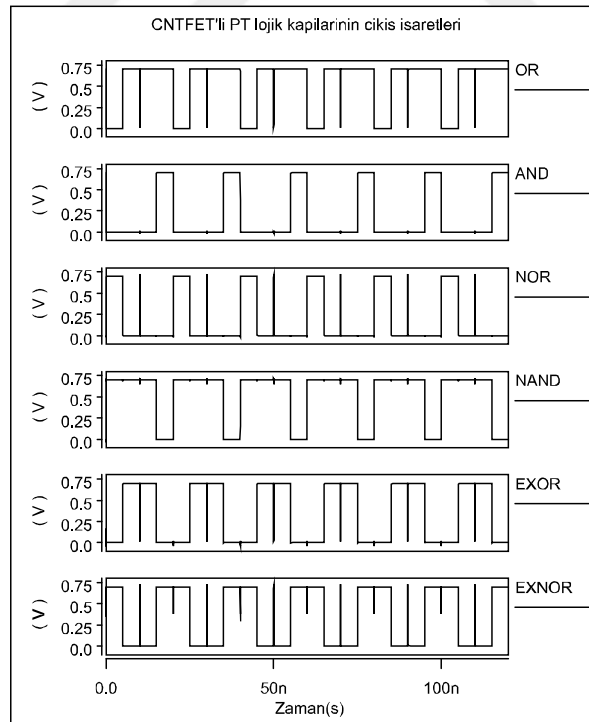
Şekil 3.13. GNRFET'lerin kullanıldığı CMOS lojik kapılarının çıkış işaretleri



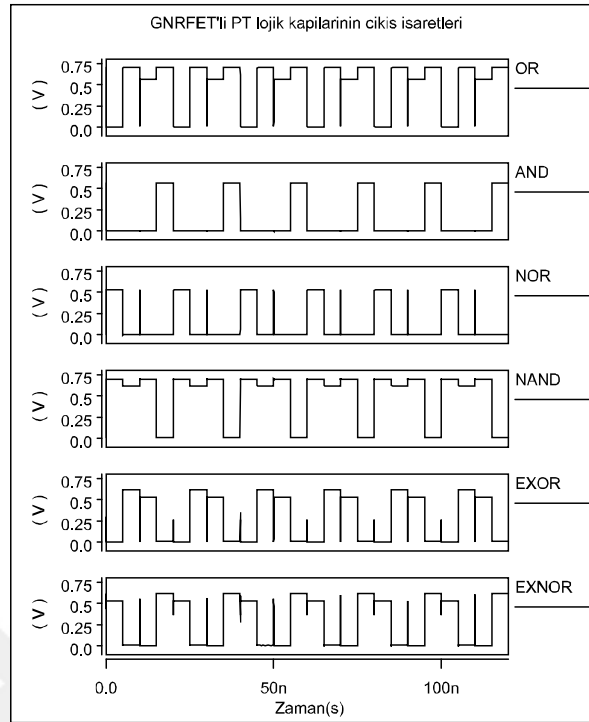
Şekil 3.14. MOS transistörlerin kullanıldığı PT lojik kapılarının çıkış işaretleri



Şekil 3.15. DTMOS transistörlerin kullanıldığı PT lojik kapılarının çıkış işaretleri



Şekil 3.16. CNTFET'lerin kullanıldığı PT lojik kapılarının çıkış işaretleri



Şekil 3.17. GNRFET'lerin kullanıldığı PT lojik kapılarının çıkış işaretleri

3.7. CMOS ve PT Lojik Kapılarının Nümerik Simülasyon Sonuçları

Tablo 3.1 ve Tablo 3.2'de sırasıyla CMOS ve PT lojik kapılarının çıkış işaretlerinin lojik gerilim değerleri verilmiştir. CMOS lojik kapıları PT lojik kapılarına göre istenen değerlere daha yakın sonuçlar vermektedir. CNTFET'li lojik kapılar en uygun lojik gerilim değerlerini verirken, DTMOS'lu ve GNRFET'li lojik kapılar birbirine yakın sonuçlar vermesinin yanı sıra MOS'lu lojik kapılara göre daha uygun sonuçlar vermektedir. Sadece GNRFET'li PT lojik kapılarda bazı çıkış gerilimleri kabul edilir seviyede olmasına rağmen bir miktar düşük sonuçlar vermektedir.

Tablo 3.3 ve Tablo 3.4'te sırasıyla CMOS ve PT lojik kapılarının güç tüketimi değerleri verilmiştir. CNTFET'li lojik kapılar en küçük güç tüketimi değerlerini ve DTMOS'lu lojik kapılar ikinci düşük güç tüketimi değerlerini sağlamaktadır. GNRFET'li lojik kapılar da bir miktar daha yüksek olmakla birlikte uygun güç tüketimi değerleri vermektedir. En yüksek güç tüketimi MOS'lu lojik kapılarda gerçekleşmektedir. Sadece GNRFET'li PT lojik kapılarda çıkış geriliminin bir miktar düşük olduğu lojik durumlarda güç tüketimi de bir miktar yüksek olmaktadır.

Tablo 3.5 ve Tablo 3.6'da sırasıyla CMOS ve PT lojik kapılarının yayılım gecikmesi değerleri verilmiştir. GNRFET'li lojik kapılar grafen yapısı sayesinde en düşük gecikme değerlerini sağlamaktadır ve en hızlıdır. MOS'lu lojik kapılar GNRFET'li lojik kapılara göre bir miktar yüksek gecikme sonuçları vermektedir. Güç tüketiminin azaltılması için kullanılan yöntemler çoğu durumda yayılım gecikmesini artırması nedeniyle DTMOS'lu durumda gecikme değerleri daha yüksektir. CNTFET modeline ait nanometre ölçeği bir miktar yüksek olduğu için en yüksek gecikme değerleri CNTFET'li durumda alınmaktadır.

Tablo 3.7 ve Tablo 3.8'de sırasıyla CMOS ve PT lojik kapılarının band genişliği değerleri verilmiştir. Band genişliği değerleri incelendiğinde sınırın yaklaşık ve ortalama olarak 45GHz civarında olduğu görülür. Ek olarak GNRFET'li PT lojik kapılarda bazı lojik durumlarda gerilim değeri istenen değerin %90'ının altında kaldığı için band genişliği değerleri ölçülememiştir.

Tablo 3.1. Lojik çıkış gerilimleri (mV) - CMOS

Lojik Kapı	Lojik Giriş	MOS	DTMOS	CNTFET	GNRFET
CMOS-NOT	Lojik 0	692.519	398.011	699.969	698.381
	Lojik 1	9.406	1.849	0.000	1.615
CMOS-NOR	Lojik 00	672.530	392.269	699.965	693.581
	Lojik 01	7.675	1.721	0.008	1.512
	Lojik 10	4.464	1.021	0.001	1.427
	Lojik 11	0.142	0.094	0.003	0.137
CMOS-NAND	Lojik 00	699.824	399.859	700.000	699.863
	Lojik 01	699.379	398.103	699.978	698.478
	Lojik 10	695.705	398.708	699.982	698.572
	Lojik 11	33.356	7.156	0.004	6.397
CMOS-EXOR	Lojik 00	25.506	5.597	0.002	6.186
	Lojik 01	677.940	393.649	699.974	693.982
	Lojik 10	677.118	393.585	699.963	693.962
	Lojik 11	22.865	5.386	0.004	5.862
CMOS-EXNOR	Lojik 00	679.179	393.732	699.963	694.122
	Lojik 01	23.790	5.455	0.010	6.012
	Lojik 10	24.567	5.529	0.006	6.030
	Lojik 11	675.862	393.495	699.957	693.816

Tablo 3.2. Lojik çıkış gerilimleri (mV) - PT

Lojik Kapı	Lojik Giriş	MOS	DTMOS	CNTFET	GNNRFET
PT-OR	Lojik 00	14.689	3.332	0.000	3.136
	Lojik 01	699.997	399.997	699.983	699.998
	Lojik 10	683.209	395.893	699.984	565.122
	Lojik 11	699.993	399.998	699.984	699.995
PT-AND	Lojik 00	0.000	0.000	0.000	0.000
	Lojik 01	14.685	3.334	0.000	3.127
	Lojik 10	0.000	0.000	0.001	0.000
	Lojik 11	683.206	395.893	699.986	565.126
PT-NOR	Lojik 00	667.42	390.432	699.968	530.678
	Lojik 01	9.199	1.795	0.000	1.593
	Lojik 10	11.148	3.024	0.006	2.885
	Lojik 11	0.121	0.028	0.000	0.017
PT-NAND	Lojik 00	699.920	399.973	699.980	699.974
	Lojik 01	686.222	396.164	699.994	619.425
	Lojik 10	692.644	398.052	699.964	698.408
	Lojik 11	32.652	8.032	0.002	7.426
PT-EXOR	Lojik 00	11.129	3.038	0.000	2.877
	Lojik 01	686.227	396.159	699.993	619.419
	Lojik 10	665.887	390.432	699.968	530.591
	Lojik 11	32.652	8.032	0.003	7.416
PT-EXNOR	Lojik 00	666.412	390.432	699.965	530.675
	Lojik 01	33.384	8.072	0.000	7.465
	Lojik 10	11.152	3.024	0.000	2.885
	Lojik 11	686.398	396.174	699.972	619.416

Tablo 3.3. Güç tüketimi (nW) - CMOS

Lojik Kapı	Lojik Giriş	MOS	DTMOS	CNTFET (pW)	GNERFET
CMOS-NOT	Lojik 0	986.445	136.837	409.836	236.521
	Lojik 1	1514.800	161.342	31.195	226.279
	<i>Ortalama</i>	<i>1250.600</i>	<i>149.089</i>	<i>220.516</i>	<i>231.400</i>
CMOS-NOR	Lojik 00	1760.300	261.843	0.000	464.774
	Lojik 01	1241.400	151.785	161.177	218.754
	Lojik 10	735.312	90.424	34.745	204.019
	Lojik 11	44.564	15.704	16.935	41.222
	<i>Ortalama</i>	<i>945.393</i>	<i>129.939</i>	<i>53.214</i>	<i>232.192</i>
CMOS-NAND	Lojik 00	47.205	18.884	978.667	40.729
	Lojik 01	876.263	131.442	478.249	217.647
	Lojik 10	574.056	89.986	562.882	206.989
	Lojik 11	2602.500	307.788	60.267	475.075
	<i>Ortalama</i>	<i>1025.000</i>	<i>137.025</i>	<i>520.016</i>	<i>235.112</i>
CMOS-EXOR	Lojik 00	3981.400	517.315	0.000	898.564
	Lojik 01	3928.900	515.612	0.000	892.419
	Lojik 10	3978.600	517.983	407.801	887.044
	Lojik 11	4847.700	558.049	143.176	880.945
	<i>Ortalama</i>	<i>4184.200</i>	<i>527.239</i>	<i>137.744</i>	<i>889.743</i>
CMOS-EXNOR	Lojik 00	3324.400	488.328	974.181	923.530
	Lojik 01	4385.600	536.102	110.158	896.735
	Lojik 10	4442.400	539.242	99.540	887.689
	Lojik 11	4583.400	545.267	1154.600	912.593
	<i>Ortalama</i>	<i>4184.000</i>	<i>527.235</i>	<i>584.629</i>	<i>905.137</i>

Tablo 3.4. Güç tüketimi (nW) - PT

Lojik Kapı	Lojik Giriş	MOS	DTMOS	CNTFET (pW)	GNERFET
PT-OR	Lojik 00	3359.300	428.856	51.418	747.455
	Lojik 01	986.468	136.842	534.362	229.871
	Lojik 10	3721.700	447.143	610.645	19527.600
	Lojik 11	1515.400	161.501	556.812	229.845
	<i>Ortalama</i>	<i>2395.700</i>	<i>293.586</i>	<i>438.309</i>	<i>5183.700</i>
PT-AND	Lojik 00	985.990	136.691	26.877	253.535
	Lojik 01	3359.500	428.854	89.919	673.973
	Lojik 10	1515.100	161.352	33.612	228.820
	Lojik 11	3721.600	447.134	558.834	19469.000
	<i>Ortalama</i>	<i>2395.500</i>	<i>293.507</i>	<i>177.310</i>	<i>5156.300</i>
PT-NOR	Lojik 00	3600.500	528.798	876.716	12128.400
	Lojik 01	2501.900	298.077	0.000	472.312
	Lojik 10	4194.500	556.344	316.398	870.304
	Lojik 11	3030.400	322.754	61.079	464.403
	<i>Ortalama</i>	<i>3332.000</i>	<i>426.493</i>	<i>313.548</i>	<i>3483.900</i>
PT-NAND	Lojik 00	1973.000	273.524	491.859	462.168
	Lojik 01	4168.000	558.358	752.359	11628.100
	Lojik 10	2501.700	298.205	563.844	458.457
	Lojik 11	4796.900	586.610	120.434	893.056
	<i>Ortalama</i>	<i>3359.900</i>	<i>429.174</i>	<i>482.124</i>	<i>3360.400</i>
PT-EXOR	Lojik 00	3662.900	532.328	55.354	873.949
	Lojik 01	4168.600	558.242	660.639	11629.100
	Lojik 10	4161.900	554.302	537.775	12144.200
	Lojik 11	4796.700	586.602	120.297	899.938
	<i>Ortalama</i>	<i>4197.500</i>	<i>557.618</i>	<i>343.516</i>	<i>6386.800</i>
PT-EXNOR	Lojik 00	3600.700	528.825	358.996	11659.000
	Lojik 01	4319.600	563.556	0.000	869.972
	Lojik 10	4194.200	556.344	34.967	873.572
	Lojik 11	4681.700	581.914	602.535	11659.000
	<i>Ortalama</i>	<i>4199.000</i>	<i>557.659</i>	<i>249.125</i>	<i>6387.400</i>

Tablo 3.5. Yayılım gecikmesi (ps) - CMOS

Lojik Kapı	Gecikme	MOS	DTMOS	CNTFET	GNERFET
CMOS-NOT	Gecikme 1	0.869	1.597	2.493	0.465
	Gecikme 2	1.436	1.946	2.505	0.546
	<i>Ortalama</i>	<i>1.152</i>	<i>1.772</i>	<i>2.499</i>	<i>0.506</i>
CMOS-NOR	Gecikme 1	-	1.593	2.458	-
	Gecikme 2	3.665	4.067	3.147	2.411
	<i>Ortalama</i>	<i>1.832</i>	<i>2.830</i>	<i>2.802</i>	<i>1.206</i>
CMOS-NAND	Gecikme 1	1.747	2.839	2.991	1.350
	Gecikme 2	-	0.309	-	-
	<i>Ortalama</i>	<i>0.874</i>	<i>1.574</i>	<i>1.496</i>	<i>0.675</i>
CMOS-EXOR	Gecikme 1	3.767	5.550	4.180	2.015
	Gecikme 2	1.006	3.074	2.979	-
	<i>Ortalama</i>	<i>2.386</i>	<i>4.312</i>	<i>3.579</i>	<i>1.008</i>
CMOS-EXNOR	Gecikme 1	1.128	3.089	2.969	-
	Gecikme 2	3.775	5.711	4.189	2.018
	<i>Ortalama</i>	<i>2.450</i>	<i>4.400</i>	<i>3.579</i>	<i>1.009</i>

Tablo 3.6. Yayılım gecikmesi (ps) - PT

Lojik Kapı	Gecikme	MOS	DTMOS	CNTFET	GNERFET
PT-OR	Gecikme 1	0.185	0.359	0.352	0.032
	Gecikme 2	3.112	4.507	2.960	2.207
	<i>Ortalama</i>	<i>1.648</i>	<i>2.433</i>	<i>1.656</i>	<i>1.119</i>
PT-AND	Gecikme 1	0.232	0.460	0.390	0.098
	Gecikme 2	-	0.604	0.402	-
	<i>Ortalama</i>	<i>0.116</i>	<i>0.532</i>	<i>0.396</i>	<i>0.049</i>
PT-NOR	Gecikme 1	1.437	2.876	3.307	0.324
	Gecikme 2	3.699	3.945	3.528	2.024
	<i>Ortalama</i>	<i>2.568</i>	<i>3.411</i>	<i>3.418</i>	<i>1.174</i>
PT-NAND	Gecikme 1	2.210	3.011	3.298	1.049
	Gecikme 2	-	0.539	1.902	-
	<i>Ortalama</i>	<i>1.105</i>	<i>1.775</i>	<i>2.599</i>	<i>0.525</i>
PT-EXOR	Gecikme 1	0.201	0.389	0.376	0.052
	Gecikme 2	2.148	2.979	3.488	0.716
	<i>Ortalama</i>	<i>1.175</i>	<i>1.684</i>	<i>1.932</i>	<i>0.384</i>
PT-EXNOR	Gecikme 1	2.173	2.994	3.499	0.627
	Gecikme 2	0.207	0.425	0.416	0.052
	<i>Ortalama</i>	<i>1.190</i>	<i>1.709</i>	<i>1.958</i>	<i>0.339</i>

Tablo 3.7. Band genişliği (GHz) - CMOS

Lojik Kapı	MOS	DTMOS	CNTFET	GNERFET
CMOS-NOT	41.865	43.832	77.068	43.432
CMOS-NOR	59.703	62.375	66.065	77.879
CMOS-NAND	52.163	41.527	43.615	79.049
CMOS-EXOR	43.710	53.552	58.325	48.501
CMOS-EXNOR	39.664	48.267	60.148	48.529

Tablo 3.8. Band genişliği (GHz) - PT

Lojik Kapı	MOS	DTMOS	CNTFET	GNERFET
PT-OR	41.090	41.514	42.424	-
PT-AND	41.181	41.504	42.448	-
PT-NOR	57.968	59.641	64.168	-
PT-NAND	48.652	41.610	47.296	-
PT-EXOR	41.035	41.294	41.335	-
PT-EXNOR	40.975	41.325	41.398	-

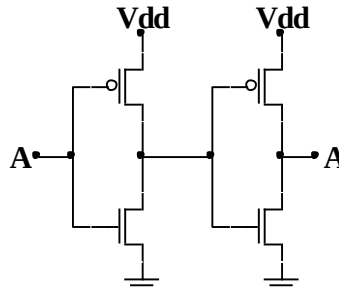
BÖLÜM 4

TEMEL LOJİK DEVRELERİN CMOS KULLANARAK GERÇEKLEŞTİRİLMESİ

Bu bölüme kadarki çalışmalarda tasarımı ve analizi yapılan elektronik devrelere kısaca lojik kapı denilmiştir. Lojik kapılar temel mantıksal işlemleri yerine getirir. Temel lojik kapı işlemlerini gerçekleştiren elektronik devrelere ek olarak çeşitli lojik fonksiyonları yerine getiren dijital devreler de vardır. Bu devreler bu tez çalışmasında lojik devre olarak ifade edilmektedir. Başka bir deyişle lojik devrenin lojik kapıdan farkı daha karmaşık mantıksal işlemleri yerine getirmesidir. Bu amaçla lojik devreler birden fazla lojik kapısı kullanabilir veya temel lojik kapılardakinden daha fazla sayıda transistör içerir. Lojik devrelerin gerçekleştirdiği bazı önemli mantıksal işlemler ilerleyen konularda işlenmektedir. Bu bölümdeki devrelere uygulanan giriş işaretleri, simülasyon ayarları ve transistör modeli bir önceki bölümdeki gibidir.

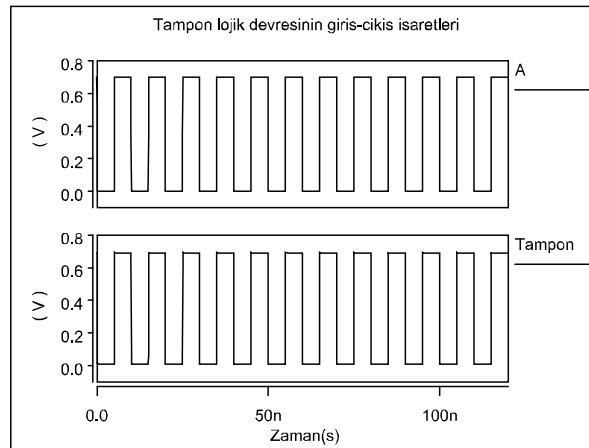
4.1. Tampon Lojik Devresi

Tampon lojik devresi bir lojik giriş işaretini aynı lojik seviyede çıkışa aktarır. Bu nedenle bu lojik devrenin gerçekleştirdiği işlem aslında BUF lojik kapı fonksiyonudur. Ancak Şekil 4.1'de gösterildiği gibi tampon lojik devresini gerçekleştirmenin en genel yöntemi iki tane NOT kapısını seri bağlamaktır. Bu dijital devre temel bir fonksiyonu yerine getirdiği için lojik kapı ancak birden fazla lojik kapı kullandığı için lojik devre olarak ifade edilebilir. Diğer yandan burdaki lojik kapıların kullanmış olduğu p-kanal ve n-kanal transistörlerin birbiriyle özdeş olmak zorunda olmaması nedeniyle bu dijital devreyi lojik devre olarak sınıflandırmak daha uygun olmaktadır.



Şekil 4.1. Tampon lojik devresi

Tampon lojik devresinin giriş ve çıkış işaretlerinin aynı olması nedeniyle bu devrenin ne amaçla kullanılacağı sorusu akla gelebilir. Elektronik devrelerde bir işaretin dalga şekli kadar o işarete bir direnç bağlandığında işarete gerilim düşümü gerçekleşmeden akımın akması önemlidir. Bu nedenle tampon lojik devresi empedans uygunlaştırma işlemlerinde kullanılabilir. Bu devrenin diğer bir önemli kullanım alanı kısmen bozulmuş bir işareti yenilemesidir. Lojik 0 ve lojik 1 seviyelerinde kısmi bozulmalara uğramış bir işaret bu devreye uygulandığında devre işareti yenileyerek çıkışta üretecektir. Şekil 4.2'de tampon lojik devresinin giriş ve çıkış işaretleri gösterilmektedir. Devre giriş işaretini aynı lojik seviyede çıkışa aktarmaktadır.



Şekil 4.2. Tampon lojik devresinin giriş-çıkış işaretleri

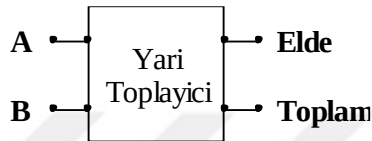
4.2. Yarı Toplayıcı Lojik Devresi

Şekil 4.3'te yarı toplayıcının blok şeması ve Tablo 4.1'de lojik durumları gösterilmektedir. Devrenin giriş ve çıkış ilişkisi Denklem 4.1 ve Denklem 4.2'de verilmiştir.

$$Elde = A.B \quad (4.1)$$

$$Toplam = A \oplus B \quad (4.2)$$

Geleneksel bir yarı toplayıcının iki girişi ve iki çıkışı vardır. Girişlerin toplama işlemi gerçekleştirilerek çıkışa elde ve toplam olarak aktarılır. Bu işlemi yapan lojik devre bir toplama işleminde bir önceki basamaktan gelen elde girişini hesaba katmadığı için yarı toplayıcı olarak ifade edilir.

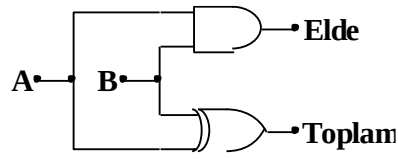


Şekil 4.3. Yarı toplayıcı blok şeması

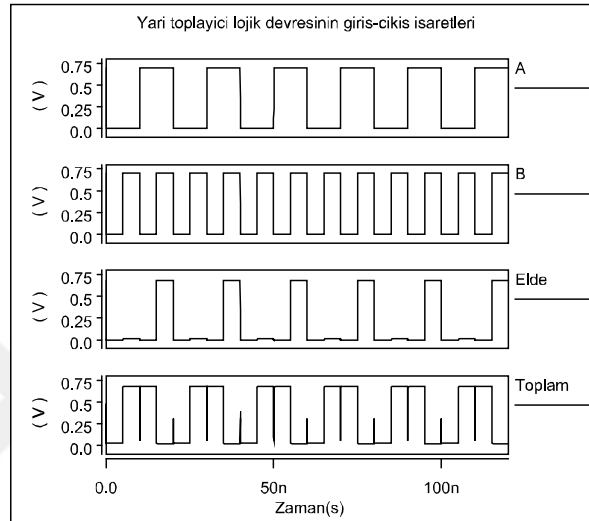
Tablo 4.1. Yarı toplayıcı lojik durumları

A	B	Elde	Toplam
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Şekil 4.4'te lojik kapılarla elde edilen yarı toplayıcı lojik devresi örneği gösterilmektedir. Bu örnek iki tane lojik kapı içermektedir. Simülasyonu gerçekleştirirken elde işlemi için PT-AND kapısı ve toplam işlemi için CMOS-EXOR kapısı kullanılmaktadır. Böylece iki farklı lojik kapı sınıfının bir arada uygulaması yapılmış olmaktadır. Şekil 4.5'te yarı toplayıcı lojik devresinin giriş-çıkış işaretleri gösterilmektedir. Devre uygun işaretleri çıkışlarında üretmektedir.



Şekil 4.4. Yarı toplayıcı lojik devresi



Şekil 4.5. Yarı toplayıcı lojik devresinin giriş-çıkış işaretleri

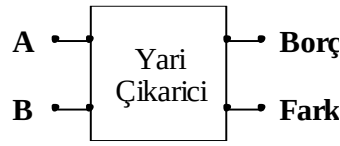
4.3. Yarı Çıkarıcı Lojik Devresi

Şekil 4.6'da yarı çıkarıcının blok şeması ve Tablo 4.2'de lojik durumları gösterilmektedir. Devrenin giriş ve çıkış ilişkisi Denklem 4.3 ve Denklem 4.4'te verilmiştir.

$$Borç = \bar{A} \cdot B \quad (4.3)$$

$$Fark = A \oplus B \quad (4.4)$$

Geleneksel bir yarı çıkarıcının iki girişi ve iki çıkışı vardır. Girişlerin çıkarma işlemi gerçekleştirilerek çıkışa borç ve fark olarak aktarılır. Bu işlemi yapan lojik devre bir çıkarma işleminde bir önceki basamaktan alınan elde girişini hesaba katmadığı için yarı çıkarıcı olarak ifade edilir.

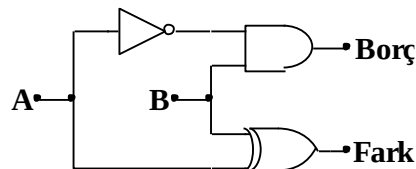


Şekil 4.6. Yarı çıkarıcı blok şeması

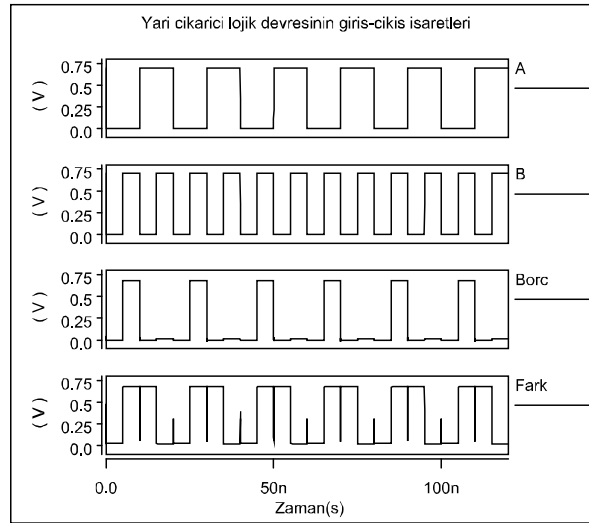
Tablo 4.2. Yarı çıkarıcı lojik durumları

A	B	Borç	Fark
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

Şekil 4.7'de lojik kapılarla elde edilen yarı çıkarıcı lojik devresi örneği gösterilmektedir. Bu örnek üç tane lojik kapı içermektedir. Simülasyonu gerçekleştirirken elde işlemi için CMOS-NOT ile PT-AND kapısı ve toplam işlemi için CMOS-EXOR kapısı kullanılmaktadır. Böylece iki farklı lojik kapı sınıfının bir arada uygulaması yapılmış olmaktadır. Şekil 4.8'de yarı çıkarıcı lojik devresinin giriş-çıkış işaretleri gösterilmektedir. Devre uygun işaretleri çıkışlarında üretmektedir.



Şekil 4.7. Yarı çıkarıcı lojik devresi



Şekil 4.8. Yarı çıkarıcı lojik devresinin giriş-çıkış işaretleri

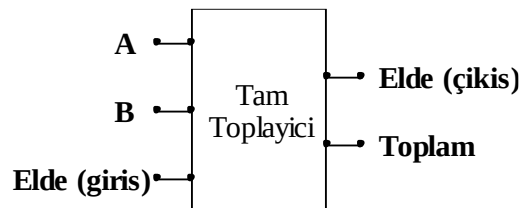
4.4. Tam Toplayıcı Lojik Devresi

Şekil 4.9'da tam toplayıcının blok şeması ve Tablo 4.3'te lojik durumları gösterilmektedir. Devrenin giriş ve çıkış ilişkisi Denklem 4.5 ve Denklem 4.6'da verilmiştir.

$$Elde_{çıkış} = A(B \oplus Elde_{giriş}) + Elde_{giriş}(\overline{B \oplus Elde_{giriş}}) \quad (4.5)$$

$$Toplam = (A \oplus B) \oplus Elde_{giriş} \quad (4.6)$$

Geleneksel bir tam toplayıcının üç girişi ve iki çıkışı vardır. Elde girişi de dahil olmak üzere girişlerin toplama işlemi gerçekleştirilerek çıkışa elde ve toplam olarak aktarılır. Bu işlemi yapan lojik devre bir toplama işleminde bir önceki basamaktan gelen elde girişini hesaba kattığı için tam toplayıcı olarak ifade edilir.

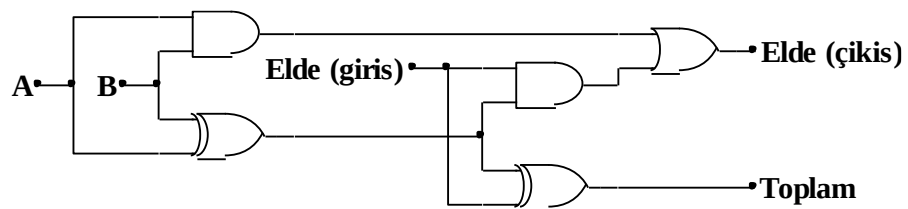


Şekil 4.9. Tam toplayıcı blok şeması

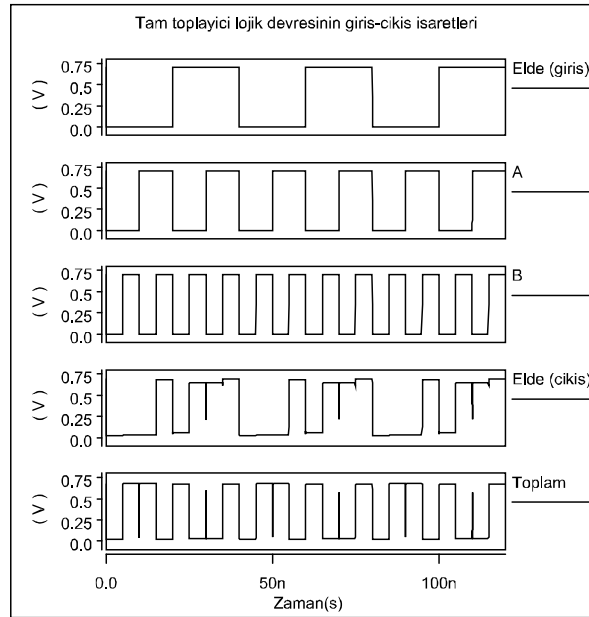
Tablo 4.3. Tam toplayıcı lojik durumları

Elde _{giriş}	A	B	Elde _{çıkış}	Toplam
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Şekil 4.10'da lojik kapılarla elde edilen tam toplayıcı lojik devresi örneği gösterilmektedir. Bu örnek beş tane lojik kapı içermektedir. Simülasyonu gerçekleştirirken PT-OR ile PT-AND ve CMOS-EXOR kapıları kullanılmaktadır. Böylece iki farklı lojik kapı sınıfının daha fazla sayıda lojik kapısının bir arada uygulaması yapılmış olmaktadır. Şekil 4.11'de tam toplayıcı lojik devresinin giriş-çıkış işaretleri gösterilmektedir. Devre uygun işaretleri çıkışlarında üretmektedir.



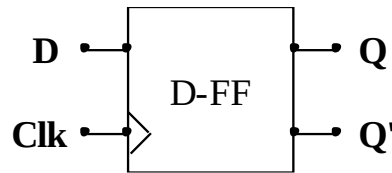
Şekil 4.10. Tam toplayıcı lojik devresi



Şekil 4.11. Tam toplayıcı lojik devresinin giriş-çıkış işaretleri

4.5. D-FF Lojik Devresi

Şekil 4.12'de D-FF'un blok şeması ve Tablo 4.4'te lojik durumları gösterilmektedir. Geleneksel bir D-FF'un iki girişi ve iki çıkışı vardır. D girişi Clk sinyali geldiğinde çıkışa aktarılır ve Clk sinyali gelmediğinde çıkış sabittir. Q ve Q' çıkışları birbirinin eşleniğidir.

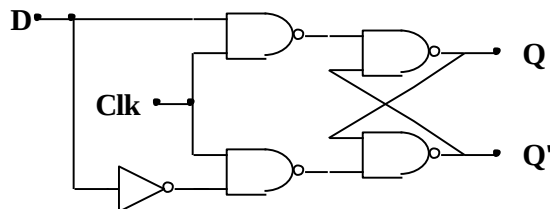


Şekil 4.12. D-FF blok şeması

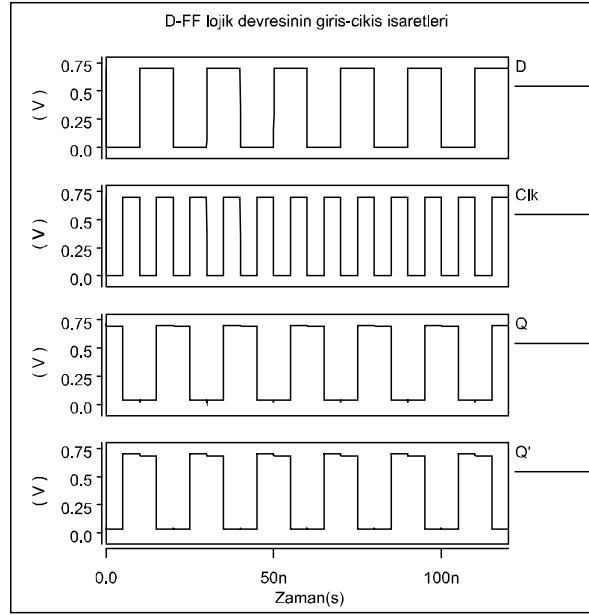
Tablo 4.4. D-FF lojik durumları

D	Clk	Q_s	Q_s'
0	0	Q_{δ}	Q_{δ}'
0	1	0	1
1	0	Q_{δ}	Q_{δ}'
1	1	1	0
$Q_{\delta} \rightarrow$ Clk'dan önceki durum $Q_s \rightarrow$ Clk'dan sonraki durum			

Şekil 4.13'te lojik kapılarla elde edilen D-FF lojik devresi örneği gösterilmektedir. Bu örnek beş tane lojik kapı içermektedir. Simülasyonu gerçekleştirirken CMOS-NOT ile üstteki lojik kapılar için iki tane CMOS-NAND ve alttaki lojik kapılar için iki tane PT-NAND lojik kapıları kullanılmaktadır. Böylece tam toplayıcı lojik devresinde olduğu gibi iki farklı lojik kapı sınıfının daha fazla sayıda lojik kapısının bir arada uygulaması yapılmış olmaktadır. Şekil 4.14'te D-FF lojik devresinin giriş-çıkış işaretleri gösterilmektedir. Devre uygun işaretleri çıkışlarında üretmektedir.



Şekil 4.13. D-FF lojik devresi



Şekil 4.14. D-FF lojik devresinin giriş-çıkış işaretleri

BÖLÜM 5

DTMOS TEKNİĞİNİ KULLANARAK YENİ EXOR-EXNOR LOJİK KAPILARI İLE ULTRA DÜŞÜK GERİLİMLİ VE ENERJİ VERİMLİ TAM TOPLAYICI TASARIMLARI

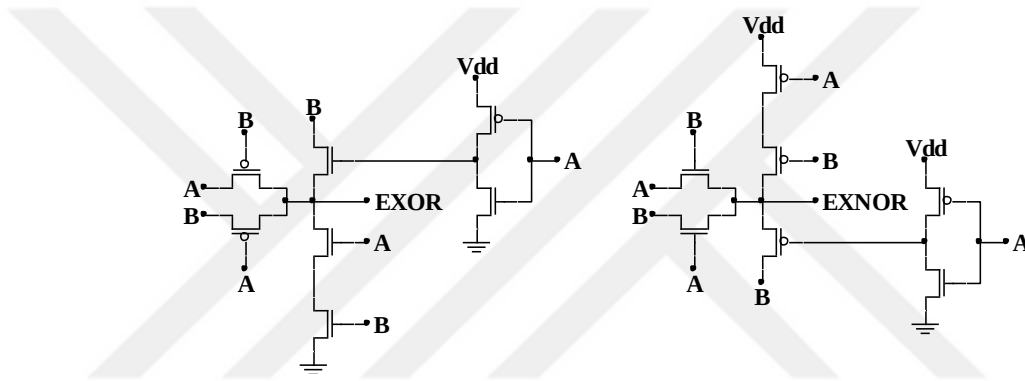
Lojik mantık ile çalışan bir sistem tasarımında istenilen bir lojik fonksiyon, toplamaların çarpımı veya çarpımların toplamı halinde düzenlenmesiyle sadece NOR ya da NAND lojik kapısı kullanarak tasarlanabilir. Ancak bu durumda tek tip lojik kapı kullanılsa da oldukça fazla sayıda lojik kapıya ihtiyaç duyulur ve artan lojik kapı ihtiyacı ile birlikte lojik kapılarda kullanılan eleman sayısı ve harcanan güç de artar.

Birden fazla girişli temel lojik kapılardan OR / AND / NOR / NAND lojik kapıları simetrik olmayan çıkışlar vermektedir. Başka bir deyişle; bu dört lojik kapı, iki girişli durum için dört farklı kombinasyonda çalışır. Çıkışlar üç kombinasyon için bir çıkış üretirken diğer kombinasyon için farklı bir çıkış üretir. Ancak lojik sistem ve devre tasarımında simetrik çıkışların önemi büyüktür. Örneğin iki girişli yarı toplayıcıda Toplam çıkışı A ve B farklı iken lojik 1, aynı iken lojik 0 üretir ve dört farklı giriş kombinasyondan iki durumda lojik 1, diğer iki durumda lojik 0 çıkışına ihtiyaç vardır ve çıkış simetriktir. Benzer şekilde, tam toplayıcıda Elde (giriş), A ve B şeklinde üç giriş olması nedeniyle sekiz farklı lojik durum oluşur. Tam toplayıcının Elde (çıkış) ve Toplam çıkışlarının her ikisi de dörder lojik durumda lojik 1 ve diğer dört lojik durumda da lojik 0 şeklindedir ve yine çıkışlar simetriktir. Böylelikle yarı toplayıcının Toplam çıkışı ile tam toplayıcının Elde (çıkış) ve Toplam çıkışları simetriktir ve bu nedenle simetrik çıkışlı lojik kapılar bu tasarımların temelini oluşturur.

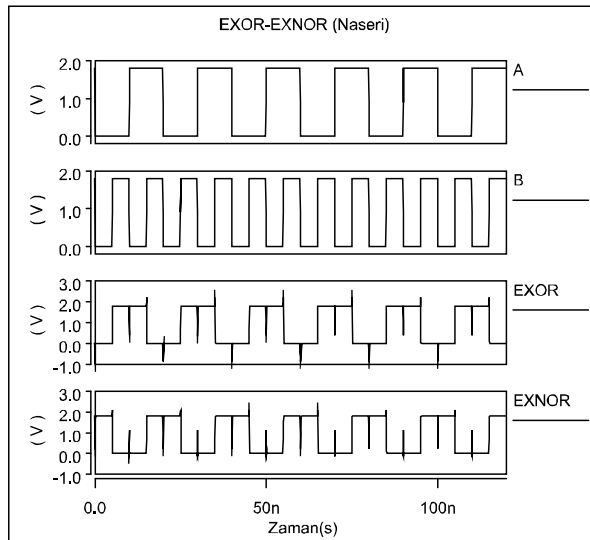
5.1. EXOR-EXNOR Lojik Kapıları

Farklı lojik girişler için lojik 1 üreten lojik kapılar EXOR ismini, aynı lojik girişler için lojik 1 üretenler EXNOR ismini almıştır. Bu lojik kapıların lojik durum tablosu ve giriş-çıkış ilişkisini belirten denklemleri lojik tasarımın temellerinin anlatıldığı ilk bölümde verilmiştir. Literatürde bu simetrik çıkışlı iki lojik kapının geliştirilmiş birçok çeşidi mevcuttur ve geliştirilmesi de devam etmektedir.

Şekil 5.1'de Naseri et al. tarafından geliştirilen EXOR ve EXNOR lojik kapı çifti gösterilmektedir [50]. Bu lojik kapıların giriş-çıkış işaretleri Şekil 5.2'deki gibidir.

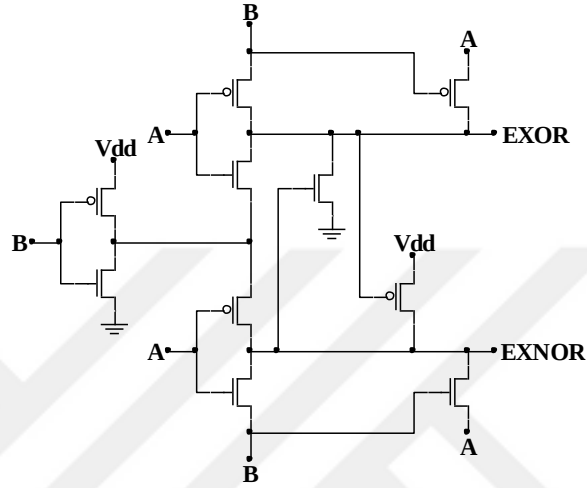


Şekil 5.1. EXOR-ENOR lojik kapısı (Naseri et al.)

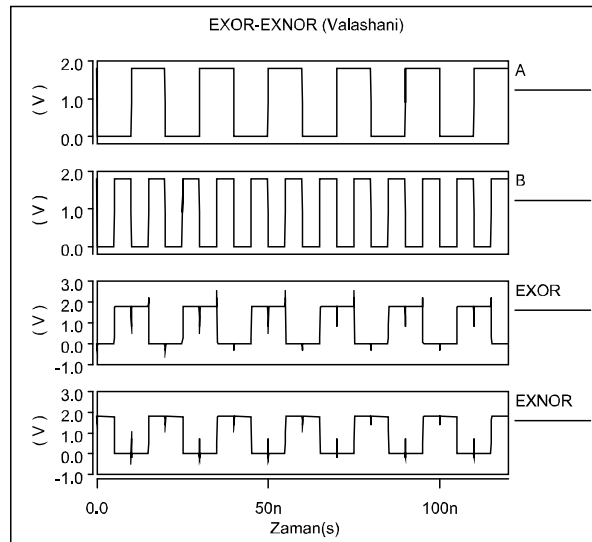


Şekil 5.2. EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri (Naseri et al.)

Şekil 5.3'te Valashani et al. tarafından geliştirilen EXOR-EXNOR lojik kapısı gösterilmektedir [51]. Bu tasarımda EXOR ve EXNOR çıkış işaretleri aynı devrede alınmaktadır. Bu lojik kapının giriş-çıkış işaretleri Şekil 5.4'teki gibidir.



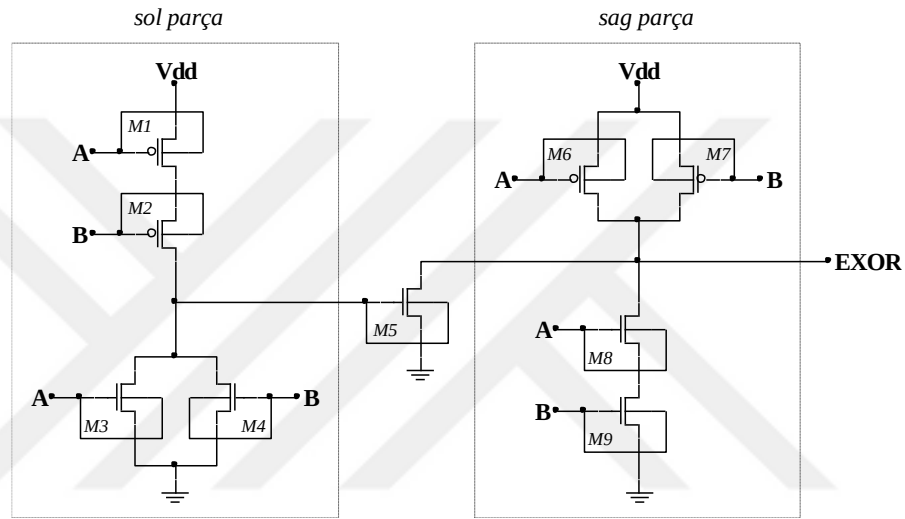
Şekil 5.3. EXOR-EXNOR lojik kapısı (Valashani et al.)



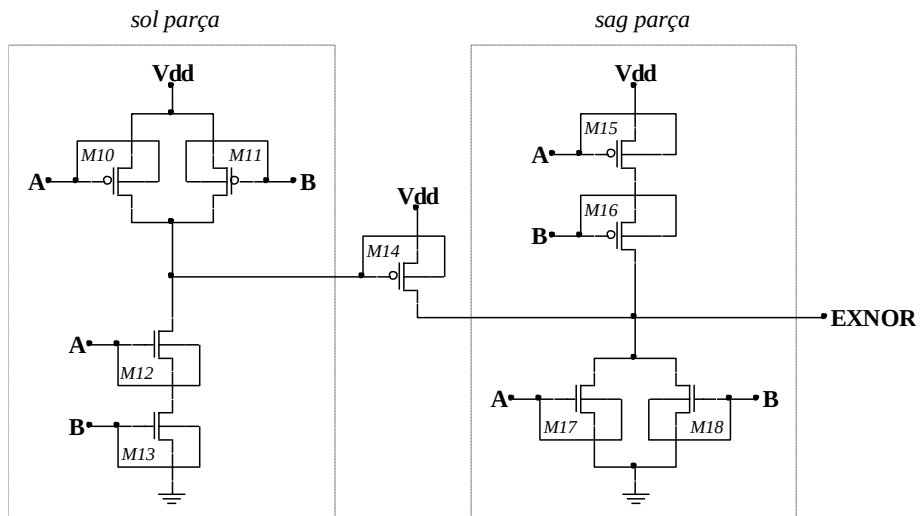
Şekil 5.4. EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri (Valashani et al.)

Şekil 5.5 ve Şekil 5.6'da önerilen EXOR-EXNOR lojik kapı çifti gösterilmektedir. EXOR için lojik 01/10/11 ve EXNOR için lojik 00/01/10 durumlarında sol parçalar devre dışıdır. Çıkışlar sağ parçalar tarafından uygun şekilde alınmaktadır. Diğer yandan EXOR için lojik 00 ve EXNOR için lojik 11 durumunda sol parçalar devreye girerek

sırasıyla M5 ve M14 transistörlerini ilettime geçirirler. Bu durumda lojik çıkışlar EXOR için M5 ile M6 ve M7 arasından ve EXNOR için M14 ile M17 ve M18 arasından alınır. Normal şartlarda alınan lojik değer ara bir gerilim değeridir. Bu ara değeri istenen değere yaklaştırmak için M5 ve M14 transistörünün geçiş iletkenlikleri artırılırken M6, M7, M17 ve M18 transistörlerinin geçiş iletkenlikleri azaltılmalıdır. Bu artırma ve azaltma işleminin beş kat yapılması durumunda istenen lojik gerilim değeri %90 üzerinde doğrulukta sağlanmaktadır.



Şekil 5.5. Önerilen EXOR lojik kapısı

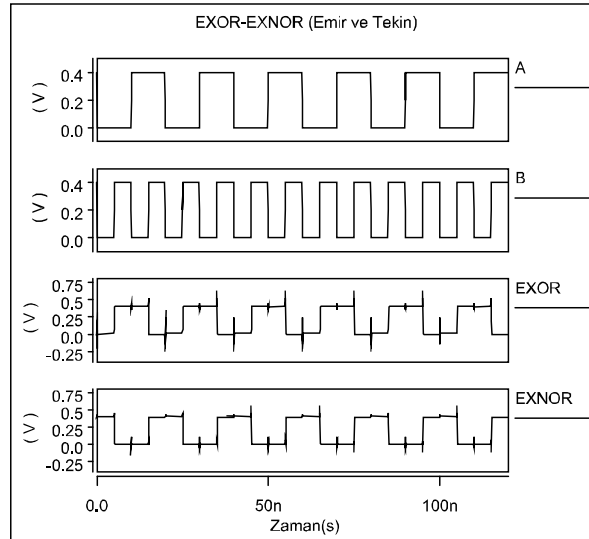


Şekil 5.6. Önerilen EXNOR lojik kapısı

Tablo 5.1'de transistörlerinin kanal bölgesi parametrelerinin değerleri verilmektedir. Geçiş iletkenliği p-kanal transistörde n-kanal transistöre göre daha düşük olduğu için başlangıç durumlarında p-kanal transistörün kanal oranı n-kanal transistörün kanal oranına göre iki kat tutulmuştur. İlgili transistörlerdeki geçiş iletkenliklerinin artırılması ve azaltılması başlangıç değerleri üzerinden yapılmıştır. Önerilen lojik kapıların giriş-çıkış işaretleri Şekil 5.7'deki gibidir.

Tablo 5.1. Önerilen EXOR-EXNOR lojik kapıları için kanal genişlik ve uzunluk değerleri

Transistor	M1, M2, M10, M11, M15, M16	M3, M4, M8, M9, M12, M13	M6, M7	M17, M18	M5	M14
W/L (nm)	56/28	28/28	56/140	28/140	280/28	140/28



Şekil 5.7. Önerilen EXOR-EXNOR lojik kapılarının giriş-çıkış işaretleri

Naseri et al., Valashani et al. tarafından geliştirilen ve önerilen EXOR-EXNOR lojik kapılarının karşılaştırılması Tablo 5.2'deki gibidir. Karşılaştırma sonuçlarına göre önerilen lojik kapılar ortalama ve yaklaşık olarak %97 oranında enerji verimliliği ve

%90 PDP verimliliği sağlamaktadır. Gecikme değerlerinde gerçekleşen artış düşük güçlü ve gerilimli uygulamalarda beklenen bir sonuçtur.

Tablo 5.2. EXOR-EXNOR lojik kapılarının performans parametreleri

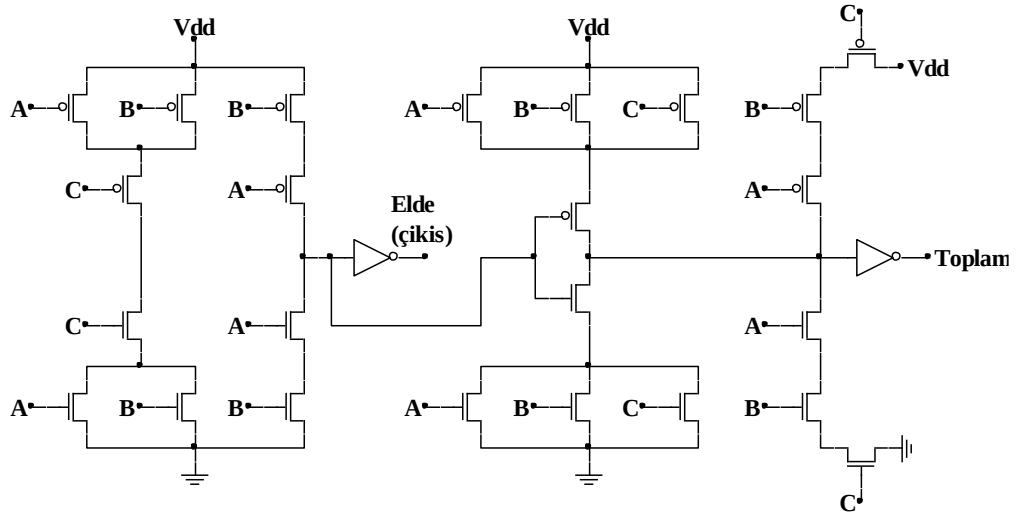
Yazarlar	Lojik kapı	Güç (nW)	Gecikme (ps)	PDP (10^{-21} J)
Naseri et al.	EXOR	1.620	9.022	14.616
	EXNOR	1.620	6.590	10.676
Valashani et al.	EXOR	3.240	20.289	65.737
	EXNOR	3.240	13.999	45.359
Önerilen	EXOR	0.079	35.669	2.852
	EXNOR	0.079	50.114	3.963

5.2. Tam Toplayıcı Lojik Devreleri

Tam toplayıcı lojik devresinin lojik durum tablosu ve giriş-çıkış ilişkisini belirten denklemleri bir önceki bölümde verilmiştir. Geleneksel bir tam toplayıcının üç girişi ve iki çıkışı vardır. Elde girişi de dahil olmak üzere girişlerin toplama işlemi gerçekleştirilerek çıkışa elde ve toplam olarak aktarılır. Bu işlemi yapan lojik devre bir toplama işleminde bir önceki basamaktan gelen elde girişini hesaba kattığı için tam toplayıcı olarak ifade edilir. Tam toplayıcının gerçekleştirdiği işlem temel aritmetik işlemlerden biridir. Bu işlemi gerçekleştirmek için birçok yöntem geliştirilmiştir. Bu yöntemler lojik kapı kullanma yöntemi veya direk yöntem olarak ikiye ayrılır.

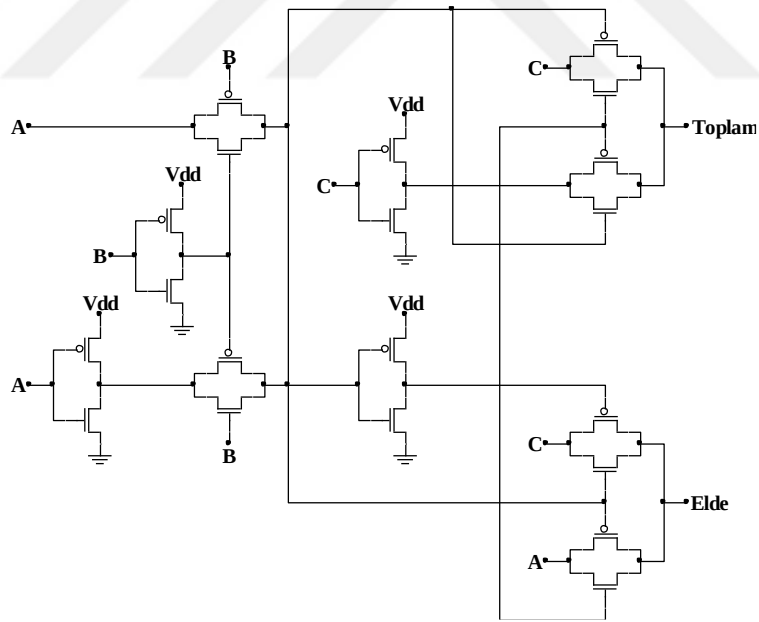
Tam toplayıcı lojik devresi tasarımında simetrik çıkışlı EXOR-EXNOR lojik kapıları kullanmanın önemi büyüktür. Ancak tam toplayıcı tasarımı lojik kapılar kullanmadan da direk olarak yapılabilir. Buradaki fikir lojik kapılarda olduğu gibi lojik fonksiyonu gerçekleştirecek lojik devreye direk olarak ulaşmaktır.

Şekil 5.8'de lojik kapı kullanmadan elde edilen tam toplayıcı lojik devresi gösterilmektedir [52]. Bu örnekte lojik kapı kullanma yönteminin aksine lojik devre direk olarak elde edilmektedir. Buradaki tasarım mantığı CMOS lojik bloğunu kullanarak CMOS lojik kapılarına benzer şekilde lojik devreyi elde etmektir.



Şekil 5.8. Tam toplayıcı lojik devresi (CMOS)

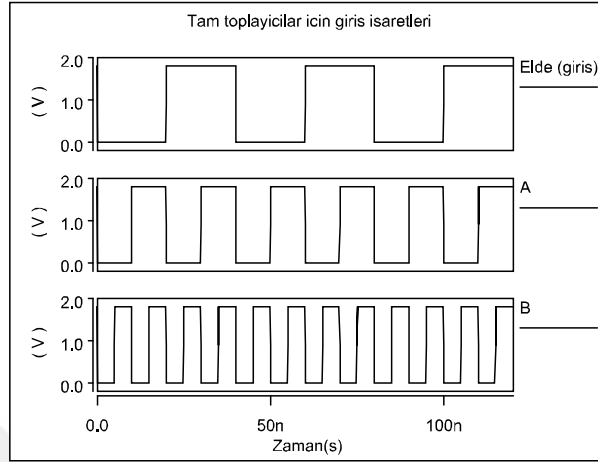
Şekil 5.9'da yine lojik kapı kullanmadan elde edilen tam toplayıcı lojik devresi gösterilmektedir [53]. Buradaki tasarım mantığı PT lojik bloğunu kullanarak PT lojik kapılarına benzer şekilde lojik devreyi elde etmektir.



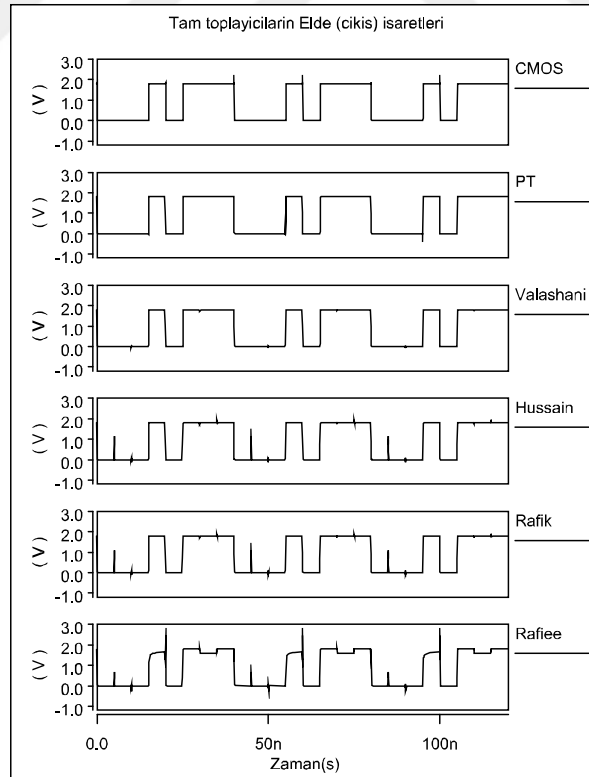
Şekil 5.9. Tam toplayıcı lojik devresi (PT)

CMOS ve PT tam toplayıcı devrelerine ek olarak literatürde çeşitli tam toplayıcı devreleride vardır. Bunlardan karşılaştırma amaçlı olarak Valashani et al. [51], Hussain et al. [54], Rafik et al. [55], ve Rafiee et al. [56] tarafından gerçekleştirilen devreler seçilmiştir. Seçilen devrelerin ilk ikisinde lojik kapılar kullanılırken diğer ikisinde lojik devre tasarımı transistörler ile direk olarak yapılmıştır.

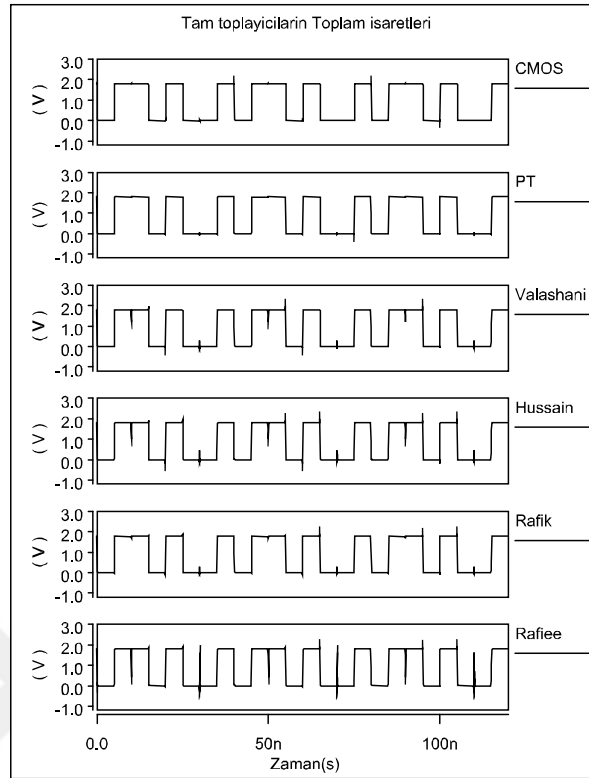
Şekil 5.10'da tam toplayıcılara uygulanacak olan giriş işaretleri verilmiştir. Şekil 5.11 ve Şekil 5.12'de sırasıyla tam toplayıcıların ürettiği Elde (çıkış) ve Toplam çıkışları gösterilmektedir.



Şekil 5.10. Tam toplayıcılar için giriş işaretleri

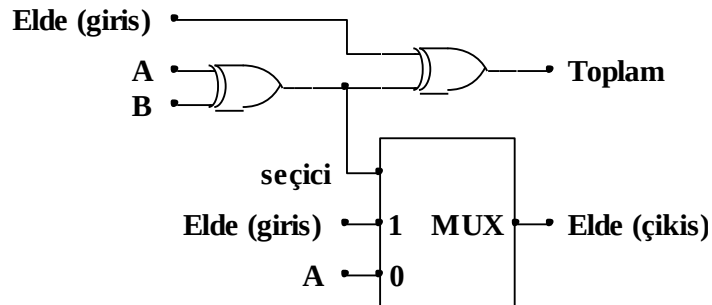


Şekil 5.11. Tam toplayıcıların Elde (çıkış) işaretleri

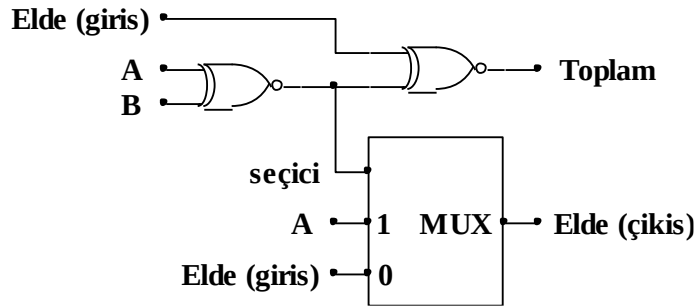


Şekil 5.12. Tam toplayıcıların Toplam işaretleri

Tam toplayıcı lojik devresi tasarımında EXOR ve EXNOR lojik kapılarını kullanmanın yaygın bir yöntem olduğu önceki kısımlarda belirtilmiştir. Şekil 5.13 ve Şekil 5.14'te sırasıyla iki tane EXOR veya EXNOR ve bir tane MUX lojik kapılarını kullanarak tam toplayıcı tasarımları gösterilmektedir. Birbirine benzer iki yöntem arasındaki fark EXOR veya EXNOR lojik kapısı kullanmak ile MUX lojik kapısının girişlerini değiştirmektir. Burada gösterilen yöntemlerden daha çeşitli tam toplayıcı tasarım yöntemleri de bulunmaktadır.

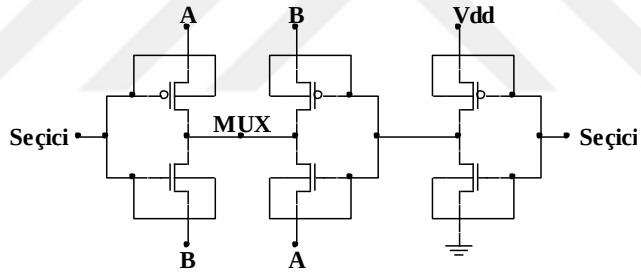


Şekil 5.13. Tam toplayıcı lojik devresi - EXOR²MUX



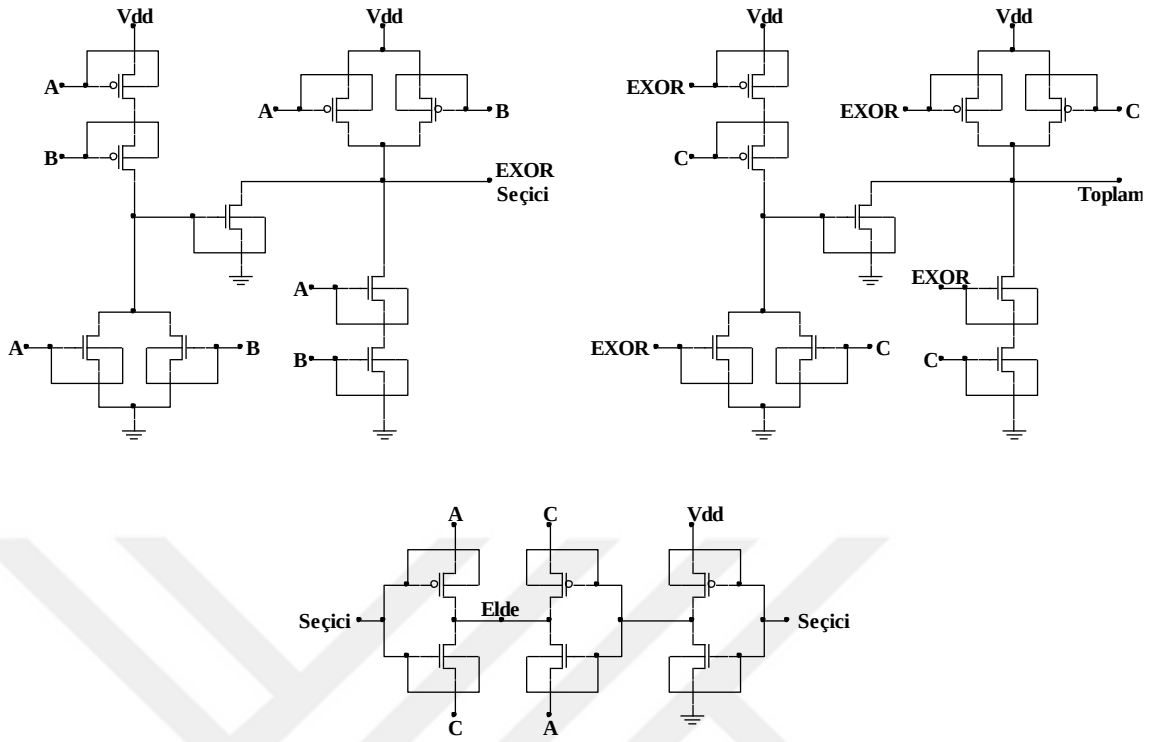
Şekil 5.14. Tam toplayıcı lojik devresi - EXNOR²MUX

MUX lojik kapısı ilk bölümde belirtilen temel lojik kapılardan olmasa da çeşitli yöntemlerle elde edilebilir. Şekil 5.15'te altı tane transistör kullanarak elde edilen MUX lojik kapısı gösterilmektedir.

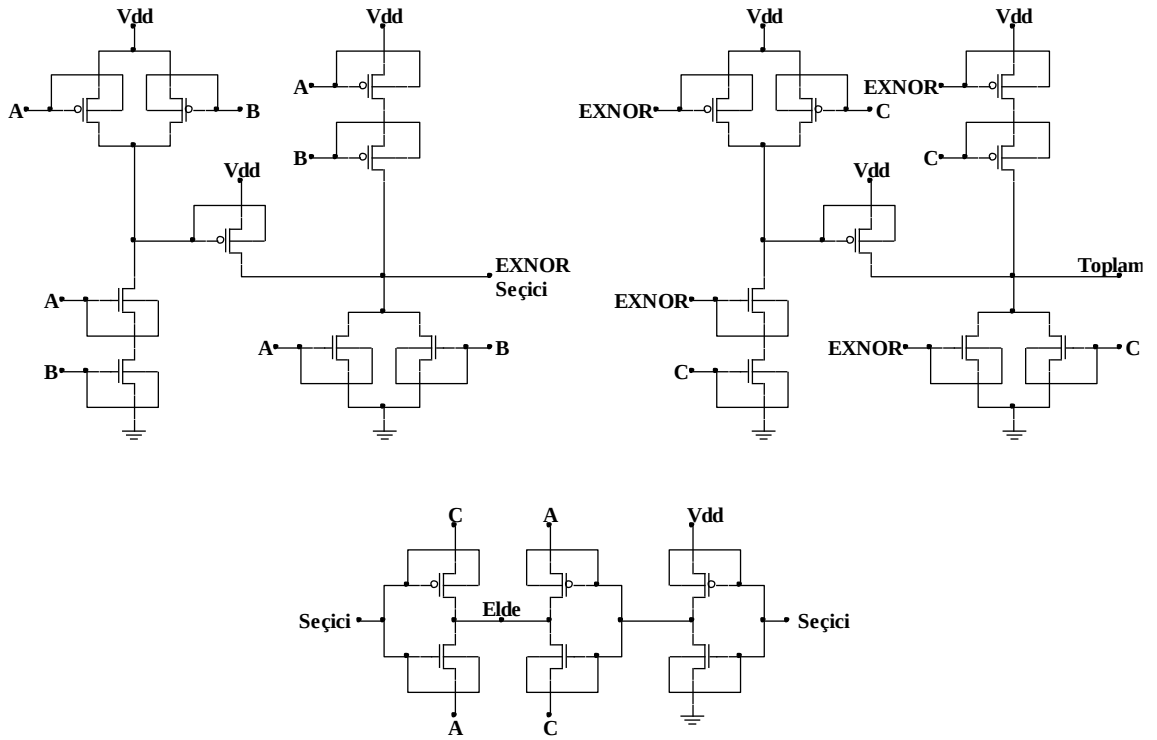


Şekil 5.15. MUX lojik kapısı

Şekil 5.16 ve Şekil 5.17'de önerilen tam toplayıcı lojik devresi tasarımları gösterilmektedir. İlk tasarımda EXOR²-MUX ve ikinci tasarımda EXNOR²MUX blok yapıları kullanılmıştır. Şekillerden görüldüğü üzere tüm transistörler DTMOS transistördür.

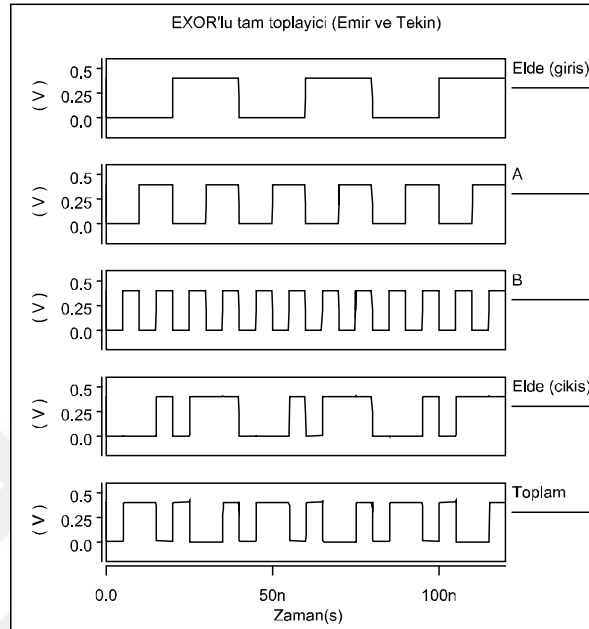


Şekil 5.16. Önerilen tam toplayıcı lojik devresi - EXOR²MUX

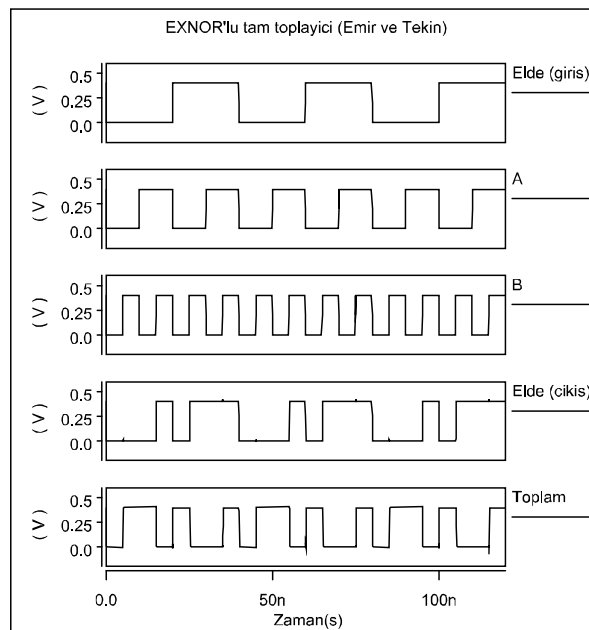


Şekil 5.17. Önerilen tam toplayıcı lojik devresi - EXNOR²MUX

Şekil 5.18 ve Şekil 5.19'da önerilen tam toplayıcı tasarımlarının giriş ve çıkış işaretleri gösterilmektedir. Şekillerden görüldüğü üzere devreler uygun işaretleri çıkışlarında üretmektedir.



Şekil 5.18. Önerilen EXOR'lu tam toplayıcı lojik devresinin giriş-çıkış işaretleri



Şekil 5.19. Önerilen EXNOR'lu tam toplayıcı lojik devresinin giriş-çıkış işaretleri

Tablo 5.3'te tam toplayıcı lojik devreleri karşılaştırılmaktadır. Karşılaştırma sonuçlarına göre MOS transistörlü lojik devreler ile önerilen DTMOS transistörlü lojik devreler kendi içinde benzer güç tüketimi değerlerine sahiptir. Önerilen lojik devreler ortalama ve yaklaşık olarak %95 oranında enerji verimliliği ve %87 oranında PDP verimliliği sağlamaktadır. Gecikme değerlerinde gerçekleşen artış düşük güçlü ve gerilimli uygulamalarda beklenen bir sonuçtur.

Tablo 5.3. Tam toplayıcı lojik devrelerinin performans parametreleri

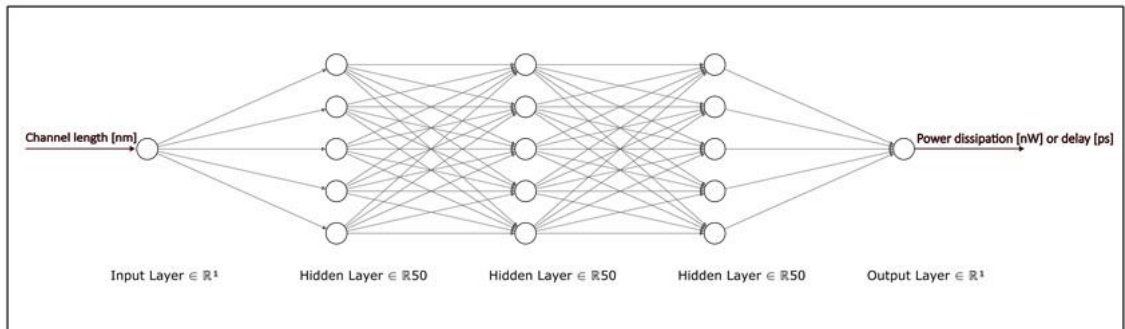
Yazarlar	Güç (nW)	Gecikme (Elde) (ps)	Gecikme (Toplam) (ps)	PDP (Elde) (10⁻²¹J)	PDP (Toplam) (10⁻²¹J)
CMOS	3.240	49.279	91.989	159.660	297.750
PT	3.240	28.977	52.071	93.889	168.710
Valashani et al.	3.240	20.358	36.792	65.960	119.210
Hussain et al.	3.240	7.549	25.129	24.460	81.419
Rafik et al.	3.240	9.969	26.369	32.300	85.437
Rafiee et al.	3.072	31.060	34.854	95.407	107.060
Önerilen (EXOR'lu)	0.159	52.543	113.702	8.405	18.187
Önerilen (EXNOR'lu)	0.159	52.794	131.806	8.398	20.969

BÖLÜM 6

GNRFET'Lİ LOJİK DEVRELERİN GÜÇ TÜKETİMİ VE YAYILIM GECİKMESİ MODELLEMESİ İÇİN DERİN ÖĞRENME

YAKLAŞIMI

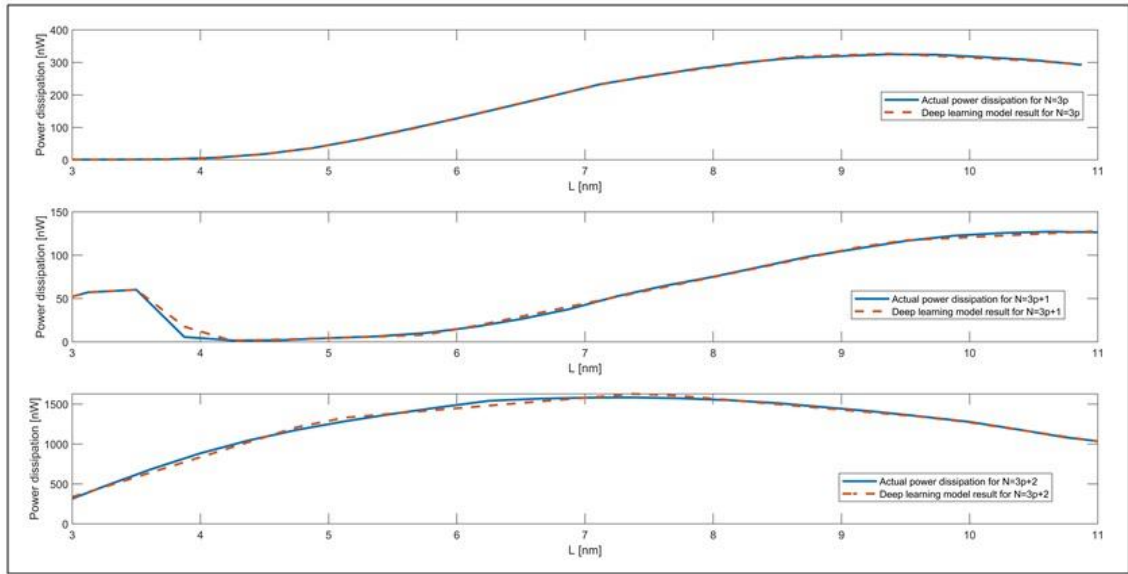
GNRFET'li inverter (NOT) lojik kapısının güç tüketimi ve yayılım gecikmesi değerlerini transistör kanal bölgesi değişimine göre detaylı olarak incelenebilir. GNRFET modelinin kanal bölgesi değerlerinin ayarlanmasında bu bölgeden geçen dimer hatlarının sayısını belirten N parametresi kullanılmaktadır. Bu parametre transistör modelinde $6 \leq N \leq 74$ aralığında tanımlıdır. N parametresine bağlı olarak inverter devresinin güç tüketimi ve yayılım gecikmesi değerleri $N = 3p$, $N = 3p + 1$ and $N = 3p + 2$ durumlarında yakın sonuçlar vermektedir. Bu bölümde kanal uzunluğunun çeşitli değerleri için GNRFET'in hem güç tüketimi hem de yayılım gecikmesini modellemek için bir derin öğrenme modeli geliştirilmektedir. Bu amaçla Şekil 6.1'de gösterildiği gibi derin öğrenmeli çok katmanlı algılayıcı (MLP) ağı geliştirilmiştir [57,58]. Bu tür makina öğrenimi mimarilerinin nispeten küçük boyutlu veri kümeleri içeren regresyon problemleri için doğru sonuçlar vermesinin beklendiği göz önüne alınarak modelleme yöntemi olarak MLP tipi mimari seçilmiştir [59-63].



Şekil 6.1. Geliştirilen derin öğrenme modelinin yapısı

Geliştirilen derin öğrenme modeli Şekil 6.1'de gösterildiği gibi her biri 50 nöron içeren üç gizli katmandan oluşmaktadır. Aktivasyon fonksiyonları, ileri beslemeli bir mimarinin kullanıldığı düzeltilmiş doğrusal birim tipleri olarak seçilmiştir. Mevcut verilerin toplam %70'i eğitim verisi olarak, geri kalan %30'u ise test verisi olarak kullanılmaktadır. Tasarlanan derin öğrenme modeli, SciKit-Learn modülünün `MLPRegressor()` sınıfı kullanılarak Python programlama dilinde gerçekleştirilmektedir.

GNRFET'li inverter devresinin güç tüketim verileri ilk adım olarak geliştirilen derin öğrenme ağı kullanılarak modellenmiştir. $N = 3p$, $N = 3p + 1$ ve $N = 3p + 2$ 'nin kiralite durumları için güç tüketimi verileri, derin öğrenme ağı kullanılarak ayrı ayrı modellenmiştir. Veri kümesinin boyutu, her bir kiralite durumu için 21 olup, transistörlerin kanal uzunluğunun $L = 2.850$ nm ve $L = 11.125$ nm aralığında değerlere sahip olduğu toplam 63 değerdir. Veri seti, geliştirilen derin öğrenme ağı kullanılarak herhangi bir ön işleme gerek kalmadan doğrudan modellenmiştir. Gerçek güç tüketimi verileri ve derin öğrenme modeli sonuçları Şekil 6.2'de gösterilmektedir.



Şekil 6.2. GNRFET'li inverter için gerçek güç tüketimi verileri ve derin öğrenme modeli sonucu

Şekil 6.2'den görülebileceği gibi, geliştirilen derin öğrenme ağı, güç tüketimi verilerini modellemek için kullanılabilir. Güç tüketimi verileri için derin öğrenme modeli sonuçlarının performans ölçümleri de geliştirilen derin öğrenme modelinin doğruluğunu doğrulayan Tablo 6.1'de verilmektedir.

Tablo 6.1. Güç tüketimi verileri için geliştirilen derin öğrenme modelinin performans ölçümleri

Güç tüketimi	R^2	MAPE	MAE	RMSE
$N = 3p$	0.99	0.04	1.42	1.85
$N = 3p + 1$	0.99	0.15	1.61	2.90
$N = 3p + 2$	0.94	0.03	3.74	8.23

Tablo 1'de R^2 belirleme katsayısını, MAPE ortalama mutlak yüzde hatasını, MAE ortalama mutlak hatayı ve RMSE hatanın ortalama karekökünü göstermektedir. Bu performans ölçümleri, Denklem 6.1 - Denklem 6.4'te gösterildiği gibi, bu parametrelerin standart tanımları kullanılarak hesaplanmıştır.

$$R^2 = \frac{\sum_1^d (O - \text{avg}(O))^2 - \sum_1^d (O - M)^2}{\sum_1^d (O - \text{avg}(O))^2} \quad (6.1)$$

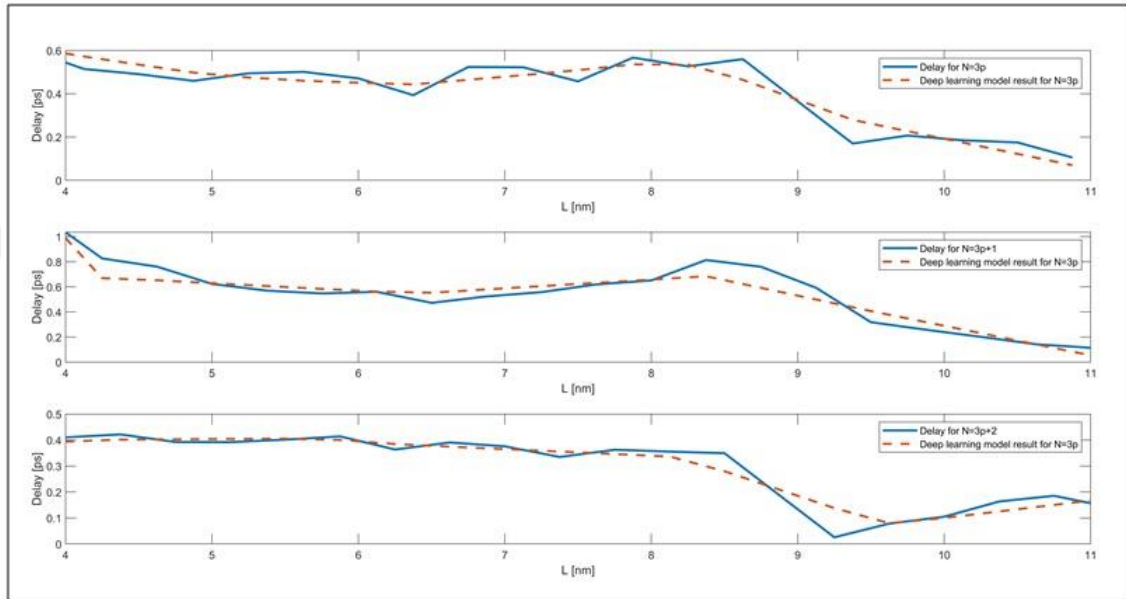
$$MAPE = \frac{100}{d} \sum_1^d \left| \frac{O - M}{M} \right| \quad (6.2)$$

$$MAE = \frac{\sum_1^d |O - M|}{d} \quad (6.3)$$

$$RMSE = \sqrt{\frac{\sum_1^d (O - M)^2}{d}} \quad (6.4)$$

Bu denklemlerde d verinin uzunluğunu, O orijinal veriyi, M ise geliştirilen derin öğrenme modelinden elde edilen veriyi ifade etmektedir. Ek olarak güç tüketimi verileri, geliştirilen derin öğrenme MLP modelinin sonuçlarını regresyon uyumuyla karşılaştırmak için cftool modülü kullanılarak MATLAB 2023b'deki polinom regresyonu kullanılarak modellenmiştir. Polinom regresyon modeli için elde edilen R^2 değerleri, $N = 3p$, $N = 3p + 1$ ve $N = 3p + 2$ için 0.95, 0.84 ve 0.91 iken, geliştirilen derin öğrenme MLP modeli için 0.99, 0.99 ve 0.94 olmuştur. Bu fark açıkça derin öğrenme ağının daha iyi doğrusal olmayan modelleme yeteneğinden kaynaklanmaktadır.

İkinci adım olarak GNRFET'li inverter devresinin yayılım gecikmesini modellemek için geliştirilen derin öğrenme ağından yararlanılmıştır. Gecikme değerleri $N = 3p$, $N = 3p + 1$ ve $N = 3p + 2$ durumları için ayrı ayrı derin öğrenme ağı kullanılarak modellenmiştir. Gerçek gecikme verileri ve derin öğrenme modelinden elde edilen veriler Şekil 6.3'te çizilmiştir.



Şekil 6.3. GNRFET'li inverter için gerçek yayılım gecikmesi verileri ve derin öğrenme modeli sonucu

Şekil 6.3'ten görülebileceği gibi derin öğrenme ağı, yayılım gecikmesi verilerini modellemek için de kullanılabilir. Derin öğrenme modelinin gecikme verilerine ilişkin performans ölçümleri Tablo 6.2'de verilmiştir. Güç tüketimi modelleme durumuna benzer şekilde, gecikme verileri ayrıca derin öğrenme MLP modelinin ve polinom regresyonunun sonuçlarını karşılaştırmak için MATLAB'daki polinom regresyon kullanılarak modellenmiştir. Regresyon modeli için elde edilen R^2 değerleri $N = 3p$, $N = 3p + 1$ ve $N = 3p + 2$ için 0.76, 0.89 ve 0.72 iken, derin öğrenme modeli için 0.86, 0.96 ve 0.92'dir. Regresyon modellerinin R^2 'si ile derin öğrenme modeli arasındaki farklar, Şekil 6.2 ve Şekil 6.3'ten görülebileceği gibi, gecikme özelliklerinin, güç tüketimi özellikleriyle karşılaştırıldığında daha güçlü doğrusal olmama durumu nedeniyle gecikme modellemesi için daha yüksektir.

Tablo 6.2. Yayılım gecikmesi verileri için geliştirilen derin öğrenme modelinin performans ölçümleri

Yayılım gecikmesi	R^2	MAPE	MAE	RMSE
$N = 3p$	0.86	0.14	0.05	0.07
$N = 3p + 1$	0.96	0.31	0.07	0.13
$N = 3p + 2$	0.92	0.27	0.02	0.03

Geliştirilen derin öğrenme modeli, GNRFET'li inverter devresinin hem güç tüketimi hem de yayılım gecikmesi verilerini modellemek için kullanılabilirken, gecikme verilerinin doğruluğu, gecikme verilerindeki düzensizlikler nedeniyle güç kaybı durumuyla karşılaştırıldığında biraz daha düşüktür.

Güç tüketiminin ve yayılım gecikmesinin modellenmesi için geliştirilen derin öğrenme ağı, milyonlarca GNRFET kullanan mantık devrelerinin güç tüketiminin ve gecikmesinin, zaman alıcı tam HSPICE simülasyonları gerçekleştirilmeden tahmin edilmesi gereken durumlar için kullanışlıdır. Ayrıca Tablo 1 ve Tablo 1'de sunulan belirleme katsayısı değerlerinden, geliştirilen MLP derin öğrenme modelinin, dikkate alınan mantık devrelerinin güç tüketimini ve yayılım gecikmesini modellemek için gerekli doğruluğu sağladığı gözlemlenebilir. Ek olarak, geliştirilen derin öğrenme modellerini diğer teknoloji düğümlerine genelleştirmek için, önceden eğitilmiş modelin diğer teknoloji düğümlerine ilişkin yeni bir veri kümesi üzerinde ince ayar yaptığı durumlarda transfer öğrenme kullanılabilir. Eğitim veri kümesinin çeşitliliğini artırmak, modeli daha geniş bir düğüm aralığına sunarak genelleştirmeyi de artırır. Ayrıca, aşırı uyumu önlemek ve modelin yeni veri kümelerine uyarlanabilirliğini geliştirmek için veri artırma ve düzenleme gibi teknikler kullanılabilir.

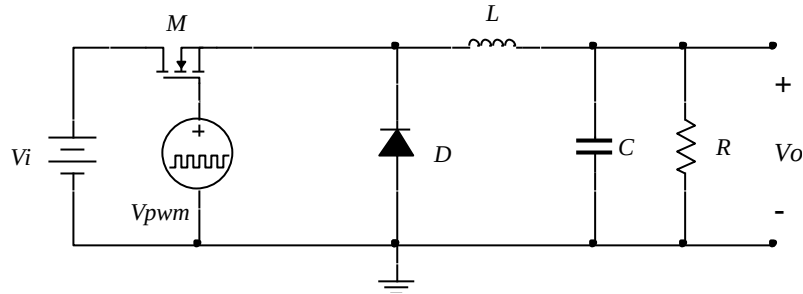
BÖLÜM 7

ULTRA DÜŞÜK BESLEME GERİLİMLİ LOJİK YAPILAR İÇİN BUCK CONVERTER TASARIMI

Elektronik cihazlarda ve sistemlerde güç kaynakları şebekeden aldıkları AC gerilimi bazı standart besleme gerilimlerine çevirirler. Bu gerilimler +12V, -12V, +5V, vb. şeklinde sıralanabilir. Güç kaynağında bulunan gerilimler dışında bir besleme gerilimine ihtiyaç olması durumunda güç kaynağı ve elektronik devre arasında bir converter (dönüştürücü) kullanmak gerekir.

Converter devreleri tasarım mantığına ve kullanım amacına göre farklılık gösterirler, ancak temel olarak boost converter (yükseltici dönüştürücü) ve buck converter (düşürücü dönüştürücü) olarak ikiye ayrılırlar. Converter devrelerinin tasarımı ve analizi için oldukça kapsamlı araştırma ve çalışma yapmak gerekir. Converter devreleri başlı başına tez çalışmasının konusu olmayıp tez çalışması kapsamındaki lojik kapılar ve lojik devreler düşük besleme gerilimli olması nedeniyle sadece buck converter devrelerinin tasarımı ve analizi yapılmaktadır. Buck converter güç kaynağından aldığı nispeten daha yüksek besleme gerilimini uygun seviyeye düşürerek düşük gerilimli dijital devrelere besleme gerilimi sağlayacaktır [64-70].

Şekil 7.1'de geleneksel buck converter gösterilmektedir. Bu devrede giriş ve çıkış gerilimleri DC işaretlerdir. Çıkış gerilimi giriş gerilimine göre daha düşüktür.



Şekil 7.1. Geleneksel buck converter

Geleneksel gerilim düşürücü tasarımında temel gerilim ve akım ilişkileri Denklem 7.1 - Denklem 7.3'te tanımlanmıştır.

$$V_i(t) = V_o(t) + L \frac{di(t)}{dt} \quad (7.1)$$

$$i_L(t) = \frac{1}{L} \int [V_i(t) - V_o(t)] dt \quad (7.2)$$

$$i_C(t) = i_L(t) + i_R(t) \quad (7.3)$$

Bu denklemler için ilk önce tüm elemanlar ideal kabul edilir ve Denklem 7.4 - Denklem 7.6'deki gibi parametreler hesaplanır.

$$Duty = \frac{V_o}{V_i} = \frac{T_{on}}{T_{on} + T_{off}} = \frac{T_{on}}{T}, \quad 0 \leq Duty \leq 1 \quad (7.4)$$

$$L = 1.5 \times L_{min} = 1.5 \times \frac{1-Duty}{2} RT = 1.5 \times \frac{1-Duty}{2f} R \quad (7.5)$$

$$C = \frac{1-Duty}{8L\Delta V_o} T^2 = \frac{1-Duty}{8L\Delta V_o f^2} \quad (7.6)$$

Duty istenen çıkış geriliminin uygulanan giriş gerilimine oranıdır. Ancak bu oran tüm elemanların ideal olması durumunda geçerlidir. Elemanların ideal olmamasından kaynaklanan kayıplar nedeniyle istenen çıkış gerilimi Duty oranına göre alınamaz. Çıkış gerilimi hesaplanan durumdan daha düşüktür. Bu nedenle buck converter devresinin verim hesabı aşağıdaki Denklem 7.7 ile yapılır.

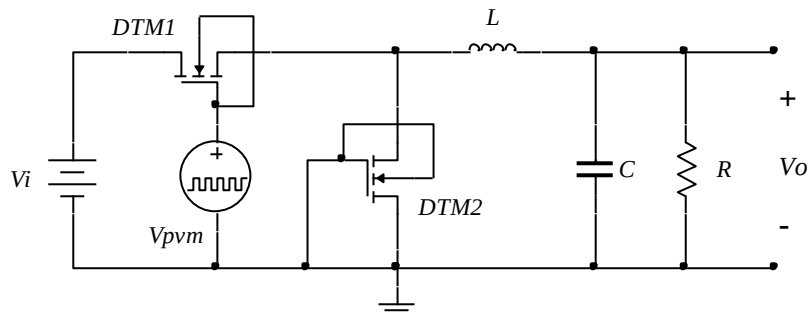
$$\eta = \frac{V_o}{Duty \times V_i} \quad (7.7)$$

Verim ifadesi alınan çıkış gerilimin istenen çıkış gerilimine oranıdır. Alınan çıkış gerilimi istenen çıkış gerilimine ne kadar yakınsa buck converter devresinin verimi o kadar yüksektir.

Buck converter devresinde kayıpların neden olduğu alınan çıkış gerilimi ile istenen çıkış gerilimi arasındaki farkın kapatılması için iki yöntem uygulanabilir. Bunlardan birincisi buck converter devresinin çalışma verimliliğini artırmaktır ve bu yöntem enerji kaybına neden olmaz. İkinci yöntem olarak Duty oranı daha yüksek tutulur ancak bu durumda enerji kaybı artar.

Buck converter devresinin çalışma verimini artırmak için bir veya birden fazla elemanın çalışmasını ideal duruma yaklaştırma yöntemi uygulanabilir. Devredeki verim kaybının temel nedenlerinden biri yarıiletken elemanlar olan MOS transistör ve diyotun iletim kayıplarıdır.

Şekil 7.2'de önerilen buck converter devresi gösterilmektedir. Bu devrede MOS transistör ve diyot iletim kayıplarının azaltılması amacıyla DTMOS transistörler ile değiştirilmiştir. Bu durumda alınan çıkış gerilimi istenen çıkış gerilimine geleneksel devreye göre daha yakın olacaktır.



Şekil 7.2. Önerilen buck converter

Buck converter devresinde geleneksel ve önerilen durumlar için tüm elemanları ideal kabul ederek parametre değerleri Denklem 7.8 - Denklem 7.13'teki gibi hesaplanır. Simülasyon parametreleri Tablo 7.1'de özetlenmiştir. Burada temel amaç lojik standart gerilimlerden biri olan 1.3V'u 0.4V'a düşürmektir. Gerilim düşürme oranı yaklaşık 4 kattır ve bu oranın fazla yüksek olmaması giriş gerilimi için 1.3V'un uygunluğunu gösterir.

$$Duty = \frac{V_o}{V_i} = \frac{400mV}{1.3V} = 0.3077 \quad (7.8)$$

$$L_{min} = \frac{1-Duty}{2f} R = \frac{1-0.3077}{2 \times 20K} 1K = 17.3mH \quad (7.9)$$

$$L = 1.5 \times L_{min} = 1.5 \times 17.3m = 26mH \quad (7.10)$$

$$C = \frac{1-Duty}{8L\Delta V f^2} = \frac{1-0.3077}{8 \times 26m \times 0.01 \times 20^2 \times 10^6} = 0.832\mu F \quad (7.11)$$

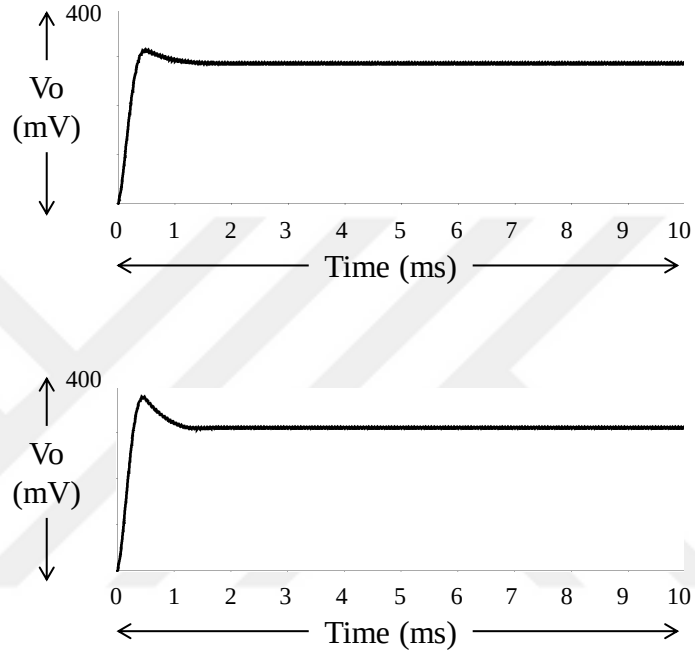
$$T_{on} = Duty \times T = 0.3077 \times 50\mu = 15.4\mu s \quad (7.12)$$

$$T_{off} = (1 - Duty) \times T = (1 - 0.3077) \times 50\mu = 34.6\mu s \quad (7.13)$$

Tablo 7.1. Simülasyon parametreleri

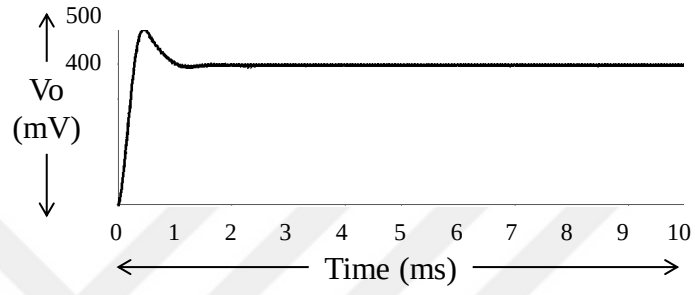
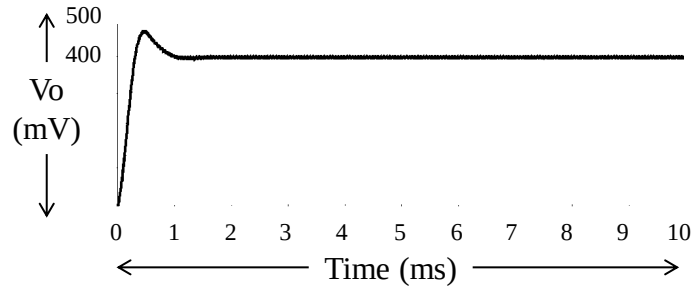
Parametre	Geleneksel	Önerilen	Birim
Tr. Type	MOS	DTMOS	-
Input	1.3	1.3	V
Output	400	400	mV
Duty	0.3077	0.3077	-
Switch	20	20	KHz
T	50	50	μs
T _{on}	15.4	15.4	μs
T _{off}	34.6	34.6	μs
L	26	26	mH
C	0.832	0.832	μF
R	1	1	K Ω

Şekil 7.3'te sırasıyla geleneksel ve önerilen durumdaki çıkış gerilimleri görülmektedir. Bu gerilimler sırasıyla 289mV ve 314mV şeklindedir. Önerilen durumda alınan gerilim geleneksel durumda alınan gerilime göre istenen 400mV'a daha yakındır. Gerilim düşürücü verimleri sırasıyla %72.2 ve %79.5 şeklindedir ve önerilen durumda %7.3'lük bir verim artışı sağlanmıştır.



Şekil 7.3. Geleneksel ve önerilen durumda çıkış işaretleri (ideal durum)

Parametre hesaplamalarına göre uygulanan PWM işaret 15.4µs'dir. Aradaki farkın tam olarak kapanması için bu süre her iki devrede ayrı ayrı gerektiği kadar artırılabilir. Geleneksel devrede bu süre 20.3µs ve önerilen devrede 19.1µs yapılabilir. Şekil 7.4'te gösterildiği gibi PWM sürelerinin yenilenmesi durumunda her iki devrede istenen çıkış gerilimini üretmektedir ancak önerilen durumda gereken PWM süresi artırımını daha düşüktür.



Şekil 7.4. Geleneksel ve önerilen durumda çıkış işaretleri (yenilenmiş durum)

BÖLÜM 8

TARTIŞMA-SONUÇ VE ÖNERİLER

Transistörün icadından sonraki yıllarda bipolar transistörlü lojik kapılar yaygın şekilde kullanılmıştır. Belirli bir alana çok daha fazla sayıda transistör sığdırılması gerekliliği sonucu bipolar transistörlü lojik tasarımlar yerini önemli ölçüde alan etkili transistör içeren tasarımlara bırakmıştır ve bu durum günümüzde de devam etmektedir. Transistör ölçeğindeki küçülmeler son yıllarda tek basamaklı nanometre seviyelerine kadar ilerlemiştir ve 1 nanometre seviyesine yaklaşılmaya çalışılmaktadır.

Temel ve ileri seviye lojik tasarımların gerçekleştirilmesi için lojik temel kavramlar ve bilgiler iyi bilinmelidir. Birinci bölümde lojik tasarımlar ile ilgili temel kavramlar ve bilgiler anlatılmıştır. Ardından süreç içerisindeki gelişimine bağlı olarak lojik kapı sınıfları ve varsa alt üyeleri tanıtılmıştır.

Lojik tasarımların gerçekleştirilmesinde ve tasarım gerçekleştirildikten sonra değerlendirilmesinde kullanılan ve tüm süreçte kolaylık sağlayan birçok parametre ve standart bulunmaktadır. Bahsi geçen parametreler ve standartlar ikinci bölümde anlatılmıştır. Ardından günümüzde en yaygın şekilde kullanılan CMOS ve PT lojik kapı mimarileri ve bu mimarilere uygun şekilde elde edilen lojik kapılar tanıtılmıştır.

Tek basamaklı nanometre ölçeği üretim zorluklarını beraberinde getirmektedir. Bu seviyelerde transistörler anahtarlama özelliklerini kaybetmeye ve amacına uygun şekilde çalışmamaya başlamaktadır. Bu durum geçmişte tahmin edildiğinden alan etkili transistörlere alternatif olabilecek transistör teknolojileri birkaç on yıl öncesinden itibaren araştırılmaya ve geliştirilmeye başlamıştır. Alternatif transistör çeşitleri içinde transistörün taban etkisinin kullanılması, karbon yapılı ve grafen yapılı transistörler yer almaktadır. Üçüncü bölümde CMOS ve PT lojik kapıları alan etkili transistörler kullanarak, alan etkili transistörlerin taban etkisini kullanarak, karbon yapılı ve grafen

yapılı transistörler kullanarak gerçekleştirilmiştir. Toplam sekiz durumdaki lojik kapılar güç tüketimi ve yayılım gecikmesi yönünden karşılaştırılmıştır.

Lojik kapıların bir arada kullanılmasıyla veya lojik kapılardan daha fazla sayıda transistör kullanarak karmaşık lojik işlemler gerçekleştirilebilir. Bu işlemleri gerçekleştiren dijital devrelere lojik devre denir. Dördüncü bölümde tampon, yarı toplayıcı, yarı çıkarıcı, tam toplayıcı ve D flip-flop lojik devreleri tanıtılmış ve giriş-çıkış işaretleri verilmiştir.

Toplama işlemi temel bir aritmetik işlemdir ve elektronikte tam toplayıcı devreler ile gerçekleştirilir. Tam toplayıcı lojik devre tasarımında mecburi olmasada EXOR ve EXNOR lojik kapılarının önemi büyüktür. Bu amaçla beşinci bölümde transistörlerin tamamında taban etkisini kullanarak ultra düşük gerilimli ve enerji verimli yeni EXOR ve EXNOR lojik kapıları önerilmektedir. Önerilen lojik kapıların tam toplayıcı lojik devre uygulamaları yapılmıştır.

Bir sayısal entegre içerisinde yer alan lojik kapı sayısı gün geçtikçe artmıştır. Entegre içindeki lojik kapıların simülasyonlarının gerçekleştirilmesi oldukça zaman alabilir. Bu nedenle zaman alıcı simülasyonların gerçekleştirilmeden tahmin edilmesi tasarım sürecinde kolaylık sağlar. Altıncı bölümde grafen transistörlü inverter devresinin transistör kanal bölgesi parametrelerine bağlı olarak güç tüketimi ve yayılım gecikmesi değerleri ile grafen transistörlü lojik yapılar için derin öğrenme modelleri geliştirilmiştir.

Tez çalışmasında lojik yapılar düşük besleme gerilimleri ile düşük güçlü olarak gerçekleştirilmektedir. Güç tüketimini azaltmak için tasarımlarda besleme gerilimini düşük tutmak temel fikirlerden biridir. Tasarımlarda besleme gerilimleri 0.7V veya 0.4V gibi düşük seviyelerdedir. Ancak güç kaynakları bu kadar düşük besleme gerilimlerini içermemektedir. Bu durum nedeniyle güç kaynağı ve lojik yapılar arasında standart bir lojik gerilimi daha düşük bir standart lojik gerilime düşürecek converter (dönüştürücü) devresi kullanılmalıdır. Çeşitli converter devre tasarımları yapılmış olmasına gerilim düşürme işlemini sağlayan dönüştürücü devrelere buck converter devresi denir. Yedinci bölümde geleneksel buck converter devresi gerçekleştirilmektedir. Ardından geleneksel devrede yarıiletken elemanlar taban etkisi kullanılan transistörler ile değiştirilerek verim artışı sağlanmıştır.

İleride yapılacak çalışmalarda tez kapsamındaki çalışmalara ek olarak daha farklı alternatif transistör teknolojilerinin de lojik uygulamaları ve karşılaştırılması düşünülmektedir. Ayrıca lojik tasarımların deneysel sonuçlarının çıkarılması, layout çizimlerinin gerçekleştirilmesi ve devrelerin mümkün seviyede basitleştirilmesi planlanmaktadır.

Ek olarak 7. bölüme kadarki simülasyonlar HSPICE programı 2019 versiyonu ile ve 7. bölümdeki simülasyonlar PSPICE programı 2016 versiyonu ile gerçekleştirilmiştir. Devre ve lojik kapı çizimleri MULTISIM programı ile ve 1. bölümdeki transistör ölçek ilişkilerini belirten tabloların grafik çizimleri MATLAB programı ile yapılmıştır.

KAYNAKÇA

1. Sedra, A. A., Smith, K. C., Carusone, T. C., Gaudet, V., 2020. Microelectronic Circuits. Oxford University Press, 1296.
2. Boylestad, R., Nashelsky, L., Electronic Devices and Circuit Theory. Prentice Hall, 934.
3. Agarwal, A., Lang, J., 2005. Foundations Of Analog And Digital Electronic Circuits, Morgan Kaufmann Publishers, 984.
4. Razavi, B., 2014. Fundamentals of Microelectronics, University of California, John Wiley and Sons, 903.
5. Jaeger, R., Blalock, T., 2010. Microelectronic Circuit Design, Auburn University, University of Virginia, 1340.
6. Neamen, D., 2010. Microelectronics Circuit Analysis And Design, University of New Mexico, Mc Graw Hill, 1370.
7. Alçı, M., 1996. Sayısal Tümdrevre Elektroniğı, Erciyes Üniversitesi, Erciyes Üniversitesi Yayınları.
8. Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliğı, Lojik Devrelere Giriş ders notları.
9. Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliğı, Lojik Devre Tasarımı ders notları.
10. Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliğı, Dijital Elektronik ders notları.
11. Assaderaghi, F., Parke, S., Sinitsky, D., Bokor, J., Ko, P. K., Hu, C., 1994. A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation, **IEEE electron device letters**, 15(12): 510-512.
12. Assaderaghi F., Sinitsky D., Parke S. A., Bokor J., Ko P. K., Hu C., 1997. Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI, **IEEE transactions on electron devices**, 44(3): 414-422.
13. Sonam, Srivastava, R., 2016. Dynamic threshold MOS (DTMOS) and its application, **International journal of science, engineering and technology research (IJSETR)**, 5(6): 2062-2066.

14. Maymandi-Nejad, M., Sachdev, M., 2006. DTMOS technique for low-voltage analog circuits, **IEEE Transactions on very large scale integration (VLSI) systems**, **14**(10): 1151-1156.
15. Ercan, H., Tekin, S. A., Alçı, M., 2015. Low-voltage low-power multifunction current-controlled conveyor. **International journal of electronics**, **102**(3): 444-461.
16. Khateb, F., Kulejc, T., Kumngernd, M., 2015. 0.5-V DTMOS median filter, **AEU-International journal of electronics and communications**, **69**(11): 1733-1736.
17. Achigui, H. F., Fayomi, C. J. B., Sawan, M., 2006. 1-V DTMOS-based class-AB operational amplifier: implementation and experimental results, **IEEE Journal of solid-state circuits**, **41**(11): 2440-2448.
18. Uygur, A., Kuntman. H., 2013. DTMOS-based 0.4V ultra low-voltage low-power VDTA design and its application to EEG data processing, **Radioengineering**, **22**(2): 458-466.
19. Başak, M. E., Kaçar, F., 2016. Ultra-low voltage VDCC design by using DTMOS, **Acta physica polonica a**, **130**(1): 223-225.
20. Teh, Y.-K., Mok, P. K. T., 2016. DTMOS-based pulse transformer boost converter with complementary charge pump for multisource energy harvesting, **IEEE Transactions on circuits and systems II: express briefs**, **63**(5): 508-512.
21. Emir, R., Danışman K., Tekin, S. A., 2018. DTMOS tekniği kullanarak düşük gerilimli CMOS-DEĞİL lojik kapı tasarımı, 134-137. *Elektrik-elektronik ve biyomedikal mühendisliği konferansı (ELECO)*, Bursa, Türkiye.
22. Emir, R., Tekin, S. A., 2022. DTMOS tekniğini kullanarak 0.2V besleme gerilimli ve %97 enerji verimli ÖZEL-VEYA lojik kapı tasarımları, *Elektrik-elektronik ve biyomedikal mühendisliği konferansı (ELECO)*, Bursa, Türkiye.
23. Farhana, S., Alam, Z., Khan, S., 2014. CNTFET inverter: a high voltage gain logic gate. *IEEE International conference on smart instrumentation, measurement and applications (ICSIMA)*, Kuala Lumpur, Malaysia.
24. Paul, A., Pradhan, B., 2023. Impact of parametric variation on the characteristics and performance of CNTFET inverter, **IETE Journal of research**.
25. O'Connor, I., Liu, J., Gaffiot, F. 2006. CNTFET-based logic circuit design, 46-51. *IEEE DTIS: International conference on design & test of integrated systems in nanoscale technology, proceedings*, Tunis, Tunisia.

26. Shreya, S., Chandel, R., 2014. Performance analysis of CNTFET based digital logic circuits. *Students conference on engineering and systems (SCES)*, Allahabad, India.
27. Singh, P., Chandel, R., 2017. Design and performance analysis of digital circuits using carbon nanotube transistors, 166-171. *Proceedings of the international conference on inventive communication and computational technologies (ICICCT)*, Coimbatore, India.
28. Prasad, V., Banerjee, A., Das, D., 2018. Design of ternary logic circuits using CNTFET. *International symposium on devices, circuits and systems (ISDCS)*, Howrah, India.
29. Khurshid, T., Singh, V., 2023. Energy efficient design of unbalanced ternary logic gates and arithmetic circuits using CNTFET, **AEU-International journal of electronics and communications**, 163.
30. Abbasian, E., Nayeri, M., 2023. A high-speed low-energy one-trit ternary multiplier circuit design in CNTFET technology, **ECS Journal of solid state science and technology**, 12(2).
31. Gadgil, S., Sandesh, G. N., Vudadha, C., 2024. **Design of a ternary logic processor using CNTFET technology, Circuits systems and signal processing.**
32. Zahoor, F., Hussin, F. A., Khanday, F. A., Ahmad, M. R., Nawi, I. M., Ooi, C. Y., Rokhani, F. Z., 2021. Carbon nanotube field effect transistor (CNTFET) and resistive random access memory (RRAM) based ternary combinational logic circuits, **Electronics**, 10(1).
33. Wakabayashi, K., Fujita, M., Ajiki, H., Sigrist, M., 1999. Electronic and magnetic properties of nanographite ribbons, **Physical review b**, 59(12): 8271-8276.
34. Nakada, K., Fujita, M., Dresselhaus, G., Dresselhaus, M. S., 1996. Edge state in graphene ribbons: nanometer size effect and edge shape dependence, **Physical review b**, 54(24): 17954-17961.
35. Brey, L., Fertig, H. A., 2006. Electronic states of graphene nanoribbons, **Physical review b**, 73(23): 235411-235418.
36. Yang, L., Park, C.-H., Son, Y.-W., Cohen, M. L., Louie, S. G., 2007. Quasiparticle energies and band gaps in graphene nanoribbons, **Physical review letters**, 99(18): 186801-186805.

37. Johari, Z., Hamid, F. K. A., Tan, M. L. P., Ahmadi, M. T., Harun, F. K. C., Ismail R., 2013. Graphene nanoribbon field effect transistor logic gates performance projection, **Computational and theoretical nanoscience**, **10**(5): 1164-1170.
38. Emir, R., Yamacli, D. S., Yamacli, S., Tekin, S. A., 2024. Deep learning approach for modeling the power consumption and delay of logic circuits employing GNRFET technology, **Electronics**, **13**(15).
39. Arora, S., Tripathi, S. L., 2024. A comprehensive analysis of ultra low power GNRFET based 20T hybrid full adder for computing applications, **Physica scripta**, **99**(8).
40. Florance, D. R., Prabhakar, B., Mishra., M. K., 2022. Design and implementation of ALU using graphene nanoribbon field-effect transistor and fin field-effect transistor, **Journal of nanomaterials**, **2022**.
41. Elangovan, M., Sharma, K., Mahmoud, H. A., Sachdeva, A., Jegatheeswaran, S., 2024. Design of power efficient and reliable hybrid inverter approach based 11 T SRAM design using GNRFET technology, **AEU-International journal of electronics and communications**, **177**.
42. Abbasian, E., Gholipour, M., Izadinasab, F., 2021. Performance evaluation of GNRFET and TMDFET devices in static random access memory cells design, **International journal of circuit theory and applications**, **49**(11): 3630-3652.
43. Kashani, S. A. S., Alidash, H. K., Miryala, S., 2017. Schottky-barrier graphene nanoribbon field-effect transistors-based field-programmable gate array's configurable logic block and routing switch, **IET Circuits, devices & systems**, **11**(6): 549-558.
44. Madhuri, B. D., Sunithamani, S., 2020. Design of ternary logic gates and circuits using GNRFETs, **IET Circuits, devices & systems**, **14**(7): 972-979.
45. Abbasian, E., Orouji, M., Anvari, S. T., 2023. An efficient GNRFET-based circuit design of ternary half-adder, **AEU-International journal of electronics and communications**, **170**.
46. Sandhie, Z. T., Ahmed, F. U., Chowdhury, M. H., 2020. Design of ternary logic and arithmetic circuits using GNRFET, **IEEE Open journal of nanotechnology**, **1**: 77-78.

47. Sandhie, Z. T., Ahmed, F. U., Chowdhury M. H., 2020. Design of ternary master-slave D-flip flop using MOS-GNRFET, 554-557. *IEEE 63rd international midwest symposium on circuits and systems (MWSCAS)*.
48. Basha, S. J., Venkatramana, P., 2023. Design of ternary logic circuits using GNRFET and RRAM, **Circuits systems and signal processing**, **42**(12): 7335-7356.
49. <https://www.tsmc.com/english>, (10.08.2024).
50. Naseri, H., Timarchi, S., 2018. Low-power and fast full adder by exploring new XOR and XNOR gates, **IEEE Transactions on very large scale integration (VLSI) systems**, vol. **26**(8), 1481-1493.
51. Amini-Valashani, M., Ayat, M., Mirzakuchaki, S., 2018. Design and analysis of a novel low power and energy-efficient 18T hybrid full adder, **Microelectronics journal**, **74**: 49-59.
52. Neamen, D. A., 2010. *Microelectronics Circuit Analysis and Design*. University of New Mexico: Albuquerque, NM, USA; McGraw-Hill: New York, NY, USA, 1395.
53. Lin, J.-F., Hwang, Y.-T., Sheu, M.-H., Ho, C.-C., 2007. A novel high-speed and energy efficient 10-transistor full adder design, **IEEE Transactions on circuits and systems 1 - regular papers**, **54**(5): 1050-1059.
54. Hussain, S., Hasan, M., Agrawal, G., Hasan, M., 2021. A high-performance full swing 1-bit hybrid full adder cell, **IET Circuit devices & systems**, **16**(3): 210-217.
55. Rafik, M., Pitchai, K., 2022. Design and analysis of XOR-XNOR circuit based modified hybrid full adder, *IEEE delhi section conference (DELCON)*, New Delhi, India.
56. Rafiee, M., Shiri, N., Sadeghi, A., 2022. High-performance 1-bit full adder with excellent driving capability for multistage structures, **IEEE Embedded systems letters**, **14**(1): 47-50.
57. Geron, A. *Hands-On Machine Learning with Scikit-Learn, Keras, and TensorFlow: Concepts, Tools, and Techniques to Build Intelligent Systems*; O'Reilly Media: Newton, MA, USA, 2019; ISBN 978-1492032649.
58. Chollet, F. *Deep Learning with Python*, Manning, ISBN: 978-1617294433, USA.

59. Canton Croda, R. M., Gibaja Romero, D. n. E., Caballero Morales, S. O., 2019. Sales prediction through neural networks for a small dataset, **International journal of interactive multimedia and artificial intelligence**, 5(4): 35-41.
60. Nassif, A. B., Ho, D., Capretz, L. F., 2013. Towards an early software estimation using log-linear regression and a multilayer perceptron model, **Journal of systems and software**, 86(1), 144-160.
61. Fujita, T., Sato, A., Narita, A., Sone, T., Iokawa, K., Tsuchiya, K., Yamane, K., Yamamoto, Y., Ohira, Y., Otsuki, K., 2019. Use of a multilayer perceptron to create a prediction model for dressing independence in a small sample at a single facility, **Journal of physical therapy science**, 31: 69-74.
62. Walde, J. F., Tappeiner, G., Tappeiner, U., Tasser, E., Holub, H. W., 2004. Statistical aspects of multilayer perceptrons under data limitations, **Computational statistics & data analysis**, 46(1), 173-188.
63. Ingrassia, S., Morlini, I., 2005. Neural network modeling for small datasets, **Technometrics**, 47: 297-311.
64. Gürel, S., Tekin, S. A., Bulk switched DC-DC buck converter, **Energy, environment and storage**, 2(2): 31-40.
65. Emir, R., Tekin, S. A., 2023. DC-DC buck converter using DT MOS technique for ultra low voltage applications, *International conference on electrical and electronics engineering (ELECO)*, Bursa, Türkiye.
66. Khan, M. S., Nag, S. S., Das, A., Yoon, C., Analysis and control of an input-parallel output-series connected buck-boost DC-DC converter for electric vehicle powertrains, **IEEE Transactions on transportation electrification**, 9(2): 2015-2025.
67. Sahin, Y., Suleyman, N., Yesilyurt, H., 2023. A novel capacitor-voltage reduced bidirectional PWM DC-DC buck-boost converter for renewable energy battery charge system, **International journal of circuit theory and applications**, 51(6): 2875-2888.
68. Garcia-Rodriguez, V. H., Perez-Cruz, J. H., Ambrosio-Lazaro, R. C., Tavera-Mosqueda S., 2023. Analysis of DC/DC boost converter-full-bridge buck inverter system for AC generation, **Energies**, 16(6).

69. Sen, D., Mahapatra, R. K., Saha T. K., Dey J., 2023. Bifurcation of double-input DC-DC buck buck-boost fused converter, **Journal of control automation and electrical systems**, **34**(3): 578-587.
70. Keramida, E., Souliotis, G., Vlassis, S., Plessas, F., 2023. Buck-boost charge pump based DC-DC converter, **Journal of low power electronics and applications**, **13**(2).



ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı: Recep EMİR
Uyruğu: Türkiye (T.C)
Medeni Durum:
e-mail:
Yazışma Adresi:

EĞİTİM

Derece	Kurum	Mezuniyet Tarihi
Yüksek Lisans	Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliği	2019
Lisans	Erciyes Üniversitesi, Elektrik-Elektronik Mühendisliği	2012

İŞ DENEYİMLERİ

Yıl	Kurum	Görev
2014-2023	Nuh Naci Yazgan Üniversitesi	9+ Yıl

YABANCI DİL

İngilizce / 86.25 / Yök-Dil-2018

İNDEKSLİ DERGİ YAYINLARI

- [1] **R. Emir, D. Sürekçi Yamaçlı, S. Yamaçlı, S. A. Tekin, "Deep Learning Approach for Modeling the Power Consumption and Delay of Logic Circuits Employing GNRfet Technology", Electronics, Vol. 13, 2024.**
- [2] **R. Emir, S. A. Tekin, "Novel XOR-XNOR Based Ultra-Low Voltage and Energy Efficient Full Adder Designs Using DTMOS Technique", IETE Journal of Research, (in review).**

- [3] **R. Emir, S. A. Tekin, "MOS Transistor Based Low Power and High Speed Fundamental Logic Gates"**, Erciyes University Journal of Institute of Science and Technology, Vol. 39, pp. 126-131, 2023.
- [4] **S. Aslan, S. A. Tekin, R. Emir, "Gravity Energy Storage Technologies: A Review of the Solid Gravity Energy Storage Applications"**, Energy, Environment and Storage, Vol. 4, pp. 66-70, 2024.

KONGRE/SEMPOZYUM YAYINLARI

- [1] **R. Emir, S. A. Tekin, "Bandwidth Determination for Low Voltage Digital Inverter Using GNRfet at 7nm"**, International Congress on Engineering and Science, pp. 334-340, 2024.
- [2] **S. Aslan, F. G. Ünlü, R. Emir, S. A. Tekin, M. Gündoğ, "Brachytherapy Method Using Individualized Applicators to Increase Efficiency in Skin Tumors Treatment"**, International Conference on Access to Recent Advances in Engineering and Digitalization (ARACONF), The European Journal of Research and Development, Vol. 4, pp. 220-228, 2024.
- [3] **R. Emir, S. A. Tekin, "Low Voltage Buffer Gate Design to Use in Digital Systems"**, International Congress on Engineering Architecture and Design, pp. 1238-1243, 2023.
- [4] **R. Emir, S. A. Tekin, "DC-DC Buck Converter Using DTMOS Technique for Ultra Low Voltage Applications"**, International Conference on Electrical and Electronics Engineering (ELECO), Article No. 83, 2023.
- [5] **R. Emir, S. A. Tekin, "DTMOS Tekniğini Kullanarak 0.2V Besleme Gerilimli ve %97 Enerji Verimli ÖZEL-VEYA Lojik Kapı Tasarımları"**, Elektrik-Elektronik ve Biyomedikal Mühendisliği Konferansı (ELECO), Bildiri No. 25, 2022.
- [6] **R. Emir, S. A. Tekin, K. Danışman, "DTMOS Tekniği Kullanarak Düşük Güçlü ve Gerilimli CMOS-DEĞİL Lojik Kapı Tasarımı"**, Elektrik-Elektronik ve Biyomedikal Mühendisliği Konferansı (ELECO), Sayfa No. 134-137, 2018.