

**GÖRÜNTÜ İŞLEME ALGORİTMALARININ FPGA ÜZERİNDE  
GERÇEKLENMESİ**


**Mehmet Fatih ÖZÇELİK**

**YÜKSEK LİSANS TEZİ  
BİLGİSAYAR BİLİMLERİ**

**GAZİ ÜNİVERSİTESİ  
BİLİŞİM ENSTİTÜSÜ**

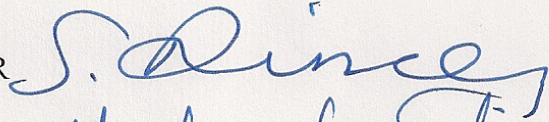
**TEMMUZ 2012  
ANKARA**

Mehmet Fatih ÖZÇELİK tarafından hazırlanan GÖRÜNTÜ İŞLEME ALGORİTMALARININ FPGA ÜZERİNDE GERÇEKLENMESİ adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

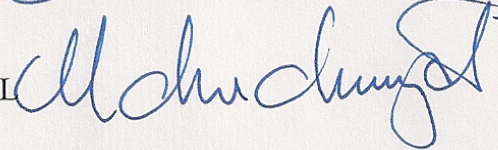
  
Yrd. Doç. Dr. Hasan Şakir BİLGE  
Tez Yöneticisi

Bu çalışma, jürimiz tarafından oy birliği ile Bilgisayar Bilimleri Anabilim Dalında Yüksek Lisans tezi olarak kabul edilmiştir.

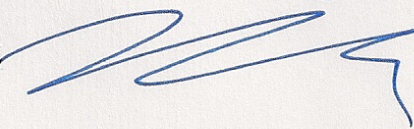
Başkan: : Prof. Dr. M. Sezai DİNÇER



Üye : Prof. Dr. M. Ali AKCAYOL



Üye : Yrd. Doç. Dr. Hasan Şakir BİLGE

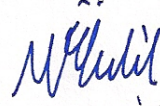


Tarih : 19/07/2012

Bu tez, Gazi Üniversitesi Bilişim Enstitüsü tez yazım kurallarına uygundur.

## TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.



Mehmet Fatih ÖZÇELİK

**GÖRÜNTÜ İŞLEME ALGORİTMALARININ FPGA ÜZERİNDE  
GERÇEKLENMESİ  
(Yüksek Lisans Tezi)**

**Mehmet Fatih ÖZÇELİK**

**GAZİ ÜNİVERSİTESİ  
BİLİŞİM ENSTİTÜSÜ**

**Haziran 2012**

**ÖZET**

Görüntü işleme algoritmaları; sağlık, güvenlik, savunma gibi birçok alanda kullanılmaktadır. Bu çalışmada bazı görüntü işleme algoritmaları FPGA geliştirme kartı üzerinde gerçekleştirilmiştir. FPGA tabanlı geliştirme kartları üzerinde gerçek zamanlı olarak görüntüde renk değiştirme, morfolojik açma ve kapama, kırmızı renkli nesne takibi, ten rengi tanıma, sobel filtresinin görüntüye uygulanması gibi bir takım tasarımlar gerçekleştirilmiştir. Bu işlemlerde donanım tanımlama dili olan Verilog kullanılmıştır. Elde edilen sonuçlar geliştirme kartına bağlanan monitör sayesinde gözlemlenmiştir. Yapılan bu çalışmanın, daha gelişmiş görüntü işleme sistemleri tasarlamak için bir temel olacağı düşünülmektedir.

**Bilim Kodu : 902.1.013**  
**Anahtar Kelime : Görüntü işleme, FPGA, Verilog**  
**Sayfa Adedi : 49**  
**Tez Yöneticisi : Yrd.Doç.Dr. Hasan Şakir BİLGE**

**IMPLEMENTATION OF IMAGE PROCESSING ALGORITHMS ON FPGA  
HARDWARE  
(M.Sc. Thesis)**

**Mehmet Fatih ÖZÇELİK**

**GAZİ UNIVERSITY  
INFORMATICS INSTITUTE  
June 2012**

**ABSTRACT**

**Image processing algorithms are used in different areas such as health, security, defence and etc.. In this study some of the image processing algorithms are implemented on the FPGA processing board. On the FPGA development board, which is produced by Altera company, some designs, like image color change, morphological dilation and erosion, red color object tracking, skin color detection and sobel filter, are realized. During this implementations, Verilog hardware design language is used. Results are observed in real time via a monitor which is connected the FPGA development board. It is thought that, this research would be a basis of more complicated image processing systems.**

**Science Code : 902.1.013  
Key Words : Image processing, FPGA, Verilog,  
Page Number : 49  
Adviser : Assist.Prof. Hasan Şakir Bilge**

## TEŐEKKÜR

Öğretim hayatım boyunca benden maddi manevi desteęini esirgemeyen, babam Prof.Dr. İsmail Özçelik'e, tüm çalışmalarım boyunca bana destek olan eşime ve anneme çok teşekkür ederim. Çalışmalarım boyunca değerli yardım ve katkılarıyla beni yönlendiren Hocam Yrd.Doç.Dr. Hasan Şakir Bilge'ye, teşekkürü borç bilirim.

## İÇİNDEKİLER

	<b>Sayfa</b>
ÖZET .....	v
ABSTRACT .....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER .....	vii
ÇİZELGELERİN LİSTESİ .....	ix
ŞEKİLLERİN LİSTESİ .....	x
RESİMLERİN LİSTESİ .....	xi
SİMGELER VE KISALTMALAR.....	xiii
1. GİRİŞ .....	1
2. FPGA .....	4
3. DONANIM .....	7
3.1. Altera DE2 ve DE2-70 Geliştirme Kartları.....	7
3.2. Görüntü Algılayıcı.....	10
3.3. Fotoğraf Makinesi .....	11
3.4. Kullanılan Diğer Donanımlar .....	12
4. İŞLEVSEL BİRİMLERİN TASARIMI.....	13
4.1. CCD Görüntü Algılayıcı Modül.....	13
4.1.1. I <sup>2</sup> C protokolü .....	14
4.2. RAW2RGB Modülü.....	15
4.2.1. Bayer görüntü formatı .....	15
4.2.2. Görüntünün RGB'ye dönüştürülmesi.....	16

**Sayfa**

4.3. SDRAM hafıza birimi .....	17
4.4. VGA Protokolü.....	18
5. TASARLANAN GÖRÜNTÜ İŞLEME ALGORİTMALARI .....	22
5.1. Görüntünün Gri ve Siyah-Beyaz'a çevirilmesi .....	22
5.2. Kırmızı Renkli Nesne Takibi .....	25
5.3. Ten Rengi Algılama .....	27
5.4. Morfolojik İşlemler .....	29
5.4.1. Morfolojik aşındırma (Morphological erode).....	29
5.4.2. Morfolojik yayma (Morphological dilation) .....	31
5.5. Hareket Tespiti (Motion Detection) .....	34
5.6. Sobel Süzgeci .....	35
5.6.1. Kan hücrelerinin sınırlarının bulunması .....	39
6. SONUÇLAR .....	43
KAYNAKLAR .....	45
EKLER .....	47
EK-1. Sistemin genel blok şeması .....	48
ÖZGEÇMİŞ .....	49

**ÇİZELGELERİN LİSTESİ**

<b>Çizelge</b>	<b>Sayfa</b>
Çizelge 3.1. Altera DE2 ve DE2-70 geliştirme kartlarının özellikler .....	8
Çizelge 5.1. Kırmızı renkli objede VGA çıkışa gönderilen renk bilgisi.....	26
Çizelge 5.2. Gerçek zamanlı çalışan sobel filitrenin FPGA kaynaklarını kullanımı .	37

## ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. Altera Cyclone II FPGA'in içerdği ana birimler .....	5
Şekil 3.1. Kullanılan geliştirme kartlarının giriş/çıkış birimleri .....	9
Şekil 4.1. Görüntü bilgisinin geliştirme kartında izlediği yol blok diyagramı .....	13
Şekil 4.2. CCD görüntü algılama modülü.....	14
Şekil 4.3. I <sup>2</sup> C'nin örnek şematik gösterimi .....	15
Şekil 4.4. I <sup>2</sup> C modülü .....	15
Şekil 4.5. Bayer görüntü formainda renklerin dağılımı .....	16
Şekil 4.6. Bayer görüntü sisteminde algılayıcı renk filtreleri .....	16
Şekil 4.7. Bayer formatındaki görüntü bilgisinin, RGB veri haline dönüştürülmesi. 16	
Şekil 4.8. Bayer formatındaki görüntüyü RGB'ye dönüştüren modül.....	17
Şekil 4.9. SDRAM'e yazılan veri .....	18
Şekil 4.10. SDRAM'den çıkan görüntü bilgisi .....	18
Şekil 4.11. DE-15 soketi .....	19
Şekil 4.12. VGA sonrası teknolojilerin çözünürlük değerleri.....	19
Şekil 4.13. Görüntü bilgisinin VGA kontrol modülü aracılığı ile Monitöre ulaşması 20	
Şekil 4.14. VGA modülü.....	21
Şekil 5.1. FPGA kartı blok diyagramı.....	22
Şekil 5.2. Monitörden alınan görüntü .....	23
Şekil 5.3. Geliştirme kartı üzerindeki analog sinyali sayısal sinayale dönüştüren devre şeması .....	24
Şekil 5.4. Görüntüyü oluşturan renk katmanları .....	25
Şekil 5.5. Oluşturulan sistemin çalışma adımlarını gösteren blok diyagram.....	26

<b>Şekil</b>	<b>Sayfa</b>
Şekil 5.6. Aşındırma işlemi.....	30
Şekil 5.7. Pikseller için aşındırma işlemi.....	30
Şekil 5.8. Yayma işlemi .....	32
Şekil 5.9. Piksellerde genişletme/yayma işlemi.....	32
Şekil 5.10. Sobel filtresinde kullanılan filtreler .....	35
Şekil 5.11. Sobel filtresinde maskelerin kullanılması.....	36
Şekil 5.12. Örnek kanın lam üzerine yayılması işlemi.....	39
Şekil 5.13. Kan görüntülerinin elde edilmesi.....	40

## RESİMLERİN LİSTESİ

<b>Resim</b>	<b>Sayfa</b>
Resim 2.1. Altera ve Xilinx firmaları tarafından üretilen bazı FPGA'ler.....	4
Resim 2.2. Kullanılan derleyici Altera Quartus 9.1 Web .....	6
Resim 3.1. Kullanılan geliştirme kartları .....	7
Resim 3.2. Altera DE2-70 geliştirme kartı giriş/çıkış birimleri.....	9
Resim 3.3. Kullanılan görüntü algılayıcılar .....	10
Resim 3.4. Altera TRD5 görüntü algılayıcının DE2-70 FPGA geliştirme kartına takılmış görünümü .....	11
Resim 3.5. Kullanılan dijital fotoğraf makinesi .....	11
Resim 3.6. Kullanılan diğer donanımlar .....	12
Resim 5.1. Fotoğraf makinesinden gerçek zamanlı olarak alınan görüntünün monitördeki hali .....	24
Resim 5.2. Geliştirme kartının kamerası önünde çalışan kırmızı bir LED ve kırmızı ışık konum bilgisinin monitördeki görüntüsü.....	27
Resim 5.3. FPGA geliştirme kartına bağlı monitörden alınan sonuç.....	29
Resim 5.4. FPGA kartı aracılığı ile aşındırılmış görüntü.....	31
Resim 5.5. FPGA kartı aracılığı ile genişletilmiş görüntü .....	33
Resim 5.6. Gerçek zamanlı hareket tespiti.....	34
Resim 5.7. Hareketli piksellerin görünümü .....	35
Resim 5.8. Sobel filtresi uygulanan resim .....	38
Resim 5.9. Fotoğraf makinesinin FPGA geliştirme kartına bağlantısı .....	40
Resim 5.10. Mikroskopik kan hücreleri yayma görüntüsü .....	41
Resim 5.11. Mikroskopik akyuvar hücresi görüntüsü .....	42

## SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış bazı simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

<b>Simgeler</b>	<b>Açıklama</b>
<b>MB / MByte</b>	Mega Bayt, veri miktarı birimi
<b>Mhz</b>	Mega Hertz, frekans birimi
<b>Bit</b>	En küçük veri birimi
<b>Kısaltmalar</b>	<b>Açıklama</b>
<b>FPGA</b>	Field Programmable Gate Array
<b>DSP</b>	Digital Signal Processor
<b>JPEG</b>	Joint Photographic Experts Group
<b>CCD</b>	Charge Coupled Device
<b>I<sup>2</sup>C</b>	I-squared Cee, Inter Integrated Circuit
<b>RGB</b>	Red, Green, Blue
<b>SDRAM</b>	Synchronous Dynamic Random Access Memory
<b>VGA</b>	Video Graphics Adapter
<b>LED</b>	Light Emitting Diode
<b>MR</b>	Magnetic Resonance
<b>VHDL</b>	Very High Speed Integrated Circuit Hardware Description Language
<b>I/O</b>	Input/Output (giriş/çıkış)
<b>PLL</b>	Phase-Locked Loop
<b>USB</b>	Universal Serial Bus
<b>DAC</b>	Digital Analog Converter
<b>NTSC</b>	National Television System Committee

<b>Kısaltmalar</b>	<b>Açıklama</b>
<b>PAL</b>	Phase Alternating Line
<b>SSRAM</b>	Synchronous Static Random Access Memory
<b>SD</b>	Secure Digital
<b>SMA</b>	SubMiniature version A
<b>MAC</b>	Media Access Control
<b>IrDA</b>	Infrared Data Association
<b>SRAM</b>	Static Random Access Memory
<b>SEG</b>	Segment
<b>TV</b>	Televizyon
<b>LCD</b>	Liquid Crystal Display
<b>DPDT</b>	Double Pole Double Throw
<b>CMOS</b>	Complementary Metal Oxide Semiconductor
<b>FIFO</b>	First In First Out
<b>FVAL</b>	Frame Valid
<b>LVAL</b>	Line Valid
<b>PCLK</b>	Pixel Clock
<b>MCLK</b>	Master Clock
<b>SDA/SDAT</b>	Synchronise Data
<b>SCL/SCLK</b>	Synchronise Clock
<b>HS</b>	Horizontal Sync
<b>VS</b>	Vertical Sync
<b>CLK</b>	Clock
<b>ADDR</b>	Address
<b>CTRL</b>	Control
<b>uC</b>	Micro Controller
<b>ADC</b>	Analog Digital Converter
<b>GND</b>	Ground
<b>Bw</b>	Black White
<b>AV</b>	Analog Video

## 1. GİRİŞ

Bu çalışmada FPGA tabanlı geliştirme kartında gerçek zamanlı olarak çalışacak değişik görüntü işleme algoritmaları geliştirilmesi amaçlanmıştır. Çalışmada; Altera firmasının ürettiği DE2 ve DE2-70 serisi FPGA geliştirme kartları kullanılmıştır. Geliştirme Kartının analog video girişine bağlı kamera vasıtası ile ya da geliştirme kartının üzerine genişletme birimlerinden bağlanan kamera sayesinde alınan görüntülerin, bir takım işlemlerden geçmiş hali, geliştirme kartının çıkışına bağlanan monitör sayesinde izlenmiştir. Geliştirme kartı üzerindeki FPGA'ye gömülen değişik görüntü işleme algoritmalarının sonucu VGA çıkışından gerçek zamanlı olarak ekrandan izlenmiştir.

Paralel işlem yapabilme yeteneği sayesinde FPGA'ler, aynı anda birden fazla görevi yerine getirebilir. Bu nedenle yüksek hız gerektiren uygulamalarda sıklıkla tercih edilir. Mesela Koca, yüksek lisans tezinde normalde basit ve karmaşık olan altı eksenli bir robot kol kontrolünü, basit ve ekonomik olarak FPGA donanımını kullanarak gerçekleştirmiştir [1]. Aksebzeci ise bir asansör sisteminin kontrolünün modellenmesini Xilinx firmasının FPGA donanımını kullanarak gerçekleştirmiştir. Bu işlemde 4 katlı bir bina model asansör kullanmış, ve petri netler yardımıyla geliştirdiği sistemi modellemiştir [2]. Öcal; Askeri ve devletler arası haberleşmede daha yüksek güvenli ve daha hızlı bilgi iletimine ihtiyaç olduğunu öngörerek, FPGA tabanlı bir şifreleme sistemi gerçekleştirmiştir [3]. Caner, FPGA kullanarak araç plakalarının önce yerini daha sonra da plakanın içeriğini tanıyan bir sistem gerçekleştirmiştir. Plaka alanının bulunabilmesi için; gabor flitre, genişletme, eşikleme ve bağlantılı bileşenler analizi kullanmıştır [4]. Bahsedilen bu çalışmaların dışında -paralel işlem yapabilme kabiliyetine sahip olduğu için- hız gerektiren başka bir çok çalışmada da FPGA'ler kullanılmıştır. Yüksek hız gerektiren algoritmaların başında gelen görüntü işleme algoritmaları konusunda; Christie, ve arkadaşları MR cihazından alınan beyin görüntülerinde bulunan tümörlerin tespiti için, Xilinx marka bir FPGA geliştirme kartından faydalanmışlardır. FPGA üzerinde uyguladıkları değişik görüntü filtreleri ile tümör yerini belirlemişlerdir. Oluşturdukları sistem Matlab ile entegre bir şekilde çalışıp, literatürde bulunan başka sistemlere göre, %50

daha az kaynak kullanımı gerçekleştirmiştir [5]. Özsaraç ise mekanik görüntü sabitlemeye alternatif sayısal bir görüntü sabitleme algoritması tasarlamış ve bu algoritmayı FPGA üzerinde gerçeklemiştir. FPGA donanımı ile gerçekleştirilen tasarımdan alınan sonuçların doğruluğunu ise Matlab kullanarak kontrol etmiştir [6]. Cho, ve arkadaşları VHDL dilini kullanarak gerçek zamanlı olarak çalışan bir cisim takip algoritması geliştirmiştir. Bu modelde; parçacık filtresi kullanmışlardır ve tasarlanan bu sistemi FPGA üzerinde gerçeklemiştirler [7]. Rodiriguez, ve arkadaşları ise FPGA üzerinde gerçek zamanlı medyan filtresi tasarlayıp çalıştırarak, üretim merkezlerindeki hataların görsel olarak belirlenmesini sağlayan bir sistem oluşturmuşlardır [8]. Diaz ve arkadaşları ise yine FPGA üzerinde sanal hareket algılayıcı olarak adlandırdıkları, gerçek zamanlı olarak çalışan, optik akış algoritması gerçekleştirmişlerdir [9]. Nelson, yüksek lisans tezinde Xilinx ve Altera firmalarının ürettiği farklı FPGA donanımlarını kullanarak bir takım morfolojik işlemleri ve konvolüsyon işlemini gerçekleştirmiş, aldığı sonuçları MATLAB kullanarak aldığı sonuçlarla karşılaştırmıştır [10]. Bulsara ve arkadaşları, FPGA kullanarak medikal görüntü işleme sistemi oluşturmuşlardır. Oluşturulan bu sistemde medikal görüntü algılayıcı sistemlerden gelen verilerin, geliştirilerek hastane bilgisayar sisteminde kaydedilmesi ve uzmanların bu görüntüleri internet aracılığı ile buldukları her yerden inceleyebileceği bir sistem tasarlanmıştır. Yapılan çalışmada göz, görüntüleri üzerinde çalışılmış, istenildiği takdirde diğer görüntü algılayıcı medikal sistemlere de bu sistemin geliştirilebileceği vurgulanmıştır [11]. Nana ve arkadaşları ise DSP ile FPGA donanımını birlikte kullanarak alınan bir görüntünün çözünürlüğünü geliştirerek daha net bir görüntü elde etmişlerdir. Bu işlemde; Xilinx Spartan-3 FPGA donanımını görüntünün ön yapılandırmasında kullanmışlar ve DSP ile çözünürlüğü geliştirmişlerdir [12]. Lande ve arkadaşları ise tarayıcı, dijital fotoğraf makinesi ve kamera gibi sistemlerde sayısal damgalamayı belirleyen bir sistem tasarlamışlardır. Gerçek zamanlı olarak JPEG görüntülerindeki sayısal damgalamayı belirleyen bu sistemde, tasarladıkları algoritmanın gerçek zamanlı çalışması için, yani hıza ve düşük kaynak kullanımına ihtiyaç duyması nedeniyle FPGA donanımını kullanmışlardır [13].

Bu çalışmanın giriş bölümünü takip eden ikinci bölümünde; genel olarak FPGA'lerden ve bazı avantajlarından, üçüncü bölümde kullanılan donanım tanımlama dili Verilog'dan ve bu dilin derlendiği Quartus programından bahsedilmiştir.

Dördüncü bölümde çalışma süresince kullanılan başta Altera DE2 ve DE2-70 geliştirme kartları olmak üzere tüm donanımsal araçlar ve özellikleri üzerinde durulmuştur.

Beşinci bölümde tasarlanan işlevsel birimlerden olan görüntü algılayıcı, SDRAM, VGA gibi modüllerden ve bunların çalıştığı I<sup>2</sup>C protokolü ve alınan görüntünün formatı olan Bayer görüntü formatından bahsedilmiştir.

Altıncı bölümde; tasarlanan sistemlerden, alınan görüntünün siyah-beyaza dönüştürülmesi, kırmızı renkli nesnenin takip edilmesi, ten renginin algılanması, ve görüntüye genişletme, aşındırma gibi morfolojik işlemlerin uygulanmasından en son olarak da kenar yakalama filtrelerinden biri olan sobel filtresinin uygulanması ve alınan sonuçlardan bahsedilmiştir.

En son bölüm olan sonuçlar kısmında; çalışmadan elde edilen sonuçların değerlendirilmesi ve bu çalışmanın temel oluşturabileceği olası gelecek çalışmalar ele alınmıştır.

## 2. FPGA

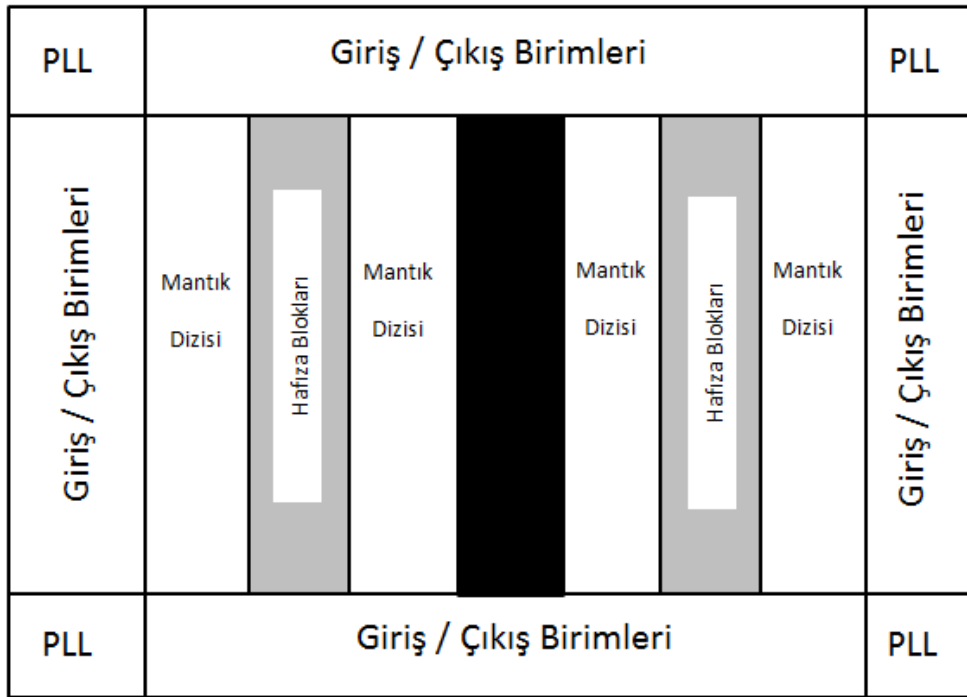
FPGA'ler (Field Programmable Gate Array - Alanda Programlanabilir Kapı Dizisi); istenilen fonksiyona göre iç yapısı programlanabilen entegrelerdir. Üretim sonrasında istenilen şekilde programlanabilmeleri nedeniyle 'Alanda Programlanabilir' adı verilmiştir. Dış görüntüleri bildiğimiz entegre ve çiplerden çok farklı değildir (Resim 2.1). FPGA, içerisinde sayısal devre oluşturabilmek için gerekli birçok logic kapı blokları, anahtarlar vs. barındırır. Bu sayede istenilen fonksiyona göre bu kapı blokları programlanır. Bu işlem VHDL (Very High Speed Integrated Circuit Hardware Description Language), Verilog gibi donanım tasarlama dilleri kullanılarak gerçekleştirilir. FPGA kullanılarak yapılan tasarımlar değiştirilerek tekrar FPGA üzerine yüklenip çalıştırılabilir. Yani aynı FPGA üzerine defalarca kod yazma-silme işlemi yapılabilir. Bu durum tasarımcılar için çok büyük kolaylık sağlamaktadır, tasarımcı istediği kodu yazıp dener ve aldığı sonuca göre istediği tüm değişiklikleri aynı FPGA üzerinde tekrar tekrar deneyebilir.



Resim 2.1. Altera ve Xilinx firmaları tarafından üretilen bazı FPGA'ler

FPGA'leri, diğer çiplerden üstün kılan en önemli özelliği paralel işlem yapma yeteneğine sahip olmalarıdır. Bu nedenle hız gerektiren görüntü ve sinyal işleme gibi uygulamalarda tercih edilirler.

Bu çalışmada kullanılan FPGA, Altera firmasının ürettiği Altera Cyclone II'dir. Altera Cyclone II'nin içerisinde barındırdığı ana birimler Şekil 2.1.'de görüldüğü gibi; giriş/çıkış birimleri (I/O Elements), lojik işlem birimleri (Logic Elements), sistem saat yöneticisi (PLL), ve hafıza bloklarıdır (Memory Blocks).



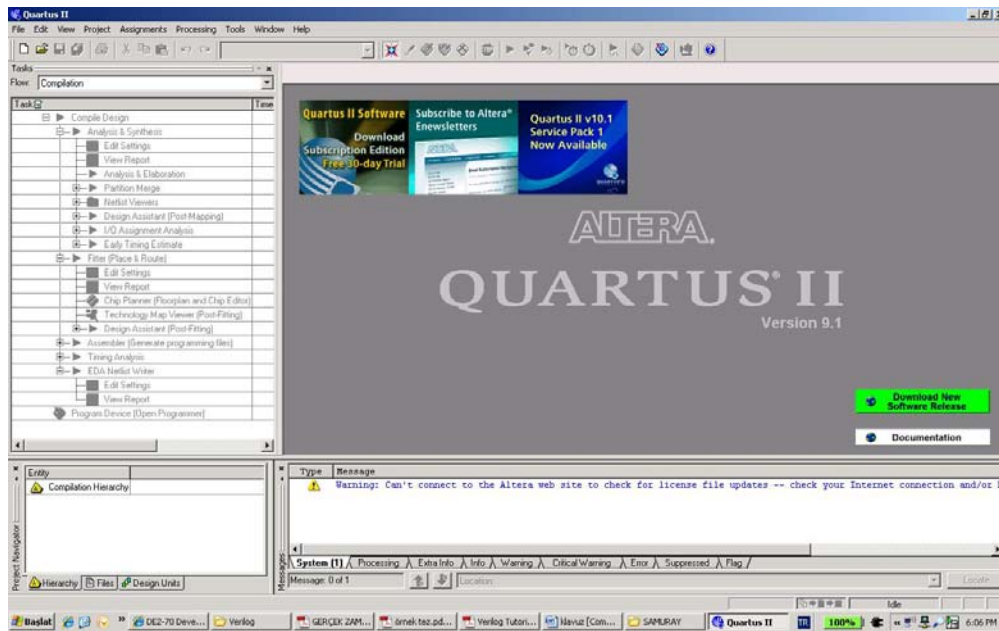
Şekil 2.1. Altera Cyclone II FPGA'in içerdiği ana birimler

FPGA'leri programlamak için en çok kullanılan donanım tasarlama dilleri Verilog ve VHDL'dir.

Bu tezde Altera firmasının FPGA geliştirme kartlarının kullanılması ve Altera firmasının bu kartlarla birlikte FPGA tasarımcılarına temel kaynak olarak sunduğu demo programının Verilog donanım tanımlama dili ile sunulması nedeniyle, Verilog tercih edilmiştir.

Verilog; C programlama diline çok benzemesi nedeniyle, birçok C kullanıcısı tarafından tercih edilen, ve bu kişiler tarafından kolayca öğrenilebilen bir dildir.

Verilog programlama dili, sayısal bir sistemi, modül setleri ile tanımlar. Bu modüller birbirleriyle tasarımı yapan kişinin tanımladığı kurallar çerçevesinde ilişkilidir. Bu tezde yazılan Verilog kodları, Altera Quartus 9.1 Web versiyonu kullanılarak derlenmiştir (Resim 2.2).



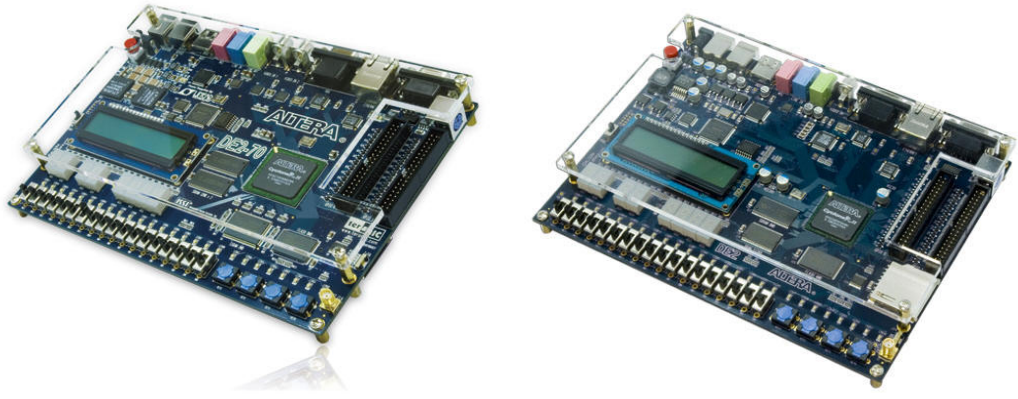
Resim 2.2. Kullanılan derleyici Altera Quartus 9.1 Web

### 3. DONANIM

Bu çalışmada kullanılan donanımsal araçlar; FPGA geliştirme kartları, görüntü algılayıcı sensörler, harici görüntü kaynağı olarak dijital fotoğraf makinesi, FPGA geliştirme kartında çalıştırılan sistemin sonucunu görmek için monitör, ışık kaynağı, ve mikroskoptur.

#### 3.1. Altera DE2 ve DE2-70 Geliştirme Kartları

Bu tezde gerçekleştirilen bazı uygulamalarda Altera firması tarafından üretilen DE2-70 serisi FPGA geliştirme kartı kullanılmıştır. DE2-70 geliştirme kartı üzerinde Cyclone II serisi bir FPGA vardır. DE2-70 geliştirme kartı bir önceki model olan DE2 serisi geliştirme kartının yeni versiyonudur. Bu versiyon geliştirme kartında aynı FPGA kullanılmış olsa da DE2-70 geliştirme kartı üzerindeki hafıza birimlerinin kapasitesi daha yüksek ve DE2 serisinde olmayan bir takım giriş/çıkış birimleri mevcuttur.

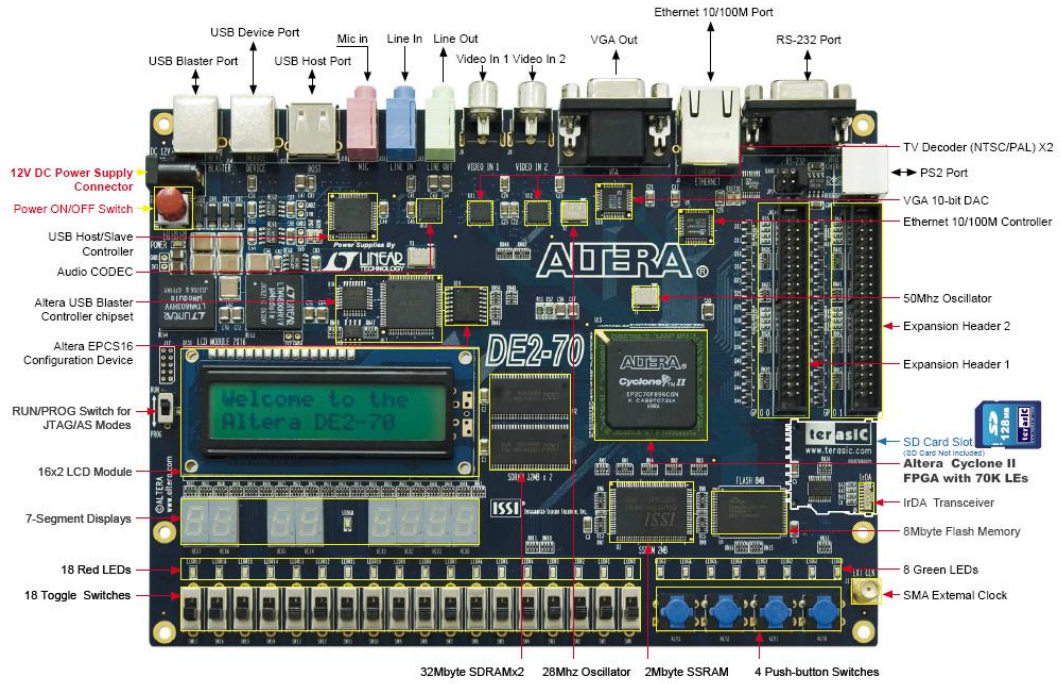


Resim 3.1. Kullanılan geliştirme kartları

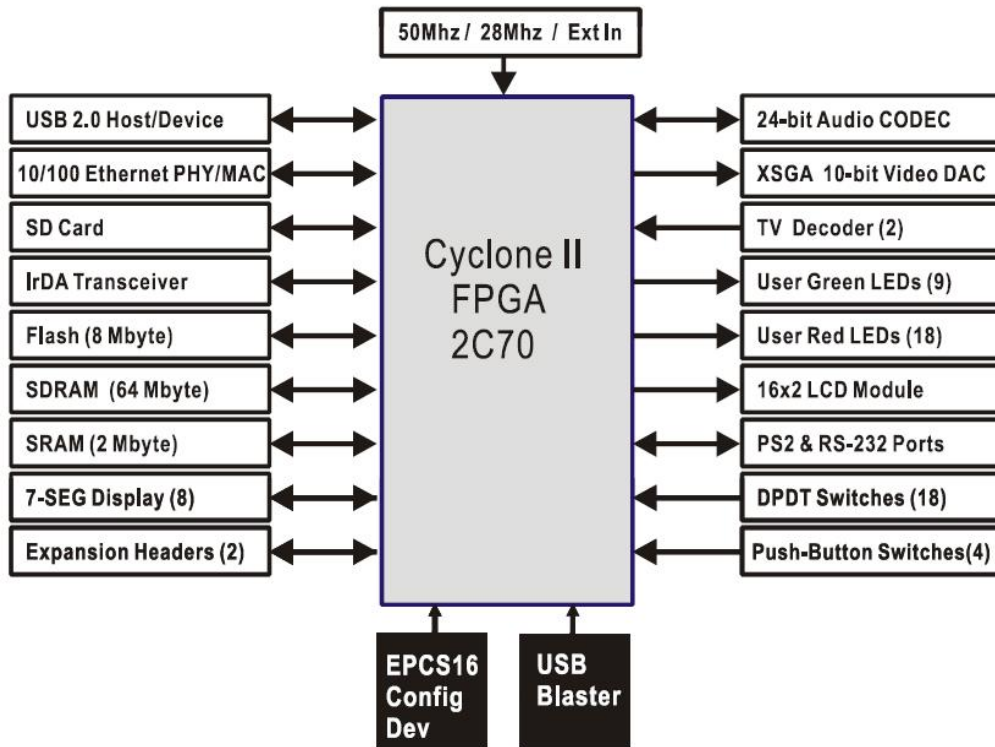
- a) Altera DE2-70
- b) Altera DE2

Çizelge 3.1. Altera DE2 ve DE2-70 geliştirme kartlarının özellikleri.

Özellik	ALTERA DE2-70	ALTERA DE2
FPGA	<ul style="list-style-type: none"> <li>• Cyclone II EP2C70F896C6</li> </ul>	<ul style="list-style-type: none"> <li>• Cyclone II EP2C70F896C6</li> </ul>
Giriş Çıkış Birimleri	<ul style="list-style-type: none"> <li>• FPGA konfigürasyonu için USB bağlantısı</li> <li>• Ses giriş/çıkış, Mikrofon giriş (24-bit Audio CODEC)</li> <li>• Video Çıkışı (VGA 10-bit DAC)</li> <li>• Video Girişi (NTSC/PAL/Multi-format) (2 ports)</li> <li>• RS232</li> <li>• Kızılötesi portu</li> <li>• PS/2 mouse veya klavye portu</li> <li>• 10/100 Ethernet</li> <li>• USB 2.0 (type A and type B)</li> <li>• Genişletme Başlıkları (iki adet 40-pin)</li> </ul>	<ul style="list-style-type: none"> <li>• FPGA konfigürasyonu için USB bağlantısı</li> <li>• Ses giriş/çıkış, Mikrofon giriş (24-bit Audio CODEC)</li> <li>• Video Çıkışı (VGA 10-bit DAC)</li> <li>• Video Girişi (NTSC/PAL/Multi-format)</li> <li>• RS232</li> <li>• Kızılötesi portu</li> <li>• PS/2 mouse veya klavye portu</li> <li>• 10/100 Ethernet</li> <li>• USB 2.0 (type A and type B)</li> <li>• Genişletme Başlıkları (iki adet 40-pin)</li> </ul>
Hafıza Birimleri	<ul style="list-style-type: none"> <li>• 64 MB SDRAM, 2 MB SSRAM, 8 MB Flash</li> <li>• SD hafıza kartı slotu</li> </ul>	<ul style="list-style-type: none"> <li>• 8 MB SDRAM, 512 KB SRAM, 4 MB Flash</li> <li>• SD hafıza kartı slotu</li> </ul>
Display	<ul style="list-style-type: none"> <li>• 8 adet 7-segment display</li> <li>• 1 adet 16 x 2 LCD display</li> </ul>	<ul style="list-style-type: none"> <li>• 8 adet 7-segment display</li> <li>• 1 adet 16 x 2 LCD display</li> </ul>
Anahtarlar ve LED'ler	<ul style="list-style-type: none"> <li>• 18 adet toggle anahtar</li> <li>• 18 adet kırmızı LED</li> <li>• 9 adet yeşil LED</li> <li>• Dört adet pushbutton anahtarlar</li> </ul>	<ul style="list-style-type: none"> <li>• 18 adet toggle anahtar</li> <li>• 18 adet kırmızı LED</li> <li>• 9 adet yeşil LED</li> <li>• Dört adet pushbutton anahtarlar</li> </ul>
Clocks	<ul style="list-style-type: none"> <li>• 50 MHz clock</li> <li>• 27 MHz clock</li> <li>• Harici SMA clock girişi</li> </ul>	<ul style="list-style-type: none"> <li>• 50 MHz clock</li> <li>• 27 MHz clock</li> <li>• Harici SMA clock girişi</li> </ul>



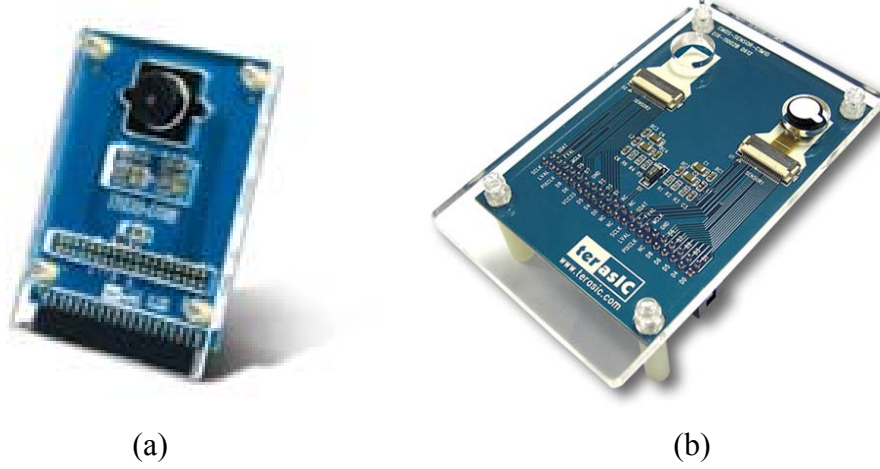
Resim 3.2. Altera DE2-70 geliştirme kartı giriş/çıkış birimleri [14]



Şekil 3.1. Kullanılan geliştirme kartlarının giriş/çıkış birimleri [14]

### 3.2. Görüntü Algılayıcı

Yapılan çalışmada Altera firmasının DE2 serisi FPGA geliştirme kartları için tasarlanmış 5 megapixel çözünürlükte görüntü alabilen TRDB-D5M ve 1.5 megapiksel çözünürlükte görüntü alabilen TRDB-DC2 sayısal kameraları kullanılmıştır. Kullanılan Altera TRDB-D5M ve TRDB-DC2 sayısal kameralarının görünümü Resim 3.3 verilmiştir.



(a)  
Resim 3.3. Kullanılan görüntü algılayıcılar  
a) TRDB-D5M  
b) TRDB-DC2

Bu görüntü sensörü, geliştirme kartı üzerinde bulunan 40 pinlik genişletme yuvasına doğrudan takılabilmektedir (Resim 3.4).



Resim 3.4. Altera TRD5 görüntü algılayıcının DE2-70 FPGA geliştirme kartına takılmış görünümü

### 3.3. Fotoğraf Makinesi

Gerçek zamanlı olarak ya da önceden çekilmiş fotoğrafların geliştirme kartına gönderilmesinde Panasonic marka Lumix TZ5 model bir dijital fotoğraf makinesi kullanılmıştır (Resim 3.5). Bu fotoğraf makinesinin analog video çıkış özelliği sayesinde geliştirme kartına doğrudan bağlantı yapılabilmiş ve gerçek zamanlı olarak görüntü aktarımı sağlanmıştır.



Resim 3.5. Kullanılan dijital fotoğraf makinesi

### 3.4. Kullanılan Diğer Donanımlar

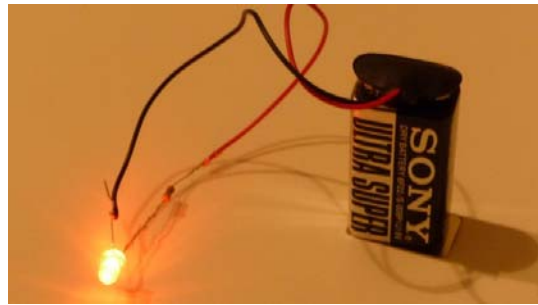
Geliştirme kartında işlenen görüntünün izlenebilmesi için kartın 16 pinli D-DUB tipi VGA çıkışına monitör bağlanmıştır. Işık takip algoritmasının gerçekleştirilmesinde ışık kaynağı olarak pille beslenen bir led ve hücre görüntülerinin sayısal ortama aktarılması için de üzerine fotoğraf makinesi bağlanabilen bir mikroskop kullanılmıştır.



a)



b)



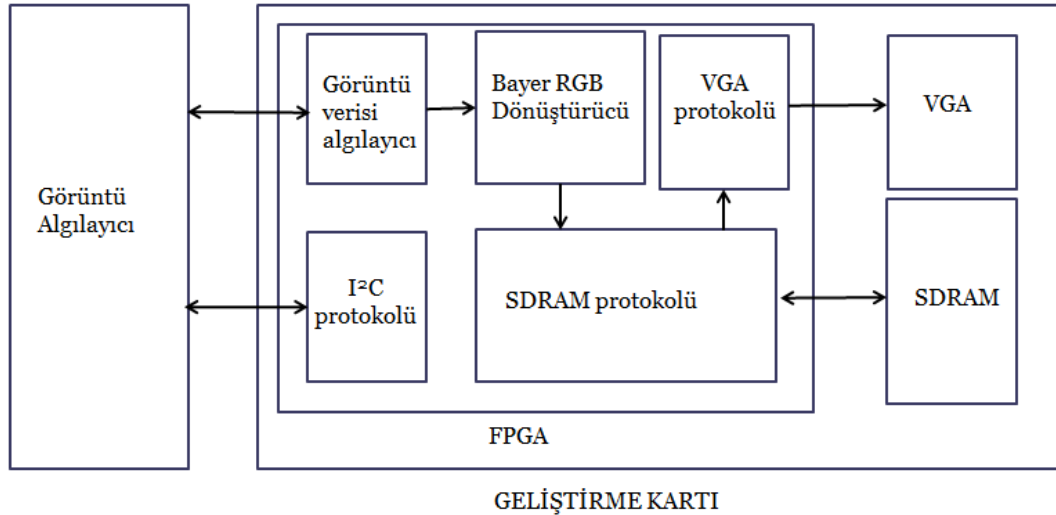
c)

Resim 3.6. Kullanılan diğer donanımlar

- a) monitör,
- b) mikroskop,
- c) led ışık kaynağı

#### 4. İŞLEVSEL BİRİMLERİN TASARIMI

Görüntünün algılayıcı tarafından alınıp monitöre ulaşmasına kadar geçen sürede uğradığı modüllerin blok şeması Şekil 4.1’de görüldüğü gibidir. CMOS algılayıcı I<sup>2</sup>C protokolünü kullanarak oluşturduğu görüntü bilgisini FPGA önce Bayer görüntü biçiminde RGB görüntü birimine dönüştürüyor. Daha sonra içerisinde bulundurduğu SDRAM hafıza birimine kaydediyor. FIFO yöntemiyle ilk girenin ilk çıktığı görüntü bilgisi dizisinde SDRAM’den çıkan veri VGA kontrol modülü aracılığıyla monitöre yansır ve bu sayede alınan görüntü ekrana yansımış olur.



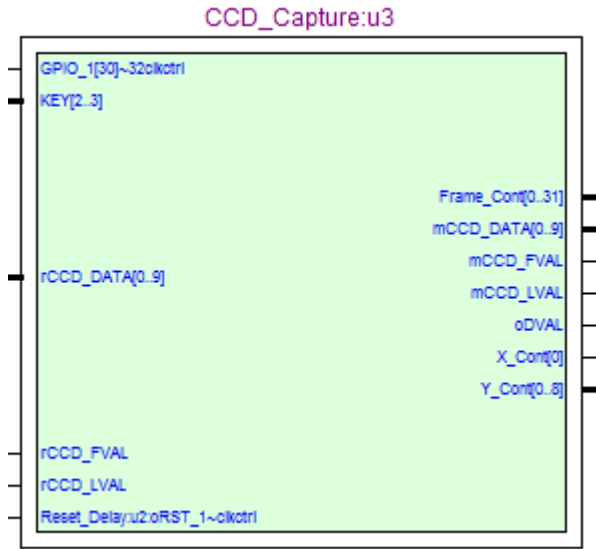
Şekil 4.1. Görüntü bilgisinin geliştirme kartında izlediği yol blok diyagramı [14]

Şekil 4.1.’de görüldüğü gibi, görüntü algılayıcı tarafından algılanan görüntü bilgisi I<sup>2</sup>C protokolü’nü kullanarak FPGA kartına aktarılır. FPGA kartında görüntü bilgisi önce Bayer görüntü formatından RGB görüntü formatına çevrilir, daha sonra SDRAM üzerine yazılarak oradan VGA kontrol modülü aracılığı ile ekranda oluşturulur.

##### 4.1. CCD Görüntü Algılayıcı Modül

Görüntü algılayıcı birim kameradan gelen 10 bitlik görüntü bilgisi olan rCCD\_DATA[0,9]’u alır ve gerekli işlemlerden sonra mCCD\_DATA[0,9] şeklinde

kırmızı, yeşil ve mavi renk bileşenlerine ayrılmak üzere RAW2RGB modülüne gönderir. Bu işlemler esnasında CCD modül I<sup>2</sup>C protokolü ile bu veri alışverişinin gerçekleşmesini sağlar.

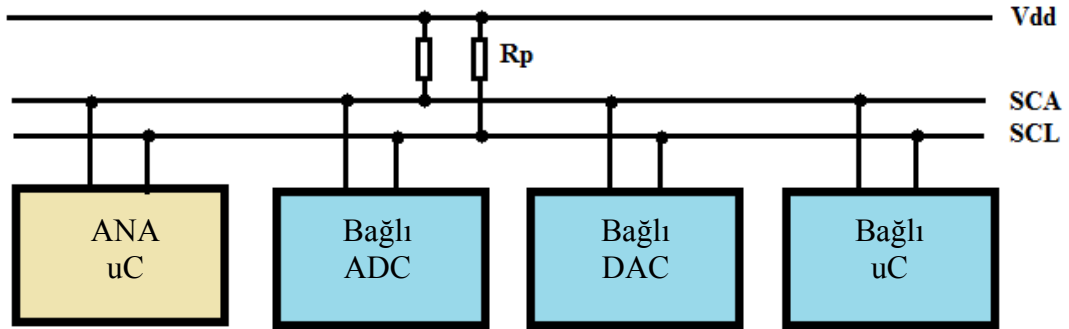


Şekil 4.2. CCD görüntü algılama modülü

#### 4.1.1. I<sup>2</sup>C protokolü

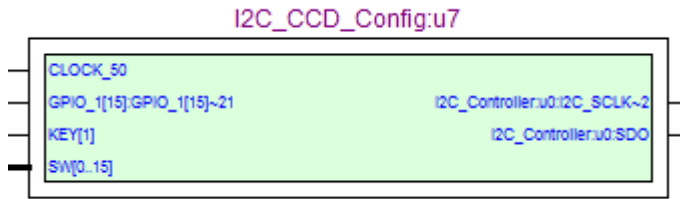
I<sup>2</sup>C (Inter-integrated Circuit) Protokolü, Philips tarafından geliştirilen çift yönlü seri veri iletişimi sağlayan bir standarttır. Diğer veri iletişim protokollerinden farklı hızlı veri iletimine de olanak sağlamasıdır [15].

Şekil 4.3.'de I<sup>2</sup>C protokolünün örnek şematik gösterimi verilmiştir. Bu gösterimde bir adet ana mikroişlemci (uC Master) ve üç adet bağımlı cihaz bulunmaktadır. Bağımlı sistemler analog sayısal dönüştürücü (ADC), sayısal analog dönüştürücü (DAC) ve bir de bağımlı mikro işlemcidir. Bu sistemde SCL; seri saat sinyali SDA da; seri veriyi temsil etmektedir. Rp (pull-up) direnci mevcut olup sisteme +5 veya +3,3 V gerilim uygulanır.



Şekil 4.3. I<sup>2</sup>C'nin örnek şematik gösterimi

Oluşturulan sistemde tasarlanan I<sup>2</sup>C modülü sayesinde FPGA kartı ile görüntü algılayıcı kameranın Eprom'u arasında iletişim sağlanmaktadır (Şekil 4.4)



Şekil 4.4. I<sup>2</sup>C modülü

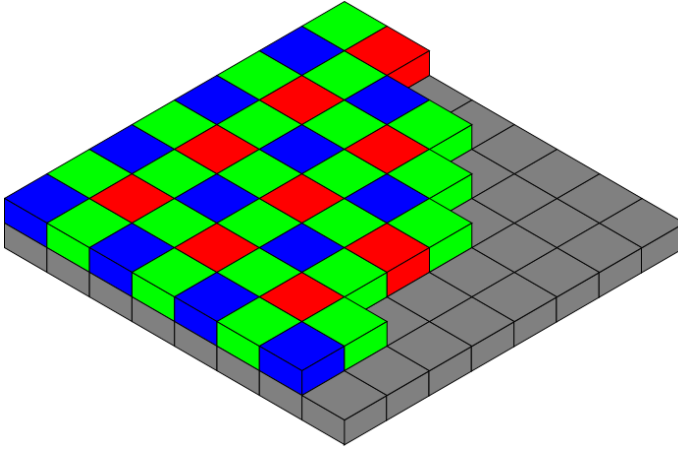
## 4.2. RAW2RGB Modülü

Kamera ile alınarak FPGA kartına gelen görüntü Bayer görüntü formatındadır. Alınan bu görüntünün işlenmek üzere FPGA üzerine yazılmasından önce ana renk bileşenleri olan yeşil, kırmızı ve mavi renk bilgilerine ayırımı yapılır.

### 4.2.1. Bayer görüntü formatı

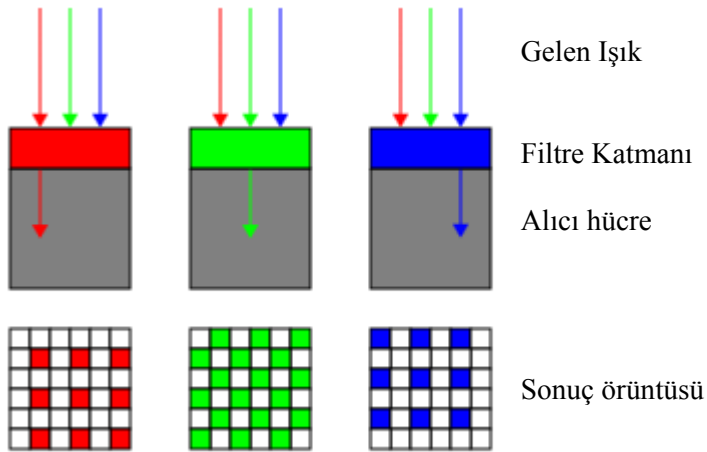
Bayer görüntü formatı; Bryce E. Bayer tarafından geliştirilmiş ve 1976 yılında patent koruması altına alınmıştır. İnsan gözünün yeşil rengi içeren dalga boyuna karşı daha hassas olması fikrinden yola çıkılarak oluşturulmuş olan bu görüntü sisteminde

kullanılan filtrede %50 yeşil, %25 mavi, ve %25 kırmızı renk için ayrılmış hücrelerin bulunduğu bir sistem tasarlanmıştır (Şekil 4.5) [16].



Şekil 4.5. Bayer görüntü formatında renklerin dağılımı

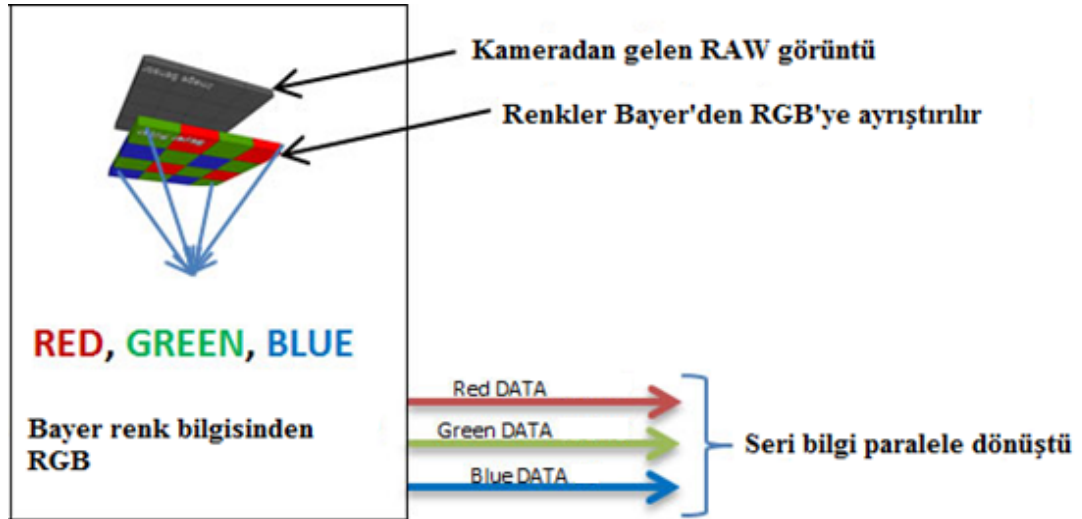
Şekil 4.5’de görüldüğü üzere oluşturan görüntü algılayıcı üzerindeki her 4 hücrenin ikisi yeşil biri mavi ve diğeri kırmızı renk için ayrılmıştır. Bu sistemde nesnelere yansıyan ışık söz konusu filtreden geçip renk bilgisini oluşturur (Şekil 4.6).



Şekil 4.6. Bayer görüntü sisteminde algılayıcı renk filtreleri

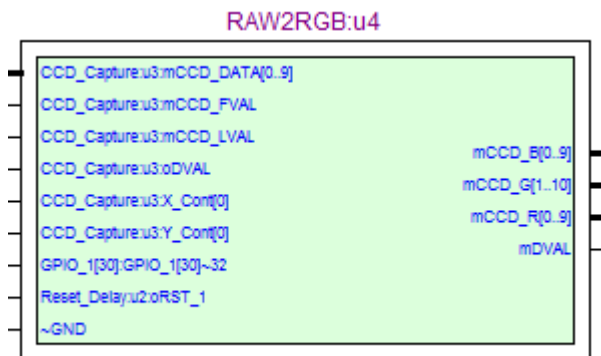
#### 4.2.2. Görüntünün RGB'ye dönüştürülmesi

Bayer görüntü formatındaki görüntü bilgisi; FPGA kartı üzerinde bulunan hafıza birimi olan SDRAM'e yazılmak üzere RGB formatına dönüştürülür.



Şekil 4.7. Bayer formatındaki görüntü bilgisinin, RGB veri haline dönüştürülmesi

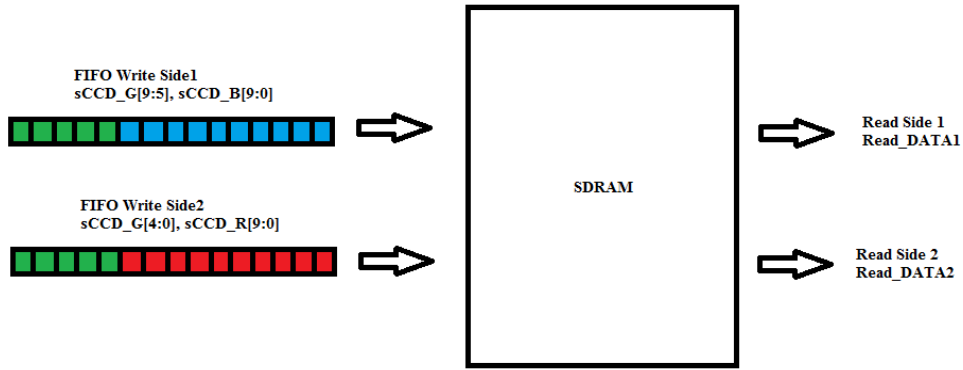
Kamera arcılığı ile alınan on bitlik mCCD\_DATA olarak adlandırılan görüntü bilgisi RAW2RGB'den yine onar bitlik mCCD\_B, mCCD\_G, ve mCCD\_R görüntü bileşenlerine ayrıştırılır (Şekil 4.7).



Şekil 4.8. Bayer formatındaki görüntüyü RGB'ye dönüştüren modül

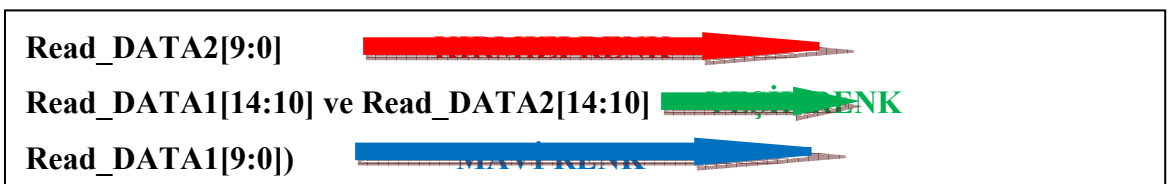
### 4.3. Sdram hafıza birimi

RAW2RGB modülü aracılığı ile kırmızı, mavi ve yeşil renk birimlerine ayrılan görüntü bilgisi FIFO mantığı ile SDRAM'e yazılır. SDRAM üzerine iki parça halinde yazılan onar bitlik kırmızı, mavi ve yeşil renk bilgisi Read\_DATA1 ve Read\_DATA2 şeklinde iki parça halinde modülden çıkar (Şekil 4.9).



Şekil 4.9. SDRAM'e yazılan veri

SDRAM'den çıkan Read\_DATA1 ve Read DATA2 yazmaçlarındaki veri Şekil 4.10'daki gibidir.

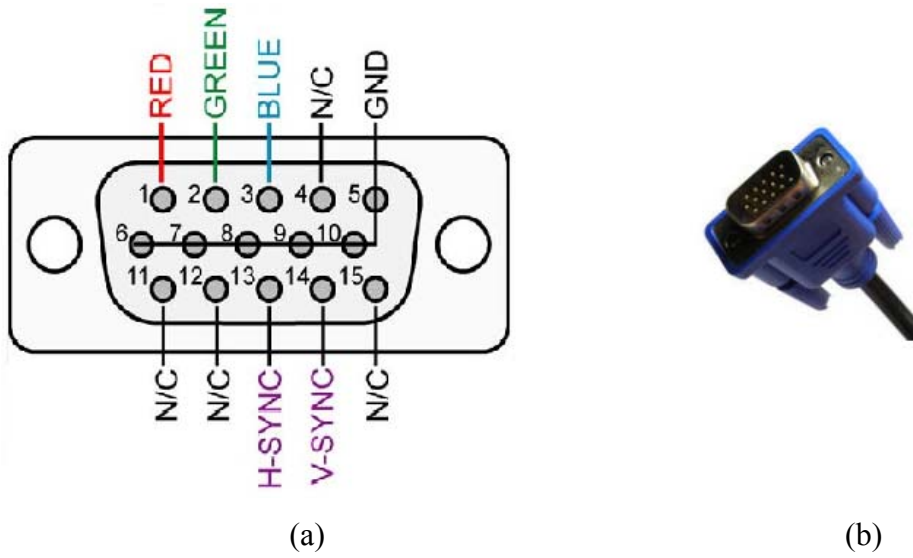


Şekil 4.10. SDRAM'den çıkan görüntü bilgisi

### 4.4. VGA Protokolü

VGA, 'video gate array'; Türkçesi 'video grafik dizisi' anlamına gelmektedir. IBM tarafından 1987 yılında geliştirilmiştir [17]. Eski bir teknoloji olmasına rağmen günümüzde yaygın olarak kullanılmaktadır. İlk çıktığında maksimum 640x480 piksel çözünürlüğe sahip olmasına rağmen zaman içinde çıkan versiyonlarında değişik ve daha üst seviye çözünürlük değerlerine erişilmiştir. Ancak tüm bu

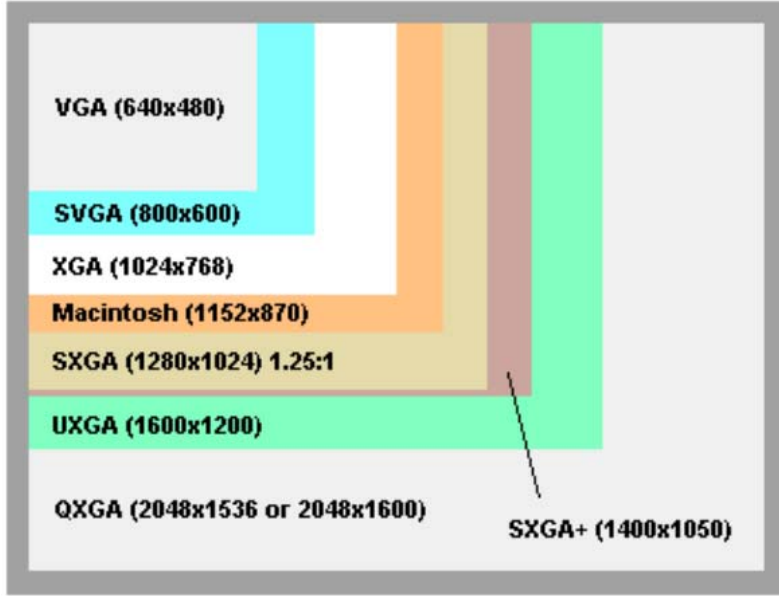
gelişmiş standartlara temel oluşturan analog VGA sinyali için, günümüzde birçok teknolojik üründe uygun 15 pinlik (Şekil 4.11) soket bırakılmaktadır, ve görüntü aktarımı bu DE15 soketi üzerinden yapılmaktadır.



Şekil 4.11. DE-15 soketi  
a) veri yolları  
b) VGA soket görünümü

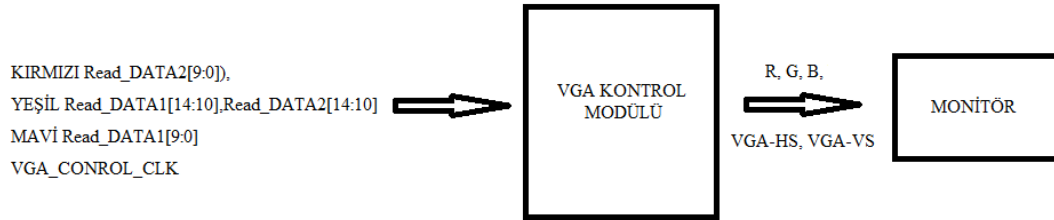
DE-15 Soketi üzerinde aktif beş veri bağlantısı bulunmaktadır;

- red(R), green(G), blue(B): Kırmızı, yeşil, mavi renk bilgisini taşıyan analog sinyaller,
- horizontal sync: Satır eşlemesini sağlayan dijital sinyal,
- vertical sync: Sütün eşlemesini sağlayan dijital sinyaldir.

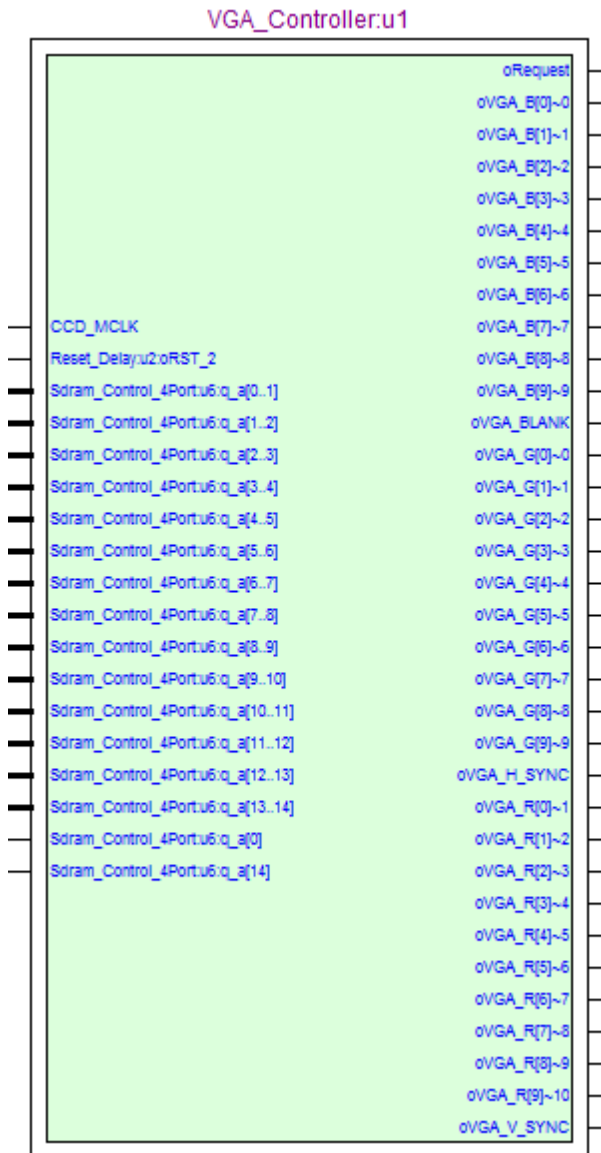


Şekil 4.12. VGA sonrası teknolojilerin çözünürlük değerleri

Gerçekleştirilen çalışmalarda VGA kontrol birimine gönderilen görüntü bilgisi monitöre yansıtılmış ve alınan görüntünün izlenmesine olanak sağlanmıştır.



Şekil 4.13. Görüntü bilgisinin VGA kontrol modülü aracılığı ile monitöre ulaşması

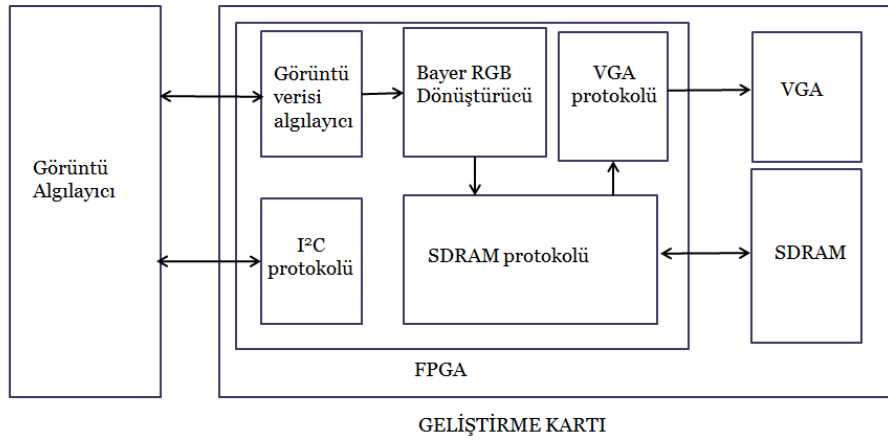


Şekil 4.14. VGA modülü

## 5. TASARLANAN GÖRÜNTÜ İŞLEME ALGORİTMALARI

Bu bölümde, bu kısma kadar verilen bilgiler ışığında geliştirme kartı üzerinde gerçekleştirilen görüntü işleme algoritmalarının çalışmaları ve alınan sonuçlar verilmiştir.

Sistem üzerinde gerçekleştirilen görüntü işleme algoritmalarının donanım üzerinde ne şekilde çalıştığı ve hangi birimleri takip ettiği Şekil 5.1.'de verilmiştir.



Şekil 5.1. FPGA kartı blok diyagramı

Gerçeklenen görüntü işleme algoritmalarının çalıştırılmasında Altera firmasının demo amaçlı çalışmalarda kullanılması için tasarlanmış olan, temel verilog proje dosyası kullanılmıştır. Bu algoritma Altera DE2 ve DE2-70 geliştirme kartları için uygun tüm birimlerin giriş çıkışlarının belirlenip adreslendiği proje dosyası kullanılmıştır. Bu dosya ile belirlenen girdi çıktı birimleri sayesinde sistem tasarımları kolay bir şekilde gerçekleştirilmiş ve sonuçlar gözlemlenmiştir.

### 5.1. Görüntünün Gri ve Siyah-Beyaz'a Çevirilmesi

Görüntü piksel bilgisinin gri seviyeli piksel renk bilgisine dönüştürülmesi amacıyla; VGA\_Controller modülüne gönderilen renk değerleri olan mRed, mGreen, mBlue değerlerinin aritmetik ortalaması alınmıştır.

$$Gri = ( mRed + mGreen + mBlue ) / 3 ; \quad (5.1)$$

Sadece siyah ve beyazdan oluşan görüntüyü elde etmek amacıyla ise; gri görüntünün sahip olduğu piksel değerinin eşik değeri olarak kabul edilen 512 değerinden büyük olup olmadığı kontrol edildi.

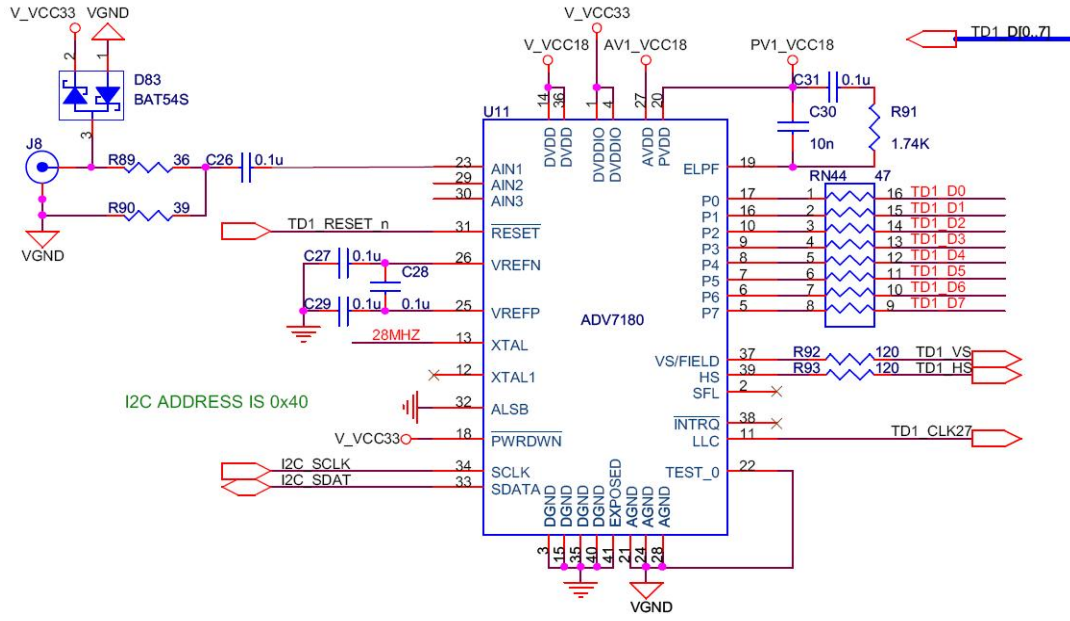
$$bw = ( ( gri < 10'd512 ) ? 10'd1023 : 10'd0 ) ; \quad (5.2)$$

Bu uygulamada ekran görüntüsü piksel koordinatları bilgisinden yola çıkılarak üç farklı bölüme ayrılmış ve görüntü bu şekilde izlenmiştir. Birinci bölümde orijinal görüntü, ikinci bölümde orijinal görüntünün gri skaladaki hali, üçüncü bölümde ise görüntü piksellerinin sadece siyah ve beyazdan oluşan hali yer almıştır (Şekil 5.2).



Şekil 5.2. Monitörden alınan görüntü

Bu işlemde gerçek zamanlı olarak harici bir kaynaktan alınan görüntünün FPGA geliştirme kartında analog video girişine bağlanması söz konusu olmuştur. AV girişinden alınan görüntü FPGA geliştirme kartı üzerindeki Şekil 6.3'deki devreyi tamamlayarak sisteme dahil olmuştur. Harici kaynak olarak kullanılan fotoğraf makinesinden alınan görüntü; görüntü aktarma kablosu aracılığı ile geliştirme kartının analog girişine gönderilir ve FPGA geliştirme kartı üzerindeki ADV7180 çipi yardımıyla görüntü bilgisi sayısal veriye dönüştürülür.



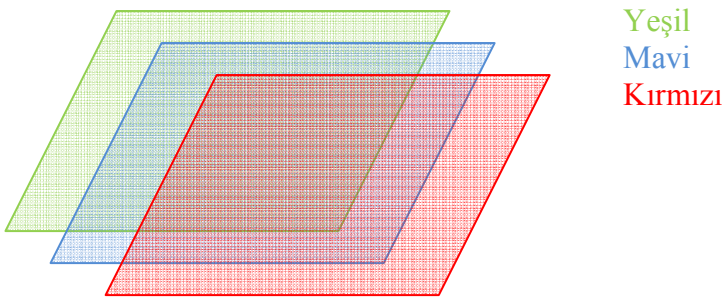
Şekil 5.3. Geliştirme kartı üzerindeki analog sinyali sayısal sinyale dönüştüren devre şeması



Resim 5.1. Fotoğraf makinesinden gerçek zamanlı olarak alınan görüntünün monitördeki hali

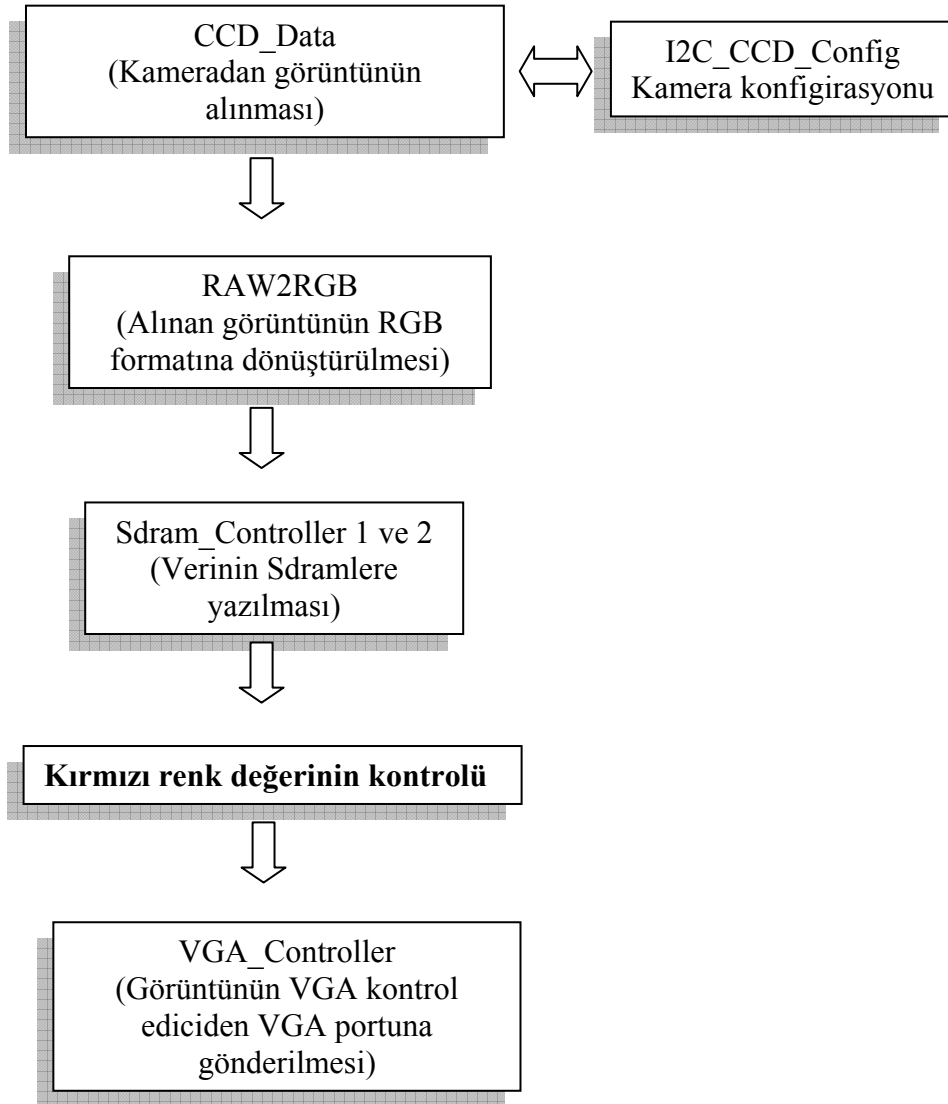
## 5.2. Kırmızı Renkli Nesne Takibi

Geliştirme kartı üzerine takılan görüntü algılayıcı aracılığı ile dış ortamdan alınan görüntü FPGA üzerinden ekrana verilmiştir. Bu işlemde önce dış ortamdan alınan görüntü, geliştirme kartı üzerinde sayısala dönüştürülmüş daha sonra sayısala dönüştürülen bu görüntünün kırmızı, yeşil ve mavi renk bilgileri kullanılarak kırmızı ışığın tespiti sağlanmıştır (Şekil 5.4).



Şekil 5.4. Görüntüyü oluşturan renk katmanları

Anlık renk bilgisi ile görüntüdeki objelerin sahip oldukları kırmızı, mavi ve yeşil renk değerleri kullanılarak ortamda kırmızı renk olup olmadığı anlaşılmıştır. Kırmızı renk ağırlıklı çıkan piksellere, kırmızı, diğer tüm piksellere siyah değeri atanmıştır. Böylece kırmızı rengi ayırtedebilen bir sistem geliştirilmiştir. Sistemin çalışması Şekil 5.5’de verilmiştir.



Şekil 5.5. Oluşturulan sistemin çalışma adımlarını gösteren blok diyagram

Kırmızı rengin tonları 0 ile 255 arasında değerler almaktadır. Sistemin kullanılan ışık kaynağındaki kırmızı tonu bulabilmek için bir kaç deneme yapılmış ve kırmızı renk için değer aralığı belirlenmiştir (Çizelge 5.1).

Çizelge 5.1. Kırmızı renkli objede VGA çıkışa gönderilen renk bilgisi;

75 > Kırmızı renk piksel değeri > 50 ise Kırmızı renk piksel değeri = 255,
değil ise Kırmızı renk = 0, Mavi = 0 , Yeşil = 0

Çizelge 5.1'deki kurallar uygulanarak ekranda sadece istediğimiz tondaki kırmızı renkler görünmektedir (Resim 6.2).



Resim 5.2. Geliştirme kartının kamerası önünde çalışan kırmızı bir LED ve kırmızı ışık konum bilgisinin monitördeki görüntüsü

Bu sistem gerçek zamanlı olarak çalışmaktadır. Işık kaynağının yeri değiştirildikçe monitördeki kırmızı alanda, gerçek zamanlı olarak yer değiştirmektedir.

### 5.3. Ten Rengi Algılama

Bu sistemde kameradan alınan görüntünün içerisinde ten rengi olup olmadığı bulunmaya çalışılmıştır. Ten renginin belirlenmesi konusunda birçok çalışma yapılmış ve değişik kurallar belirlenmeye çalışılmıştır. Geliştirilen bu sistemde ise

Peers ve arkadaşlarının geliştirdiği kurallar göz önünde bulundurularak ten rengi anlaşılma çalışılmıştır. Peers ve arkadaşlarının yöntemine göre bir rengin ten rengi olup olmadığını belirleyebilmek için Çizelge 5.2’de verilen kural gün ışığında pikselin renk değerinin ten rengi olup olmadığını anlamaktadır [18].

Çizelge 5.2. Ten rengini belirleyebilmek için Peers ve arkadaşlarının tanımladığı kural;

<p>K; Kırmızı renk,  Y; Yeşil renk,  M; Mavi renk ve renk değer aralığı 0 ile 255 olmak üzere;</p>
<p><math>K &gt; 95</math> ve, <math>Y &gt; 40</math> ve, <math>M &gt; 20</math> ve,  maksimum{K,Y,M} – minimum{ K,Y,M } &gt; 15 ve,  <math> K-Y  &gt; 15</math> ve,  <math>K &gt; Y</math> ve, <math>K &gt; M</math>,</p> <p>durumunda kırmızı, yeşil, ve mavinin oluşturduğu renk gün ışığında ya da flaş altındayken ten rengidir.</p>

Bu yöntemin en önemli avantajı kolay uygulanabilir olmasıdır. Ancak bu yöntemde aydınlanmanın etkisi ortadan kaldırılamamıştır. Yani ışığın konumuna ve şiddetine göre yöntemin başarısı değişmektedir. Bu olumsuzluğu ortadan kaldırmak için görüntü üzerinde değişik filitrelemeler ve iyileştirmeler yapılabilir [19].

Bu bilgiden yola çıkılarak kırmızı, yeşil ve mavinin çizelge 5.2’deki durumların tamamını yerine getirdiği piksellerde ekrana beyaz bilgisi ve bu koşulların tamamı birden gerçekleşmediği piksellere ise ekrana siyah bilgisi gönderilerek sadece ten rengini algılayan bir sistem oluşturulması sağlanmıştır (Resim 5.3). Bu sistem kameradan görüntü alındığı sürece yani gerçek zamanlı olarak çalışmaktadır.



Resim 5.3. FPGA geliştirme kartına bağlı monitörden alınan sonuç

#### 5.4. Morfolojik İşlemler

Morfoloji; kelime anlamıyla canlıların yapılarını ve şekillerini inceleyen bilim dalıdır. Görüntü işleme de ise matematiksel olarak temel küme işlemleri denilebilir. Bu temel küme işlemleri genellikle ikili, yani siyah ve beyazdan oluşan görüntüler üzerinde kullanılır. Morfolojik işlemler en çok kenar bulma, bölütleme ve gürültü giderme gibi işlemlerde kullanılır. Morfolojik işlemlerin temelini Aşındırma ve Yayma işlemi oluşturur, diğer morfolojik işlemler bu iki temel işlemin bir arada kullanılması ile gerçekleştirilir.

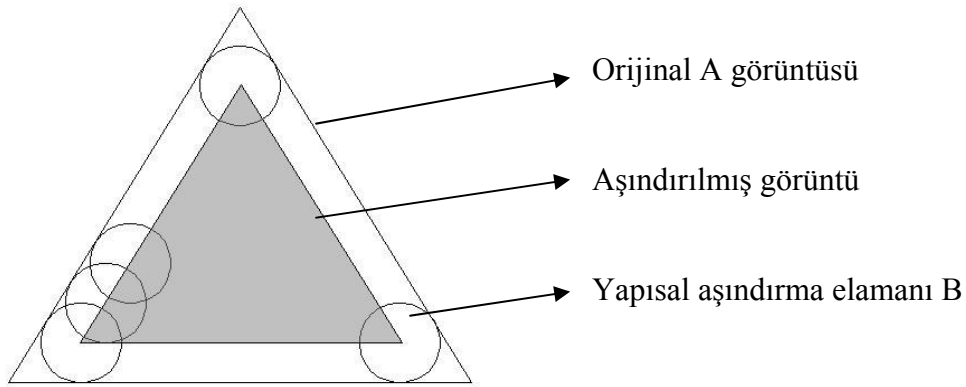
##### 5.4.1. Morfolojik aşındırma (Morphological erode)

Üzerinde çalışılan ikili görüntüdeki nesnelerin inceltilmesi ya da küçültülmesi amacıyla bu işlem kullanılır. Aşındırma miktarını kullanılan yapısal eleman belirler. Görüntüdeki nesne sınırları yapısal eleman kadar geriye çekilerek imge küçültülmüş yani daraltılmış olur. Bu işlemi birbirine değen imgeleri ayırmak için kullanmak mümkündür.

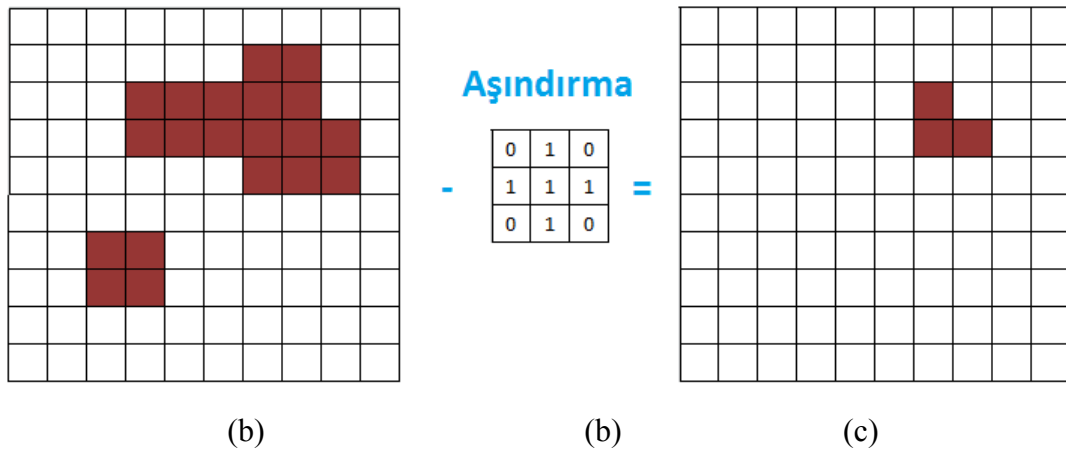
İki seviyeli bir A görüntüsünün B yapısal elemanı ile aşındırılması;

$$A \ominus B = \{x: B + x < A\}, \quad (5.3)$$

Şekil 5.6'da; orijinal üçgen görüntüsü A, dairesel B yapısal elemanı ile aşındırılmıştır. Bu işlem sonucunda büyük üçgen içerisindeki taralı küçük üçgen elde edilmiştir, yani görüntü aşındırılmıştır.



Şekil 5.6. Aşındırma işlemi



Şekil 5.7. Pikseller için aşındırma işlemi  
a) orijinal görüntü,  
b) yapısal aşındırma elemanı,  
c) aşındırılmış görüntü

Oluşturulan sistemde görüntü koordinat bilgisi kullanılarak ekranın sol tarafındaki bölümde orijinal görüntü diğer tarafında da aşındırılmış görüntü elde edilmiştir. Bu

işlemede önce görüntü ikili yani siyah-beyaz görüntüye daha sonra piksel komşulukları kontrol edilerek de aşındırılmış görüntüye ulaşılmıştır.

Resim 5.4'de soldaki orijinal el görüntüsü sağ tarafta aşındırılmış kısmı ile birlikte görünmektedir. Orijinal görüntüden devam eden parmaklar aşındırılmış görüntüde daha ince olarak görünmektedir.



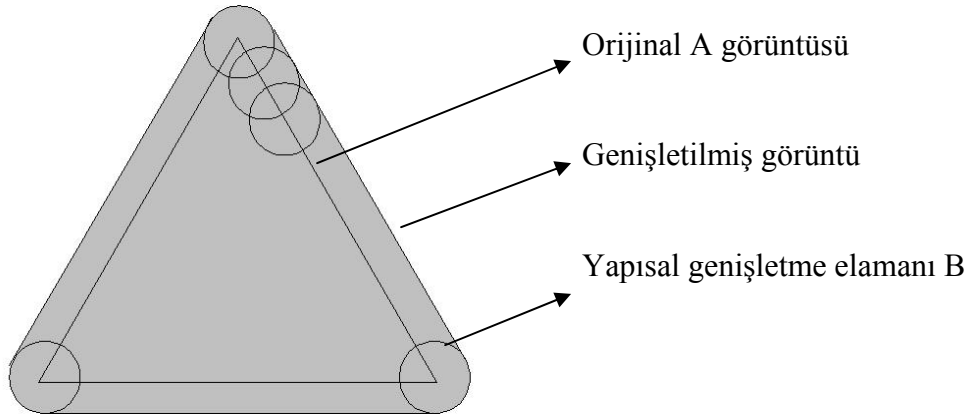
Resim 5.4. FPGA kartı aracılığıyla aşındırılmış görüntü

#### 5.4.2. Morfolojik yayma (Morphological dilation)

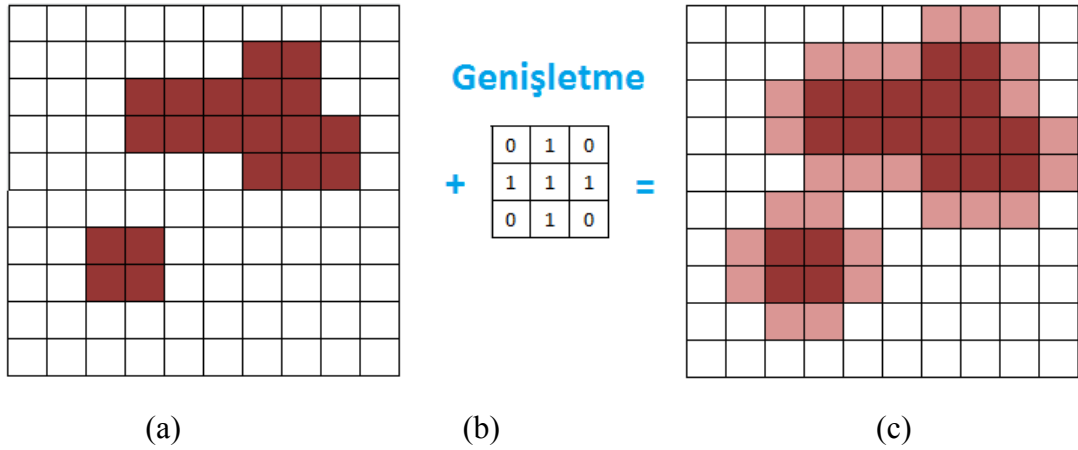
İmgede bulunan nesneyi kalınlaştırma amacıyla kullanılan morfolojik işlemdir. Kalınlaşma miktarına kullanılan yapısal eleman karar verir. Görüntüdeki nesnenin yapısal elemanla kesiştiği kısımlar kadar büyütülmesi ile yayma yani genişletme işlemi gerçekleşmiş olur.

İki seviyeli bir A görüntüsünün B yapısal elemanı ile genişletilmesi;

$$A \oplus B = \cup\{A + b: b \in B\} \quad (6.4)$$



Şekil 5.8. Yayma işlemi



Şekil 5.9. Piksellerde genişletme/yayma işlemi

- a) orijinal görüntü,  
b) yapısal aşındırma elemanı,  
c) aşındırılmış görüntü

Morfolojik genişletme işleminde ekran, yine aşındırma işleminde olduğu gibi piksel koordinat bilgisi kullanılarak ikiye bölünmüştür. Ekranın sol tarafında orijinal görüntü sağ tarafı ise aşındırılmış görüntüyü göstermektedir.

Resim 5.5'de aşındırma işleminde olduğu gibi solda orijinal el görüntüsü sağda ise devam eden görüntüde genişletme işlemi görünmektedir. Genişletme işlemi sonrası orijinal görüntüdeki parmaklar sağdaki kısımda daha kalın olarak ve ikili seviyede görünmektedir.



Resim 5.8. FPGA kartı aracılığı ile genişletilmiş görüntü

Morfolojik açma ve kapama gibi işlemlerde, yayma ve aşındırma gibi temel morfolojik işlemler kullanılır. Morfolojik açma işleminde önce aşındırma sonra yayma işlemi uygulanarak ikili görüntü morfolojik olarak açılmış olur. Morfolojik kapatma işleminde ise önce yayma daha sonra aşındırma işlemi uygulanarak ikili görüntü morfolojik olarak kapatılmış olur.

Açma ve Kapama işlemleri sayesinde görüntüdeki nesnede bulunan girinti çıkıntı ya da nesnelerdeki temaslar giderilebilir.

Açma işleminin formülü;

$$A \circ B = (A \ominus B) \oplus B \quad (5.5)$$

Kapama işleminin formülü;

$$A \bullet B = (A \oplus B) \ominus B \quad (5.6)$$

### 5.5. Hareket Tespiti (Motion Detection)

Bu uygulamada belirli büyüklükteki piksel blokları önceki zaman ile sonraki zaman arasında deęişiklik olması durumunu sürekli olarak kontrol eder. Eğer bu iki zamandaki piksel renk deęerlerinde farklılık var ise hareket vardır yoksa hareket yoktur.

$T_0$  : önceki zaman

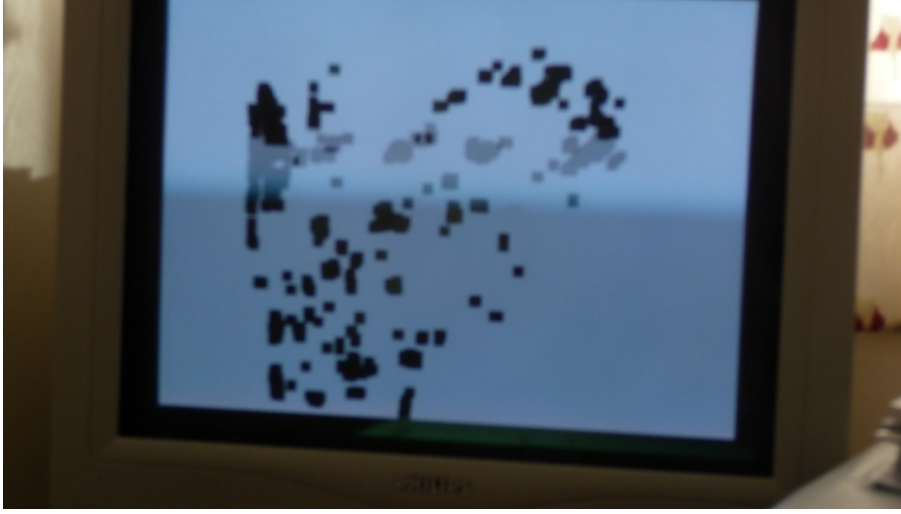
$T_1$  : sonraki zaman olmak üzere;

$$\text{Piksel deęeri} = \begin{cases} T_0 = T_1 \text{ ise , Orijinal Görüntü} \\ T_0 \neq T_1 \text{ ise , Kırmızı} \end{cases}$$



Resim 5.6. Gerçek zamanlı hareket tespiti

Resim 5.7'de ekranda sadece hareket olan piksellerin siyah dięer tüm piksellerin beyaz olduęu durumu görünmektedir. Böyle bir algorithmada kullanılan mevcut bir görüntü algılayıcı kamera aynı zamanda hareket tespitini anlamak amacıyla kullanılabilir.



Resim 5.7. Hareketli piksellerin görünümü

### 5.6. Sobel Süzgeci

Sobel filtresi görüntü işleme tekniklerinde, görüntüdeki renk değişiminin fazla olduğu yerleri bulmak amacıyla kullanılmaktadır. Dikey ve yatay eksende kullandığı farklı iki maske (Şekil 5.10) ile, tasarımcının girdiği eşik değerinin altında ya da üstünde olmasına göre renk değişimlerini bulur. Genelde gri tonlu görüntülerde kullanılır. Verilen değerlerle oluşturulan yeni görüntüde değişimin olduğu yerleri siyah ya da beyaz renkten birine değişimin olmadığı yerleri de diğer renge dönüştürür. Bu sayede kenarlar, yani keskin yerler renk değişiminden belirlenmiş olur.

-1	0	1
-2	0	2
-1	0	1

-1	-2	-1
0	0	0
1	2	1

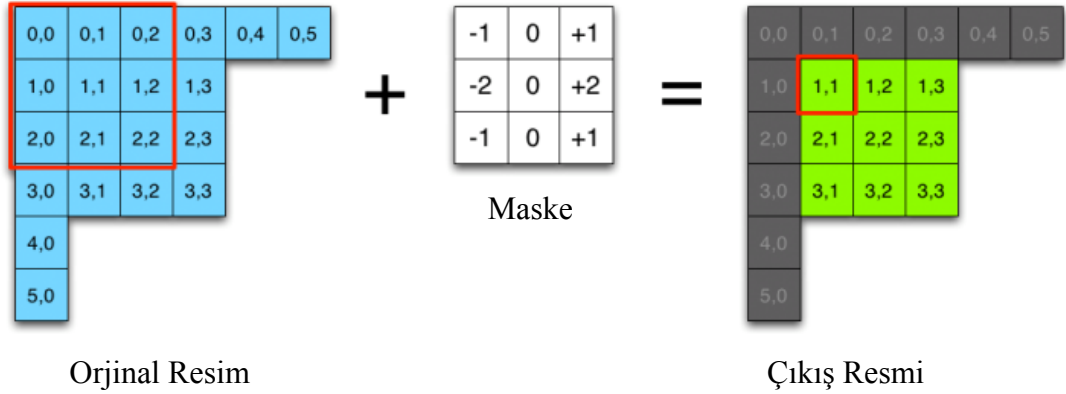
(a)

(b)

Şekil 5.10. Sobel filtresinde kullanılan filtreler

- a) dikey eksen maskesi,
- b) yatay eksen maskesi

Sobel süzgecinde orjinal resimden, hedef piksel merkezde olmak üzere 3 x 3'lük piksel komşuluğu seçilir. Daha sonra 3 x 3'lük maske ile çarpılıp, çıkan 9 çarpım sonucu toplanarak elde edilen toplam oluşturulan yeni matris de hedef pikselin yerine yazılır (Şekil 5.11).



Şekil 5.11. Sobel süzgecinde maskelerin kullanılması

A; Orijinal görüntü,

G<sub>x</sub>; Dikey eksen matrisi ile elde edilen görüntü,

G<sub>y</sub>; Yatay eksen matrisi ile elde edilen görüntü,

$$\mathbf{G}_x = \begin{bmatrix} -1 & 0 & +1 \\ -2 & 0 & +2 \\ -1 & 0 & +1 \end{bmatrix} * \mathbf{A} \quad \mathbf{G}_y = \begin{bmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ +1 & +2 & +1 \end{bmatrix} * \mathbf{A} \quad (5.7)$$

Çıkış pikseli [1,1] = ([0,0] x -1) + ([0,1] x 0) + ([0,2] x 1) + ([1,0] x -2) + ([1,1] x 0) + ([1,2] x 2) + ([2,0] x -1) + ([2,1] x 0) + ([2,2] x 1)

Aynı işlem dikey maske ile de gerçekleştirilerek bir görüntü matrisi daha elde edilir.

Bulunan bu iki yeni görüntü matrisinin aynı koordinattaki piksel değerlerinin karelerinin toplamının karekökü alınarak, hedef görüntünün o koordinattaki piksel değeri bulunmuş olur [21].

$$G = \sqrt{G_x^2 + G_y^2} \quad (5.8)$$

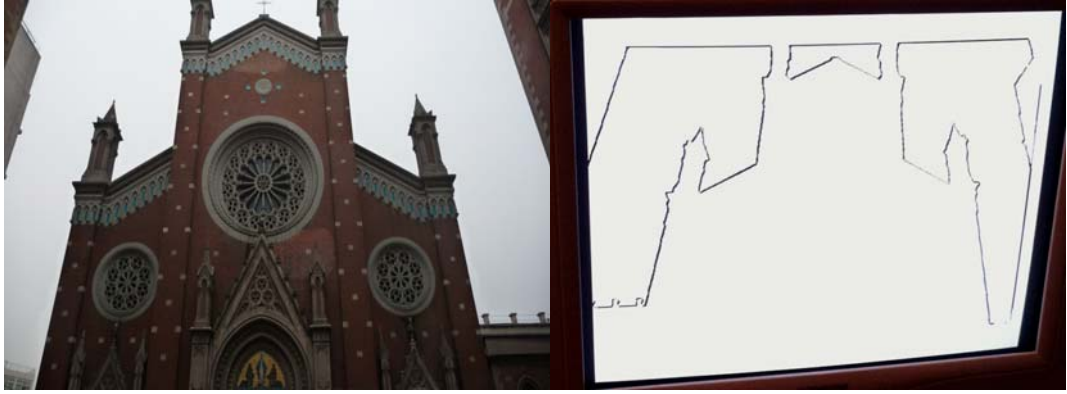
Buraya kadar bahsedilen bu filtre FPGA üzerinde Çizelge 5.2'deki kadar kaynak kullanımını gerçekleştirir;

Çizelge 5.2. Gerçek zamanlı çalışan sobel filitrenin FPGA kaynaklarını kullanımı;

Flow Status	Successful - Sun Mar 27 14:15:16 2011
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	DE2_70_TV
Top-level Entity Name	DE2_70_TV
Family	Cyclone II
Device	EP2C70F896C6
Timing Models	Final
Met timing requirements	No
Total logic elements	2,027 / 68,416 ( 3 % )
Total combinational functions	1,723 / 68,416 ( 3 % )
Dedicated logic registers	1,177 / 68,416 ( 2 % )
Total registers	1193
Total pins	530 / 622 ( 85 % )
Total virtual pins	0
Total memory bits	72,336 / 1,152,000 ( 6 % )
Embedded Multiplier 9-bit elements	36 / 300 ( 12 % )
Total PLLs	1 / 4 ( 25 % )

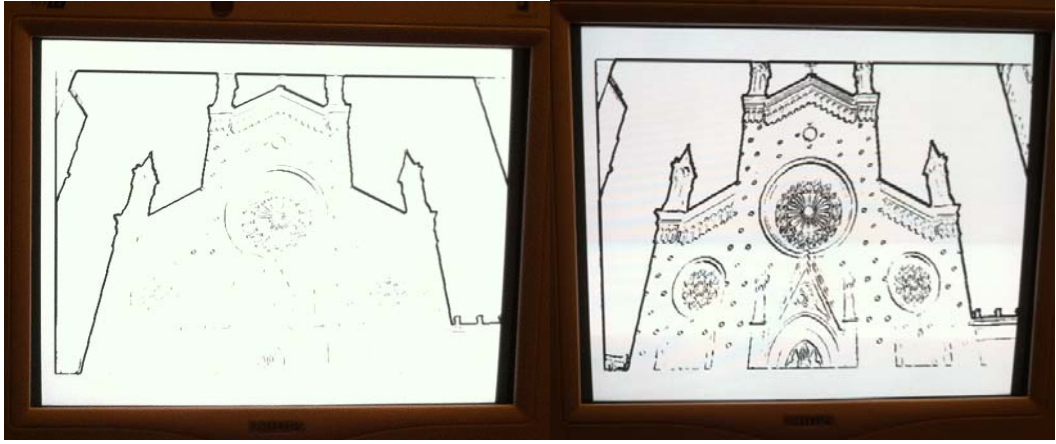
Çizelge 5.2'den anlaşıldığı gibi tasarlanan donanım FPGA üzerinde bulunan 1193 adet hafıza yazmacı kullanılmaktadır. Bunun yanı sıra sahip olduğu 68416 lojik elementten 2027'sinden faydalanılmaktadır. Bu da gösteriyorki FPGA'in sahip olduğu kaynakların yaklaşık olarak sadece %3'ü kullanılmaktadır.

Resim 5.8a'da orjinali verilen bir resmin b-c-d-e-f'de eşik değerinin gittikçe arttırıldığı durumlardaki sobel filtresi çıkış görüntüleri görülmektedir. Görüntülerden anlaşıldığı gibi, eşik değeri arttırıldıkça resimdeki ayrıntılar daha belirgin hale geliyor. Resim de bulunan en ufak ton değişimleri bile sobel filtresi sayesinde belirginleşiyor.



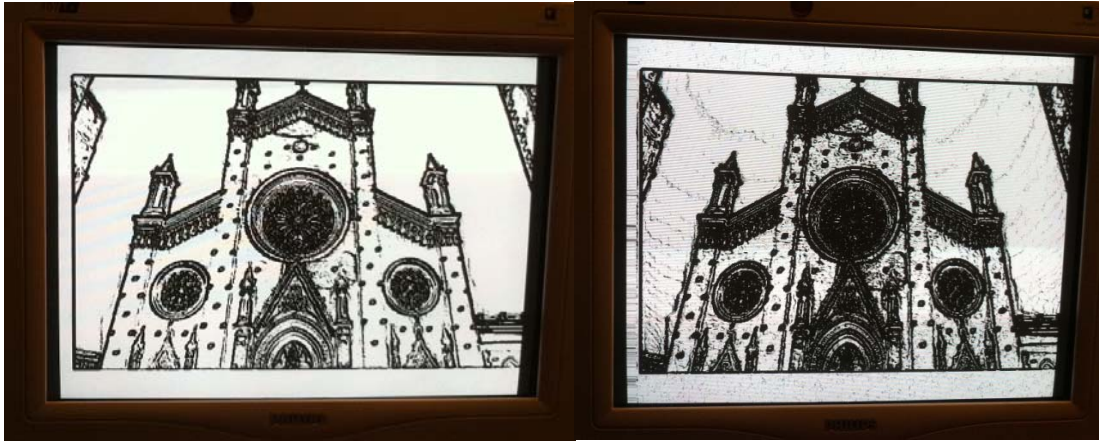
(a)

(b)



(c)

(d)



(e)

(f)

Resim 5.8. Sobel süzgeci uygulanan resim

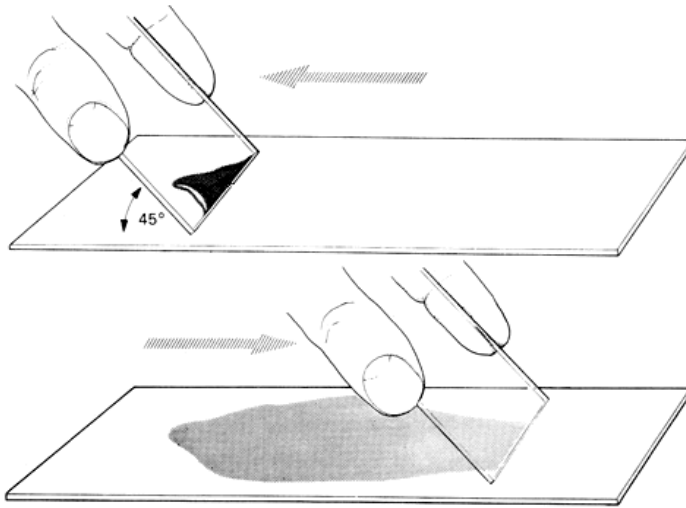
a ) resmin orjinal görüntüsü

b-c-d-e-f ) eşik değeri arttırıldıkça ortaya çıkan filitrelenmiş görüntüler.

### 5.6.1. Kan hücrelerinin sınırlarının bulunması

Kan hücrelerinin mikroskopik incelemeye tabi tutulması birçok kan hastalığının teşhisinde kullanılan önemli bir yöntemdir. Bu noktadan yola çıkarak bu bölümde mikroskopik kan hücrelerinin sınırları, FPGA donanımıyla tespit edilmeye çalışılmıştır.

Kan hücrelerinin mikroskop incelemesine tutulmadan önce bir ön hazırlığa ihtiyaç duyulmaktadır. Ön hazırlık işleminde bir damla kan cam lam üzerine damlatılıp, başka bir cam yardımıyla lam üzerine dağıtılır (Şekil 5.12).



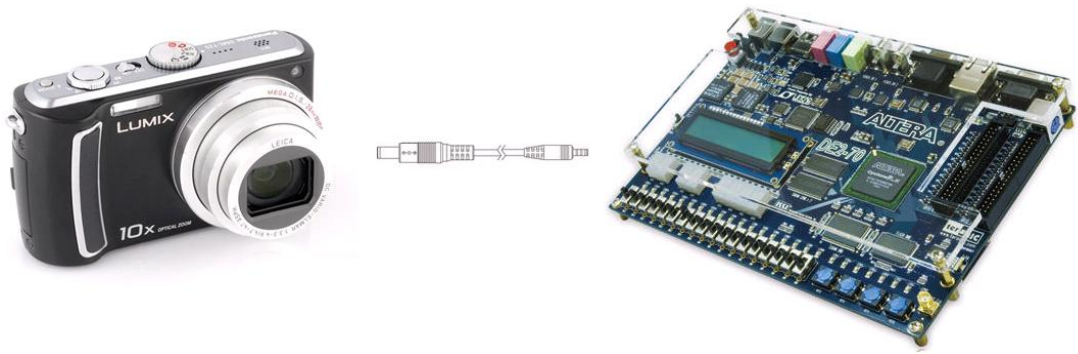
Şekil 5.12. Örnek kanın lam üzerine yayılması işlemi

Preferik yayma işlemi adı verilen bu işlem sonrası, hekim lamı mikroskop altında inceleyebilir. Bu çalışmada, bu yayma görüntülerinin sayısal ortamda kayıt edilebilmesi için; kamera bağlantısı yapılabilen bir mikroskopa dijital fotoğraf makinesi bağlanmış ve kan hücrelerinin fotoğrafları çekilmiştir (Şekil 5.13).



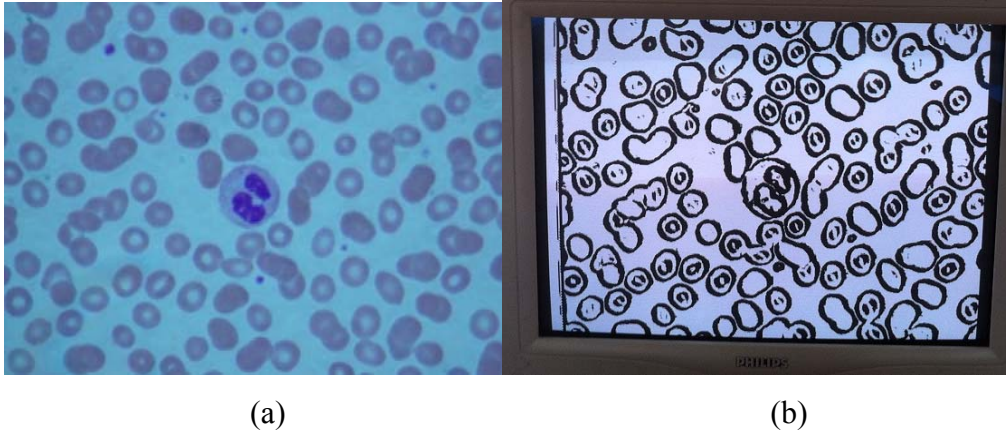
Şekil 5.13. Kan görüntülerinin elde edilmesi

Bu sayede elde edilen görüntüler, fotoğraf makinesinin analog çıkışının FPGA geliştirme kartının analog video girişine bağlanarak, görüntüler FPGA üzerinde işlenebilir hale getirilmiştir (Resim 5.9). Standart bir analog görüntü çıkışına sahip fotoğraf makinesi, FPGA geliştirme kartı üzerinde bulunan “AV input” girişine bağlandığı takdirde, kamera ekranındaki görüntü gerçek zamanlı olarak geliştirme kartına iletilmiş olmaktadır. Bu sayede alınan gerçek zamanlı görüntünün istenildiği şekilde işlenmesi mümkün olur.



Resim 5.9. Fotoğraf makinesinin FPGA geliştirme kartına bağlantısı

Böylece önceki bölümde incelenen sobel filtresi ve benzer maskelere sahip diğer filtreler de kan hücrelerinden alınan görüntüler üzerinde uygulanabilir.



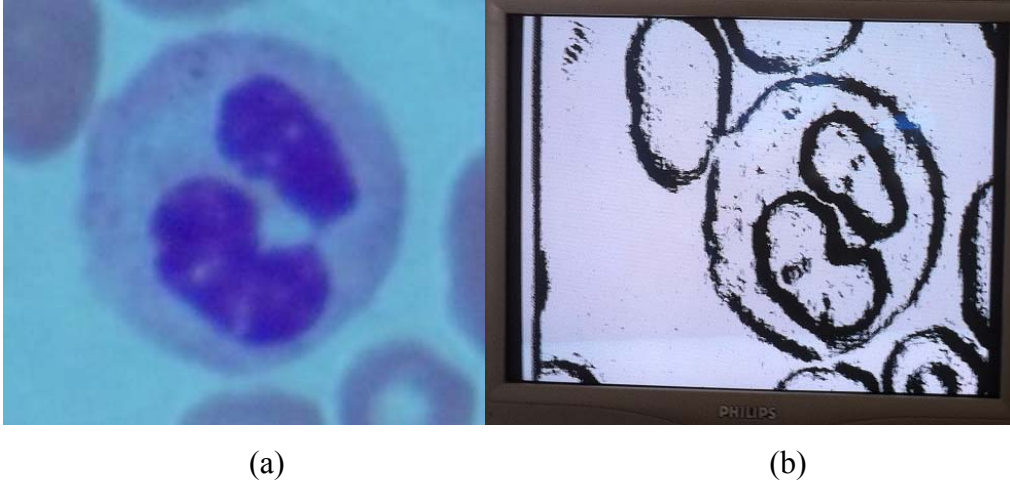
Resim 5.10. Mikroskopik kan hücreleri yayma görüntüsü

a) orijinal görüntü

b) FPGA kullanılarak sobel maskesi uygulanmış görüntü

Periferik yayma işlemine tabi tutulmuş bir kan görüntü kesitinin mikroskop altındaki görüntüsü Resim 5.10. a)'da verildiği gibidir. Bu resmin orta kısmında bulunan ve diğer hücelere göre büyük ve çekirdekli olan yapı, akyuvar hücresidir. Birçok kan hastalığının nedeni, bu akyuvar hücrelerinde meydana gelen yapısal bozukluklardır. Bu nedenle bu hücrelerin yeri, sayısı ve şekli önem arz etmektedir. Resim 5.11. b)'de orijinal görüntünün tamamına sobel filtresi uygulanmıştır.

Resim 5.11. a)'da orijinal görüntüdeki akyuvar hücresi ve hücre çekirdeği görünmektedir. Şekil 5.12. b)'de ise bu akyuvar hücre görüntüsünün sobel filtresinden geçirilmesi ile ortaya çıkan hücre ve hücre çekirdeği görüntüsü vardır. Bu görüntülerden sobel filtresinin görüntüde bulunan sınırların belirlenmesindeki etkisi net olarak anlaşılmaktadır.



Resim 5.11. Mikroskopik akyuvar hücresi görüntüsü

a) orijinal görüntü

b) aynı görüntünün sobel süzgecinden geçirilmiş hali

## 6. SONUÇLAR

Bu çalışmada temel görüntü işleme algoritmalarından bazıları Altera DE2-70 ve DE7 geliştirme kartları üzerinde gerçekleştirilmiştir. Oluşturulan sistem analog video girişinden alınan görüntü bilgisini ya da üzerine eklenebilen kamera modülü sayesinde alınabilen görüntüyü işleyerek, VGA çıkışından sonucu doğrudan ekrana yansıtabilmektedir. Bu süreçte bütün işlemler gerçek zamanlı olarak çalışmaktadır. Yapılan tüm işlemler FPGA kartı üzerinde çalışmaktadır, işlemci gibi başka birimlere ihtiyaç duyulmamaktadır.

Bu çalışmada öncelikle gerçek zamanlı olarak görüntü siyah-beyaz'a dönüştürülmüştür. Daha sonra renk bilgisinden yola çıkarak, kırmızı renkli nesne takibini yapabilen bir sistem tasarlanmıştır. Yine renk bilgisinden faydalanılarak Peers ve arkadaşlarının önerdiği ten rengi kuralları, FPGA üzerinde uygulanmış, gün ışığında görüntüdeki insan tenin belirlenmesine çalışılmıştır. Temel morfolojik işlemlerin de FPGA üzerinde gerçekleştirildiği çalışmada, morfolojik aşındırma ve morfolojik yayma işlemleri, gerçek zamanlı olarak alınıp iki seviyeli renge dönüştürülen görüntüye uygulanmıştır. Hareket tespiti ile ilgili yapılan uygulamada, piksellerin önceki ve sonraki zaman değerleri karşılaştırılarak, görüntüdeki hareket gerçekleşen bölgenin belirlenmesine çalışılmıştır. Son kısımda ise görüntü işleme konusundaki kenar belirleme yöntemlerinden biri olan Sobel süzgeci FPGA üzerinde gerçekleştirilmiş, eşik seviyelerine göre görüntüdeki ayrıntı ve sınırların ne şekilde belirginleştiği gösterilmiştir. Sobel süzgeci kan yayma görüntüleri üzerinde de uygulanmış ve akyuvar sınırlarının belirginleştirilmesi sağlanmıştır.

Uygulamalar esnasında FPGA geliştirme kartında bulunan değişik modüllerin farklı saat sinyalleri kullanması nedeniyle problemler yaşanmıştır. Yine gerçek zamanlı olarak yapılan çalışmada SDRAM biriminin kapasitesi ile ilgili problemler yaşanmış ancak görüntü bilgisinin büyüklükleri ile yapılan değişiklikler sayesinde gerçek zamanlı olarak tasarımlar çalıştırılabilmektedir.

Yapılan çalışmada basit görüntü işleme algoritmaları FPGA'e gömülmüş ve sonuçları incelenmiştir. Bu işlemler sırasında FPGA kaynaklarının çok küçük bir kısmı kullanılmıştır. Bu durum ileride yapılabilecek daha karmaşık çalışmaların da aynı donanımını kullanmasına imkan sağlayabilecektir. Bu da yapılan çalışmanın gelişmiş tasarımlara temel oluşturabilecek nitelikte olduğunu göstermektedir.

## KAYNAKLAR

1. Koca, H., “Robot manipülatör denetimi”, Yüksek Lisans Tezi, *Gazi Üniversitesi Fen Bilimleri Enstitüsü*, Ankara, 1-7 (2007).
2. Aksebzeci, B.H., “Bir asansör kontrol sisteminin petri netler yardımıyla modellenmesi ve Xilinx XC2S200E FPGA’si ile gerçekleştirilmesi”, Yüksek Lisans Tezi, *Niğde Üniversitesi Fen Bilimleri Enstitüsü*, Niğde, 1-5 (2005).
3. Öcal, F., “Güvenli iletişim için FPGA kullanarak şifreleme sistemi tasarımı ve gerçekleştirilmesi”, Yüksek Lisans Tezi, *Gazi Üniversitesi Fen Bilimleri Enstitüsü*, Ankara, 1-5 (2006).
4. Caner, H., “FPGA donanımı üzerinde araç plakası tanıma sistemi”, Yüksek Lisans Tezi, *Hacettepe Üniversitesi Fen Bilimleri Enstitüsü*, Ankara, 1-3 (2006).
5. Christe, S.A., Vignesh, M., Kandaswamy, A., “An efficient FPGA implementation of MRI image filtering tumour characterization using Xilinx system generator”, *International Journal of VLSI Design & Communication Systems*, 2 (4): 95-109 (2011).
6. Öz Saraç, İ., “FPGA implementation of real time digital video stabilization”, Yüksek Lisans Tezi, *Ortadoğu Teknik Üniversitesi Fen Bilimleri Enstitüsü*, Ankara, 1-3 (2011).
7. Cho, J., Jin, S., Pham, X., Jeon, J., Byun, J., Kang, H., “A real time object tracking system”, *International Conference on Intelligent Robots and Systems*, Beijing-China, 2822-2827 (2006).
8. Vega-Rodríguez, M.A., Sánchez-Pérez, J.M., Gómez-Pulido, J.A., “An FPGA-based implementation for median filter meeting the real-time requirements of automated visual inspection systems”, *10th Mediterranean Conference on Control and Automation*, Lisbon-Portugal, (2002).
9. Díaz, J., Ros, E., Pelayo, F., Ortigosa, E.M. and Mota, S., “FPGA-based real-time optical-flow system”, *IEEE Transactions on Circuits and Systems for Video Technology*, 16 (2): 274-279 (2006).
10. Nelson, A.E., “Implementation of image processing algorithms on FPGA hardware”, Master of Science Thesis, *Faculty of the Graduate School of Vanderbilt University*, Nashville, TN-USA, (2000).
11. Bulsara, V., Bothra, S., Sharma, P., Rao, K.M.M., “Low cost medical image processing system for rural/semi urban healthcare”, *Recent Advances in Intelligent Computational Systems*, Trivandrum, 724-728 (2011).

12. Nana, L., Weixing, Z., Shiyang, M., Wen, H., “Super resolution video reconstruction in DSP+FPGA based on lifting wavelet”, *The Tenth International Conference on Electronic Measurement & Instruments*, China, 101-104 (2011).
13. Lande, P.U., Talbar, N.S., Shinde, G.N., “Image adaptive watermarking using fuzzy logic on FPGA”, *Recent Researches in Communications, Automation, Signal Processing, Nanotechnology, Astronomy and Nuclear Physics*, United Kingdom, 154-159 (2011).
14. İnternet: Terasic Technologies, “Altera DE2-70 Development and Education Board User Manual”, <http://terasic.com.tw>, (2009).
15. İnternet: Philips Semiconductors, “Data Sheet – PCF8584, I<sup>2</sup>C Bus Controller” <http://www.semiconductors.philips.com>, (1997).
16. İnternet: United States Patent, “Color Imaging Array”, <http://www.uspto.gov>, (1976).
17. Özcan, A.R., “Gerçek zamanlı linear görüntü işleme algoritmalarının FPGA ile gerçekleştirilmesi”, Lisans Bitirme Tezi, *Yıldız Teknik Üniversitesi Elektrik Elektronik Fakültesi*, İstanbul, 12-14 (2009).
18. Peer, P., Solina, F., “An Automatic Human Face Detection Method”, *Proceedings of the 4th Computer Vision Winter Workshop (CVWW'99)*, Rastendorf, Austria, 122–130 (1999).
19. Vezhnevets, V., Sazonov, V., Andreeva A., “A Survey on Pixel-Based Skin Color Detection Techniques”, *Graphics 2003*, Moscow, Russia, (2003).
20. Boru, B., Eskikurt, H.İ., “Sıkıştırılmamış Sayısal Videolar İçin Yüksek Performanslı Bir Bölümlendirme Algoritması”, *5. Uluslararası İleri Teknolojiler Sempozyumu (IATS'09)*, Karabük Türkiye, 2009
21. Engel, K., Hadwiger, M., Kniss, J.M., Rezk-Salama, C., Weiskopf, D., “Real-Time Volume Graphics”, *A K Peters Ltd*, India, 112-114 (2006).

**EKLER**



## ÖZGEÇMİŞ

### Kişisel Bilgiler

Soyadı, adı : ÖZÇELİK, Mehmet Fatih  
 Uyuğu : T.C.  
 Doğum tarihi ve yeri : 13.10.1979 Ankara  
 Medeni hali : Evli  
 Telefon : 0 (312) 440 64 87  
 Cep Telefonu : 0 (533) 485 03 47  
 e-mail : [mfozcelik@hotmail.com](mailto:mfozcelik@hotmail.com).

### Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Yüksek lisans	Gazi Üniversitesi / Bilgisayar Bilimleri	2012
Lisans	Ankara Üniversitesi / Elektronik Müh. Bölümü	2002
Lise	Yenimahalle Endüstri Meslek Lisesi Elektrik	1996

### İş Deneyimi

Yıl	Yer	Görev
2003-2005	Penta Elektronik Med.Sis.A.Ş	<b>Teknik Servis Mühendisi</b>
2005-Devam	Abbott Laboratuvarları Ltd.Şti.	<b>Teknik Servis Mühendisi</b>

### Yabancı Dil

İngilizce

### Yayınlar

- Özçelik, M.F., Bilge, H.Ş., “Mikroskopik Kan Görüntüsünde Lojik ve Morfolojik İşlemler Kullanılarak Akyuvar Sınırının Belirlenmesi”, Signal Processing and Communications Applications Conference (SIU), 22-24 Nisan 2010, 688 sy., 978-1-4244-9672-3.
- Özçelik, M.F., Bilge, H.Ş., “Mikroskopik Görüntülerde Lökosit Bölgesinin Bulunması”, Biomedical Engineering Meeting (BİYOMUT), 21-24 Nisan 2010, 1. sy., 978-1-4244-6380-0.