



**R2L2D DEVRESİNDE KAOS, EŞZAMANLILIK VE GÜVENLİ
HABERLEŞMENİN ARAŞTIRILMASI**

Cihan BİNGÖL

**YÜKSEK LİSANS TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ (TEKNOLOJİ FAKÜLTESİ)
ANABİLİM DALI**

**GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

HAZİRAN 2016

Cihan BİNGÖL tarafından hazırlanan “R2L2D DEVRESİNDE KAOS, EŞZAMANLILIK VE GÜVENLİ HABERLEŞMENİN ARAŞTIRILMASI” adlı tez çalışması aşağıdaki jüri tarafından OY BİRLİĞİ ile Gazi Üniversitesi Elektrik Elektronik Mühendisliği(Teknoloji) Anabilim Dalında YÜKSEK LİSANS TEZİ olarak kabul edilmiştir.

Danışman: Prof. Dr. Erol KURT

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum/onaylamıyorum

Başkan: Prof. Dr. Halim Haldun GÖKTAŞ

Elektrik Elektronik Mühendisliği Anabilim Dalı, Yıldırım Beyazıt Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum/onaylamıyorum

Üye: Prof. Dr. Ramazan BAYINDIR

Elektrik Elektronik Mühendisliği Anabilim Dalı, Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum/onaylamıyorum

Tez Savunma Tarihi: 16/06/2016

Jüri tarafından kabul edilen bu tezin Yüksek Lisans Tezi olması için gerekli şartları yerine getirdiğini onaylıyorum.

.....
Prof. Dr. Hadi GÖKÇEN
Fen Bilimleri Enstitüsü Müdürü

ETİK BEYAN

Gazi Üniversitesi Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Cihan BİNGÖL

16.06.2016

R2L2D DEVRESİNDE KAOS, EŞZAMANLILIK VE GÜVENLİ HABERLEŞMENİN ARAŞTIRILMASI

(Yüksek Lisans Tezi)

Cihan BİNGÖL

GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Haziran 2016

ÖZET

Bu tezde; güvenli haberleşme sistemlerinde kullanılabilecek oldukça basit ve yeni bir devre önerilmiştir. R2L2D olarak adlandırılan bu devre; bir direnç, iki bobin, iki diyot ve gerilim kaynağından oluşmaktadır. Bu devrenin dinamik özellikleri hem teorik hem de deneysel olarak araştırılmıştır. Ayrıntılı çalışmalar sonucunda; devrenin, giriş parametreleri olarak tanımladığımız uygulanan gerilimin büyüklüğü ve frekansına göre çok farklı dinamik davranışlar sergilediği görülmüştür. Bunların kaotik veya periyodik olabildiği, bu sebepten uygun giriş parametreleri için elde edilen kaotik sinyallerin kullanılmasıyla; eşzamanlılık ve güvenli haberleşme çalışmalarının geniş bir genlik ve frekansta gerçekleştirilebileceği öngörülmüştür. Devreden alınan kaotik sinyaller düzenli bilgi sinyali ile karıştırılarak düzensiz sinyal önce oluşturulmuş; bu düzensiz sinyalden tersi işlem uygulanarak da orijinal bilgi sinyali elde edilebilmiştir. Bunun için önerilen sistem, hakim, esir, toplayıcı-tersleyici ve çıkarma devrelerinden oluşmaktadır ve hakim ile esir devre bahsi geçen kaotik devrenin kendisidir ve eşzamanlılık öncelikle hakim ve esir devrelerle sağlanmaktadır. Devre, NI Multisim programında kurulmuş ve benzetim sonuçları elde edilmiştir. Benzetimi gerçekleştirilen devre laboratuvar ortamında kurulmuş ve deneysel sonuçlar elde edilmiştir. Hem benzetim hem de deneysel sonuçlar incelendiğinde gizlenen bilgi sinyalinin düşük hata ile yeniden elde edilebildiği görülmüştür. İlaveten, deneysel çalışmada hakim devrenin kaotik çıkış verdiği bazı giriş parametreleri için bilgi sinyalinin çözülebildiği frekans aralığı incelenmiş ve bilgi sinyalinin çözülebilme aralığı grafiksel olarak literatürde ilke kez elde edilmiştir. Ayrıca yeni bir eşzamanlılık fonksiyonu tanıttırarak, bu tarz eşzamanlılığın ne oranda sağlanabildiği de sayısal olarak belirlenmiştir.

Bilim Kodu : 90523

Anahtar Kelimeler : Kaos, R2L2D devresi, eşzamanlılık, sinyal gizleme, güvenli haberleşme

Sayfa Adedi : 101

Danışman : Prof. Dr. Erol KURT

THE EXPLORATION OF CHAOS, SYNCHRONIZATION AND SECURE
COMMUNICATION IN THE R2L2D CIRCUIT

(M. Sc. Thesis)

Cihan BİNGÖL

GAZİ UNIVERSITY

GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

June 2016

ABSTRACT

In this dissertation, a quite simple and new circuit, which can be used in secure communication system, has been proposed. This circuit, namely R2L2D, consists of a resistor, two inductor, two diodes and a voltage source. The dynamic characteristics of that circuit have been explored both theoretically and experimentally. As a result of detailed studies; it has been observed that the circuit exhibits many dynamic behaviors with respect to the amplitude and frequency of the applied voltage, which are defined as input parameters of the circuit. It has been predicted that they could be chaotic or periodic, for this reason, synchronization and secure communication studies could be carried out in a wide amplitude and frequency regime by using chaotic signal obtained for appropriate input parameters. Initially, the irregular signal has been produced by adding chaotic signal obtained from the circuit with the regular information signal; the original information signal could be obtained by applying reverse operation from this irregular signal. The proposed system for that procedure consists of master, slave, adder-invertor and subtraction circuits and master and slave circuit is aforementioned chaotic circuit itself and the synchronization is initially achieved by these master and slave circuits. The circuit has been initially set up in NI Multisim and the simulation results have been handled. Then, the circuit in NI Multisim has been set up in the laboratory and the experimental results have been found. When both simulation and experimental results have been examined, it has been observed that the hidden information signal could be obtained by low errors. Additionally, the frequency range of the decoded information signal has been examined in experimental studies and the decoding range of information signal has been obtained first time in literature graphically. Besides, by introducing a new synchronization order function, what rates of the synchronization can be achieved are determined as numerical values.

Science Code : 90523

Key Words : Chaos, R2L2D circuit, synchronization, signal masking, secure communication

Page Number : 101

Supervisor : Prof. Dr. Erol KURT

TEŐEKKÜR

Tez alıőmamım her aőamasında deęerli katkı ve eleőtirileriyle yol gősteren, sonsuz sabırla beni her zaman alıőmaya teővik eden ve gőven veren deęerli danıőman hocam Prof. Dr. Erol KURT'a, alıőmamı yőrőtmemde bana kolaylık saęlayan deęerli mődőrüm ve alıőma arkadaőlarım ve her zaman yanımda olan aileme sonsuz teőekkőr ederim.



İÇİNDEKİLER

	Sayfa
ÖZET	iv
ABSTRACT.....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ.....	ix
ŞEKİLLERİN LİSTESİ.....	x
SİMGELER VE KISALTMALAR.....	xvi
1. GİRİŞ.....	1
2. ELEKTRİK SİSTEMLERİNDE KAOS	5
3. KAOTİK ANALİZ	11
3.1. Poincare Haritaları	11
3.2. Güç Spektrumları	12
3.3. Lyapunov Üstelleri.....	12
3.4. Fraktal Boyut Analizi.....	15
3.5. Dallanma	17
4. KAOTİK EŞZAMANLILIK	19
5. KAOTİK HABERLEŞME	21
6. R2L2D DEVRESİNİN BENZETİMİ	27
6.1. Yöntem.....	27
6.2. R2L2D Devresi Teorik Altyapı	30
6.3. R2L2D Devresi Parametre Uzayı Grafiği.....	32
6.4. R2L2D Devresi Benzetim Sonuçları	32
6.5. Eşzamanlılık Devresi Teorik Altyapı.....	39

Sayfa

6.6. Eşzamanlılık Devresi Benzetim Sonuçları.....	41
6.7. Eşzamanlılık Devresi Deneysel Sonuçlar	47
6.8. Multisim’de Eşzamanlılık Oranları Araştırması.....	54
6.9. Sinyal Gizleme Devresi Teorik Altyapı.....	56
6.10. Sinyal Gizleme Devresi Benzetim Sonuçları.....	58
6.11. Sinyal Gizleme Devresi Deneysel Sonuçlar	67
6.12. Farklı Kaotik Durumlar için Bilgi Sinyalinin Çözülebilme Aralığı	71
6.13. Beslemeli Esir Devre Durumunda Eşzamanlılık Devresi Benzetim Sonuçları	72
6.14. Beslemeli Esir Devre Durumunda Eşzamanlılık Devresi Deneysel Sonuçlar..	74
6.15. Beslemeli Esir Devre Durumunda Sinyal Gizleme Devresi Benzetim Sonuçları	77
6.16. Beslemeli Esir Devre Durumunda Sinyal Gizleme Devresi Deneysel Sonuçlar	81
7. SONUÇ	87
KAYNAKLAR	89
EKLER.....	95
EK-1. Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit ", The International Conference on Engineering & MIS 2015, İstanbul, Turkey, (2015)	96
ÖZGEÇMİŞ	101

ÇİZELGELERİN LİSTESİ**Çizelge****Sayfa**

Çizelge 6.1. Farklı giriş sinyallerinde ortalama fark ve eşzamanlılık (S) oranı 55



ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. Chua devresi	5
Şekil 2.2. Chua devresinin doğrusal olmayan karakteristik fonksiyonu.....	6
Şekil 2.3. RL-diyot devresi	7
Şekil 2.4. Çift kıvrım ve katlı torus Chua devresi.....	8
Şekil 2.5. Doğrusal olmayan direnç fonksiyonu	9
Şekil 3.1. Bir kürenin t-zaman aralığı sonra değişimi	13
Şekil 4.1. Lorenz sisteminde Pecora ve Carroll eşzamanlılığını gösteren blok diyagramı	20
Şekil 5.1. Birinci nesil kaotik güvenli haberleşme sistemlerinin blok diyagramları	22
Şekil 5.2. İkinci nesil kaotik güvenli haberleşme sistemlerinin blok diyagramları.....	24
Şekil 5.3. Üçüncü nesil kaotik güvenli haberleşme sistemlerinin blok diyagramları.....	25
Şekil 5.4. Kaotik maskeleyme sistemi	26
Şekil 6.1. R2L2D devresinin NI Multisim 11.0'da benzetimi.....	27
Şekil 6.2. "Grapher" bölümünde gözlemlenen sinyal.....	28
Şekil 6.3. Benzetim sonuçlarının Excel dosyası olarak alınması.....	28
Şekil 6.4. R2L2D devresi NI Multisim 11.0 benzetim ayarları.....	29
Şekil 6.5. R2L2D devresi.....	30
Şekil 6.6. RLD (sol) ve R2L2D (sağ) devreleri için besleme gerilimi (V_f) ve frekans (f)'ın fonksiyonu olarak iki parametrelili dallanma grafiği.....	32
Şekil 6.7. Benzetimde kullanılan R2L2D devresi.....	33
Şekil 6.8. R direnci üzerindeki gerilim (50 kHz, 3 V).....	33
Şekil 6.9. L1 bobini üzerindeki gerilim (50 khz, 3 V).....	34
Şekil 6.10. D1 diyotu üzerindeki gerilim (50 kHz, 3 V).....	34
Şekil 6.11. R direnci üzerindeki gerilim (30 kHz, 5 V).....	35

Şekil	Sayfa
Şekil 6.12. L1 bobini üzerindeki gerilim (30 kHz, 5 V).....	35
Şekil 6.13. D1 diyotu üzerindeki gerilim (30 kHz, 5 V).....	36
Şekil 6.14. R direnci üzerindeki gerilim (50 kHz, 3 V).....	36
Şekil 6.15. L1 bobini üzerindeki gerilim (50 kHz, 3 V).....	37
Şekil 6.16. D1 bobini üzerindeki gerilim (50 kHz, 3 V).....	37
Şekil 6.17. R direnci üzerindeki gerilim (50 kHz, 5 V).....	38
Şekil 6.18. L1 bobini üzerindeki gerilim (50 kHz, 5 V).....	38
Şekil 6.19. D1 diyotu üzerindeki gerilim (50 kHz, 5 V).....	39
Şekil 6.20. Eşzamanlılık devresi.....	39
Şekil 6.21. Eşzamanlılık devresinde Pecora ve Carroll eşzamanlılığını gösteren blok diyagramı	40
Şekil 6.22. Eşzamanlılık devresi.....	41
Şekil 6.23. Hakim devre-esir devre çıkış gerilimleri (50 kHz, 3 V).....	41
Şekil 6.24. Hakim devre-esir devre xy görünümü (50 kHz, 3 V)	42
Şekil 6.25. Çekici-eşzamanlılık eğrileri (50 kHz, 3 V).....	42
Şekil 6.26. Hakim devre-esir devre çıkış gerilimleri (30 kHz, 5 V).....	43
Şekil 6.27. Hakim devre-esir devre xy görünümü (30 kHz, 5 V)	43
Şekil 6.28. Çekici-eşzamanlılık eğrileri (30 kHz, 5 V).....	44
Şekil 6.29. Hakim devre-esir devre çıkış gerilimleri (50 kHz, 3 V).....	44
Şekil 6.30. Hakim devre-esir devre xy görünümü (50 kHz, 3 V)	45
Şekil 6.31. Çekici-eşzamanlılık eğrileri (50 kHz, 3 V).....	45
Şekil 6.32. Hakim devre-esir devre çıkış gerilimleri (50 kHz, 5 V).....	46
Şekil 6.33. Hakim devre-esir devre xy görünümü (50 kHz, 5 V)	46
Şekil 6.34. Çekici-eşzamanlılık eğrileri (50 kHz, 5 V).....	47
Şekil 6.35. Eşzamanlılık devresinin deneysel analizi	47

Şekil	Sayfa
Şekil 6.36. Hakim devre çıkışı (61 kHz, 8.16 V).....	48
Şekil 6.37. Giriş sinyali-hakim devre xy görünümü (61 kHz, 8.16 V).....	48
Şekil 6.38. Esir devre çıkışı (61 kHz, 8.16 V).....	49
Şekil 6.39. Hakim devre-esir devre xy görünümü (61 kHz, 8.16 V).....	49
Şekil 6.40. Hakim devre çıkışı (144.3 kHz, 8.16 V).....	50
Şekil 6.41. Giriş sinyali-hakim devre xy görünümü (144.3 kHz, 8.16 V).....	50
Şekil 6.42. Esir devre çıkışı (144.3 kHz, 8.16 V).....	51
Şekil 6.43. Hakim devre-esir devre xy görünümü (144.3 kHz, 8.16 V).....	51
Şekil 6.44. Hakim devre çıkışı (153.3 kHz, 8.16 V).....	52
Şekil 6.45. Giriş sinyali-hakim devre xy görünümü (153.3 kHz, 8.16 V).....	52
Şekil 6.46. Esir devre çıkışı (153.3 kHz, 8.16 V).....	53
Şekil 6.47. Hakim devre-esir devre xy görünümü (153.3 kHz, 8.16 V).....	53
Şekil 6.48. 3-boyutlu eşzamanlılık grafiği.....	56
Şekil 6.49. Sinyal gizleme devresi.....	57
Şekil 6.50. Kaotik sinyal gizleme blok diyagramı.....	57
Şekil 6.51. Hakim-esir devre çıkış gerilimleri (50 kHz, 3 V).....	59
Şekil 6.52. Hakim devre-esir devre xy görünümü (50 kHz, 3 V).....	59
Şekil 6.53. Çekici-eşzamanlılık eğrileri (50 kHz, 3 V).....	60
Şekil 6.54. Toplayıcı ve tersleyici devresi çıkış gerilimi (giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V).....	60
Şekil 6.55. Orijinal-çözülen bilgi sinyalleri (giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V).....	61
Şekil 6.56. Orijinal-çözülen bilgi sinyalleri xy görünümü (giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V).....	61
Şekil 6.57. Bilgi kaybı (giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V).....	62
Şekil 6.58. Hakim-esir devre çıkış gerilimleri (67 kHz, 5.1 V).....	62

Şekil	Sayfa
Şekil 6.59. Hakim devre-esir devre xy görünümü (67 kHz, 5.1 V)	63
Şekil 6.60. Çekici-eşzamanlılık eğrileri (67 kHz, 5.1 V).....	63
Şekil 6.61. Toplayıcı ve tersleyici devresi çıkış gerilimi (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	64
Şekil 6.62. Orijinal bilgi sinyali (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	64
Şekil 6.63. Çözülen bilgi sinyali (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	65
Şekil 6.64. Orijinal-çözülen bilgi sinyalleri (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	65
Şekil 6.65. Orijinal-çözülen bilgi sinyalleri xy görünümü (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	66
Şekil 6.66. Bilgi kaybı (giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V).....	66
Şekil 6.67. Sinyal gizleme devresinin deneysel analizi	67
Şekil 6.68. Hakim devre çıkışı (62 kHz, 4.01 V).....	67
Şekil 6.69. Giriş sinyali-hakim devre xy görünümü (62 kHz, 4.01 V)	68
Şekil 6.70. Esir devre çıkışı (62 kHz, 4.01 V)	68
Şekil 6.71. Toplayıcı ve tersleyici devresi çıkış gerilimi (giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V).....	69
Şekil 6.72. Çözülen bilgi sinyali (giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V).....	69
Şekil 6.73. Orijinal-çözülen bilgi sinyalleri (giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V).....	70
Şekil 6.74. Orijinal-çözülen bilgi sinyalleri xy görünümü (giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V).....	70
Şekil 6.75. 62 kHz, 4.01 V giriş sinyalinde bilgi sinyalinin çözülebilmeye bölgesi	71
Şekil 6.76. 103 kHz, 7.71 V giriş sinyalinde bilgi sinyalinin çözülebilmeye bölgesi	71
Şekil 6.77. Farklı kaotik durumlar için çözülebilmeye bölgelerinin karşılaştırılması.....	72

Şekil	Sayfa
Şekil 6.78. Hakim-esir devre çıkış gerilimleri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)	73
Şekil 6.79. Çekici-eşzamanlılık eğrileri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)	74
Şekil 6.80. Beslemeli esir devre durumunda eşzamanlılık devresinin deneysel analizi.....	74
Şekil 6.81. Hakim devre çıkışı (85 kHz, 2.1 V).....	75
Şekil 6.82. Hakim devre çekicisi (85 kHz, 2.1 V).....	75
Şekil 6.83. Esir devre çıkışı (70 kHz, 1 V)	76
Şekil 6.84. Hakim-esir devre çıkış gerilimleri (hakim devre giriş sinyali 85 kHz, 2.1 V; esir devre giriş sinyali 70 kHz, 1 V)	76
Şekil 6.85. Hakim-esir devre xy görünümü (hakim devre giriş sinyali 85 kHz, 2.1 V; esir devre giriş sinyali 70 kHz, 1 V)	77
Şekil 6.86. Hakim-esir devre çıkış gerilimleri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)	78
Şekil 6.87. Çekici-eşzamanlılık eğrileri (hakim devre giriş sinyali 85 kHz, 2.1 v; esir devre giriş sinyali 70 kHz, 1 V)	78
Şekil 6.88. Toplayıcı ve tersleyici devresi çıkış gerilimi (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V).....	79
Şekil 6.89. Orijinal-çözülen bilgi sinyalleri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V).....	79
Şekil 6.90. Orijinal-çözülen bilgi sinyalleri xy görünümü (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V).....	80
Şekil 6.91. Bilgi kaybı (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V)	80
Şekil 6.92. Beslemeli esir devre durumunda sinyal gizleme devresinin deneysel analizi.....	81
Şekil 6.93. Hakim devre çıkışı (85 kHz, 1 V).....	82
Şekil 6.94. Esir devre çıkışı (70 kHz, 1 V)	82

Şekil	Sayfa
Şekil 6.95. Hakim-esir devre çıkış gerilimleri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)	83
Şekil 6.96. Orijinal bilgi sinyali (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V)	83
Şekil 6.97. Çözülen bilgi sinyali (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V)	84
Şekil 6.98. Orijinal-çözülen bilgi sinyalleri (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V).....	84
Şekil 6.99. Orijinal-çözülen bilgi sinyalleri <i>xy</i> görünümü (hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V)	85

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler	Açıklama
kHz	kilohertz
V	volt
$k\Omega$	kilo ohm
N_R	Doğrusal olmayan direnç
x	Parametre
y	Parametre
z	Parametre
R	Direnç
I	Akım
V_0	Alternatif giriş gerilimi
V_f	Diodyot ileri yönlü gerilim düşümü
λ	Lyapunov üsteli
T^2	2 boyutlu torus
\dot{x}	Durum değişkeninin türevi
\dot{y}	Durum değişkeninin türevi
\dot{z}	Durum değişkeninin türevi
$c(t)$	Kaotik maske
$m(t)$	Bilgi sinyali
$\acute{m}(t)$	Tekrar elde edilen bilgi sinyali
$s(t)$	İletilen sinyal
$p(t)$	Açık mesaj sinyali
$\acute{p}(t)$	Tekrar elde edilen açık mesaj sinyali
$k(t)$	Anahtar sinyal
$n(t)$	Kanal gürültüsü
$r(t)$	Kanal gürültülü sinyal
k	Boltzmann sabiti
T	Mutlak sıcaklık (K)

Simgeler**Açıklama**

e	Elektron yükünün mutlak değeri
I_s	Doyma akımı
τ	Devrenin doğal periyodu
α	Parametre
β	Parametre
V_h	Hakim devre anlık gerilimi
V_e	Esir devre anlık gerilimi
S	Eşzamanlılık oranı

Kısaltmalar**Açıklama**

R2L2D	Resistor (R)-2 Inductor (L)- 2 Diode (D)
NI	National Instruments

1. GİRİŞ

Kaos, doğrusal olmayan sebeplerden kaynaklı davranışları dinamik yoldan ifade etmeye yarayan, düzensizliğin düzeni olarak tanımlanan bir bilim dalıdır. Pek çok kaynağa göre, kaos, kendi iç düzenine sahiptir ancak karmaşıktır. Kaosta rastgelelik bulunsa da her bir sistem kendine has bir rastgelelik içerir. Kaos, dinamik sistemlerde bilinen en karmaşık hal davranışdır [1]. Kaos, Edward N. Lorenz'in hava tahmini için oluşturduğu sistemde ilk defa gözlemlenmiştir. Daha sonraki yıllarda sürdürülen çalışmalarla farklı kaotik yapılar farklı sistemlerde elde edilmiştir. Lorenz, Rössler, Sprott, Chua gibi birçok kaotik sistem bulunmaktadır [2-5].

Matematiksel anlamda kaos, düzensiz dinamikler bulunduran olayların tahmin edilen aksine belirli düzende yapıya sahip olduğunu açıklayan ve başlangıç değerlerine karşı çok hassas sistemlerin davranışlarını inceleyen bir daldır [6, 7]. Doğadaki her sistemin belirli parametrelerde düzensiz hareket içereceği gerçeğinden hareketle gelecek bilim alanı kaosa ilgi duyar.

Kaos, kendini tekrarlamayan düzensiz bir davranış halidir. Faz uzayında dinamik bir sistemin tüm bilgilerinin zaman içerisinde belirli bir andaki durumunun tek bir noktaya düşürülmesi ise, bu hareketin yerini periyodik hareketin almasıdır. Bu nokta, tam o durumdaki dinamik sistemin kendisidir. Fakat bu durumu izleyen bir sonraki durumda sistem çok az da olsa değişime uğrayabilir ve nokta konumunu değiştirebilir. Bu durumda tuhaf çekici, modern bilimin en önemli gelişmelerden biri olan faz uzayında ortaya çıkmaktadır ve kaosa tekrar dönüşü tanımlamaktadır [8].

Kaos ve kaotik davranış, Newton'un 1600'lerde bilimin gelişmesine katkı sağlayan teoremlerine dayanmaktadır. Uzay bilimci Kepler'in güneş-dünya-ay yörüngelerinin birbirine göre değişimi ile ilgili araştırması ve matematikçi Poincare'in 1800'ün sonlarına doğru güneş sisteminin kararlılığını araştırması, kaosun varlığının farkına o çağlarda varıldığını ortaya koymaktadır [8]. 1890'da İsveç Kralı II.Oscar, çok cisim problemini çözebilen ve güneş sisteminin kararlılığını gösterebilen kişiye ödül vaatmiştir. Bu ödül çok cisim probleminin çözümünün olmadığını gösteren Jules Henri Poincare'e verilmiştir. O, başlangıç koşullarına hassas bağımlılık dahil kaotik sistemlerin

özelliklerinin pek çoğunu kendi zamanında anlamaya devam etmiştir. Aynı zamanda Poincare, çözümlerin evrensel özelliklerini tartışmak için niteleyici teknikler ortaya koyarak doğrusal olmayan diferansiyel denklemlerle çalışmış ve dinamik sistemler teorisini başlatmıştır. Onun homoklinik yörüngelerinin keşfi, kaotik dinamik sistem çalışmalarında belirgin olarak yer almaktadır. Bilimlerdeki doğrusal modelin sonuçları ve güçlü bilgisayarların bulunmaması ile bu ilk doğrusal olmayan dinamikçilerin çalışması büyük ölçüde fark edilmemiş ve yüzyıllarca geliştirilmemiştir [9, 10].

Edward Lorenz, 1961 yılında diferansiyel denklemler üzerinde yaptığı çalışmalarla kaos teoreminin geliştirilmesine katkı sağlamıştır. Bu çalışmalarında Lorenz, başlangıç değerindeki en ufak bir değişikliğin çalışma sonucunda büyük ve çok farklı sonuçlar ortaya koyduğunu görmüştür. Kelebek etkisi modellenmesi olarak bilenen bu durum, kaos teorisinin başlangıç noktası olarak kabul edilmektedir [7, 11].

Kaotik model, farklı başlangıç durumlarında farklı çıktılar oluşturmakta ve periyodik olmayan davranışlar ortaya koymaktadır. Doğadaki birçok model doğrusal olmayan davranışa sahiptir ve dolayısıyla birçok yapı kaotik davranış göstermektedir [5].

Analitik çözümü olan bir dinamik sistemin belirli bir başlangıç değerinin yakınındaki değerler için fonksiyon değerleri de birbirine yakın olmaktadır. Bu tarz sistemlerde, başlangıç koşulları kesin olarak verilirse de başlangıç değerlerine yakın değerlerin alınması sonuçlarda çok fazla bir fark oluşturmamaktadır. Fakat kaotik sistemler, birbirine çok yakın başlangıç noktalarında çok farklı sonuçlar verebilmektedir [12, 13].

Kaotik sistemler; ekonomi, kimya gibi birçok alanda birbirine yakın özellikler göstermiş bunun yanında haberleşme sistemlerine de uygulanmıştır. Bu sistemler, haberleşmede özellikle bilgi güvenliği için kullanılmaktadır [5, 17]. Günümüz teknolojisinde bilgi güvenliğinin önemi her geçen gün artmaktadır. Haberleşme sistemlerine olan talebin artması, bilginin de güvenli bir şekilde aktarılması problemini ortaya çıkarmıştır. Bu sebeple, bilim insanları haberleşmede bilginin güvenli aktarımı için farklı teknikler bulmaya çalışmışlardır. Son yıllarda kaos tabanlı çok sayıda haberleşme sistemi oluşturulmuş ve bu sistemlerin oluşturulmasında çok sayıda kaotik devreden faydalanılmıştır [14-21].

Kaotik sistemlerin oluřturduęu kaotik sinyallerin bant geniřlięi byk ve spektrum yoęunluęu dřktr. Bu sinyallerin kaotik haberleřmede gvenli bilgi iletimi iin kullanılmasındaki ama, onların periyodik olmaması ve grlt olarak grnmelerindedir. Kaotik sinyallerin bu zellikleri, geliřtirilecek haberleřme sistemlere olumlu katkı saęlamaktadır [7].





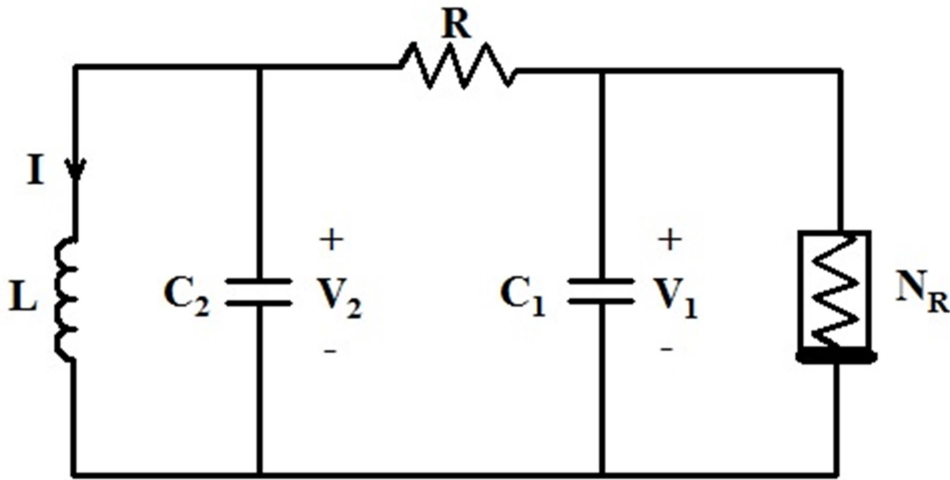
2. ELEKTRİK SİSTEMLERİNDE KAOS

Giriş değerlerine aşırı duyarlı, düzensiz, en ufak değişikliklerin zamanla büyük değişiklikler oluşturması gibi rastgeleliği ve tahmin edilemezlik sağladığından dolayı kaotik sinyaller, çok sayıda sisteme uygulanmıştır [22-31]. Literatürde elektriksel sistemlerde kullanılan ve kaotik çıkış veren çok sayıda devre bulunmaktadır. Bunlardan en çok bilinenler Chua devre ailesinden olan zamana bağlı Chua diyotlu Chua devresi, çift kıvrım ve katlı torus Chua devresi'dir [32, 33].

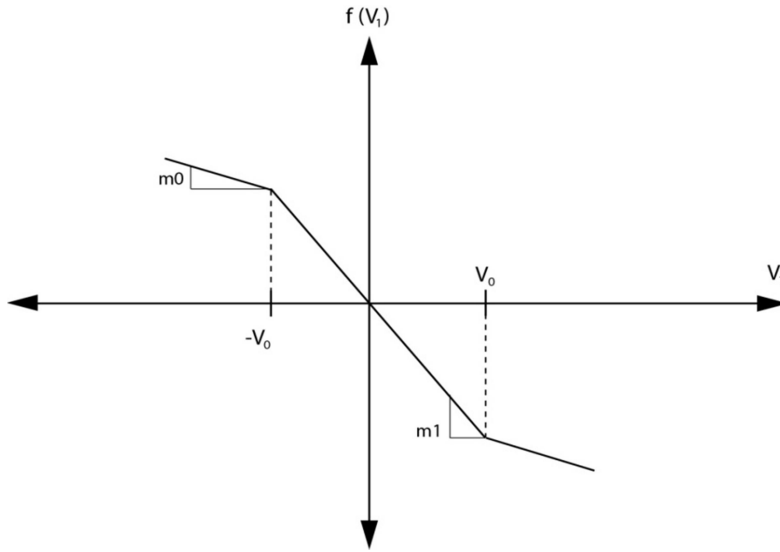
1983 yılında Leon O. Chua tarafından gerçekleştirilen devrede iki direnç, iki kapasitör, bir bobin ve doğrusal olmayan bir diyot bulunmaktadır. Chua devresinin kaotik davranış gösterebilmesi için gerekli koşullar:

- 1) Bir ya da daha fazla doğrusal olmayan eleman bulundurma,
- 2) Bir ya da daha fazla aktif direnç bulundurma,
- 3) Üç ya da daha çok enerji depolayabilen eleman bulundurma.

Örnek bir devre, Şekil 2.1'de gösterilmiştir. Chua devresi, dallanma ve kaos dahil birçok dinamik davranış sergileyen en basit özerk devredir. Bu devrenin parametrelerine göre devre davranışı, hem benzetimlerde hem de deneylerde yaygın bir şekilde çalışılmaktadır [34, 35].



Şekil 2.1. Chua devresi [36].



Şekil 2.2. Chua devresinin doğrusal olmayan karakteristik fonksiyonu

Özerk Chua devresinin dinamiği, aşağıda verilen üç diferansiyel denklemlerle tanımlanır:

$$\begin{aligned}
 L \frac{dI}{dt} &= -V_2, \\
 C_1 \frac{dV_1}{dt} &= \frac{V_2 - V_1}{R} - f(V_1), \\
 C_2 \frac{dI}{dt} &= \frac{V_2 - V_1}{R} - I,
 \end{aligned} \tag{2.1}$$

Denklemlerdeki V_1 ve V_2 sırasıyla C_1 ve C_2 kondansatörleri üzerindeki gerilimlerdir. I , bobinden geçen akımdır. Şekil 2.2’de $f(V_1)$ parçalı doğrusal fonksiyonla tanımlanan doğrusal olmayan direnç N_R ’nin karakteristiği, aşağıda verildiği gibidir:

$$f(V_1) = m_1 V_1 + \frac{m_0 - m_1}{2} (|V_1 + V_0| - |V_1 - V_0|) \tag{2.2}$$

Yukarıdaki denklemlerde aşağıdaki değişiklikler yapılırsa;

$$\begin{aligned}
 x &= \frac{V_1}{V_0}, & y &= \frac{V_2}{V_0}, & z &= \frac{IR}{V_0} \\
 \alpha &= \frac{C_2}{C_1}, & \beta &= \frac{C_2}{L} R^2 \\
 m'_0 &= \frac{m_0}{V_0}, & m'_1 &= \frac{m_1}{V_0}, & \tau &= \frac{t}{RC_2}
 \end{aligned} \tag{2.3}$$

Parçalı doğrusal fonksiyon ifadesi,

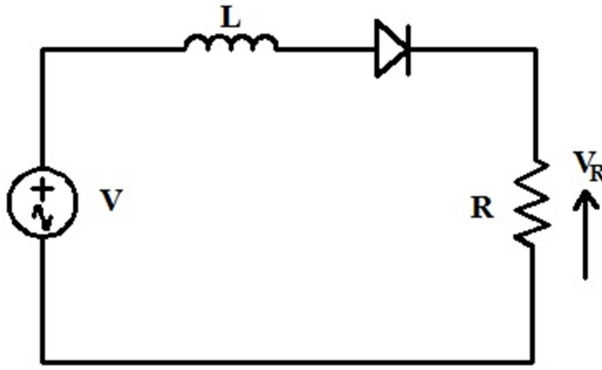
$$f(x) = m'_1 V_1 + \frac{m'_0 - m'_1}{2} (|x + 1| - |x - 1|) \quad (2.4)$$

şeklinde yazılabilir. Bu değişikliklere göre Eş. 2.1'nin boyutsuz hali aşağıdaki gibi elde edilir:

$$\begin{aligned} \dot{x} &= \alpha (x - y - f(x)) \\ \dot{y} &= x - y + z \end{aligned} \quad (2.5)$$

$$\dot{z} = -\beta y$$

Kaotik sinyal üreten devrelerden en basiti sürülen RL-diyot devresidir [20]. Bu devre Şekil 2.3'de gösterilmiştir.



Şekil 2.3. RL-diyot devresi [21]

RL-diyot devresindeki diyot, alternatif giriş gerilimine bağlı olarak ileri veya geri yönlü çalışmaktadır [37, 38]. Diyotun ileri yönlü çalışması durumunda elde edilen eşitlik aşağıdaki gibi olur:

$$L \frac{dI}{dt} + RI = V_0 \sin \omega t + V_f \quad (2.6)$$

Eş. 2.6'da V_0 alternatif giriş gerilimi ve V_f ise diyotun ileri yönlü gerilim düşümüdür. Bu denklemin çözümü de,

$$I = \left(\frac{V_0}{\sqrt{R^2 + L^2 \omega^2}} \right) \cos(\omega t - \theta) + \frac{V_f}{R} + A \exp \left(-\frac{Rt}{L} \right) \quad (2.7)$$

olur.

Eş. 2.7'de $\theta = \arctan\left(\frac{\omega t}{R}\right)$ 'dir.

Diyot geri yönlü çalıştığında, C_j sığasına denk bir sığaya sahip kapasitör gibi davranmaktadır [37]. Bu durumda elde edilen eşitlik,

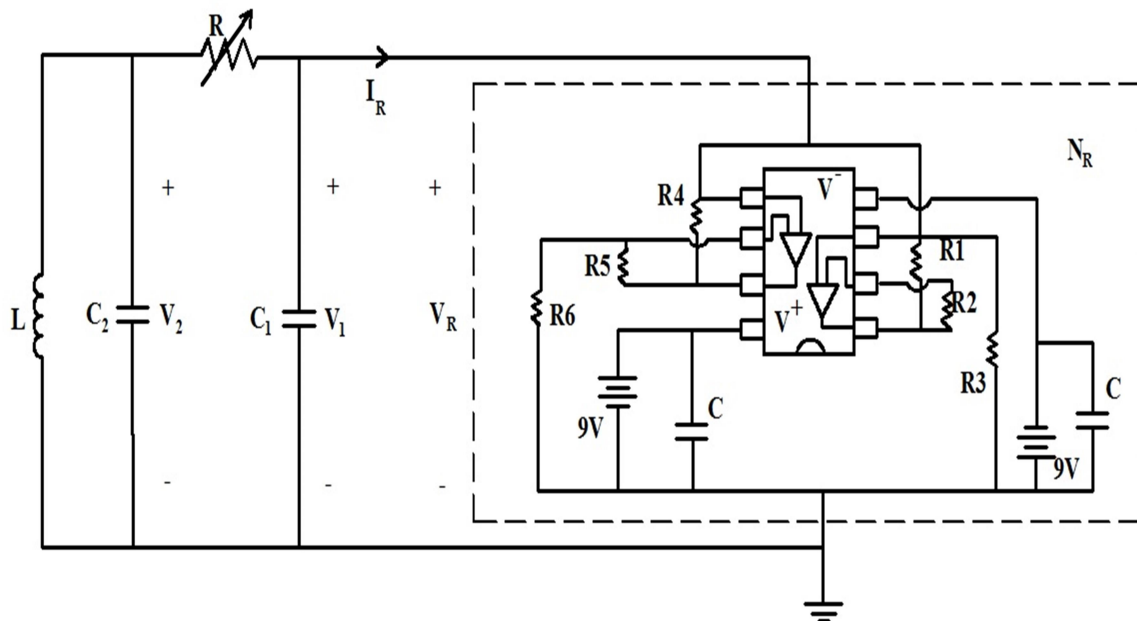
$$V_0 \sin \omega t = L \frac{dI}{dt} + \int \frac{I}{C} dt + RI \quad (2.8)$$

olur. Bu eşitlikte her iki tarafın türevi alınıp denklem düzenlenirse,

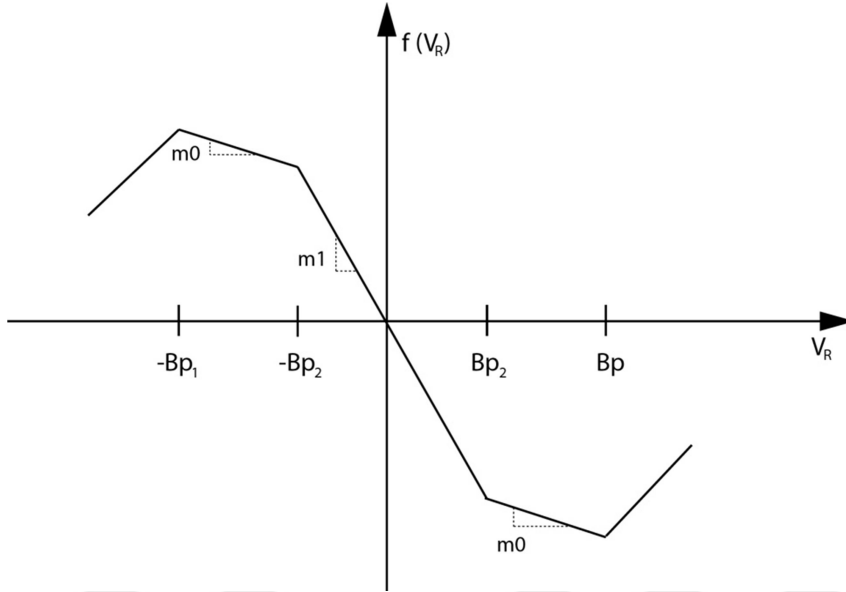
$$\frac{\omega}{L} V_0 \cos \omega t = \frac{d^2 I}{dt^2} + \frac{R}{L} \frac{dI}{dt} + \frac{I}{LC} \quad (2.9)$$

elde edilir. Eş. 2.9, homojen olmayan diferansiyel denklem olup geleneksel iki adım tekniği kullanılarak çözülebilir. Bu iki adım, özel ve homojen çözümlerdir. Bu iki çözüm ayrı ayrı bulunup toplanarak denklemin genel çözümü elde edilir [39].

Çift kıvrım ve katlı torus Chua devresi Şekil 2.4'de verilmiştir. Bu devre sadece bir doğrusal olmayan eleman içermektedir. Bu eleman, iki kırılma noktalı doğrusal olmayan dirençtir. Bu devrede doğrusal olmayan direnç, şekilde kesik çizgilerle ifade edilen elemanlarla oluşturulmuştur [32]. Doğrusal olmayan direnç fonksiyonu, Şekil 2.5'de verilmiştir.



Şekil 2.4. Çift kıvrım ve katlı torus Chua devresi



Şekil 2.5. Doğrusal olmayan direnç fonksiyonu [36]

Şekil 2.4'deki devrenin denklemini yazarsak,

$$C_1 \frac{dV_{C1}}{dt} = G(V_{C2} - V_{C1}) - g(V_{C1}) \quad (2.10)$$

$$C_2 \frac{dV_{C2}}{dt} = G(V_{C1} - V_{C2}) + i_L \quad (2.11)$$

$$L \frac{dI_L}{dt} = -V_{C2} \quad (2.12)$$

elde edilir.

Eş. 2.10'da g fonksiyonu doğrusal olmayan direncin karakteristiğini ifade etmektedir [32].



3. KAOTİK ANALİZ

Evrensel özelliklere sahip olabilecek niceliklerin bulunabilmesi, kaotik davranışların araştırılmasında temel hareket noktasıdır. Yapılan çok sayıda çalışmada, kaotik davranışın nitel ve nicel evrensel özelliklere sahip olduğu anlaşılmıştır. Örneğin; elektrik devreleri, sinir hücreleri, mekanik sarkaçlar gibi birçok sistemde benzer davranış şekilleri ve özellikler bulunmaktadır [40].

Kaotik davranış gibi doğrusal olmayan zaman serilerinin analizi, bu serilerdeki veriler ile verilerdeki doğrusal olmamayı inceleyen yöntemlerin hassasiyetine bağlıdır. Herhangi bir sistemde kaos analizi yapmak için birçok yöntem bulunmaktadır. Kaos analizinde genelde kullanılan yöntemler; Poincare haritalama, güç spektrumları, Lyapunov Üstelleri, fraktal boyutlar ve dallanmadır [41, 42].

3.1. Poincare Haritaları

Genelde, sürekli zamanlı bir sistemi analiz etmek kolay değildir. Eğer bu sistem, ayrık zamanlı hale getirilse analiz daha kolay olmaktadır. Bilim adamı Poincare, bu durumu sağlamak için bir yöntem bulmuştur. Poincare'in bulduğu yöntem, n 'inci dereceden sürekli bir dinamik sistemin $(n-1)$ 'inci dereceden ayrık zamanlı bir dinamik sisteme çevrilmesidir. Poincare haritaları, karmaşık sistemleri basitleştirme ve kararlılık analizi gerçekleştirmek için kullanılmaktadır [41].

Faz uzayında, Poincare olarak ifade edilen bir yüzey alınır. Poincare yüzeyi, faz uzayı içindeki tüm yörüngelere karşılık gelen eğrilerin aynı periyotlardaki özetidir. Faz uzayında dinamik bir sistemin davranışı, faz uzayının seçilen Poincare yüzeyi ile kesilerek, yörüngelerin bu yüzeyi kestiği noktaların oluşturduğu bir geometrik harita biçimindedir. Poincare yüzeyindeki noktaların dağılımı tek ve noktaların sayısı küçük bir bölgede sonlu ise hareket periyodik, bu dağılım kapalı bir eğriyse hareket yarı periyodik, belirli bölgelerde yoğun ise hareket kaotiktir [43, 44].

3.2. Güç Spektrumları

Dinamik sistemler, sürekli veya ayrık değişkenlere ait $f(t)$ dizileriyle gösterilebilir. Periyodik bileşenlerin üst üste getirilmesiyle $f(t)$ fonksiyonu elde edilebilir. Bu bileşenlerin oransal büyüklüklerinin tespiti, spektral analiz olarak ifade edilmektedir [32]. $f(t)$ 'nin gösterimi, yapısına göre farklı, birbiriyle ilgili iki yolla olmaktadır. $f(t)$ periyodik ise, spektrum frekansları temel frekansların tam katları olan hareketlerin doğrusal bileşimi olarak gösterilmektedir. Bu oluşan bileşim, Fourier serisini oluşturmaktadır [41]. $f(t)$ periyodik değil ise, oluşan sürekli frekanslı hareketlerin bileşimi ile gösterilebilir. Aslında böyle bir spektrum, Fourier dönüşümünü vermektedir. Bu şekilde elde edilen bir gösterim, kaotik dinamik davranış için kullanışlıdır. $f(t)$ 'nin Fourier serisi gösterimi;

$$f(t) = f(t + nT), \quad T = \frac{2\pi}{\omega} \quad (3.1)$$

şeklinde olursa,

$$F(t) = \sum_{n=-\infty}^{\infty} a_n e^{j\omega t n} \quad (3.2)$$

$$F(t) = \int_{n=-\infty}^{\infty} a(\omega) e^{j\omega t} d\omega \quad (3.3)$$

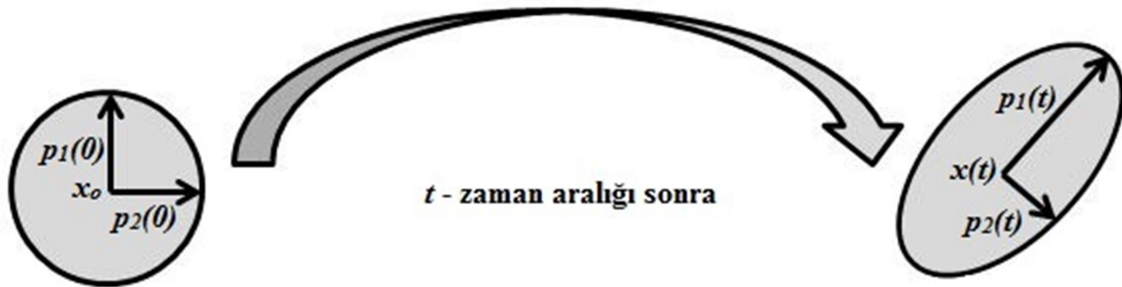
$f(t)$ 'nin Fourier dönüşümü elde edilmiş olur.

3.3. Lyapunov Üstelleri

Doğrusal olmayan denklemlerin kararlılığının belirlenmesinde değişmez üstellerden faydalanılabileceğini ilk olarak 1889 yılında Stockholm Üniversitesi'nde profesör olan Rus matematikçi Sonya Kovalevskaya göstermiştir. 1892 yılında diğer bir Rus matematikçisi olan Alexander Mikhailovich Lyapunov, Kovalevskaya'nın çalışmalarını geliştirmiştir. Lyapunov, çalışmasında bir dinamik sistemin yörüngelerinin uzaklaşmasının değişimini Lyapunov üstelleriyle ifade etmiştir [11]. Sistemi oluşturan diferansiyel denklem sistemlerinden hareketle değişim hesabı kullanılarak sisteme ait Lyapunov üstellerinin elde edilmesi 1985 yılında Wolf tarafından gerçekleştirilmiştir [41].

Herhangi bir dinamik sistemin davranışının belirlenmesinde Lyapunov üstelleri, büyük öneme sahiptir. Sistemle ilgili karakteristik bilgiler sunar ve aynı zamanda kaotik davranışın da bir ölçüsüdür [1, 45]. Bilindiği gibi dinamik sistemlerde kaos, başlangıç koşullarına oldukça hassastır. Faz uzayında, birbirine yeterince yakın iki başlangıç noktasındaki hareketlerin zaman ilerledikçe birbirlerinden ortalama bir üstel faktörle uzaklaşıp yakınlaşmaları kaotik sistemlerde görülen bir durumdur. Bu ortalama üstel faktöre Lyapunov üsteli denilmektedir [32]. Lyapunov üstellerinin sayısı, faz uzayının boyutuna göre değişmektedir. Her bir üstel, o yöndeki açılma veya büzülmenin ölçüsünü vermektedir [6, 41]. Lyapunov üstelleri, doğrusal sistemlerde kullanılan öz değerlere karşılık gelir. Başka bir deyişle öz değerlerin doğrusal olmayan sistemlerdeki karşılığıdır. Lyapunov üstelleri, sürekli zamanlı ve ayrık zamanlı sistemlerde hesaplanabilmektedir. Ayrıca, deney ya da benzetim sonuçlarından ortaya çıkan zaman serilerinden de Lyapunov üstelleri bulunabilmektedir [11].

Lyapunov üstellerinin matematiksel anlamı; n-boyutlu bir faz uzayında, sürekli bir dinamik sistem ele alındığında, başlangıç koşullarındaki n-boyutlu kürenin uzun zaman aralığında oldukça küçük değişiminin izlenmesidir. Akışın yerel bozulmasıyla küre, Şekil 3.1' deki gibi n-boyutlu elips haline gelmektedir [11].



Şekil 3.1. Bir kürenin t -zaman aralığı sonra değişimi

Lyapunov üstellerinin matematiksel ifadesi, Taylor serileri kullanılarak elde edilebilir. X_0 sabit noktasının komşuluğundaki X değeri için $f(X)$ fonksiyonunun Taylor açılımı aşağıdaki gibi gösterilebilir:

$$f(X) = f(X_0) + (X - X_0) \frac{df}{dX} + \frac{1}{2}(X - X_0)^2 \frac{d^2f}{dX^2} + \frac{1}{6}(X - X_0)^3 \frac{d^3f}{dX^3} + \dots \quad (3.4)$$

Dinamik bir sistemde Eş. 3.4'ün sağ tarafındaki ilk terim sabit noktalarda değişim olmadığından sıfır olacaktır. Görüldüğü gibi, Taylor serisi açılımı X_0 noktasının yanında $f(X)$ fonksiyonu, X_0 'da türetilmiş f değerlerinden ve X ve X_0 arasındaki farklardan meydana gelmektedir. Dolayısıyla Eş. 3.4, sabit nokta yakınındaki davranışın incelenmesi için yeterlidir.

$x = X - X_0$ sabit nokta ile yakın bir yörünge arası uzaklığı belirten yeni bir değişken olarak alınır ve birinci derece dışındaki terimler göz önüne alınmazsa aşağıdaki eşitlik bulunur:

$$\dot{x} = \left. \frac{df}{dX} \right|_{x_0} (x) \quad (3.5)$$

Eş. 3.5'ün çözümü aşağıdaki gibi olur:

$$x(t) = x(0)e^{\lambda t} \quad (3.6)$$

$$\lambda \equiv \left. \frac{df(X)}{dX} \right|_{x_0} \quad (3.7)$$

Eş. 3.7'de verilen λ , sabit noktanın karakteristik değeridir. Bu değer, Lyapunov üsteli olarak da bilinmektedir. Eş. 3.7, tek değişkenli bir sistem içindir. Sistemin boyut sayısına göre Lyapunov sayısı da değişir. Örneğin; üç boyutlu bir sistemin Lyapunov üsteli sayısı üç olacaktır [18, 40, 46].

Herhangi bir sistemin kaotik olabilmesi için en az bir pozitif Lyapunov üsteli bulunmalıdır. Yani bir sistemde $\lambda > 0$ ise sistem davranışı kaotik, $\lambda < 0$ ise sistem davranışı düzenlidir [11, 47].

Lyapunov üstelleri, dinamik sistem çekicilerinin tiplerini belirlemeye yardımcı olur. Herhangi bir boyut için tuhaf çekiciye ait spektrumun (+,0,-) gibi olması şu şekilde ifade edilebilir: “+ üstel” çekicinin kaos olduğunu, “0 üstel” bir hareket boyunca üstelden daha yavaş bir değişme olduğunu ve “- üstel” de uzayın çekicisinin sabit noktaya doğru daraldığını anlatmaktadır [32].

3.4. Fraktal Boyut Analizi

Fraktal boyut, doğada bulunan nesnelerin özelliklerini belirlemek için B. Mandelbrot tarafından ileri sürülmüştür. Fraktal boyuta sahip şekiller, Öklid biçimindeki nesnelere farklıdır. Bazı nesnelerin boyutunu ölçen Mandelbrot, ölçüm yapılan birimin duyarlı olmaması durumunda nesnelerin boyutundaki detayların gözden kaçtığını tespit etmiştir. Ölçüm yapılan birim çok duyarlı ise, o zaman nesnelerin uzunluğu çok fazla olacaktır. İşte bu tip nesnelere ayırt etmek için matematiksel bir araç gerekmektedir. Bu araç, fraktal boyuttur [41]. Mandelbrot, doğal nesnelerin yapısal bütünlüğünü araştırmıştır. Bir nokta, bir küp, bir çizgi veya bir kare gibi matematiksel nesnelere sırasıyla sıfır, bir, iki veya üç boyutlu nesnelere olarak bilinir. Toplam boyut sayısı, nesnenin geometrik yapısı ile ilgili fikir vermektedir. Mandelbrot, tamsayı olarak gösterilen boyutların kaotik yapılara uygun olmadığını bulmuştur. Doğrusal sistemlerin çekicileri tamsayı boyutlarla gösterilebilirken, kaotik sistemlerin çekicileri fraktal boyutlara sahiptir [43, 48].

Öklid geometrisinde noktalar $d=0$, eğriler $d=1$, alan yüzeyleri $d=2$, üç boyutlu nesnelere $d=3$ vb. boyuta sahiptir. Fraktal boyut D , tamsayı olmayan değerlere sahip bir ölçüm boyutu olduğundan kaotik sistemlerdeki çekiciler fraktal boyutlara sahiptir. Bunların fraktal boyutları D , çekici dinamiklerini modellemek için ihtiyaç duyulan dinamik değişkenlerin minimum sayılarıyla ilgilidir [49].

Kaotik sistemlerde ortaya çıkan çekiciler, tuhaf çekici olarak adlandırılmaktadır. Bu çekiciler, fraktal boyutlara sahiptirler. Bu kaotik çekicilerin boyutunun elde edilebilmesi için kutu sayma prensibi ileri sürülmüştür. Yani, düzensiz haldeki nesnelerin boyutunu bulmada kullanılmıştır. Fraktal boyutu istenen şekil, uygun boyuttaki kutular içine alınmaktadır. Bu kutuların boyutu, sistematik araştırılarak doğal logaritma işlemi ile içerisine düşen nesnelere sayılmaktadır [41].

Tuhaf çekiciler için birden fazla boyut hesabı gerçekleştirilebilir. Bu boyutlar, $D_0 \geq D_1 \geq D_2 \geq \dots$ olarak sıralanır. Bunların en önemlileri, kapasite (fraktal) boyutu, bilgi boyutu, korelasyon boyutu ve Lypunov boyutudur [32, 49].

D_C boyutu, en basit kapasite olarak ifade edilir. Uzaydaki çekicinin eşit birimli hacim elemanları (küre, küp, vb.) ile kaplanmasına dayanır. Bu çekici D boyutlu ise, ε hacim

elemanı sifıra doğru giderken, çekiciyi kaplamak için gerekli hacim elemanı sayısı, ε^D ile ters orantılı olarak artar [40]. k , sabit bir değer olmak üzere,

$$N(\varepsilon) = k\varepsilon^{-D} \quad (3.8)$$

$$D_C = \lim_{\varepsilon \rightarrow 0} \frac{\ln(N(\varepsilon))}{\ln\left(\frac{1}{\varepsilon}\right)} \quad (3.9)$$

olur.

ε , limit kümeyi örtmek için gereken n boyutlu hacim elemanlarının bir kenarının uzunluğudur. Limit kümeyi örtmek için gereken hacim elemanları sayısı $N(\varepsilon)$ 'dir. Boyut ifadesi denge noktası, limit çevrim ve 2-periyot veya 2-torus'ta gerçekleştirilirse sırasıyla 0, 1, 2 boyutları elde edilir. Eş. 3.8 kaotik bir işarete uygulanırsa D_C boyutu tamsayı olmayan bir sayı olur. Tam sayı olmayan bu boyuta parçalı (fraktal) denir [1].

D_I boyutu, bilgi boyutu olarak adlandırılmaktadır. Bilgi boyutu, sistemin durumunu göstermek için gereken bilgi miktarının ölçüsüdür [49]. Kapasite boyutu tamamen metrik kavramla ilgili ve dinamik sistemin zamansal davranışı ile ilgili bir bilgi vermezken, bilgi boyutu ihtimallere dayalı bir boyuttur. Yörüngenin hacim elemanları içine düşme sıklığına göre belirlenir. Kapasite boyutunda olduğu gibi çekici, çapı ε olan $N(\varepsilon)$ adet hacim elemanı ile kaplanır [40].

Çekiciyi kapsayan i . hacim elemanına yörüngenin uğrama olasılığı p_i olmak üzere, D_I boyutu şu şekilde hesaplanır:

$$S(\varepsilon) = - \sum_{i=1}^{N(\varepsilon)} p_i \ln(p_i) \quad (3.10)$$

$$D_I = \lim_{\varepsilon \rightarrow 0} \frac{\ln(S(\varepsilon))}{\ln\left(\frac{1}{\varepsilon}\right)} \quad (3.11)$$

Korelasyon boyutu D_C , sadece limit geometrisini kapsamaz aynı zamanda küme üstündeki yörüngenin zamanla değişimine de bakar. D_C boyutunda, limit kümesi yine kenar uzunluğu ε olan $N(\varepsilon)$ sayıda küple örtülür. Her küp 1, 2, ..., i , ... $N(\varepsilon)$ ile işaretlenir ve i 'inci küpün limit kümesince ne kadar sayıda kullanıldığı $n_i(N\varepsilon)$ sayılır. Yörüngenin i 'inci küpü ziyaret etme sayısından relatif frekans p_i elde edilir [1].

$$p_i = \lim_{N \rightarrow \infty} \frac{n_i(N\varepsilon)}{N} \quad (3.12)$$

Eş. 3.12 kullanılarak D_C boyutu aşağıdaki gibi elde edilir:

$$D_C = \lim_{\varepsilon \rightarrow 0} \frac{\ln(\sum_{i=1}^{N(\varepsilon)} p_i^2)}{\ln(\varepsilon)} \quad (3.13)$$

Lyapunov boyutu ise, bir dinamik sistemin Lyapunov üstleri kullanılarak elde edilmektedir. λ_i 'ler n boyutlu bir sistemin Lyapunov üsleri olarak alınsın ve $\lambda_1 \geq \lambda_2 \geq \dots \geq \lambda_n$ şeklinde sıralansın. $\lambda_1 + \lambda_2 + \dots + \lambda_j \geq 0$ eşitsizliğini sağlayan en büyük tamsayı j ise D_L Lyapunov boyutu aşağıdaki gibi verilebilir [40].

$$D_L = j + \frac{\lambda_1 + \lambda_2 + \dots + \lambda_j}{|\lambda_{j+1}|} \quad (3.14)$$

Lyapunov yelpazesi, Lyapunov boyutunun elde edilmesinde kullanılır. Zaman serileriyle tüm Lyapunov üstellerini doğru bir şekilde elde eden bir yöntem olmadığından bu boyut daha sık olarak dinamik denklemleri belirli olan modellere uygulanmaktadır [40].

3.5. Dallanma

Sistem parametresinin değişimi yoluyla herhangi bir doğrusal olmayan güç sisteminin sistem davranışında önemli değişimlerin yaşanmasına dallanma denir. Diferansiyel denklem ile gösterilmiş bir sistemin dinamik modelini aşağıdaki gibi alalım:

$$\dot{x} = F(x, \mu) \quad (3.15)$$

Yukarıdaki eşitlikte x , n boyutlu bir durum vektörü, μ ise zamanla değişen sistem parametresidir. μ değiştirildiğinde durum vektörü x ve Jacobian matrisi $\frac{dF}{dx}$ 'in öz değerleri de değişmektedir. Denge noktasında durum vektörü x , sıfır olmaktadır [50, 51].

$$x = F(x, \mu) = 0 \quad (3.16)$$

Dallanma teorisi, doğrusal olmayan sistemlerin çözümünde büyük öneme sahiptir. Herhangi bir sistemdeki anlık değişimler, sistemi kararlı durumdan giderek uzaklaştırır.

Bu durum, kaos olaylarını ortaya çıkarmaktadır. Herhangi bir sistem, bir parametreyle dinamik davranışı değiştirildiğinde sistemde dallanmalar oluşmaktadır [1].

Birden fazla parametre değiştirildiğinde, dallanma diyagramı kararlı hal çözüm tipinin değişimini belirtmektedir. Kararlı hal çözüm tipi, parametre değişikliği olduğu zaman görülebilen uç noktaların gösterilmesi suretiyle temsil edilir. Kararlı hal çözümünün niteliksel değişimini yansıtan bir dallanma, dallanma diyagramından rahatlıkla fark edilebilir.

Dallanma diyagramları, ele alınan sistemin kaos rotalarını bulmada sıklıkla kullanılmaktadır. Örneğin; parametre değeri devamlı değiştiğinde bu şekilde hangi kaosa ulaşabileceği gibi. Bu durum, düşük boyutlu sistemlerde kaos için farklı şekilde rotaların ortaya çıktığını göstermiştir. Bu rotalardan biri, periyot katlamalı kaskattır. Bu rotada kaos elde edilinceye kadar, limit döngü iki kat daha büyük periyotlu başka limit döngülere neden olur. Başka bir rota ise, yarı periyodiklik aracılığıyla. Sabit nokta durumu bir limit döngüye, buradan da bir torus T^2 ve kaosa götürür ya da T^2 torusa ve en sonunda kaosa götürür.

4. KAOTİK EŞZAMANLILIK

Kaotik eşzamanlılık, kaotik bir sistemi başka bir kaotik sistemle aynı davranışı göstermeye zorlamaktır. Pecora ve Carroll, kaotik sistemlerin eşzamanlılığının sağlanabileceğini kanıtladıktan sonra konu üzerinde birçok çalışma yapılmıştır [52-55]. Kaotik eşzamanlılık, aşağıdaki gibi tanımlanabilir:

$$\frac{dx}{dt} = f(x(t)) \quad (4.1)$$

durum denkleminde ifade edilen n boyutlu bir özerk sistem olsun. Bu özerk sistem keyfi olarak iki kısma ayrıldığında durum vektörü,

$$x = \begin{pmatrix} x_S \\ x_T \end{pmatrix} \quad (4.2)$$

olacaktır. Burada S kısmı sürücü alt sistem; T kısmı tepki veren alt sistem olarak tanımlanmaktadır. Bu iki alt sistemin dinamikleri:

$$\dot{x}_S = g(x_S, x_T) \quad (4.3)$$

$$\dot{x}_T = h(x_S, x_T)$$

şeklinde ifade edilebilir. Pecora ve Carroll, gerçek sistemin yanı sıra bu gerçek sistemin tepki veren kısmının bir kopyasını oluşturarak bu kısmın gerçek sistemdeki sürücü kısım ile, yani x_S ile sürülmesi durumunda orijinal sistemin x_T dinamiği ile tepki veren kısmın kopyası durumundaki sistemin \dot{x}_T dinamiğinin aynı olduğunu göstermiştir [16, 52]. Buna göre,

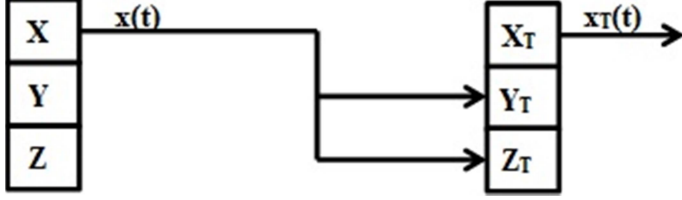
$$\dot{x}_S = g(x_S, x_T)$$

$$\dot{x}_T = h(x_S, x_T) \quad (4.4)$$

$$\dot{x}_T' = h(x_S, x_T')$$

denklemleri elde edilir. Şayet t sonsuza gider ve $x_T - x_T'$ farkı da sifira yaklaşırsa, alt sistem bileşenleri x_T ve x_T' asimptotik olarak birbirine yaklaşır yani eşzamanlılık sağlanmış olur.

Pecora ve Carroll eşzamanlılığı, Lorenz sistemi üzerinde uygulandığında eşzamanlılığı sağlayan alt sistemler blok diyagramı Şekil 4.1'de verilmiştir.



Şekil 4.1. Lorenz sisteminde Pecora ve Carroll eşzamanlılığını gösteren blok diyagramı

$$\dot{x} = \sigma(y - x)$$

$$\dot{y} = \rho x - y - xz \quad (4.5)$$

$$\dot{z} = xy - \beta$$

Eş. 4.5 sürücü sistemi ifade ederse, tepki veren sistem eşitlikleri:

$$\dot{x}_T = \sigma(y_T - x_T)$$

$$\dot{y}_T = \rho x - y_T - xz_T \quad (4.6)$$

$$\dot{z}_T = xy_T - \beta z_T$$

olur.

5. KAOTİK HABERLEŞME

Kaos ile veriyi taşıma ve şifreleme, iki farklı kaotik salıncıda eşzamanlılığın mümkün olduğunu bulan Pecora ve Carroll tarafından 1990 yılında gerçekleştirilmiştir. 1993'te, Cuomo ve Oppenheim, Lorenz denklem sisteminden faydalanarak güvenli haberleşme sistemini oluşturdular. Cuomo ve Oppenheim kaotik sistem olarak Lorenz devresini kullanırken, aynı kavramsal yaklaşımla Kocarev ve arkadaşları Chua devresinden faydalanmışlardır. Herhangi bir bilgi işaretine kaotik işaret ekleyerek, bilgi işaretinin gizlenmesinde eşzamanlılıktan nasıl faydalanılabileceğini ortaya koyması, bu çalışmaların kaotik haberleşme sistemi tasarımında ilk uygulamalar olması bakımından önemlidir [1].

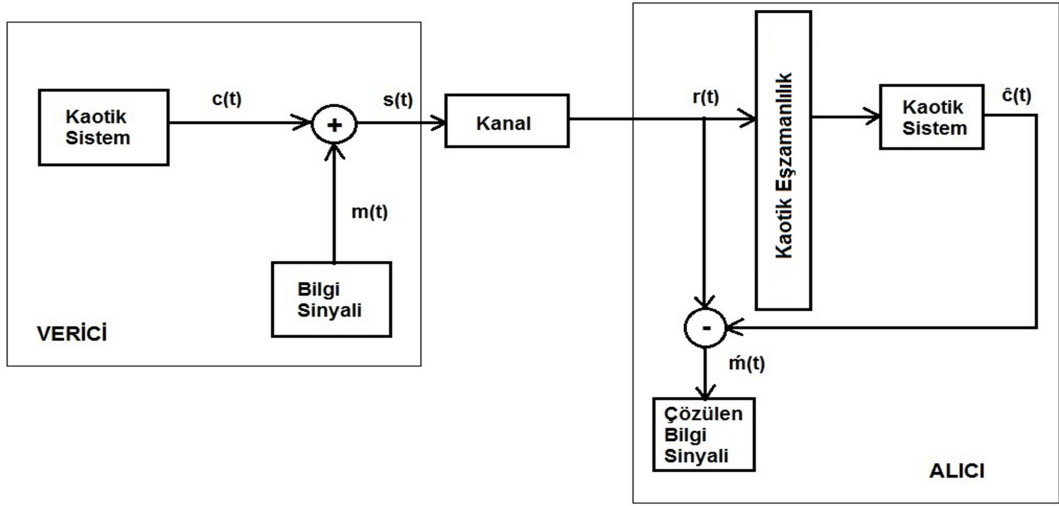
Kaosun geniş bantlı olmasından dolayı taşıyıcı olarak yayılı spektrum özelliğindeki haberleşme sistemlerinde kullanılmaktadır [56]. Haberleşme sistemlerinde kaosun kullanılması bazı avantajlar sağlamaktadır. Bu sistemlerde geniş bantlı kaos işaretleri basit devrelerle elde edildiği için donanım olarak yapılması kolaydır ve kaosun periyodik olmayan işaretler içermesinden dolayı bilgi güvenliğinde avantaj sağlamaktadır [57].

1992 yılından itibaren, kaos tabanlı güvenli haberleşme sistemi dört kuşak altında gelişme göstermiştir. İlk üç kuşakla ilgili olan çalışmalarda en büyük sıkıntı kanal kullanım verimliliğinin düşük olmasıydı. Bu üç kuşak, aynı çerçevede içerisinde sürekli eşzamanlılığı paylaşmıştır. Bu eşzamanlılıktaki en büyük sorun eşzamanlılık sinyalinin kullanmakta olduğu bant genişliğinin, bilgi sinyalininkiyle benzer olmasıydı. Bu sorunu çözmek için dördüncü kuşağa yeni bir eşzamanlılık tekniği uygulanmıştır. Böylece kaotik verici ve alıcı devrelerin eşzamanlılığı sağlanarak bu kuşaktaki bilgi güvenliği derecesi, diğer üç kuşaktakine göre daha fazla olmuştur [7].

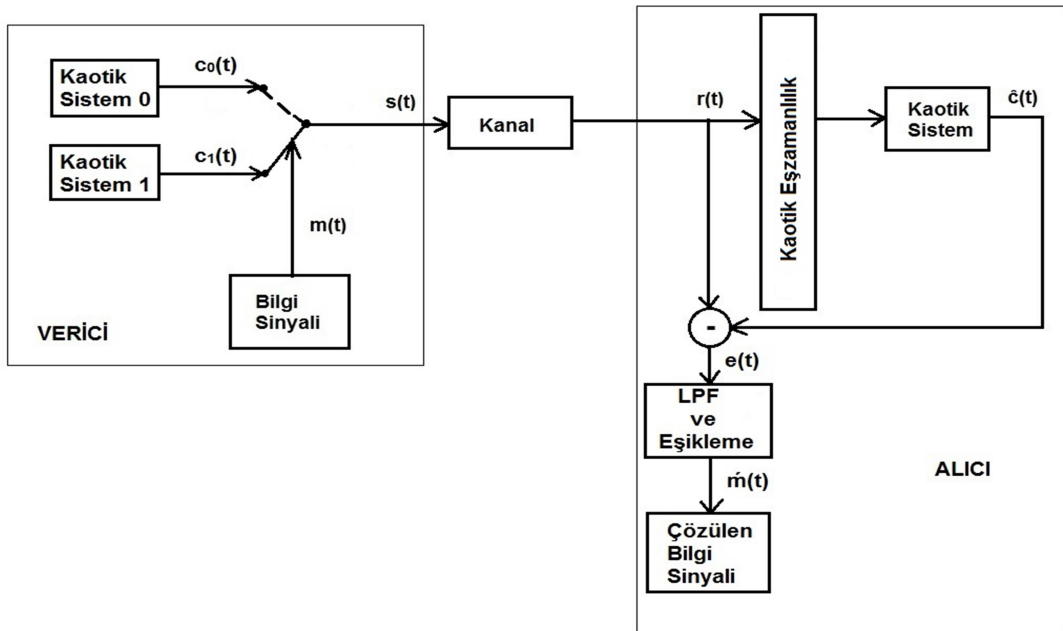
Şekil 5.1(a)'da gösterilen ekleyici kaos maskeleyme ve Şekil 5.1(b)'de gösterilen kaotik kaydırmalı anahtarlama olarak bilinen ilk kuşak, 1993 yılında geliştirilmiştir [58, 59]. Şekil 5.1(a)'da gösterilen ekleyici kaos maskeleyme şeması, hem alıcı hem de vericide iki eş kaotik sistemden oluşmaktadır. $c(t)$ ile gösterilen kaotik maske, vericide kaotik sistemin durum değişkenlerinden biridir. Genellikle $c(t)$ 'den 20-30dB kadar daha zayıf olan bilgi sinyali $m(t)$, kaotik maske sinyaline eklenir ve iletilen sinyal $s(t)$ 'yi verir. Kaotik sinyal $c(t)$

çok karmaşık ve $m(t)$ de $c(t)$ 'den çok daha küçük olduğundan tüm $c(t)$ bilinmeden bilgi sinyali $m(t)$ 'nin $s(t)$ 'den ayrıştırılamayacağı düşünülebilir [60].

Şekil 5.1(a)'da, alıcıda ihtiyaç duyulan eşzamanlılık blok diyagramını görebiliriz. Kaotik eşzamanlılık, normal iletişim sistemlerinde taşıyıcı eşzamanlılığının genelleştirilmesidir.



(a)



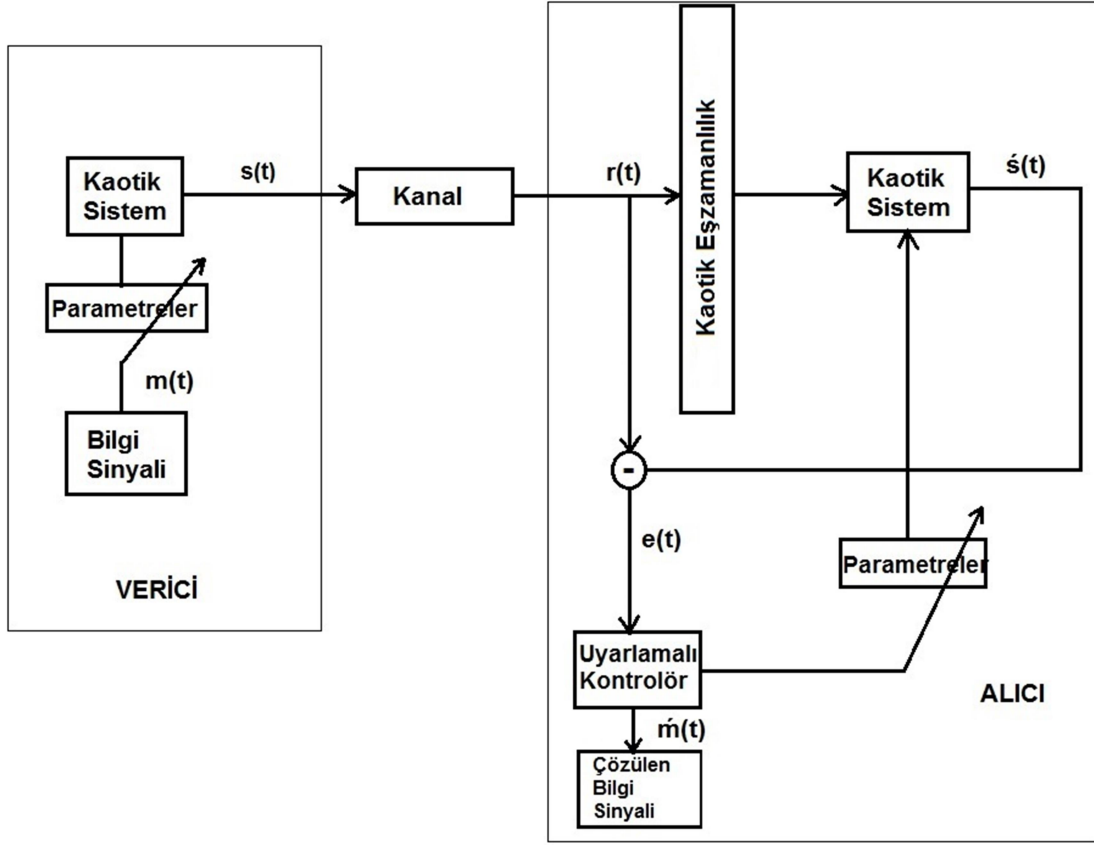
(b)

Şekil 5.1. Birinci nesil kaotik güvenli haberleşme sistemlerinin blok diyagramları
(a) Ekleyici kaos maskeleye şeması. (b) Kaotik anahtarlama olarak bilinen kaotik kaydırmalı anahtarlama şeması.

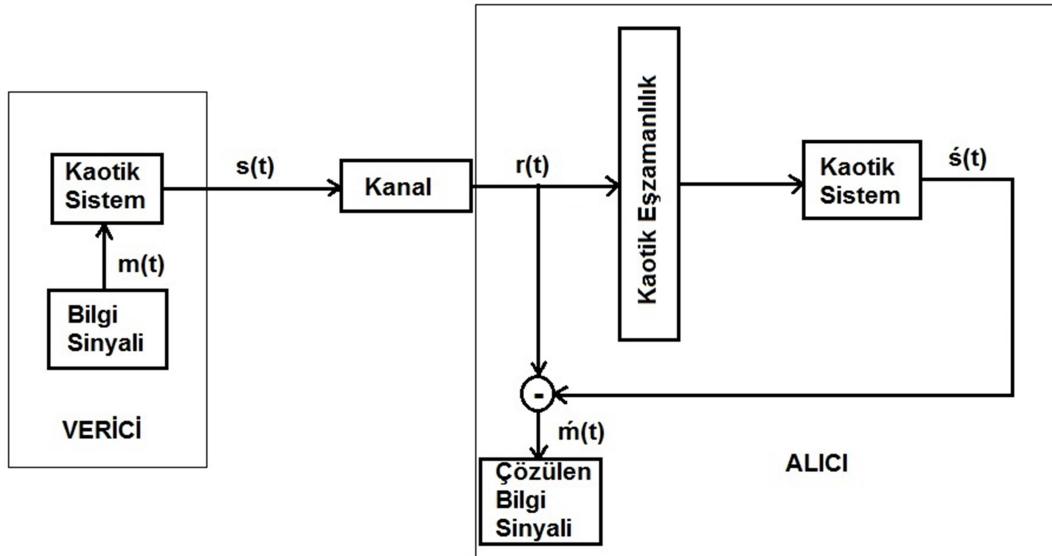
İkinci nesil, 1993'ten 1995'e kadar önerilmiştir ve kaotik modülasyon olarak bilinir. Bu nesil, bilgi sinyallerini kaotik taşıyıcılarla modüle etmek için iki farklı yöntem kullanmıştır. Şekil 5.2(a)'da gösterilen kaotik parametre modülasyonu olarak adlandırılan ilk yöntem, kaotik vericinin parametrelerini değiştirmek için bilgi sinyalini kullanmıştır. Şekil 5.2(b)'de gösterilen otonom olmayan kaotik modülasyon olarak adlandırılan ikinci yöntem, kaotik verici faz uzayını değiştirmek için bilgi sinyalini kullanmıştır [61, 62].

Şekil 5.2(a)'da bilgi sinyali $m(t)$, vericide kaotik sinyalin bazı parametrelerini modüle etmek için kullanılır. Öyle ki onun yörüngeleri farklı kaotik çekicilerde sürekli değişmektedir. Kaotik sistemin dallanma uzayı çok karmaşık olduğundan saldırgan, vericideki kaotik sistemin bazı kısmi bilgisini bilse bile parametre değişiklikleri yolunu çözmek çok zordur. Alıcı sonunda uyarlamalı kontrolör, eşzamanlılık hatasının sifra indirilmesi için kaotik sistemin parametrelerini ayarlama kullanılır. Bu gerçekleştirilirse uyarlamalı kontrolörün çıkışı, bilgi sinyalini çözebilir [60].

Şekil 5.2(b)'de gösterilen otonom olmayan kaotik modülasyon, kaotik vericinin parametrelerini değiştirmek yerine faz uzayında kaotik çekiciyi doğrudan karıştırmak için bilgi sinyalini kullanmıştır. Vericinin farklı kaotik çekicilerde farklı yörüngeler arasında değiştirildiği kaotik parametre modülasyonunun aksine otonom olmayan kaotik modülasyondaki verici, aynı kaotik çekicinin farklı yörüngeleri arasında değiştirilir. Otonom olmayan kaotik modülasyon, teorik olarak hatasız bir modülasyondur. İkinci nesil, güvenlik derecesini bir dereceye kadar geliştirmiş fakat yine de yetersiz bulunmuştur [63-67].



(a)



(b)

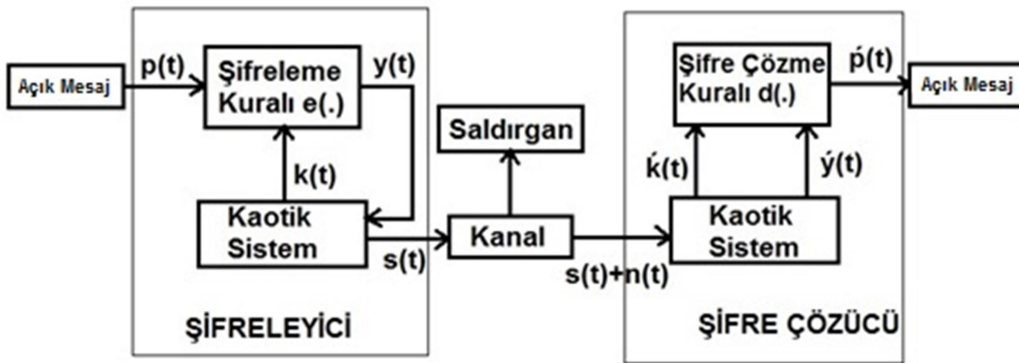
Şekil 5.2. İkinci nesil kaotik güvenli haberleşme sistemlerinin blok diyagramları.

(a) Kaotik parametre modülasyonu (b) Otonom olmayan kaotik modülasyon.

Şekil 5.3’de gösterilen üçüncü nesil, güvenlik seviyesini ilk iki nesilden çok daha iyi bir seviyeye ulaştırmak amacıyla 1997’de önerilmiştir. Bu nesil, kaotik şifreli sistem olarak bilinmektedir. Bu nesilde, güvenlik derecesini arttırmak için klasik şifreleme tekniği ve kaotik eşzamanlılığın kombinasyonu kullanılır. Bu nesil, şimdiye kadar önerilmiş tüm kaotik güvenli haberleşme sistemlerinde en yüksek güvenliğe sahiptir ve henüz çözülememiştir [60].

Kaotik şifreleme sisteminde açık mesaj sinyali $p(t)$, vericide kaotik sistem tarafından üretilen anahtar sinyal $k(t)$ ile bir şifreleme kuralı tarafından şifrelenir. Kaotik dinamikler sürekli olarak çok karmaşık bir şekilde değiştirilebilir diye karışmış sinyal, kaotik sistemi sürmek için daha fazla kullanılır. Daha sonra vericideki kaotik sistemin diğer bir durum değişkeni, saldırgan tarafından erişilebilen kanal aracılığıyla iletilir. Saldırgan kaotik donanım anahtarına erişemediğinden $s(t)$ ’den $p(t)$ ’yi bulması çok zordur.

Alıcıda, $n(t)$ kanal gürültüsü ile alınan sinyal $r(t) = s(t) + n(t)$, alıcı ve vericide her iki kaotik sistemi eşzamanlı hale getirmek için kullanılır. Kaotik eşzamanlılık sağlandıktan sonra, $k(t)$ sinyali ve $y(t)$, $\hat{k}(t)$ ve $\hat{y}(t)$ ile belirtildiği gibi biraz gürültü ile alıcıda tekrar elde edilebilir. $\hat{k}(t)$ ve $\hat{y}(t)$ ‘nin alıcıda şifre çözme kuralına dahil edilmesiyle açık mesaj sinyali, $\hat{p}(t)$ olarak biraz gürültü ile tekrar elde edilebilir [60].

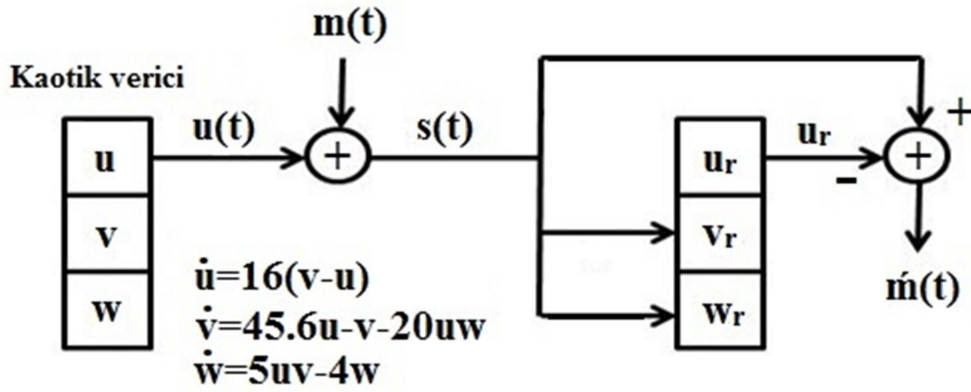


Şekil 5.3. Üçüncü nesil kaotik güvenli haberleşme sistemlerinin blok diyagramı

Kaotik haberleşme sistemlerini uygulayabilmek için halledilmesi gereken iki önemli sorun mevcuttur. İlki, kaotik alıcı ve verici sistemlerindeki parametre uyumsuzluğudur. Bu

sorun, uyarlamalı eşzamanlılık kullanılarak çözülmüştür [68, 69]. Diğer sorun ise kanalın fiziksel özelliğinden kaynaklı doğrusal özellik göstermemesidir [60].

Güvenli iletişim için kaotik sistem uygulamaları, son yıllarda artan bir ilgiye sahiptir. Özellikle eşzamanlı ya da öz-eşzamanlı kaotik devre kullanılan sistem uygulamaları ve teorileri göze çarpmaktadır [15, 70]. Kaotik sistemlerin öz-eşzamanlı özelliklerinin bulunmasından sonra gerçekleştirilen ilk kaotik haberleşme yöntemi, kaotik maskeleyedir. Kaotik maskeleye (gizleme) sistemi blok diyagramı Şekil 5.4'de verilmiştir. Bu maskeleyede aktarılacak bilgi işareti $m(t)$, kaotik $u(t)$ işaretine eklenir. Alıcı tarafta kaotik işaret, kaotik eşzamanlılıktan faydalanılarak yeniden üretilir. Sonra, yeniden üretilen kaotik işaret $u(r)$, gelen işarettten çıkarılarak bilgi işareti tekrar elde edilir [71].



Şekil 5.4. Kaotik maskeleye sistemi [72].

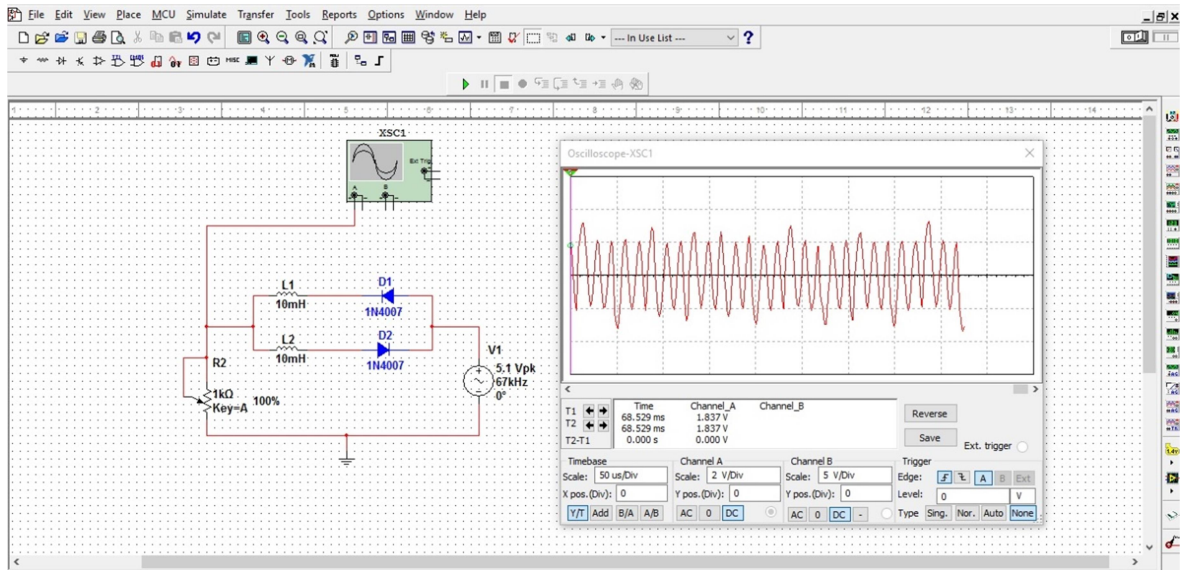
6. R2L2D DEVRESİNİN BENZETİMİ

6.1. Yöntem

Günümüz haberleşme sistemlerinde bilgi güvenliği büyük öneme sahiptir. Dolayısıyla, bu tarz sistemlerde kaotik devreler sıklıkla kullanılmaktadır. Bu tez kapsamında, güvenli haberleşmede kullanılabilecek bir R2L2D kaotik devresi önerilmiştir. Adından da anlaşılacağı üzere devrede bir adet direnç, iki adet bobin ve iki adet diyot bulunmaktadır. Bu devre kaos, eşzamanlılık ve güvenli haberleşme yönlerinden incelenmiştir.

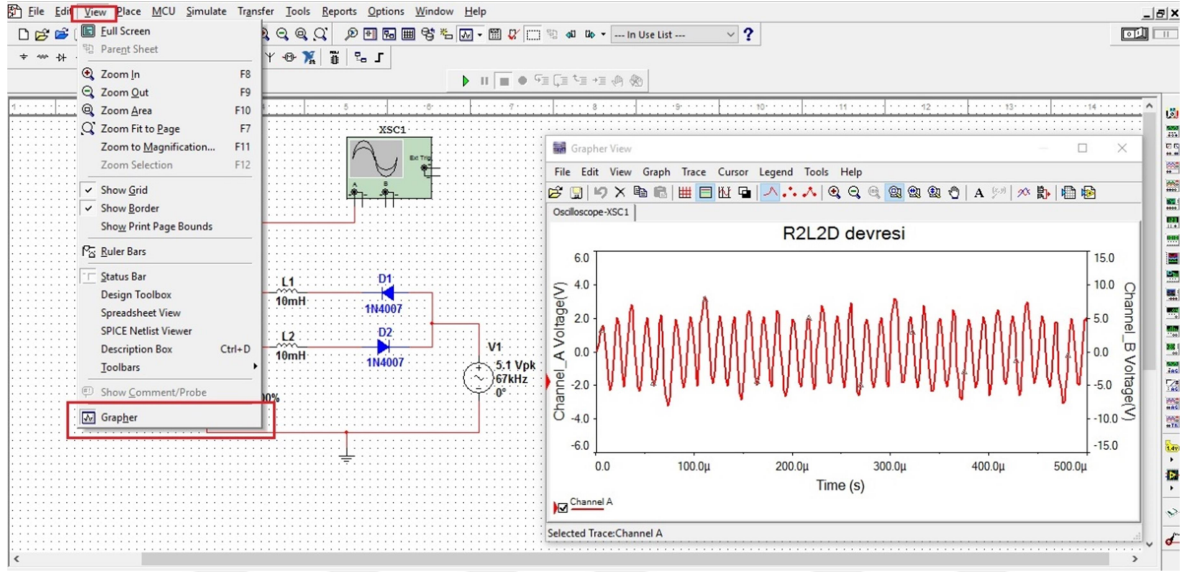
R2L2D devresinin benzetiminde NI Multisim 11.0 programı kullanılmıştır. National Instruments firması tarafından geliştirilen Multisim, yaygın olarak kullanılan elektronik tasarım ve benzetim programlarından biridir.

Multisim yazılımı çalışma sayfası, Şekil 6.1’de gösterilmiştir. Görüldüğü gibi çalışma sayfasında R2L2D devresi kurulmuştur. Bu devreye kaotik sinyale dönüşen belli bir frekans ve genlikte V_0 sinüzoidal sinyal uygulanmıştır. Yazılımda devrenin herhangi bir yerindeki gerilim değeri, sanal osiloskop ile ölçülüp sinyalin değişimi izlenmiştir. Şekilde gözlemlenen sinyal, R2L2D devresinin kaotik çıkış gerilimidir.

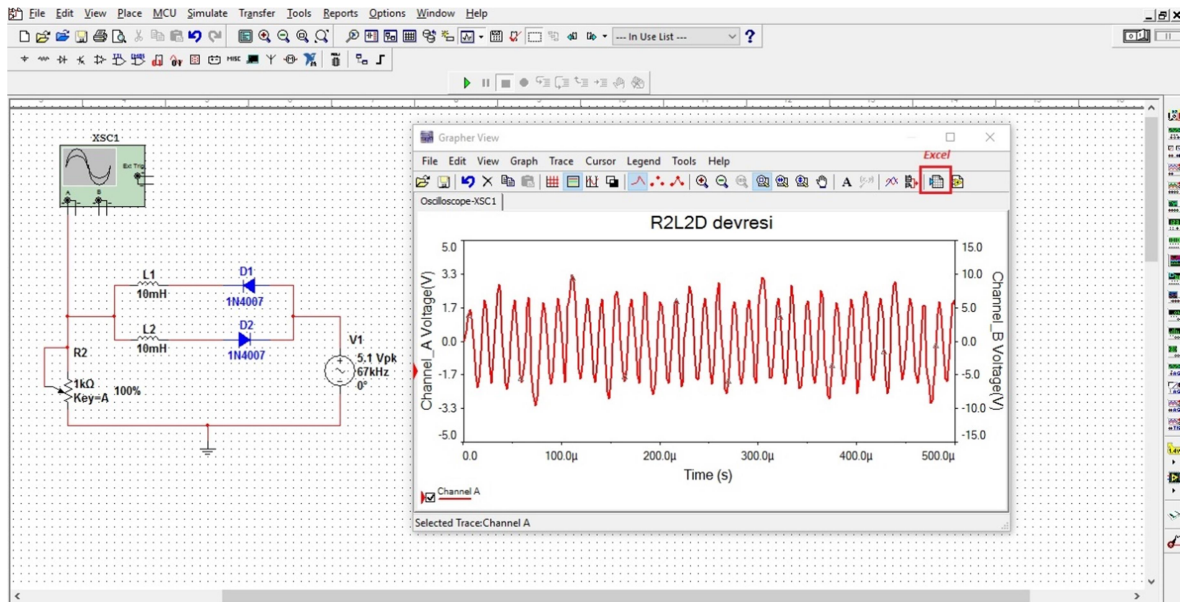


Şekil 6.1. R2L2D devresinin NI Multisim 11.0 ‘da benzetimi

Multisim programında benzetim sonuçlarını farklı bir şekilde de elde edebiliriz. Şekil 6.2'de "view" menüsü "grapher" bölümünden sinyalin daha ayrıntılı analizi yapılabilir. Tez kapsamında benzetim sonuçları için bu bölümden de faydalanılmış ve "grapher" bölümünde elde edilen sinyal verileri, ayrıca şekil 6.3'deki gibi Excel tablosu olarak alınmıştır. Excel tablosu değerleri kullanılarak da grafik çizimleri gerçekleştirilmiştir.

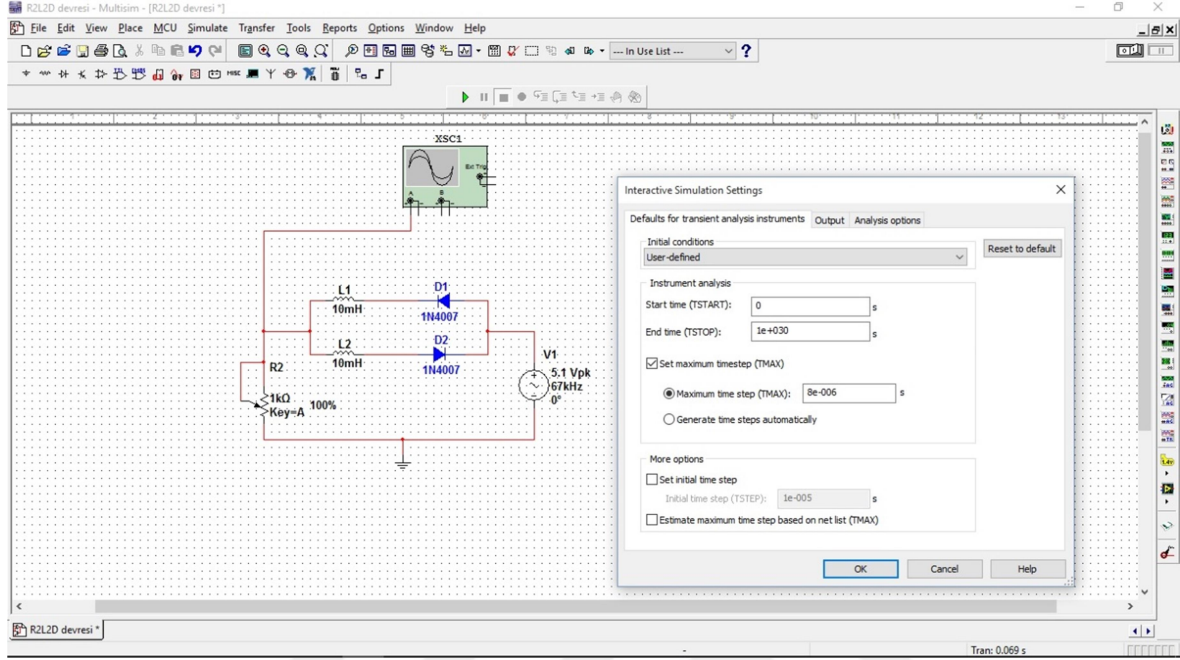


Şekil 6.2. "Grapher" bölümünde gözlemlenen sinyal



Şekil 6.3. Benzetim sonuçlarının Excel dosyası olarak alınması

R2L2D devre analizinde kullanılan benzetim ayarları Şekil 6.4'deki gibidir. Bu ayarlar değiştirilerek elde edilen sinyalin çözünürlüğü isteğe bağlı olarak ayarlanabilir.

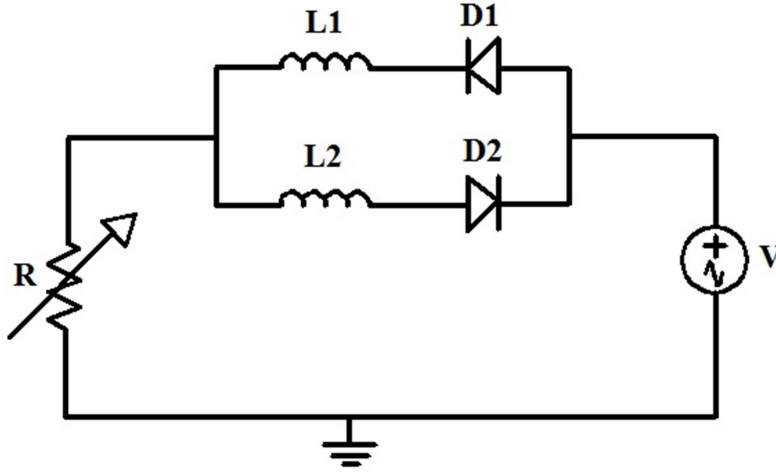


Şekil 6.4. R2L2D devresi için NI Multisim 11.0 benzetim ayarları

Farklı genlik ve frekans değerlerinde sinüzoidal gerilimler deneyerek R2L2D devresinin kaotik sinyal ürettiği frekans ve gerilim değerleri bulunmaya çalışılmış bu değerlere göre Multisim'de eşzamanlılık ve sinyal gizleme devreleri de kurulmuştur.

Devre benzetiminden sonra R2L2D devresi, laboratuvar ortamında kurulup sistem davranışı incelenmiştir. Devre, deneysel devre tahtasına kurulmuştur. Sinyal ölçümleri için GW Instek AFG-2125 fonksiyon generatörü ve Kenwood DCS-7020 osiloskop kullanılmıştır. R2L2D devresinin deneysel sonuçları elde edildikten sonra eşzamanlılık ve sinyal gizleme devreleri de kurulmuştur. Bu devrelerden deneysel sonuçlar elde edilerek benzetim sonuçlarına uygunluğu tespit edilmiştir.

6.2. R2L2D Devresi Teorik Altyapı



Şekil 6.5. R2L2D devresi

V_{LD} , bobin ve diyot üzerindeki gerilim olmak üzere, Şekil 6.5’de verilen devrenin gerilim eşitliği aşağıdaki gibidir:

$$V_R + V_{LD} = V \quad (6.1)$$

Şekil 6.5’deki devrede görüldüğü gibi diyotlar, her bir kolda bobinlere bağlıdır. Ana koldan geçen I akımı, her bir kolda I_1 ve I_2 akımlarına bölünürken sinüzoidal gerilimin negatif ve pozitif bileşenleri tam periyotta kollardan geçer. Buna göre,

$$V_{LD} = V_{D_1} + L \frac{dI_1}{dt} \quad (6.2)$$

$$V_{LD} = V_{D_2} - L \frac{dI_2}{dt}$$

yazılabilir.

Giriş gerilimi $V=V_0 \sin(\omega t)$ alınırsa, Eş. 6.2 aşağıdaki gibi yazılabilir:

$$\frac{dI_1}{dt} = \frac{V_{D_1}}{L} + \frac{V_0}{L} \sin(\omega t) - \frac{R}{L} (I_1 + I_2) \quad (6.3)$$

$$\frac{dI_2}{dt} = \frac{V_{D_2}}{L} + \frac{V_0}{L} \sin(\omega t) - \frac{R}{L} (I_1 + I_2)$$

Diyotlar üzerindeki gerilimler V_{D_1} ve V_{D_2} , aşağıdaki gibidir:

$$V_{D_1} = \frac{kT}{e} \ln\left(\frac{I_1}{I_s} + 1\right)$$

$$V_{D_2} = \frac{kT}{e} \ln\left(\frac{I_2}{I_s} + 1\right)$$
(6.4)

Eş. 6.4'de I_s doyma akımı, diyotun karakteristik bir özelliğidir.

Eş. 6.3'ün boyutsuz hali; $\tau = L/R$, $t' = \tau t$ ve $\gamma = \omega/\tau$ alınrsa,

$$\frac{dI_1}{dt'} = \frac{kT}{eL} \ln\left(\frac{I_1}{I_s} + 1\right) + \frac{V_0}{L} \sin(\gamma t') - \frac{R}{L}(I_1 + I_2)$$

$$\frac{dI_2}{dt'} = \frac{-kT}{eL} \ln\left(\frac{I_2}{I_s} + 1\right) + \frac{V_0}{L} \sin(\gamma t') - \frac{R}{L}(I_1 + I_2)$$
(6.5)

elde edilir. Bu denklemlerde; τ devrenin doğal periyodudur.

$$\alpha = \frac{kT}{eI_s R}, \beta = \frac{V_0}{RI_s}$$

alınrsa denklemler şu hale dönüşür:

$$\frac{dI_1}{dt} = \alpha \ln\left(\frac{I_1}{I_s} + 1\right) + \beta \sin(\omega t) - (I_1 + I_2)$$

$$\frac{dI_2}{dt} = -\alpha \ln\left(\frac{I_2}{I_s} + 1\right) + \beta \sin(\omega t) - (I_1 + I_2)$$
(6.6)

$x = I_1/I_s$ ve $y = I_2/I_s$ alınrsa aşağıdaki eşitlikler elde edilir:

$$\dot{x} = \alpha \ln(x + 1) + \beta \sin(z) - (x + y)$$

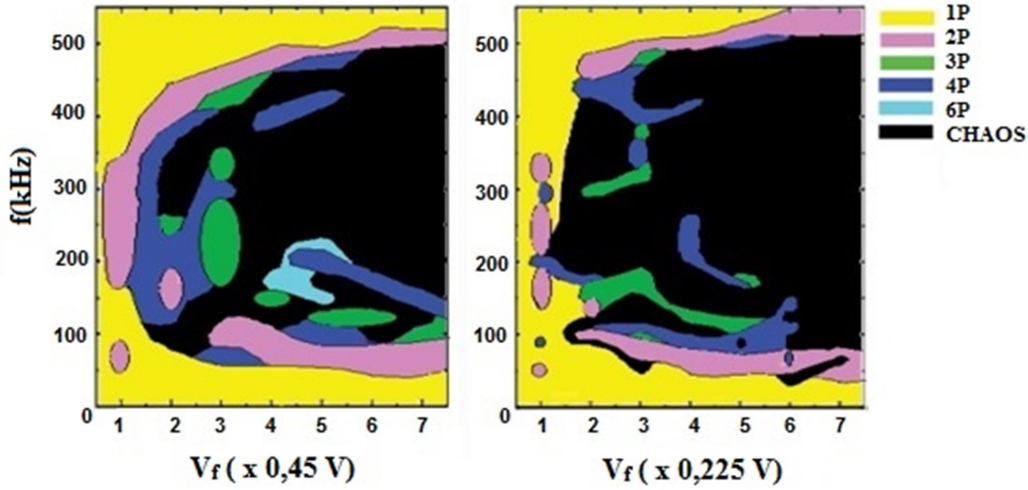
$$\dot{y} = -\alpha \ln(y + 1) + \beta \sin(z) - (x + y)$$

$$\dot{z} = \gamma \frac{L}{R}$$
(6.7)

Eş. 6.7'nin son denklemleri, ana deneysel parametreyi belirler(dış sinyalin frekansı). Uyarıcı gerilim kaynağının besleme gerilimi, birinci derece bir z değişkeni olarak belirlenir.

6.3. R2L2D Devresi Parametre Uzayı Grafiği

R2L2D devresinin parametre uzayı grafiği şekil 6.6' da verilmiştir. Grafik, iki temel sistem parametresi (f ve V_f) içerdiğinden devrenin periyodik ve kaotik davranış gösterdiği yerler hakkında genel bir bilgi vermektedir.



Şekil 6.6. RLD (sol) ve R2L2D (sağ) devreleri için besleme gerilimi (V_f) ve frekans (f)'in fonksiyonu olarak iki parametrelili dallanma grafiği

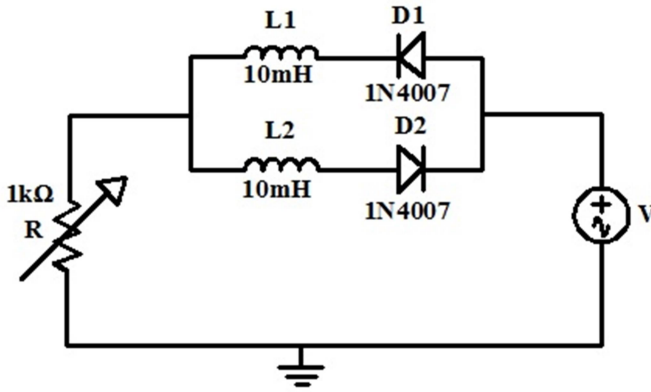
Bu grafikte, devrenin dinamik davranışları giriş sinyallerinin geniş bir aralığı için birbirini ardına dallanan noktalardan sonra periyodik ve kaotik bölgeleri vurgulayan ayrılmış bölgeler olarak gösterilir. Siyahla gösterilen kaotik bölge, geleneksel RLD devresine kıyasla R2L2D devresinde nispeten daha düşük frekanslarda aşağıya uzanmaktadır. Ayrıca ana koldan akan akımın 1P bölgesinden doğrudan kaosa gittiği geniş bölgeler bulunmaktadır. R2L2D devresi, RLD devresine kıyasla daha düşük frekans ve gerilim değerleri için kaotik davranışlar ortaya koymaktadır [20].

6.4. R2L2D Devresinin Benzetim Sonuçları

Bu tez kapsamında önerilen R2L2D devresinde kullanılan elemanların değerleri şu şekilde seçilmiştir:

$$L_1 = L_2 = 10 \text{ mH}, R = 1 \text{ k}\Omega \text{ (potansiyometre)}$$

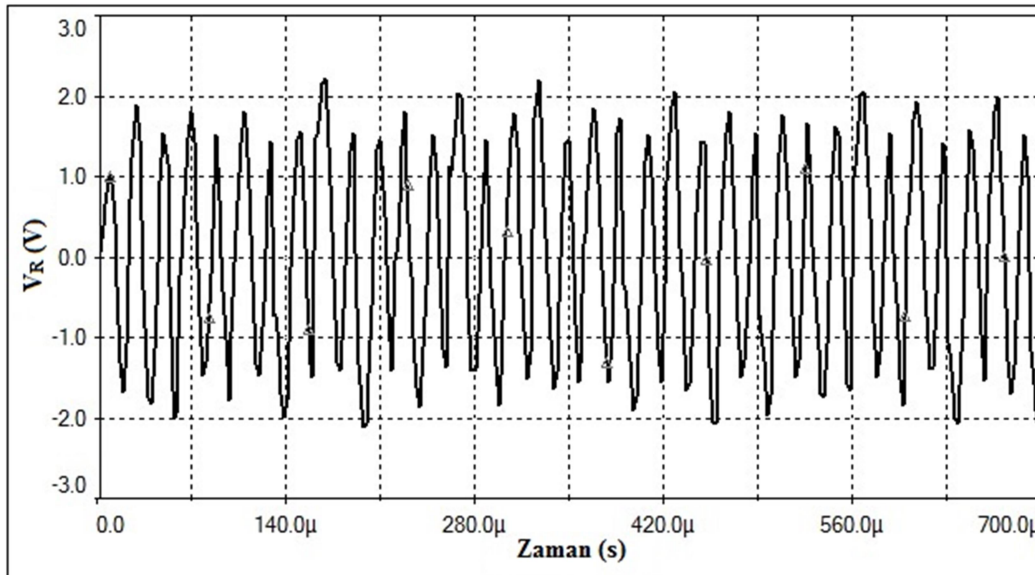
Devrede kullanılan diyotlar 1N4007'dur. Kaosu daha iyi gözlemleyebilmek için değişken direnç olarak 1k Ω 'luk potansiyometre kullanılmıştır. Bu değerlere göre, NI Multisim 11.0'da kurulan devre Şekil 6.7'de verilmiştir.



Şekil 6.7. Benzetimde kullanılan R2L2D devresi

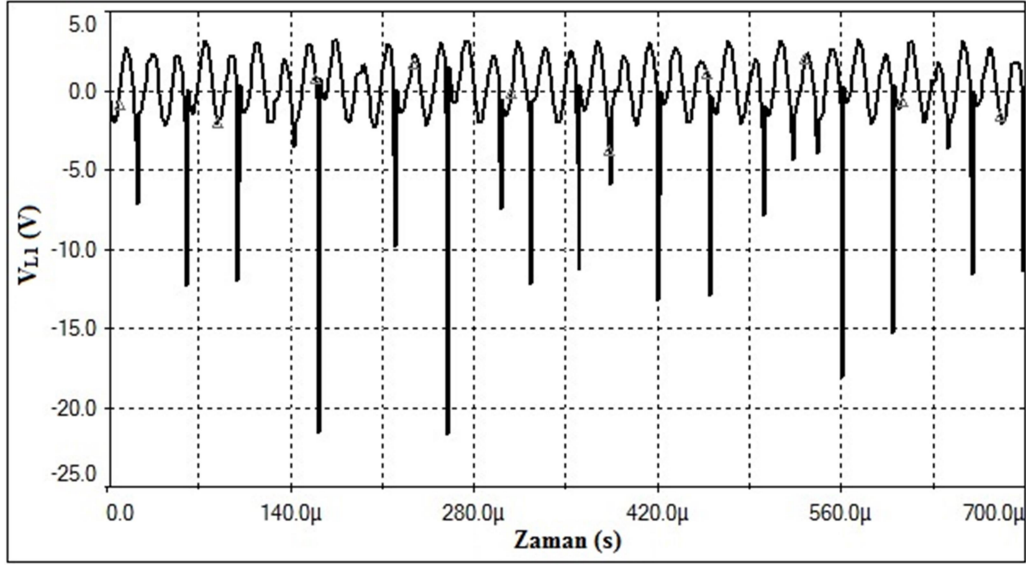
Devre girişine uygulanan sinüzoidal sinyal, belli frekans ve genliklerde kaotik sinyal üretmektedir. Örneğin; Multisim’de devre girişine frekansı 50 kHz ve gerilimi 3 V olan bir sinüzoidal sinyal uygulanmış ve devre çıkışında kaotik bir sinyal elde edilmiştir. Sinüzoidal sinyalin gerilim ve frekansı biraz değiştirildiğinde kaosun bozulduğu görülmüştür. Kaotik durumda R direnci, $L1$ bobini ve $D1$ diyot üzerindeki gerilimler elde edilmiştir.

Şekil 6.8, R2L2D devre çıkışının kaotik olduğunu göstermektedir.



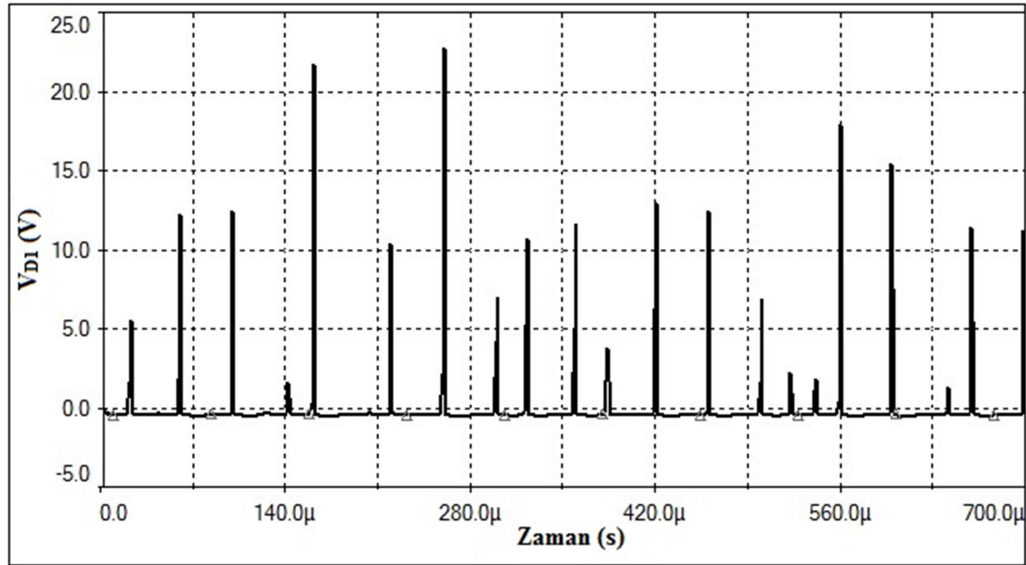
Şekil 6.8. R direnci üzerindeki gerilim (50 kHz, 3 V)

$L1$ bobini üzerindeki gerilim şekil 6.9’deki gibi elde edilmiştir. Burada kaosun doğal sonucu olarak bobinlerde anlık düzensiz gerilim dalgalanmaları oluşmaktadır.



Şekil 6.9. $L1$ bobini üzerindeki gerilim (50 kHz, 3 V)

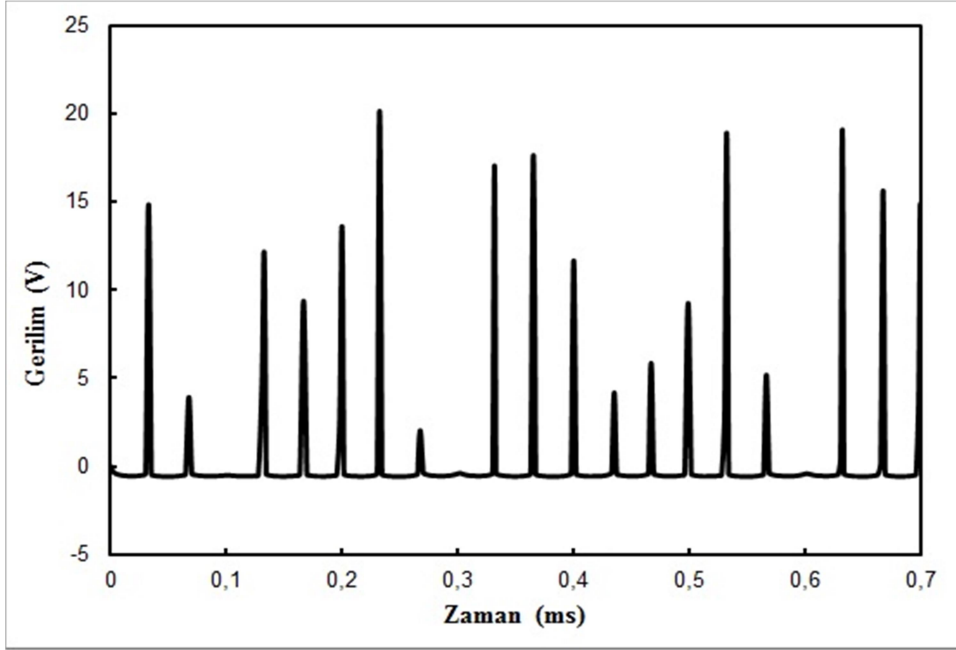
$D1$ diyotu üzerindeki gerilim değişimi şekil 6.10'daki gibi gözlemlenmiştir. Görüldüğü gibi kaotik devre yaklaşımının doğal sonucu olarak bu etki diyot üzerinde kendini göstermekte ve rastgele pikler elde edilmektedir.



Şekil 6.10. $D1$ diyotu üzerindeki gerilim (50 kHz, 3 V)

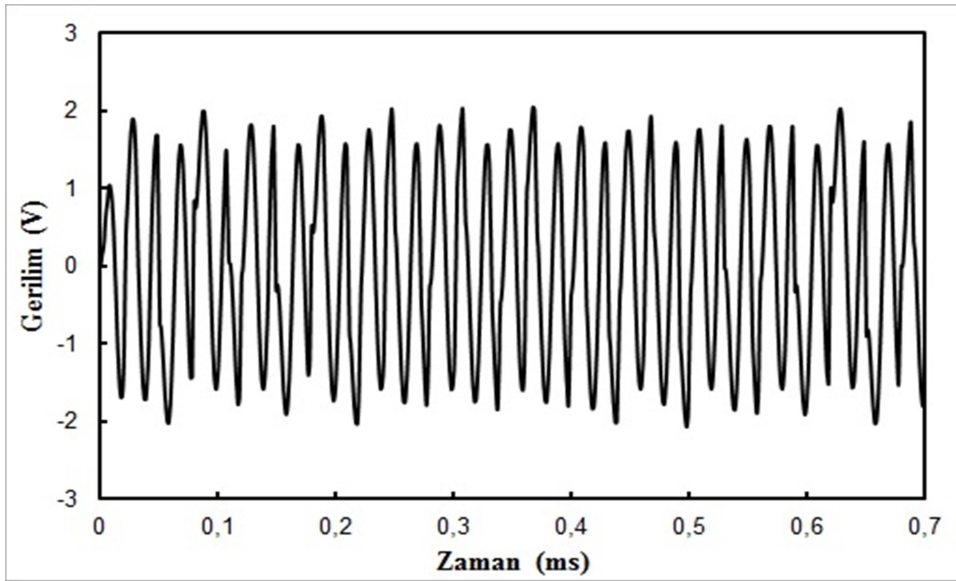
Daha önce Multisim'de benzetim sonuçlarının Excel dosyası olarak alınabileceğinden bahsedilmişti. Dolayısıyla, bu değerleri kullanarak Multisim dışında da grafikler elde edilebilmektedir. Buna göre, giriş geriliminin farklı frekans ve genliklerinde benzetim sonuçları elde edilmiştir.

DI diyotu üzerindeki gerilim deęiřimi Őekil 6.13'deki gibi elde edilmektedir. Grldę gibi kaotik devre yaklařımının doęal sonucu olarak bu etki diyot zerinde kendini gstermekte ve rastgele pikler elde edilmektedir.



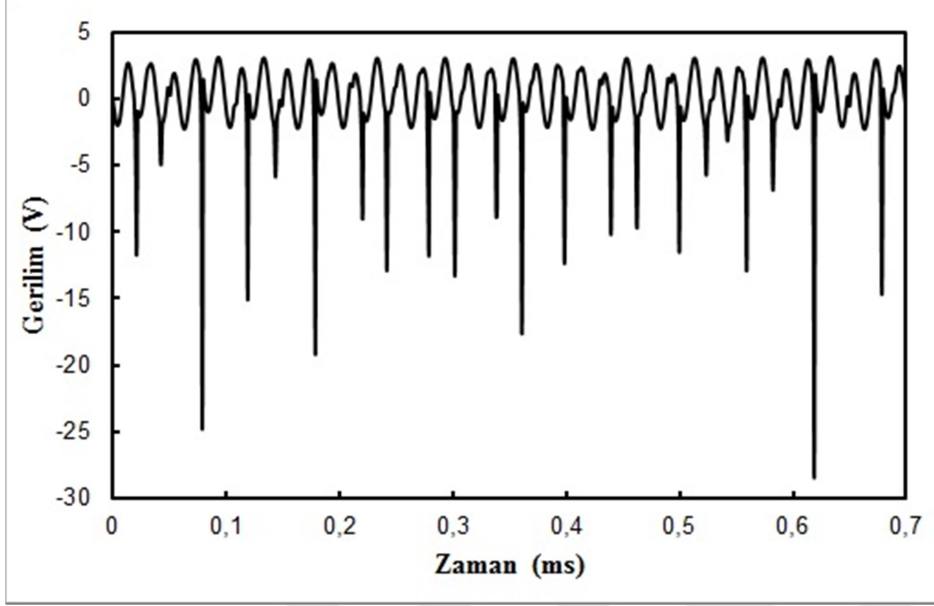
Őekil 6.13. *DI* diyotu zerindeki gerilim (30 kHz, 5 V)

R2L2D devre giriřine 50 kHz ve 3 V sinzoidal sinyal uygulanırsa *R* direnci zerindeki gerilim dolayısıyla devre ıkıř gerilimi Őekil 6.14'deki gibi elde edilmiřtir. Sinyale bakıldıęında Őekil 6.11'e gre daha fazla kaotik zellik gsterdięi grlmektedir.



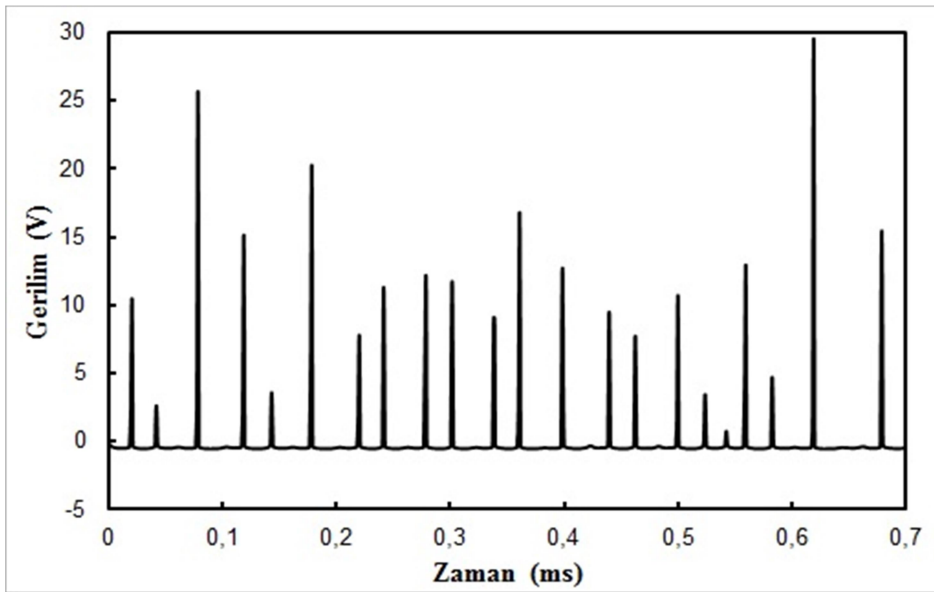
Őekil 6.14. *R* direnci zerindeki gerilim (50 kHz, 3 V)

Şekil 6.14'e göre LI bobini üzerindeki gerilim Şekil 6.15'deki gibi elde edilmiştir. Burada kaosun doğal sonucu olarak bobinlerde anlık düzensiz gerilim dalgalanmaları oluşmaktadır.



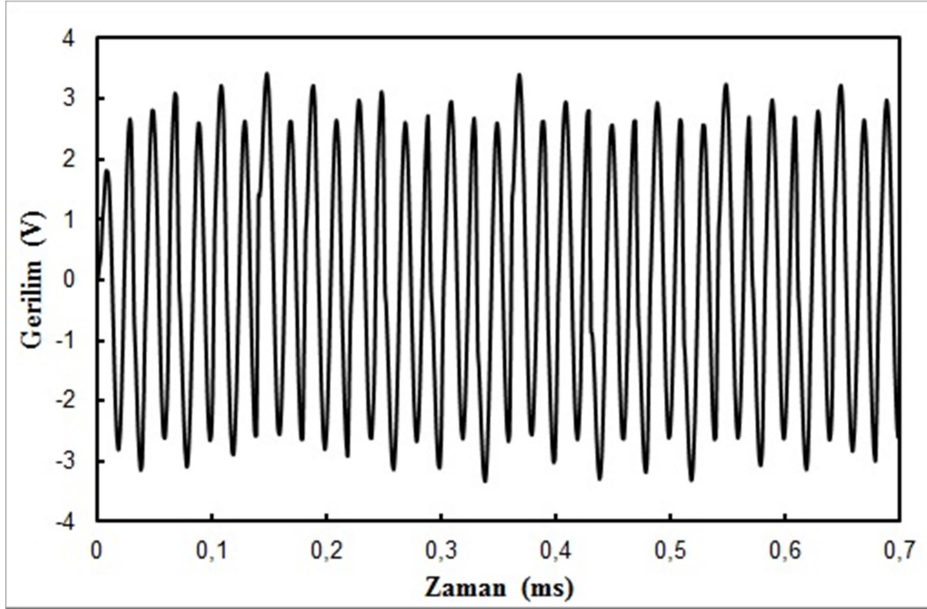
Şekil 6.15. LI bobini üzerindeki gerilim (50 kHz, 3 V)

DI diyotu üzerindeki gerilim de Şekil 6.16'daki gibi elde edilmiştir. Görüldüğü gibi kaotik devre yaklaşımının doğal sonucu olarak bu etki diyot üzerinde kendini göstermekte ve rastgele pikler elde edilmektedir.



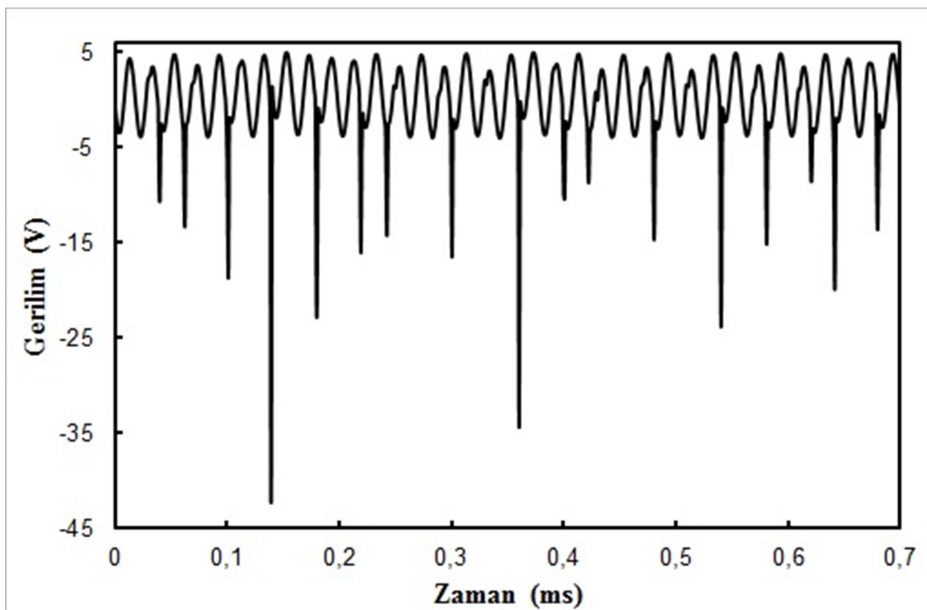
Şekil 6.16. DI diyotu üzerindeki gerilim (50 kHz, 3 V)

R2L2D devre girişine 50 kHz ve 5 V sinüzoidal sinyal uygulanırsa R direnci üzerindeki gerilim dolayısıyla devre çıkış gerilimi Şekil 6.17'deki gibi elde edilmiştir. Şekil 6.14'e göre sinyal genliği artmış ve kaotik özelliği devam etmektedir.



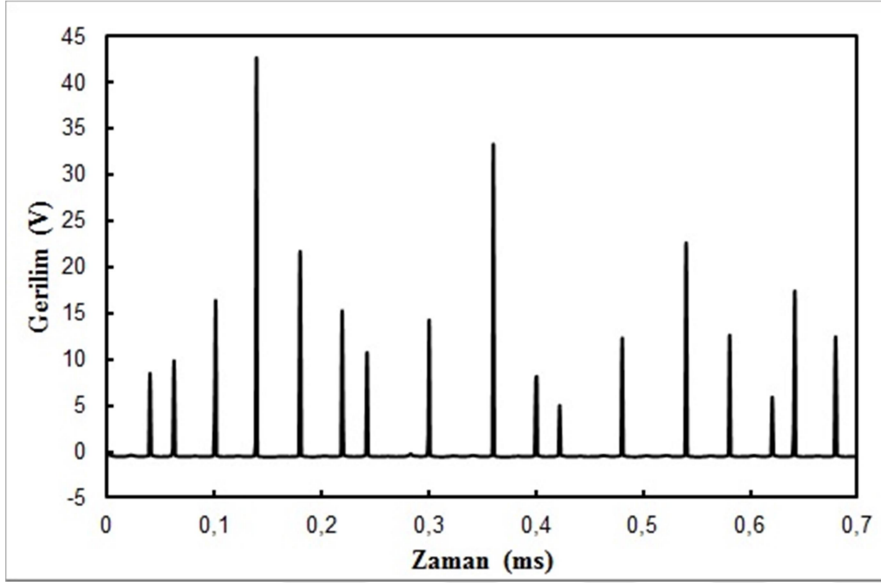
Şekil 6.17. R direnci üzerindeki gerilim (50 kHz, 5 V)

Şekil 6.17'e göre LI bobini üzerindeki gerilim Şekil 6.18'deki gibi elde edilmiştir. Burada kaosun doğal sonucu olarak bobinlerde anlık düzensiz gerilim dalgalanmaları oluşmaktadır.



Şekil 6.18. LI bobini üzerindeki gerilim (50 khz, 5 V)

$D1$ diyotu üzerindeki gerilim de Şekil 6.19'daki gibi elde edilmiştir. Görüldüğü gibi kaotik devre yaklaşımının doğal sonucu olarak bu etki diyot üzerinde kendini göstermekte ve rastgele pikler elde edilmektedir.

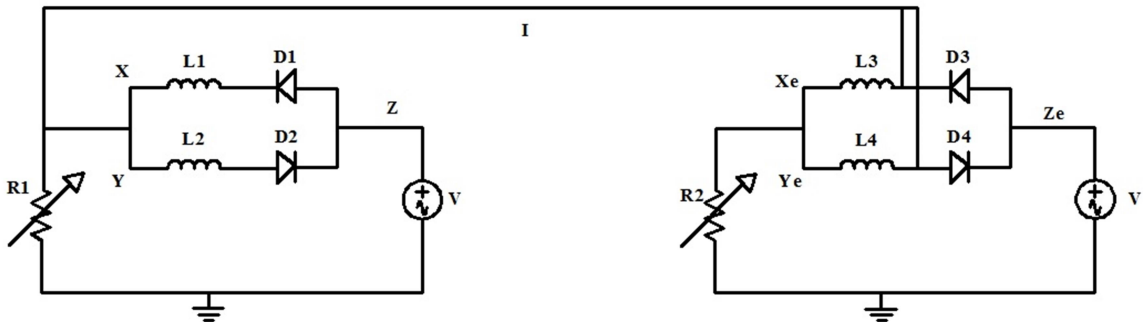


Şekil 6.19. $D1$ diyotu üzerindeki gerilim (50 khz, 5 V)

Gerek Şekil 6.18 ve gerekse Şekil 6.19'da rastgele gerilim pikleri artan düzensizlikte göze batmaktadır.

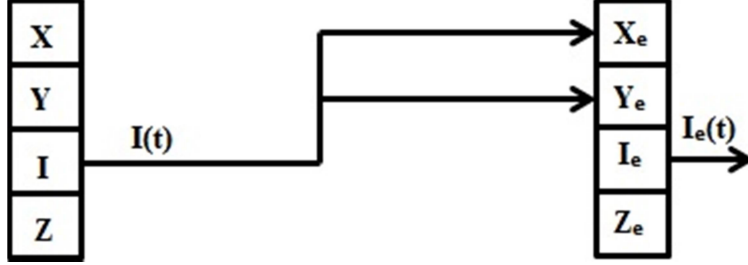
6.5. Eşzamanlılık Devresi Teorik Altyapı

Eşzamanlılık devresi, iki R2L2D devresinden oluşmaktadır. Devre, Şekil 6.20'de verilmiştir. Bu tez kapsamında birinci R2L2D, hakim devre ve diğeri de esir devre olarak adlandırılmıştır.



Şekil 6.20. Eşzamanlılık devresi

Eşzamanlılık devresi için Pecora ve Carroll eşzamanlılık blok diyagramı Şekil 6.21’de verilmiştir.



Şekil 6.21. Eşzamanlılık devresinde Pecora ve Carroll eşzamanlılığını gösteren blok diyagramı

Daha önce R2L2D devre için elde edilen Eş. 6.8’den faydalanarak esir devre eşitlerini ifade edebiliriz.

$$\begin{aligned}\dot{x} &= \alpha \ln(x+1) + \beta \sin(z) - (x+y) \\ \dot{y} &= -\alpha \ln(y+1) + \beta \sin(z) - (x+y) \\ \dot{z} &= \gamma \frac{L}{R}\end{aligned}\tag{6.8}$$

eşitlikleri hakim devre için yazılırsa esir devre eşitlikleri,

$$\begin{aligned}\dot{x}_e &= \alpha \ln(x_e+1) + \beta \sin(z_e) - (x_e+y_e) + \frac{1}{2}(x+y) \\ \dot{y}_e &= -\alpha \ln(y_e+1) + \beta \sin(z_e) - (x_e+y_e) + \frac{1}{2}(x+y) \\ \dot{z}_e &= \gamma \frac{L}{R}\end{aligned}\tag{6.9}$$

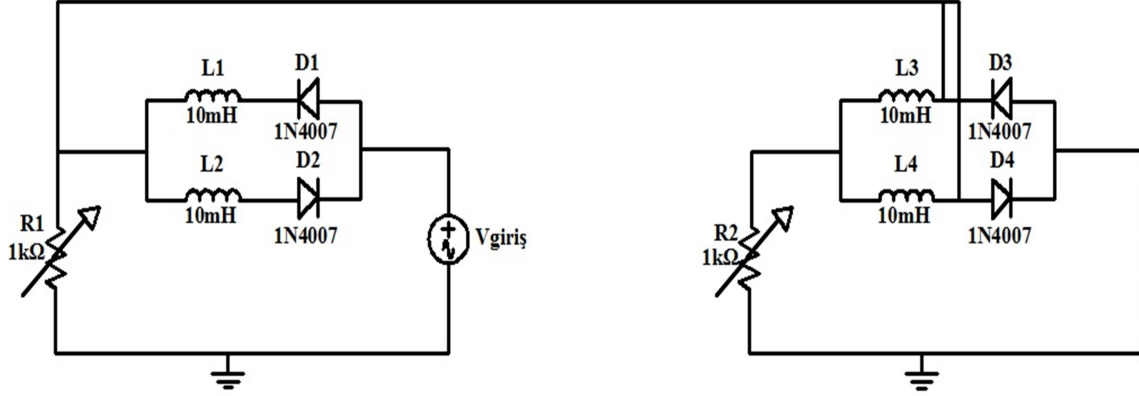
elde edilir.

Esir devrede kaynak olmadığında esir devre eşitlikleri sonuçta aşağıdaki gibi olur.

$$\begin{aligned}\dot{x}_e &= \alpha \ln(x_e+1) - (x_e+y_e) + \frac{1}{2}(x+y) \\ \dot{y}_e &= -\alpha \ln(y_e+1) - (x_e+y_e) + \frac{1}{2}(x+y)\end{aligned}\tag{6.10}$$

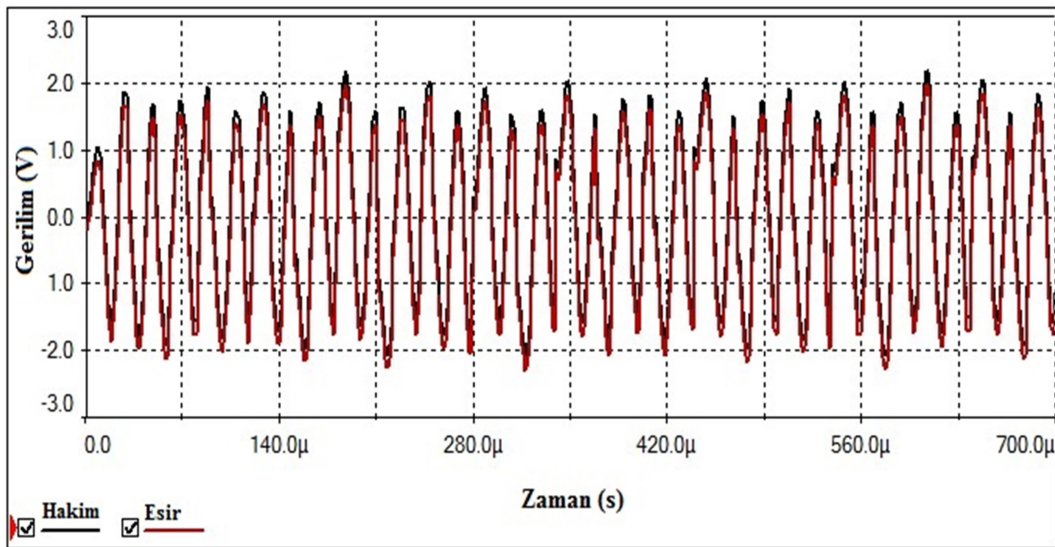
6.6. Eşzamanlılık Devresi Benzetim Sonuçları

Multisim’de kurulan eşzamanlılık devresi, Şekil 6.22’de verilmiştir. Görüldüğü gibi esir devrede kaynak gerilimi sıfır ve değişken direnç değerleri $1k\Omega$ alınarak eşzamanlılık devresi elde edilmiştir.



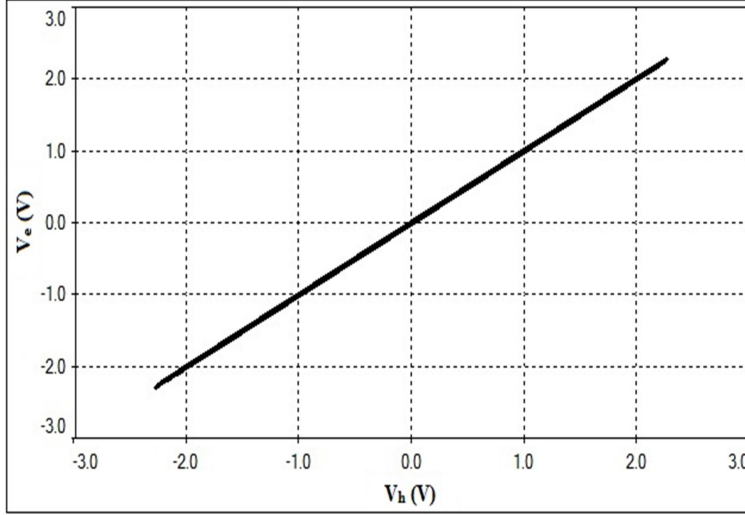
Şekil 6.22. Eşzamanlılık devresi

Örneğin; Şekil 6.22’deki eşzamanlılık devresinde devre girişine frekansı 50 kHz ve gerilimi 3 V olan bir sinüzoidal sinyal uygulanmış ve devre çıkışında kaotik bir sinyal elde edilmiştir. Bu giriş geriliminde Multisim’de elde edilen hakim-esir devre çıkış gerilimleri, xy görünümü ve çekici-eşzamanlılık eğrisi aşağıdaki şekillerde verilmiştir.



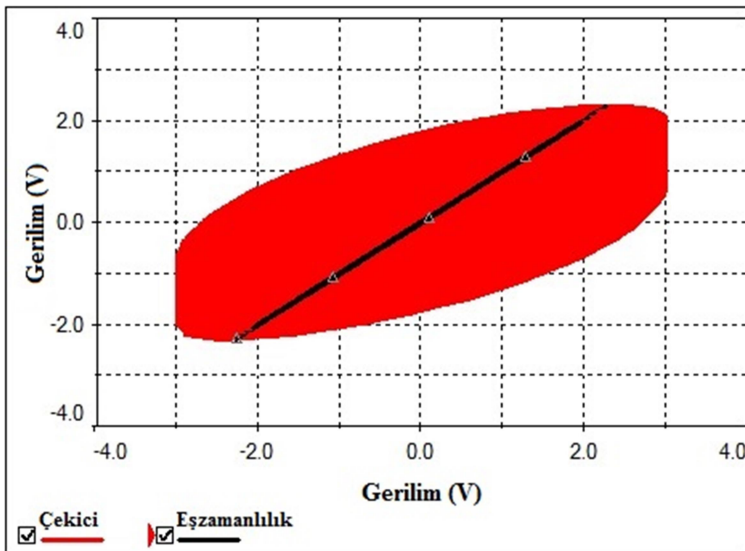
Şekil 6.23. Hakim devre-esir devre çıkış gerilimleri (50 kHz, 3 V)

Şekil 6.23’de görüldüğü gibi uygulanan sinüzoidal sinyal, hakim devre çıkışında kaotik bir sinyal oluşmasını sağlamıştır. Bu kaotik sinyal, esir devre çıkışında da yaklaşık olarak ölçülebilmektedir. Bu durum, Şekil 6.24’de görüldüğü gibi eşzamanlılığın sağlandığını göstermektedir. Yani hakim devrede elde ettiğimiz çıkış sinyalini esir devre çıkışında da görebilmekteyiz. Aynı zamanda doğrunun şekli de, V_h ve V_e ’nin aynı sonucu verdiğini ispatlamaktadır.



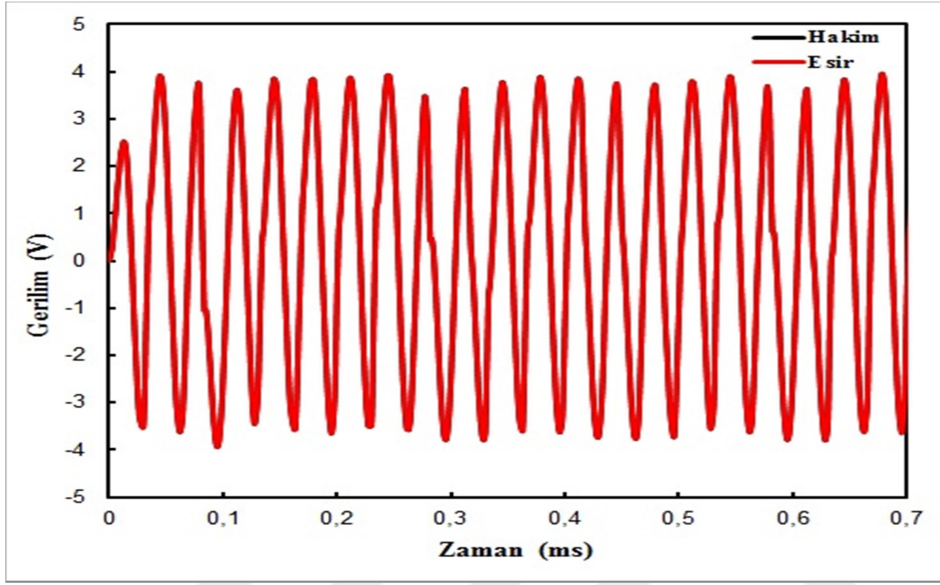
Şekil 6.24. Hakim devre-esir devre xy görünümü(50 kHz, 3 V)

Şekil 6.25’de çekici ve eşzamanlılık eğrileri birlikte verilmiştir. Çekici dediğimiz şekil giriş sinyali ile hakim devre çıkışının osiloskop xy konumundayken elde ettiğimiz görünümdür. Bu görünüm, bize çıkışın kaotik olup olmadığı ile ilgili bilgi vermektedir.



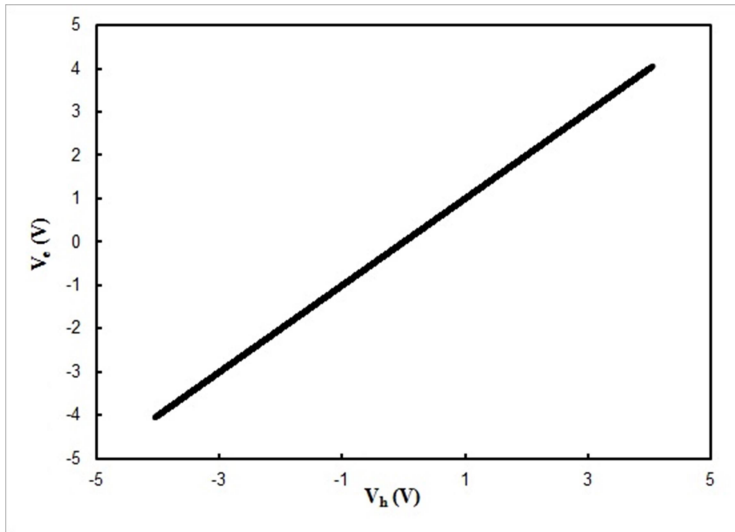
Şekil 6.25. Çekici-eşzamanlılık Eğrileri (50 kHz, 3 V)

Multisimde, eşzamanlılık devresine uygulanan giriş sinyalinin farklı gerilim ve frekanslarında elde edilen benzetim sonuçları Excel tablosuna aktarılarak, bazı grafikler elde edilmiştir. 30 kHz ve 5 V giriş sinyali, eşzamanlılık devresine uygulandığında Şekil 6.26'daki sinyaller elde edilmektedir. Görüldüğü gibi hakim devre çıkışı kaotik sinyaldir. Eşzamanlılıktan dolayı esir devre de yaklaşık olarak aynı çıkışı vermektedir.



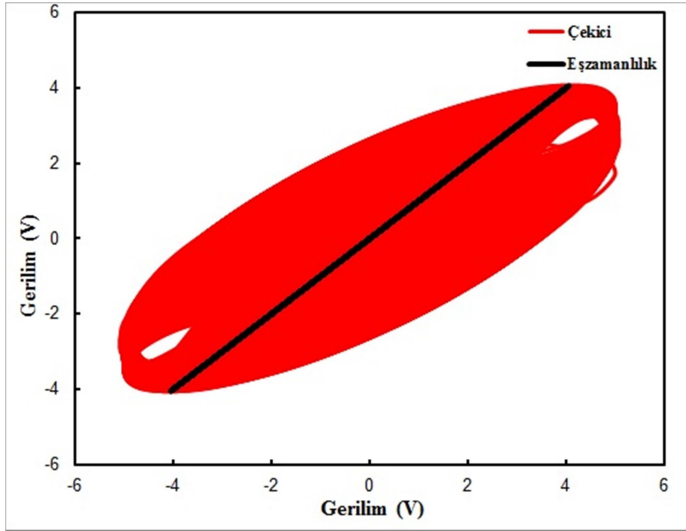
Şekil 6.26. Hakim devre-Esir devre çıkış gerilimleri (30 kHz, 5 V)

Hakim ve esir devreleri arasındaki eşzamanlılığın sağlanma ölçüsü, Şekil 6.27'de görüldüğü gibidir. Elde edilen doğru ne kadar düzgün olursa eşzamanlılık o kadar iyi sağlanmış olur.



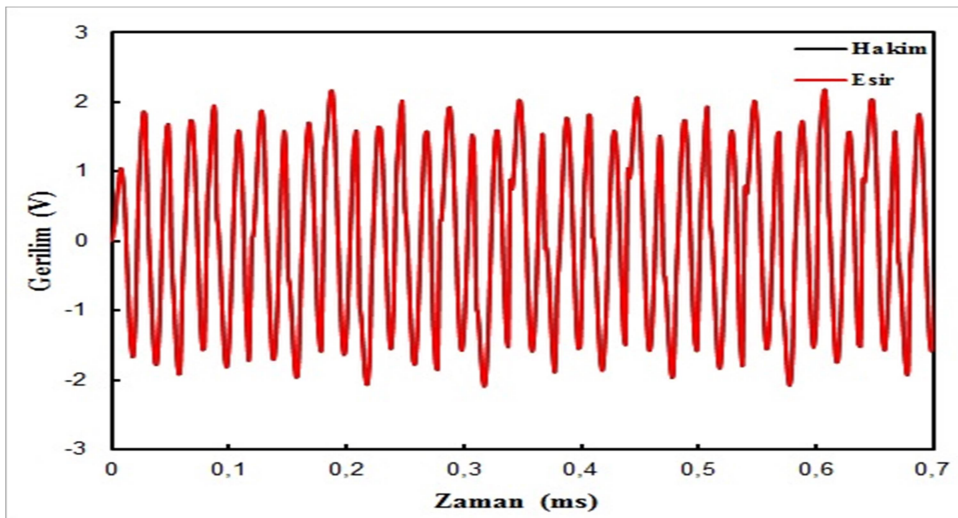
Şekil 6.27. Hakim devre-Esir devre xy görünümü (30 kHz, 5 V)

Şekil 6.28’de eşzamanlılık ve çekici eğrileri verilmiştir. Daha önce de bahsedildiği üzere elde edilen çekici, devre çıkışının kaotik olup olmadığını ile ilgili bize bilgi vermektedir. Çekici, Şekil 6.26’da görülen sinyallerin kaotik olduğunu göstermektedir. Şekil 6.28’de kırmızı ile gösterilen çekici, periyodik durumdaki gibi sadece kapalı eğriler olarak gözükmemektedir. Kapalı eğrinin içerisi noktalar kümesi ile dolmuş ve dolayısıyla kaotik özelliği sağlamaktadır.

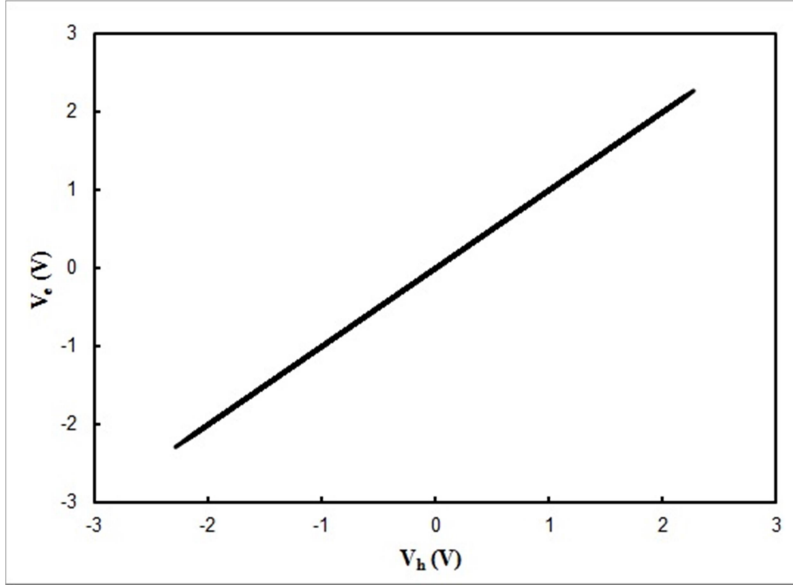


Şekil 6.28. Çekici-eşzamanlılık eğrileri (30 kHz, 5 V)

Eşzamanlılık devresi girişine 50 kHz ve 3 V giriş sinyali uygulandığında Şekil 6.29’deki gibi yine kaotik sinyaller elde edilmiştir. Yine Şekil 6.30, bu iki sinyalin eşzamanlılığını açık bir şekilde göstermektedir.

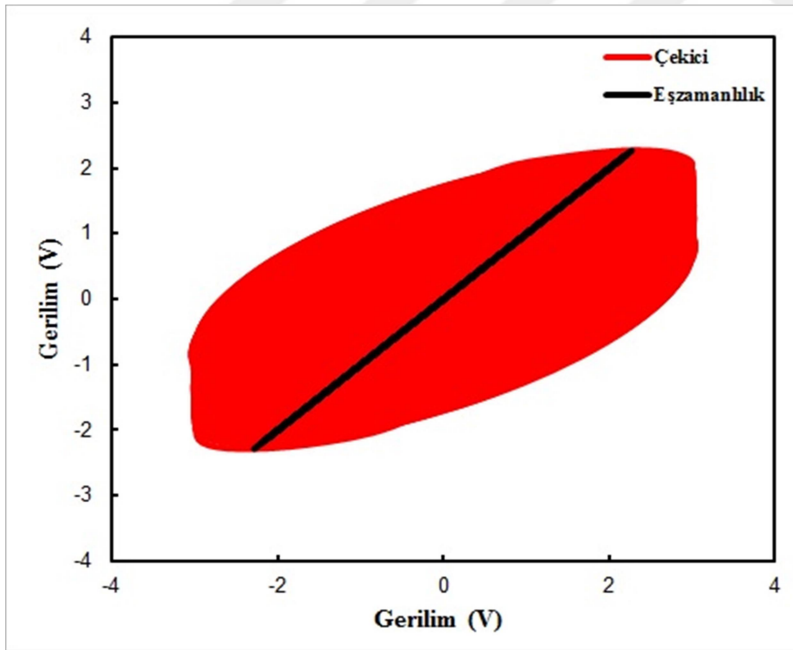


Şekil 6.29. Hakim devre-Esir devre çıkış gerilimleri (50 kHz, 3 V)



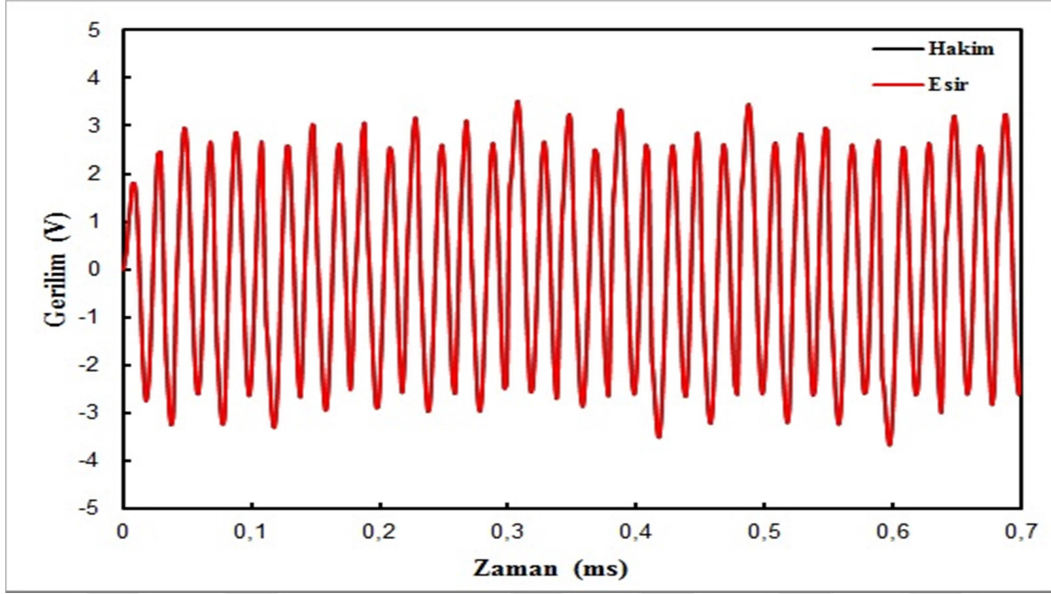
Şekil 6.30. Hakim devre-Esir devre xy görünümü (50 kHz, 3 V)

Şekil 6.31'da elde edilen çekici, Şekil 6.29'da elde edilen sinyallerin kaotik olduğunu göstermektedir.



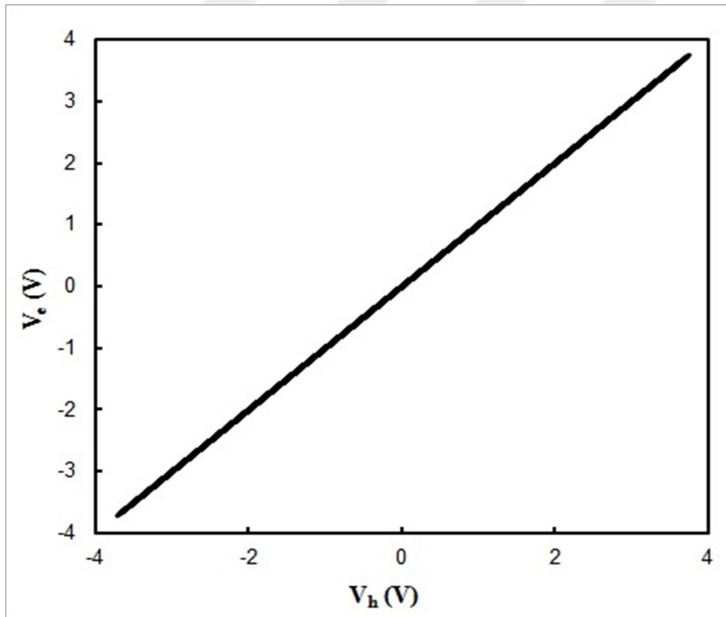
Şekil 6.31. Çekici-eşzamanlılık eğrileri (50 kHz, 3 V)

Eşzamanlılık devre girişine 50 kHz ve 5 V giriş sinyali uyguladığımızda Şekil 6.32'deki gibi yine kaotik sinyaller elde edilmiştir. Görüldüğü gibi hakim ve esir devre çıkış sinyalleri üst üste gelmiştir. Frekansın yükselmesiyle sinyaller daha sık görünmekte ve daha kaotik bir çıkış elde edilmektedir.



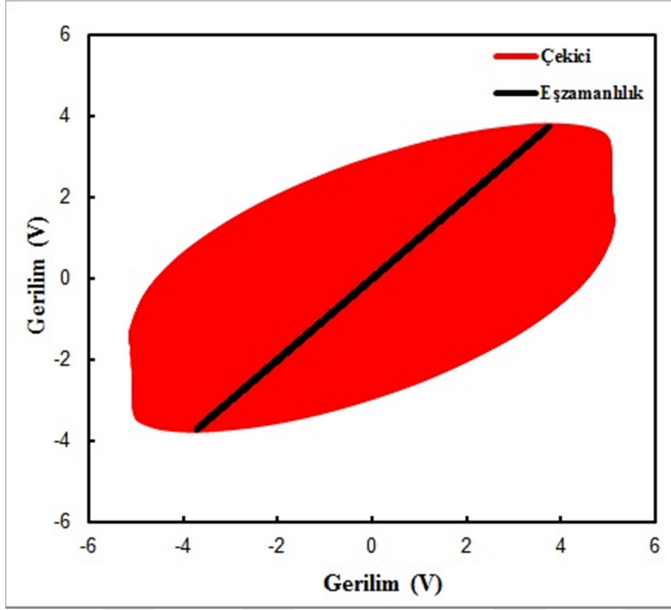
Şekil 6.32. Hakim devre-esir devre çıkış gerilimleri (50 kHz, 5 V)

Şekil 6.33, hakim ve esir devre çıkış sinyallerinin eşzamanlılığı sağladığını göstermektedir. Yani hakim devre çıkışından elde ettiğimiz sinyali esir devre çıkışında da görebilmekteyiz.



Şekil 6.33. Hakim devre-esir devre xy görünümü (50 kHz, 5 V)

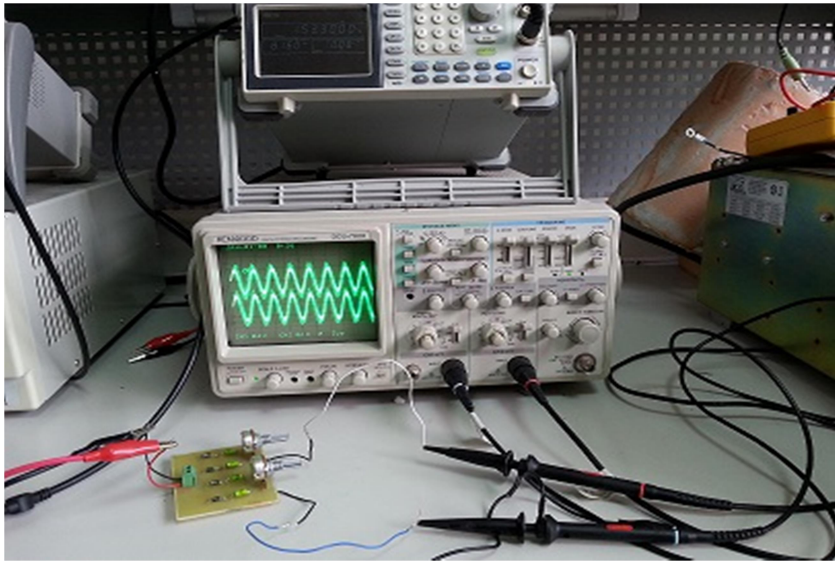
Şekil 6.34'de eşzamanlılık ve çekici eğrileri birlikte verilmiştir. Elde edilen çekici, hakim ve esir devre çıkışlarının yine kaotik olduğunu ifade etmektedir. Elde edilen çekici, periyodik durumdaki gibi sadece kapalı eğriler olarak gözükmemektedir. Kapalı eğrinin içerisi noktalar kümesi ile dolmuş ve dolayısıyla kaotik özelliği sağlamaktadır.



Şekil 6.34. Çekici-eşzamanlılık eğrileri (50 kHz, 5 V)

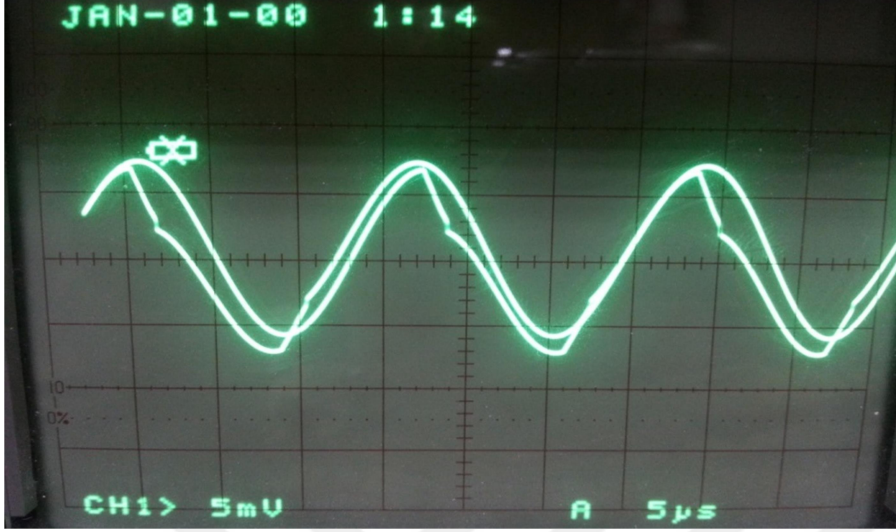
6.7. Eşzamanlılık Devresi Deneysel Sonuçlar

Eşzamanlılık devresi, Şekil 6.35'deki gibi kurularak giriş geriliminin farklı genlik ve frekans değerlerine göre bazı sonuçlar elde edilmiştir. Esir devredeki potansiyometrenin direnç değeri değişiminin devreye etkisi olmadığı görülmüş ve dolayısıyla $1k\Omega$ sabit direnç gibi çalışmaktadır. Yapılan ölçümlerde, sadece hakim devre potansiyometre değeri değişiminin çıkış sinyalinde değişiklik yaptığı görülmüştür.



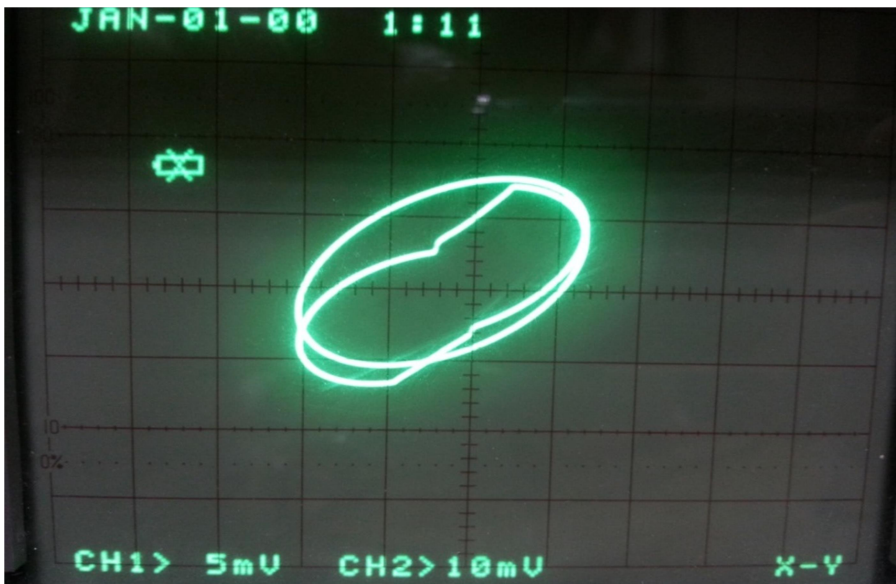
Şekil 6.35. Eşzamanlılık devresinin deneysel analizi

Devreye 61 kHz frekans ve 8.16 V genliğe sahip bir sinüzoidal gerilim uygulandığında osiloskopta gözlemlenen hakim devre çıkışı Şekil 6.36'da verilmiştir.



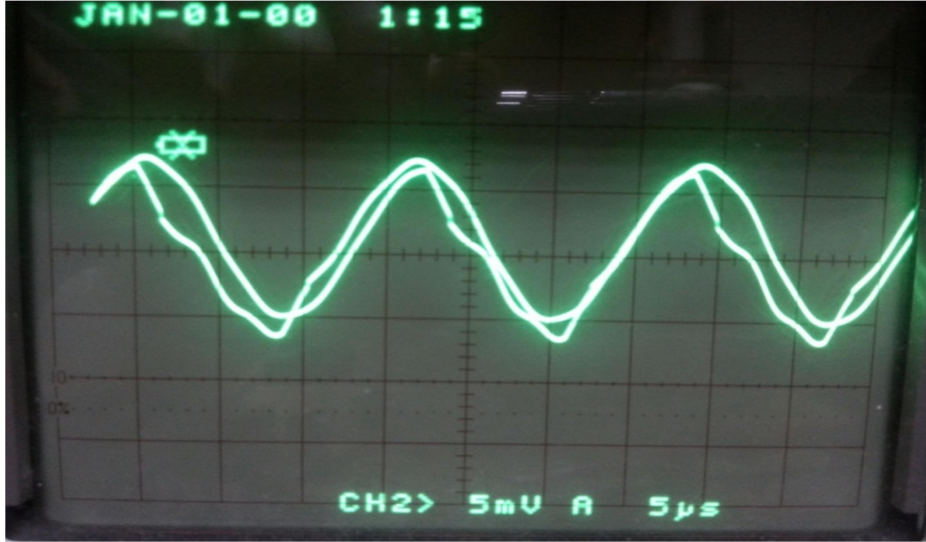
Şekil 6.36. Hakim devre çıkışı (61 kHz, 8.16 V)

Görüldüğü gibi hakim devre çıkışı, periyodiktir ve dolayısıyla kaotik özellik göstermez. Giriş gerilimi ve hakim devre çıkışı ayrı kanallarda ölçülüp osiloskop xy konumuna getirildiğinde Şekil 6.37'deki gibi bir çekici elde edilmektedir. Çekicideki her bir kapalı eğri gerçekte farklı genlikli bir periyodu belirtmektedir. Dolayısıyla, bu çekici şekil 6.36'daki sinyalin periyodik olduğunu göstermektedir.



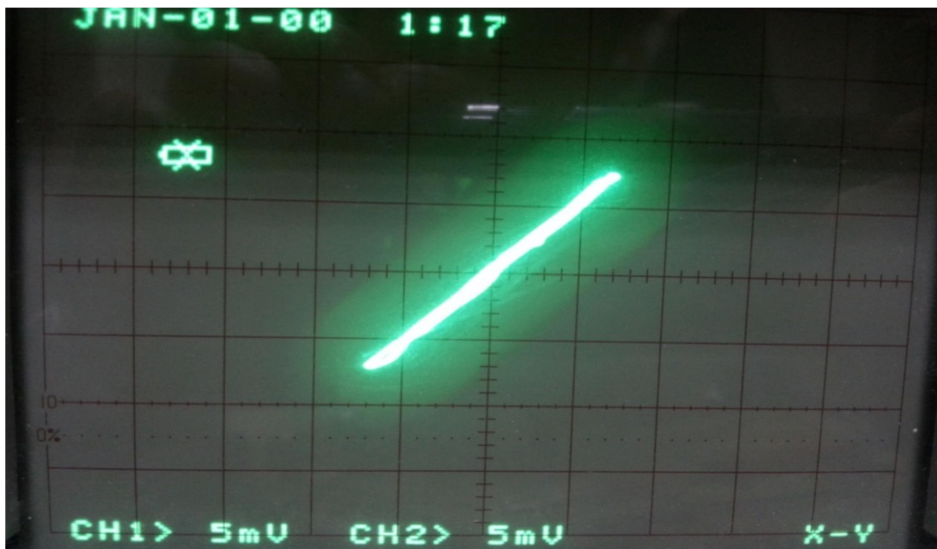
Şekil 6.37. Giriş sinyali-hakim devre xy görünümü (61 kHz, 8.16 V)

Şekil 6.36'daki hakim devre çıkışına bağlı olarak elde edilen esir devre çıkışı, Şekil 6.38'deki gibi elde edilmekte ve eşzamanlılık sağlanmaktadır. Fakat sinyaller, periyodik özellik göstermektedir.



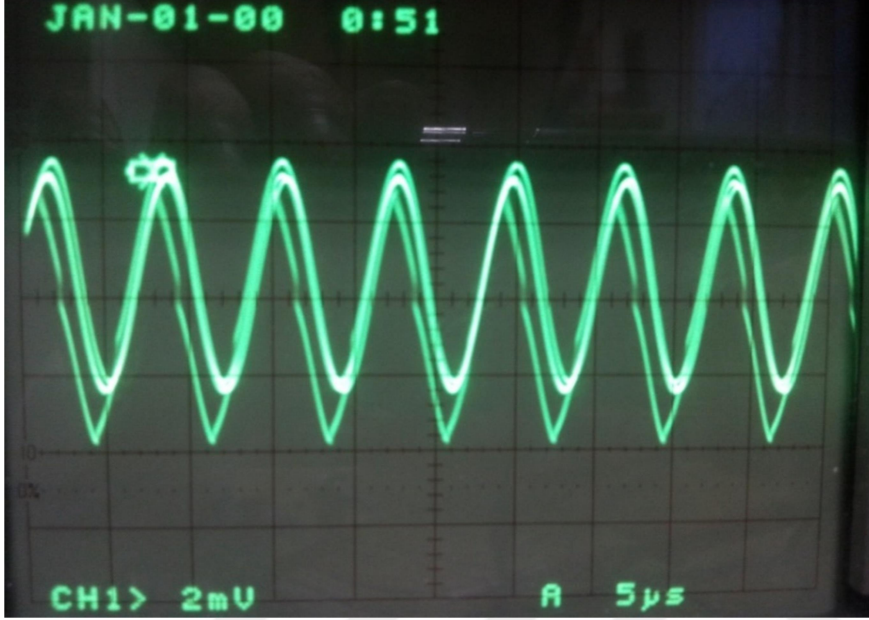
Şekil 6.38. Esir devre çıkışı (61 kHz, 8.16 V)

Eşzamanlılığı daha net bir şekilde gözlemleyebilmek için hakim devre ve esir devre çıkışları osiloskobun ayrı ayrı kanallarına bağlanıp osiloskop *xy* durumuna getirilirse Şekil 6.39'daki gibi düz bir çizgi elde edilmektedir. Bu şekil, bize eşzamanlılığın sağlandığını göstermektedir.



Şekil 6.39. Hakim devre-esir devre *xy* görünümü (61 kHz, 8.16 v)

Giriş geriliminin genliği 8.16 V'de tutulup frekansı 144.3 kHz'e çıkarılırsa osiloskopta gözlemlenen hakim devre çıkışı Şekil 6.40'da verilmiştir. Elde edilen çıkış sinyali, periyodik özelliğini devam ettirmektedir. Bir bakıma periyodik-kaotik arası bir özellik göstermektedir. Bu tür çıktılara literatürde sözde-periyodik adı verilmektedir [32].



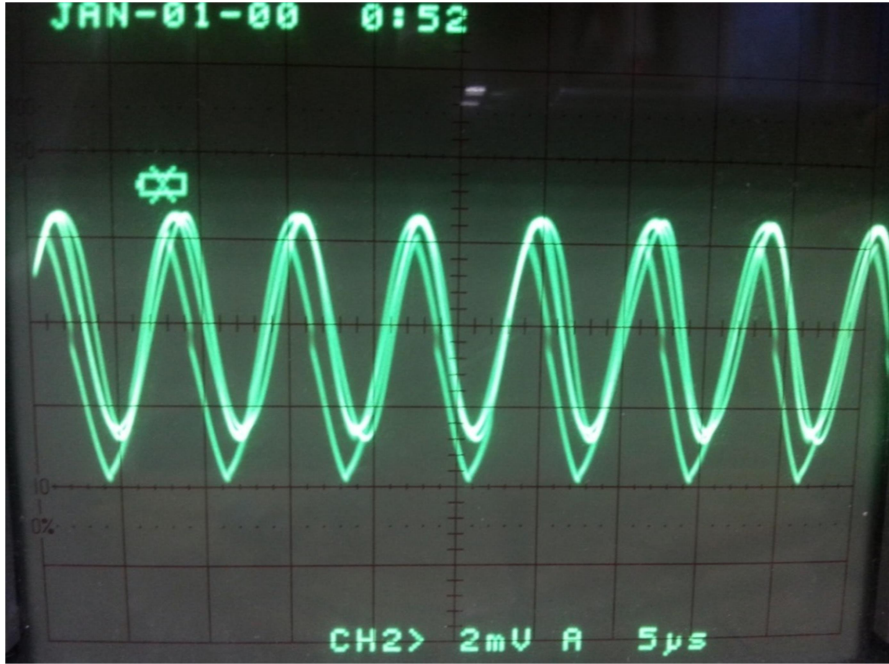
Şekil 6.40. Hakim devre çıkışı (144.3 kHz, 8.16 V)

Hakim devre çıkışı, giriş gerilimiyle birlikte osiloskopta gözlemlendiğinde Şekil 6.41'deki gibi çekici elde edilmektedir. Şekilde kaos var gibi gözükmesine rağmen periyodik özelliği sürdürmektedir. Ayrıca, periyodiktikten kaotikliğe geçişi açık bir şekilde görmekteyiz.



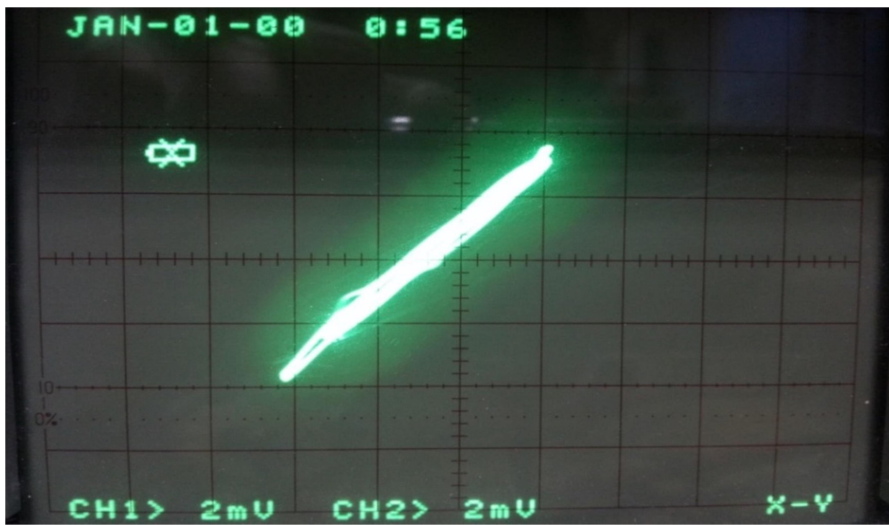
Şekil 6.41. Giriş sinyali-hakim devre xy görünümü (144.3 kHz, 8.16 V)

Hakim devre çıkışına bağlı olarak elde edilen esir devre çıkışı Şekil 6.42'deki gibidir ve eşzamanlılığın sağlanabildiği görülmektedir.



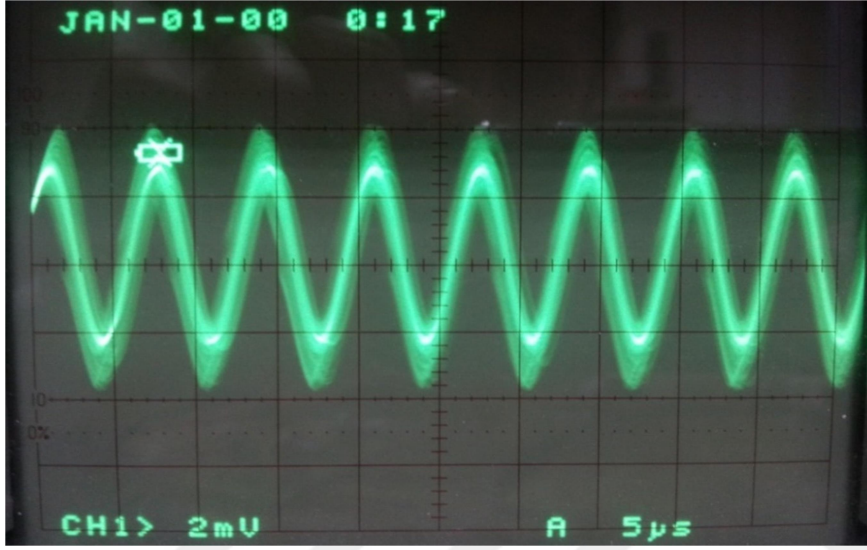
Şekil 6.42. Esir devre çıkışı (144.3 kHz, 8.16 V)

Hakim ve esir devre çıkışları osiloskobun ayrı ayrı kanallarına bağlanıp osiloskop *xy* konuma alındığında elde edilen Şekil 6.43, hakim ve esir devreler arasında eşzamanlılığın büyük ölçüde sağlandığını göstermektedir.



Şekil 6.43. hakim devre-esir devre *xy* görünümü (144.3 kHz, 8.16 V)

Yine giriş geriliminin genliği 8.16 V'da tutulup frekans da 153.3 kHz'e çıkarılırsa osiloskopta gözlemlenen hakim devre çıkışı, Şekil 6.44'deki gibi olmaktadır. Görüldüğü gibi, sinyal kaotik özellik göstermeye başlamıştır. Frekans ve gerilim değerleri küçük miktarlarda artırılıp azaltıldığında ya da potansiyometre değiştirildiğinde kaotik durumun ortadan kalktığı görülmüştür. Bu kaotik durumu sağlayan hakim devre potansiyometre değeri 246 ohm ölçülmüştür.



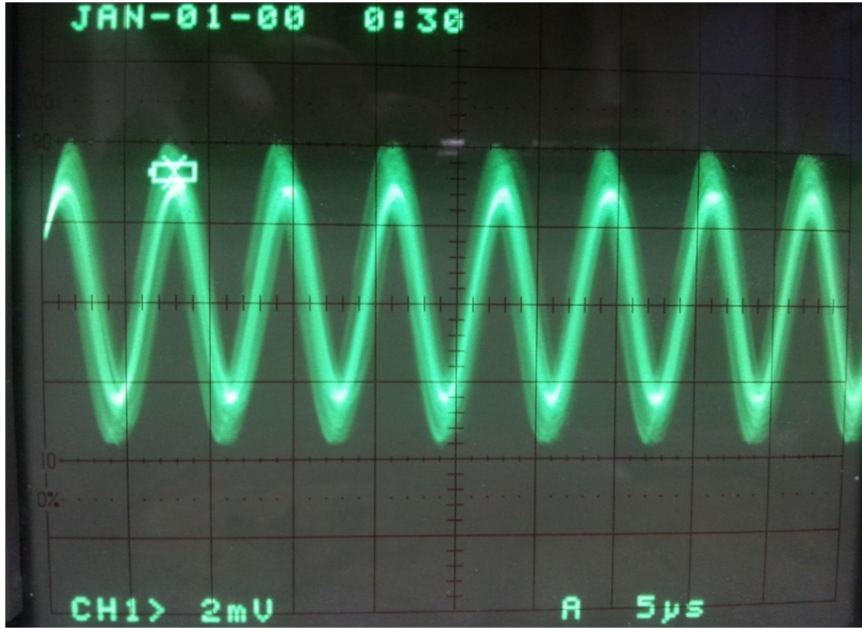
Şekil 6.44. Hakim devre çıkışı (153.3 kHz, 8.16 V)

Hakim devre çıkışı, giriş gerilimiyle birlikte osiloskopta gözlemlendiğinde Şekil 6.45'deki gibi doğal olarak kaotik bir çekici elde edilmektedir.



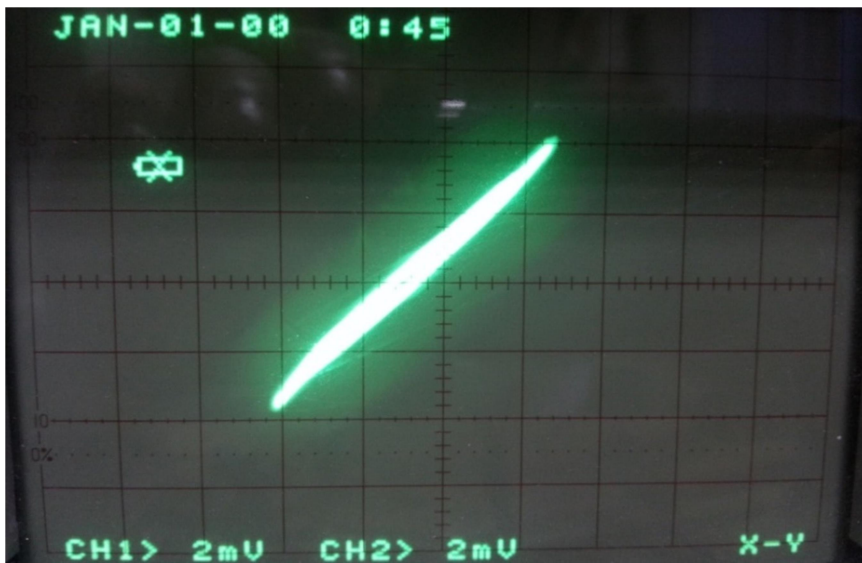
Şekil 6.45. Giriş sinyali-hakim devre xy görünümü (153.3 kHz, 8.16 V)

Şekil 6.44'deki hakim devre çıkışına bağlı olarak da elde edilen esir devre çıkışı Şekil 6.46'daki gibi elde edilmekte ve eşzamanlılığın sağlanabildiği görülmektedir.



Şekil 6.46. Esir devre çıkışı (153.3 kHz, 8.16 V)

Eşzamanlılığın sağlanabildiğini daha net görebilmek için hakim ve esir devre çıkışları, osiloskobun ayrı ayrı kanallarına bağlanıp osiloskop *xy* konuma alındığında Şekil 6.47'deki gibi eşzamanlılık eğrisi elde edilmektedir. Görüldüğü gibi eşzamanlılık devresi, kaotik çıkış veren giriş geriliminde de eşzamanlılığı sağlayabilmektedir.



Şekil 6.47. Hakim devre-esir devre *xy* görünümü (153.3 kHz, 8.16 V)

6.8. Multisim’de Eşzamanlılık Oranları Araştırması

Multisim’de kurulan eşzamanlılık devresi girişine Çizelge 6.1’de verilen gerilim ve frekans değerleri uygulanmış ve hakim-esir devre çıkış gerilimleri elde edilmiştir. Bu değerlere göre ortalama fark ve S eşzamanlılık oranları elde edilmiştir. Bu değerlerin elde edilmesi için formül önerilmiştir. Parametre uzayı (V - f) için genel bir eşzamanlılık haritası belirlemek için yeni bir fonksiyon belirlenebilir. Bu fonksiyon, hakim ve esir devre dalga biçimlerindeki farkla ilgilidir. Böylelikle, eşzamanlılık seviyesini anlamak için bilgi verebilir. Böylesi bir sınıflandırmada ayrık zamanlı veri için önerilen formül şu şekildedir:

$$S = \frac{N}{\sum_{i=1}^N |V_h - V_e|} \quad (6.11)$$

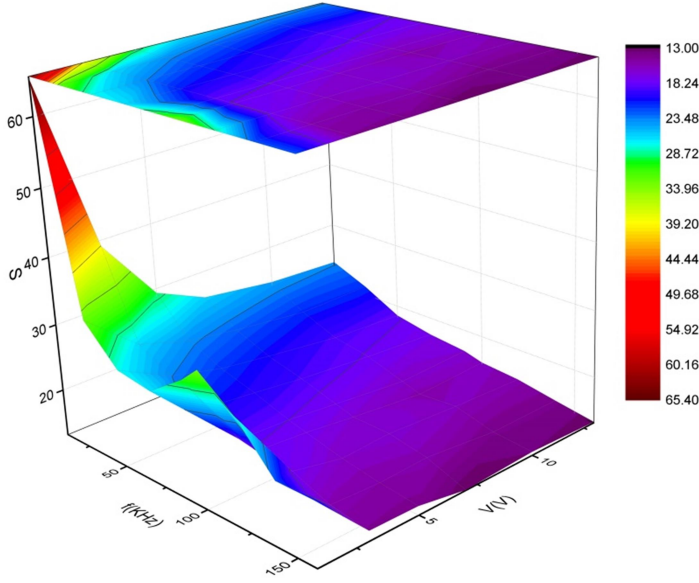
Bu formülde N azami gerilim veri sayısı ve V_h ve V_e ise sırasıyla hakim ve esir devrelerin anlık gerilimlerini göstermektedir. Böylelikle ortalama eşzamanlılık oranı S , belirli bir parametre setinden elde edilen veri farkları için aritmetik bir ortalama vermektedir. Bu nedenle, formül farklı giriş değerlerinde (f ve V_f) herhangi bir kaotik veri çifti için niteliksel bir değer verir. Önerilen formül ayrık veriler için kullanılmıştır. Ancak sürekli zamanlı sistemler için kullanılan formül şu şekildedir:

$$S = \frac{T}{\int_0^T |V_h - V_e| dt} \quad (6.12)$$

Çizelge 6.1. Farklı giriş sinyallerinde ortalama fark ve eşzamanlılık (S) oranı

Frekans(kHz)	Gerilim(V)	Ortalama Fark(V)	Eşzamanlılık(S)
10	1	0,015312	65,307615
	3	0,025585	39,085737
	5	0,034100	29,325686
	7	0,038641	25,879544
	10	0,041144	24,304744
	13	0,042200	23,696613
30	1	0,030602	32,677800
	3	0,038218	26,165676
	5	0,041954	23,835428
	7	0,044217	22,615743
	10	0,047076	21,242276
	13	0,046809	21,363557
50	1	0,036489	27,405548
	3	0,042514	23,521433
	5	0,046307	21,594919
	7	0,048749	20,513170
	10	0,052489	19,051640
	13	0,054268	18,426964
70	1	0,037633	26,572316
	3	0,047813	20,914933
	5	0,049832	20,067501
	7	0,052264	19,133595
	10	0,055276	18,091096
	13	0,057878	17,277676
90	1	0,032905	30,390416
	3	0,053659	18,636296
	5	0,054826	18,239498
	7	0,057296	17,453314
	10	0,061441	16,275775
	13	0,060144	16,626642
100	1	0,030380	32,916582
	3	0,055166	18,126983
	5	0,057040	17,531488
	7	0,060237	16,601087
	10	0,065045	15,373884
	13	0,063268	15,805722
120	1	0,034853	28,692171
	3	0,056576	17,675396
	5	0,062044	16,117666
	7	0,060779	16,453134
	10	0,063527	15,741298
	13	0,065534	15,259256
140	1	0,044681	22,380731
	3	0,064744	15,445483
	5	0,066378	15,065328
	7	0,065281	15,318417
	10	0,070764	14,131380
	13	0,070613	14,161753
160	1	0,044701	22,370750
	3	0,069007	14,491209
	5	0,069763	14,334280
	7	0,076529	13,066874
	10	0,073874	13,536523
	13	0,076091	13,142142

Çizelge 6.1.'de elde edilen eşzamanlılık oranları kullanılarak Şekil 6.48'deki 3-boyutlu eşzamanlılık(S) grafiği elde edilmiştir. Bu grafiğin elde edilmesi için Origin 9 programından faydalanılmıştır.



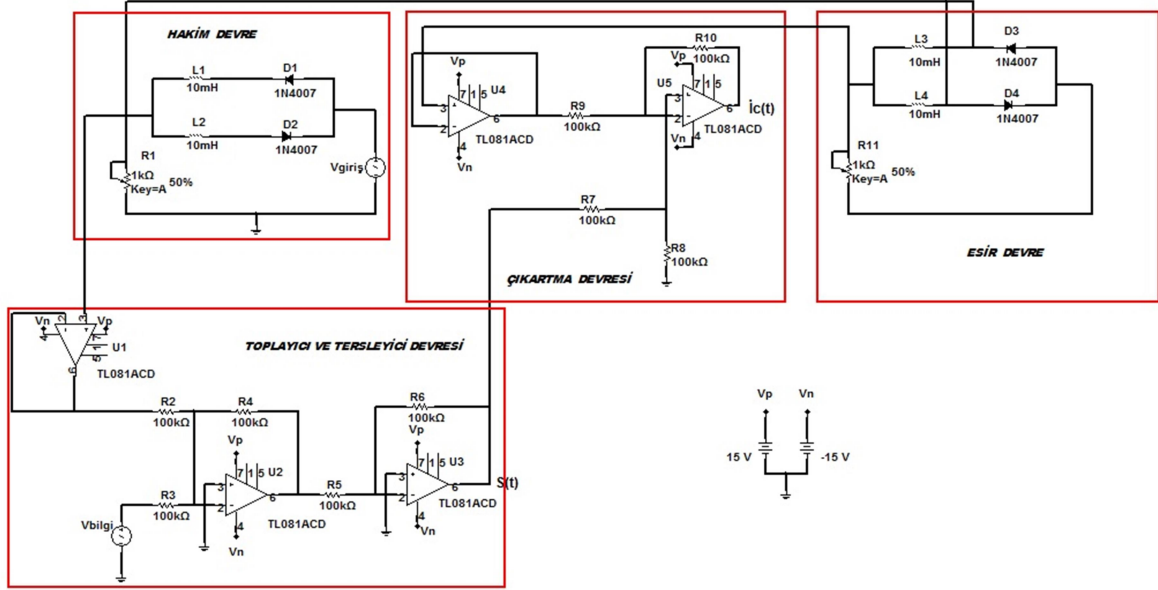
Şekil 6.48. 3-boyutlu eşzamanlılık grafiği

Şekil 6.48'e göre en yüksek eşzamanlılık oranı en küçük f ve V_f 'de ölçülür. Ayrıca, ikincil yüksek eşzamanlılık bölgesi orta frekans ($f=100$ kHz) ve $V_f = 0.5$ V için bulunmaktadır. Daha yüksek giriş geriliminde eşzamanlılık, 20 kHz gibi daha düşük frekanslarda daha iyi olmaktadır. Şekle göre ortalama eşzamanlılık oranı S , çalışılan sistem için 15-65 arası değerler almaktadır.

Eş. 6.11 ve Eş. 6.12, herhangi bir eşzamanlı sistem için uygulanabilir ve ölçülen eşzamanlılık başarısı için niteliksel olarak bir karşılaştırmada bulunabilir.

6.9. Sinyal Gizleme Devresi Teorik Altyapı

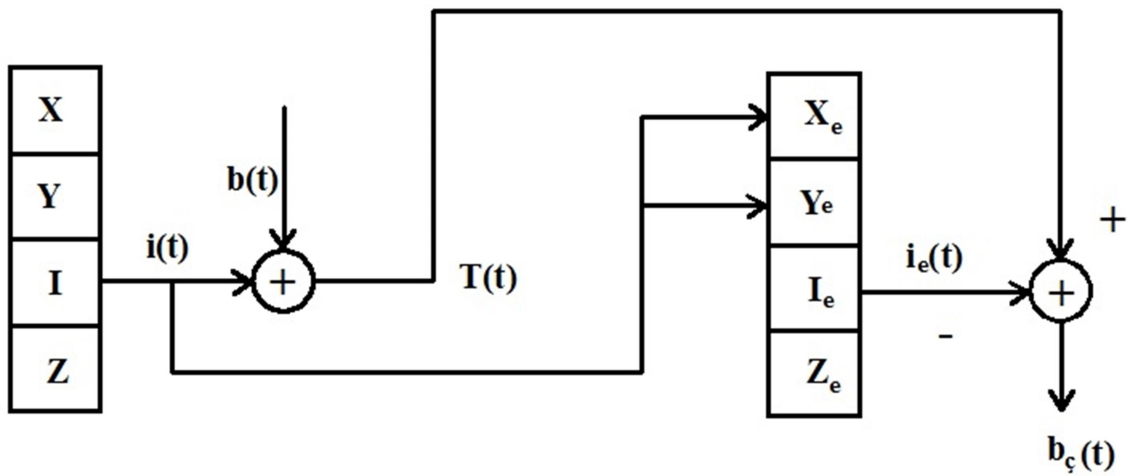
Sinyal gizleme devresi, dört kısımdan oluşmaktadır ve Şekil 6.49'da verilmiştir.



Şekil 6.49. Sinyal gizleme devresi

Hakim devre, giriş gerilimine bağlı olarak kaotik sinyal üretmektedir. Toplayıcı ve Tersleyici devresi, gelen kaotik sinyale bilgi sinyalini ekleyerek iletilecek gürültülü sinyal $s(t)$ 'yi elde eder. Esir devre, kaotik eşzamanlılığı sağlar. Çıkartma devresi de esir devreden faydalanarak gürültülü sinyalden bilginin tekrar elde edilmesini sağlamaktadır.

Şekil 6.49'da verilen kaotik sinyal gizlemenin mantığını gösteren blok diyagram şekil 6.50'de verilmiştir.



Şekil 6.50. Kaotik sinyal gizleme blok diyagramı

$$\begin{aligned}
\dot{x} &= \alpha \ln(x+1) + \beta \sin(z) - (x+y) \\
\dot{y} &= -\alpha \ln(y+1) + \beta \sin(z) - (x+y) \\
\dot{z} &= \gamma \frac{L}{R}
\end{aligned} \tag{6.13}$$

Eş. 6.13 hakim devre için daha önce elde edilmişti. Şekil 6.50'deki blok diyagrama göre bu denklemler yeniden düzenlenirse esir devre için aşağıdaki eşitlikler elde edilir:

$$\begin{aligned}
\dot{x}_e &= \alpha \ln(x_e+1) + \beta \sin(z_e) - (x_e+y_e) + \frac{1}{2}T(t) \\
\dot{y}_e &= -\alpha \ln(y_e+1) + \beta \sin(z_e) - (x_e+y_e) + \frac{1}{2}T(t) \\
\dot{z}_e &= \gamma \frac{L}{R}
\end{aligned} \tag{6.14}$$

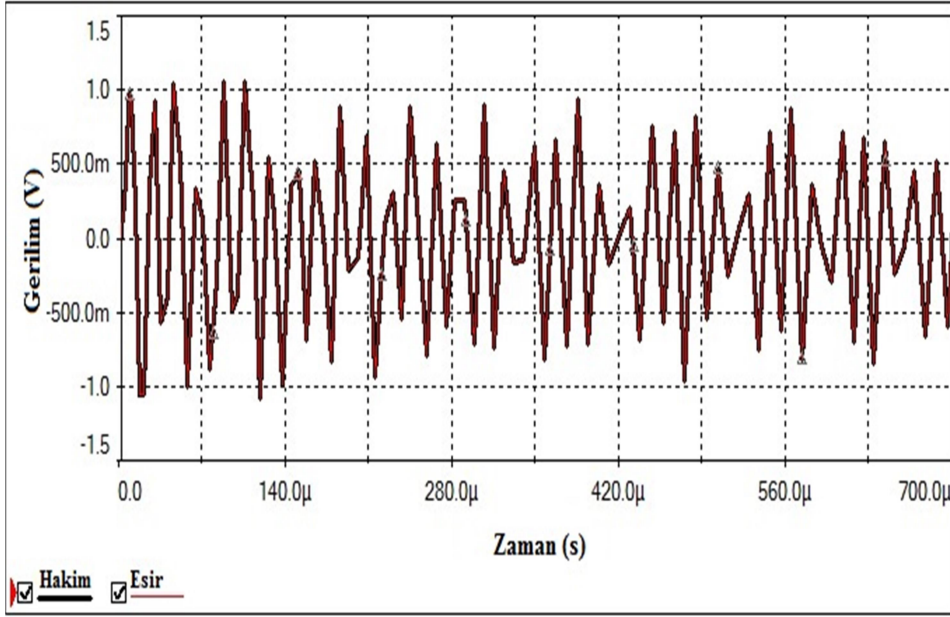
olur.

Şekil 6.50'deki devrede esir devre kısmında kaynak olmadığında eşitlikler aşağıdaki gibi elde edilir.

$$\begin{aligned}
\dot{x}_e &= \alpha \ln(x_e+1) - (x_e+y_e) + \frac{1}{2}(x+y) + \frac{1}{2}T(t) \\
\dot{y}_e &= -\alpha \ln(y_e+1) - (x_e+y_e) + \frac{1}{2}(x+y) + \frac{1}{2}T(t)
\end{aligned} \tag{6.15}$$

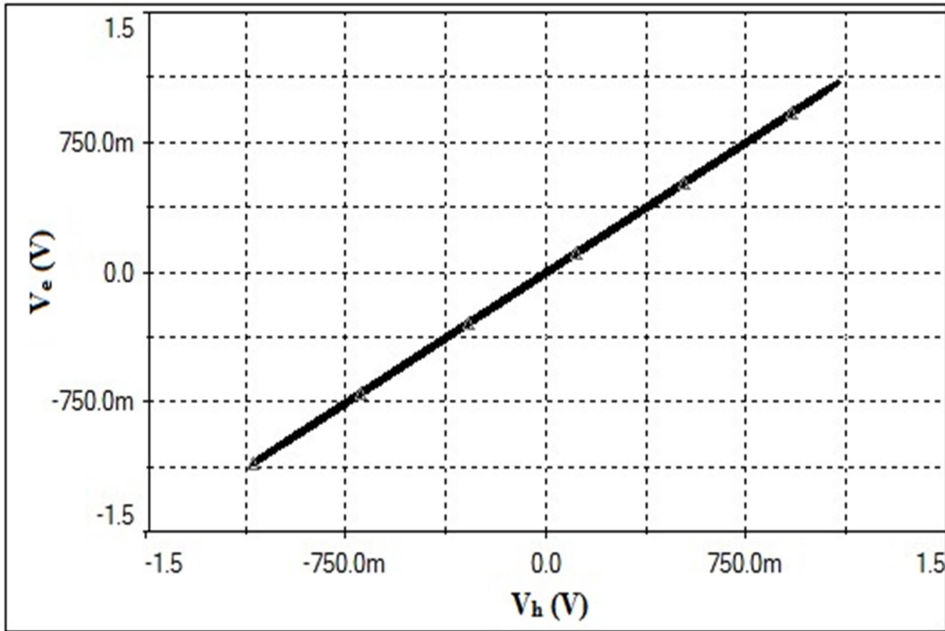
6.10. Sinyal Gizleme Devresi Benzetim Sonuçları

Şekil 6.49'daki devre, Multisim'de kurulup giriş sinyali için 3 V ve 50 kHz; bilgi sinyali için 3 V ve 10 kHz sinüzoidal sinyaller alınmıştır. Bu değerlerde elde edilen hakim ve esir devre çıkışları, Şekil 6.51'deki gibi elde edilmiştir. Görüldüğü gibi devre çıkışları kaotik özellik göstermekte ve sinyaller arasında eşzamanlılığın sağlandığı görülmektedir.



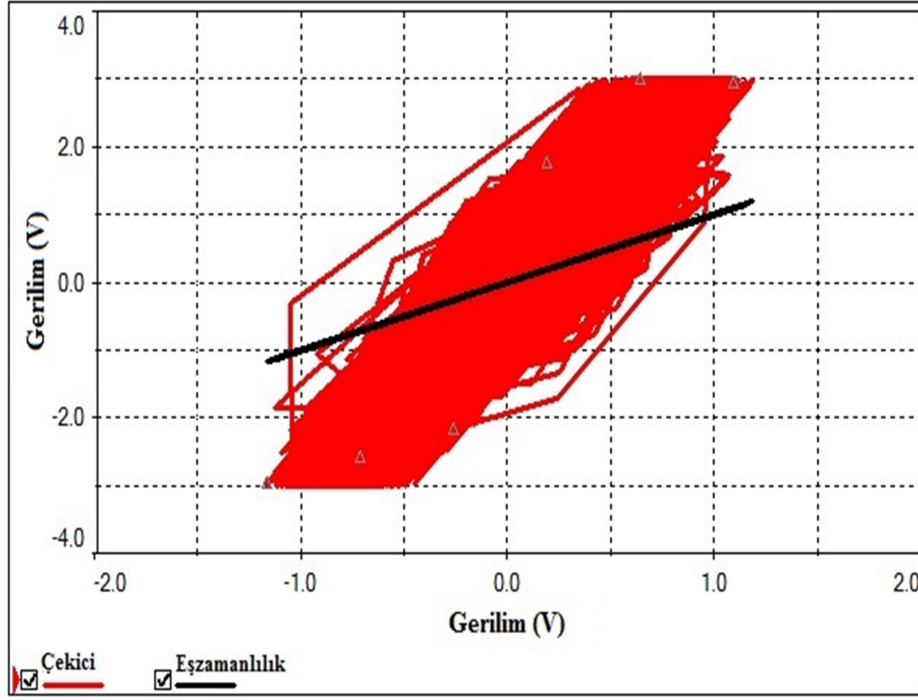
Şekil 6.51. Hakim-esir devre çıkış gerilimleri (50 kHz, 3 V)

Şekil 6.52, hakim ve esir devre çıkışları arasındaki eşzamanlılığı açık bir şekilde ortaya koymaktadır.



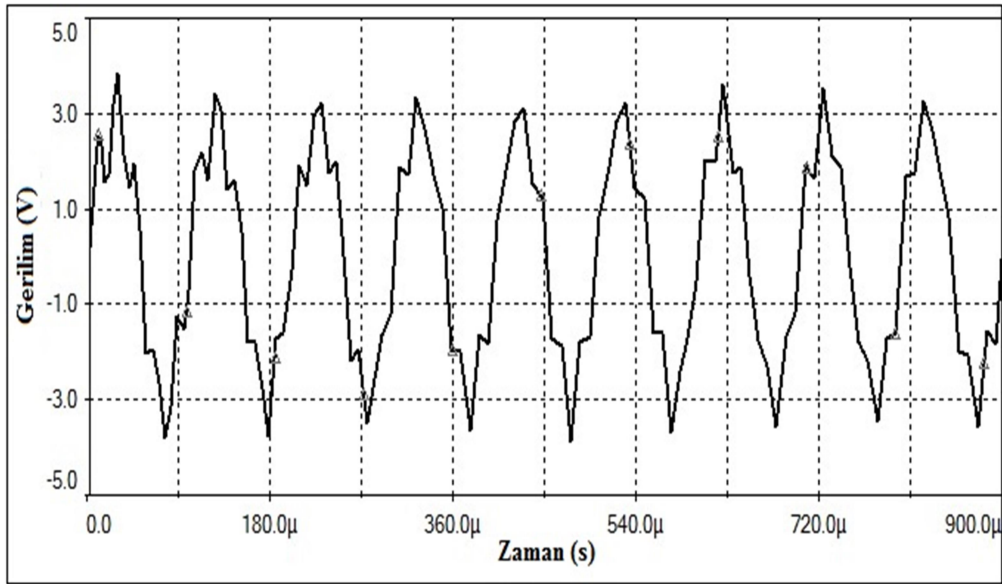
Şekil 6.52. Hakim-esir devre çıkış gerilimleri xy görünümü (50 kHz, 3 V)

Çekici ve eşzamanlılık eğrileri, Şekil 6.53’de birlikte verilmiştir. Çekici eğrisi, devrenin kaotik olduğunu göstermektedir.



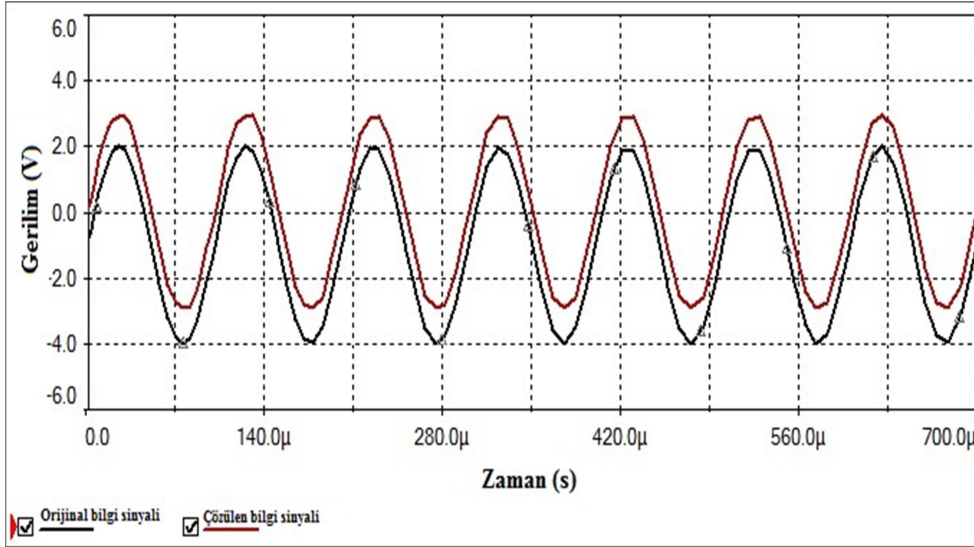
Şekil 6.53. Çekici-eşzamanlılık eğrileri (50 kHz, 3 V)

Hakim devre çıkışına bilgi sinyalinin eklenmesiyle elde edilen toplayıcı ve tersleyici devre çıkışı, Şekil 6.54'deki gibi elde edilmiştir. Görüldüğü gibi bilgi sinyaline kaotik sinyal eklendiğinde sinyal bozulmaktadır.



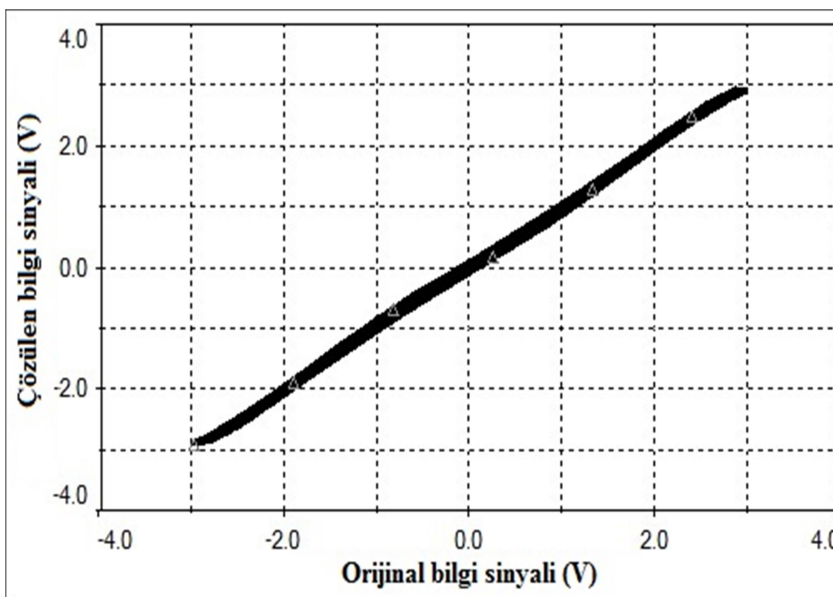
Şekil 6.54. Toplayıcı ve tersleyici devresi çıkış gerilimi
(Giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V)

Şekil 6.54'deki sinyalden bilgi sinyali, Şekil 6.55'deki gibi tekrar elde edilmiştir. Bu da herhangi bir kaotik devrenin haberleşmede kullanılabilmesi için önemli bir çıktıdır. Sinyal yeniden elde edilebiliyorsa haberleşme şartları sağlanmaktadır.



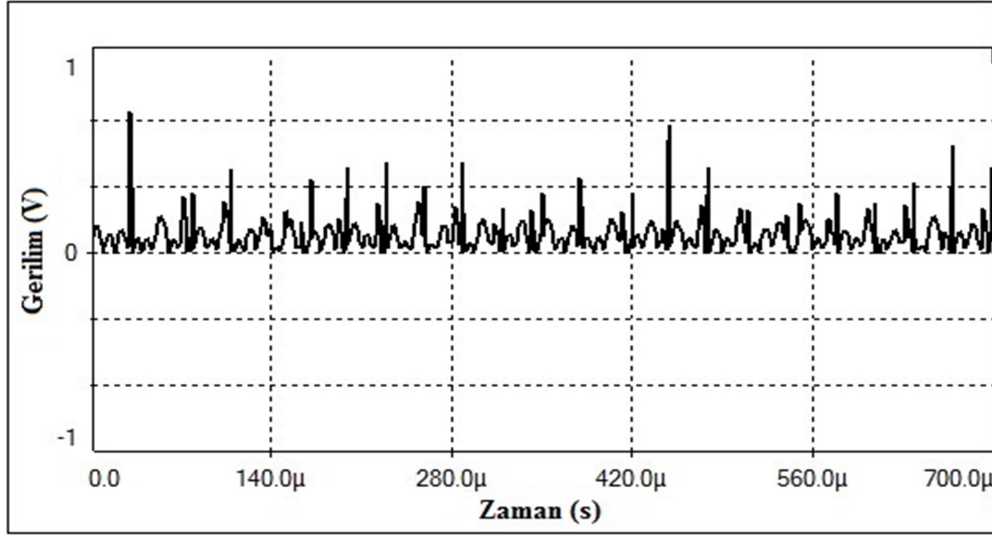
Şekil 6.55. Orijinal-çözülen bilgi sinyalleri
(giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V)

Şekil 6.55'den görüldüğü gibi tekrar elde edilen sinyal, orijinal bilgi sinyaliyle hemen hemen aynıdır. Bu duruma daha iyi görebilmek için Şekil 6.56'daki gibi xy eğrisi elde edilmiştir. Eğri, iki sinyalin hemen hemen aynı olduğunu göstermektedir.



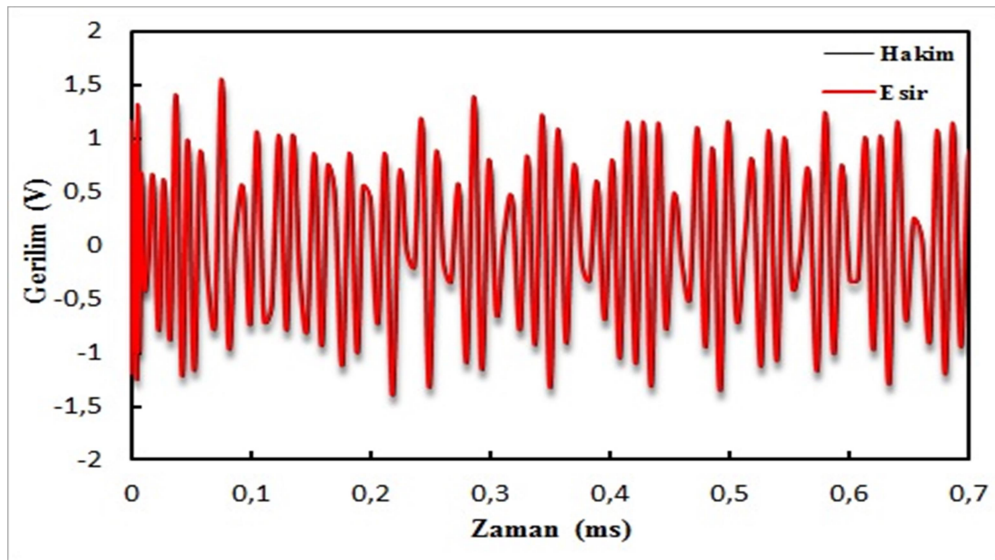
Şekil 6.56. Orijinal-çözülen bilgi sinyalleri xy görünümü
(giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V)

Orijinal ve çözülen bilgi sinyalleri arasında fark alınarak elde edilen bilgi kaybı, Şekil 6.57'deki gibi elde edilmiştir. Bu şekilden de anlaşılacağı üzere bilgi kaybı genelde küçük düzeyde kalmaktadır.



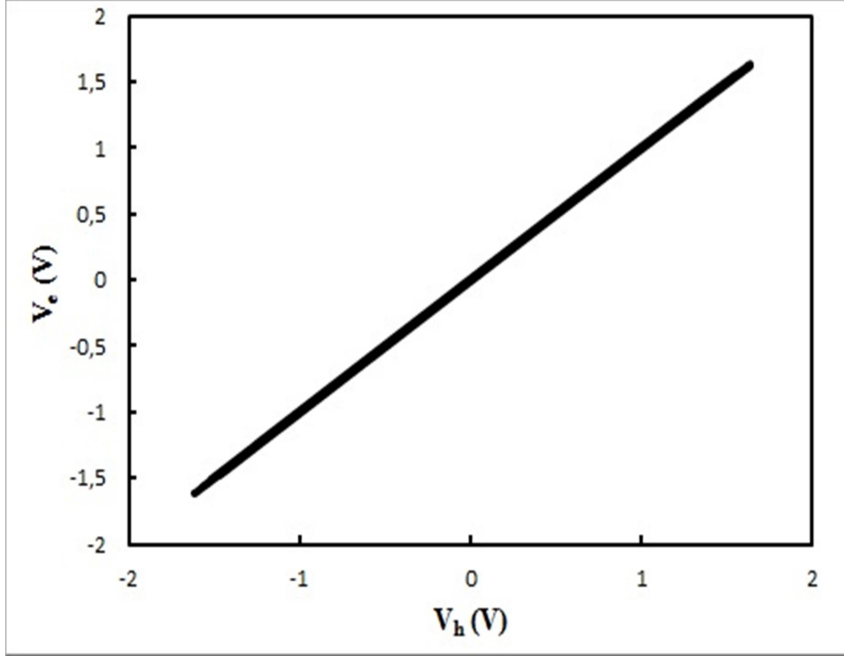
Şekil 6.57. Bilgi kaybı
(giriş sinyali 50 kHz, 3 V; bilgi sinyali 10 kHz, 3 V)

Devrede giriş sinyali parametre değerleri 5.1 V ve 67 kHz; bilgi sinyali parametreleri 0.8 V ve 15 kHz ayarlanarak benzetim sonuçları Excele aktarılmıştır. Excelde çizdirilen hakim-esir devre çıkışları Şekil 6.58'de verilmiştir. Görüldüğü gibi elde edilen sinyaller, kaotik özellik göstermekte ve eşzamanlılığın sağlanabildiği görülmektedir.



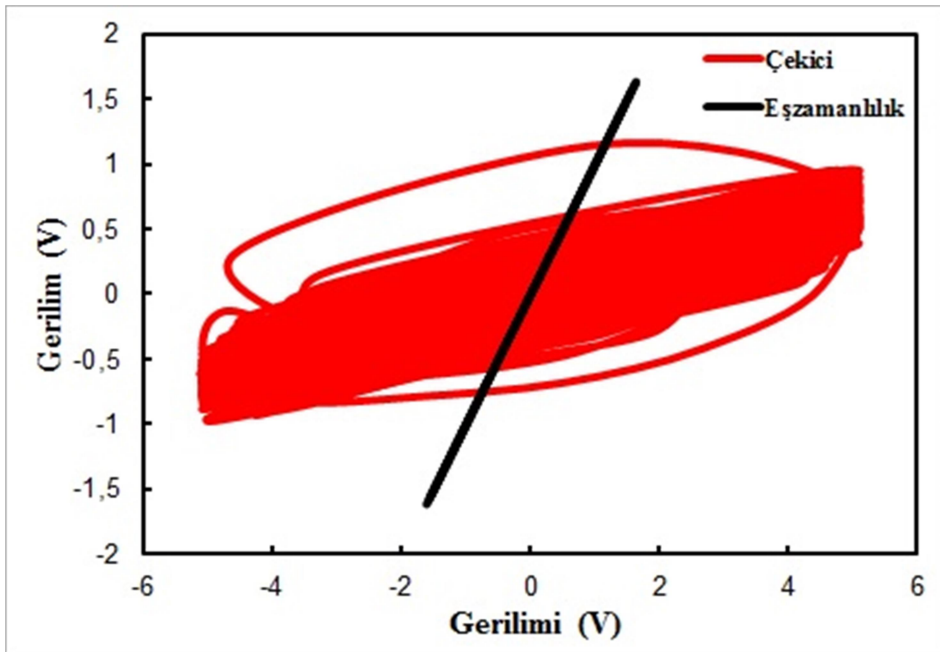
Şekil 6.58. Hakim-esir devre çıkış gerilimleri (67 kHz, 5.1 V)

Şekil 6.59, hakim ve esir devre çıkışlarının eşzamanlılığı sağladığının daha net bir durumunu göstermektedir.



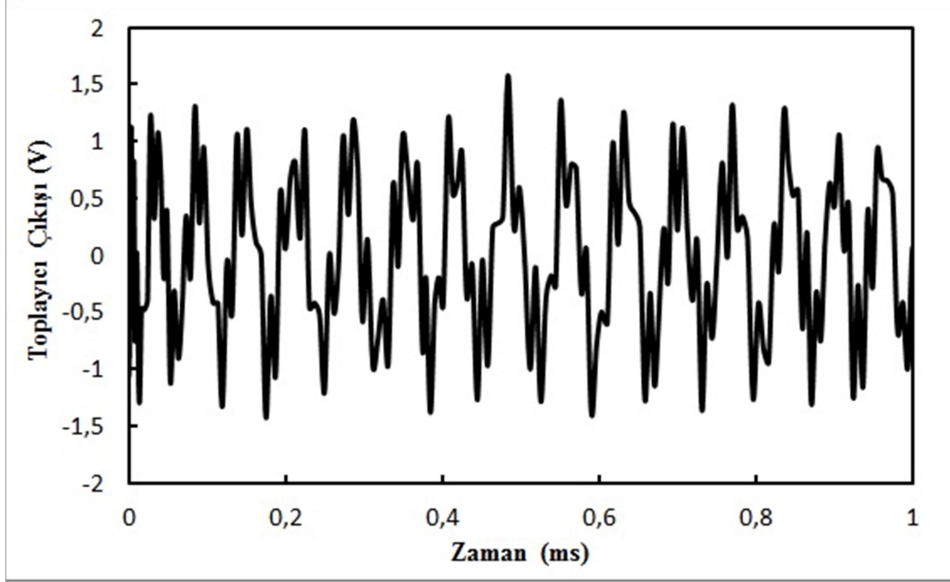
Şekil 6.59. Hakim-esir Devre xy görünümü (67 kHz, 5.1 V)

Şekil 6.60'da çekici ve eşzamanlılık eğrileri birlikte verilmiştir. Çekici, Şekil 6.58'de elde edilen sinyallerin kaotik olduğunu bir kez daha göstermektedir.



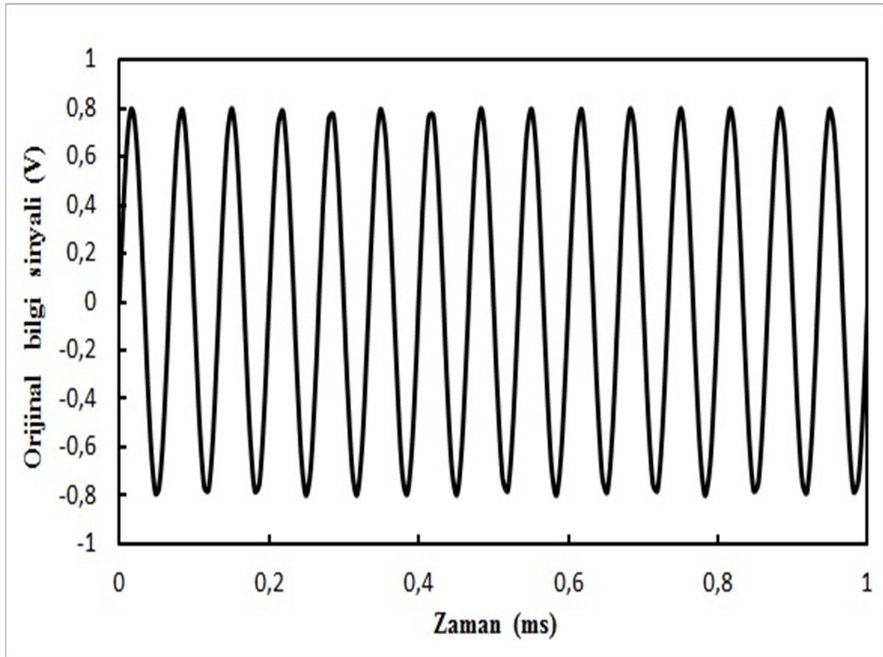
Şekil 6.60. Çekici-eşzamanlılık eğrileri (67 kHz, 5.1 V)

Hakim devre çıkışına bilgi sinyalinin eklenmesiyle elde edilen toplayıcı ve tersleyici devre çıkışı Şekil 6.61'deki gibi elde edilmiştir. Şekilden görülebileceği gibi bilgi sinyali, kaotik sinyalin eklenmesiyle bozulmuştur.



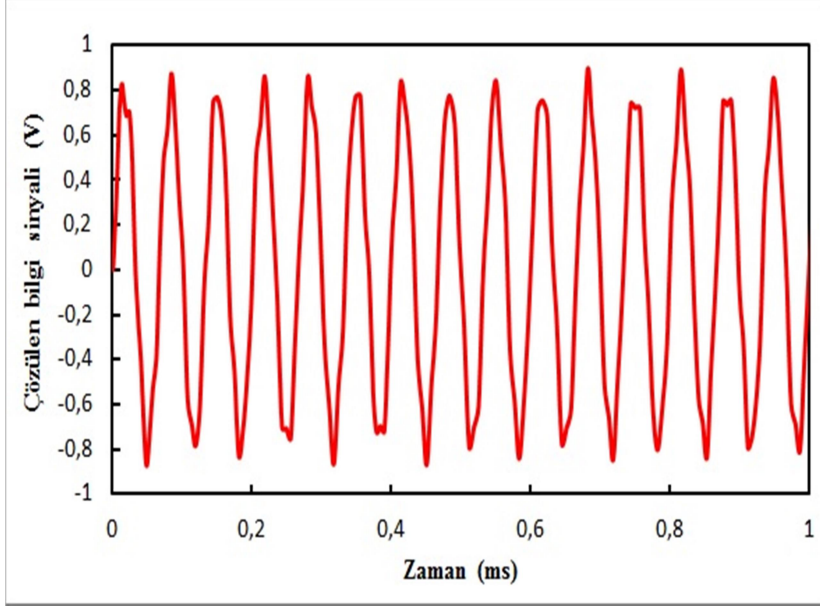
Şekil 6.61. Toplayıcı ve tersleyici devresi çıkış gerilimi
(Giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

Devreye verilen orijinal bilgi sinyali Şekil 6.62'de gösterilmiştir.



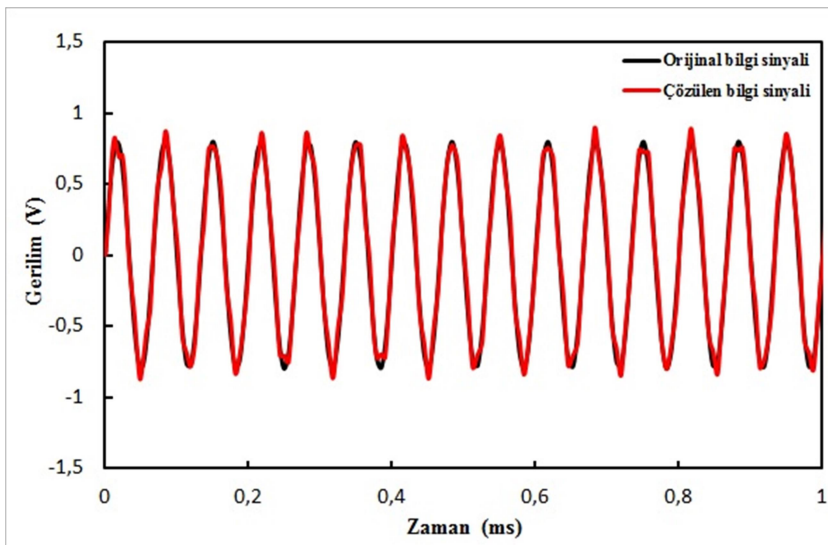
Şekil 6.62. Orijinal bilgi sinyali
(giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

Şekil 6.61'deki toplam sinyalden bilgi sinyalinin çözülmüş hali Şekil 6.63'de verilmiştir. Görüldüğü gibi elde edilen sinyal, Şekil 6.62'deki sinyale benzemektedir.



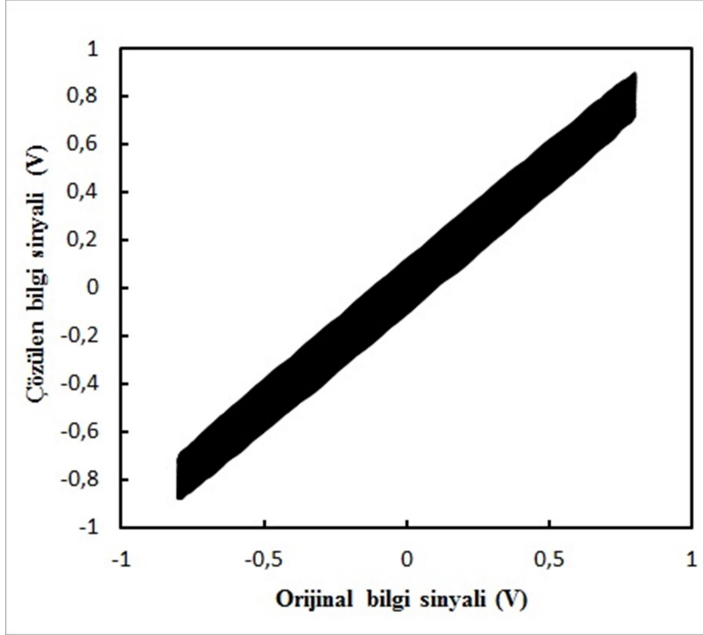
Şekil 6.63. Çözülen bilgi sinyali
(giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

İki sinyal arasındaki benzerliği daha net gözlemleyebilmek için sinyaller Şekil 6.64'deki gibi aynı grafikte gösterilmiş ve bilgi sinyalinin az bir kayıpla tekrar elde edildiği görülmektedir.



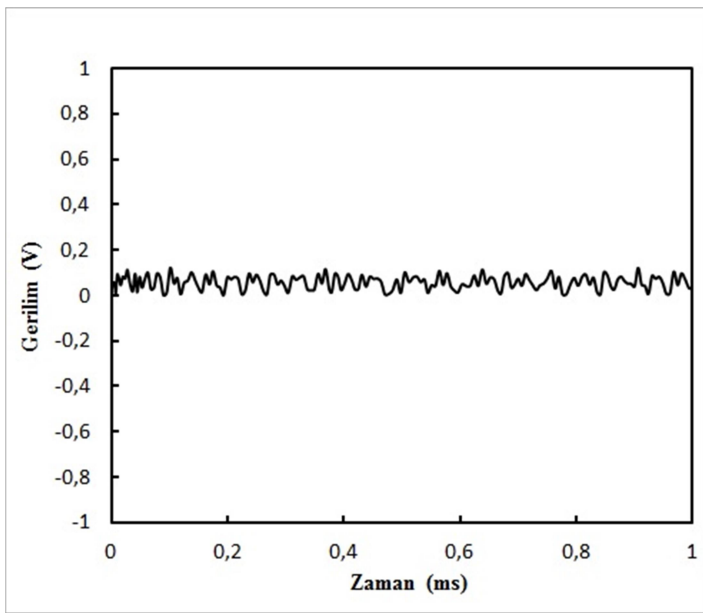
Şekil 6.64. Orijinal-çözülen bilgi sinyalleri
(giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

Orijinal ve çözülen bilgi sinyallerinin benzerliğini Şekil 6.65'deki xy eğrisinde de görmekteyiz.



Şekil 6.65. Orijinal-çözülen bilgi sinyalleri xy görünümü
(giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

Orijinal ve çözülen bilgi sinyalleri arasında kayıp Şekil 6.66'daki gibi elde edilmiştir. Görüldüğü gibi oldukça düşük bir bilgi kaybı söz konusudur.

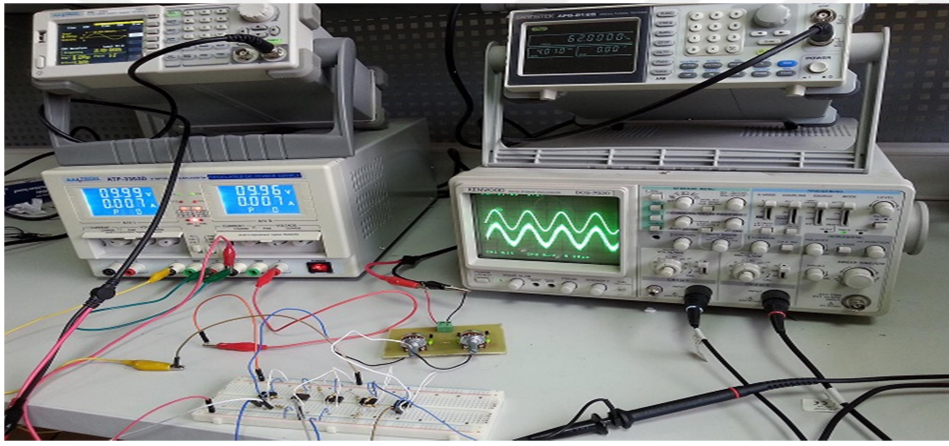


Şekil 6.66. Bilgi kaybı
(giriş sinyali 67 kHz, 5.1 V; bilgi sinyali 15 kHz, 0.8 V)

6.11. Sinyal Gizleme Devresi Deneysel Sonuçlar

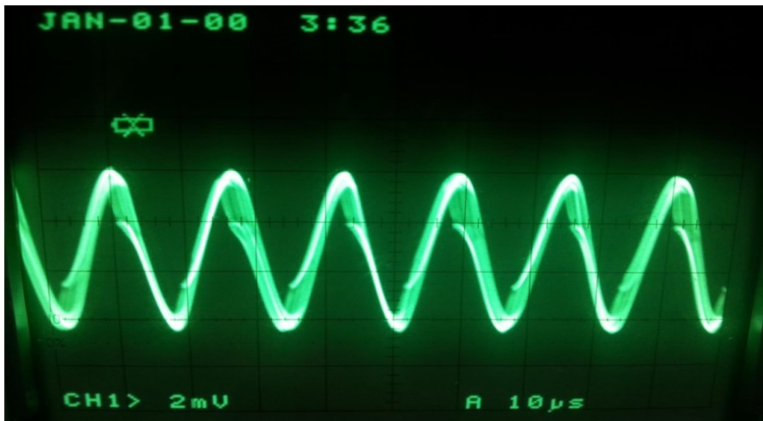
Hakim ve esir devrelerden oluşan eşzamanlılık devresine toplayıcı-tersleyici devresi ve çıkartma devresi eklenerek elde edilen sinyal gizleme devresi Şekil 6.67’de verilmiştir.

Opamp beslemeleri için dc güç kaynağı ve devreye bilgi sinyali verilebilmesi ikinci bir sinyal üretici bağlanmıştır. Bu devrede giriş geriliminin farklı genlik ve frekans değerlerine göre bilgi sinyalinin çözülebilmesi incelenerek deneysel sonuçlar elde edilmiştir. Esir devre potansiyometre değeri değişiminin devreye etkisi olmadığından 1k olarak çalıştığı ve hakim devredeki potansiyometre değişiminin çıkış sinyalini etkilediği görülmüştür.



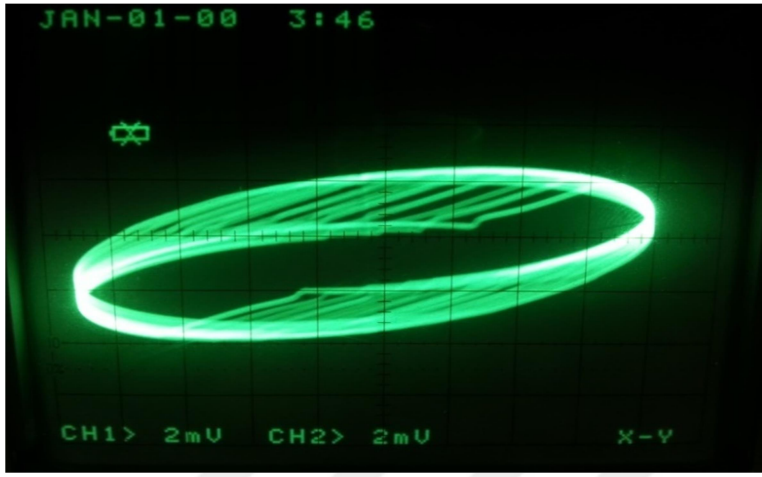
Şekil 6.67. Sinyal gizleme devresinin deneysel analizi

Örneğin; Hakim devre girişine 62 kHz ve 4.01 V sinüzoidal gerilim uygulanıp, 20 kHz ve 7.12 V sinüzoidal bilgi sinyalinin iletilmesi durumunda osiloskopta bazı ölçümler yapılmıştır.



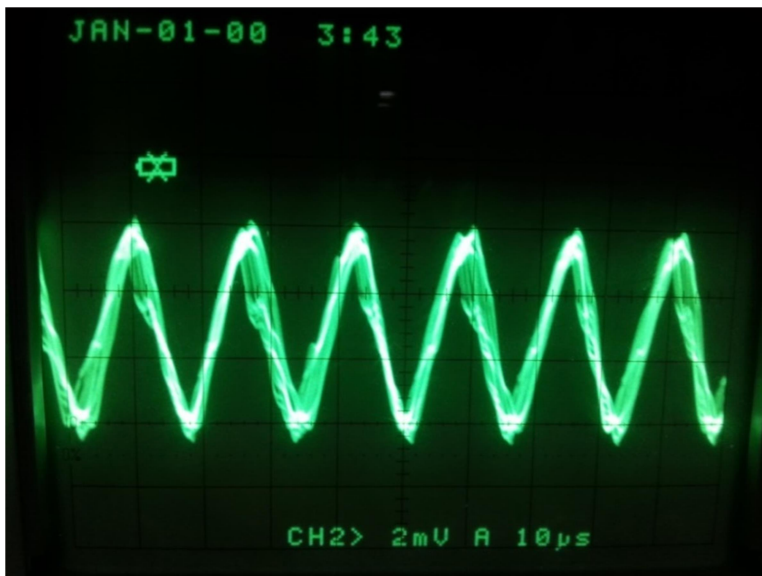
Şekil 6.68. Hakim devre çıkışı (62 kHz, 4.01 V)

Şekil 6.68’de görüldüğü gibi giriş gerilimi hakim devre çıkışında kaotik bir sinyal oluşmasını sağlamıştır. Giriş geriliminin frekans ve gerilim değerleri küçük miktarlarda arttırılıp azaltıldığında ya da potansiyometre değiştirildiğinde bu kaotik sinyalin periyodik bir sinyale dönüştüğü görülmüştür. Bu kaotik durumu sağlayan hakim devre potansiyometre değeri 657 ohm’dur. Giriş gerilimi ve hakim devre çıkışı, osiloskobun farklı kanallarına bağlanıp osiloskop xy konumuna alındığında Şekil 6.69’daki çekici elde edilmektedir. Çekiciye bakıldığında devrenin kaotik olduğunu bir kez daha görmekteyiz.



Şekil 6.69. Giriş sinyali-hakim devre xy görünümü (62 kHz, 4.01 V)

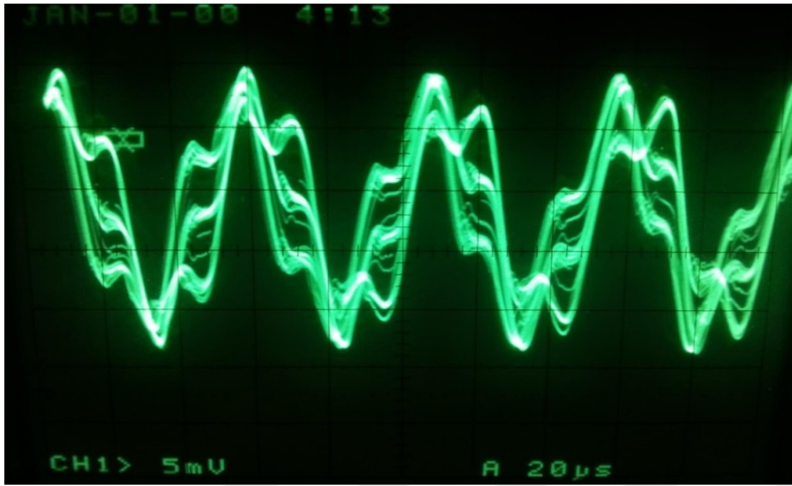
Hakim devrenin çıkışına bağlı olarak gözlemlenen esir devre çıkışı Şekil 6.70’de verilmiştir.



Şekil 6.70. Esir devre çıkışı (62 kHz, 4.01 V)

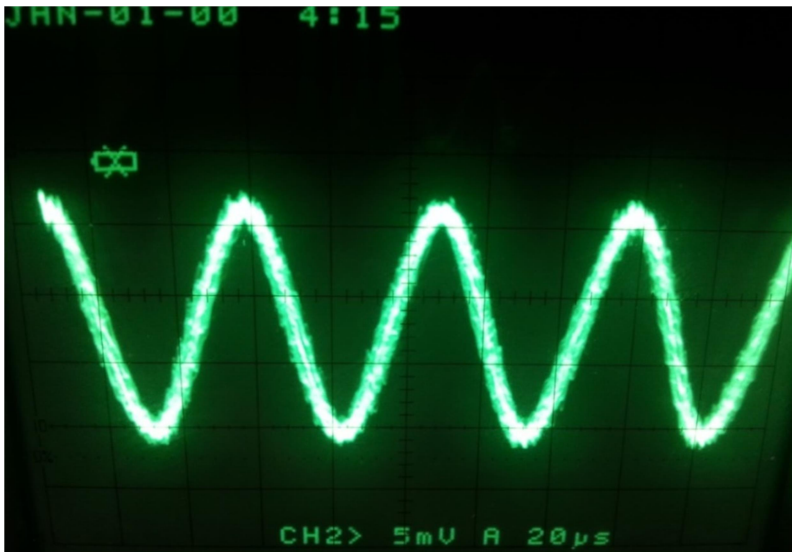
Şekil 6.70’de görüldüğü gibi esir devre çıkışı, hakim devre çıkışıyla hemen hemen aynıdır. Bu durum, eşzamanlılığın büyük ölçüde sağlandığını göstermektedir.

Hakim devre çıkışının bilgi sinyaline eklenmesiyle elde edilen toplayıcı çıkışı $s(t)$, Şekil 6.71’deki gibi elde edilmiştir. Görüldüğü gibi bilgi sinyali, kaotik sinyalden dolayı bozulmuştur.



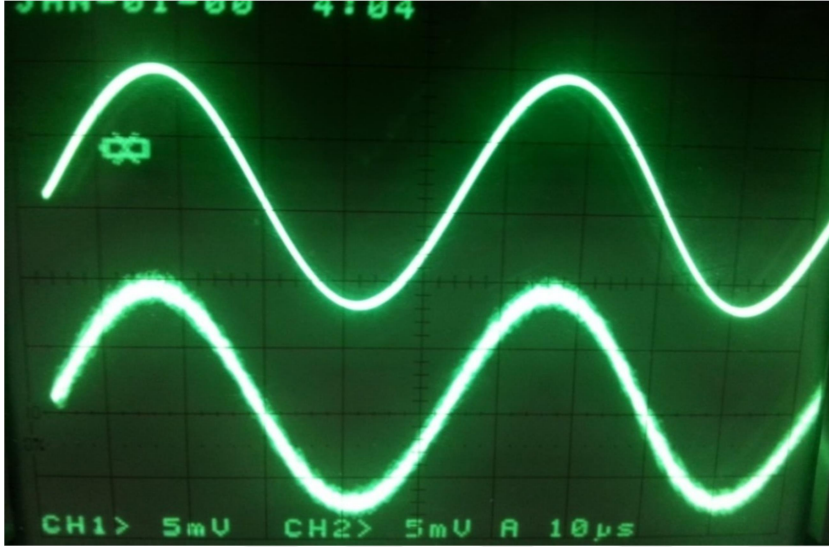
Şekil 6.71. Toplayıcı ve tersleyici devresi çıkış gerilimi
(Giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V)

Şekil 6.71’deki toplam sinyalden çözülen bilgi sinyali Şekil 6.72’de verilmiştir. Görüldüğü gibi sinyalde ufak da olsa bir kayıp görülmektedir.



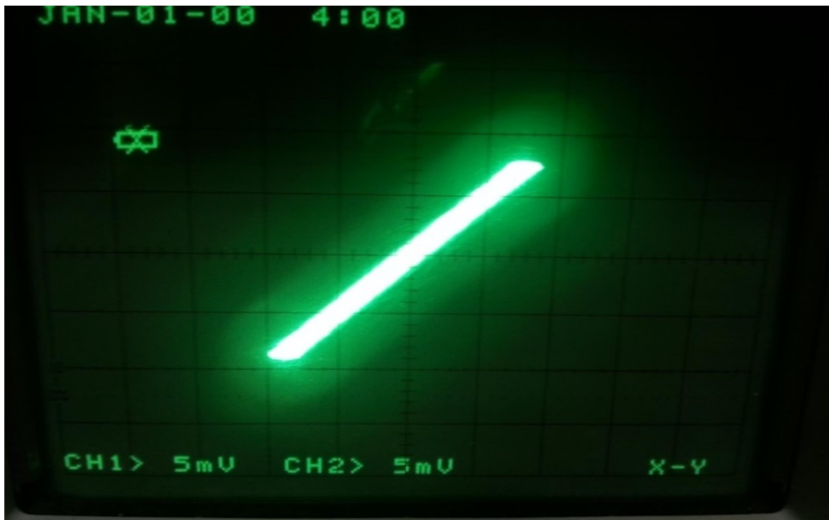
Şekil 6.72. Çözülen bilgi sinyali
(Giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V)

Orijinal bilgi ve çözülen bilgi sinyallerinin beraber görünümü Şekil 6.73'de verilmiştir. Şekle bakıldığında tekrar elde edilen sinyalin baştaki sinyalle uyumlu olduğu görülmektedir.



Şekil 6.73. Orijinal-çözülen bilgi sinyalleri
(Giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V)

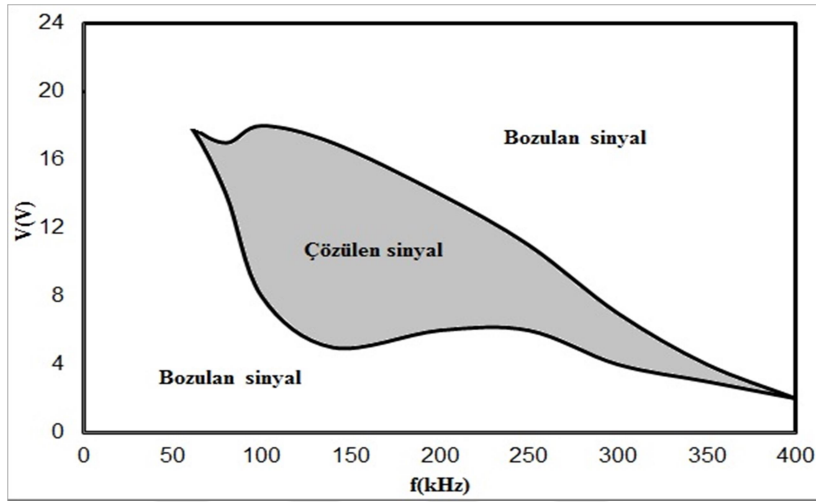
Bu iki sinyal arasındaki uyumluluğu daha net olarak Şekil 6.74'deki gibi görebiliriz. Düz çizginin netliği, iki sinyalin uyumluluğunun göstergesidir.



Şekil 6.74. Orijinal-çözülen bilgi sinyalleri xy görünümü
(Giriş sinyali 62 kHz, 4.01 V; bilgi sinyali 20 kHz, 7.12 V)

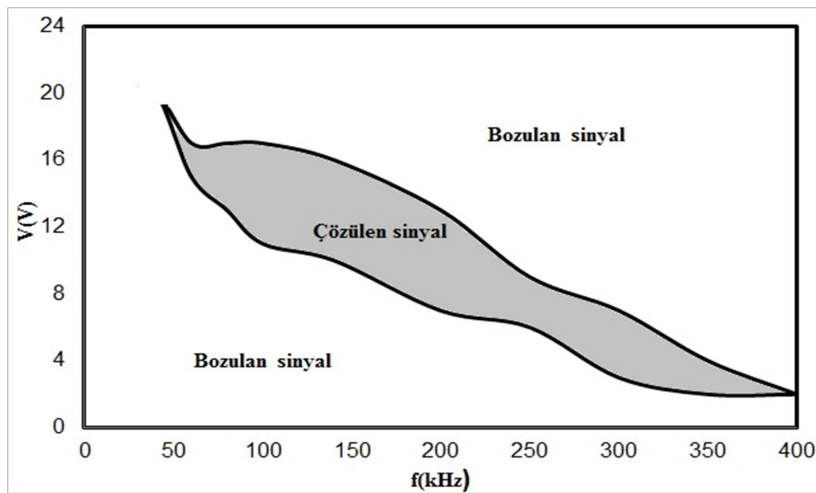
6.12. Farklı Kaotik Durumlar için Bilgi Sinyalinin Çözülebilirlik Aralığı

Herhangi bir sistemin geri elde edilebilmesi özelliği bilgi sinyalinin frekans ve genliği ile değişebildiği için, bilgi sinyalinin geniş bir bölgesi giriş sinyalinin iki farklı kaotik durumu için literatürde ilk kez araştırılmıştır. İlk olarak, 62 kHz, 4.01 V giriş sinyalindeki performans araştırılmıştır. Bilgi sinyalinin genliği 0-24 V ve frekansı 0-400 kHz arası ayrıntılı taranmış Şekil 6.75'deki gibi bilgi sinyalinin çözülebilirlik aralığı elde edilmiştir.



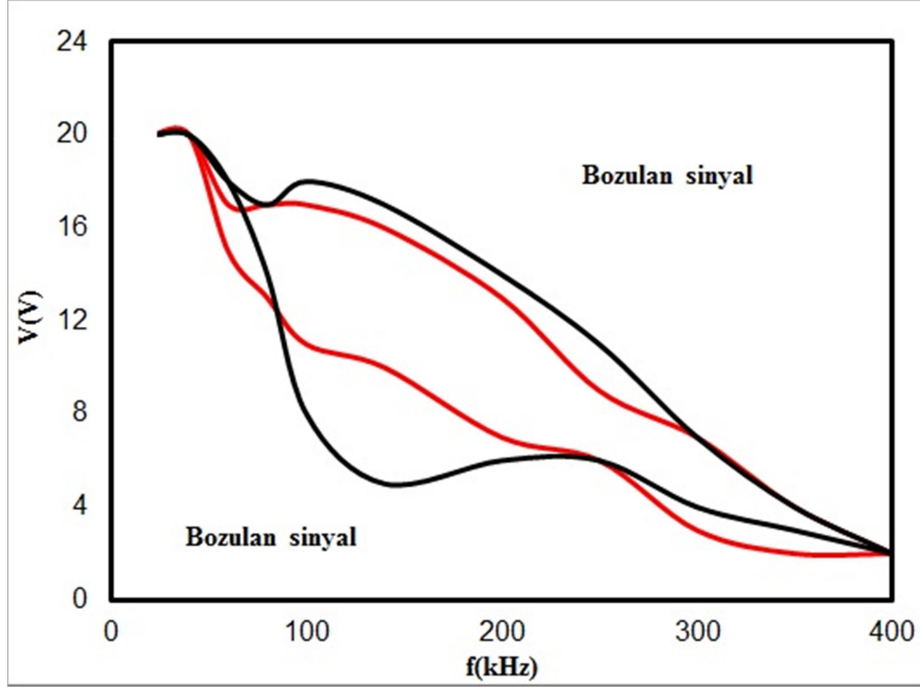
Şekil 6.75. 62 kHz, 4.01 V giriş sinyalinde bilgi sinyalinin çözülebilirlik bölgesi

Daha sonra da 103 kHz, 7.71 V giriş sinyalinde de performansa bakılmış bilgi sinyalinin çözülebilirlik aralığı Şekil 6.76'daki gibi elde edilmiştir.



Şekil 6.76. 103 kHz, 7.71 V giriş sinyalinde bilgi sinyalinin çözülebilirlik bölgesi

Araştırılan iki kaotik giriş sinyali için bilgi sinyalinin geri elde edilebilme bölgelerinin karşılaştırılması Şekil 6.77’de verilmiştir.



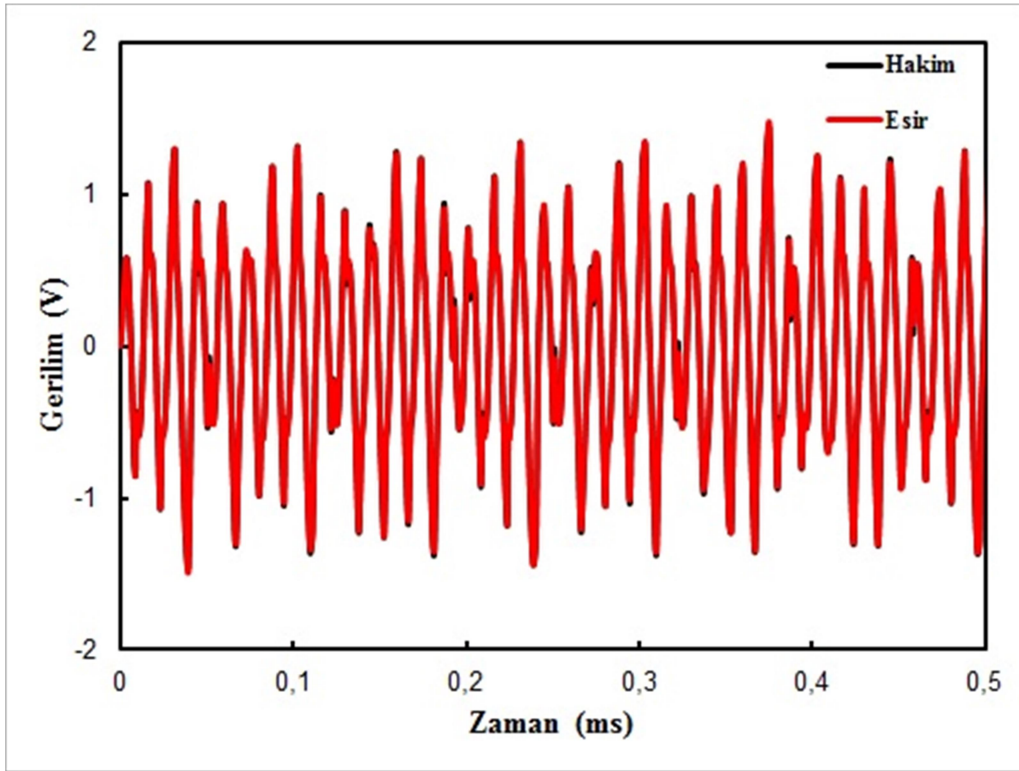
Şekil 6.77. Farklı kaotik durumlar için çözülebilirlik bölgelerinin karşılaştırılması

Şekil 6.77, bilgi sinyalinin çözülebilirliğinin bilgi sinyalinin genlik ve frekansı ile değiştiğini göstermektedir. Ayrıca, farklı kaotik durumlar farklı sinyal çözülebilirlik özelliği sağlamaktadır. Örneğin, 150 kHz, 8 V’da sinyaller; 103 kHz, 7.71 V kaotik durumda çözülemez. Aslında eşzamanlı devrelerin farklı kaotik durumları, sinyal çözmede farklı tepkiler vermektedir. Bu nedenle, parametreler için tam kullanım bölgesi belirlenmelidir. Şekle göre, bilgi sinyalinin genliği 200 kHz ve 300 kHz gibi yüksek frekanslarda daha küçük olduğunda çözme işi daha iyi yapılabilir. Dolayısıyla, belirli kaotik durumlar için bilgi sinyalini kullanmadan önce güvenli haberleşme sistemlerinde verimlilik test edilmelidir.

6.13. Beslemeli Esir Devre Durumunda Eşzamanlılık Devresi Benzetim Sonuçları

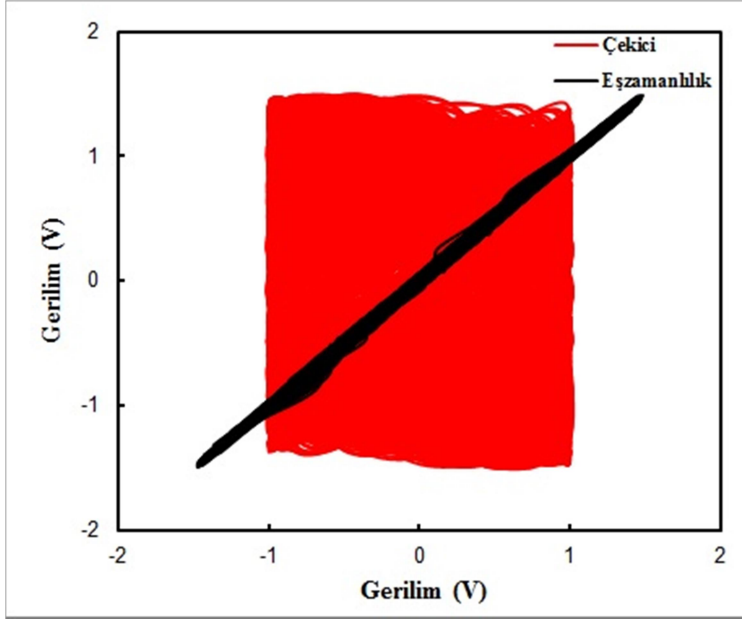
Daha önce eşzamanlılık devresinde tek giriş gerilimi kullanılmış ve esir devrede giriş gerilimi kullanılmamıştı. Şayet esir devreye de giriş gerilimi uygulanırsa yine eşzamanlılığın sağlanabileceği görülmüştür. Fakat R_1 ve R_2 direnç değerleri $1k\Omega$ iken

eşzamanlılık sağlanamamaktadır. Bu nedenle, bu benzetim için hakim devresi direnç değeri değiştirilmeyip esir devresi için direnç değeri 150 k Ω alınmıştır. Hakim devreye giriş sinyali olarak 1 V ve 85 kHz'lik; esir devre için de 1 V ve 70 kHz'lik bir sinüzoidal sinyal uygulandığında hakim ve esir devre çıkış sinyalleri Şekil 6.78'deki gibi elde edilmektedir. Elde edilen sinyaller, yine kaotik özellik göstermekte ve eşzamanlılık sağlanmaktadır.



Şekil 6.78. Hakim devre –esir devre çıkış gerilimleri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)

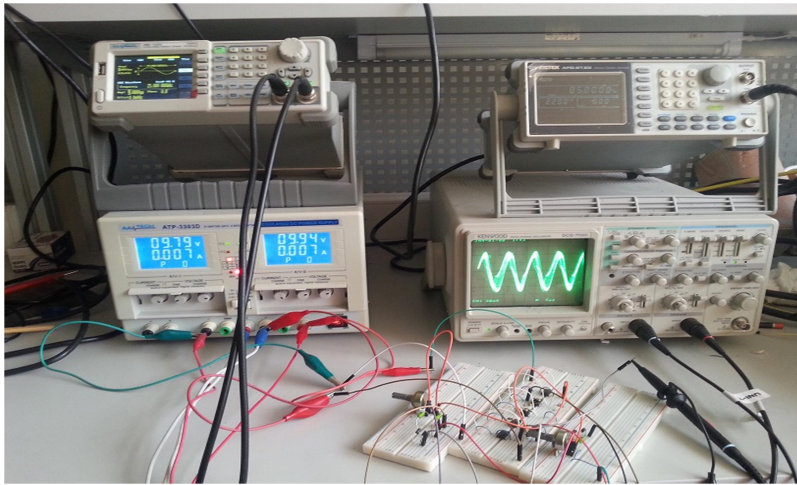
Hakim ve esir devreler arasındaki eşzamanlılığı Şekil 6.79'daki **siyah renkli** eğriden görebiliriz. Şekilde, hakim devre çıkışı ve giriş sinyali ile elde edilen çekici **kırmızı renkle** gösterilmiştir. Çekicinin şekli, bize hakim devre çıkışının kaotik olduğunu göstermektedir.



Şekil 6.79. Çekici-eşzamanlılık eğrileri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)

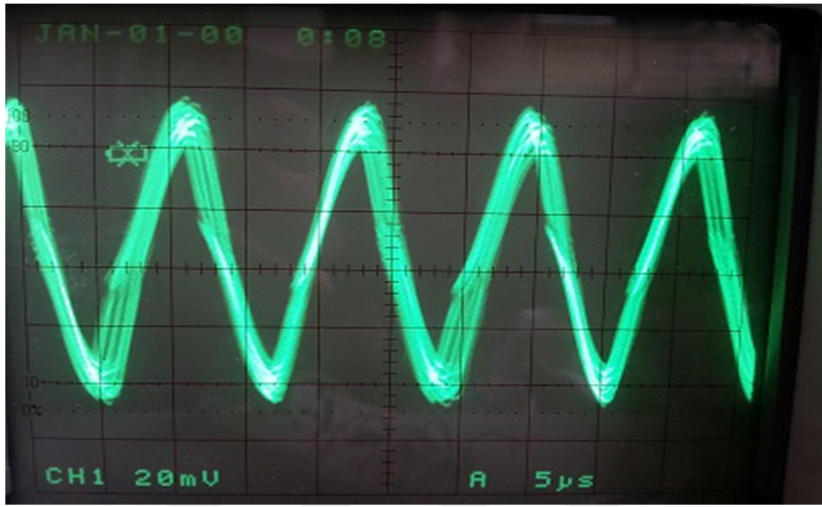
6.14. Beslemeli Esir Devre Durumunda Eşzamanlılık Devresi Deneysel Sonuçlar

Daha önceki bölümlerde deneysel olarak incelediğimiz eşzamanlılık devresinde esir devreye besleme gerilimi bağlanmamış ve buna göre deneysel sonuçlar elde edilmiştir. Esir devreye besleme gerilimi uygulanırsa deney düzeneği Şekil 6.80'deki gibi kurulmuştur. Görüldüğü gibi, esir devreye de besleme uygulanabilmesi ikinci bir sinyal üretici kullanılmıştır.



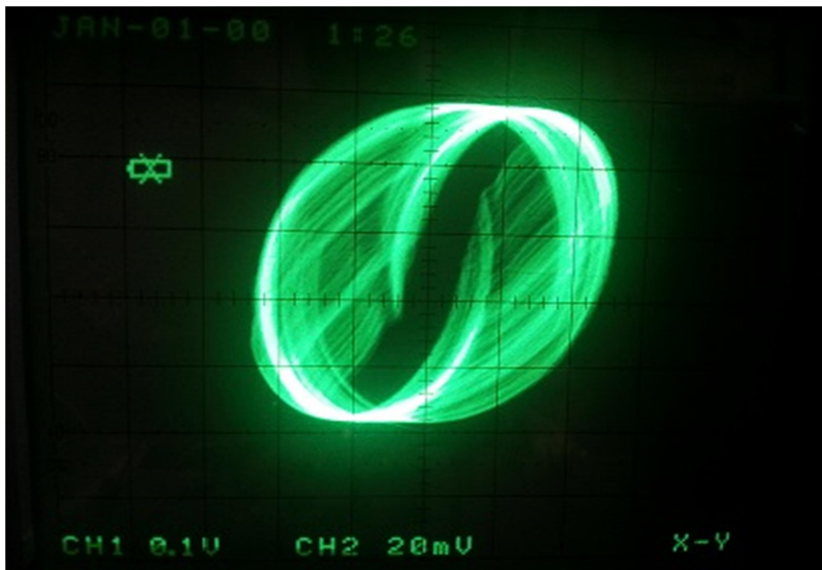
Şekil 6.80. Beslemeli esir devre durumunda eşzamanlılık devresinin deneysel analizi

Hakim devre girişine 85 kHz ve 2.1 V; esir devre girişine de 70 kHz ve 1 V sinüzoidal gerilim uygulanarak bazı sonuçlar elde edilmiştir. Bu değerlerde elde edilen hakim devre çıkışı, Şekil 6.81’de verilmiştir. Görüldüğü gibi elde edilen sinyal kaotik özellik göstermektedir. Giriş geriliminin frekans ve gerilim değerleri küçük miktarlarda artırılıp azaltıldığında ya da potansiyometre değiştirildiğinde bu kaotik sinyalin periyodik bir sinyale dönüştüğü görülmüştür. Kaotik durumu sağlayan hakim devredeki potansiyometre direnç değeri 246 ohm ölçülmüştür.



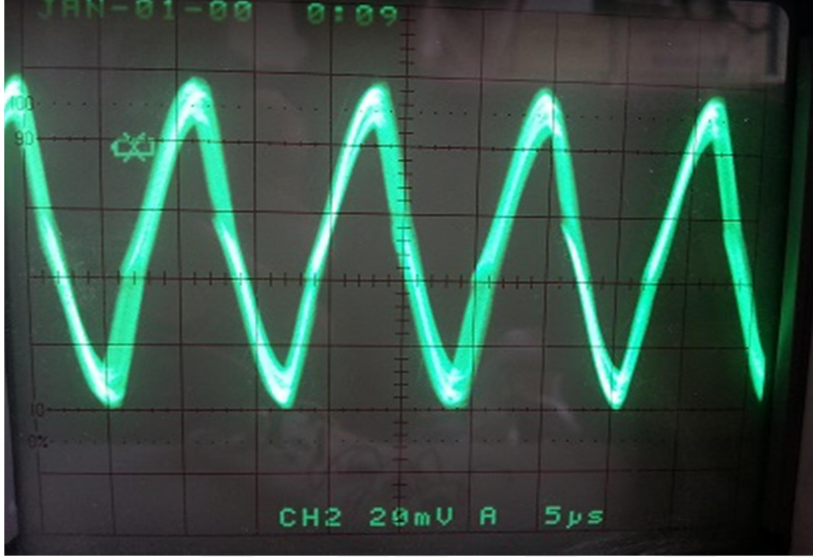
Şekil 6.81. Hakim devre çıkışı (85 kHz, 2.1 V)

Şekil 6.82’de verilen çekici, hakim devre çıkışının kaotikliğini başka bir şekilde göstermektedir.



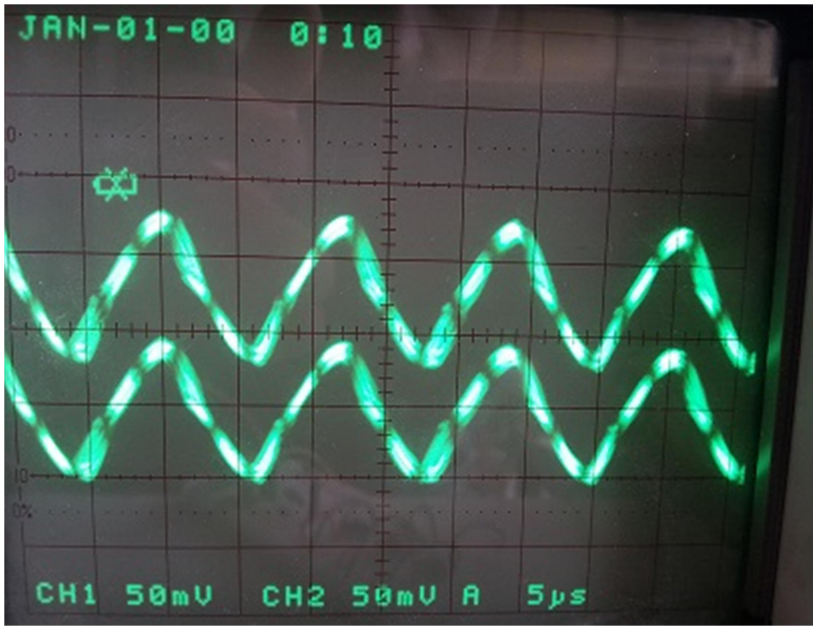
Şekil 6.82. Hakim devre çekicisi (85 kHz, 2.1 V)

Hakim devre çıkışına bağlı olarak elde edilen esir devre çıkışı, Şekil 6.83'deki gibi elde edilmiştir.



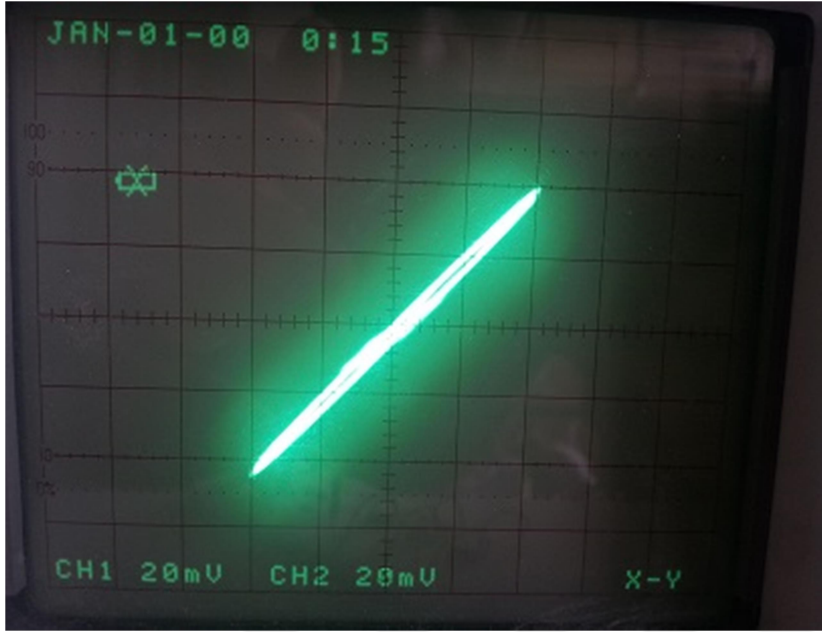
Şekil 6.83. Esir devre çıkışı (70 kHz, 1 V)

Hakim ve esir devre çıkışları Şekil 6.84'deki gibi bir arada gösterilmiştir. Şekilden görüldüğü gibi, sinyaller hemen hemen birbirinin aynısıdır ve dolayısıyla eşzamanlılığı sağlamaktadırlar.



Şekil 6.84. Hakim-esir devre çıkış gerilimleri
(Hakim devre giriş sinyali 85 kHz, 2.1 V; esir devre giriş sinyali 70 kHz, 1 V)

İki sinyal arasındaki eşzamanlılığı daha net gözlemleyebilmek için osiloskop xy konuma alınarak Şekil 6.85'deki görüntü elde edilmiştir. Bu şekilde de eşzamanlılığın sağlandığı görülebilmektedir.

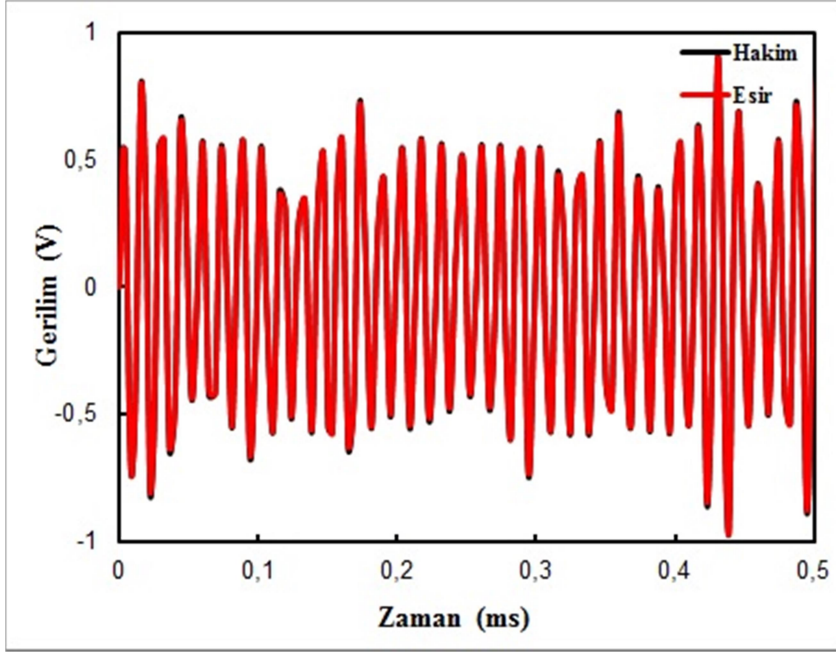


Şekil 6.85. Hakim-esir devre xy görünümü
(Hakim devre giriş sinyali 85 kHz, 2.1 V; esir devre giriş sinyali 70 kHz, 1 V)

6.15. Beslemeli Esir Devre Durumunda Sinyal Gizleme Devresi Benzetim Sonuçları

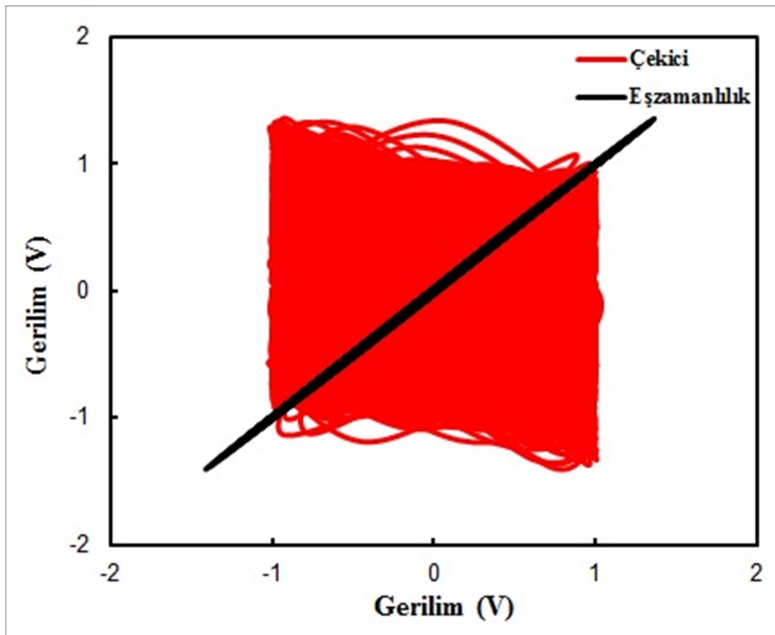
Hakim ve esir devrelere giriş sinyali olarak sırasıyla 1 V ve 85 kHz; 1 V ve 70 kHz sinüzoidal sinyaller uygulanmış ve bilgi sinyali olarak da 1 V ve 25 kHz bir sinüzoidal sinyal alınmıştır. Bu değerlere göre benzetim sonuçları elde edilmiştir.

Multisimden elde edilen benzetim sonuçları kullanılarak Şekil 6.86'daki gibi hakim ve esir devre çıkışları elde edilmiştir. Görüldüğü gibi çıkışlar kaotik özellik göstermektedir. Hakim ve esir devre çıkışları üst üste binmiş ve eşzamanlılığın sağlanabildiği görülmektedir. Bu durumda hakim devredeki potansiyometre direnç değeri 326 ohm ölçülmüştür.



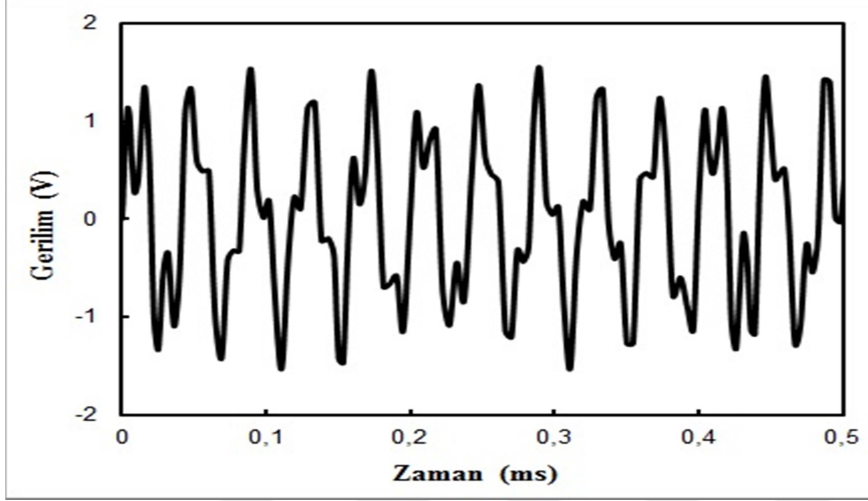
Şekil 6.86. Hakim devre-esir devre çıkış gerilimleri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)

Çekici ve eşzamanlılık eğrileri, Şekil 6.87’de verilmiştir. Çekici, hakim devre çıkışının kaotikliğini; eşzamanlılık eğrisi de hakim ve esir devre çıkışlarının eşzamanlılığı sağladığını göstermektedir.



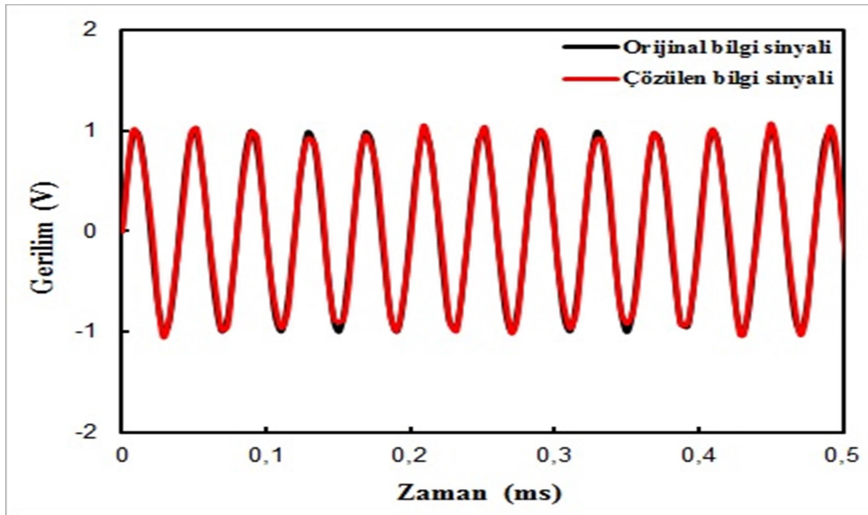
Şekil 6.87. Çekici-eşzamanlılık eğrileri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)

Hakim devre çıkışına bilgi sinyalinin eklenmesiyle elde edilen toplayıcı ve tersleyici devre çıkışı, Şekil 6.88’de verilmiştir. Hakim devre çıkışının bilgi sinyalinin bozulmasına neden olduğu görülmektedir.



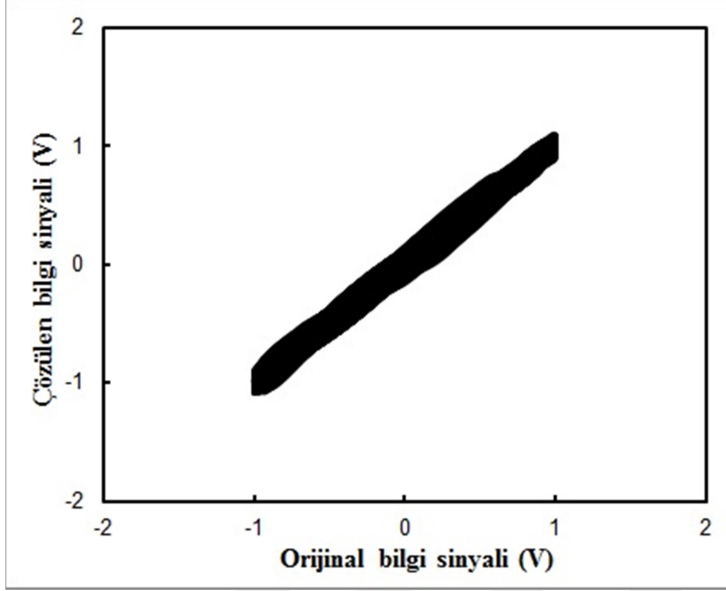
Şekil 6.88. Toplayıcı ve tersleyici devre çıkış gerilimi
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

Şekil 6.88’deki bozuk sinyalden çözülen bilgi sinyali Şekil 6.89’da verilmiştir. Görüldüğü gibi çözülen bilgi sinyali, orijinal bilgi sinyali ile örtüşmekte ve çözülmenin başarılı olduğu görülmektedir.



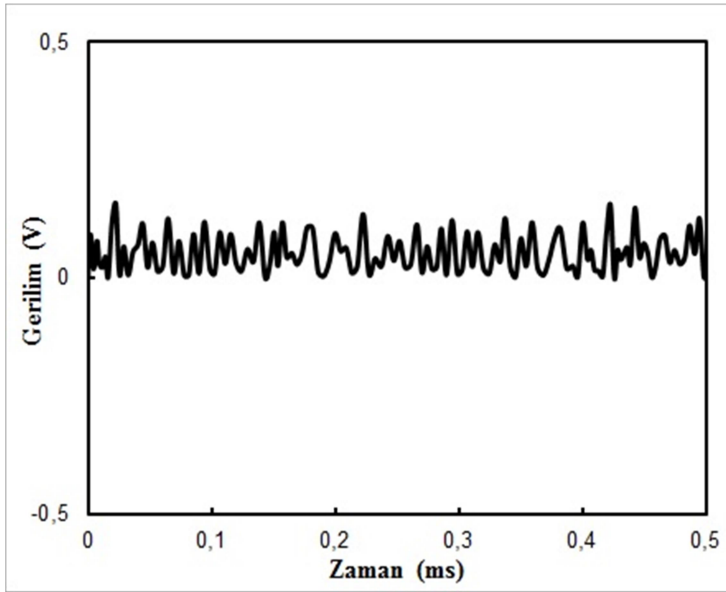
Şekil 6.89. Orijinal-çözülen bilgi sinyalleri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

Çözülen bilgi sinyalinin orijinal bilgi sinyaliyle örtüştüğünü Şekil 6.90'daki xy eğrisinde de görebiliriz.



Şekil 6.90. Orijinal-çözülen bilgi sinyalleri xy görünümü
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

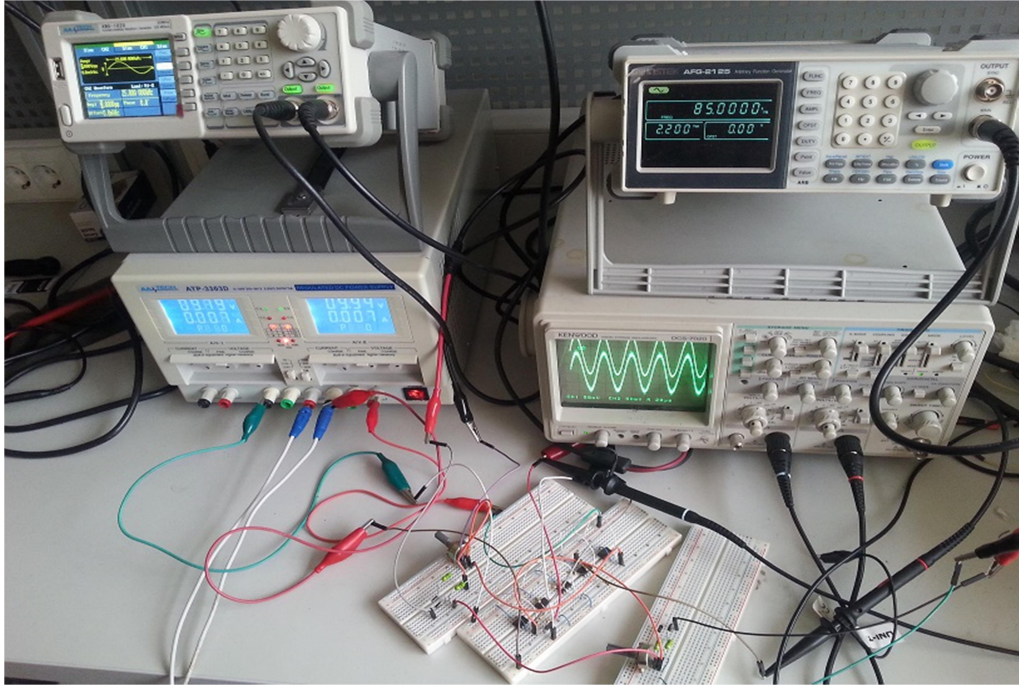
Bilgi sinyalinin çözülmesinde ufak da olsa bir kayıp söz konusudur. Bilgi kaybı, Şekil 6.91'deki gibi elde edilmiştir.



Şekil 6.91. Bilgi kaybı
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

6.16. Beslemeli Esir Devre Durumunda Sinyal Gizleme Devresi Deneysel Sonular

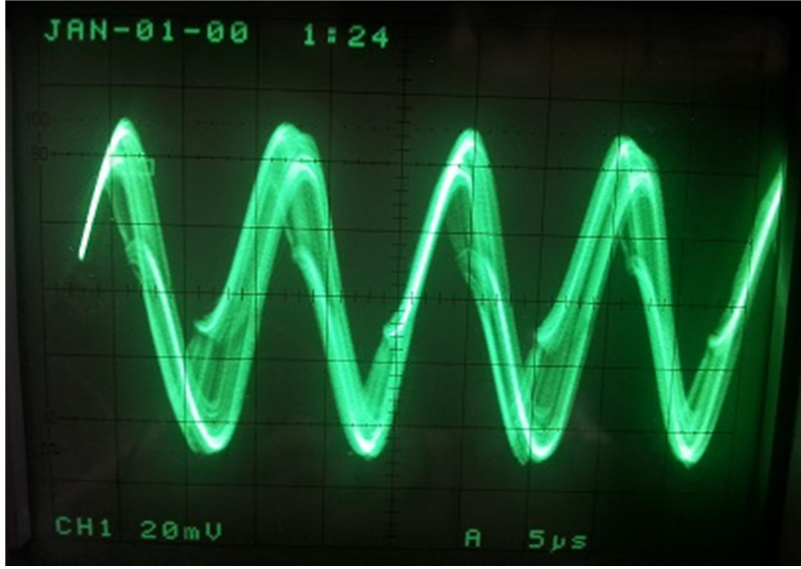
Beslemeli Esir Devre durumundaki eşzamanlılık devresine şekildeki gibi toplayıcı-terleyici ve ıkartma devrelerinin eklenmesiyle sinyal gizleme devresi elde edilmiştir. Bu devrelerdeki opamp beslemeleri için yine dc güç kaynağı kullanılmıştır. Ayrıca, sisteme bilgi sinyali verebilmemiz için esir devrenin beslendiği sinyal üretcinin ikinci kanalından belli bir frekans ve genlikte sinüzoidal sinyal alınmıştır.



Şekil 6.92. Beslemeli esir devre durumunda sinyal gizleme devresinin deneysel analizi

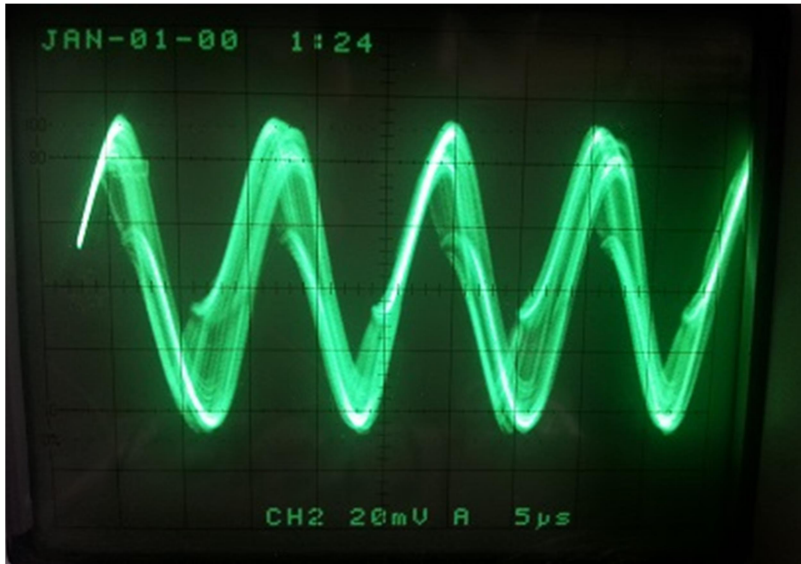
Şekil 6.92'deki gibi kurulan devrede hakim devreye giriş sinyali olarak 1 V ve 85 kHz; esir devreye de 1 V ve 70 kHz sinüzoidal sinyaller uygulanıp 25 kHz ve 1 V sinüzoidal bilgi sinyali gizlendi.

Hakim devre ıkışı, bilgi sinyalini gizleyebilmemiz için Şekil 6.93'deki gibi kaotik olarak elde edilmiştir. Giriş geriliminin frekans ve gerilim değeri küçük miktarlarda artırılıp azaltıldığında ya da potansiyometre değıştirildiğinde bu kaotik sinyalin periyodik bir sinyale dönüştüğü görülmüştür.



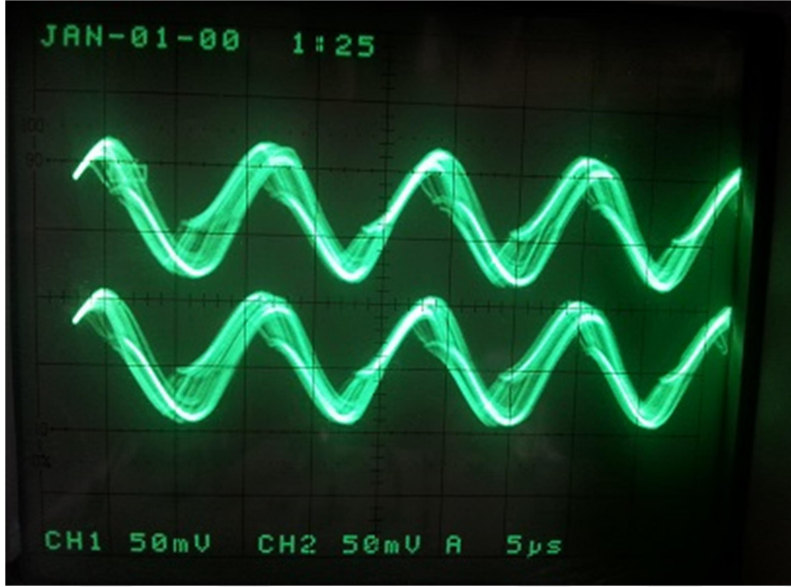
Şekil 6.93. Hakim devre çıkışı (Hakim devre giriş sinyali 85 kHz, 1 V)

Hakim devre çıkışına bağlı olarak elde ettiğimiz esir devre çıkışı Şekil 6.94'deki gibi gözlemlenmiştir. Görüldüğü gibi, esir devre çıkışı da doğal olarak kaotiktir. İki sinyal arasında eşzamanlılığın sağlanabildiğini de görebilmekteyiz.



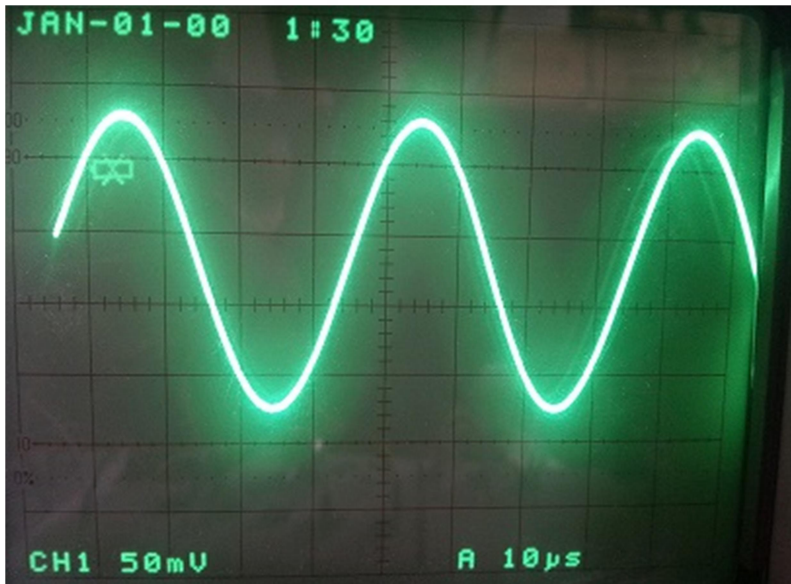
Şekil 6.94. Esir devre çıkışı (70 kHz, 1 V)

Hakim ve esir devre çıkışları, Şekil 6.95'de bir arada gösterilmiş ve eşzamanlılığın sağlandığı bir kez daha görülmüştür.



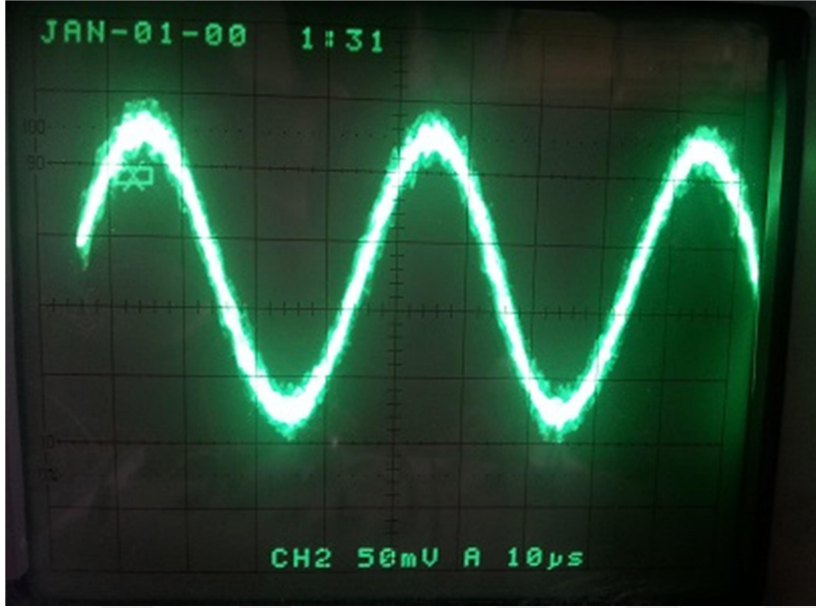
Şekil 6.95. Hakim-Esir devre çıkış gerilimleri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V)

Şekil 6.92’de kurulan devrede gizlemek istediğimiz bilgi sinyali Şekil 6.96’da verilmiştir.



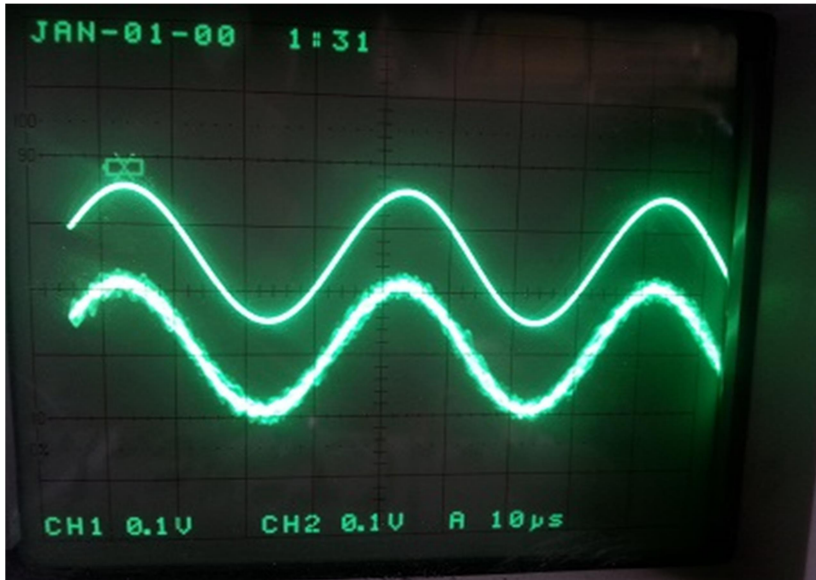
Şekil 6.96. Orijinal bilgi sinyali
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V; bilgi sinyali 25 kHz, 1 V)

Devrede çözölen bilgi sinyali, Şekil 6.97’deki gibi elde edilmiştir.



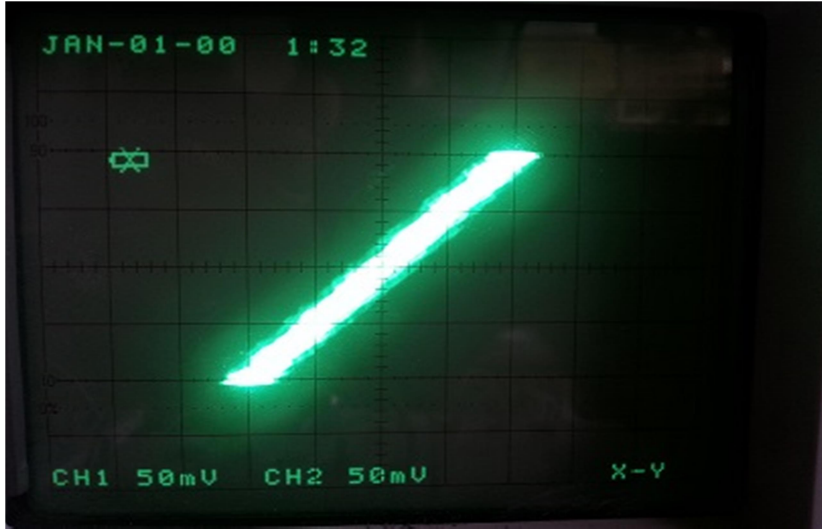
Şekil 6.97. Çözülen bilgi sinyali
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

Şekil 6.98'de orijinal ve çözülen bilgi sinyalleri bir arada gösterilmiştir. Görüldüğü gibi bilgi sinyali yaklaşık olarak çözülmüştür.



Şekil 6.98. Orijinal-çözülen bilgi sinyalleri
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)

Şekil 6.98’da verilen sinyaller için osiloskop xy konuma alındığında Şekil 6.99’deki görünüm elde edilmiştir. Bu görünüm, çözülen bilgi sinyalinin orijinal bilgi sinyaliyle tutarlılığını göstermektedir.



Şekil 6.99. Orijinal-çözülen bilgi sinyalleri xy görünümü
(Hakim devre giriş sinyali 85 kHz, 1 V; esir devre giriş sinyali 70 kHz, 1 V;
bilgi sinyali 25 kHz, 1 V)



7. SONUÇ

Bu çalışmada, güvenilir haberleşme sistemlerinde kullanılabilir yeni bir devre önerilmiştir. Adından da anlaşıldığı üzere R2L2D devresi, piyasada rahatlıkla bulabileceğimiz elemanlardan oluşturulmuştur. Giriş geriliminin bazı frekans ve genliklerinde bu devrenin kaotik sinyal ürettiği gözlenmiştir. Devrede değişken direnç olarak potansiyometre kullanılarak sinyalin periyodiklikten kaotikliğe geçişi belirlenebilmektedir. Hakim ve esir devreler olarak tanımladığımız iki R2L2D devresi kullanılarak eşzamanlılık devresi oluşturulmuş ve bu kaotik sinyallerle eşzamanlılığın sağlandığı görülmüştür. Bu eşzamanlılık devresi, bir haberleşme sistemine uygulanmıştır. Haberleşme sistemine verilen bilgi, hakim devreden elde edilen kaotik sinyalle toplanıp gizlenmiştir. Bu toplam sinyalden bilgiyi ayırmak için esir devresi kullanılmıştır. Hakim ve esir devreleri, bu durumu sağlamak için eşzamanlı olarak çalışmaktadır.

Yapılan çalışmalarda, eşzamanlılık devresini oluşturan hakim ve esir devre parametrelerinin tamamen aynı olmadan da eşzamanlılığın sağlandığı görülmüştür. Birinci durumda, hakim devrede herhangi bir parametre değişikliği yapılmadan esir devrede giriş gerilimi çıkarılarak iki devre arasında yine eşzamanlılık elde edilmiştir. İkinci durumda, yine hakim devrede herhangi bir değişiklik yapılmadan esir devrede farklı parametrelere sahip giriş gerilimi uygulanırsa yine iki devre arasında eşzamanlılık sağlanabilmektedir. Bu iki durumda oluşturduğumuz eşzamanlılık devreleri haberleşme sisteminde kullanıldığında sisteme verilen bilgi sinyallerinin çözülebildiği görülmüştür.

Kaotik çıkış veren farklı giriş gerilimlerinde bilgi sinyalinin çözülebilmek için deneysel olarak incelenmiş ve çözülebilmek eğrisi elde edilmiştir. Eğri, her frekans ve genlikteki bilgi sinyalinin çözülemeyeceğini göstermiştir. Bu eğriye bakılarak herhangi bir haberleşme sisteminin verimliliği test edilebilecektir.

Bazı alanlarda güvenli haberleşme sistemleri hayati önem taşımaktadır. Özellikle askeri alanda bilgilerin karşı tarafın eline geçmesi çok büyük sorunları beraberinde getirmektedir. Önerdiğimiz devre bunun gibi bilginin çalınmasının büyük sorunlar oluşturduğu alanlarda kullanılabilir. Hem ekonomik hem de basit yapıda olmasından dolayı güvenli haberleşme sistemlerinde tercih edilebilir.

Bu tez kapsamında önerilen devrenin kablolu haberleşme sistemlerinde kullanılabilceđi görölmüştür. Ayrıca kabloluya göre güvenlik zafiyeti olan kablosuz haberleşme sistemlerine de uyarlanabilceđi dolayısıyla güvenli kablosuz haberleşme sistemleri oluşturulmasına katkı sunabileceđi düşünölmektedir.

Sinyal gizleme devresinde kullanılan R2L2D devresi eleman değeri değiştirilip daha önce elde ettiđimiz bilgi sinyali çözülebilme aralıđından farklı çözülebilme aralıkları elde edilerek daha farklı aralıklarda çalışabilen haberleşme sistemleri oluşturulabileceđini öngörmekteyiz.



KAYNAKLAR

1. Pehlivan, İ. (2007). *Yeni Kaotik Sistemler: Elektronik Devre Gerçeklemeleri, Senkronizasyon ve Güvenli Haberleşme Uygulamaları*, Doktora Tezi, Sakarya Üniversitesi Fen Bilimleri Enstitüsü, Sakarya, 1-9, 104-108.
2. Chua, L.O. (1971). Memristor-the missing circuit element. *IEEE Transaction on Circuit Theory*, 18(5), 507-519.
3. Chua, L.O., Lin G.N. (1999). Canonical realization of Chua's circuit family. *IEEE Transaction on Circuits and Systems*, 37(7), 885-902.
4. Lorenz, E.N. (1963). Deterministic nonperiodic flow. *J. Atmospheric Sci.*, 20, 130-141.
5. Atan, Ö. (2014). *Bulanık Uyarlamalı Parçacık Sürü En İyileme Yöntem İle Kesir Dereceli Denetleyicilerin Kaos Tabanlı Haberleşme Sistemlerine Uygulanması*, Doktora Tezi, Fırat Üniversitesi Fen Bilimleri Enstitüsü, Elazığ, 2-3.
6. Hegger, R., H. G. Kantz and T.Schreiber, *Nolinear Time Series Analysis*, Cambridge University Press, 1997.
7. Oğraş, H. (2010). *Kaos Tabanlı Sayısal Haberleşme Sistemlerinin Benzetimi İçin Bir Grafik Kullanıcı Arabirimi Tasarımı*, Yüksek Lisans Tezi, Fırat Üniversitesi Fen Bilimleri Enstitüsü, Elazığ, 1-18.
8. Varan, M. (2009). *Kaotik Simülasyon Laboratuvarı Uygulaması*, Yüksek Lisans Tezi, Sakarya Üniversitesi Fen Bilimleri, Sakarya, 15-17.
9. Yaşar, S. (2012). *Simple Chaotic Systems*, Yüksek Lisans Tezi, Abant İzzet Baysal Üniversitesi Fen Bilimleri Enstitüsü, Bolu, 1-5.
10. Fen, M. O. (2013). *The Input/Output Mechanism Of Chaos Generation*, Doktora Tezi, Orta Doğu Teknik Üniversitesi Fen Bilimleri Enstitüsü, Ankara, 2-4.
11. Rapport, A., (2008). Lyapunov Exponents, *Dynamical Systems Seminar*, Weizmann Institute of Science, İsrail.
12. Alpar, O. (2012). *Kaos Teorisi ve Kaotik İşletme Uygulamaları*, Doktora Tezi, İstanbul Üniversitesi Sosyal Bilimler Enstitüsü, İstanbul, 1-2.
13. Özdemir, K. (2008). *Sürekli-Zamanlı Kaos İle Rastgele Sayı Üretici Tasarımı*, Yüksek Lisans Tezi, İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü, İstanbul, 14-17.
14. Uchida, A., Davis, P. and Itaya, S. (2003). Generation of Information Theoretic Secure Keys Using a Chaotic Semiconductor Laser. *Applied Physics Letters*, 83(15), 3213-3215.

15. Van Wiggeren, G.D., Roy, R. (1998). Communication with chaotic lasers. *Science*, 279, 1198-1200.
16. Kapitaniak, T. (1996). *Controlling Chaos*, (Academic Press, USA).
17. Stojanovski, T., Pihl, J., Kocarev, L. (2001). Chaos based random number generators Part II: Practical realization. *IEEE Transaction Circuits Systems I: Fundamental Theory and Applications*, 48(3), 382-385.
18. Tsubone, T., Saito, T. (1998). Hyperchaos from a 4-D manifold piecewise-linear system. *IEEE Transaction Circuits Systems I: Fundamental Theory and Applications*, 45(9), 889-894.
19. Linsay, P. S. (1981). Period doubling and chaotic behaviour in a driven anharmonic oscillator. *Physical Review Letters*, 47(19), 1349-1352.
20. Kurt, E., Ciylan, B., Taskan, O.O., Kurt, H.H. (2014). Bifurcation analysis of a resistor-double inductor and double diode circuit and a comparison with a resistor-inductor-diode circuit in phase space and parametrical responses. *Scientia Iranica* 21(3), 935-944.
21. Testa, J., Perez, J., Jeffries, C. (1982). Evidence for universal chaotic behaviour of a driven oscillator. *Physical Review Letters*, 48(11), 714-717.
22. Itoh, M., Chua, L.O. (2014). Dynamics of memristor circuits. *International Journal of Bifurcation and Chaos*, 24(5), 1430015.
23. Azzouz, A., Duhr, R., Hasler, M. (1983). Transition to chaos in a simple nonlinear circuit driven by a sinusoidal voltage source. *IEEE Transaction on Circuits and Systems*, 30(12), 913-914.
24. Su, Z., Rollings, R.W., Hunt, E.R. (1989). Universal properties at the onset of chaos in diode resonator systems. *Physical Review A*, 40(5), 2689-2697.
25. Van Buskirk, R, Jeffries, C. (1985). Observation of chaotic dynamics of coupled nonlinear oscillators. *Physical Review A*, 31, 3332-3357.
26. Huang, J.Y. and Kim, J.J. (1987). Type-II intermittency in a coupled nonlinear oscillator: Experimental observation. *Physical Review A*, 36(3), 1495-1497.
27. Kim, Y.H., Kim, J.J. (1994). Observation of quasiperiodicity in a single diode circuit. *Journal of the Korean Physical Society*, 27(2), 225-227.
28. Kasap, R., Kurt, E. (1998). Investigation of chaos in the RL-diode circuit by using the BDS test. *Journal of Applied Mathematics and Decision Sciences*, 2(2), 193-199.

29. Kurt, E., Acar, S., Kasap, R. (2000). A comparison of chaotic circuits from a statistical approach. *Mathematical Computational Applications Journal*, 5(2), 95-103.
30. Inaba, N., Nishio, Y., Endo (2011). Chaos via torus breakdown from a four-dimensional autonomous oscillator with two diodes. *Physica D*, 240(11), 903-912.
31. Manimehan, I., Philominathan, P. (2012). Composite dynamical behaviors in a simple series-parallel LC circuit. *Chaos, Solitons & Fractals*, 45(12), 1501-1509.
32. Kurt, E. ve Kasap, R. (2011). *Karmaşanın Bilimi Kaos*. Ankara/Türkiye: Nobel Yayınevi, 165-169.
33. Magistris, M. de, Bernardo, M. di, Manfredi S., Petrarca, C. and Yaghouti S. (2015). Modular experimental setup for real-time analysis of emergent behavior in networks of Chua's circuits. *International journal of Circuit Theory and Applications*, DOI: 10.1002/cta.2179
34. Yılmaz, S. (2012). *Stochastic Resonance In Chua's Circuit Driven By Alpha-Stable Noise*, Yüksek Lisans Tezi, İzmir Yüksek Teknoloji Enstitüsü, İzmir, 40-42.
35. Oğraş, H., Türk M., ve Oğraş S. Kaos Tabanlı Sayısal Csk ve Dsck Modülasyon Tekniklerinin Matlab/Simulink Ortamında Gerçekleştirilmesi. *4.İletişim Teknolojileri Ulusal Sempozyumu*, (2009).
36. Mulukutla, M., Aissi, C. Implementation of the Chua's circuit and its applications. *Proceedings of the 2002 ASEE Gulf-Southwest Annual Conference, Lafayette, USA, March 20-22, (2002)*.
37. İnternet: Chaudary, R.A. (2010). Chaos and R-L diode Circuit. *LUMS School of Science and Engineering*. 2010.
URL:http://rabiaaslam.weebly.com/uploads/7/1/4/3/7143240/chaos_in_rl-diode_circuit.pdf, Son Erişim Tarihi: 12.01.2015.
38. Kurt, E. (2006). Nonlinearities from a non-autonomous chaotic circuit with a non-autonomous model of Chua's diode. *Physica Scripta*, 74, 22-27.
39. İnternet: Alam J., Anwar S. (2010). Chasing Chaos with an RL-Diode Circuit. *LUMS School of Science and Engineering*.
URL:<http://wenku.baidu.com/view/ebffa2878762caaedd33d47c.html>, Son Erişim Tarihi: 12.01.2015.
40. Bozdağ, C.E. (1998). *Kaos Analizi: Bir Finansal Sektör Uygulaması*, Doktora Tezi, İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü, İstanbul, 52-65.
41. Pamuk, N. (2013). Dinamik Sistemlerde Kaotik Zaman Dizilerinin Tespiti. *Balikesir Üniversitesi Fen Bilimleri Enstitüsü Dergisi*, 15(1), 77-91.

42. Kurt, E. ve Cantürk M. (2009). Chaotic Dynamics of Resistively Coupled DC-driven Distinct Josephson Junctions and the Effects of Circuit Parameters. *Physica D*, 238(22), 2229-2237.
43. Yılmaz, D. ve Güler, N.F. (2006). Kaotik Zaman Serisinin Analiz Üzerine Bir Araştırma. *Gazi Üniversitesi Mühendislik Fakültesi Dergisi*, 21(4), 759-779.
44. Thompson, J.M.T., Bishop, S.R. (1994). *Nonlinearity and Chaos in Engineering Dynamics*, (John Wiley and Sons, UK).
45. Acır, N., A modified adaptive IIR filter design via wavelet networks based on Lyapunov stability theory. *Neural Computing and Applications*, 175, 463-469.
46. Kurt, E. ve Cantürk M. (2010). Bifurcations and Hyperchaos From a DC Driven Nonidentical Josephson Junction System. *International Journal of Bifurcation and Chaos*, 20(11), 3725-3740.
47. Kalman, R.E. (1963). Lyapunov functions for the problem of Lur'e in automatic control. *Proceedings of the National Academy Sciences*, 49(2), 201-205.
48. Mandelbrot, B.B. (1977). *Fractal: Form, chance, and dimension*, San Francisco: W.H.Freeman.
49. Yılmaz, D. (2007). *Kaos Teorisi Kullanılarak Damarlardaki Akış Hastalıklarının Tespiti*, Doktora Tezi, Gazi Üniversitesi Bilişim Enstitüsü, Ankara, 30-33.
50. Crawford, J.D. (1991). Introduction to bifurcation theory. *Review of Modern Physics*, 63(4), 991-992.
51. Kuru, L. (2005). *Nolineer Dinamik Yük İçeren Güç Sistemlerinde Hopf Çatallaşması Sonucu Oluşan Kaotik Olayların Gerilim Kararlılığına Etkileri*, Doktora Tezi, Sakarya Üniversitesi Fen Bilimleri Enstitüsü, Sakarya, 32-36.
52. Çavuşoğlu, Ü., Uyaroğlu, Y., ve Pehlivan İ. (2014). Sürekli Zamanlı Otonom Kaotik Devre Tasarımı ve Sinyal Gizleme Uygulaması. *Gazi Üniversitesi Mühendislik Fakültesi Dergisi*, 29(1), 79-87.
53. Pecora, L.M, Carroll, T.L. (1990). Synchronization in chaotic systems. *Physical Review Letters*, 64(8), 821-824.
54. Pecora, L.M., Carroll, T.L., Johnson, G.A. ve Mar, D.J. (1997). Fundamental of synchronization in chaotic systems, concepts and applications. *Chaos*, 7(4), 520-543.
55. Pecora, L.M. (1990). Synchronization of oscillators in complex networks. *Paramana-Journal of Physics*, 70(6), 1175-1198.
56. Tam, W.M., Lau, F.C.M. and Tse, C.K. (2006). *Digital Communication with Chaos*, Elsevier, UK.

57. Alvarez, G., Montoya, F., Pastor, G. and Romera, M. (1999). Chaotic cryptosystems. *International Journal of Bifurcation and Chaos*, 9, 332-338.
58. Cuomo, K.M., Oppenheim, A.V. and Strogatz, S.H. (1993). Synchronization of Lorenz based chaotic circuits with applications to communications. *IEEE Transaction on Circuits and Systems*, 40, 626-633.
59. Dedieu, H., Kennedy, M.P. and Hasler M. (1993). Chaos shift keying: modulation and demodulation of a chaotic carrier using self-synchronizing Chua's circuits. *IEEE Transaction on Circuits and Systems*, 2(40), 634-642.
60. Tao, Y., (2004). A survey of chaotic secure communication systems. *International Journal of Computational Cognition*, 2(2),81-130.
61. Yang, T., and Chua, L.O. (1996). Secure communication via chaotic parameter modulation. *IEEE Transaction on Circuits and Systems*, 1(43), 817-819.
62. Wu, C.W. and Chua, L.O. (1994). A simple way to synchronize chaotic systems with applications to secure communication systems. *International Journal of Bifurcation and Chaos*, 3, 1619-1627.
63. Short, K. (1996). Unmasking a modulated chaotic communications scheme. *International Journal of Bifurcation and Chaos*, 6(2), 367-375.
64. Yang T. and Chua L.O. (1996, Aug.7). *On cryptanalyzing chaotic secure communication*. Proceedings of the Second Little Workshop on Spectrum Communication and Chaos, organized by The Chaos Communication Collective, Hughes Room, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley.
65. Yang T., Yang, L.B. and Yang C.M. (1998). Application of neural networks to unmasking chaotic secure communication. *Physica D*, 124(1), 248-257.
66. Yang T., Yang, L.B. and Yang C.M. (1998, May 5). Breaking chaotic secure communication using a spectrogram. *Physics Letters A*, 247(1), 105-111.
67. Yang T., Yang, L.B. and Yang C.M. (1998, Aug 31). Cryptanalyzing chaotic secure communication using return maps. *Physics Letters A*, 245(6), 495-510.
68. Wu, C.W., Yang, T. and Chua L.O. (1996). On adaptive synchronization and control of nolinear dynamical systems. *International Journal of Bifurcation and Chaos*, 6(3), 455-471.

69. Yang L.B. and Yang, T. (1997, Jan.). Synchronization of Chua's circuits with parameter mismatching using adaptive model-following control. *Chinese Journal of Electronics*, 6(1), 90-96.
70. Tianfang Cai, Tianxing Cai, C.T. Zhou and M. Y. Yu (2002) . Encryption Using Two Non-Identical Chaotic Systems. *Physica Scripta*, 66, 187-192.
71. Carroll, T. L., Pecora L. M. (1994). Synchronizing chaotic circuits, in Proceeding American Institute Physics Conference, 127-136.
72. Stavroulakis, P. (2006). Chaos Applications in Telecommunications, *Taylor & Francis Group*.





EKLER

EK-1. Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

A NEW SWEEP UP /DOWN PHENOMENON BETWEEN THE CHAOTIC AND REGULAR REGIONS IN A NEW R2L2D CIRCUIT

EROL KURT
Department of Electrical and Electronics
Engineering, Technology Faculty, Gazi University,
Teknikokullar, TR-06500, Ankara, Turkey
+905335251845
ekurt52tr@yahoo.com

CİHAN BİNGÖL
Institute of Sciences, Gazi university
Teknikokullar, TR-06500, Ankara, Turkey
+905305823425
chnbngl85@gmail.com

ABSTRACT

In this paper, we report a new and strange phenomena, which is encountered in a newly-developed circuit, namely R2L2D circuit. This new phenomena, which we called as the "sweep up/down effect" has been observed when the successive dynamic responses of the circuit have been explored by only adjusting the peak-to-peak amplitudes V_{pp} at a constant feeding frequency, namely $f=65$ KHz. In one of our recent paper [Kurt, et al, 2014], this new circuit has been explored for a wide feeding amplitude and frequency regimes, whereas this effect has not been recognized at that time due to the lack of sensitivity. However, the detailed observations prove that the sweep up/down effect governs the identification of the dynamics in terms of periodic and chaotic regimes. Thus it gives a kind of uncertainty region at the threshold of the regimes depending on the feeding voltage increase or decrease. Besides, for a certain system parameter, i.e. V_{pp} , the chaotic and periodic region co-exists phenomenologically. This effect becomes vital for the synchronization and encryption studies in the sense that the decrease/increase in amplitude certainly yield to regular or chaotic behavior in the output. In addition, the transitions from regular regime to the chaotic one or vice-versa takes place without any period doubling procedure apart from the traditional observations.

Keywords

sweep up; sweep down; voltage; period doubling; regular; chaotic; RLD circuit.

1. INTRODUCTION

Nonlinear electrical circuits are of great interest due to their wide application areas in engineering and natural sciences [1-8]. While the researchers mainly focus on the encryption, signal masking and synchronization studies, another motivation comes from the understanding of chaos phenomena in this manner [5-12].

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee.
ICEMIS'15, September 24–26, 2015, İstanbul, Turkey.
Copyright 2015 ACM 978-1-4503-3418-1/15/09...\$15.00.
DOI: <http://dx.doi.org/10.1145/2832987.2833027>

Following the invention of chaos in the basic electrical circuit RLD by Linsay [12], the generation of the chaotic behavior in those circuits have been a popular research topic [Kurt, Testa, Chua]. Historically, the first observations of Linsay [12] and Testa [14] on the RLD circuit proved that a certain periodic steady state behavior with the same period as the voltage source occurs as long as the source amplitude V is sufficiently small. However, if a certain feeding amplitude V is adjusted to the input, the actual period of the steady state periodic output doubles. Thus for V values, just above the critical voltage, the output voltage over the resistor indicates a $1/2$ subharmonic, so called "bifurcation". When V is increased further, an entire sequence of period-doubling bifurcations have been observed such as $1/4$, $1/8$, $1/16$ subharmonics. At the end of certain bifurcations, the previous steady state cannot be observed anymore. In fact, the output signals are chaotic except for some small transient periodic regimes. The odd subharmonics have also been observed for increasing V in this circuit [12,14]. Azzouz et al carried out a theoretical exploration on the same circuit for the identification of the subharmonic features [16]. They modeled the diode as a varactor diode and observed even and odd subharmonics. They also emphasized the effect of nonlinear diode capacitance rather than the effect of sharp delay [16]. There exists a number of different studies realized with this circuitry in order to shed a light on the route to chaos in terms of the successive bifurcations, which take place just before the chaotic regime [17-20]. In addition, the ordinary RLD circuit has been considered a good circuitry for the determination of so-called "Feigenbaum parameters", which explains a universal recurrence relation of the trajectories in the bifurcation map [14-18]. It was proved that the bifurcation map obtained from the RLD circuit exhibits an ideal cycle with the Feigenbaum parameter $=4.669$.

The RLD circuit has been used for both the determination of bifurcation and the quasi-periodicity [18-20]. From the point of time series analysis, some remarkable studies on the output voltages of the RLD circuit have been carried out. For instance, one author of this paper used a statistical test to evaluate the nonlinear responses of the RLD circuit by introducing an embedding dimension [21-22]. Thereby a classification of the output signals was realized in a statistical manner.

Although different orientations of RLD circuits have been studied in the recent years [Kurt et al, 23,24], there is not any report on the sweep up/down effect, where the voltage increase/decrease direction (i.e. sweep up/down) affects the dynamic regime.

EK-1. (devam) Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

Besides, a sudden transition occurs between the chaotic and periodic regimes in the present circuitry.

In one of our recent paper [Kurt *et al.*, 2014], the dynamic behavior of the forward and reversed biased diode systems (i.e. R2L2D circuit) have been discussed for a wide parametric region (i.e. on the $V-f$ plane) with less sensitive internal. In the same study, a bifurcation analysis based on the manifold theory has also been presented in order to determine the bifurcation characteristics on the route to chaos in R2L2D circuit. In the same paper, the importance of the input signal frequency f and the resistor R is also emphasized for the bifurcation map of the system and a wider chaotic region has been observed in the new circuitry compared to the traditional RLD circuit starting from $f=40$ KHz, when the appropriate V is adjusted from the input. However the phenomenon reported in the present paper has not been recognized in previous study due to the lack of sufficient sensitivity.

The paper is organized as follows: Section 2 briefly describes the proposed circuit and presents the experimental details for the observation of the observed phenomenon. The main experimental results are discussed in Section 3. Finally the paper ends with a brief conclusion on the main findings.

1. R2L2D CIRCUIT

2.1. Theoretical Background

The proposed R-2L-2D circuit is shown in Fig. 1. The voltage equality of the circuit can be stated as follows:

$$V_R + V_{LD} = V, \quad (1)$$

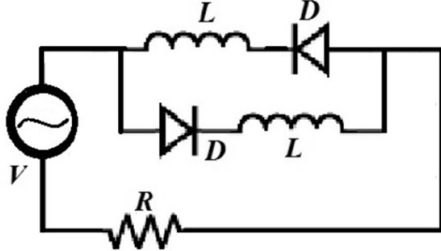


Figure 1. The R2L2D circuit with input voltage $V=V_0 \sin(\omega t)$

where V_{LD} denotes the voltage over the inductor and diode. As seen in Fig. 1., the diodes are inversely attached to the inductors in each branch. While current I from the main branch is divided into I_1 and I_2 on each branch, the negative and positive alternates of the sinusoidal voltage pass through the branches over the entire period. Therefore,

$$\begin{aligned} V_{LD} &= V_{D1} + L \frac{dI_1}{dt} \\ V_{LD} &= V_{D2} - L \frac{dI_2}{dt} \end{aligned} \quad (2)$$

can be written. Considering Fig.1 and the equations above, one arrives at

$$\begin{aligned} \frac{dI_1}{dt} &= \frac{V_{D1}}{L} + \frac{V}{L} \sin(\omega t) - \frac{R}{L} (I_1 + I_2), \\ \frac{dI_2}{dt} &= \frac{V_{D2}}{L} + \frac{V}{L} \sin(\omega t) - \frac{R}{L} (I_1 + I_2). \end{aligned} \quad (3)$$

Here I_1 and I_2 denote the branch currents and $I = I_1 + I_2$ is valid. Note that V_{D1} and V_{D2} are used for the voltages over the diodes. Strictly speaking they can be written as,

$$\begin{aligned} V_{D1} &= \frac{kT}{e} \ln(I_1/I_S + 1), \\ V_{D2} &= \frac{kT}{e} \ln(I_2/I_S + 1), \end{aligned} \quad (4)$$

so that the nonlinear behavior of the diodes is important for the dynamics of the circuits [Kurt *et al.*, 2014]. Here a saturation current term I_S is also included as a characteristic feature of the diode (i.e. $I_S = 2.55$ nA for 1N4007 diode). The dimensionless form of the equation system can be written as,

$$\begin{aligned} \frac{dI_1}{dt'} &= \frac{kT}{eL} \ln(I_1/I_S + 1) + \frac{V}{L} \sin(\Omega t') - \frac{R}{L} (I_1 + I_2), \\ \frac{dI_2}{dt'} &= \frac{kT}{eL} \ln(I_2/I_S + 1) + \frac{V}{L} \sin(\Omega t') - \frac{R}{L} (I_1 + I_2). \end{aligned} \quad (5)$$

Here time scaling $t' = \tau t$ can be considered and τ is determined by the circuit elements characteristics such as $\tau = L/R$. Here, τ represents the natural period of the circuit and it can not be related to the period of applied voltage V . In addition $\Omega = \omega/\tau = \omega R/L$.

2.2. Experimental

The experimental setup has been constructed according to Fig. 1. The resistance and the inductor values are $R=1$ k Ω and $L=10$ mH, respectively. 1N4007 diodes are used in the experiments. The circuit has been driven by a GW Instek AFG-2125 function generator by supplying a sinusoidal feeding with an adjustable frequency f and an amplitude V . For the circuit measurements and phase space observations, a Kenwood DCS-7020 oscilloscope has been used.

In the proposed circuit, the diodes become parallel to each other. Thus, while the current passes through one of the diodes in one direction, the other one does not allow the current. The current always flows through one of the diodes for any f values. This situation causes a finite voltage on R for the entire period of the circuit with the influence of voltage V_{LD} . Besides, the period doubling can also be observed while different V and f values have been applied to the circuit input.

During the parameter scan, a number of period doubling behaviors have been observed as in the ordinary RLD circuit. For this specific observation, the voltage increment step is adjusted to $\Delta V = 0.001 V$ and the frequency has been kept constant to some values such as $f=60$ kHz, $f=65$ kHz and $f=80$ kHz to give better sensitivity on the input voltage exploration in the present paper. However the behavior for entire $V-f$ plane can be obtained from Ref. [Kurt *et al.*, 2014] for lower resolution.

3. RESULTS AND DISCUSSION

Initially, three representative attractors from the periodic, quasi-periodic and chaotic regimes are presented in Figure 2-4. Figure 2 shows the characteristic periodic attractor having a "sweet package" form. Note that x and y axes are the input voltage V and

Ek-1. (devam) Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

voltage over R , V_R , respectively. This periodic form shows a period two (2P) regime with two trajectories.

When V is increased up to $V_{pp} = 6.47$ at the same frequency, the attractor in Figure 3 is obtained. This attractor mainly gives a quasi-periodic regime, which appears just before the chaotic one. The trajectories change from the attractor in Figure 2, substantially. However still some trajectories can be seen clearly as the indicator of the quasi-periodic regime.

A sample chaotic attractor can be shown in Figure 4. This chaotic regime can be obtained for a moderate voltage and higher f values. Note especially the intense points inside the trajectories, which represents the chaotic output.

After a survey among different dynamical regimes, the sweep up/down phenomenon, which is encountered in this basic circuit can be clarified in detail. Figure 5 shows the sweep up/down effect with both the directions of voltage increase/decrease and the responses of the system.

The diagram shows various attractors at the left and right hand side of the diagram. The left column corresponds to the case where the input voltage V has been gradually increased by high sensitivity via $\Delta V = 1$ mV (i.e. sweep up). On the other hand, the right column corresponds to the case where V has been decreased (i.e. sweep down) in the same manner.

If V is increased from the value such as $V = 6.500$ V, the dynamics goes to the chaotic regime as indicated at the lower attractor of the left panel. According to the detailed analyzes, this chaotic regime survives until we arrive at $V = 7.179$. After very small interval, this regime suddenly changes to a regular one as shown in the attractor located at the top of the left panel. As one recognizes clearly from the attractor, chaos is certainly obtained for $V = 6.963$ V. When V is increased to $V = 7.180$, a sudden periodic attractor with 2P appears.

Since we arrive at $V = 7.250$ V, the sweep down case can be adjusted to the circuit just by adjusting lower input voltages. When the voltage is gradually decreased, the periodic attractor still persists till $V = 6.891$ V as seen in the third attractor from the top at the right panel. Note that the types of the attractors are same for $V = 7.020$ V, $V = 6.963$ V and $V = 6.891$ V according to the attractors at the top of the right panel and the second one from the top of the right panel. In fact, period 2 (2P) regime continues till $V = 6.877$ V. The chaotic regime appears suddenly at $V = 6.878$ V.

Considering both sweep up and down cases, the chaotic region comes later from the value which is observed at the sweep up case. In addition, the periodic region appears for lower values (i.e. till $V = 6.891$ V) at sweep down case compared to the sweep up case, which is observed at $V = 7.180$. Thus, one can not directly say that the regime for a certain region of input voltages (for instance, $V = 6.963$ V) is chaotic or periodic. Therefore it is a co-existence point which disables one to identify the real regime. Thereby, the direction of the voltage adjustment plays a significant role to identify the dynamic regime in the system.

Another interesting point is that the circuit indicates a sudden transition between the chaotic and periodic regimes. We believe that this sweep up/down effect and the sudden transition in this circuit may shed a light to understand the strange behavior behind chaos in order to make much efficient synchronized circuits in the future.

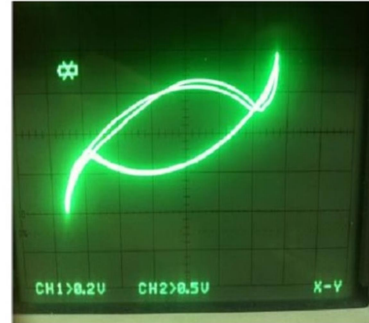


Figure 2. A representative "sweet package" formed attractor from the R2L2D circuit. The input parameters are $V_{pp} = 1.49$ V and $f = 60$ kHz.

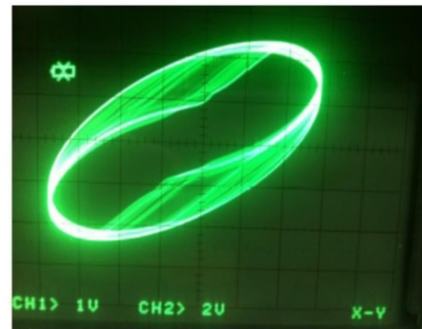


Figure 3. A representative quasi-periodic attractor from the R2L2D circuit. The input parameters are $V_{pp} = 6.47$ V and $f = 60$ kHz.

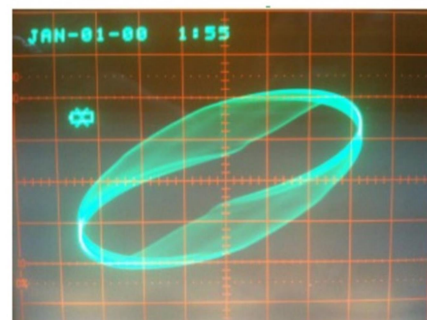


Figure 4. A chaotic attractor from the R2L2D circuit. The input parameters are $V_{pp} = 3.379$ V and $f = 80$ kHz.

Ek-1. (devam) Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

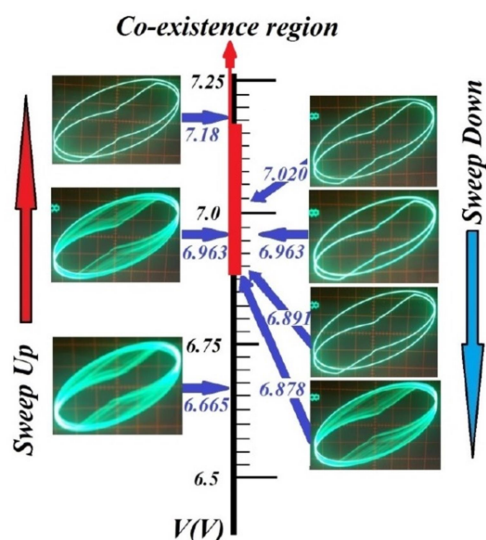


Figure 5. The sweep up/down diagram from the R2L2D circuit.
The input frequency $f = 65$ kHz.

4. CONCLUSIONS

A new sweep up/down phenomenon, which has been encountered in a recently developed R2L2D circuit has been reported. While chaotic region is observed till $V = 7.17$ V in the sweep up case, it appears at lower values than $V = 6.88$ V in the sweep down case. Thus a certain region (i.e. co-existence region) with $\Delta V = 0.29$ V wide skips between threshold of regular and chaotic regimes. This situation proves that the direction of the voltage adjustment is vital in order to determine the dynamics inside the coexistence region. This sweep up/down effect can be important issue for the synchronization and cryptography studies, where the parametric adjustment is utilized frequently.

5. ACKNOWLEDGMENTS

This part should come before References. Funding information may also be included here.

6. REFERENCES

- [1] Kurt, E. & Canturk, M. [2010] "Bifurcations and hyperchaos from a dc driven non-identical Josephson junction system", *Int. J. Bif. Chaos* 20(11), pp. 3725-3740.
- [2] Kurt, E. & Canturk, M. [2009] "Chaotic dynamics of resistively coupled DC-driven distinct Josephson junctions and the effects of circuit parameters", *Physica D: Nonl. Phen.* 238(22), pp. 2229-2237.
- [3] Kurt, E. [2006] "Nonlinearities a non-autonomous chaotic circuit with a non-autonomous model of Chua diode", *Phys. Scr.* 74, pp. 22-27.
- [4] Kurt, E., Ozturk, M.K. and Kasap, R. [2001] "Investigating the most appropriate parameters of the non-linear resistor circuit time series", *J. Inst. Sci. & Tech. Gazi Uni.* 14(4), pp. 1261-1269.
- [5] Thompson, J.M.T. & Bishop, S.R. [1994] *Nonlinearity and Chaos in Engineering Dynamics*, (John Wiley and Sons, UK).
- [6] Kennedy, M.P., Rovatti, R. & Setti, G. (edited by Raton, B.) [2000] *Chaotic Electronics in Telecommunications*, (CRC Press, USA).
- [7] Uchida, A., Davis, P. & Itaya, S. [2003] "Generation of information theoretic secure keys using a chaotic semiconductor laser", *Appl. Phys. Lett.* 83(15), pp. 3213-3215.
- [8] van Wiggeren, G.D. and Roy, R. [1998] "Communication with chaotic lasers", *Science* 279, pp. 1198-1200. Dana, S.K., Sengupta, D. & Edoh, K. [2001] "Chaotic dynamics in Josephson junction", *IEEE Trans. Circuits Systems I: Fund. Theory and Appl.* 48(8), pp. 990-996.
- [9] Kapitaniak, T. [1996] *Controlling Chaos*, (Academic Press, USA).
- [10] Stojanovski, T., Pihl, J. & Kocarev, L. [2001] "Chaos based random number generators Part II: Practical realization", *IEEE Trans. Circuits Systems I: Fund. Theory and Appl.* 48, pp. 382-385.
- [11] Tsubone, T. & Saito, T. [1998] "Hyperchaos from a 4-D manifold piecewise-linear system", *IEEE Trans. Circuits Systems I: Fund. Theory and Appl.* 45, pp. 889-894.
- [12] Linsay, P. S. [1981] "Period doubling and chaotic behaviour in a driven anharmonic oscillator", *Phys. Rev. Lett.* 47, pp. 1349-1352.
- [13] Kurt, E., Ciylan, B., Taskan, O.O. & Kurt, H.H. [2014] "Bifurcation analysis of a resistor-double inductor and double diode circuit and a comparison with a resistor-inductor-diode circuit in phase space and parametrical responses", *Scientia Iranica* 21(3), pp. 935-944.
- [14] Testa, J., Perez, J. & Jeffries, C. [1982] "Evidence for universal chaotic behaviour of a driven oscillator", *Phys. Rev. Lett.* 48, pp. 714-717.
- [15] Itoh, M. & Chua, L.O. [2014] "Dynamics of memristor circuits", *Int. J. Bif. Chaos* 24(5), 1430015.
- [16] Azzouz, A., Duhir, R. & Hasler, M. [1983] "Transition to chaos in a simple nonlinear circuit driven by a sinusoidal voltage source", *IEEE Trans. Circuits Systems* 30(12), pp. 913-914.
- [17] Su, Z., Rollings, R.W. & Hunt, E.R. [1989] "Universal properties at the onset of chaos in diode resonator systems", *Phys. Rev. A* 40(5), pp. 2689-2697.
- [18] van Buskirk, R. & Jeffries, C. [1985] "Observation of chaotic dynamics of coupled nonlinear oscillators", *Phys. Rev. A* 31, pp. 3332-3357.

EK-1. (devam) Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

- [19] Huang, J.Y. & Kim, J.J. [1987] "Type-II intermittency in a coupled nonlinear oscillator: Experimental observation", *Phys. Rev. A* 36(3), pp. 1495-1497.
- [20] Kim, Y.H. & Kim, J.J. [1994] "Observation of quasiperiodicity in a single diode circuit", *J. Korean Phys. Soc.* 27(2), pp. 225-227
- [21] Kasap, R. & Kurt, E. [1998] "Investigation of chaos in the RL-diode circuit by using the BDS test", *J.Appl. Math. Decision Sci.* 2(2), pp. 193-199.
- [22] Kurt, E., Acar, S. & Kasap, R. [2000] "A comparison of chaotic circuits from a statistical approach", *Math. Comp. App. J.* 5(2), pp. 95-103.
- [23] Inaba, N., Nishio, Y. & Endo [2011] "Chaos via torus breakdown from a four-dimensional autonomous oscillator with two diodes", *Physica D* 240(11), pp. 903-912.
- [24] Manimehan, I. & Philominathan, P. [2012] "Composite dynamical behaviors in a simple seriesparallel LC circuit", *Chaos, Solit. Fractals* 45(12), pp. 1501-1509.

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, Adı : BİNGÖL, Cihan
 Uyuğu : T.C.
 Doğum tarihi ve yeri : 10.01.1985, Erzurum
 Medeni hali : Bekar
 Telefon : 0 (530) 582 34 25
 e-mail : cihan.bingol@gazi.edu.tr



Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Yüksek lisans	Gazi Üniv. /Elektrik-Elektronik Müh.	Devam Ediyor
Lisans	İstanbul Üniv. /Elektrik-Elektronik Müh	2010
Lise	Erzurum Atatürk Lisesi	2005

İş Deneyimi

Yıl	Yer	Görev
2012-Halen	Ankara Valiliği	Mühendis

Yabancı Dil

İngilizce

Yayınlar

1. Bingöl, C., Kurt, E., " A New Sweep Up/Down Phenomenon between the Chaotic and Regular Regions in a New R2L2D Circuit " , *The International Conference on Engineering & MIS 2015*, İstanbul, Turkey, (2015).

Hobiler

Gezmek, spor



GAZİ GELECEKTİR...