

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI

YÜKSEK LİSANS TEZİ

Muhammed Musa CULUM

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

NİSAN 2025

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI

YÜKSEK LİSANS TEZİ

**Muhammed Musa CULUM
(504211217)**

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

Tez Danışmanı: Prof. Dr. İsmail Serdar ÖZOĞUZ

NİSAN 2025

ISTANBUL TECHNICAL UNIVERSITY ★ GRADUATE SCHOOL

MEMRISTOR BASED NEUROMORPHIC CIRCUIT DESIGN



M.Sc. THESIS

**Muhammed Musa CULUM
(504211217)**

Department of Electronic and Communication Engineering

Electronic Engineering Programme

Thesis Advisor: Prof. Dr. İsmail Serdar ÖZOĞUZ

APRIL 2025

İTÜ, Lisansüstü Eğitim Enstitüsü'nün 504211217 numaralı Yüksek Lisans öğrencisi Muhammed Musa CULUM, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI” başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Prof. Dr. İsmail Serdar ÖZOĞUZ**
İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Prof. Dr. Ece Olcay GÜNEŞ**
İstanbul Teknik Üniversitesi

Prof. Dr. Umut Engin AYTEN
Yıldız Teknik Üniversitesi

Teslim Tarihi : **7 Şubat 2025**
Savunma Tarihi : **29 Nisan 2025**





Aileme,



ÖNSÖZ

Tez çalışmam sırasında bana rehberlik eden Prof. Dr. İsmail Serdar ÖZOĞUZ'a teşekkürlerimi sunarım. Bu süreçte bana destek olan sevgili aileme, hocalarıma ve arkadaşlarıma minnettarım.

Nisan 2025

Muhammed Musa CULUM



İÇİNDEKİLER

	<u>Sayfa</u>
ÖNSÖZ	ix
İÇİNDEKİLER	xi
KISALTMALAR	xiii
SEMBOLLER	xv
ÇİZELGE LİSTESİ	xvii
ŞEKİL LİSTESİ	xx
ÖZET	xxi
SUMMARY	xxv
1. GİRİŞ	1
1.1 Tezin Amacı	2
1.2 Literatür Araştırması	2
2. MEMRİSTÖR	5
2.1 Memristör Hakkında Genel Bilgiler	5
2.2 Memristör Modelleri	6
2.2.1 HP memristör modeli (doğrusal iyon sürüklemeli model)	6
2.2.2 Michigan üniversitesi memristör modeli	7
2.2.3 Yakopcic memristör modeli	8
3. NÖROMORFİK DEVRELER	9
3.1 Sinaps	9
3.1.1 Memristör tabanlı sinaps devreleri	9
3.2 Nöron	10
3.2.1 Hodgkin-Huxley modeli	10
3.2.2 Hindmarsh-Rose modeli	11
3.2.3 Izhikevich modeli	12
3.2.4 Tut ve ateşle modeli	12
3.3 Yapay Sinir Ağları	13
3.3.1 İğnecikli olmayan sinir ağları	13
3.3.2 İğnecikli sinir ağları	15
3.3.3 Sinir ağlarında öğrenme	16
3.3.3.1 Denetimli öğrenme	16
3.3.3.2 Denetimsiz öğrenme	17
3.3.3.3 Pekiştirmeli öğrenme	17
3.3.4 Sinir ağlarının donanımsal gerçeklemelerinde eğitim	17
3.3.4.1 Ex situ eğitim	17
3.3.4.2 İn situ eğitim	18
4. MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI	19
4.1 Memristör Modelinin Seçimi ve Simülasyonu	19
4.2 İğnecikli Olmayan Sinir Ağı Tasarımı ve Simülasyonu	21
4.2.1 XOR fonksiyonu ve nöromorfik devre gerçeklemesi	21
4.2.2 Çift eşlik biti üretici ve nöromorfik devre gerçeklemesi	27
4.2.3 Çift eşlik biti kontrol edici ve nöromorfik devre gerçeklemesi	30
4.2.4 İris verilerini sınıflandıran nöromorfik devre gerçeklemesi	34
5. SONUÇ VE ÖNERİLER	39
KAYNAKLAR	41

ÖZGEÇMİŞ	45
-----------------------	-----------



KISALTMALAR

HP : Hewlett Packard
XOR : Özel Veya (Exclusive OR)





SEMBOLLER

ϕ	: Manyetik akı
M	: Memristans
q	: Elektriksel yük
R	: Direnç değeri
μ_v	: İyon hareketliliği
t	: Zaman
I	: Akım
V	: Gerilim
Ω	: Ohm



ÇİZELGE LİSTESİ

Sayfa

Çizelge 4.1: İris çiçeği sınıflandırması.....	34
--	-----------





ŞEKİL LİSTESİ

	<u>Sayfa</u>
Şekil 2.1: Memristörün gerilim akım düzlemindeki histerezis döngüsü.....	5
Şekil 2.2: HP memristörünün pozitif ve negatif gerilim altındaki davranışı [19].	6
Şekil 3.1: (a) Bir memristörlü sinaps; (b) İki memristörlü sinaps [22].	9
Şekil 3.2: (a) İki memristörlü iki dirençli sinaps devresi; (b) Dört memristörlü sinaps devresi [23].	10
Şekil 3.3: Hodgkin-Huxley modeli eşdeğer devresi.	11
Şekil 3.4: Hodgkin-Huxley modeli memristör tabanlı eşdeğer devresi [25]. ...	11
Şekil 3.5: Hindmarsh-Rose modeli memristör tabanlı eşdeğer devresi [28]. ...	12
Şekil 3.6: Izhikevich modeli memristör tabanlı eşdeğer devresi [30].	12
Şekil 3.7: Sızdırmalı Tut ve Ateşle modeli memristör tabanlı eşdeğer devresi [32].	13
Şekil 3.8: İğnecikli olmayan sinir ağlarında bir nöronun davranışı.	14
Şekil 3.9: Çok katmanlı iğnecikli olmayan sinir ağı.	14
Şekil 3.10: İğnecikli olmayan sinir ağında kullanılmak için tasarlanmış memristör tabanlı sinaps ve nöron devresi [33].	15
Şekil 3.11: İğnecikli sinir ağlarında bir nöronun davranışı.	15
Şekil 3.12: Çok katmanlı iğnecikli sinir ağı.	16
Şekil 3.13: Denetimli öğrenme diyagramı.	17
Şekil 4.1: Memristör test devresi şematiği.	19
Şekil 4.2: Memristör devresi simülasyon sonucu.	19
Şekil 4.3: Yakopcic modeli kodu [38].	20
Şekil 4.4: İğnecikli olmayan sinir ağı için tasarlanmış bir nöron davranışını gösteren devre şematiği.	21
Şekil 4.5: XOR fonksiyonu doğruluk tablosu.	22
Şekil 4.6: XOR fonksiyonu için tasarlanan iğnecikli olmayan sinir ağı.	22
Şekil 4.7: XOR fonksiyonunu gerçeklemek için tasarlanan iğnecikli olmayan sinir ağı devresinin şematiği.	23
Şekil 4.8: Devrede hataların kodlandığı D flip flop yapısı.	24
Şekil 4.9: Devrede kullanılan sayıcı yapısı.	25
Şekil 4.10: XOR fonksiyonunu gerçeklemek için tasarlanan devrenin giriş ve çıkışlara göre simülasyon sonuçları.	26
Şekil 4.11: Çift eşlik biti üreticinin doğruluk tablosu.	27
Şekil 4.12: Çift eşlik biti üretici için tasarlanan sinir ağı yapısı.	27
Şekil 4.13: Çift eşlik biti üretici için tasarlanan iğnecikli olmayan sinir ağı devresinin şematiği.	28
Şekil 4.14: Çift eşlik biti üretici için tasarlanan devrenin simülasyon sonuçları.	29
Şekil 4.15: Çift eşlik biti kontrol edicinin doğruluk tablosu.	31
Şekil 4.16: Çift eşlik biti kontrol edici için tasarlanan sinir ağı yapısı.	31

Şekil 4.17:	Çift eşlik biti kontrol edici için tasarlanan sinir ağı devresinin şematığı.....	32
Şekil 4.18:	Çift eşlik biti kontrol edici için tasarlanan devrenin simülasyon sonuçları.....	33
Şekil 4.19:	İris çiçeği sınıflandırması için tasarlanan sinir ağı yapısı.....	35
Şekil 4.20:	İris çiçeği sınıflandırması için tasarlanan sinir ağı devresinin şematığı.....	36
Şekil 4.21:	İris çiçeği sınıflandırması için eğitim aşaması simülasyon sonuçları.	37
Şekil 4.22:	İris çiçeği sınıflandırması için test aşaması simülasyon sonuçları....	38



MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI

ÖZET

Nöromorfik devreler, sinir sisteminin biyolojik yapısını taklit ederek oluşturulan devrelerdir. Bu devrelerin biyolojik sinir sisteminin en önemli iki avantajı olan yüksek işlem gücü ve düşük güç tüketimi konusunda diğer devrelere göre üstünlükleri olacağı düşünülmektedir. Bunun yanı sıra biyolojik sinir sisteminin öğrenme özelliğini de bu devrelerin taklit edebileceği öngörülmektedir. Hafıza ve veri işlemenin biyolojik sinir sistemindeki nöron hücreleri gibi aynı yerde yapıyor olması da bu devrelerin avantajlarından. Bu sebeplerden ötürü nöromorfik devreler hakkındaki çalışmalar son yıllarda önemli ölçüde artmıştır. Nöromorfik devreler temel olarak bir sinaps devresi, bir nöron devresi veya bir sinir ağı devresi olarak tasarlanmaktadır. Nöron bilginin toplanarak işlendiği bölümdür. İşlenen veri sinapslar aracılığıyla diğer nöronlara iletilmektedir. Birçok nöron ve sinaps bir araya gelerek bir sinir ağı oluşturmaktadır. Nöromorfik devre tasarımı yapılırken temel olarak bu ilişki kullanılır.

Nöromorfik devre tasarımları çeşitli elemanlarla yapılmaktadır. Nöromorfik devre tasarımı çalışmalarında yaygın olarak kullanılan elemanlardan biri de memristördür. Memristör manyetik akı ile elektriksel yük arasındaki ilişki eksikliği düşünülerek ortaya atılan pasif bir devre elemanıdır. Üzerine uygulanan güç kesildiğinde son durumundaki direnç değerini korumasından dolayı bu devre elemanına hafızalı direnç (memory resistor) kelimesinin kısaltması olan memristör adı verilmiştir. Memristörün fiziksel olarak gerçekleştirilmesiyle beraber memristörle ilgili yapılan çalışmalar artmış ve memristörün potansiyel kullanım alanları ile ilgili oldukça fazla çalışma yapılmasına sebep olmuştur. Bu alanlardan biri de nöromorfik devrelerdir.

Memristörün nöromorfik devre tasarımlarında kullanılmasının en yaygın sebepleri arasında bir tek memristörün sinaps ile aynı davranışı verebiliyor olması ve memristörün nöron gibi hafızalılık özelliğine sahip olması gösterilebilir. Bu gibi sebepler memristörün nöromorfik devre çalışmalarında kullanımının artmasına sebep olmuştur. Memristörün doğrusal olmayan bir eleman olması da nöromorfik devre çalışmalarında kullanılmasında etkili bir sebeptir. Bu çalışmada da nöromorfik devrelerin avantajları ve memristörün nöromorfik devre tasarımında kullanılma amaçları düşünülerek memristör tabanlı nöromorfik devre tasarımı yapılmaktadır.

Memristör tabanlı nöromorfik devre tasarımı simülasyon ortamında yapılacağından memristörün simülasyon ortamları için geliştirilen modelleri çalışmanın ilk aşamasını oluşturmaktadır. Bu sebeple çalışma kapsamında öncelikle memristör modelleri araştırılmıştır. Literatürde çok çeşitli memristör modelleri olmasına rağmen bu çalışma için nöromorfik devre tasarımında kullanılabilecek memristör modellerine öncelik verilmiştir. HP memristör modeli ve literatürde Michigan Üniversitesi modeli olarak bilinen model incelenmiştir. Bu çalışma kapsamında nöromorfik devre tasarımı açısından kullanımı daha uygun olan Yakopcic modeli kullanılmıştır.

Nöromorfik devre tasarımı, memristör tabanlı sinaps ve nöron devreleri en önemli bileşenlerdir. Bu tez çalışması kapsamında kullanılacak sinaps modelinin belirlenmesi amacıyla yapılan literatür taraması sonucunda dört çeşit memristör tabanlı sinaps devresine ulaşılmıştır. Bunlar bir memristörlü sinaps devresi, iki memristörlü sinaps devresi, iki memristörlü ve iki dirençli sinaps devresi ve dört memristörlü sinaps devresidir. Sinaps devresi tasarımı memristör sayısı arttıkça devre karmaşıklığının artması göz önünde bulundurularak, bu çalışma kapsamında bir memristörlü sinaps devresi kullanılmıştır. Nöron modellerinin memristör tabanlı devre gerçeklemeleri de araştırılmış, Hodgkin-Huxley, Hindmarsh-Rose, Izhikevich ve Tut ve Ateşle modelleri gibi nöron modellerinin memristör tabanlı devre gerçeklemelerine ulaşılmıştır.

Nöromorfik devre tasarımı kullanılacak sinir ağının belirlenmesi için literatür taranmıştır. Sinir ağlarının temel olarak iğnecikli olmayan sinir ağı ve iğnecikli sinir ağı olmak üzere ikiye ayrıldığı görülmüştür. İğnecikli olmayan sinir ağlarında biyolojik sinir sistemine benzeme oranının daha düşük olduğu ve bu sinir ağlarında biyolojik sinir sisteminin kavramsal olarak taklit edildiği görülmüştür. Bilginin reel sayı olarak işlendiği bu ağlar biyolojik sinir sisteminin bilgi işleme mekanizmasından farklı bir biçimde çalışmaktadır. Dolayısıyla iğnecikli olmayan sinir ağı tasarımı nöron devresi olarak nöron modellerinin devre gerçeklemeleri yerine toplayıcı devresi, eviren kuvvetlendirici devresi ve aktivasyon fonksiyonu devresi kullanılmıştır. İğnecikli sinir ağının ise biyolojik sinir sistemine daha benzer bir yapıda olduğu görülmüştür. Bu sinir ağlarında bilgi biyolojik sinir sisteminde olduğu gibi nöronlar arasında iğneciklerle iletilmektedir. Bu sebeple kullanılan nöron devresi nöron modellerinin devresel gerçeklemeleriyle oluşturulmaktadır.

Nöromorfik devre tasarımı kullanılacak sinaps devresi, nöron devresi ve sinir ağı belirlendikten sonra bu yapılarla bazı fonksiyonları yerine getirecek ve sınıflandırma yapabilen nöromorfik devreler oluşturulmuştur. Oluşturulan nöromorfik devrelere uygulanan fonksiyonlar XOR fonksiyonu, çift eşlik biti üretici ve çift eşlik biti kontrol edicidir. Sınıflandırma için de İris çiçeğinin türlerine göre sınıflandırılması devresi gerçekleştirilmiştir.

XOR fonksiyonu iki girişli bir çıkışlı bir fonksiyondur. Fonksiyon girişler aynı olduğunda lojik '0', farklı olduğunda lojik '1' değerini üretmektedir. XOR fonksiyonu ancak çok katmanlı bir sinir ağı ile gerçekleştirilebilmektedir. Bu sebeple sinir ağı tasarımlarında ayırt edici bir yere sahiptir. Bu sebeple, bu çalışma kapsamında XOR fonksiyonunu gerçekleyecek bir sinir ağı yapısı oluşturularak nöromorfik devre tasarımı yapılmıştır. Oluşturulan devrenin simülasyon sonuçlarına bakılarak XOR fonksiyonu çıktılarını doğru bir şekilde verdiği gözlenmiştir.

Bu çalışma kapsamında nöromorfik devreye uygulanan bir diğer fonksiyon çift eşlik biti üreticidir. Çift eşlik biti üretici bir haberleşme sisteminde göndericinin alıcıya mesajın doğru gidip gitmediğini alıcının kontrol edebilmesi için göndericinin mesaja eklediği bir bit değeri üretir. Çift eşlik biti üretici, gönderilen mesajdaki bitlerin toplamı çift ise lojik '0' değerini, tek ise lojik '1' değerini üretir. Çalışma kapsamında bu fonksiyonu gerçekleyecek bir sinir ağı yapısı oluşturulmuş ve nöromorfik devre tasarımı gerçekleştirilmiştir. Devrenin simülasyon sonuçlarında fonksiyonun doğru bir şekilde gerçekleştirildiği gözlemlenmiştir.

Çift eşlik biti kontrol edici bu çalışma kapsamında nöromorfik devresi gerçekleştirilen bir diğer fonksiyondur. Bir haberleşme sisteminde alıcı tarafında çalışan bu fonksiyon mesajdaki bitlerle çift eşlik biti üreticinin ürettiği biti toplar ve sonucu

çift bulursa mesajın doğru gelmesi anlamında lojik '0' değerini üretir. Eğer sonuç tek ise mesajın hatalı gelmesi anlamında lojik '1' değerini üretir. Gerçeklenen bu nöromorfik devrenin simülasyon sonuçlarına bakılarak fonksiyonun doğru bir şekilde gerçekleştiği görülmüştür.

İris çiçeğinin sınıflandırılması için iris veri seti kullanılmıştır. Bu veri setinde iris çiçeğinin dört özelliği olan üst yaprak genişliği, üst yaprak uzunluğu, alt yaprak genişliği ve alt yaprak uzunluğu bilgileriyle ve bu bilgilerin ait olduğu İris çiçeği sınıfları (setosa, versicolor ve virginica) yer almaktadır. Oluşturulan nöromorfik devrenin girişlerine çiçeğin özellikleri ölçeklendirilerek verilmiş ve çıktı olarak doğru çiçek türünü vermesi beklenmiştir. Devre yüksek bir doğrulukla çiçekleri sınıflarına ayırmıştır.

Sonuç olarak memristör tabanlı nöromorfik devre çalışmalarına rehberlik edecek, sinir ağları tasarımında kullanılabilecek memristör tabanlı nöromorfik devre tasarımları gösterilmiştir. Bu tasarımlara örnek fonksiyonlar ve sınıflandırma problemi uygulanarak tasarımlar doğrulanmıştır. Tasarımlar, literatürdeki diğer çalışmalarla karşılaştırılmış, avantajları ve dezavantajları belirtilmiştir.



MEMRISTOR BASED NEUROMORPHIC CIRCUIT DESIGN

SUMMARY

Neuromorphic circuits are circuits created by mimicking the biological structure of the nervous system. It is thought that these circuits will have advantages over other circuits in terms of the two most important benefits of the biological nervous system: high processing power and low power consumption. In addition, it is anticipated that these circuits will be able to mimic the learning capability of the biological nervous system. The fact that memory and data processing are done in the same place as the neuron cells in the biological nervous system is also one of the advantages of these circuits. For these reasons, research on neuromorphic circuits has significantly increased in recent years. Neuromorphic circuits are fundamentally designed as a synapse circuit, a neuron circuit, or a neural network circuit. The neuron is the part where information is collected and processed. The processed data is transmitted to other neurons via synapses. Many neurons and synapses come together to form a neural network. When designing neuromorphic circuits, this relationship is fundamentally used.

Neuromorphic circuit designs are made with various elements. One of the elements commonly used in neuromorphic circuit design studies is the memristor. Memristor is a passive circuit element that was introduced by considering the lack of relationship between magnetic flux and electrical charge. This circuit element is called memristor, which is the abbreviation of the word memory resistor, because it maintains the resistance value in its final state when the power applied to it is cut off. With the physical realization of the memristor, studies on the memristor have increased and led to a great deal of work on the potential uses of the memristor. One of these areas is neuromorphic circuits.

The most common reasons for the use of memristor in neuromorphic circuit designs are that a single memristor can give the same behavior as a synapse and that the memristor has memory like a neuron. These reasons have led to the increased use of memristors in neuromorphic circuit studies. The fact that the memristor is a nonlinear element is also an effective reason for its use in neuromorphic circuit studies. In this study, memristor based neuromorphic circuits are designed by considering the advantages of neuromorphic circuits and the purpose of using memristor in neuromorphic circuit design.

Since the memristor-based neuromorphic circuit design will be performed in a simulation environment, the models of the memristor developed for simulation environments constitute the first stage of the study. For this reason, memristor models were first investigated within the scope of the study. Although there are a wide variety of memristor models in the literature, for this study, memristor models that can be used in neuromorphic circuit design were prioritized. The HP memristor model and the model known as the University of Michigan model in the literature were examined.

In this study, the Yakopcic model, which is more suitable for neuromorphic circuit design, was used.

In neuromorphic circuit design, memristor-based synapse and neuron circuits are the most important components. As a result of the literature review conducted to determine the synapse model to be used in this thesis, four types of memristor based synapse circuits have been identified. These are a one-memristor synapse circuit, a two memristor synapse circuit, a two memristor and two resistor synapse circuit, and a four memristor synapse circuit. Considering the increase in circuit complexity with the number of memristors in the synapse circuit design, a single memristor synapse circuit has been used in this study. The memristor-based circuit implementations of neuron models were also investigated, and memristor-based circuit implementations of neuron models such as Hodgkin-Huxley, Hindmarsh-Rose, Izhikevich, and Fire and Integrate models were achieved.

The literature has been reviewed to determine the neural network to be used in the design of the neuromorphic circuit. It has been observed that neural networks are fundamentally divided into non-spiking neural networks and spiking neural networks. In non-spiking neural networks, it has been observed that the resemblance to the biological nervous system is lower, and these neural networks conceptually mimic the biological nervous system. These networks, where information is processed as real numbers, operate differently from the information processing mechanism of the biological nervous system. Therefore, in the design of non-spiking neural networks, instead of circuit implementations of neuron models as neuron circuits, summing amplifier circuit, inverting amplifier circuit, and activation function circuit have been used. It has been observed that the spiking neural network has a structure more similar to the biological nervous system. In these neural networks, information is transmitted between neurons through spikes, just like in the biological nervous system. Therefore, the neuron circuit is created with the circuit implementations of neuron models.

After determining the synapse circuit, neuron circuit, and neural network to be used in the design of the neuromorphic circuit, neuromorphic circuits capable of performing certain functions and classification were created with these structures. The functions applied to the created neuromorphic circuits are the XOR function, the even parity bit generator, and the even parity bit checker. For classification, a circuit for classifying Iris flower species has also been implemented.

The XOR function is a function with two inputs and one output. The function generates logic '0' when the inputs are the same and logic '1' when they are different. The XOR function can only be realized with a multilayer neural network. For this reason, it has a distinctive place in neural network designs. For this reason, in this study, a neural network structure to realize the XOR function was created and a neuromorphic circuit was designed. The simulation results of the circuit design show that the circuit gives correctly outputs of the XOR function.

Another function applied to the neuromorphic circuit in this study is the even parity generator. In a communication system, the even parity generator generates a bit value that the sender adds to the message so that the receiver can check whether the message is correct or not. The even parity generator generates a logic '0' if the sum of the bits in the message is even and a logic '1' if the sum is odd. In this study, a neural network structure to implement this function was created and a neuromorphic circuit design

was realized. Simulation results of the circuit show that the function is implemented correctly.

The even parity checker is another function whose neuromorphic circuit is implemented in this study. This function, which works at the receiver side of a communication system, sums the bits in the message with the bit produced by the even parity generator and if the result is even, it produces a logic '0' value meaning that the message is correct. If the result is odd, it generates logic '1' meaning that the message is incorrect. The simulation results of this neuromorphic circuit show that the function is implemented correctly.

The Iris dataset has been used for the classification of the Iris flower. In this dataset, there are four features of the Iris flower: sepal width, sepal length, petal width, and petal length, along with the Iris flower classes (setosa, versicolor, and virginica) they belong to. The features of the flower were scaled and provided as inputs to the created neuromorphic circuit, and it was expected to output the correct flower type. The circuit classified the flowers into their categories with high accuracy.

In conclusion, memristor-based neuromorphic circuit designs that can guide memristor based neuromorphic circuit studies and be used in neural network design have been presented. These designs were verified by applying example functions and a classification problem. The designs were compared with other studies in the literature, and their advantages and disadvantages were noted.



1. GİRİŞ

Memristör, bir diğer adıya hafızalı direnç, temel devre elemanlarından kapasitör, indüktör ve dirençten sonra dördüncü pasif devre elemanı olarak literatürde kendine yer bulmuştur. Elektriksel yük ile manyetik akı arasındaki ilişki ile tanımlanan memristör, kendisine uygulanan güç kesildiğinde üzerinden geçen son yük miktarına göre bir direnç değerinde kaldığından bir hafızalılık özelliğine sahip olduğu düşünülmektedir. Bunun yanı sıra gerilim-akım ilişkisinin doğrusal olmayan bir karakteristik sergilemesi de bu devre elemanının önemli özelliklerinden biridir. Tüm bu özellikleri ve memristörün 2008 yılında fiziksel olarak da gerçekleşmesi dolayısıyla bu devre elemanı üzerine birçok farklı alanda çalışmalar yapılmaya başlanmıştır. Memristörün çalışıldığı en önemli alanlardan biri de nöromorfik devreler konusudur.

Nöromorfik devreler, sinir sisteminin biyolojik çalışma prensiplerini kullanarak oluşturulan devrelerdir. Nöromorfik devrelerin sinir sistemindeki gibi yüksek işlem kapasitesine sahip olması ve işlemleri düşük güç tüketimi ile yapması bu devrelerden beklenen en önemli iki avantajdır. Ayrıca bu devreler, beynin sahip olduğu öğrenme ve adaptasyon özelliğini de öğrenme algoritmalarını kullanarak taklit edebilmektedir. Buna ek olarak, nöromorfik devrelerde geleneksel bilgisayar mimarisi olan Von Neumann mimarisinden farklı olarak veri işleme ve hafıza birimlerinin sinir sistemi hücreleri olan nöronlar gibi aynı yerde olması, bu devrelerde hafıza ile veri işleme birimleri arasındaki veri taşınması gibi zaman ve performans kaybı oluşturacak problemlerin ortadan kalkmasını sağlamaktadır. Bu üstünlükler sebebiyle nöromorfik devreler kullanılarak oluşturulacak sistemlerin geleneksel sistemlerin yerini alacağı öngörülmektedir.

Bu tezde memristör elemanı kullanılarak bir nöromorfik devre tasarımının nasıl yapılacağı anlatılacak ve çeşitli örnek devre tasarımları üzerinden gösterilecektir. Öncelikle, memristörden ve memristör modellerinden bahsedilecektir. Daha sonra sinir sisteminin biyolojik yapısı, nöron ve sinaps modelleri anlatılacak ve bazı sinaps ve nöron modellerinin memristör tabanlı devresel gerçeklemesi hakkında bilgi

verilecektir. Ardından bu tez çalışması kapsamında tasarlanan memristör tabanlı nöromorfik devreler gösterilecektir. Tez, sonuç ve öneriler kısmıyla bitirilecektir.

1.1 Tezin Amacı

Bu tezin amacı, bir memristör tabanlı nöromorfik devre tasarımının nasıl yapılacağını adım adım göstermek ve örnek devrelerle açıklamaktır. Memristöre fiziksel olarak erişim maliyetli olduğundan tasarımlar, elektrik devresi simülasyon programı aracılığı ile yapılmıştır. Bunun için geliştirilen memristör modellerinden uygun olan bir memristör modeli kullanılmıştır. Daha sonra sinaps ve nöron modelleri araştırılmış ve bu simülasyon ortamında toplayıcı, kuvvetlendirici ve aktivasyon fonksiyonu devresi kullanılarak nöron ve memristör tabanlı sinaps tasarımı oluşturulmuştur. Bu tasarımdan yola çıkılarak oluşturulan nöromorfik devreler, bazı fonksiyonları gerçekleyecek ve bir sınıflandırma problemini çözecek şekilde düzenlenmiştir. Böylece, memristör tabanlı nöromorfik devrenin çeşitli fonksiyonları gerçekleyecek ve sınıflandırma yapabilecek şekilde tasarlanması amaçlanmıştır. Ayrıca bu devreler ile literatürdeki devreler karşılaştırılarak bu tez çalışması kapsamında geliştirilen devrelerin diğer devrelerden farklılaşan yönleri ortaya konulmuştur.

1.2 Literatür Araştırması

Memristör tabanlı nöromorfik devreler ile ilgili literatürde oldukça fazla çalışma vardır. Nöron modellerinin memristör tabanlı gerçekleşmesi nöromorfik devreler ile ilgili çalışmalardandır. Bu devrelere Hodgkin-Huxley nöron modelinin memristör tabanlı devresi örnek olarak verilebilir [1]. Bir başka nöron modeli olan HindmarshRose modeli de memristör tabanlı bir devre olarak tasarlanmıştır [2]. FitzHughNagumo modeli de memristör tabanlı olarak gerçekleşen nöron modelleri arasında sayılabilir [3]. En basit nöron modeli olarak da bilinen Tut ve Ateşle (Integrate and Fire) modelinin de memristör tabanlı bir devresi oluşturulmuştur [4].

Nöron modellerinin memristör tabanlı gerçekleşmesinin yanı sıra nöromorfik sistem tasarımında kullanılmak üzere memristör tabanlı sinaps ve nöron devrelerinin önerildiği çalışmalar da vardır. Zheng ve çalışma arkadaşlarının yapay sinir ağları devreleri tasarımında kullanılabilecek memristör tabanlı sinaps ve iğnecik üreten nöron devreleri önerisi bu çalışmalardan biridir [5]. Başka bir çalışmada Chu ve çalışma

arkadaşları önerdikleri bir nöromorfik sistem için sinaps olarak memristör kullanmıştır [6]. Babacan ve çalışma arkadaşları da yaptıkları bir çalışmada memristör tabanlı bir nöron devresi önermişlerdir [7].

Memristör tabanlı sinir ağları da nöromorfik devre çalışmaları altında literatürde kendine yer bulmaktadır. Bir çalışmada, memristör tabanlı bir iğnecikli sinir ağı tasarlanıp metin sınıflandırması yapılmıştır [8]. Eşlik biti kontrolü problemi ile yüz tanıma probleminin uygulandığı bir diğer memristör tabanlı sinir ağı da bu tip çalışmalardan biridir [9]. Memristör tabanlı bir iğnecikli sinir ağının geliştirildiği bir çalışma da literatürde kendine yer bulmuştur [10]. Memristif elemanlarla gerçekleştirilen sinir ağları simülasyonları, özellikle lineer olarak ayrılabilen fonksiyonlar için, bir tez çalışmasında gerçekleştirilmiştir [11]. Memristör tabanlı olarak gerçekleştirilen bir diğer çok katmanlı algılayıcı ile el yazısı tanıma uygulaması yapılmıştır [12]. Yakopcic ve çalışma arkadaşlarının geliştirdiği bir memristör tabanlı çok katmanlı algılayıcı ile Sobel kenar algılama çalışması yapılmıştır [13]. Memristör çapraz çubuk dizisi (crossbar array) ile İris çiçeği sınıflandırması, sinir ağlarının memristör tabanlı gerçekleştirilmesi çalışmalarından bir diğeridir [14]. Literatürde 9 piksel resimleri sınıflandıran memristör tabanlı bir sinir ağı uygulaması da bulunmaktadır [15].

Sonuç olarak, var olan nöron modellerini memristör tabanlı gerçeklemek, nöromorfik sistemlerde kullanılmak üzere memristör tabanlı sinaps veya nöron devreleri önermek ya da memristör tabanlı sinir ağları oluşturarak belirli problemleri bu ağlarda uygulamak şeklinde literatürde farklı nöromorfik devre tasarımlarının yapıldığı görülmektedir.

2. MEMRİSTÖR

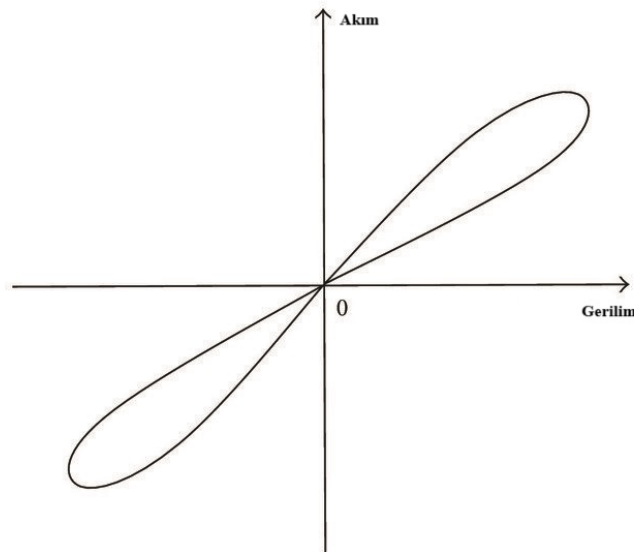
2.1 Memristör Hakkında Genel Bilgiler

1971 yılında Leon O. Chua tarafından temel devre değişkenlerinden olan manyetik akı ve elektrik yükü arasındaki ilişkinin devre teorisi açısından eksikliğini fark ederek yaptığı çalışmalar sonucunda bu iki değişken arasındaki ilişkiyi bir pasif devre elemanı olarak tanıtmıştır ve bu devre elemanına hafızalı direnç anlamına gelen memristör adını vermiştir [16]. Memristöre ait temel denklemsel ifade aşağıda (2.1)'deki gibi ifade edilir.

$$d\phi = M dq \quad (2.1)$$

Burada manyetik akı ile yük arasındaki ilişkinin M ile ifade edilen memristans değerini verdiği görülmektedir.

Memristör ile ilgili en belirgin tanımlamardan biri de gerilim akım düzlemindeki özel bir histerezis döngüsü ile yapılan tanımdır. Buna göre gerilim akım düzleminde bu histerezis döngüsüne sahip olan iki uçlu bir eleman memristördür [17]. Bu histerezis döngüsü Şekil 2.1' de gösterilmiştir. 2008 yılında Hewlett-Packard



Şekil 2.1: Memristörün gerilim akım düzlemindeki histerezis döngüsü.

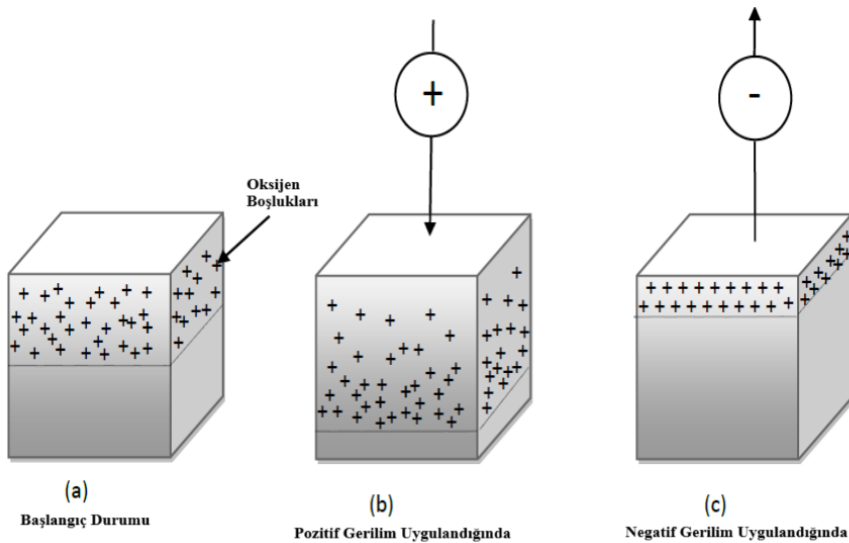
Laboratuvarları'nda memristör fiziksel olarak ilk defa gerçekleştirilmiştir. İki platin tabaka arasına titanyum dioksit katkılanmasıyla oluşturulan bu eleman ilk fiziksel memristör olarak duyurulmuştur [18]. Bu çalışma ile birlikte memristör hakkındaki çalışmalar ivme kazanmış ve memristör ile ilgili modelleme ve taklit devresi oluşturma çalışmaları artmıştır.

2.2 Memristör Modelleri

Memristörün fiziksel olarak gerçekleştirilmesi ile birlikte memristörün uygulama alanları ile ilgili çalışmalar artmıştır. Dolayısıyla memristörün modellenmesi önemli bir konu haline gelmiştir. Bu başlık altında literatürde mevcut olan memristör modelleri incelenecektir.

2.2.1 HP memristör modeli (doğrusal iyon sürüklemeli model)

Memristör ilk defa fiziksel olarak HP laboratuvarlarında gerçekleştirilmiştir. Gerçeklenen bu fiziksel elemanın modeli de ilk defa bu ekip tarafından oluşturulmuştur. İki platin tabaka arasına sıkıştırılmış katkılı titanyum dioksit ve katkısız titanyum dioksitten oluşan elemanın üzerine pozitif gerilim uygulandığında katkılı bölgenin genişlediği gözlenmektedir. Böylelikle elemanın direnci düşer ve bu durum elemanın üzerinden daha fazla akım akmasına sebep olur. Eğer elemanın üzerine negatif gerilim uygulanırsa bu durumda katkılı bölge daralır ve elemanın direnci yükselir [19]. Bu durum Şekil 2.2'de gösterilmiştir.



Şekil 2.2: HP memristörünün pozitif ve negatif gerilim altındaki davranışı [19].

Modelde, tabakalar arasının tamamen katkılı iyonlardan oluştuğu durumda elemanın direnci R_{on} , tamamen katkısız iyonlardan oluştuğu durumda elemanın direnci R_{off} , katkılı alanın uzunluğu w , tüm alanın uzunluğu D ve katkılı alanın uzunluğunun tüm alana oranı $x = \frac{w}{D}$ olarak kabul edilirse, memristans denklemi aşağıdaki gibi yazılır:

$$M = R_{on}x + R_{off}(1 - x) \quad (2.2)$$

$$x = \frac{w}{D} \quad (2.3)$$

Eğer iyon hareketliliği μ_v ile gösterilirse, bu durumda iyon hareketliliğine bağlı olarak katkılı alanın uzunluğunun değişimi denklemleri aşağıdaki gibi elde edilir.

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{on}}{D} i(t) \quad (2.4)$$

$$w(t) = \mu_v \frac{R_{on}}{D} q(t) \quad (2.5)$$

Eğer (2.5) denklemi (2.2) denklemindeki ilgili yerlere yazılırsa ve denklemi basitleştirmek için $R_{on} \ll R_{off}$ kabul edilirse, bu durumda memristans denklemi (2.6)'da verildiği gibi olur. Böylece memristans değeri yüke bağlı elde edilmiş olur.

$$M(q) = R_{off} \left(1 - \frac{\mu_v R_{on}}{D^2} q(t) \right) \quad (2.6)$$

2.2.2 Michigan üniversitesi memristör modeli

Ting Chang ve çalışma arkadaşları tarafından geliştirilen bu model, yine aynı ekip tarafından tungsten oksit kullanılarak gerçekleştirilen fiziksel bir memristörün modelidir ve literatürde Michigan Üniversitesi modeli olarak bilinmektedir [20]. Modelin en temel özelliği akım ve gerilim arasında hiperbolik sinüs fonksiyonu özelliği bulundurmasıdır. Bu ilişki denklem 2.7'de verilmiştir.

$$I = (1 - x(t))\alpha [1 - \exp(\beta V(t))] + x(t)\gamma \sinh(\delta V(t)) \quad (2.7)$$

Bu denklemde α ve β Schottky bariyerinden kaynaklanan parametrelerdir. γ ve δ parametreleri ise tünellemeden kaynaklanan parametrelerdir. Bu parametrelerin hepsi pozitif değerlidir ve değerleri malzemenin özelliklerine göre belirlenir. $x(t)$ ise durum değişkenini belirtir. Bu durum değişkeni aşağıdaki denklemle ifade edilir:

$$\frac{dx}{dt} = \lambda [\eta_1 \sinh \eta_2 (V(t))] \quad (2.8)$$

Burada λ , η_1 ve η_2 parametreleri, durum değişkeninin uyumlama parametreleridir ve pozitif değerlidir.

2.2.3 Yakopcic memristör modeli

Chris Yakopcic ve çalışma arkadaşları tarafından memristör tabanlı nöromorfik sistemlerin kendisiyle modellenebileceği bir memristör modeli geliştirmişlerdir [21]. Bu model literatürde Yakopcic modeli olarak bilinmektedir. Önerilen model mevcut modellerin üzerine kuruludur ve akım gerilim ilişkisi Michigan Üniversitesi modeli gibi hiperbolik sinüs fonksiyonu ile tanımlanmaktadır. Bu akım gerilim ilişkisi Denklem (2.9)'da verilmiştir.

$$I(t) = \begin{cases} a_1 x(t) \sinh(bV(t)), & \text{eğer } V(t) \geq 0 \\ a_2 x(t) \sinh(bV(t)), & \text{eğer } V(t) < 0 \end{cases} \quad (2.9)$$

Bu denklemde a_1 , a_2 ve b parametreleri denklemin farklı memristör yapılarına uyması için düzenlenmiş parametrelerdir. $x(t)$, Michigan Üniversitesi modelinde olduğu gibi durum değişkenini belirtir ve Denklem (2.10)'daki gibi tanımlanır.

$$\frac{dx}{dt} = g(V(t)) f(x(t)) \quad (2.10)$$

Bu denklemde $g(V(t))$, memristöre uygulanan bir eşik gerilim değeri fonksiyonudur. Memristörlere belirli bir enerji değeri uygulanmadıkça durumunda herhangi bir değişiklik olmadığı saptanmış ve bu eşik gerilim değerini belirtmek üzere bu fonksiyon durum değişkeninin tanımına konulmuştur. $f(x(t))$ fonksiyonu ise durum değişkeni sınır değerlere yaklaştığında doğrusal olmayan iyon hareketini modeller.

3. NÖROMORFİK DEVRELER

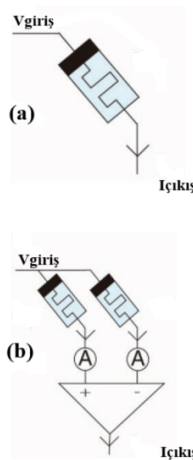
Nöromorfik devreler sinir sisteminin çalışma prensiplerini temel alarak oluşturulan devrelerdir. Nöromorfik bir devre, tasarımına göre sinaps devresi, nöron devresi veya birden fazla sinaps ve nöronun bir araya gelerek oluşturduğu sinir ağı devresi olabilir.

3.1 Sinaps

Sinaps, sinir sisteminde nöronlar arasındaki bağlantı noktaları olarak tanımlanabilir. Bu bağlantı noktaları sayesinde nöronlar birbirileri arasında bilgi alışverişi yaparlar. Bu sebeple nöromorfik tasarımlarda sinaps devreleri önemli bir yere sahiptir. Bu çalışmada memristör tabanlı tasarım yapılacağından memristör tabanlı sinaps devreleri ele alınmıştır.

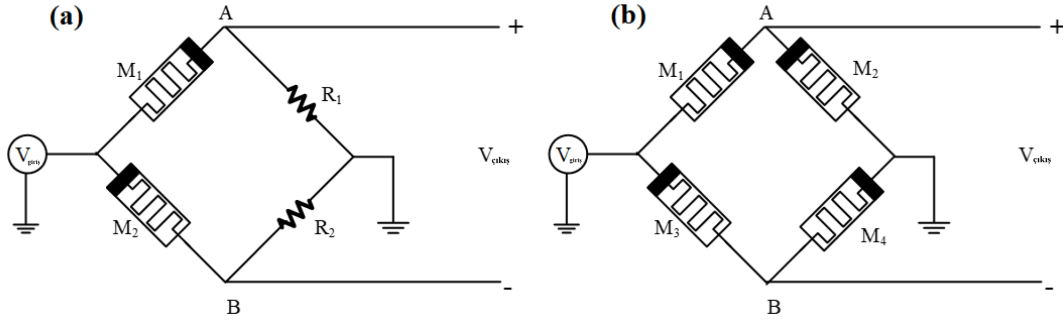
3.1.1 Memristör tabanlı sinaps devreleri

Literatürde memristör tabanlı tasarlanan birden fazla sinaps devresi vardır. Bu devreler genel olarak bir memristörlü sinaps devresi, iki memristörlü sinaps devresi, iki memristör ve iki dirençten oluşan sinaps devresi ve dört memristörlü sinaps devresi olarak sınıflandırılabilir [22,23]. Şekil 3.1’de bir ve iki memristörlü sinaps devreleri gösterilmektedir.



Şekil 3.1: (a) Bir memristörlü sinaps; (b) İki memristörlü sinaps [22].

Bir ve iki memristörlü sinaps devreleri az sayıda eleman içerdiğinden nöromorfik sistemlere entegrasyonu kolay devrelerdir. Şekil 3.2’de ise iki memristörlü ve iki dirençli sinaps devresi ile dört memristörlü sinaps devresi görülmektedir.



Şekil 3.2: (a) İki memristörlü iki dirençli sinaps devresi; (b) Dört memristörlü sinaps devresi [23].

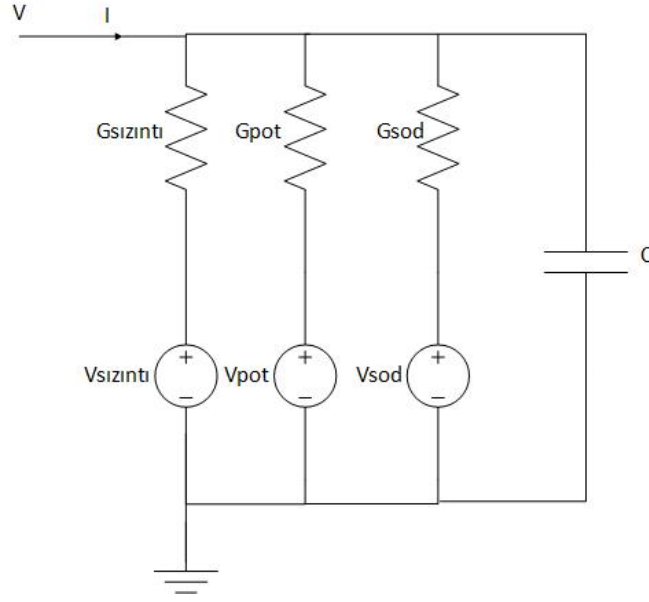
İki memristörlü ve iki dirençli sinaps devresi ile dört memristörlü sinaps devresi Wheatstone köprüsüne benzemektedir. Bu devreler, sinaps davranışını daha iyi temsil etmekle beraber daha fazla eleman içerdiğinden nöromorfik sistemlere entegrasyonu daha zor devrelerdir.

3.2 Nöron

Nöron, sinir sistemindeki bilgi işleme hücreleridir. Temel olarak dendrit, soma ve akson denilen üç yapıdan oluşur. Dendrit, diğer nöronlardan sinapslar aracılığıyla gelen bilginin nöronda ilk karşılandığı bölümdür. Soma, nöronun merkez bölgesidir ve dendritlerden gelen bilgileri toplayarak bunu bir eşik değeriyle karşılaştırır. Eğer eşik değeri aşılsa nörondaki bilgi, nöronun çıkışı olan aksonlara iletilir. Aksonlar da bu bilgiyi sinapslar aracılığıyla diğer nöronlara iletir. Nöronların bilgi işleme sürecindeki bu davranışının modellenmesi ve modellerin memristör tabanlı devre gerçekleştirilmesi üzerine literatürde birçok çalışma vardır.

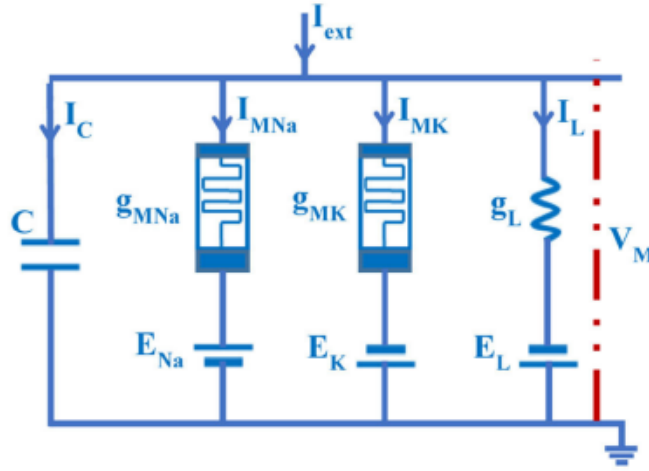
3.2.1 Hodgkin-Huxley modeli

Nöron davranışının temel modellerinden biri Hodgkin-Huxley modelidir. Bu model Hodgkin ve Huxley tarafından 1952 yılında önerilmiştir [24]. Nöronda bulunan sodyum, potasyum ve sızıntı kanalları, gerilim kaynakları ve iletkenlik değerleri ile modellenmiştir. Modelin elektriksel eşdeğer devresinin gösterimi Şekil 3.3’te verilmiştir.



Şekil 3.3: Hodgkin-Huxley modeli eşdeğer devresi.

Modelin memristör tabanlı eşdeğer bir devresi de Şekil 3.4’te verilmiştir. Bu devrede sodyum ve potasyum kanallarının iletkenliği memristör ile karşılanmıştır.

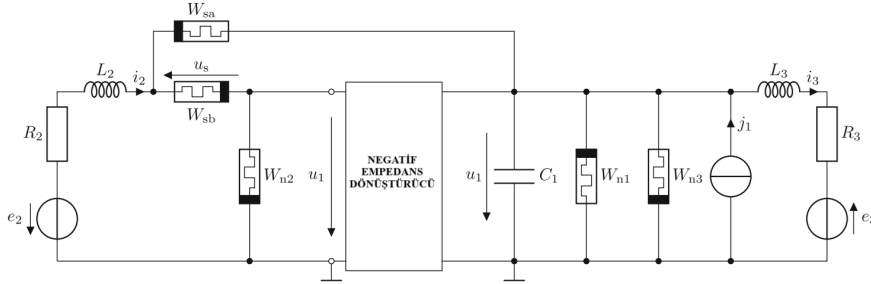


Şekil 3.4: Hodgkin-Huxley modeli memristör tabanlı eşdeğer devresi [25].

3.2.2 Hindmarsh-Rose modeli

Hindmarsh ve Rose tarafından 1982 yılında önerilmiştir [26]. Bu model Hodgkin-Huxley modelindeki gibi bir diferansiyel denklem setiyle ifade edilir ve matematiksel olarak Hodgkin-Huxley modeline göre daha az karmaşık bir modeldir. Model, matematiksel olarak daha az karmaşıklık içermesine rağmen nöronun biyolojik olarak gösterdiği davranışların birçoğunu modelleyebilmektedir. Modelin bir eşdeğer devresi Jenderny ve çalışma arkadaşları tarafından oluşturulmuştur [27]. Aynı ekip

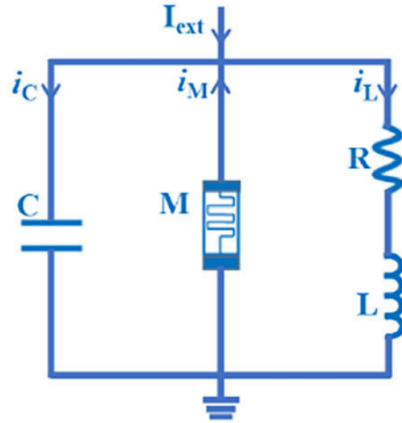
tarafından bu model için memristör tabanlı eşdeğer bir devre de oluşturulmuştur [28]. Oluşturulan bu devrenin önemli zayıflıklarından biri elemanları pasif olmayan bir negatif empedans dönüştürücü içermesidir. Bu eşdeğer devre Şekil 3.5'te gösterilmiştir.



Şekil 3.5: Hindmarsh-Rose modeli memristör tabanlı eşdeğer devresi [28].

3.2.3 Izhikevich modeli

Izhikevich tarafından geliştirilen bu model, nöronların biyolojik davranışını Hodgkin-Huxley modelindeki gibi doğru bir şekilde modellerken aynı zamanda çok fazla sayıda nöron kullanılarak oluşturulacak geniş çaplı bir analizde hesaplama verimliliği sağlayabilmektedir [29]. Modelin memristör tabanlı eşdeğer bir devresi Şekil 3.6'da verilmiştir.

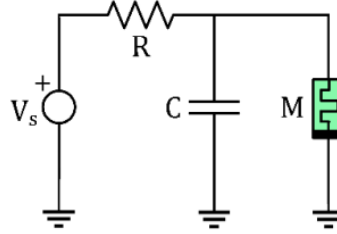


Şekil 3.6: Izhikevich modeli memristör tabanlı eşdeğer devresi [30].

3.2.4 Tut ve ateşle modeli

En basit model olarak bilinen Tut ve Ateşle modelinin kabaca eşdeğer devresi bir direnç ve ona paralel bağlı bir kapasitörle oluşturulabilir [31]. Devre gerçekleştirilmesi basit olduğu için çok fazla sayıda nöronlu sistemler için hesaplama kolaylığı sağlasa da nöronların biyolojik davranışını sergilemek konusunda en zayıf modeldir. Tut

ve Ateşle modelinin üzerinde yapılan çeşitli değişikliklerle Sızdırmalı Tut ve Ateşle modeli, Uyarlamalı Tut ve Ateşle modeli gibi nöron modelleri de oluşturulmuştur. Bu modellerden Sızdırmalı Tut ve Ateşle modeline ait memristör tabanlı bir devre gerçekleştirilmesi Şekil 3.7’de verilmiştir.



Şekil 3.7: Sızdırmalı Tut ve Ateşle modeli memristör tabanlı eşdeğer devresi [32].

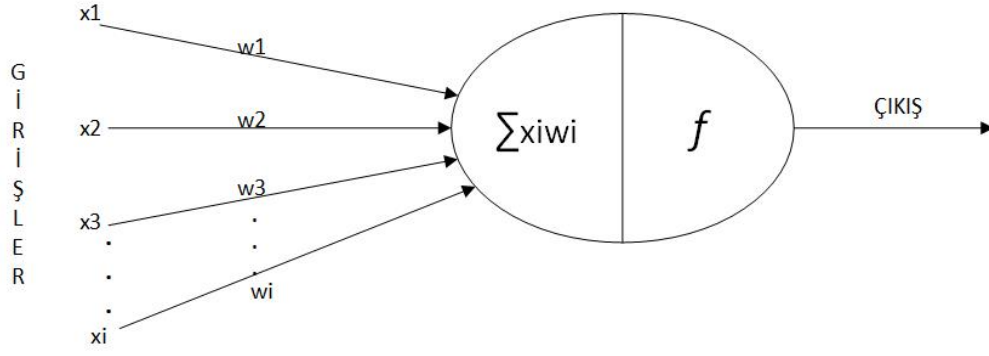
3.3 Yapay Sinir Ağları

Yapay sinir ağları, biyolojik sinir ağlarından esinlenerek oluşturulmuş algoritmalar. Bu algoritmalar, biyolojik sinir ağlarındaki veri iletme ve işleme mekanizmasını çeşitli yönleriyle taklit eder. Temel olarak içgüdüsel olmayan sinir ağları ve içgüdüsel sinir ağları olmak üzere ikiye ayrılır.

3.3.1 İçgüdüsel olmayan sinir ağları

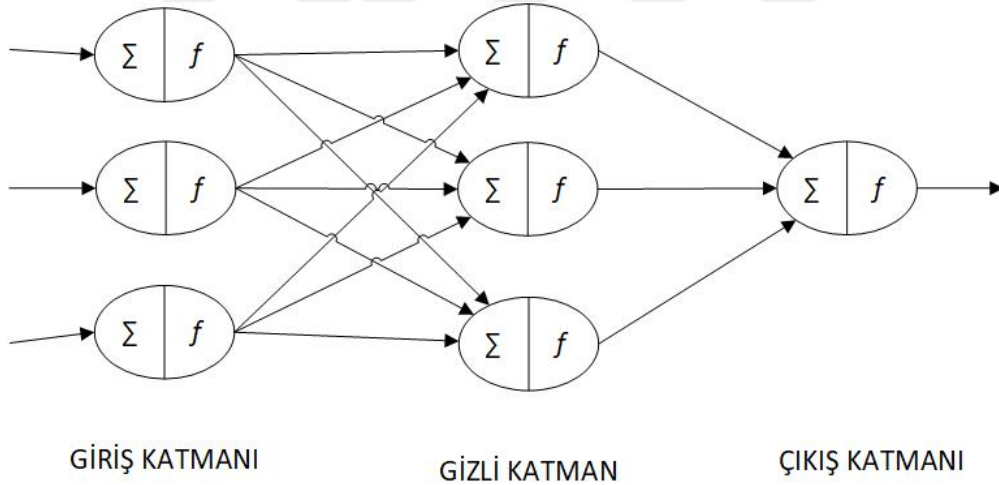
İçgüdüsel olmayan sinir ağları, biyolojik sinir ağlarının bilgi işleme biçimini aynen taklit etmek yerine kavramsal olarak taklit eder. İçgüdüsel olmayan sinir ağlarında, sinapslar bir ağırlık değerini temsil ederken nöronlar ise kendisinden önceki nöronların çıkışlarının, sinapsların temsil ettiği ağırlıklarla çarpılarak elde edilen değerleri toplayıp bir aktivasyon fonksiyonundan geçirir ve yine sinapsların temsil ettiği ağırlıklarla çarpılmak üzere bir çıkış değeri üretir. Bu değerler bir reel sayıdır. İçgüdüsel olmayan sinir ağlarında bir nöronun gerçekleştirdiği bu işlem Şekil 3.8’de verilmiştir.

İçgüdüsel olmayan sinir ağlarının iki temel özelliği vardır. Bunlar çıkarım ve öğrenmedir. Çıkarım girdilere bağlı olarak bir çıktı üretme işlemidir. Öğrenme ise çıktıların doğru hale getirilebilmesi için sinir ağındaki sinapsların temsil ettiği ağırlık değerlerinin değiştirilmesi sürecidir. Böylece, içgüdüsel olmayan sinir ağlarına uygulanan problemler biyolojik sinir sisteminin çalışma prensibi taklit edilerek çözülmüş olur.



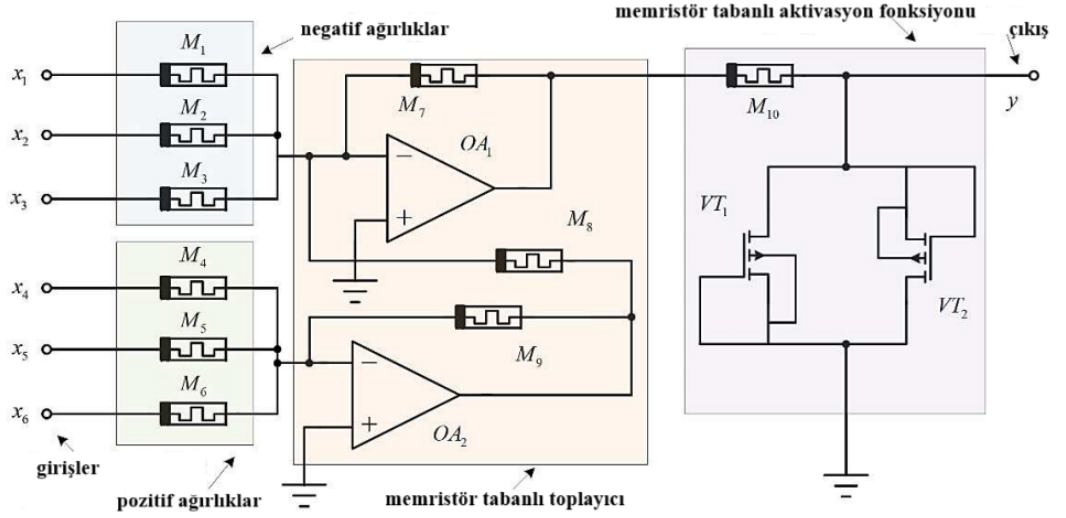
Şekil 3.8: İğnecikli olmayan sinir ağlarında bir nöronun davranışı.

İğnecikli olmayan sinir ağları birden fazla nöron ve sinapsın katman katman bir araya gelmesiyle oluşturulur. Bu katman sayısı ve her bir katmandaki nöron ve sinaps sayıları sinir ağına uygulanacak probleme göre değişkenlik gösterebilir. Örnek çok katmanlı bir iğnecikli sinir ağı Şekil 3.9’da gösterilmiştir.



Şekil 3.9: Çok katmanlı iğnecikli olmayan sinir ağı.

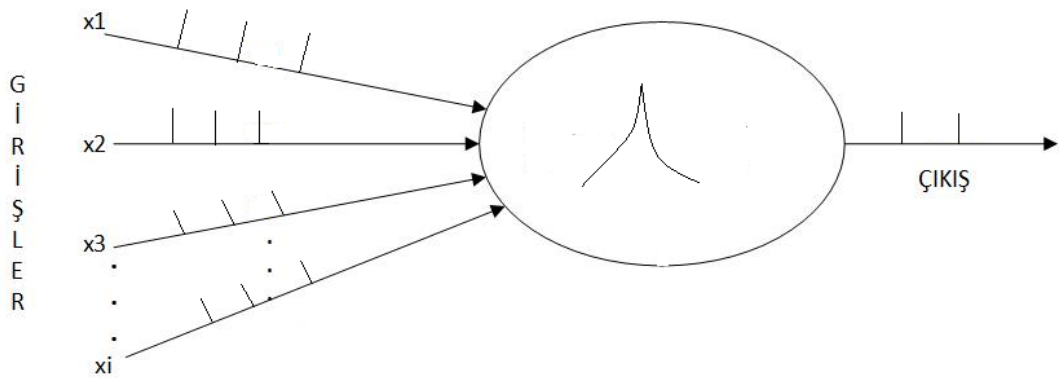
İğnecikli olmayan sinir ağlarında sinapslar reel sayı değerli ağırlıkları temsil ettiğinden ve nöronlar da bir toplayıcıdan ve bir aktivasyon fonksiyonundan oluşan bir yapı olduğundan bu ağların memristör tabanlı devre gerçeklemeleri sinaps ve nöronların sahip olduğu bu özelliklerin memristör tabanlı gerçekleştirilmesi üzerine kurulmuştur. Memristör tabanlı iğnecikli olmayan sinir ağı tasarımında kullanılmak üzere dizayn edilmiş örnek bir devre Şekil 3.10’da verilmiştir. Bu tasarımda sinapsları temsilen bir memristör ve nöronları temsilen memristör tabanlı bir toplayıcı ve memristör tabanlı bir sigmoid aktivasyon fonksiyonu kullanılmıştır. Çalışmada bu devreler bir araya getirilerek çok katmanlı bir iğnecikli olmayan sinir ağı oluşturulmuştur [33].



Şekil 3.10: İğnecikli olmayan sinir ağında kullanılmak için tasarlanmış memristör tabanlı sinaps ve nöron devresi [33].

3.3.2 İğnecikli sinir ağları

İğnecikli sinir ağları, biyolojik sinir ağlarını yalnızca kavramsal olarak değil biçimsel olarak da taklit eder. Dolayısıyla gerçek sinaps ve nöron modellerini kullanır. İğnecikli olmayan sinir ağlarındaki gibi bilgi reel sayılarla değil, biyolojik sinir ağlarında olduğu gibi iğneciklerle (spike) iletilir. Bir iğnecikli sinir ağında sinapslardan nöronlara iletilen iğnecikler, nöronlarda tıpkı biyolojik bir nöronda olduğu gibi bir eşik değerini aşınca, nöronlar yeni iğnecikler üreterek bunu diğer katmandaki nöronlara bağlı olan sinapslara iletir. İğnecikli sinir ağında bir nöronun gerçekleştirdiği işlem Şekil 3.11’de verilmiştir.

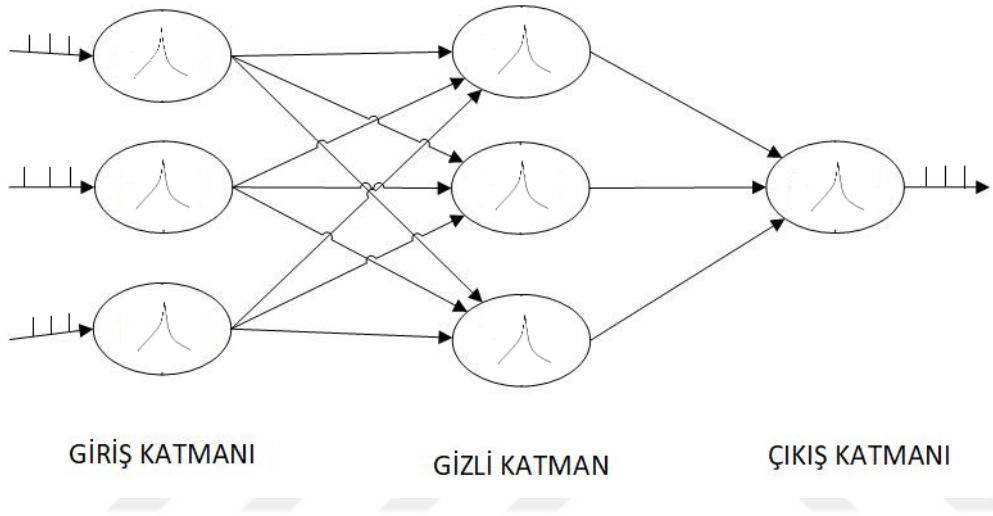


Şekil 3.11: İğnecikli sinir ağlarında bir nöronun davranışı.

İğnecikli sinir ağlarında da iğnecikli olmayan sinir ağlarındaki gibi çıkarım ve öğrenme en temel iki unsurdur. İğnecikli sinir ağında çıkarım iğnecikli olmayan

sinir ağılarındaki gibi girdilere göre çıktı üretme işlemidir. Ancak, girdiler reel sayı değerleri değil, iğneciklerdir. Öğrenme de çıktıların doğru hale getirilmesi için iğneciklerin oluşturulma zamanı gibi özelliklerinin değiştirilme sürecidir. İğnecikli sinir ağlarında biyolojik sinir ağındaki öğrenme modellerine yakınsayan modeller kullanılır. Dolayısıyla bu açıdan da biyolojik sinir ağlarına daha fazla benzerler.

İğnecikli sinir ağları da iğnecikli olmayan sinir ağları gibi sinaps ve nöronların katman katman bir araya getirilmesiyle oluşturulur. Örnek bir iğnecikli sinir ağı Şekil 3.12’de verilmiştir.



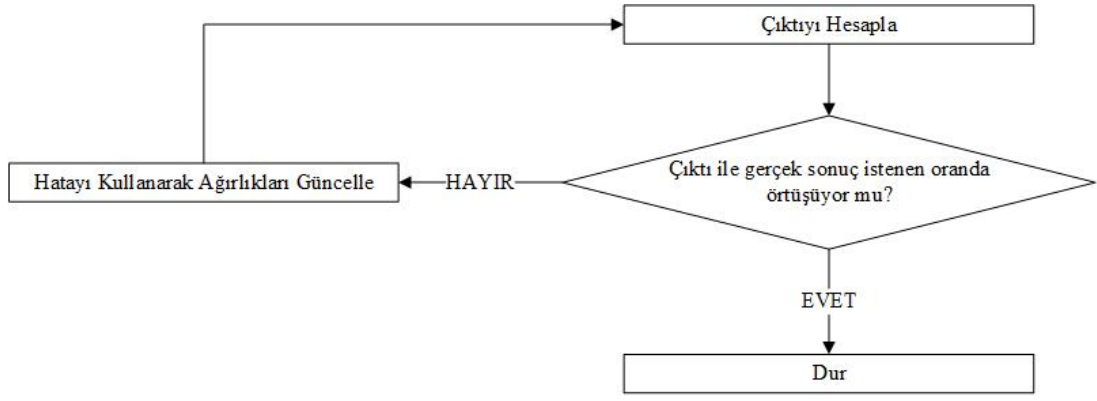
Şekil 3.12: Çok katmanlı iğnecikli sinir ağı.

3.3.3 Sinir ağlarında öğrenme

Sinir ağlarında öğrenme, ağırlıkların değiştirilme süreci olarak tanımlanır. Ağırlıkların değiştirilme süreçleri kullanılan öğrenme kurallarına göre üç türde sınıflandırılabilir. Bunlar: denetimli öğrenme, denetimsiz öğrenme ve pekiştirmeli öğrenmedir.

3.3.3.1 Denetimli öğrenme

Denetimli öğrenme, doğru sınıflandırmanın önceden yapıldığı veri setlerinin eğitilmesine dayanan bir öğrenme türüdür [34]. Bu öğrenme türünde, veri setindeki bir verinin sinir ağlarındaki işlemlerden sonra oluşan çıktısı gerçek çıktı ile karşılaştırılır. Bu karşılaştırma sonucunda bir hata hesaplanır ve bu hata üzerinden ağırlık değişimi yapılarak sinir ağının eğitimi yapılır. Hata sıfıra yaklaştıkça kadar yani üretilen çıktı gerçek durumla belli bir oranda örtüşene kadar eğitim devam eder. Denetimli öğrenmenin nasıl gerçekleştirildiğine dair bir diyagram Şekil 3.13’te verilmiştir.



Şekil 3.13: Denetimli öğrenme diyagramı.

3.3.3.2 Denetimsiz öğrenme

Denetimsiz öğrenme, sadece giriş verilerinin olduğu, doğru çıktıların veri setinde önceden bulunmadığı durumlarda uygulanan bir öğrenme yöntemidir [35]. Dolayısıyla sinir ağında öğrenme, veriden yola çıkarak bir model oluşturmak üzerine kuruludur. Bu durumda sinir ağında, veri setinde veriler arasındaki uzaklık kullanılıp veri kümeleri oluşturularak eğitim yapılır.

3.3.3.3 Pekiştirmeli öğrenme

Pekiştirmeli öğrenmede öğrenme öznesi, bir ortamda eylemleri boyunca hareket tarzını değiştirerek bir ödül değerini en üst düzeye çıkarmaya çalışır [36]. Bu öğrenme yönteminde öğrenme öznesi yaptığı eylem sonucunda hedefe doğru ilerliyorsa ödül değeri artacak, hedeften uzaklaşıyorsa ödül değeri azalacaktır. Bu şekilde öğrenme öznesini hedefe ulaştıracak şekilde eğitim gerçekleştirilir.

3.3.4 Sinir ağlarının donanımsal gerçeklemelerinde eğitim

Sinir ağlarının donanımsal gerçeklemelerinde ağırlık değişimleri için hesaplamalar iki yöntemde yapılabilir. Bunlar ex situ eğitim ve in situ eğitim olarak adlandırılır.

3.3.4.1 Ex situ eğitim

Sinir ağlarının donanımsal gerçeklemelerinde ağırlıklar bilgisayarda koştan yazılım modelleri üzerinden yapılıyorsa bu eğitim yöntemine ex situ eğitim denmektedir [37]. Ex situ eğitim yönteminde öncelikle donanımda ilk hesaplamalar yapılır. Daha sonra bilgisayar üzerinden ağırlık değişimleri hesapları yapılarak sinir ağının istenen sonucu

verecek ağırlıkları bulunur. Son olarak bu ağırlıklar donanıma yüklenir ve donanım bu şekilde çalıştırılır.

3.3.4.2 İn situ eğitim

Sinir ağlarının eğitiminde kullanılan diğer bir yöntem ise in situ eğitim yöntemidir. Bu yöntemde ağırlık değişimleri doğrudan donanım üzerindeki devrelerle yapılır [37]. Bu şekilde fazladan bilgisayar gereksinimi ortadan kaldırılarak alan ve enerji verimliliği sağlanır.

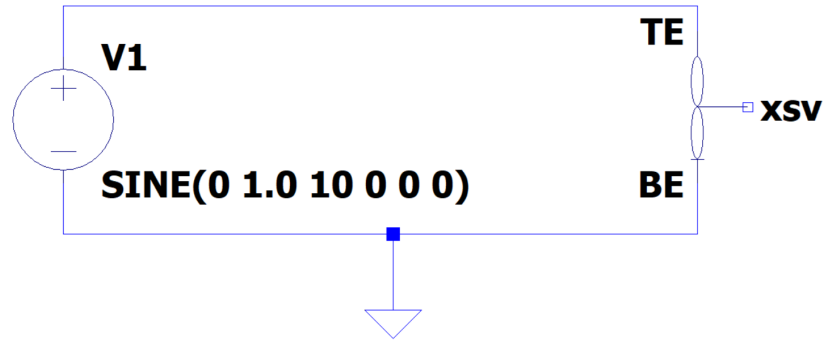


4. MEMRİSTÖR TABANLI NÖROMORFİK DEVRE TASARIMI

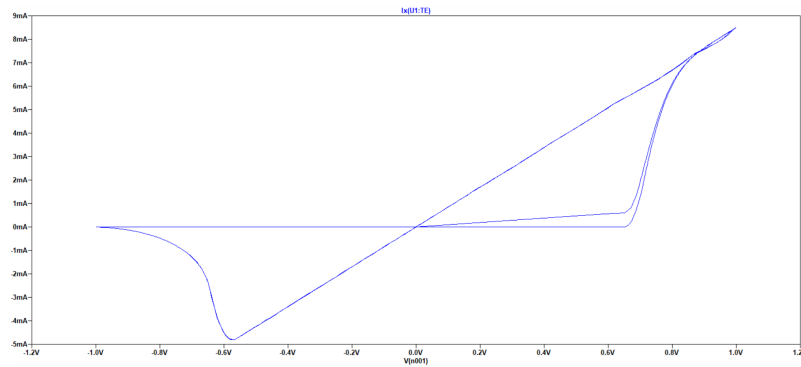
Bu bölümde tez çalışması kapsamında oluşturulan memristör tabanlı nöromorfik devre tasarımları detaylıca anlatılmıştır. Tasarımlar ve simülasyonlar LTSpice programı kullanılarak yapılmıştır.

4.1 Memristör Modelinin Seçimi ve Simülasyonu

Çalışmada kullanılmak üzere memristör modellerinin arasından uygun model olarak Yakopcic modeli seçilmiştir. Bu modelin seçilme sebebi nöromorfik devre tasarımlarında kullanılabilecek şekilde geliştirilmiş olmasıdır. Modelin LTSpice ortamında test edildiği devre Şekil 4.1’de ve simülasyon sonucu Şekil 4.2’de verilmiştir.



Şekil 4.1: Memristör test devresi şematiği.



Şekil 4.2: Memristör devresi simülasyon sonucu.

Simülasyon sonucunda yatay eksen gerilimi düşey eksen akımı temsil etmektedir. Grafikten anlaşılacağı üzere memristörün karakteristik eğrisi elde edilmiştir. Yakopcic modeline ait LTSpice kodu Şekil 4.3'te verilmiştir.

```
* Connections:
* TE - top electrode
* BE - bottom electrode
* XSV - External connection to plot state variable
* that is not used otherwise

.subckt mem_dev TE BE XSV

* Fitting parameters to model different devices
* a1, a2, b:      Parameters for IV relationship
* Vp, Vn:        Pos. and neg. voltage thresholds
* Ap, An:        Multiplier for SV motion intensity
* xp, xn:        Points where SV motion is reduced
* alphap, alphan: Rate at which SV motion decays
* xo:            Initial value of SV
* eta:           SV direction relative to voltage

.params a1=0.17 a2=0.17 b=0.05 Vp=0.16 Vn=0.15
+Ap=4000 An=4000 xp=0.3 xn=0.5 alphap=1 alphan=5
+xo=0.11 eta=1

* Multiplicative functions to ensure zero state
* variable motion at memristor boundaries
.func wp(V) = (xp-V)/(1-xp)+1
.func wn(V) = V/(1-xn)

* Function G(V(t)) - Describes the device threshold
.func G(V) = IF(V <= Vp, IF(V >= -Vn, 0, -An*(exp(-
+V)-exp(Vn))), Ap*(exp(V)-exp(Vp)))

* Function F(V(t),x(t)) - Describes the SV motion
.func F(V1,V2) = IF(eta*V1 >= 0, IF(V2 >= xp, exp(-
+alphap*(V2-xp))*wp(V2), 1), IF(V2 <= (1-xn),
+exp(alphan*(V2+xn-1))*wn(V2), 1))

* IV Response - Hyperbolic sine due to MIM structure
.func IVRel(V1,V2) = IF(V1 >= 0, a1*V2*sinh(b*V1),
+a2*V2*sinh(b*V1))

* Circuit to determine state variable
* dx/dt = F(V(t),x(t))*G(V(t))
Cx XSV 0 {1}
.ic V(XSV) = xo
Gx 0 XSV
+value={eta*F(V(TE,BE),V(XSV,0))*G(V(TE,BE))}

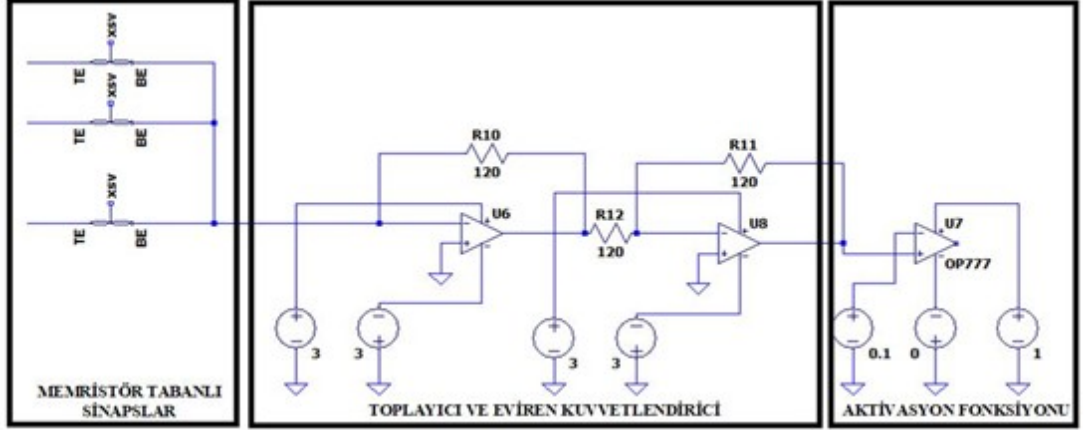
* Current source for memristor IV response
Gm TE BE value = {IVRel(V(TE,BE),V(XSV,0))}

.ends mem_dev
```

Şekil 4.3: Yakopcic modeli kodu [38].

4.2 İğnecikli Olmayan Sinir Ağı Tasarımı ve Simülasyonu

İğnecikli olmayan sinir ağı tasarımı için öncelikle kullanılacak sinaps ve nöron yapısı belirlenmiştir. Buna göre sinaps olarak bir memristör, nöron olarak da toplayıcı, eviren kuvvetlendirici ve basamak fonksiyonunu gerçekleyen bir aktivasyon devresi oluşturulmuştur. Bir nöronun davranışını gösteren LTSpice ortamında tasarlanan devre yapısı Şekil 4.4'te verilmiştir.



Şekil 4.4: İğnecikli olmayan sinir ağı için tasarlanmış bir nöron davranışını gösteren devre şematiği.

Tasarlanan devrede iğnecikli olmayan sinir ağlarında sinapsların tek bir memristörden oluşması devrenin karmaşıklığını önlemek içindir. Toplayıcı ağırlıkların gerilimle çarpılarak toplanmasını sağlamaktadır. Toplayıcının geri besleme direncinin 120Ω olarak seçilmesi, kullanılan memristör modelinin R_{on} direncinin 120Ω olmasından kaynaklanmaktadır. Eviren kuvvetlendirici toplayıcı çıkışında evrilen değeri yeniden evirerek ilk haline getirmek için konulmuştur. Aktivasyon fonksiyonu olarak basamak fonksiyonu seçilmiştir. Basamak fonksiyonu gelen giriş değerini bir eşik değer ile karşılaştırır. Eğer giriş değeri eşik değerinden büyükse çıkış 1, küçükse çıkış 0 olur. Basamak fonksiyonun bu çalışma kapsamında kullanılan denklemi Denklem 4.1'de verilmiştir.

$$y = \begin{cases} 1, & \text{eğer } x \geq 0.1 \\ 0, & \text{eğer } x < 0.1 \end{cases} \quad (4.1)$$

4.2.1 XOR fonksiyonu ve nöromorfik devre gerçekleştirilmesi

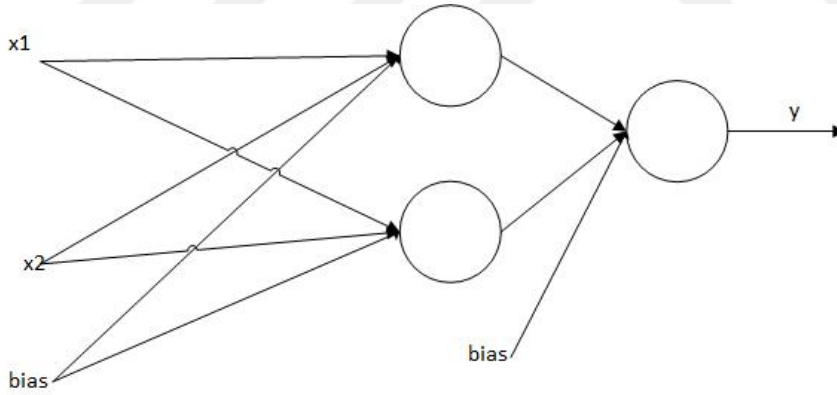
XOR fonksiyonunun iğnecikli olmayan sinir ağları ilk çalışılmaya başlandığında tek katmanlı bir ağla gerçekleştirilemeyeceği belirlendiğinden bu fonksiyon çok katmanlı sinir ağlarının tasarımında, tasarımın doğrulanması için ayırt edici bir fonksiyon haline

gelmiştir. İki girişli bir XOR fonksiyonu, eğer girişlerin ikisi aynı değerdeseyse çıkışa lojik '0' değerini, eğer girişler farklıysa lojik '1' değerini verir. XOR fonksiyonuna ait doğruluk tablosu Şekil 4.5'te verilmiştir.

GİRİŞ 1	GİRİŞ 2	ÇIKIŞ
0	0	0
0	1	1
1	0	1
1	1	0

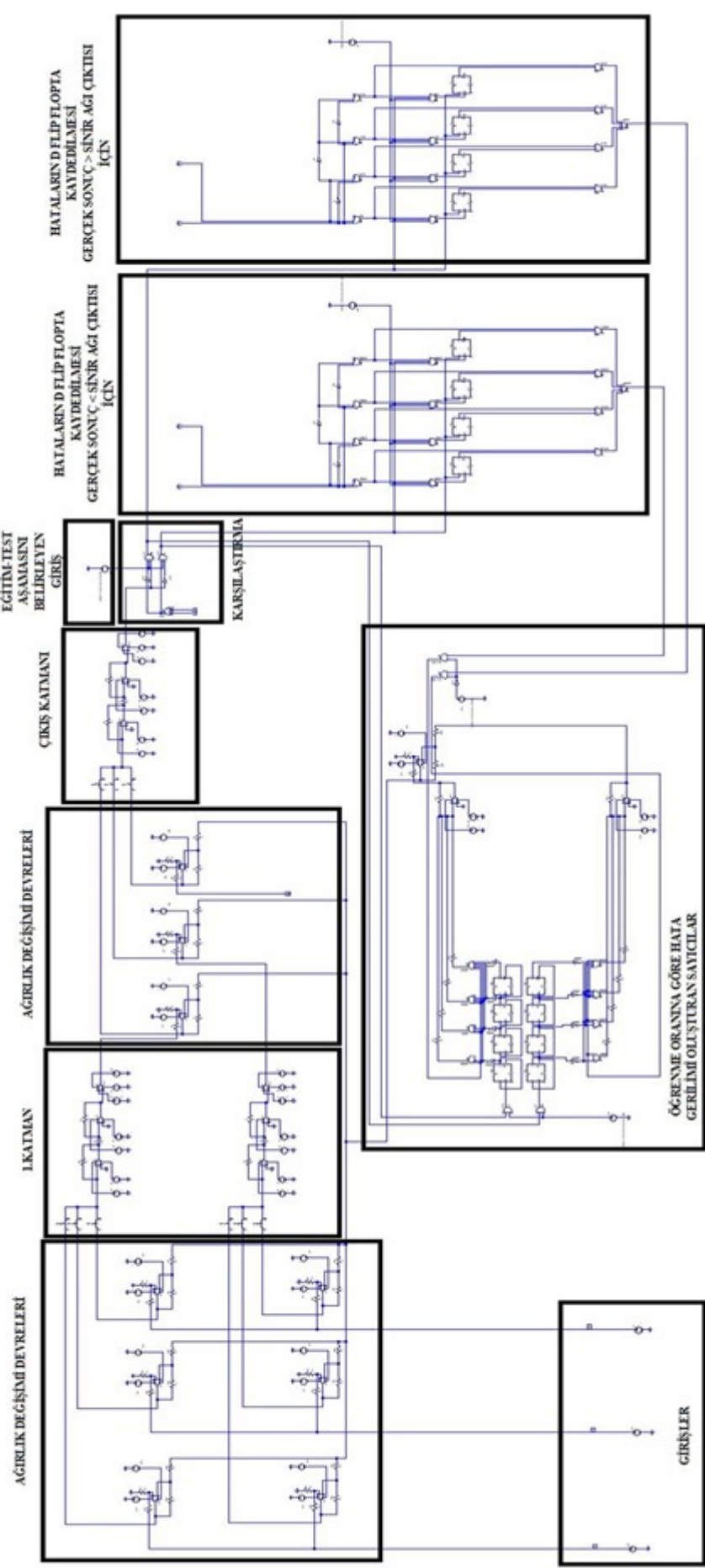
Şekil 4.5: XOR fonksiyonu doğruluk tablosu.

XOR fonksiyonunu nöromorfik bir devre olarak tasarlamak için bu çalışma kapsamında iğnecikli olmayan çok katmanlı bir sinir ağı oluşturulmuştur. Oluşturulan bu sinir ağı Şekil 4.6'da verilmiştir.



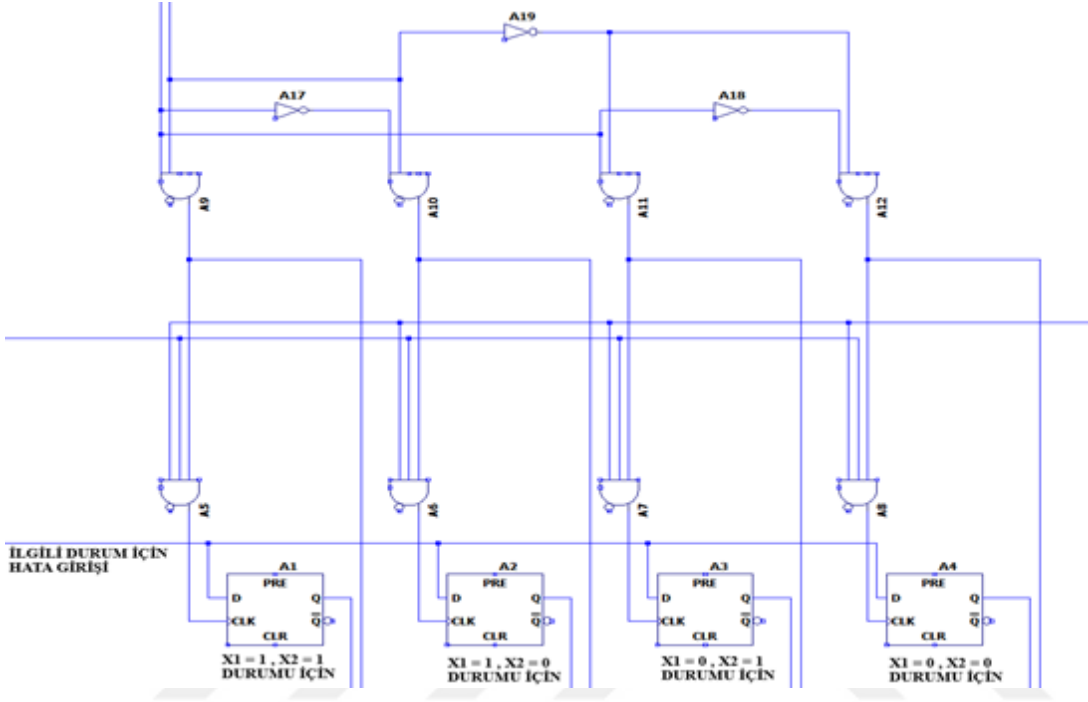
Şekil 4.6: XOR fonksiyonu için tasarlanan iğnecikli olmayan sinir ağı.

Sinir ağında x_1 ve x_2 değerleri giriş değerlerini, $bias$ değeri sinir ağlarında önyargı olarak bilinen değeri, y değeri ise çıkış değerini göstermektedir. Oklar sinapsları, çemberler ise nöronları temsil etmektedir. Tasarlanan iğnecikli olmayan sinir ağı için LTSpice ortamında devre şematiği oluşturulmuştur. Oluşturulan devre şematiği Şekil 4.7'de verilmiştir. Sinir ağı denetimli öğrenme ile eğitilmiştir. Hatalar, doğru sonuç ile sinir ağının çıktısı karşılaştırılarak hesaplanmıştır. Karşılaştırma, doğru sonucun sinir ağı çıktısından büyük veya küçük olmasına göre ayrı ayrı yapılmıştır.



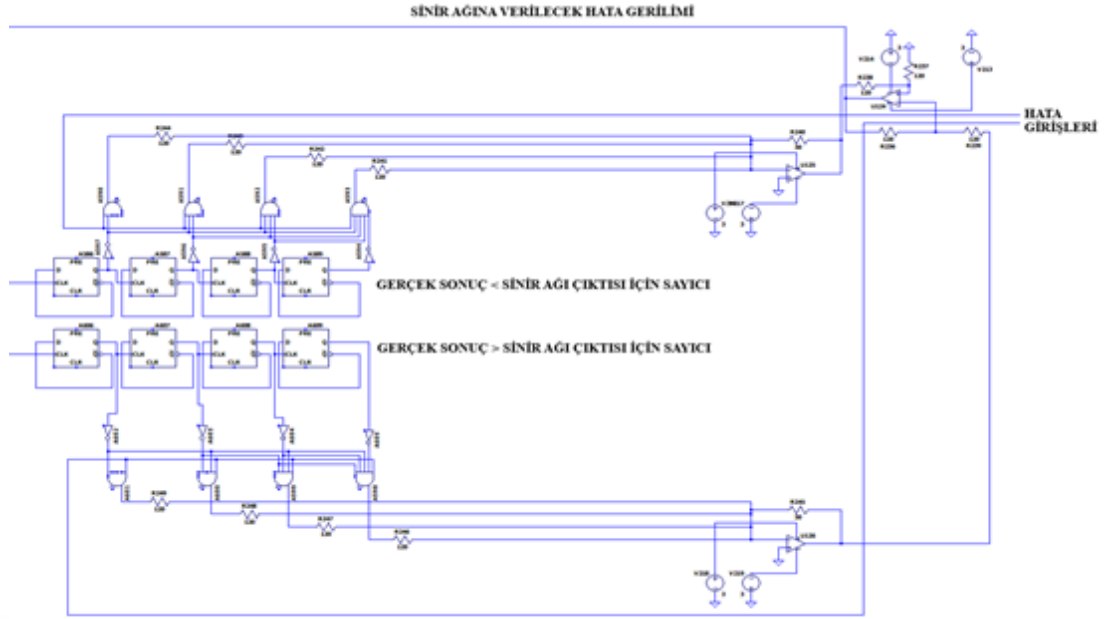
Şekil 4.7: XOR fonksiyonunu gerçeklemek için tasarlanan ıgnecikli olmayan sinir ağı devresinin şematıđı.

Hata oluştuğunda ilgili D flip flopa bu hata kaydedilmiştir. XOR fonksiyonunda iki giriş olduğundan 4 farklı durum oluşmaktadır. Bu yüzden hataların kaydedildiği flip flop sayısı 4 seçilmiştir. D flip flopta bulunan bu hata değeri sadece hata olduğunu veya olmadığını gösteren lojik '0' veya lojik '1' değerlerini almaktadır. Devrede hataların kodlandığı D flip flop yapısı Şekil 4.8'de verilmiştir.



Şekil 4.8: Devrede hataların kodlandığı D flip flop yapısı.

Hatanın sinir ağlarının eğitiminde kullanılmak üzere bir öğrenme oranında ağa geri verilmesi için bir sayıcı devresiyle gelen hata 0 ile 1 arasında bir gerilim değerine dönüştürülmüştür. Oluşturulan bu gerilim değeri, eğer hata gerçek sonucun sinir ağının çıktısından büyük olduğu bir durumda oluşmuşsa memristörün memristans değerini düşürecek yani memristörü R_{off} durumundan R_{on} durumuna geçirecek şekilde sinir ağına verilmiştir. Bu durumda, sinir ağı çıktısının gerilim değeri 0 değerinden 1 değerine getirilerek hatanın düzeltilmesi hedeflenmiştir. Eğer hata gerçek sonucun sinir ağının çıktısından küçük olduğu bir durumda oluşmuşsa, bu durumda sayıcı yardımıyla oluşturulan hata gerilimi, memristörün memristans değerini artırarak memristörü R_{on} durumundan R_{off} durumuna geçirecek şekilde sinir ağına verilmiştir. Böylece, o durum için ağ çıktısının değeri 1 değerinden 0 değerine dönüştürülerek hatanın düzeltilmesi hedeflenmiştir. Sayıcı yardımıyla sinir ağına verilecek hata geriliminin oluşturulması için tasarlanan devre yapısı Şekil 4.9'da verilmiştir. Ağırlık değişimleri donanım üzerinde yapıldığından in situ eğitim yöntemi kullanılmıştır.

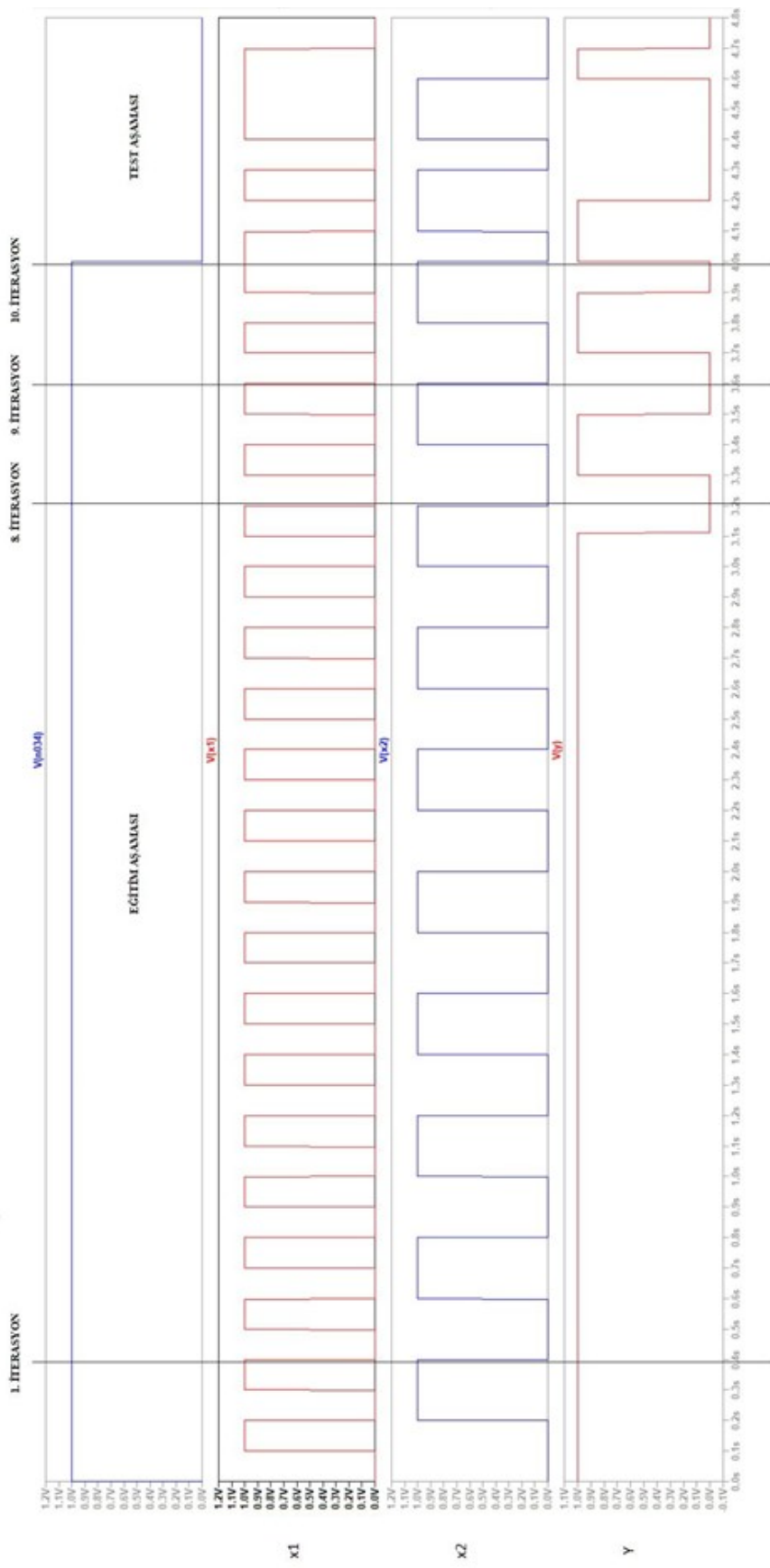


Şekil 4.9: Devrede kullanılan sayıcı yapısı.

Devre transient analiz kullanılarak analiz edilmiştir. Devreye giriş olarak iki farklı gerilim kaynağından lojik durum farklılıklarının tamamını sağlayacak şekilde gerilim verilmiştir.

İlk iterasyonda hataların kodlanması yapılmıştır. Yapılan analiz sonucunda devrenin 9. iterasyon sonunda XOR fonksiyonunu doğru bir şekilde gerçeklediği görülmüştür. 10. iterasyon itibarıyla devrede gerçek sonuç ile ağ çıkışını karşılaştıran birim, eğitim-test aşamasını belirleyen bir giriş gerilimi yardımıyla durdurulmuş ve devre eğitim durumundan test durumuna geçirilmiştir. Bu aşamadan itibaren girişlere rastgele değerler verilerek çıkış gözlemlenmiştir. Çıkışın test durumunda da tüm değerler için doğru sonucu verdiği görülmüştür. Devrenin simülasyon sonuçları Şekil 4.10'da verilmiştir.

Literatürde memristör tabanlı sinir ağları ile XOR fonksiyonunun gerçekleştirildiği başka devreler de mevcuttur [39, 40]. Bu çalışma kapsamında gerçekleştirilen devre literatürdeki devrelere kıyasla memristörün memristansını devre çalışırken değiştirmesi açısından önem taşımaktadır. Devredeki sayıcı sayesinde belirli bir hata oranında geri besleme yapılabilmesi de devrenin güçlü yanlarından bir diğeridir. Devre, dokuz iterasyon gibi kısa bir döngüde XOR fonksiyonunu gerçekleyebilmiştir. Devrenin sadece eğitim aşamasının değil test aşamasının da gösterilmesi devrenin literatürdeki XOR fonksiyonunu gerçekleyen diğer devrelerden farklı yönlerinden biridir.



Şekil 4.10: XOR fonksiyonunu gerçeklemek için tasarlanan devrenin giriş ve çıkışlara göre simülasyon sonuçları.

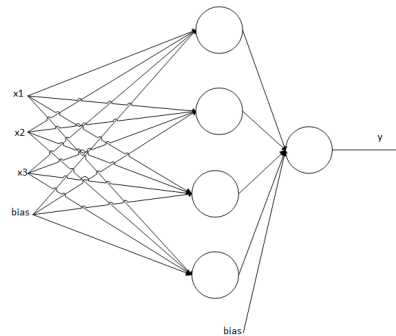
4.2.2 Çift eşlik biti üretici ve nöromorfik devre gerçekleştirilmesi

Çift eşlik biti üretici bir bit serisindeki bitlerin toplamını çift sayı yapmak için bit serisine eklenecek biti üreten devredir. Örneğin üç bitlik bir seride bitler “001” şeklinde geldiğinde bitlerin toplamının çift olabilmesi için bu devrenin lojik ‘1’ değeri üretmesi gerekmektedir. Haberleşme sistemlerinde yaygın biçimde kullanılan bu devre gönderici sistemlerinde bu biti üretip mesaja eklediğinde, alıcı sistemlerindeki çözücü devresi çift eşlik bitine bakarak bitlerin doğru gidip gitmediğini kontrol edebilmektedir. Üç bitlik bir sistemde çift eşlik biti üretici devresinin doğruluk tablosu Şekil 4.11’de gösterilmiştir.

ÜÇ BİTLİK MESAJ			EŞLİK BİTİ ÜRETECİ
GİRİŞ1	GİRİŞ2	GİRİŞ3	ÇIKIŞ
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

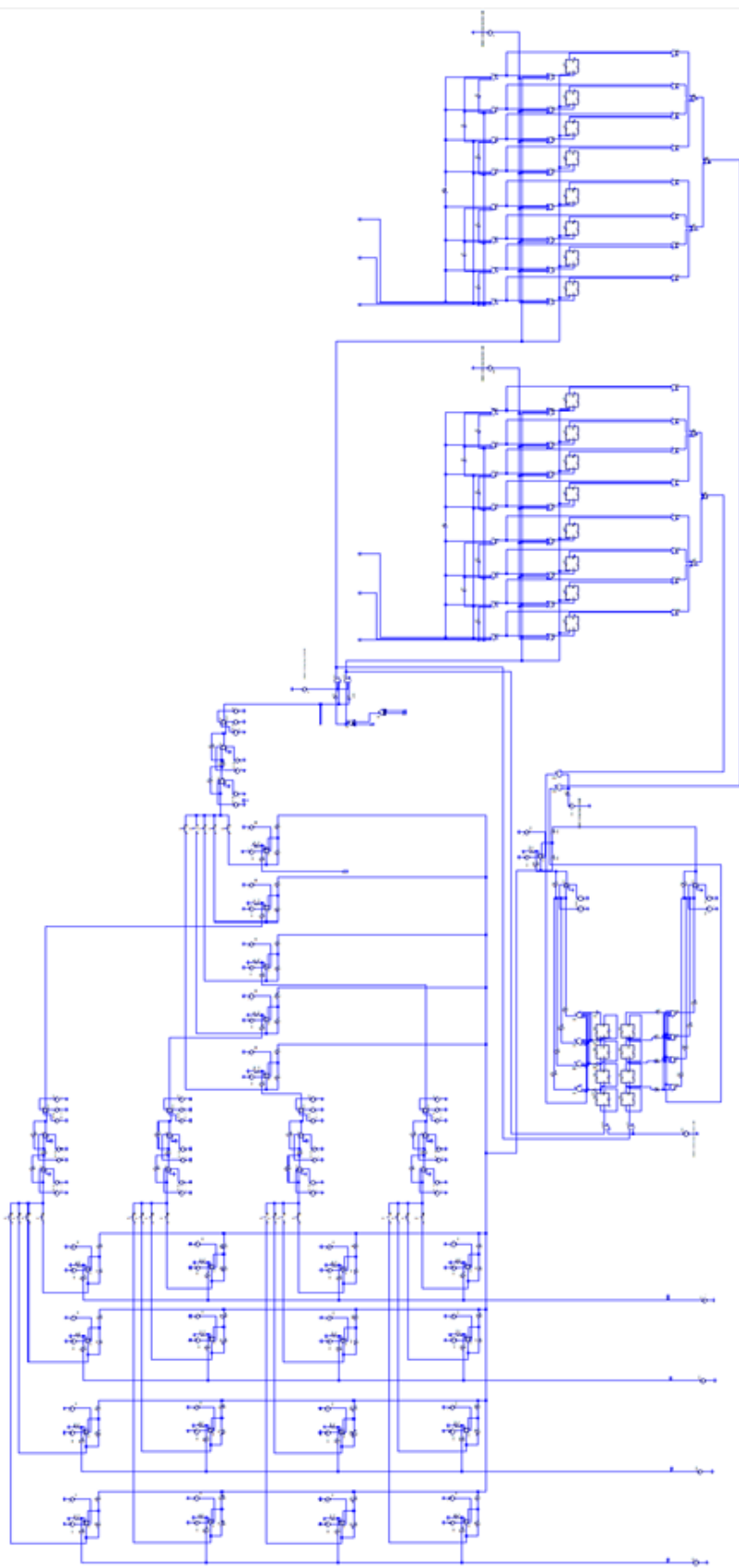
Şekil 4.11: Çift eşlik biti üreticinin doğruluk tablosu.

Çift eşlik biti üreticinin nöromorfik devre tasarımı için Şekil 4.12’de verilen iğnecikli olmayan sinir ağı oluşturulmuştur.

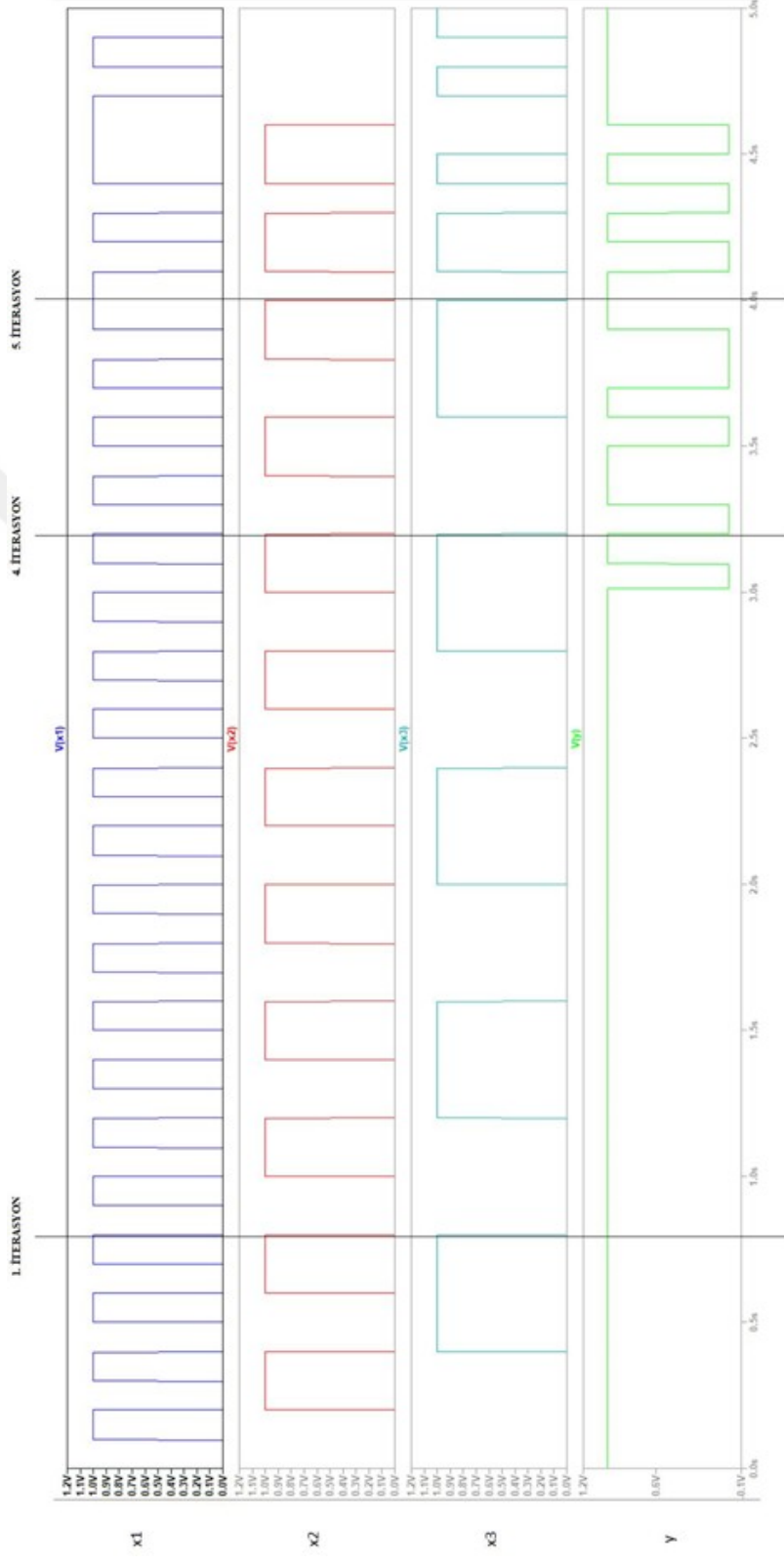


Şekil 4.12: Çift eşlik biti üretici için tasarlanan sinir ağı yapısı.

Oluşturulan sinir ağının devre şematiği Şekil 4.13’te simülasyon sonuçları Şekil 4.14’te verilmiştir.



Şekil 4.13: Çift eşlik biti üretici için tasarlanan iğnecikli olmayan sinir ağı devresinin şematığı.



Şekil 4.14: Çift eşlik biti üretici için tasarlanan devrenin simülasyon sonuçları.

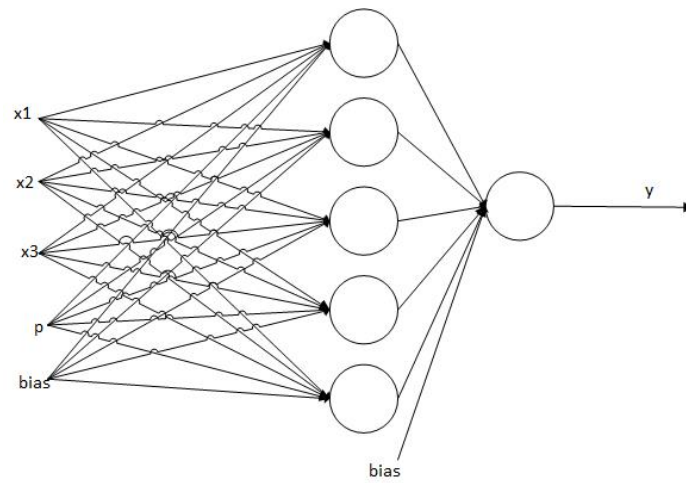
Çift eşlik bit üretici için tasarlanan sinir ağı, giriş katmanında 4 nöron bulunan, çıkışın ise lojik '0' veya lojik '1' değerini alan bir yapı olarak kurgulanmıştır. Bu sinir ağında ağırlık güncelleme için XOR fonksiyonu devresinde kullanılan yöntem kullanılmıştır. Çift eşlik biti üretici 3 girişli olduğu için hata kaydeden D flip flopların sayısı 8'e çıkarılmıştır. Bu devrede öğrenme oranı ve giriş katmanındaki nöron sayısı XOR fonksiyonu devresine göre artırıldığı için çift eşlik biti üretici için tasarlanan nöromorfik devre 5. iterasyon sonunda tüm değerleri doğru sınıflandırabilmiştir. 5. iterasyondan sonra eğitim aşaması durdurulmuş, test aşaması için girişlere rastgele değerler verilmiştir. Devrenin test aşamasında bütün girişler için doğru çıktı ürettiği gözlemlenmiştir. Literatürde eşlik biti üreticinin memristör tabanlı sinir ağlarıyla gerçekleştirildiği başka devreler de bulunmaktadır [41, 42]. Bu devrelerde kullanılan sinaps yapısında iki memristör bulunmaktadır. Bu çalışma kapsamında gerçekleştirilen devrede ise sinapsları temsilen bir memristör bulunmakta ve böylece devrenin karmaşıklığı azaltılmaktadır. Ayrıca tasarlanan devrede hatanın bütün ağırlıklara ortak olarak yayılması, öğrenme sürecini literatürdeki diğer örneklerle göre daha basit bir hale getirmiştir.

4.2.3 Çift eşlik biti kontrol edici ve nöromorfik devre gerçekleştirilmesi

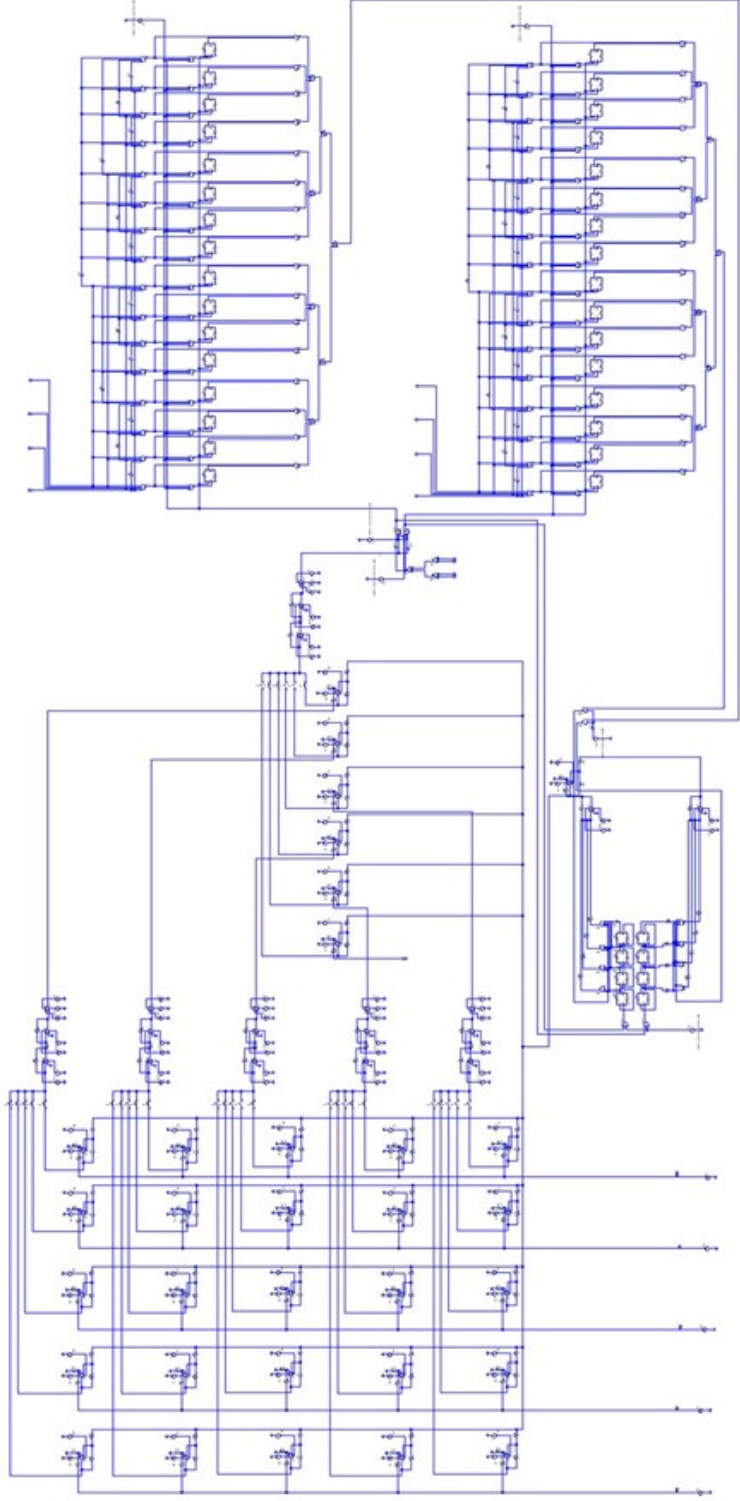
Çift eşlik biti kontrol edici, bir haberleşme sisteminde çift eşlik biti üreticinin ürettiği bitle beraber gelen bitleri kontrol eder. Eğer bitlerin toplamı çift sayı ise haberleşme doğru gerçekleşmiştir ve çift eşlik biti kontrol edici lojik '0' değeri üretir. Eğer bitlerin toplamı tek sayı ise haberleşme hatalı gerçekleşmiştir ve çift eşlik biti kontrol edici lojik '1' değeri üretir. Çift eşlik biti kontrol ediciye ait doğruluk tablosu Şekil 4.15'te verilmiştir. Çift eşlik biti kontrol edici için oluşturulan iğnecikli olmayan sinir ağı Şekil 4.16'da verilmiştir. Sinir ağının LTSpice ortamında gerçekleştirilen devresinin şematığı Şekil 4.17'de gösterilmiştir. Simülasyon sonuçları Şekil 4.18'de gösterilmiştir. Çift eşlik biti kontrol edici devresinde ilk katmandaki nöron sayısı 5'e çıkarılmıştır. 4 adet giriş bulunduğundan her bir durum için hata tutan D flip flop sayısı 16'ya çıkarılmıştır. Öğrenme oranı XOR fonksiyonu devresiyle aynı tutulmasına rağmen nöron sayısının fazlalığı gibi etmenlerden ötürü devrenin 3. iterasyon sonunda tüm giriş durumlarına göre doğru çıktıları oluşturduğu gözlemlenmiştir. 3. iterasyon sonunda eğitim durdurulmuş ve test aşaması için devreye rastgele giriş değerleri verilmiştir. Bu durumda da verilen değerler için doğru çıktıların elde edildiği görülmüştür.

ÜÇ BİTLİK MESAJ				EŞLİK BİTİ	EŞLİK BİTİ KONTROL EDİCİ
GİRİŞ1	GİRİŞ2	GİRİŞ3	GİRİŞ4	ÇIKIŞ	
0	0	0	0	0	
0	0	0	1	1	
0	0	1	0	1	
0	0	1	1	0	
0	1	0	0	1	
0	1	0	1	0	
0	1	1	0	0	
0	1	1	1	1	
1	0	0	0	1	
1	0	0	1	0	
1	0	1	0	0	
1	0	1	1	1	
1	1	0	0	0	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	0	

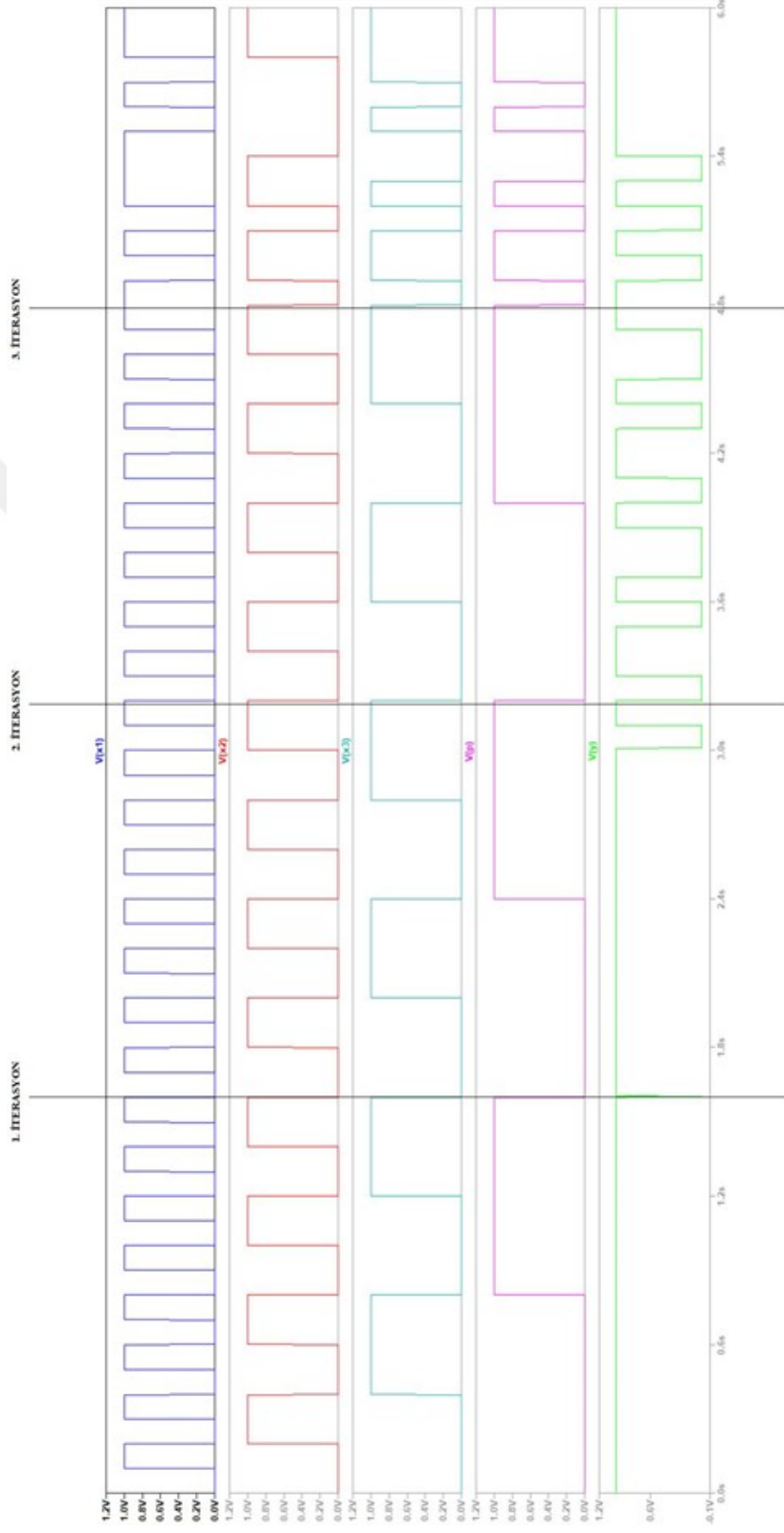
Şekil 4.15: Çift eşlik biti kontrol edicinin doğruluk tablosu.



Şekil 4.16: Çift eşlik biti kontrol edici için tasarlanan sinir ağı yapısı.



Şekil 4.17: Çift eşlik biti kontrol edici için tasarlanan sınır ağı devresinin şematığı.



Şekil 4.18: Çift eşlik biti kontrol edici için tasarlanan devrenin simülasyon sonuçları.

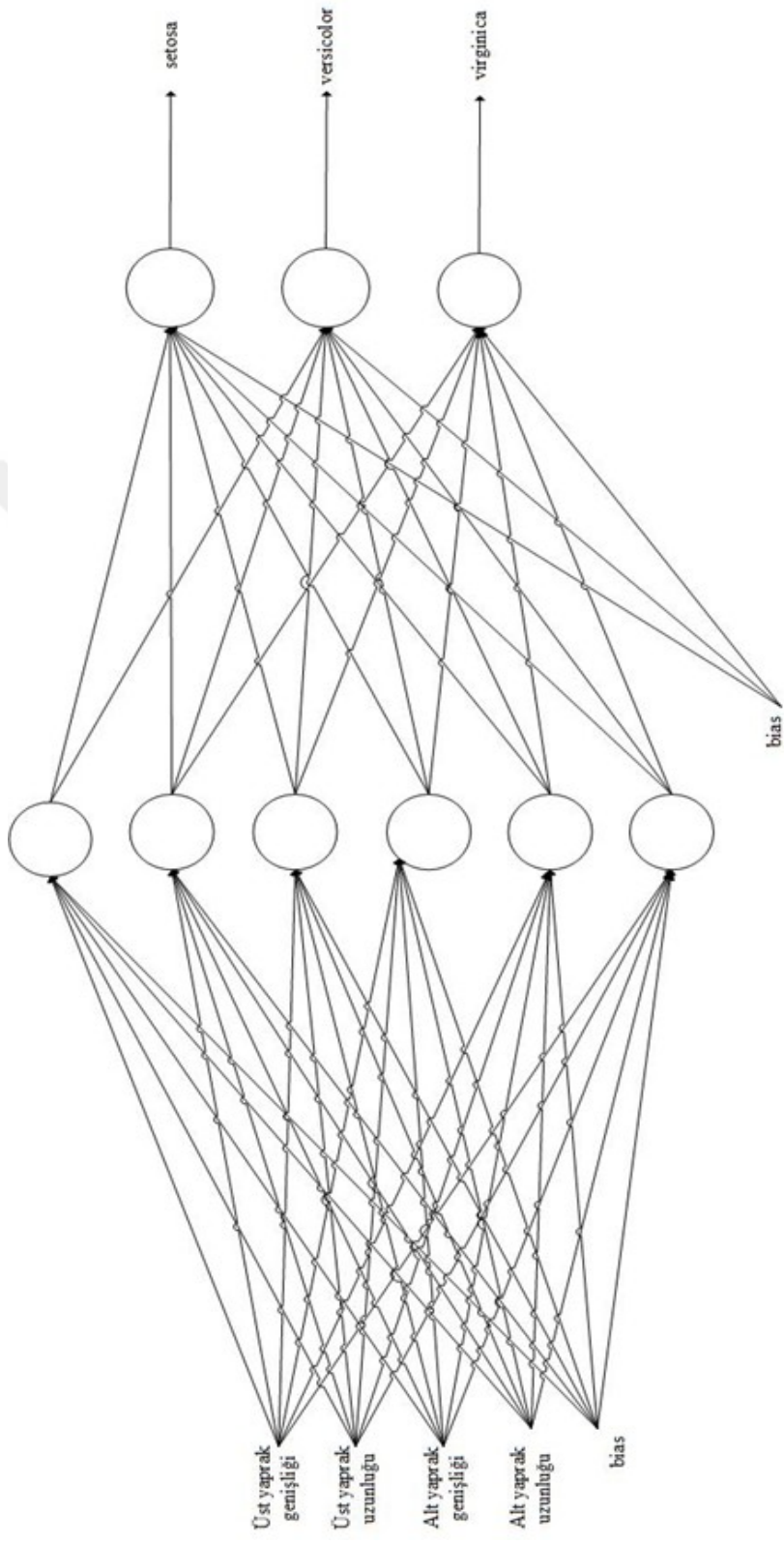
4.2.4 İris verilerini sınıflandıran nöromorfik devre gerçekleştirilmesi

İris veri seti, dört girişli üç çıkışlı bir veri setidir. Veri seti iris çiçeğinin üst yaprak genişliği (petal width), üst yaprak uzunluğu (petal length), alt yaprak genişliği (sepal width) ve alt (sepal length) değerleri ile bu bilgilere göre sınıflandırılmış İris çiçeği türünü belirtmektedir. İris çiçeği verilen bilgilere göre setosa, versicolor ve virginica adlı üç türde sınıflandırılmıştır. Veri setinde doğru sonuçlar önceden bilindiği için denetimli öğrenmeye uygundur. Veri setine ait örnek bir sınıflandırma Çizelge 4.1’de verilmiştir.

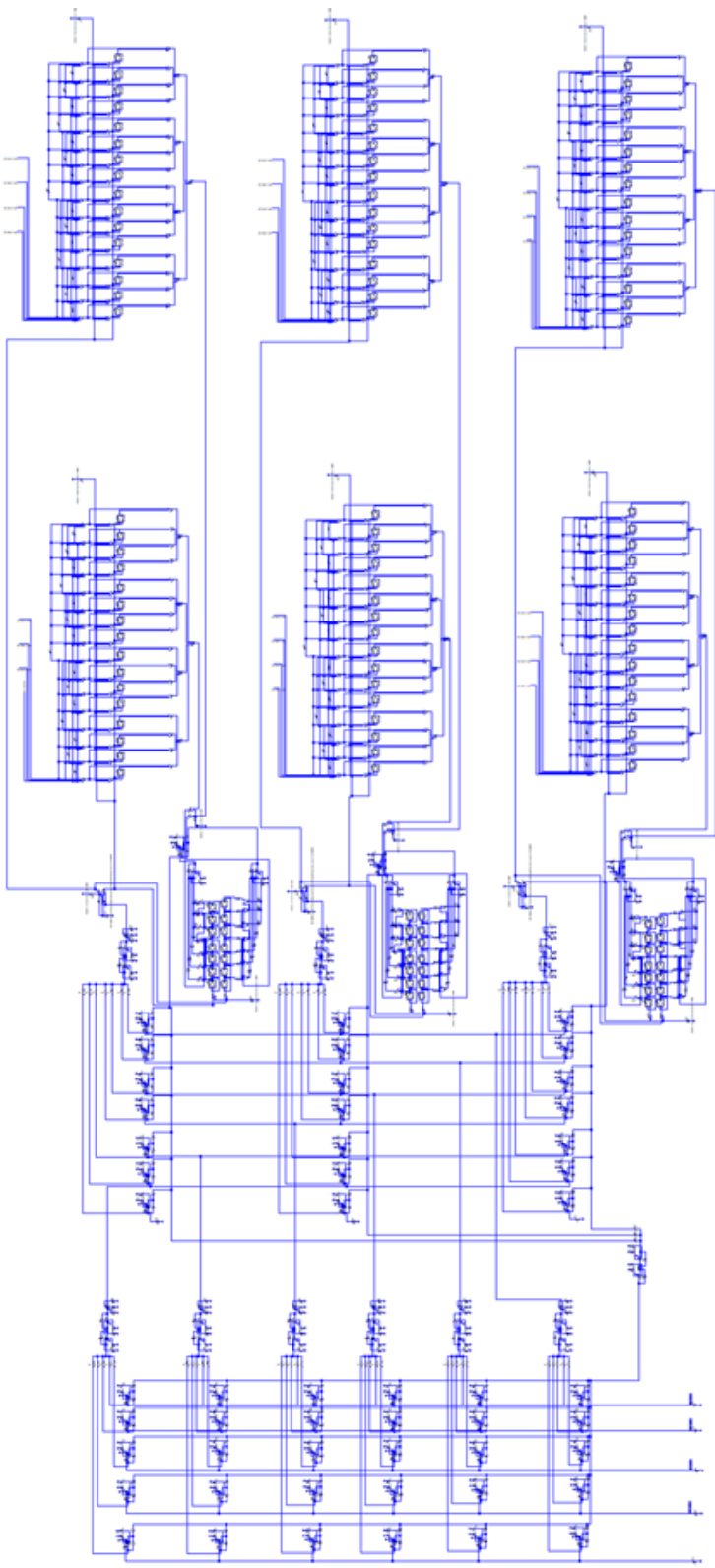
Çizelge 4.1: İris çiçeği sınıflandırması.

Alt yaprak uzunluğu (cm)	Alt yaprak genişliği (cm)	Üst yaprak uzunluğu (cm)	Üst yaprak genişliği (cm)	İris türü
5.1	3.5	1.4	0.2	setosa
4.9	3.0	1.4	0.2	setosa
5.8	2.6	4.0	1.2	versicolor
6.7	3.1	4.7	1.5	versicolor
6.3	3.3	6.0	2.5	virginica
6.2	2.8	4.8	1.8	versicolor
6.4	2.8	5.6	2.1	virginica
5.7	3.8	1.7	0.3	setosa
6.6	2.9	4.6	1.3	versicolor
7.1	3.0	5.9	2.1	virginica

İris çiçeğinin sınıflandırılması için tasarlanan sinir ağı yapısı Şekil 4.19’da verilmiştir. Ağın giriş katmanı 6 nöron, çıkış katmanı ise çiçek türü sayısı olan 3 katmandan oluşmaktadır. Giriş değerleri 0 ile 1 değerleri arasına ölçeklendirilerek devreye gerilim olarak verilmiştir. Bunun için tüm değerler 10’a bölünmüştür. Çıkış katmanındaki çiçek türleri verisi de denetimli öğrenme yapılmak üzere gerilim değerlerine dönüştürülmüştür. İris çiçeğinin sınıflandırılması için tasarlanan sinir ağı devresinin şematiği Şekil 4.20’de verilmiştir. Sinir ağının girişine dört değer verildiği için hata tutan D flip flop sayısı 16 olarak belirlenmiştir. Giriş değerleri 0 ve 1 değeri arasında değerler aldığı için D flip flopta hataları lojik olarak kodlamak için giriş değerleri bir tampon devresinden geçirilerek 1 veya 0 değerlerine dönüştürülmüştür.

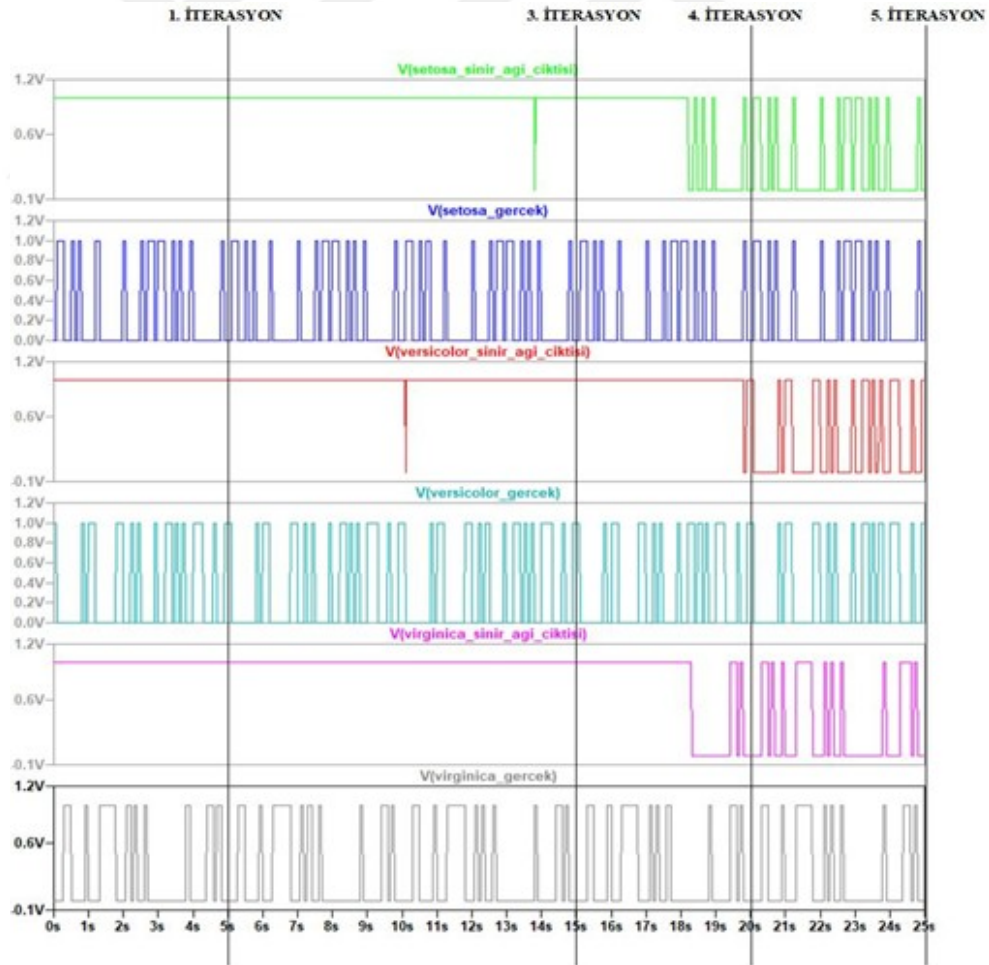


Şekil 4.19: İris çiçeği sınıflandırması için tasarlanan sinir ağı yapısı.



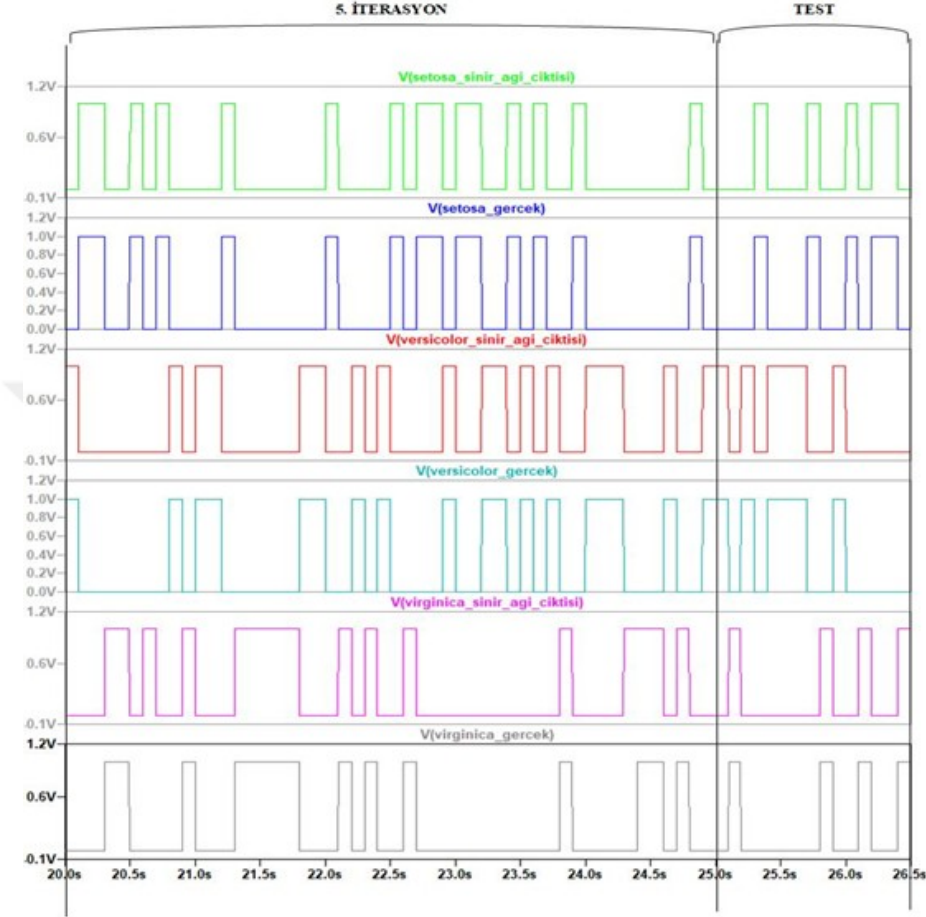
Şekil 4.20: İris çiçeği sınıflandırması için tasarlanan sinir ağı devresinin şematığı.

3 nöronlu çıkış katmanında hatalar verilirken bir sayıcıdan geçirilerek bir öğrenme oranında verilmiştir. Böylece öğrenme sırasında salınımların önüne geçilmiştir. Çıkış katmanındaki memristans değişimi XOR fonksiyonunda uygulanan değişime benzemektedir. Ancak burada çıkış katmanı 3 nöronlu olduğu için her bir nöronun hatası, o nörona bağlı sinapsları temsil eden memristörlerin girişlerine verilen gerilimi değiştirerek memristanslarını değiştirir. Giriş katmanındaki 6 nörona bağlı sinapsları temsil eden memristörlerin memristansları ise çıkış katmanındaki 3 nörondan ayrı ayrı gelen hataların toplamının giriş katmanındaki memristörlerin girişlerine verilmesi ile değiştirilir. Devreye eğitim aşaması için İris veri setinden rastgele seçilen 50 veri ile eğitim yapılmıştır. 5 iterasyon sonunda eğitim sonlandırılmıştır. Bu durumda devre setosa ve versicolor türlerini tamamen doğru sınıflandırırken virginica türünde 2 tane yanlış sınıflandırma yapmıştır. Bu durumda doğruluk %99 oranında gerçekleşmiştir. Eğitim aşamasının her bir türün gerçek çıktısı ile sinir ağı çıktısını gösteren simülasyon sonuçları Şekil 4.21’de verilmiştir.



Şekil 4.21: İris çiçeği sınıflandırması için eğitim aşaması simülasyon sonuçları.

5. iterasyon sonrasında devre test aşamasına geçirilmiştir. Bu aşamada devreye eğitim aşamasında bulunmayan rastgele 15 İris çiçeği verisi verilerek sonuçlar incelenmiştir. Test aşamasında devrenin verilen verilerden İris çiçeklerini sınıflandırdığı görülmüştür. Test aşamasına ait simülasyon sonuçları Şekil 4.22’de verilmiştir.



Şekil 4.22: İris çiçeği sınıflandırması için test aşaması simülasyon sonuçları.

Literatürde İris çiçeği sınıflandırması yapılan memristör tabanlı sinir ağları bulunmaktadır [42, 43]. Bu devrelerde sinaps olarak memristörün yanı sıra başka elemanlar da kullanıldığı görülmektedir. Bu çalışma kapsamında önerilen memristör tabanlı nöromorfik devre yapısında sinaps olarak sadece memristör kullanılarak İris çiçeği sınıflandırması için devre daha basit bir hale indirgenmiştir. Ayrıca literatürdeki çalışmalara göre daha basit bir öğrenme kuralı uygulanarak daha az iterasyonla doğru bir sınıflandırma sonucuna ulaşılmıştır.

5. SONUÇ VE ÖNERİLER

Bu tezde, memristör tabanlı nöromorfik devre tasarımı yapmak için öncelikle memristör modelleri araştırılmış ve yapılacak devre tasarımları için Yakopcic memristör modelinin uygun olduğuna karar verilmiştir. Bu modelin LTSpice ortamında devre düzeneği kurularak testi yapılmış ve memristör karakteristiği doğrulanmıştır.

Nöromorfik devre tasarımı için ilk önce literatürdeki örnek nöromorfik devreler incelenmiştir. Nöromorfik devrelerin sinaps, nöron ve sinir ağı gerçeklemek gibi çeşitli biçimlerinin olduğu görülmüş ve her biri için ayrı ayrı inceleme yapılmıştır. Sinaps için dört çeşit memristör tabanlı devre bulunmuştur. Nöron modellerini gerçeklemek için geliştirilen memristör tabanlı devreler incelenmiştir. Sinir ağı devreleri için iğnecikli sinir ağı ve iğnecikli olmayan sinir ağı araştırılmıştır. Öğrenme aşamalarını gerçekleştirmek için sinir ağlarında öğrenme türleri ve sinir ağlarının donanımsal gerçeklemelerindeki eğitim metotları incelenmiştir.

Tasarım aşamasında memristör tabanlı sinaps çeşitlerinden tek memristörlü sinaps devresi ile toplayıcı, eviren kuvvetlendirici ve aktivasyon devresi kullanılarak iğnecikli olmayan sinir ağında kullanılabilecek bir nöron davranışı devresi oluşturulmuştur. Oluşturulan bu devre kullanarak çeşitli fonksiyonların uygulandığı çok katmanlı iğnecikli olmayan sinir ağları oluşturulmuştur. İğnecikli olmayan sinir ağlarına uygulanan bu fonksiyonlar, XOR fonksiyonu, çift eşlik biti üretici ve çift eşlik biti kontrol edicidir. Tasarlanan devrelerin simülasyon sonuçlarında sinir ağlarının fonksiyonların doğruluk tablolarındaki değerlerini karşıladığı görülmüştür. Ayrıca İris çiçeği sınıflandırması yapılan bir nöromorfik devre gerçekleştirilerek analizi yapılmıştır.

İğnecikli olmayan sinir ağları tasarımında devre tasarımları yapılırken güç tüketimi gibi performans kriterleri gözetilmemiş sadece sinir ağına uygulanan fonksiyonların ve sınıflandırma probleminin doğru çıktılarını alacak şekilde tasarımlar yapılmıştır. Sinir ağlarının temel özellikleri olan çıkarım ve öğrenme özellikleri devrelere

uygulanmıştır. Ağırlık değiştirme işlemleri donanım üzerinde yapılmıştır. Öğrenme kuralı, her bir çıktı durumunun hatasının kaydedilmesi ve bu hatanın memristör girişine verilerek ağırlığın değiştirilmesi şeklinde uygulanmıştır. Devrelerin bu öğrenme kuralı sayesinde doğru sonuçlara ulaştığı gözlemlenmiştir.

Literatürdeki diğer çalışmalarla kıyaslandığında bir memristörlü basit bir sinaps yapısının olması, basit bir öğrenme kuralının uygulanarak az iterasyonla yüksek doğruluklu bir eğitim gerçekleştirilmesi devrelerin avantajları arasındadır. Ayrıca ağırlık değişiminin donanım üzerinde yapılması, ağırlık değişimlerinin yazılım modelleriyle yapıldığı diğer çalışmalardan farklı olarak fazladan bir bilgisayar ihtiyacını ortadan kaldırmıştır. Bunun yanı sıra hata durumlarının tutulması için gerekli hafıza elemanı (D flip flop) sayısı giriş katmanı sayısı ile doğru orantılı olarak artacağından bu durum giriş katmanı yüksek veri setleri için dezavantaj oluşturabilir.

Sonuç olarak bu tezde çeşitli fonksiyonları gerçekleyen ve sınıflandırma yapabilen memristör tabanlı nöromorfik devre tasarımları geliştirilmiştir. Devreler analiz edilmiş ve literatürdeki diğer çalışmalarla karşılaştırılmıştır. Bu devreler çeşitli yönlerle zenginleştirilerek daha karmaşık sınıflandırma problemlerinin çözümünde kullanılabilir.

KAYNAKLAR

- [1] **Chua, L.** (2013). Memristor, Hodgkin–Huxley, and Edge of Chaos. *Nanotechnology*, 24(38), 383001. <https://doi.org/10.1088/0957-4484/24/38/383001>
- [2] **Tan, Y., & Wang, C.** (2020). A simple locally active memristor and its application in HR neurons. *Chaos: An Interdisciplinary Journal of Nonlinear Science*, 30(5). <https://doi.org/10.1063/1.5143071>
- [3] **Zhang, J., & Liao, X.** (2017). Synchronization and chaos in coupled memristor-based FitzHugh-Nagumo circuits with memristor synapse. *AEU - International Journal of Electronics and Communications*, 75, 82–90.
- [4] **Pantazi, A., Wozniak, S., Tuma, T., & Eleftheriou, E.** (2016). All-memristive neuromorphic computing with level-tuned neurons. *Nanotechnology*, 27(35), 355205. <https://doi.org/10.1088/0957-4484/27/35/355205>
- [5] **Zheng, L., Shin, S., & Kang, S. M. S.** (2015). Memristor-based synapses and neurons for neuromorphic computing. In *2015 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 1150–1153). IEEE.
- [6] **Chu, M., Kim, B., Park, S., Hwang, H., Jeon, M., Lee, B. H., & Lee, B. G.** (2015). Neuromorphic hardware system for visual pattern recognition with memristor array and CMOS neuron. *IEEE Transactions on Industrial Electronics*, 62(4), 2410–2419. <https://doi.org/10.1109/tie.2014.2356439>
- [7] **Babacan, Y., Kaçar, F., & Gürkan, K.** (2016). A spiking and bursting neuron circuit based on memristor. *Neurocomputing*, 203, 86–91. <https://doi.org/10.1016/j.neucom.2016.03.060>
- [8] **Huang, J., Serb, A., Stathopoulos, S., & Prodromakis, T.** (2023). Text classification in memristor-based spiking neural networks. *Neuromorphic Computing and Engineering*, 3(1), 014003.
- [9] **Xu, C., Wang, C., Sun, Y., Hong, Q., Deng, Q., & Chen, H.** (2021). Memristor based neural network circuit with weighted sum simultaneous perturbation training and its applications. *Neurocomputing*, 462, 581–590. <https://doi.org/10.1016/j.neucom.2021.08.072>
- [10] **Zhao, Z., Qu, L., Wang, L., Deng, Q., Li, N., Kang, Z., ... & Xu, W.** (2020). A memristor-based spiking neural network with high scalability and learning efficiency. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 67(5), 931–935.
- [11] **Tran, T. T. T.** (2012). Simulations of Artificial Neural Network with Memristive Devices. *Boise State University Theses and Dissertations*, 334.
- [12] **Kiani, F., Yin, J., Wang, Z., Yang, J. J., & Xia, Q.** (2021). A fully hardware-based memristive multilayer neural network. *Science Advances*, 7(48), eabj4801.
- [13] **Yakopcic, C., Hasan, R., & Taha, T. M.** (2015). Memristor based neuromorphic circuit for ex-situ training of multi-layer neural network algorithms. *International Joint Conference on Neural Networks (IJCNN)* (pp. 1–7).

- [14] **Yildiz, H. A., Altun, M., Gungordu, A. D., & Stan, M. R.** (2019). Analog neural network based on memristor crossbar arrays. *11th International Conference on Electrical and Electronics Engineering (ELECO)* (pp. 358–361). IEEE.
- [15] **Eslami, M. R., Biswas, D., Takhtardeshir, S., Sharif, S. S., & Banad, Y. M.** (2024). On-chip learning with memristor-based neural networks: Assessing accuracy and efficiency under device variations, conductance errors, and input noise. *arXiv preprint*, arXiv:2408.14680.
- [16] **Chua, L.** (1971). Memristor–The missing circuit element. *IEEE Transactions on Circuit Theory*, 18(5), 507–519. <https://doi.org/10.1109/tct.1971.1083337>
- [17] **Chua, L.** (2014). If it's pinched it's a memristor. *Semiconductor Science and Technology*, 29(10), 104001. <https://doi.org/10.1088/0268-1242/29/10/104001>
- [18] **Strukov, D. B., Snider, G. S., Stewart, D. R., & Williams, R. S.** (2008). The missing memristor found. *Nature*, 453(7191), 80–83. <https://doi.org/10.1038/nature06932>
- [19] **Kerur, K.** (2010). A study of the memristor, the fourth circuit element. (M.Sc. Thesis). *Kansas State University, Manhattan, Kansas*.
- [20] **Chang, T., Jo, S. H., Kim, K. H., Sheridan, P., Gaba, S., & Lu, W.** (2011). Synaptic behaviors and modeling of a metal oxide memristive device. *Applied Physics A*, 102(4), 857–863. <https://doi.org/10.1007/s00339-011-6296-1>
- [21] **Yakopcic, C., Taha, T. M., Subramanyam, G., Pino, R. E., & Rogers, S.** (2011). A memristor device model. *IEEE Electron Device Letters*, 32(10), 1436–1438. <https://doi.org/10.1109/led.2011.2163292>
- [22] **Wang, S., Song, L., Chen, W., Wang, G., Hao, E., Li, C., Hu, Y., Pan, Y., Nathan, A., Hu, G., & Gao, S.** (2022). Memristor-based intelligent human-like neural computing. *Advanced Electronic Materials*, 9(1). <https://doi.org/10.1002/aelm.202200877>
- [23] **Li, Y., Su, K., Chen, H., Zou, X., Wang, C., Man, H., Liu, K., Xi, X., & Li, T.** (2023). Research progress of neural synapses based on memristors. *Electronics*, 12(15), 3298. <https://doi.org/10.3390/electronics12153298>
- [24] **Hodgkin, A. L., & Huxley, A. F.** (1952). A quantitative description of membrane current and its application to conduction and excitation in nerve. *The Journal of Physiology*, 117(4), 500–544. <https://doi.org/10.1113/jphysiol.1952.sp004764>
- [25] **Fang, X., Duan, S., & Wang, L.** (2021). Memristive Hodgkin-Huxley Spiking Neuron Model for Reproducing Neuron Behaviors. *Frontiers in Neuroscience*, 15. <https://doi.org/10.3389/fnins.2021.730566>
- [26] **Hindmarsh, J. L., & Rose, R. M.** (1984). A model of neuronal bursting using three coupled first order differential equations. *Proceedings of the Royal Society of London. Series B. Biological Sciences*, 221(1222), 87–102.
- [27] **Ochs, K., & Jenderny, S.** (2021). An equivalent electrical circuit for the Hindmarsh-Rose model. *International Journal of Circuit Theory and Applications*, 49(11), 3526–3539. <https://doi.org/10.1002/cta.3113>
- [28] **Jenderny, S., Ochs, K., & Hövel, P.** (2023). A memristor-based circuit approximation of the Hindmarsh–Rose model. *The European Physical Journal B*, 96(8). <https://doi.org/10.1140/epjb/s10051-023-00578-z>

- [29] **Izhikevich, E.** (2003). Simple model of spiking neurons. *IEEE Transactions on Neural Networks*, 14(6), 1569–1572. <https://doi.org/10.1109/tnn.2003.820440>
- [30] **Fang, X., Duan, S., & Wang, L.** (2022). Memristive Izhikevich Spiking Neuron Model and Its Application in Oscillatory Associative Memory. *Frontiers in Neuroscience*, 16. <https://doi.org/10.3389/fnins.2022.885322>
- [31] **Mishra, D., Yadav, A., Ray, S., & Kalra, P. K.** (2006). Exploring biological neuron models. *Directions, The Research Magazine of IIT Kanpur*, 7(3), 13–22.
- [32] **Samardzic, N. M., Bajic, J. S., Sekulic, D. L., & Dautovic, S.** (2022). Volatile Memristor in Leaky Integrate-and-Fire Neurons: Circuit Simulation and Experimental Study. *Electronics*, 11(6), 894. <https://doi.org/10.3390/electronics11060894>
- [33] **Mladenov, V., & Kirilov, S.** (2024). A Memristor Neural Network Based on Simple Logarithmic-Sigmoidal Transfer Function with MOS Transistors. *Electronics*, 13(5), 893. <https://doi.org/10.3390/electronics13050893>
- [34] **Sathya, R., & Abraham, A.** (2013). Comparison of supervised and unsupervised learning algorithms for pattern classification. *International Journal of Advanced Research in Artificial Intelligence*, 2(2), 34–38.
- [35] **Fabiyi, S. D.** (2019). A review of unsupervised artificial neural networks with applications. *International Journal of Computer Applications*, 181(40), 22–26.
- [36] **Ghanbari, A., Vaghei, Y., & Sayyed, N. S. M. R.** (2014). Reinforcement learning in neural networks: A survey.
- [37] **Lin, H., Ou, J., Fan, Z., Yan, X., Hu, W., Cui, B., ... & Liu, J. M.** (2025). In situ training of an in-sensor artificial neural network based on ferroelectric photosensors. *Nature Communications*, 16(1), 421.
- [38] **Yakopcic, C.** (2014). Memristor device modeling and circuit design for read out integrated circuits, memory architectures, and neuromorphic systems. *University of Dayton*.
- [39] **Zhang, Y., Wang, X., & Friedman, E. G.** (2017). Memristor-based circuit design for multilayer neural networks. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 65(2), 677–686.
- [40] **Zeljko, A., Prevarić, I., & Poljak, M.** (2021). Simulation analysis of XOR gates implemented with a memristor-based neural network. In *2021 44th International Convention on Information, Communication and Electronic Technology (MIPRO)* (pp. 125–130). IEEE.
- [41] **Vo, M. H.** (2018). Multilayer Neural Network with Synapse Based on Two Successive Memristors. *The Open Electrical & Electronic Engineering Journal*, 12(1).
- [42] **Wang, C., Xiong, L., Sun, J., & Yao, W.** (2019). Memristor-based neural networks with weight simultaneous perturbation training. *Nonlinear Dynamics*, 95(4), 2893–2906.
- [43] **Rosenthal, E., Greshnikov, S., Soudry, D., & Kvatinsky, S.** (2016). A fully analog memristor-based neural network with online gradient training. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 1394–1397). IEEE.



ÖZGEÇMİŞ

Ad-Soyad: Muhammed Musa CULUM

ÖĞRENİM DURUMU:

- **Lisans:** 2015-2021, İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği
- **Y. Lisans:** 2021-2025, İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik Mühendisliği

MESLEKİ DENEYİMLER VE ÖDÜLLER:

- Ağustos 2022'den beri TÜBİTAK BİLGEM'de araştırmacı olarak çalışıyor.